

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica



Metodología para la Simulación y Fabricación de  
Circuitos Impresos en Radiofrecuencia

Noel Antonio Pérez Cáceres

Cartago, Costa Rica  
I semestre 2018

Metodología para la Simulación y Fabricación de Circuitos  
Impresos en Radiofrecuencia

Proyecto de grado presentado como requisito para optar al  
título de:

Licenciatura en Ingeniería  
Electrónica

Elaborado por:

Noel Antonio Pérez Cáceres

Asesor:

Renato Rimolo Donadío

Desarrollado para el Laboratorio de Circuitos Impresos  
de la Escuela de Ingeniería Electrónica

**INSTITUTO TECNOLÓGICO DE COSTA RICA**

**ESCUELA DE INGENIERÍA ELECTRÓNICA**

**PROYECTO DE GRADUACIÓN**

**ACTA DE APROBACIÓN**

**Defensa de Proyecto de Graduación  
Requisito para optar por el título de Ingeniero en Electrónica  
Grado Académico de Licenciatura  
Instituto Tecnológico de Costa Rica**

El Tribunal Evaluador aprueba la defensa del proyecto de graduación denominado Metodología para la simulación y fabricación de circuitos impresos en radiofrecuencia, realizado por el señor Noel Antonio Pérez Cáceres y, hace constar que cumple con las normas establecidas por la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal Evaluador



---

Ing. Sergio Arriola Valverde

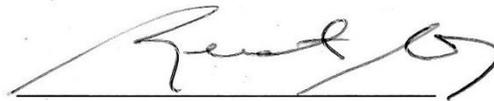
Profesor lector



---

Ing. Roberto Molina Robles

Profesor lector



---

Ing. Renato Rímolo Donadío

Profesor asesor

Cartago, 2 de noviembre, 2018

## Declaración de autenticidad

Declaro que el presente Proyecto de Graduación ha sido realizado, en su totalidad, por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado material bibliográfico, he procedido a indicar las fuentes mediante citas.

En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



---

Noel Antonio Pérez Cáceres

Cartago, 2 de noviembre, 2018

Cédula: 8-0122-0275

# Resumen

En este trabajo se propone una metodología para el flujo de diseño, simulación y fabricación de circuitos impresos en radiofrecuencia para el nuevo laboratorio de la Escuela de Ingeniería Electrónica del TEC. Se detalla la forma de analizar plataformas electrónicas diseñadas en ambientes CAD y entornos CAE. Se trabaja con circuitos impresos multicapa prototipados, por esto se realiza un análisis del perfil de la placa para definir el rango de variación del *stackup* para una impedancia nominal de  $50\Omega$ .

La metodología que se propone es validada mediante el proceso de control de impedancia para líneas de tipo cinta, microcinta y con vías que operan en un ancho de banda de 5 GHz. Se realizan optimizaciones de todos los elementos presentes en el circuito impreso (líneas, *pads*, *antipads*, aislamientos, vías, conectores SMA de hueco pasante y de montaje superficial), para asegurar que todo el proceso es controlado. Se correlacionan los resultados fabricados contra los simulados y se analizan en términos de rendimiento eléctrico.

## Abstract

This thesis proposes a methodology for design, simulation and fabrication of printed circuits in radiofrequency for the new laboratory of Electronics Department at TEC. The approach to analyze electronic platforms designed in CAD environments and CAE environments is detailed. Prototype multilayer printed circuits are discussed and for this reason, an analysis of the plate profile is performed to define the variation range of the stackup for a nominal impedance of  $50\Omega$ .

The proposed methodology is validated through the case of impedance control for striplines, microstriplines and lines with vias operating at frequency up to 5 GHz. Optimizations are made of all the elements present in the printed circuit (lines, pads, antipads, insulations, tracks, through hole and surface mount connectors), to ensure that the entire process is controlled. The manufactured results are correlated against the simulated ones and are analyzed in terms of electrical performance.

# Agradecimientos

Quiero primeramente agradecer a Dios, quien en todo este camino ha sido mi ayuda y mi fortaleza. Ciertamente no habría podido llegar hasta aquí si no fuera por El.

Muchas han sido las personas que me extendieron la mano para poder llegar hasta esta posición, a quienes tengo que expresar mi más sincero y profundo agradecimiento, mi familia, primeramente, quien fue mi más grande apoyo, mi motor y mi fuerza. Ellos que en todo momento estuvieron conmigo, son los que tienen el papel principal en este trayecto.

Agradezco a todos los profesores que me ayudaron en todo este proceso, para crecer profesionalmente, agradezco de manera muy especial al Prof. Dr. Renato Rímolo Donadio, que fue una guía para la finalización de este proyecto, debo expresar mi más sincero agradecimiento por sus consejos, los cuales fueron de suma importancia para la realización de este trabajo y sin duda, para mi crecimiento profesional.

# Índice General

1- Introducción.....	1
2- Tecnologías de Circuitos Impresos.....	4
2.1 Placas de Circuito Impreso.....	4
2.1.1. PCB de una cara.....	4
2.1.2. PCB doble cara.....	5
2.1.3. PCB Multicapa.....	6
2.1.4. Herramientas para fresado.....	8
2.2 Diseño, Fabricación y Validación de PCBs.....	9
2.2.1 CAD ( <i>Computer-Aided Design</i> ) para PCBs.....	10
2.2.2 CAE ( <i>Computer-Aided Engineering</i> ).....	10
2.2.3. CAM ( <i>Computer-Aided Manufacturing</i> ).....	11
2.3. Formatos de Diseño y Fabricación.....	11
2.3.1. Gerber.....	12
2.3.2. ODB++.....	12
2.3.4. Excellon.....	13
2.4. Simulación Electromagnética.....	14
3- Metodología para el Diseño y Fabricación de PCBs en Aplicaciones de RF 17	
3.1. Diseño de Plataformas Electrónicas en RF.....	17
3.1.1. Especificaciones del diseño.....	18
3.1.2. Creación del Esquemático.....	22
3.1.3. Diseño Físico.....	23
3.1.4. Verificación de Reglas de Diseño.....	24
3.2 Simulación del Diseño.....	25
3.3. Proceso de Fabricación.....	29
3.3.1 Secuencia para fabricación.....	30
4- Validación de la Metodología.....	41
4.1 Control de Impedancia.....	41
4.1.1. Microcinta.....	46
4.1.1.1 Análisis 2D de línea microcinta.....	46
4.1.2 Línea Cinta.....	51
4.1.2.1 Análisis 2D de línea Cinta.....	53

4.2. Diseño CAD .....	56
4.3. Simulación.....	61
4.3.1. Conector de montaje superficial .....	63
4.3.2 Conector SMA Through Hole.....	65
4.3.3. Línea microcinta 3D .....	68
4.3.4. Línea cinta 3D .....	72
4.3.5. Modelo de la vía .....	75
4.4. Fabricación de la tarjeta de evaluación de cuatro capas .....	77
4.4.1. Estructuración capas internas .....	77
4.4.2. Laminado .....	81
4.4.3. Realización de vías .....	81
4.4.4. Metalización .....	83
4.4.5. Estructuración capas externas.....	83
4.4.6. Acabado y posicionamiento de componentes.....	84
4.5. Correlación de resultados .....	86
4.6. Análisis de resultados .....	94
5- Conclusiones y Recomendaciones .....	104
5.1. Conclusiones .....	104
5.2. Recomendaciones .....	105
6- Apéndices .....	106
Herramientas para el cálculo de impedancia de líneas .....	106
Variación del espesor del cobre de la línea .....	107
Convergencia de los modelos de línea .....	108
7- Referencias.....	112

# Índice de Figuras

<b>Figura 2-1.</b> PCB de una cara (Altium, 2013).....	5
<b>Figura 2-2.</b> PCB de dos caras con metalización.....	5
<b>Figura 2-3.</b> PCB de dos caras sin metalización.....	6
<b>Figura 2-4.</b> Ejemplo de tecnología de laminado multicapa.....	7
<b>Figura 2-5.</b> Ejemplo de tecnología de fabricación Built up.....	8
<b>Figura 2-6.</b> Herramientas para el fresado de las placas.....	8
<b>Figura 2-7.</b> Efecto de las herramientas en el PCB (LPKF, 2018).....	9
<b>Figura 2-8.</b> Relación de las tecnologías CAD, CAE y CAM.....	11
<b>Figura 2-9.</b> Jerarquía de datos que presenta ODB++.....	13
<b>Figura 2-10.</b> Flujo de Ansys Electronics Desktop.....	15
<b>Figura 2-11.</b> Flujo de HFSS para crear el mallado (Ansys, 2010).....	16
<b>Figura 2-12.</b> Mallado aplicado a estructuras complejas.....	16
<b>Figura 3-1.</b> Secuencia general para la fabricación.....	17
<b>Figura 3-2.</b> Secuencia específica para el diseño, validación.....	18
<b>Figura 3-3.</b> Sección transversal de circuito impreso de 4 capas.....	20
<b>Figura 3-4.</b> Sección transversal de circuito impreso de 6 capas.....	20
<b>Figura 3-3-5.</b> Sección transversal de circuito impreso de 8 capas.....	22
<b>Figura 3-6.</b> Paso del esquemático al layout del conector SMA.....	24
<b>Figura 3-7.</b> Pasos para la simulación del diseño CAD para PCB.....	25
<b>Figura 3-8.</b> ODB++ formato interfaz para la simulación de diseños.....	26
<b>Figura 3-9.</b> Conversión de formato ODB++ a .ANF.....	27
<b>Figura 3-10.</b> Ejemplo de diseño CAD importado a HFSS 3D.....	28
<b>Figura 3-11.</b> Flujo de información desde el diseño CAD a la fabricación.....	31
<b>Figura 3-12.</b> Máquinas para fabricación disponibles.....	32
<b>Figura 3-13.</b> Proceso multicapa completo aplicado en el laboratorio.....	33
<b>Figura 3-14.</b> Comportamiento de la temperatura y la presión.....	35
<b>Figura 3-15.</b> Contac RS; herramienta para metalización.....	38
<b>Figura 3-16.</b> Unidad de exposición (LPKF, 2018).....	39
<b>Figura 4-1.</b> Perfil de una placa de cuatro capas realizada.....	42
<b>Figura 4-2.</b> PCB de 18 capas realizada en el exterior.....	44
<b>Figura 4-3.</b> Capas de la lámina top y bottom incluyendo el prepreg.....	44
<b>Figura 4-4.</b> Stackup inicial propuesto para el laboratorio.....	45
<b>Figura 4-5.</b> Stackup de fabricantes de circuitos impresos.....	46
<b>Figura 4-6.</b> Modelo de la sección transversal de la línea microcinta.....	47
<b>Figura 4-7.</b> Impedancia de la microcinta con los valores de W y H nominales.....	48
<b>Figura 4-8.</b> Resultado al variar el ancho de pista de la línea.....	49
<b>Figura 4-9.</b> Variación del espesor del dieléctrico(H).....	50
<b>Figura 4-10.</b> Modelo de la sección transversal de la línea cinta.....	51
<b>Figura 4-11.</b> Resultados para el cálculo de la impedancia.....	52
<b>Figura 4-12.</b> Resultados para el cálculo de la impedancia de línea.....	53
<b>Figura 4-13.</b> Variación permitida del ancho de pista de la línea cinta.....	53
<b>Figura 4-14.</b> Variación permitida del dieléctrico (H y h).....	55
<b>Figura 4-15.</b> Comportamiento del campo eléctrico en la línea cinta.....	56

<b>Figura 4-16.</b> Esquemático del diseño CAD en Altium Designer .....	58
<b>Figura 4-17.</b> Stackup del diseño configurado en Altium Designer .....	59
<b>Figura 4-18.</b> Layout del PCB multicapa con reglas de diseño aplicadas .....	60
<b>Figura 4-19.</b> Paso del sistema CAD de Altium Designer.....	62
<b>Figura 4-20.</b> Modelo de cable coaxial para el diseño de conectores SMA .....	63
<b>Figura 4-21.</b> Modelo de conector de montaje superficial en HFSS 3D.....	63
<b>Figura 4-22.</b> Parámetros de reflexión y transmisión del conector.....	64
<b>Figura 4-23.</b> Convergencia de la solución.....	65
<b>Figura 4-24.</b> Modelo de Conector SMA Through Hole en HFSS 3D.....	66
<b>Figura 4-25.</b> Reflexión (rojo) y transmisión(negro) del diámetro dieléctrico.....	67
<b>Figura 4-26.</b> Convergencia de la solución del modelo.....	67
<b>Figura 4-27.</b> Conectores SMA optimizados .....	68
<b>Figura 4-28.</b> Modelo de línea microcinta con wave ports rectangulares.....	69
<b>Figura 4-29.</b> Reflexión y transmisión de modelo microcinta.....	69
<b>Figura 4-30.</b> Modelo de línea microcinta con conector.....	70
<b>Figura 4-31.</b> Reflexión y transmisión de modelo microcinta.....	70
<b>Figura 4-32.</b> Modelo microcinta con conector through hole.....	71
<b>Figura 4-33.</b> Reflexión y transmisión del modelo.....	71
<b>Figura 4-34.</b> Modelo de la línea cinta con wave ports rectangulares .....	73
<b>Figura 4-35.</b> Reflexión y transmisión del modelo de línea cinta.....	73
<b>Figura 4-36.</b> Modelo de línea cinta con conectores.....	74
<b>Figura 4-37.</b> Reflexión y transmisión del modelo de línea cinta.....	74
<b>Figura 4-38.</b> Modelo de la línea cinta con conectores through hole .....	75
<b>Figura 4-39.</b> Reflexión y transmisión de la línea cinta.....	75
<b>Figura 4-40.</b> Modelo de vía, vista superior .....	76
<b>Figura 4-41.</b> Modelo de vía, vista isométrica.....	76
<b>Figura 4-42.</b> Transmisión y reflexión del modelo de vía .....	76
<b>Figura 4-43.</b> Secuencia de pasos para la fabricación de un circuito impreso.....	78
<b>Figura 4-44.</b> Importación de los archivos de fabricación.....	78
<b>Figura 4-45.</b> Configuración del aislamiento (toolpath).....	80
<b>Figura 4-46.</b> Capa interna 1 fabricada con Protomat D104.....	80
<b>Figura 4-47.</b> Capa interna 2 fabricada con CircuitPro y Protomat D104 .....	81
<b>Figura 4-48.</b> Orden de los materiales a laminar.....	82
<b>Figura 4-49.</b> Multipress S, para la realización del laminado.....	82
<b>Figura 4-50.</b> Compact RS, máquina para el metalizado.....	83
<b>Figura 4-51.</b> Placa luego del proceso de metalizado .....	84
<b>Figura 4-52.</b> Acabado final del PCB cuatro capas.....	85
<b>Figura 4-53.</b> Acabado final del PCB cuatro capas, vista bottom.....	86
<b>Figura 4-54.</b> Reflexión de las líneas Microcintas LTM1.....	87
<b>Figura 4-55.</b> Transmisión de las líneas Microcintas LTM1.....	87
<b>Figura 4-56.</b> Reflexión de las líneas Microcintas LTM2.....	88
<b>Figura 4-57.</b> Transmisión de las líneas Microcintas LTM2.....	88
<b>Figura 4-58.</b> Reflexión de las líneas Microcintas LTM3.....	89
<b>Figura 4-59.</b> Transmisión de las líneas Microcintas LTM3.....	89
<b>Figura 4-60.</b> Reflexión de las líneas cinta fabricadas LTS11_2 y LTS21_1.....	90
<b>Figura 4-61.</b> Transmisión de las líneas cinta fabricadas LTS11_2 y LTS21_1.....	90
<b>Figura 4-62.</b> Reflexión de las líneas cinta LTS22_2 y LTS12_2.....	91

<b>Figura 4-63.</b>	Transmisión de las líneas cinta fabricadas.....	91
<b>Figura 4-64.</b>	Reflexión de la línea cinta LTS13_2 y la simulación teórica.....	92
<b>Figura 4-65.</b>	Transmisión de la línea cinta fabricadas LTS13_2.....	92
<b>Figura 4-66.</b>	Reflexión de la línea LTV1-2 y la simulación teórica.....	93
<b>Figura 4-67.</b>	Transmisión de la línea LTV1_2 y la simulación teórica.....	93
<b>Figura 4-68.</b>	Reflexión de la línea LTV2-2 y simulación teórica.....	94
<b>Figura 4-69.</b>	Transmisión de la línea LTV2_2 y simulación teórica.....	94
<b>Figura 4-70.</b>	Stackup del PCB multicapa... ..	95
<b>Figura 4-71.</b>	Efecto de la herramienta de fresado.....	96
<b>Figura 4-72.</b>	Vía fabricada, corte transversal .....	97
<b>Figura 4-73.</b>	Reflexión de las líneas LTM1 con el modelo teórico.....	97
<b>Figura 4-74.</b>	Transmisión de las líneas LTM1 con el modelo teórico.....	98
<b>Figura 4-75.</b>	Reflexión de las líneas LTM2 con el modelo teórico.....	98
<b>Figura 4-76.</b>	Transmisión de las líneas LTM2 con el modelo teórico.....	98
<b>Figura 4-77.</b>	Reflexión de las líneas LTM3 con el modelo teórico.....	99
<b>Figura 4-78.</b>	Transmisión de las líneas LTM3 con el modelo teórico.....	99
<b>Figura 4-79.</b>	Reflexión de las líneas cinta fabricadas.....	100
<b>Figura 4-80.</b>	Transmisión de las líneas cinta LTS11_2 y LTS21_1.....	100
<b>Figura 4-81.</b>	Reflexión de las líneas cinta LTS22_1 y LTS12_2.....	100
<b>Figura 4-82.</b>	Transmisión de las líneas cinta LTS22_1 y LTS12_2.....	101
<b>Figura 4-83.</b>	Reflexión de la línea cinta LTS13_2, modelo teórico... ..	101
<b>Figura 4-84.</b>	Reflexión de la línea LTV1-2, modelo teórico.....	102
<b>Figura 4-85.</b>	Transmisión de la línea LTV1-2, modelo teórico.....	102
<b>Figura 4-86.</b>	Reflexión de la línea LTV2-2, la simulación teórica.....	102
<b>Figura 4-87.</b>	Transmisión de la línea LTV2-2, la simulación teórica... ..	103
<b>Figura 6-1.</b>	Plataforma EEWeb para encontrar la impedancia... ..	106
<b>Figura 6-2.</b>	Método numérico para encontrar la impedancia de la línea... ..	106
<b>Figura 6-3.</b>	Saturn PCB; herramienta para el cálculo de impedancias... ..	107
<b>Figura 6-4.</b>	Respuesta de la variación del espesor del cobre... ..	107
<b>Figura 6-5.</b>	Modelo de microcinta con conectores Through Hole .....	109
<b>Figura 6-6.</b>	Convergencia del modelo de línea microcinta.....	109
<b>Figura 6-7.</b>	Modelo de línea con vías con conectores Through Hole.....	110
<b>Figura 6-8.</b>	Convergencia de línea con vías .....	110
<b>Figura 6-9.</b>	Modelo de línea cinta con conectores through hole .....	111
<b>Figura 6-10.</b>	Convergencia de modelo cinta.....	111

# Índice de Tablas

<b>Tabla 3-1.</b> Constantes dieléctricas y tangentes de pérdidas.....	19
<b>Tabla 4-1.</b> Condiciones iniciales del laboratorio .....	42
<b>Tabla 4-2.</b> Medición de los espesores de un PCB... ..	43
<b>Tabla 4-3.</b> Variaciones aceptadas de W para la línea microcinta .....	49
<b>Tabla 4-4.</b> Variaciones aceptadas del espesor(H)... ..	51
<b>Tabla 4-5.</b> Variación permitida del ancho de pista (W)... ..	54
<b>Tabla 4-6.</b> Variación permitida del espesor del dieléctrico... ..	55
<b>Tabla 4-7.</b> Variación permitida para que exista un control de impedancia .....	56
<b>Tabla 4-8.</b> Reglas de diseño para PCB multicapa .....	59
<b>Tabla 4-9.</b> Resumen de los resultados obtenidos según el análisis 3D.....	77
<b>Tabla 4-10.</b> Diferencia en el stackup inicial y el fabricado .....	95
<b>Tabla 4-11.</b> Relación de la Impedancia de las líneas inicial y fabricadas .....	96

# 1- Introducción

Actualmente, los circuitos impresos(PCB), constituyen el medio que más se utiliza para la integración de sistemas electrónicos funcionando como interconexión y soporte de los componentes. Los PCBs (*Printed Circuits Boards*) generalmente están compuestos por múltiples capas de cobre separadas por dieléctricos e interconectadas por vías. Su uso se extiende a innumerables aplicaciones; por ejemplo, en los procesos de automatización y comunicaciones eléctricas. Las placas de circuito impreso son clasificadas según el proceso de fabricación (PCB de una cara, de doble cara o multicapa) o al uso final que se le dé (analógico o digital) (Coombs, 2001). Al ser la parte central de cualquier diseño electrónico que requiera fabricarse, las características y la mejor forma de trabajar con el mismo, debe de ser una tarea esencial para los diseñadores y fabricantes electrónicos.

Como cualquier otro material, las placas de circuito impreso se encuentran limitadas en potencia y frecuencia, en este proyecto se le dará mayor énfasis a la segunda variable, debido a que se diseñará y fabricará circuitos eléctricos que operen en radiofrecuencia. Además, es necesaria la implementación de tecnología multicapa (para determinadas líneas), proceso que requiere de maquinaria especial para su fabricación.

Ciertas consideraciones deben ser tomadas al momento de diseñar y fabricar un circuito impreso en radiofrecuencia, debido a que la velocidad de transmisión de la señal es cada vez más rápida, problemas de SI (*Signal Integrity*) son causados por diversos mecanismos como discontinuidades en la impedancia en el PCB. Aspectos tan relevantes como la selección del perfil de la tarjeta (stackup), de acuerdo con los materiales y la tecnología presente, son necesarios de considerar.

A frecuencias que superan los 1GHz, la integridad de la señal se puede ver fuertemente afectada por variables como el espesor del dieléctrico (H, definido en el *stackup*), las características del material y el ancho de pista(W). En ese rango de frecuencia, es necesario aplicar control de impedancia, en la cual se pretende minimizar las reflexiones, lo cual se logra cuando el cable de conexión o la pista y los dispositivos transmisores y receptores tienen la misma impedancia. Este principio es válido para todas las frecuencias, pero en la práctica es de mayor importancia a frecuencias más altas (Coombs, 2001). La impedancia con la que normalmente se trabaja y a la que se trata de acoplar todos los componentes eléctricos, es de  $50\Omega$ , este valor es el que será base en la aplicación de la metodología de este proyecto. Las interconexiones en un PCB que funcionan a velocidades muy altas necesitan ser modeladas como una transmisión de parámetros distribuidos, el modelo de línea, en lugar del modelo RC convencional. El cálculo de estos parámetros juega un papel significativo al decidir el rendimiento de cualquier PCB, y requieren, un método preciso para determinar estos parámetros en un amplio rango de interconexión geométricas. (Kulkarni, Murthy,

Prasad, y Patro, 1995). Uno de esos métodos es el Análisis de Elementos Finitos(FEA), utilizado por sistemas EDA como los de Ansys Electronics Desktop y el cual será relevante en el tratamiento de esta metodología.

El nuevo laboratorio de circuitos impresos de la Escuela de Ingeniería Electrónica del Tecnológico de Costa Rica(TEC) fue establecido el segundo semestre del año 2017, con sus equipos, tiene las características de ser un laboratorio con la capacidad de brindar servicios a externos e investigaciones, pero para el aprovechamiento máximo de esos recursos, es necesario formular las metodologías, al momento del diseño y la fabricación de placas electrónicas que operen en radiofrecuencia. Aunque es un laboratorio único en el país, la tecnología de fabricación, que consiste en el laminado de capas, no permite la realización de diseños con alta densidad (*High Density*), limitación que es necesaria reconocer para algunos diseños electrónicos.

Todos los fabricantes de circuitos impresos multicapa deben de tener establecido el arreglo de capas (*stackup*) del laminado de sus PCBs, de tal manera que puedan asegurarles a sus clientes que el proceso es controlado y se debe tener certeza que el producto final cumplirá con las especificaciones que el cliente ha establecido. Lo anterior debe de lograrse en el laboratorio de circuitos impresos de la Escuela de Ingeniería Electrónica del TEC. Para lograr establecer un *stackup* definitivo es necesario poder medir el espesor de los circuitos impresos multicapa que se produzcan, con los procedimientos del laboratorio, para poder afirmar que los rangos del espesor del sustrato serán en promedio X y que por lo tanto requerirá un valor de Y de ancho de pista, según sea su configuración (que por lo general son líneas de tipo microcinta y cinta).

El objetivo general de este proyecto es desarrollar una metodología para la simulación y fabricación de circuitos impresos en radiofrecuencia, con las consideraciones de control de impedancia y simulación previa a la fabricación. Los objetivos específicos consisten en diseñar una plataforma electrónica multicapa en un *software* tipo CAD donde pueda ser desarrollada la metodología, proponer una metodología para la exportación de los datos CAD generados para su posterior simulación en un *software* de radiofrecuencia y validar la metodología fabricando la plataforma electrónica con las condiciones del laboratorio de la Escuela de Ingeniería Electrónica.

Este trabajo se encuentra estructurado de la siguiente manera:

El capítulo dos abarca conceptos relacionados a las tecnologías de fabricación de plataformas electrónicas multicapa, para comprender las condiciones a las que el proyecto estará expuesto. Se tratarán los tipos de formatos CAD y CAM para la fabricación de plataformas electrónicas. También el proceso estándar para la fabricación de circuitos impresos multicapa. Se comentará sobre los tipos de herramientas para estructuración y su importancia

en la fabricación de circuitos impresos en radiofrecuencia. Por último, se abarcarán conceptos relacionados a la simulación de onda completa (*full wave*) con la utilización de los sistemas CAE que proporciona Ansys Electronics Desktop.

El capítulo tres se enfoca en el desarrollo de la metodología para el diseño, simulación y fabricación de circuitos impresos en radiofrecuencia, según las condiciones del Laboratorio de la Escuela de Electrónica. El desarrollo abarcará desde las especificaciones del diseño, pasando por la metodología para el paso del diseño CAD a un sistema tipo EDA para simulación electromagnética, y la posterior metodología para la fabricación con las herramientas presentes en el Laboratorio.

El capítulo cuatro está enfocado a la aplicación de la metodología, específicamente se trabajará con el control de impedancia de líneas tipo cinta y microcinta. Se realizará una optimización en 3D de las líneas y de esta manera se tomará en cuenta otras variables que tienen importancia al momento de trabajar con este tipo de técnicas. En este mismo capítulo se desarrollará la forma de proceder al momento de fabricar circuitos impresos multicapa en la Escuela de Electrónica, los resultados de la fabricación y el posterior análisis.

En el capítulo cinco se resumen las conclusiones del proyecto y recomendaciones para iniciativas a futuro.

## 2- Tecnologías de Circuitos Impresos

En esta sección se discutirán las tecnologías de PCB; los procesos para realizarlos, proceso CAD/CAM y los formatos. También las evaluadas y el sistema utilizado para la simulación de onda completa.

### 2.1 Placas de Circuito Impreso

Una placa de circuito impreso es el soporte físico para los componentes electrónicos y el que permite la comunicación de estos elementos con otros en la misma placa a través de las pistas. Los PCBs pueden clasificarse de manera general en función al uso final que se les dé ya sea en analógicos o digitales. Según su función estos PCBs deben ser tratados de manera diferente, ya que deben considerarse materiales, requisitos y las implicaciones del diseño. Por ejemplo, si se habla de productos como transmisores, receptores, hornos de microondas, fuentes de alimentación y productos similares, se refieren a PCB analógicos, de RF y de microondas. Si el producto es procesador, computadoras, videojuegos e impresoras, esos se refieren a circuitos digitales; los cuales son más complejos (Coombs, 2001).

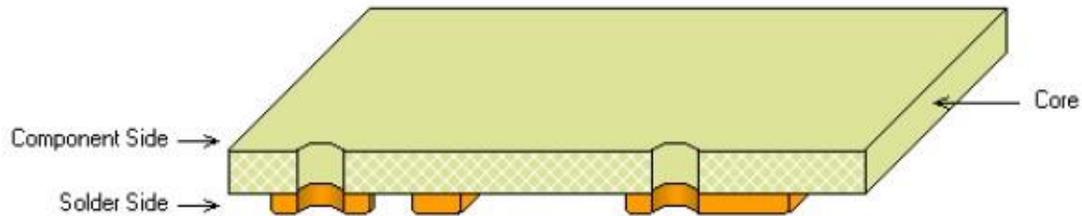
Otra forma de clasificar los PCBs son por medio de las capas de interconexiones y la presencia o no de agujeros metalizados; lo que comúnmente se conoce como vías. Para conocer cual tipo de a PCB utilizar, debe considerarse el rendimiento del ensamblaje, disipación de calor, requisitos de rigidez mecánica, rendimiento eléctrico (blindaje, acople de impedancia). (IPC-2221, 1998)

Según esta clasificación (la cual es dependiente también de la forma en que los PCBs fueron producidos) estos pueden ser divididos en:

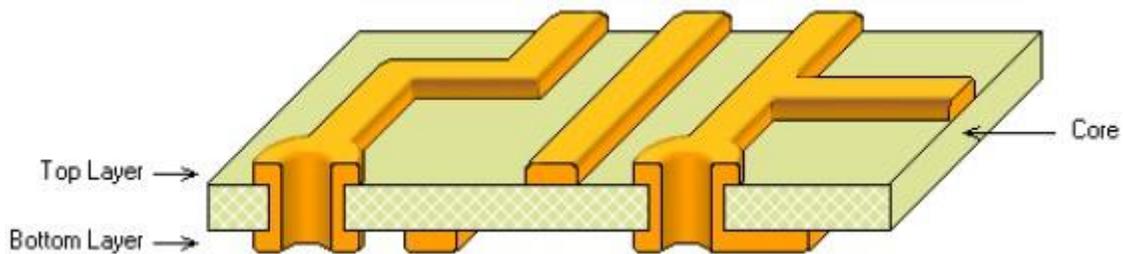
#### 2.1.1. PCB de una cara

Estas placas tienen circuitos eléctricos a un solo lado (SSB, por sus siglas en inglés, *Single Side Board*), lo que lo hace de bajo costo, pero se encuentra limitado a circuitos sencillos, ya que una de las mayores dificultades con este tipo de PCB es el cuidado de que las pistas no se crucen entre sí, lo cual implica que las pistas ocupan un espacio considerable en la placa. Este tipo de PCB se encuentra compuesto por un dieléctrico (el Core), que generalmente es FR4-epoxy y una capa fina de cobre, la capa donde generalmente se sitúan los componentes se conoce como *Componente Side*, y es la capa de cobre donde se vierte la soldadura. La excepción a esto son los circuitos de montaje superficial (SMC, por sus siglas en inglés, *Surface Mount Component*), los cuales son soldados en la misma

capa de cobre (Altium, 2013). La figura 2-1 muestra al PCB de una cara y las partes de este.



**Figura 2-1.** PCB de una cara (Altium, 2013)



**Figura 2-2.** PCB de dos caras con metalización (Altium, 2013)

### 2.1.2. PCB doble cara

En este tipo de placas, los componentes e interconexiones se sitúan en ambas caras, y la comunicación entre ambas caras se logra con las inserciones de vías. La cual no es más que un hueco pasante en el PCB que está recubierto con un material conductor. Este tipo de PCB permite que las pistas se crucen entre sí, lo cual permite que se diseñen circuitos más complejos, pero limitados en frecuencia. Los PCB de doble cara llegan a producir 15dB de radiación más que un PCB de 4 capas por ejemplo (Stephen, Garrett, James, 2000). Según lo anterior, este PCB puede clasificarse en:

- *Through Hole* con metalización: Placas que utilizan las dos caras para realizar conexiones.
- *Through Hole* sin metalización: Placas que pueden trabajar de forma independiente, y por eso no requieren de vías para su operación.

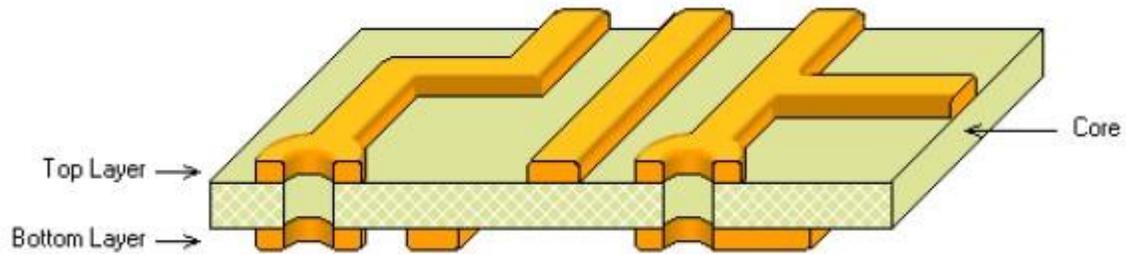


Figura 2-3. PCB de dos caras sin metalización (Altium, 2013)

### 2.1.3. PCB Multicapa

Estas placas (ver figura 2-4 y 2-5) tienen una o más capas de conductores internamente, además de tener una capa conductora en cada superficie exterior. Las capas internas están conectadas entre sí y con las capas externas mediante orificios pasantes o vías. Estos son los preferidos para casi todas las aplicaciones digitales, desde computadoras personales hasta supercomputadoras. El número de capas varía entre 3 y hasta 50 en aplicaciones especiales (Coombs, 2001).

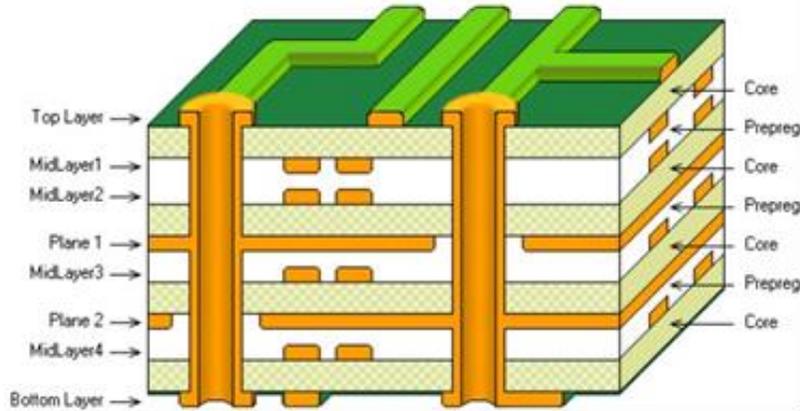
A nivel electromagnético, las placas de PCB multicapa presentan planos de potencia, los cuales reducen significativamente la emisión de radiación (Stephen, Garrett, James, 2000). Las figuras 2-4 y 2-5 son ejemplos de PCBs multicapa, en ese caso se muestran 8 capas (mostrado en color naranja). Los PCBs multicapa se encuentran formados por un dieléctrico, el cobre, y para que no haya cortocircuitos se colocan entre ellos otras capas de material prepreg, que no es más que otra capa de dieléctrico más delgado.

Las dos técnicas para la producción de PCBs multicapa se detallan a continuación:

**Laminado:** La laminación es el proceso mediante el cual se forman los PCB de más de dos capas. En el proceso, se colocan las capas de cobre y el material dieléctrico llamado prepreg en una especie de *sandwich*, se coloca en una prensa capaz de calentar la combinación a una temperatura que hace que la resina preimpregnada llegue al estado líquido. La resina licuada fluye hacia los vacíos, en los patrones de cobre para crear un panel sólido en el tiempo de utilización. Una vez enfriado, el panel se envía a través de las operaciones de taladrado (*drilling*) y enchapado (*plating*) (Coombs, 2001).

La interconexión de capa a capa se logra taladrando mecánicamente los agujeros a través del espesor del compuesto y depositando el recubrimiento de cobre en las paredes de los agujeros, uniendo el circuito de las capas internas donde se cruza con el cilindro revestido. La densidad de cableado total que se puede lograr a través de este proceso está limitada por

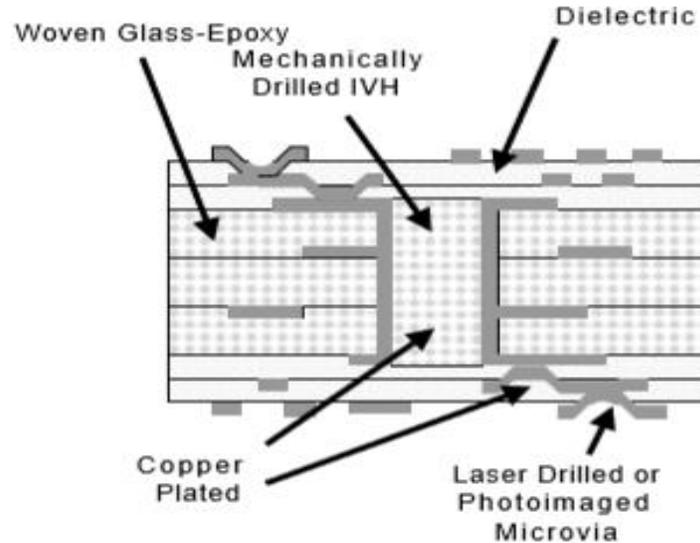
las tolerancias de grabado y espesores dieléctricos requeridos para lograr una impedancia objetivo, por ejemplo,  $50\Omega$  (Blackshear y Cols., 2005).



**Figura 2-4.** Ejemplo de tecnología de laminado multicapa (Altium, 2013)

**Construcción Secuencial (*Built Up*):** La secuencia Built-Up (SBU, o sólo built-up) se utilizan para placas de alto rendimiento que requieren densidades más altas o cambios de tamaño de geometría drásticos. En SBU cada capa se procesa por separado. Las vías, llamadas *microvias* (observar la figura la figura 2-4 donde se muestran los tipos de vías que se utilizan en esta tecnología), pueden formarse mediante fotoprocesos, grabado o perforación láser (Blackshear, Cases, Klink, Engle, Malfatt, R. S, de Araujo, Russell, 2005). Los pasos generales para la aplicación de este tipode tecnología son los siguientes:

1. Rutear el núcleo usando técnicas de *drill* y *plating*.
2. Depositar simétricamente una capa de dieléctrico, lo más plana posible haciendo esfuerzos balanceados.
3. Usar fotoprocesado y taladrado laser formando microvías en el depositado.
4. Plantar semillas de material conductor puro para rellenar huecos.
5. Aplicar una capa electrolítica de cobre.
6. Revelar la capa electrolítica y vías usando una capa fotoresistiva.
7. Alcanzar la densidad deseada usando una capa de cobre electroenchapado.
8. Remover los restos de dieléctrico y semillas conductoras.
9. Se repiten los puntos del dos al ocho hasta alcanzar el número de capas del diseño.



**Figura 2-5.** Ejemplo de tecnología de fabricación Built up (Cooms, 2001)

Aunque tecnologías modernas pueden utilizar tecnologías de construcción secuencial, con las que se logra una mayor densidad y la posibilidad de introducir microvias (Rímolo, 2010) la discusión se va a limitar a la técnica tradicional de laminado con vías de orificios metalizados (*through-hole vías*), dado que esta es la técnica de fabricación disponible.

#### 2.1.4. Herramientas para fresado

A nivel de prototipado, las capas metálicas se estructuran a través de remoción mecánica. Para crear aislamiento en un PCB, o taladrarlo, es necesario el uso de herramientas para fresado, las cuales, a escala micrométrica, tienen un efecto en el sustrato y en el cobre. Este tipo de herramientas se ilustran en la figura 2-6.

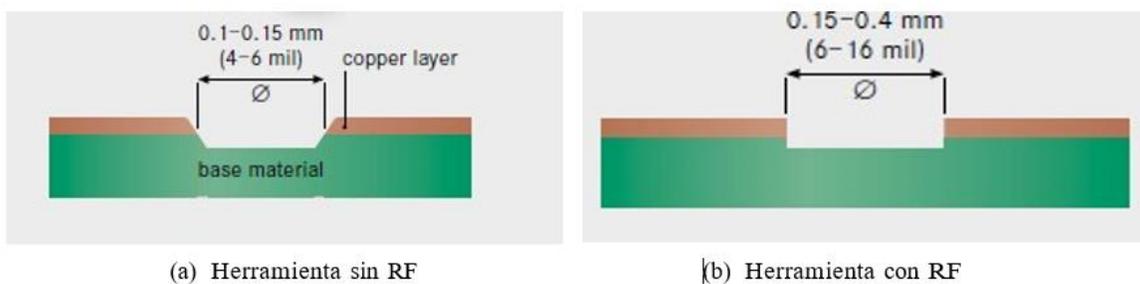


**Figura 2-6.** Herramientas para el fresado de las placas de circuito impreso (LPKF, 2018)

Estas herramientas son seleccionadas por la fresadora o CNC para realizar trabajos tan pequeños (donde se utilicen herramientas como *microcutter a 100um*) o grandes como *End Mill de 2mm* o *Universal Cutter*. La fresadora puede realizar estos cambios de forma manual o automática. A propósito de los tipos de herramientas (ver numeración al pie de las herramientas de la figura 6), estas se suelen clasificar de la siguiente manera (LPKF, 2018):

- Herramientas de mecanizado de superficies
  - Herramientas Cónicas
    - Micro Cortadora (1)
    - Cortadora Universal (2)
  - Herramientas Cilíndricas
    - Fresa RF (3)
    - Fresa (4)
- Herramientas de perforación.
  - Fresa (larga) (5)
  - Contorno (6)
  - Huecos (7)

El uso de estas en radiofrecuencia, tienen un efecto en el sustrato y el cobre que se debe de considera. Dependiendo de cuál herramienta se utilice (si se utiliza de RF o no), el resultado se ilustra en la figura 2-7.



**Figura 2-7.** Efecto de las herramientas en el PCB (LPKF, 2018)

## 2.2 Diseño, Fabricación y Validación de PCBs

El proceso de diseño de un PCB se extiende desde el concepto hasta la fabricación, el montaje de componentes y pruebas. Este proceso es desarrollado por herramientas basadas en computadora (*computer-aided*) para automatizar, aumentar el rendimiento y precisión. Las herramientas de computadora se pueden dividir en tres grupos:

### 2.2.1 CAD (*Computer-Aided Design*) para PCBs

Las herramientas CAD se utilizan para convertir el circuito eléctrico descrito por el esquema en un paquete físico PCB. Las herramientas se alimentan de listas de nets, listas de componentes, reglas de cableado y otra información de diseño mediante captura esquemática. En su forma más simple, permiten al diseñador crear patrones de *pads* para los componentes y la forma del PCB, y luego conectar manualmente los componentes con trazas de cobre. Las herramientas de CAD más sofisticadas pueden determinar automáticamente la ubicación óptima de cada componente en el PCB (*autoplacement*) y también permiten conectar automáticamente (*autoroute*) todos los conductores mientras se siguen las reglas de diseño (Coombs, 2001). Esto se logra proporcionando a la herramienta CAD una tabla de reglas que especifica qué componentes deben ubicarse en grupos o cerca de conectores, así como especificando cuánto espacio debe mantenerse entre los *footprints* vecinos, la longitud máxima permitida entre puntos en un net, entre otros.

Los resultados de las herramientas CAD son los archivos de información necesarios para fabricar, ensamblar y probar el ensamblaje de PCB. Estas son listas de prueba, archivos de *photoplotting*, listas de materiales, archivos de *pick-and-place* y dibujos de ensamblaje. Las herramientas CAD se componen de enrutadores de circuitos, herramientas de ubicación, herramientas de comprobación y herramientas de generación de archivos de salida. (Coombs, 2001).

### 2.2.2 CAE (*Computer-Aided Engineering*)

Se refiere a las herramientas y sistemas basados en computadora que se emplean en las etapas de diseño antes del paso de diseño físico o para analizar y evaluar el rendimiento eléctrico del diseño físico final. Estos incluyen: Sistema de captura del esquemático, sintetizador, simulador, emulador, analizador de circuitos y herramienta para la predicción de impedancia. (Coombs, 2001).

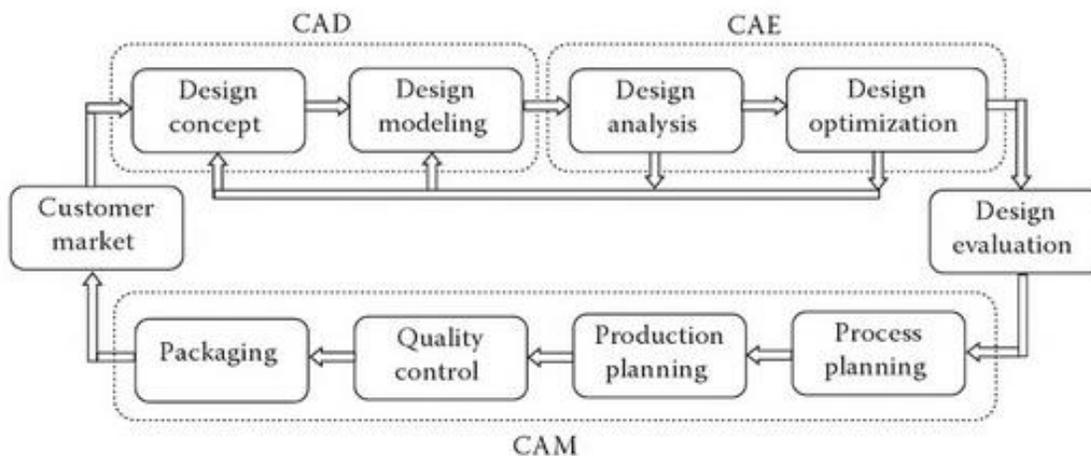
Existen sistemas que abarcan las tecnologías CAD y CAE, estos son conocidos como EDA, los cuales tienen la capacidad de diseñar, al igual que los sistemas CAD y de simular como los sistemas CAE, un ejemplo conocido son los sistemas EDA de Ansys Electronics Desktop. El cual consiste en un conjunto de *software* de simulación electromagnética (EM) 3D o 2D para diseñar y simular productos electrónicos de alta frecuencia como antenas, componentes de RF o microondas, interconexiones de alta velocidad, filtros, conectores, paquetes de circuitos integrados y placas de circuito impreso(Ansys, 2018).

### 2.2.3. CAM (*Computer-Aided Manufacturing*)

La fabricación asistida por computadora (CAM) se puede definir como el uso de sistemas informáticos para planificar, administrar y controlar las operaciones de una planta de fabricación a través de una interfaz de computadora directa o indirecta con los recursos de producción de la planta. En otras palabras, el uso del sistema informático en actividades que no son de diseño, pero en el proceso de fabricación se llama CAM (Elanchezhian, 2007).

Las herramientas CAM son sistemas CAD adaptados a las necesidades del proceso de fabricación. El resultado del proceso de diseño de PCB es un conjunto de archivos CAD (como por ejemplo Gerber, ODB++) que describen cada capa de un PCB, los requisitos de serigrafía (*silkscreen*), los requisitos de perforación e información de la lista de conexiones. Las herramientas CAM permiten al fabricante realizar todas estas operaciones de forma automática y rápida (Coombs, 2001).

Las herramientas CAM pueden verificar las ilustraciones (*artwork*) en función de las reglas de espaciado, reglas de corte y reglas de conectividad, y hacer correcciones si es necesario. (Coombs, 2001).



**Figura 2-8.** Relación de las tecnologías CAD, CAE y CAM (Chen, Liu, 2015)

## 2.3. Formatos de Diseño y Fabricación

Un argumento importante para comprar todas las herramientas CAE, CAD y CAM de un único proveedor es garantizar que todos sean interoperables. En el pasado, esta era una preocupación importante porque cada proveedor tenía formatos de datos propietarios y no había formatos de datos estándar de la industria. IPC, IEEE y otras asociaciones comerciales han desarrollado formas estándar de intercambio de datos entre sistemas. Estos han sido

adoptados por los proveedores, por lo que es relativamente fácil conectar entre sí las mejores herramientas de diferentes proveedores (Coombs, 2001).

Para facilitar la comunicación entre sistemas CAD/CAM, sin importar el fabricante de los sistemas, se tienen los siguientes formatos que son muy usados en la industria de circuitos impresos.

### 2.3.1. Gerber

Los datos Gerber son un medio simple y genérico de transferir información de la placa de circuito impreso a una amplia variedad de dispositivos que convierten los datos electrónicos de PCB en figuras. Es una estructura de *software* que consiste en coordenadas X, Y complementadas por comandos que definen dónde comienza la imagen del PCB, qué forma tomará y dónde termina. Además de las coordenadas, los datos de Gerber contienen información de apertura, que define las formas y tamaños de líneas, agujeros y otras características. (Gent, Belgium, 2001).

Gerber es un formato vectorial ASCII abierto que muestra partes de una placa como capas de cobre, diseño de máscara de soldadura, etc. Al ser un formato simple, muchas aplicaciones pueden interpretarlo, tiene especificaciones detalladas y tiene pocos errores debido a su amplia uso y posterior depuración. El formato simple de Gerber significa que también es fácil identificar y corregir errores. Hay tres generaciones de Gerber: Gerber X2 (formato más reciente), Gerber extendido o RS-274X, y Gerber estándar o RS-274-D; que ahora está obsoleto. El formato Gerber X2 contiene información sobre el *stackup* del PCB, que no estaba en versiones anteriores. El software que admite el formato X2 leerá e identificará la función de cada elemento en el archivo (Sierra Circuits, 2018).

Un programa CAD que fabrica este tipo de formato, fabricará los elementos del PCB capa por capa, de la misma manera los huecos, esto significa que se tendrán tantos archivos como capas del PCB que se quiera fabricar.

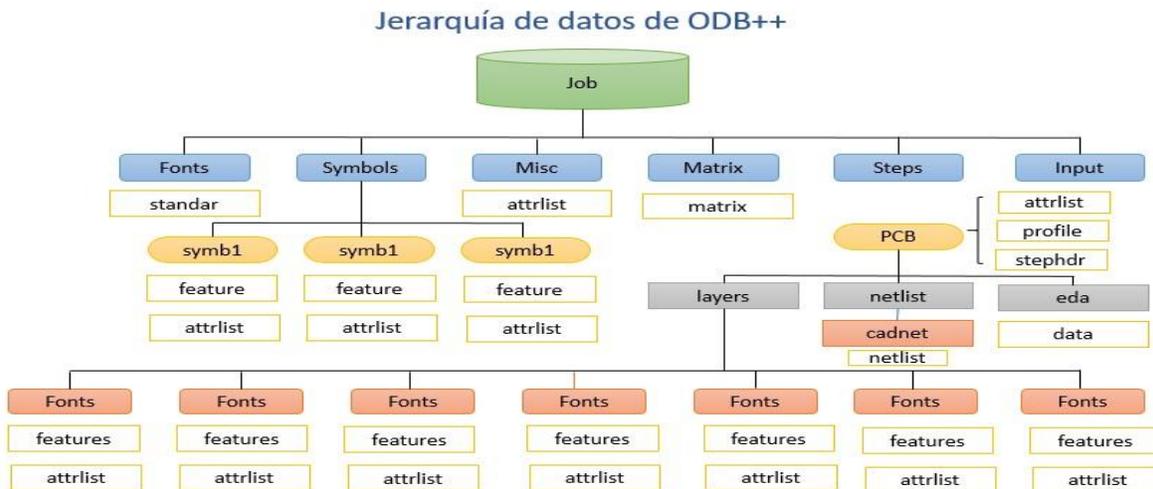
### 2.3.2. ODB++

ODB++ es un formato creado en 1992 por Valor Computerized System LTD, fue pensado para que fuera de dominio público, en el 2008 fue aprobado por el IPC como el estándar único oficial para el intercambio de datos en la industria electrónica. Las mayores ventajas que ofrece este formato en comparación con Gerber por ejemplo; que es uno de los formatos obsoletos, pero bastante utilizado en la industria, estas ventajas son debido a que ODB++ conserva completamente la información mecánica y eléctrica de la placa, por su parte Gerber es un formato cuyo uso es limitado en comparación con ODB++, ya que, es un formato

simple, el cual contiene solo las coordenadas x/y para la producción del circuito, utiliza hasta 100 dialectos, los cuales deben ser interpretados; esto genera errores.(Moggioni, 2016).

La figura 2-9, muestra la jerarquía que utiliza este formato para conservar toda la información que proviene del diseño CAD. Como se observa en la imagen, todos los datos se encuentran contenidos en un solo archivo. Los datos que corresponden al modelo grafico se describen de manera legítima, por lo que, por ejemplo, no existe ningún llenado de superficie de cobre o *pads* de soldadura especial que luego tenga que ser cambiado por el fabricante de circuitos.

ODB++ contiene una descripción de listas de nets CAD, con la cual, el fabricante de PCBs puede verificar las conexiones eléctricas durante el proceso de fabricación en cuanto a coincidencia con el diseño original, contiene una tabla de posición en la cual el nombre de las capas, los tipos de capas, la polaridad y el orden de estas está definido. Contiene una estructura de capas que define la lista de piezas y la estructura general de la placa. ODB++ contiene para las capas de taladrado y fresado la asignación de los taladros que contactan con las capas correspondientes. (Tziano, 2014)



**Figura 2-9.** Jerarquía de datos que presenta ODB++

### 2.3.4. Excellon

El formato de perforación *Excellon* es un subconjunto de RS274D (primera versión de Gerber) y es utilizado por las máquinas fresadoras para la fabricación de los huecos. Debido a la larga historia de *Excellon* y al dominio del negocio de perforación de PCB durante muchos años, su formato es un estándar de la industria de facto. Casi todos los programas de diseño de PCB pueden producir este formato (Artwork, 2018).

## 2.4. Simulación Electromagnética

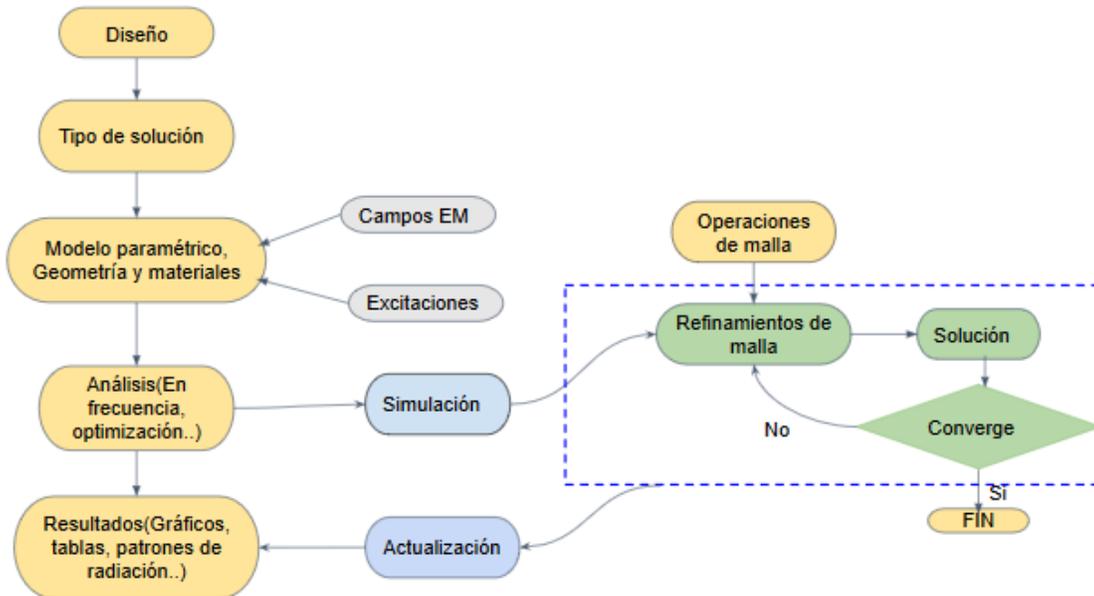
Los diseños generados mediante la tecnología CAD suelen ser simulados para considerar variables y factores que no son posible tomar en cuenta en dichos diseños. Es usual también, la optimización de los diseños, lo cual requiere un análisis detallado para determinar tensiones, deflexiones, frecuencias naturales, formas de modos, distribución de temperatura, tasas de flujo de calor, campos electromagnéticos, etc. La importancia del modelado y la simulación en la tecnología de fabricación está aumentando debido a la necesidad de reducción continua de los tiempos de desarrollo. Esto necesita la optimización de los procesos de producción, mejora de la calidad del producto y reducción de costos. La aplicación de modelos numéricos se utiliza especialmente en el desarrollo de nuevos métodos de producción y en el uso de nuevos materiales (Radhakrishnan, Subramayan, Raju, 2008).

Para resolver los problemas asociados a las optimizaciones de los diseños y a la inclusión de condiciones que no se toman en cuenta en el diseño CAD, existen métodos numéricos que son ejecutados por computadora para simular esas condiciones. Generalmente son cálculos complejos, como por ejemplo, las soluciones de las Ecuaciones de Maxwell para geometrías complejas; algunos métodos utilizados por simuladores numéricos son:

- Método de Elementos Finitos.
- Método del Elemento de Límite.
- Método de Diferencia Finita.
- Método de Volumen Finito.
- Método de *Meshless*.

Especial énfasis se le dará al método de Elementos Finitos, debido a que éste es muy usado en la industria de las tecnologías CAE y EDA. La descripción de las leyes de la física para los problemas dependientes del espacio y el tiempo generalmente se expresa en términos de Ecuaciones en Derivadas Parciales (EDP). Para la gran mayoría de las geometrías y problemas, estas EDP no se pueden resolver con métodos analíticos. En cambio, se puede construir una aproximación de las ecuaciones, generalmente basada en diferentes tipos de discretizaciones. Estos métodos de discretización se aproximan a las EDP con ecuaciones de modelo numérico, que se pueden resolver utilizando métodos numéricos. La solución a las ecuaciones del modelo numérico es, a su vez, una aproximación de la solución real a los PDE. El método de Elementos Finitos (FEM) se usa para calcular tales aproximaciones (Comsol, 2017). De manera general es utilizado para problemas que involucren valores de frontera o también llamados problemas de campos.

Uno de los sistemas EDA relevante para efectos de este proyecto es Ansys Electronics Desktop, el cual, utiliza FEM para aproximar una solución a las Ecuaciones de Maxwell (para aplicaciones de radiofrecuencia) en geometrías 3D generales.

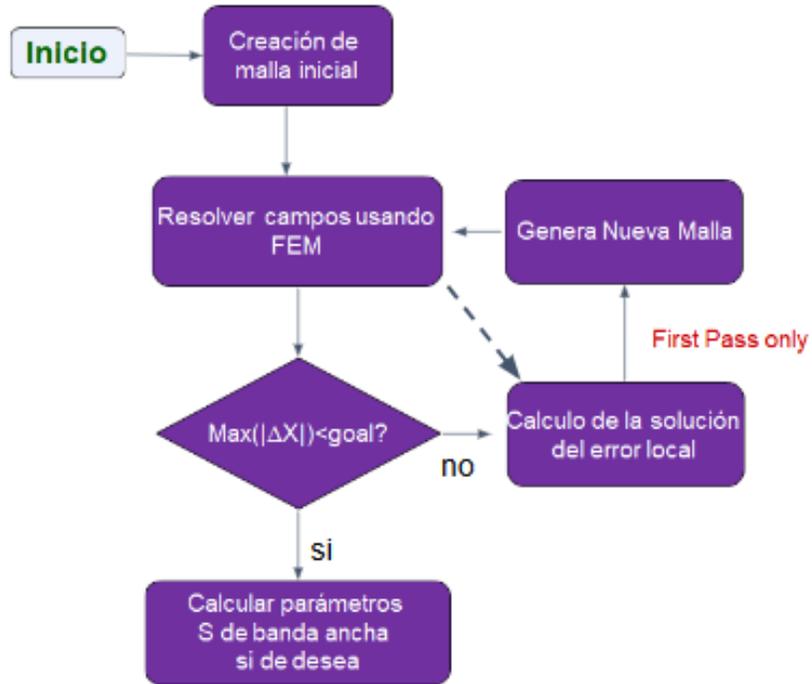


**Figura 2-10.** Flujo de Ansys Electronics Desktop para la solución de problemas de campos (Ansys, 2010)

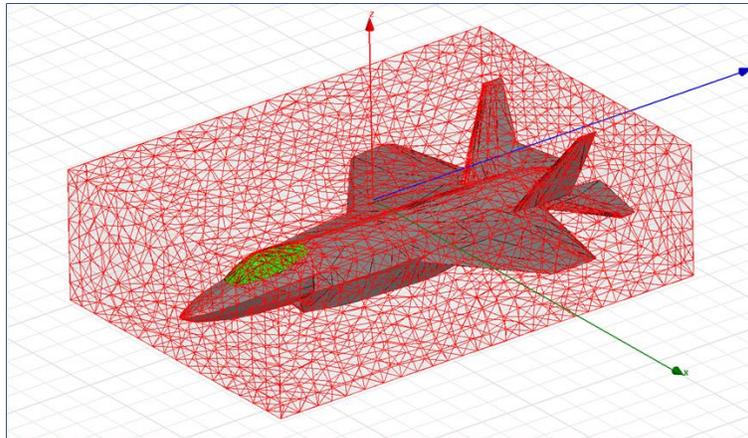
El acercamiento de solución utilizado por esta herramienta es el siguiente:

1. Definir el problema, especificando la región de interés, fuentes y materiales dentro de la región.
2. Partición de la región en pequeñas partes llamadas elementos finitos. Definir un punto nodal para cada elemento finito.
3. Especificar un conjunto de funciones básicas sobre los elementos finitos; esto reduce la solución a determinar un conjunto de coeficientes que multiplican las funciones y no la función en sí.
4. Establecer un algoritmo para la solución iterativa del campo en los puntos nodales y con la tolerancia deseada.

El algoritmo iterativo utilizado por Ansys Electronics Desktop para generar el mallado, es el que se muestra en la figura 2-10, de esta manera logra encontrar solución a geometrías tan complejas como la que se muestra en la figura 2-11.



**Figura 2-11.** Flujo de HFSS para crear el mallado (Ansys, 2010)



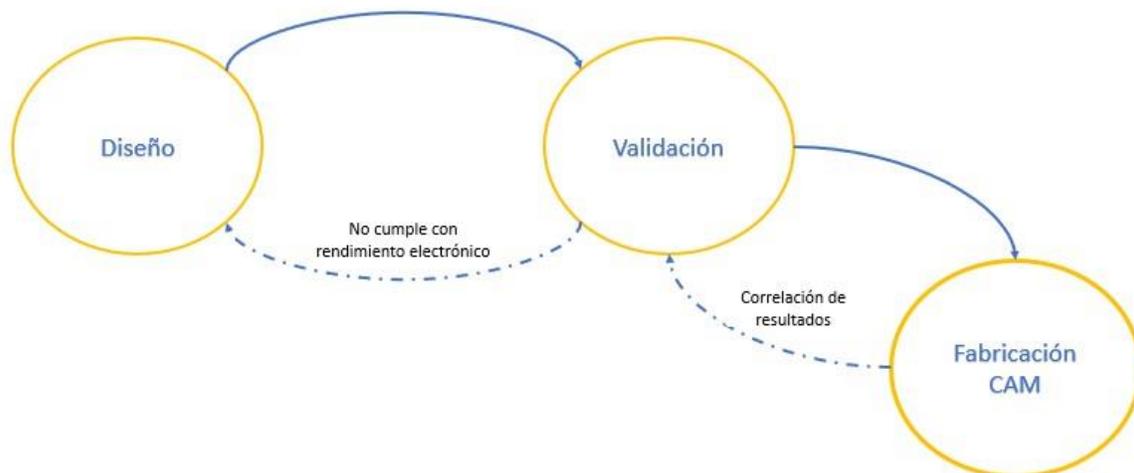
**Figura 2-12.** Mallado aplicado a estructuras complejas en Ansys Electronics Desktop (Ansys, 2010)

## 3- Metodología para el Diseño y Fabricación de PCBs en Aplicaciones de RF

### 3.1. Diseño de Plataformas Electrónicas en RF

El objetivo del diseño de un PCB es prevenir pérdidas de rendimiento, costos muy altos y desempeño inestable. Esto se logra considerando todos los elementos activos del PCB, las variaciones normales como velocidades de componentes, rangos de temperatura, rangos de voltajes de la fuente de alimentación y tolerancias de fabricación, así como el diseño adecuado de las interconexiones (Coombs, 2001).

La figura 3-1 muestra los pasos generales para la aplicación de la metodología explorada en este trabajo. Los pasos más importantes son la de diseño, luego la de validación y por último la de fabricación. Existe una realimentación entre la fase de diseño y validación, con el objetivo de conocer si el diseño cumple con los criterios de rendimiento electrónico especificados. Entre la fase de validación y fabricación se encuentra otra realimentación donde los resultados obtenidos, luego de la fabricación, se correlacionan con los predichos en la validación. Esta correlación es necesaria para conocer qué tanto los resultados se desviaron del modelo de simulación y de esta manera decidir si es necesario un nuevo cambio en el diseño. Si los resultados correlacionados se encuentran en un rango de tolerancia establecido, entonces el flujo finaliza en la fase de fabricación CAM.

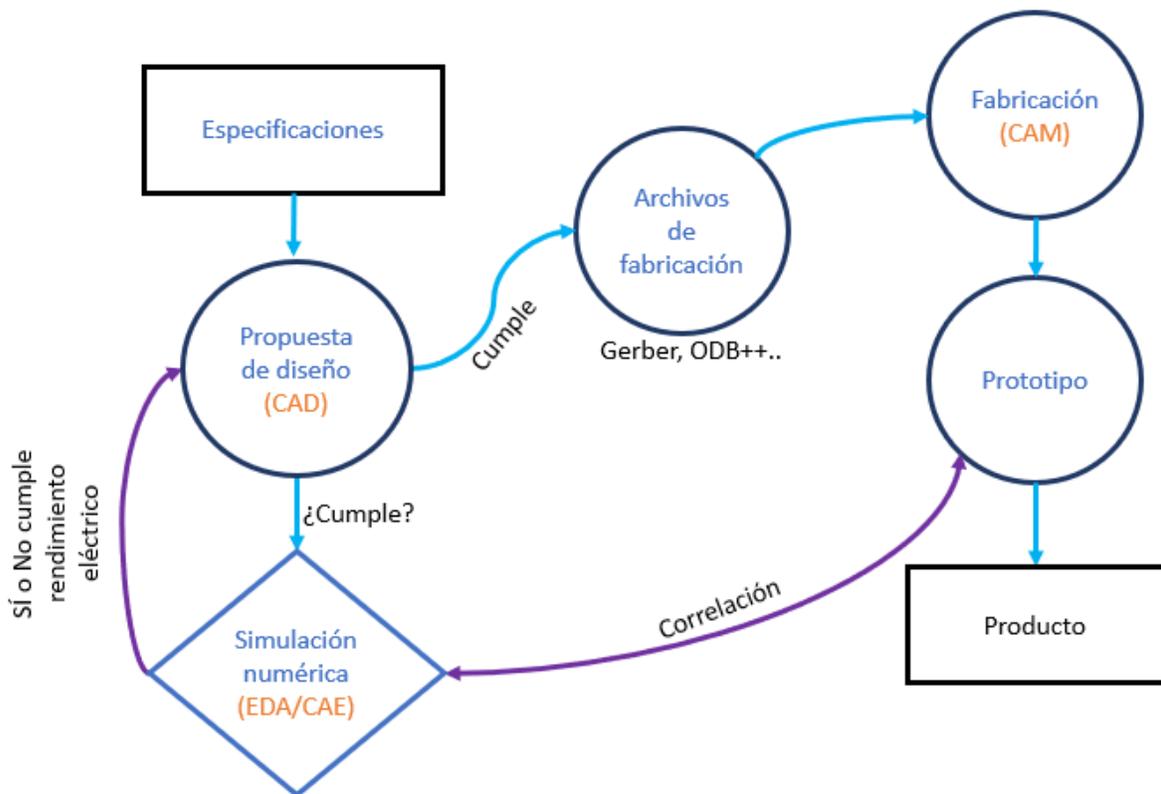


**Figura 3-1.** Secuencia general para la fabricación de circuitos impresos en RF

La figura 3-2 muestra con más detalle los pasos mencionados y la necesidad del uso de las tecnologías CAD, CAE y CAM. De acuerdo con esta figura, pueden establecerse los pasos siguientes para el diseño, simulación y fabricación de una plataforma electrónica en radiofrecuencia.

### 3.1.1. Especificaciones del diseño

Al iniciar un nuevo diseño, las especificaciones son definidas, estas establecen nuevas funciones que dicho diseño debe realizar. Las condiciones bajo las cuales debe operar, cronograma de desarrollo, costos de desarrollo, protocolos de reparación, tecnologías a ser usadas, peso y tamaño, y otros requisitos según corresponda (Coombs, 2001). Estas especificaciones, deben de considerar, aspectos relevantes como los materiales que se deben usar y definir el *stackup*, cuando se necesite trabajar en radiofrecuencia.



**Figura 3-2.** Secuencia específica para el diseño, validación y fabricación de circuitos impresos en RF prototipados.

### Material

Considerar el tipo de material que dispone el fabricante, es el primer paso a tomar en cuenta, debido a que las características eléctricas que disponen inducen pérdidas al diseño

electrónico. Los siguientes parámetros deben ser considerados durante la selección de los materiales:

- Constante dieléctrica relativa.
- Tangente de pérdidas.
- Efecto piel y pérdidas en el conductor.

Considerar lo anterior es el primer paso para lograr el éxito en términos de rendimiento electrónico (según las especificaciones y tolerancias del diseño). Las hojas de datos generalmente se refieren a la constante dieléctrica como Dk y a la tangente de pérdidas como Df, los valores típicos de estos se pueden observar en la tabla 3-1.

Material	Dk	Df
FR4 típico	4	0.02
GETEK	3.9	0.01
Isola 370HR	4.17	0.016
Isola FR406	4.29	0.014
Isola FR408	3.7	0.011
Panasonic Megtron 6	3.4	0.002
Nelco 4000-6	4.12	0.012
Nelco 4000-13 EP	3.7	0.009
Nelco 4000-13 EP SI	3.7	0.009
Rogers 4350B	3.48	0.0017

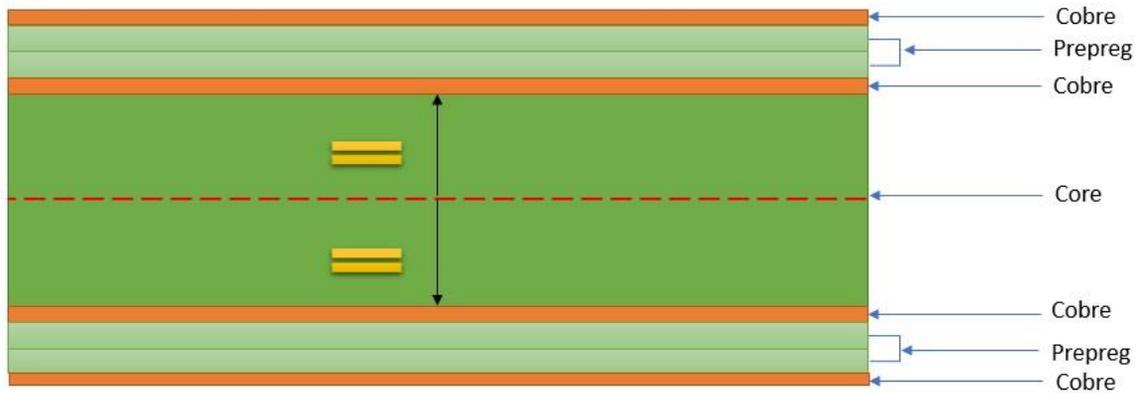
**Tabla 3-1.** Constantes dieléctricas y tangentes de pérdidas de materiales típicos a 1MHz (Intel, 2017)

### **Apilado del Sustrato(*stackup*)**

El diseño del circuito impreso en RF debe considerar el *stackup* del fabricante, debido a que de este depende todo diseño electrónico en RF. El *stackup* está directamente relacionado con el proceso de fabricación y los materiales que presenta el fabricante.

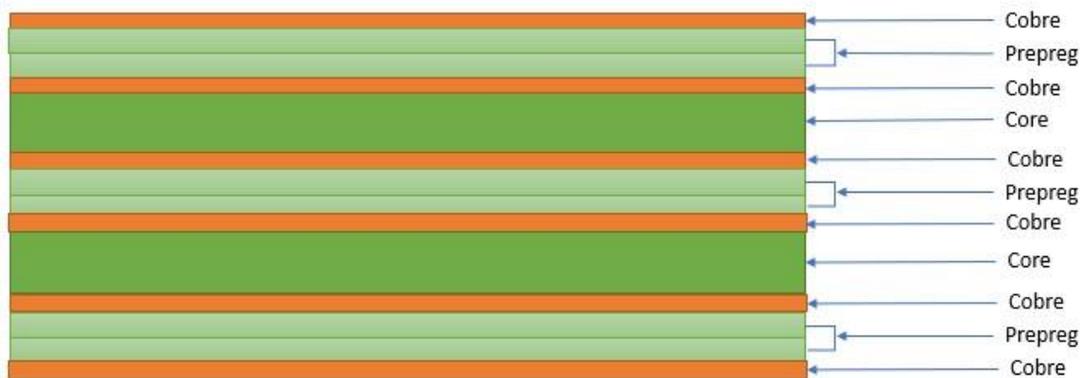
El *stackup* (orden de las capas y el espacio entre ellas) es un factor que determina el rendimiento de un producto en términos de acople electromagnético. Al elegir un *stackup*, deben de tomarse en cuenta las siguientes consideraciones:

- El número de capas.
- El número y tipo de planos (VCC, GND).
- El espacio entre las capas.



**Figura 3-3.** Sección transversal de circuito impreso de 4 capas

La frecuencia de operación del diseño, como la densidad requerida, son los aspectos más relevantes que se deben considerar para la utilización de tecnologías multicapa (Davis, 2006). Los fabricantes tienen especificado los espesores totales de sus circuitos multicapa y el espesor de cada capa. Debido a sus procedimientos y materiales, cada uno puede presentar su propio *stackup*. De manera general en las figuras 3-3 y 3-4 se muestran el ordenamiento común que se le da a estos tipos de placas, observar que los colores naranjas se refieren a capas metálicas.



**Figura 3-4.** Sección transversal de circuito impreso de 6 capas

Una cualidad que deben de tener todos los *stackups* es simetría con respecto a una línea central que pase a través de éstos, simetría en espesor y tipo de material, esto para evitar deformaciones en la forma del PCB (*warping*), tal como se muestra en la figura 3-3. Al trabajar con placas multicapa, se deben considerar los siguientes aspectos (Davis, 2006):

- Una capa de señal siempre debe estar adyacente a un plano.

- Las capas de señal deben estar estrechamente acopladas a sus planos adyacentes.
- Cuando se utilicen planos de potencia y tierra, estos deben estar estrechamente unidos.
- Las capas de señal deben estar estrechamente acopladas a sus planos adyacentes.
- Cuando las señales críticas son enrutadas en más de una capa, estas deben estar confinadas en dos capas adyacentes al mismo plano.

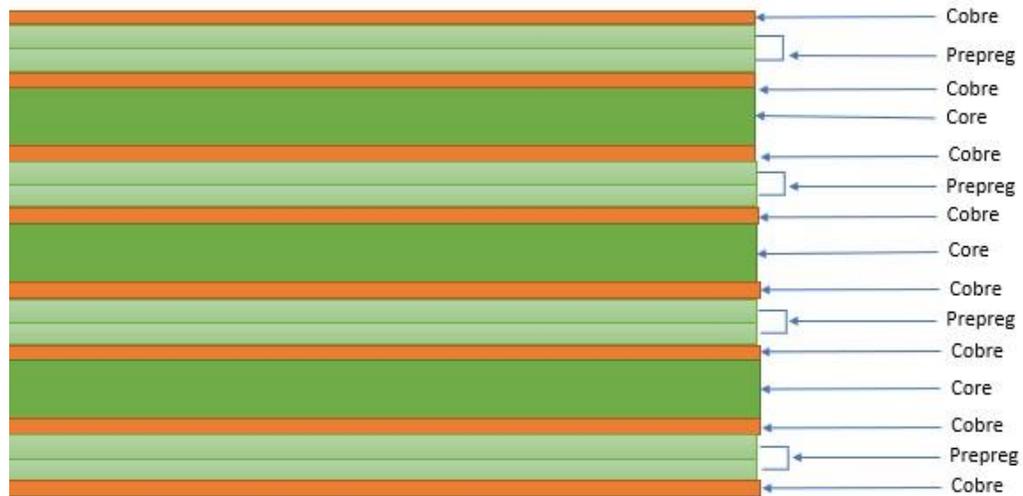
Por lo general, la capa de VCC se comparte tanto como sea posible en cualquier capa de potencia designada para reducir el recuento total de capas. Como resultado, las capas de VCC tienden a ser segmentadas y las capas de tierra son planos sólidos que llenan toda la capa. También, la capa de VCC típicamente se coloca al lado de una capa de tierra para crear capacitancia plana, que ayuda al desacoplamiento en alta frecuencia, reduce la radiación de interferencia electromagnética (EMI) y mejora la robustez del acople electromagnético (EMC)(Intel, 2017). Por lo tanto, para un diseño de cuatro capas, la secuencia común es la siguiente (Davis, 2006): colocar en la primera capa(top) las señales, en la primera capa interna asignar VCC o GND, en la segunda capa interna VCC o GND y en la capa *bottom*, asignar otras señales. Aunque este no es el único ordenamiento que se podría establecer entre las capas, incluso, el *stackup* puede ser establecido sin considerar el *core*, y utilizar solamente prepreg, eso dependerá de los requerimientos del diseño. Ya que, por ejemplo, utilizar solo un prepreg en el diseño, permite establecer anchos de pista más pequeños para aplicaciones de control de impedancia.

Una placa de 6 capas (figura 3-4), posee dos *core* en su configuración (ver los verdes oscuros), y tres pares de prepreg. Este tipo de configuración permite enrutar sobre cuatro planos de señal y 2 planos que pueden ser utilizados como VCC o GND. A nivel de acople electromagnético(EMC), es más fácil proteger las señales de alta frecuencia, colocándolas entre planos. El ordenamiento de las capas puede ser; establecer las señales en las primeras dos capas, luego las dos siguientes como VCC o GND y las otras siguientes, otras señales. Este tipo de configuración no es recomendada, ya que las señales que se encuentran en *top* y *bottom* no son adyacentes a planos de GND o VCC, así que, una recomendación para este tipo de placas es colocar un plano de tierra adyacente a cada capa de señal. Si se trabaja con señales de alta y baja frecuencia, una configuración recomendada puede ser: 1. señal de baja frecuencia, 2.GND o VCC, 3. Señal de alta frecuencia, 4. Señal de alta frecuencia, 5.GND o VCC y 6. Señal de baja frecuencia.

Una placa eficaz en términos de acople electromagnético es una placa de ocho capas. Esta puede ser interpretada como una placa multicapa de 6 capas con dos planos de GND o VCC incorporados. El orden eléctrico de las capas puede ser establecido de diversas maneras, una,

por ejemplo, puede ser utilizada para cuando existen dos tipos de fuentes (5V o 3.3V, por ejemplo); esta configuración es: 1. señal de baja frecuencia, 2.VCC, 3.GND, 4. señal de alta frecuencia, 5. señal de alta frecuencia, 6.GND, 7.VCC, 8. Señal de baja frecuencia. Otra excelente manera de ordenar las capas eléctricas es estableciendo cuatro señales internas, envueltas en dos capas de GND; en la configuración; 1.GND, 2.Señal, 3.GND, 4.Señal, 5.Señal, 6.VCC, 7. Señal, 8.GND, esto encierra a las señales con un blindaje que las protege de las interferencias externas.

La elección del *stackup* es dependiente del diseño y del fabricante. El equipo del Laboratorio de la Escuela de Electrónica permite definir *stackup* de hasta ocho capas, con tres *core*, además es posible la construcción de las capas, incluso en ausencia de *core* (el *core* implica la consideración de 3 tipos de placas de doble cara), donde solo prepreg puede ser utilizado.



**Figura 3-3-5.** Sección transversal de circuito impreso de 8 capas

### 3.1.2. Creación del Esquemático

Una vez realizado lo anterior, se deben de crear las bibliotecas necesarias correspondientes a todos los componentes que realizan las funciones, esto se realiza en un sistema CAD de PCB. Estas bibliotecas o conjunto de estas deben de recibir información sobre cada parte del componente y generalmente son colocadas en ambiente de esquemático de PCB. Entre los datos necesarios se encuentran:

- Tipo de paquete que aloja el componente, por ejemplo, agujero pasante (*through hole*), QFP (*Quad Flat Packages*), DIP (*Dual In-Line*)

- Tamaño de componente, espacio entre conductores, tamaño de cable y patrón de numeración de pin.
- Función que cada pin realiza, por ejemplo: salida, entrada o pin de potencia.
- Características eléctricas de cada pin, por ejemplo, capacitancia, impedancia de salida.

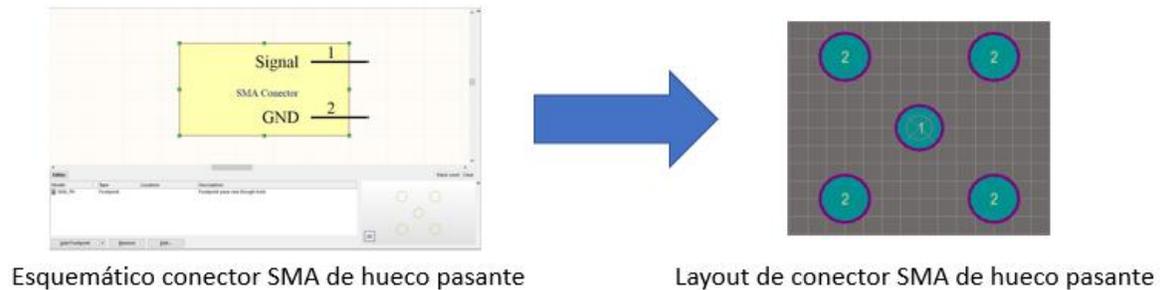
Cuando esto sea realizado (generalmente, los programas CAD de PCB, tienen un conjunto de bibliotecas donde se guarda la información de muchos tipos de componentes), los componentes se sitúan en la superficie del PCB, y se agrupan de tal manera que lleguen a cumplir las funciones que se establecieron previamente. Esta operación de colocación se puede realizar manualmente por el diseñador que usa herramientas basadas en gráficos o automáticamente por el sistema CAD de PCB (Coombs, 2001).

Colocados los componentes en el esquemático del PCB, se deben conectar entre ellos de acuerdo con las especificaciones del diseño. Las conexiones entre cada componente crean la lista de redes(*netlist*). Esta lista describe cómo las patillas de cada componente se conectan entre sí y es de importancia relevante debido a que el sistema que administra el enrutamiento o las reglas de diseño, requerirá de esta lista cuando se realice el diseño físico (Coombs, 2001).

#### 3.1.3. Diseño Físico

El diseño físico (*layout*), representa el tamaño físico y la ubicación de todos los dispositivos electrónicos, componentes mecánicos y la ruta de los conductores que conectan eléctricamente los componentes (IPC-2221A, 2003). Cuando los componentes son ubicados de manera lógica, entre ellos deben ser enrutados (de acuerdo con la lógica de las funciones). Esto implica ajustar todas las conexiones (creadas previamente en el esquemático) en las capas de señal (según el *stackup* definido), en forma de trazas de cobre. Siguiendo reglas de longitud y espaciado; las reglas pueden ser establecidas en el propio sistema CAD. El enrutamiento es recomendable que sea ejecutado de manera manual (algunos sistemas CAD tienen la función de realizarlo de manera automática; *autoroute*, pero esta acción puede traer poca eficiencia y el rendimiento del PCB, dependiendo de lo complejo del diseño). Todo lo que se diseñe en ese ambiente, será guardado en los archivos de fabricación y, en su defecto, estructurado.

Aparte de las trazas, en el *layout* también se definen los *pads*, *footprints* y las capas del PCB.



**Figura 3-6.** Paso del esquemático al *layout* del conector SMA *through hole*

Con lo anterior, se puede encontrar el tamaño del PCB que será utilizado. Para el Laboratorio de la Escuela de Electrónica, se recomienda un tamaño de PCB que pueda ser cubierto por todo el prepreg (ya que siempre será usado todo el material para la producción del PCB multicapa, ya sea 4, 6 u 8 capas, todo el prepreg y el core de la misma manera será utilizado, y si no se aprovecha el máximo espacio, entonces éste será desperdiciado), aunque no haya diseño en él. El tamaño recomendado para el Laboratorio de la Escuela de Electrónica, según las observaciones realizadas, es de 245x200mm.

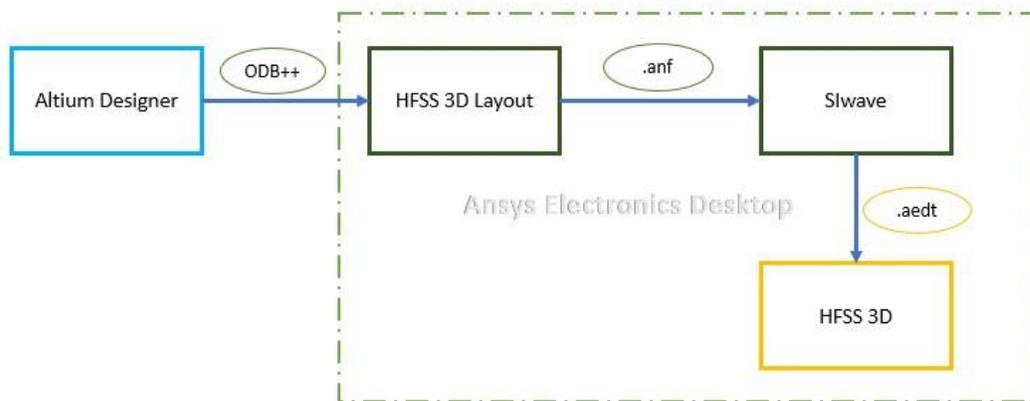
Una acción que es posible realizar en los sistemas CAD, es la verificación de las conexiones y de las reglas de ruteo, función que puede aprovecharse para comprobar que no existen violaciones y se asegura que no haya discrepancias. Cuando esto se haya verificado, el diseño CAD estará finalizado; listo para generar información de fabricación por medio de formatos como Gerber, ODB++, IPC 2581, NC Drills y otros.

#### 3.1.4. Verificación de Reglas de Diseño

Después de que todas las conexiones se hayan direccionado a las capas de señal, se conoce la forma y la longitud real de cada cable, así como la(s) capa(s) en que se enrutaron y qué *nets* son vecinas. Estos datos físicos se pueden analizar para verificar que no existe alguna discrepancia en las reglas de diseño y con los *nets* del esquemático. Se realiza una verificación final de los datos de Gerber para garantizar que se han cumplido las normas de ancho y espaciado de línea (Coombs, 2001).

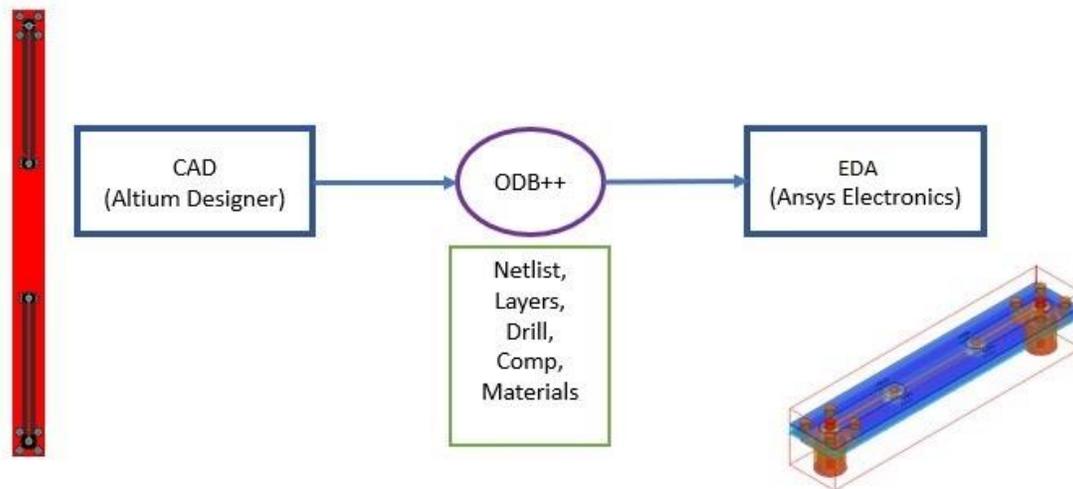
## 3.2 Simulación del Diseño

Para estar seguro que un diseño cumple con las especificaciones definidas, en un rango de condiciones dadas, debe de establecerse alguna forma de verificar su funcionamiento. Las condiciones pueden ser de diversos tipos, por ejemplo, rangos de temperaturas, humedad, voltajes, campos electromagnéticos(EM), para eso existen simuladores que cumplen con este cometido. El objetivo de este paso es poder someter el diseño a variables que no se consideran en el sistema CAD y verificar su funcionamiento de acuerdo con lo planteado desde el principio (ver diagrama de la figura 3-7).



**Figura 3-7.** Pasos para la simulación del diseño CAD para PCB

Uno de los formatos que conserva la información de una plataforma electrónica en detalle, es ODB++, como se mencionó en el apartado anterior (este extrae los datos desde el sistema CAD) datos que se refieren a las partes mecánicas del PCB (dimensiones y formas) como también la parte eléctrica del PCB (tipos de materiales, Df y Dk), el *stackup*, *netlist* y componentes. Algunos sistemas CAD permiten agregar características a los materiales (generalmente se puede configurar el dieléctrico como FR4).



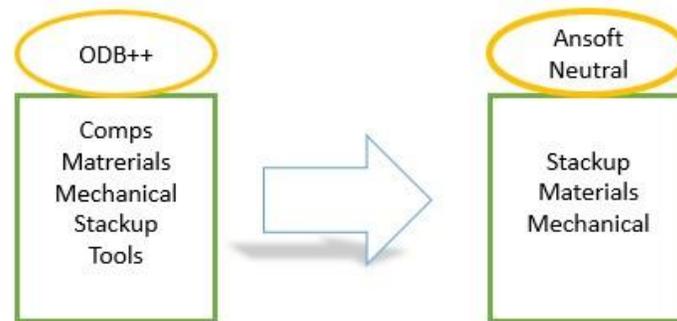
**Figura 3-8.** ODB++ formato interfaz para la simulación de diseños CAD para PCB

Aquellos sistemas CADs que permitan la exportación del diseño a ODB++, son ideales para el uso de sistemas CAE o EDA desarrollar simulaciones. Altium Designer es un ejemplo de sistemas CAD que pueden exportar toda la información del diseño a formatos mecánicos como DXF/DWG, STEP y formato ODB++. Para la fabricación de este formato, Altium Designer lo realiza por medio de la sentencia *File*→*Fabrication Output*→*ODB++*. Este tipo de formato también es reconocido por sistemas EDA como los proporcionados por Ansys Electronics Desktop, y por lo tanto sirve de interfaz entre el diseño y su simulación.

Es de interés conocer cómo se comporta el circuito impreso al estar expuesto a frecuencias altas, por eso, sistemas EDA como el simulador HFSS 3D de Ansys es posible utilizar para realizar este tipo de análisis. Ansys Electronics Desktop utiliza Análisis de Elementos Finitos(FEA) para encontrar una solución a este tipo de problemas.

Como ODB++ es un formato de carácter eléctrico y mecánico, al importarlo a un sistema EDA como Ansys Eletronics Desktop, por defecto es abierto en el entorno de HFSS 3D Layout (según la sentencia *File*→*Import*→*ODB++*), el cual, se encarga de analizar diseños electrónicos, pero no permite modelar en 3D los conectores de RF como los SMA Edge o SMA End Lunch. Por esto, se prefiere el entorno de diseño y simulación de HFSS 3D clásico. Este entorno, aunque dura un tiempo considerable al crear el mallado (para la simulación), en comparación con HFSS 3D Layout es más preciso para estructuras 3D generales.

Para trabajar entonces con HFSS 3D Clásico es necesario crear una nueva base de datos que sea compatible con este programa EDA (pasando primero por otra herramienta de Ansys; SIwave), esta nueva base de datos debe conservar toda la información mecánica(dimensiones) y eléctrica (Dk y Df) de la plataforma electrónica.



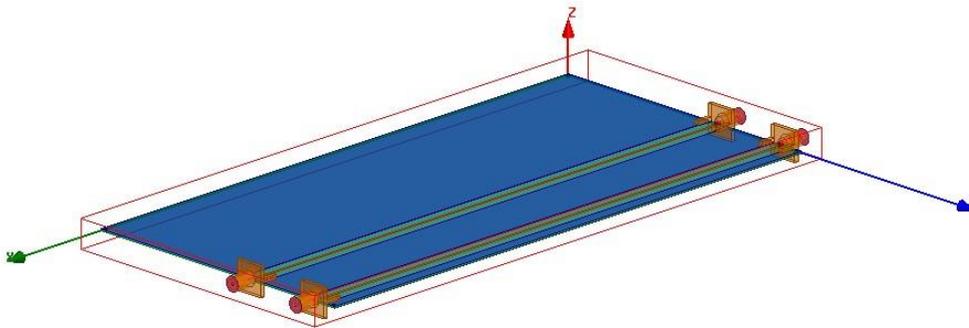
**Figura 3-9.** Conversión de formato ODB++ a .ANF

Que sea compatible se entiende como que Ansys, por medio de SIwave, interpreta esta información de la manera adecuada, sin perder información relevante. Esto se logra con el formato Ansoft Neutral File (ANF), el cual, consiste en un formato público donde herramientas de terceros permiten el intercambio de datos de diseño con productos de Ansys (Ansys, 2015). Aprovechando de que HFSS 3D Layout abre por defecto los archivos que contienen información electrónica, con este puede ser creada la base de datos ANF (con la secuencia *File*→*Export*→*ANF*), este comando, genera un archivo con extensión .anf, el cual, puede ser importado por todos los programas de Ansys Electronics. SIwave es una herramienta EDA de Ansys, utilizada para la simulación de circuitos electrónicos y para la conversión de datos de entrada como ANF e incluso ODB++ y la exportación a otros entornos como Q3D Extactor, Maxwell 3D y HFSS 3D Clásico. Además de esto, es una plataforma de diseño especializado para la integridad de potencia y señal. Ayuda a modelar, simular y validar los canales de alta velocidad (Ansys, 2015), pero para efectos de esta metodología, sólo será utilizado para generar el archivo .aedt de HFSS 3D. Esto se realiza con la sentencia *Export*→*HFSS 3D*, la cual transcribirá automáticamente toda la información contenida en la base de datos ANF a un archivo propio de HFSS 3D clásico (.aedt).

En SIwave es posible configurar la forma del hueco que es exportado a HFSS 3D (la forma de las vías), ya que, por defecto éste los realiza como cilindros octágonos. Esta y otras ediciones pueden realizarse con la sentencia *Export*→*3D*

*Export Options.* Para aplicaciones de RF es recomendable definir las opciones de edición de la siguiente manera:

- Habilitar *Split Solid Vía*.
- Habilitar *Ignore unconnected pads*, para que elimine aquellos pads que no estén conectados a ninguna señal.
- Habilitar *Preserve all antipads*, para que conserve todos los *antipads*.
- En la pestaña “General”, declarar todas las variables como *True Cylinder*, excepto *Bondwire facets*, para que los cilindros y pads circulares sean definidos en su forma original. Un ejemplo de importación de la plataforma electrónica a HFSS 3D es la que se muestre en la figura 3-10.



**Figura 3-10.** Ejemplo de diseño CAD importado a HFSS 3D incluyendo los conectores

Las limitaciones que presenta esta metodología para la validación del diseño CAD por medio de un sistema EDA como HFSS 3D son:

- Los *footprints* cuando son creados, refiérase a estos como bibliotecas en el sistema CAD, suelen ser tomados como un solo elemento al guardarlos en el formato ANF (por ejemplo los *footprints* de los conectores SMA de montaje superficial, al ser un componente creado como una biblioteca, aparecen en cortocircuito cuando son importados a HFSS 3D Layout; GND y señal aparecen unidos, por lo tanto de la misma manera aparecerán en los demás programas EDA), esto se puede solucionar de dos maneras: Editando el footprint en HFSS 3D Layout, SIwave o en HFSS 3D Clásico, mediante operaciones booleanas que eliminen ese cortocircuito (con un simple *subtract*) o en el diseño CAD realizarlos no como un componente, sino utilizando la función de *polygon pour* que es encontrada en la mayoría de los sistemas CAD, donde la Señal y GND son declarados individualmente.

- El formato Ansoft Neutral File(ANF) define por defecto el valor de la constante dieléctrica(Dk) y la tangente de pérdidas (Df) como 4.4 y 0.02 respectivamente, lo que puede ser editado de la misma manera estando en HFSS 3D, SIwave o HFSS 3D Clásico. También la unidad de medida es establecida como metros, la cual puede ser cambiada de la misma manera a mm o mils.

La plataforma electrónica importada a HFSS 3D estará rodeada de una caja de aire y listo para definir puertos, condiciones de fronteras y rangos de frecuencia de solución.

Al ser finalizada la validación del diseño CAD por medio de los sistemas EDA, los resultados obtenidos se deben de comparar contra los especificados en el primer paso de esta metodología (la especificación del diseño). Si los resultados del sistema CAE se encuentran en un rango de tolerancia establecido (por lo general se establece una variación del 10%; rango de incertidumbre típico asociado con la fabricación de PCBs), con relación a lo especificado, entonces el diseño CAD es aceptable y se puede seguir con el paso siguiente; la generación de los archivos para la fabricación. Si la validación por medio de las simulaciones no se acerca a ese rango de variación, entonces se deben ajustar los parámetros del diseño. Generalmente, las variables en RF que pueden ser controladas por el diseñador son anchos de pista, radio de *pads*, aislamiento o *antipads* e incluso puede establecerse un nuevo *stackup* para acercarse al diseño CAD. Cuando estas modificaciones sean realizadas, es necesario volver a realizar un nuevo análisis de las mismas condiciones que en la primera iteración, si los resultados son aceptables, entonces se pueden generar los archivos de fabricación. Este proceso de iteración se puede observar en la figura 3-1, en la línea punteada que une al proceso de validación con el proceso de diseño.

Una vez realizada la verificación por medio del sistema EDA, se pueden generar los archivos para fabricación con el propósito de exportar los datos del diseño CAD al siguiente nivel; el proceso CAM. La figura 3-11 muestra este proceso.

### 3.3. Proceso de Fabricación

Si el rendimiento electrónico es el deseado, entonces los archivos para producción pueden ser generados. Los pasos generales para la fabricación de circuitos electrónicos multicapa son los siguientes:

### 3.3.1 Secuencia para fabricación

La secuencia general para la fabricación de un PCB multicapa se detalla en los siguientes pasos:

1. La estructuración de las capas internas (para circuitos de cuatro capas; un *core*, para 6 capas; dos *core*, para ocho capas; tres *core*) es el primer paso para la fabricación de circuitos multicapa.
2. Debido a que se trata con una plataforma multicapa, se debe de utilizar una laminadora, que una las capas por medio de presión y temperatura.
3. Para comunicar con las capas interiores, se necesitan vías que deben ser fabricadas automáticamente después del proceso de laminado.
4. Una máquina que desarrolle el proceso de metalización, la cual, unirá las capas que sean necesarias, según el diseño CAD, mediante el depósito de cobre en las vías.
5. La estructuración de las capas externas (*top* y *bottom*).
6. Un protector que evite la oxidación del cobre; capa de *soldermask*.

#### 1. Estructuración

En esta fase, se deben de generar los archivos de fabricación provenientes de los sistemas CAD. Para PCBs se consideraron los dos formatos antes mencionados; Gerber y ODB++. Como esta metodología se refiere a circuitos impresos en RF los archivos necesarios para describir la estructura de la placa son los siguientes:

- GTL; Capa Top
- GBL; Capa Bottom
- G1...G8; Capas Internas
- G Keep Out Layer; contorno del PCB.
- Drill; huecos del PCB.

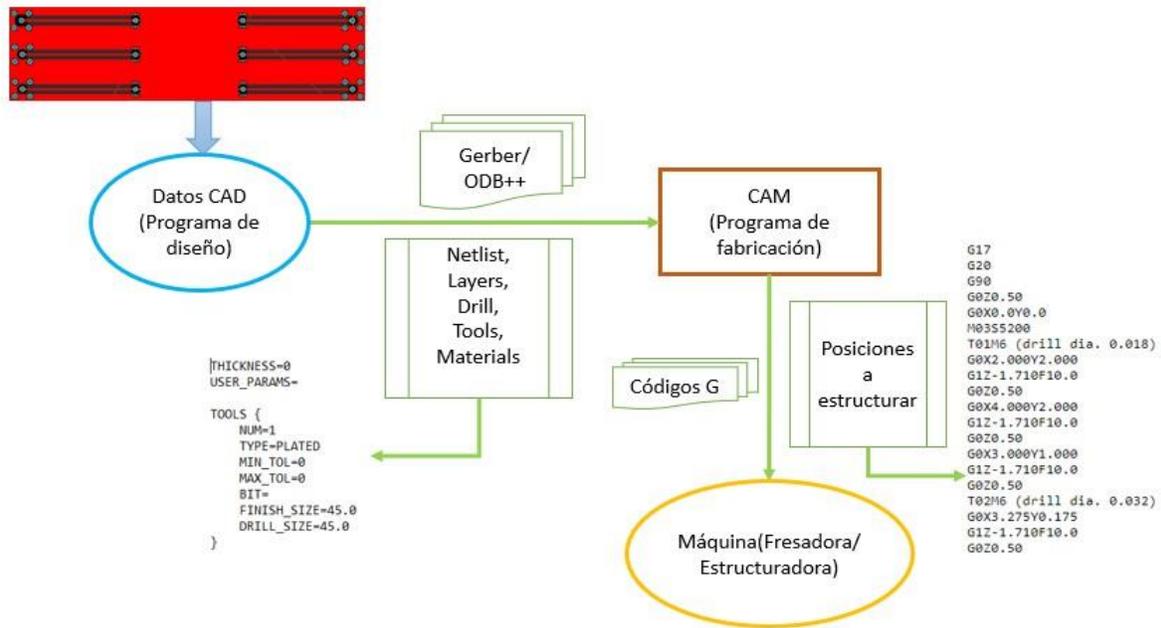


Figura 3-11. Flujo de información desde el diseño CAD a la fabricación

Los archivos anteriores son suficientes para fabricar un circuito impreso multicapa. La capa Drill, se genera con otro tipo de formato, dependiendo del sistema CAM que se utilice, mediante el formato *Excellon*; formato estándar para la conservación de la información de los huecos en el sistema CAD.

Si se utilizan sistemas CAD como Altium Designer, esta información es generada por medio de las sentencias: *File*→*Fabrication Outputs*→*Gerber Files* y para generar los huecos, por medio del formato *Excellon*, con la secuencia *File*→*Fabrication Outputs*→*NC Drill Files*.

La información conservada en los formatos descritos es necesaria para que los sistemas CAM puedan calcular lo siguiente:

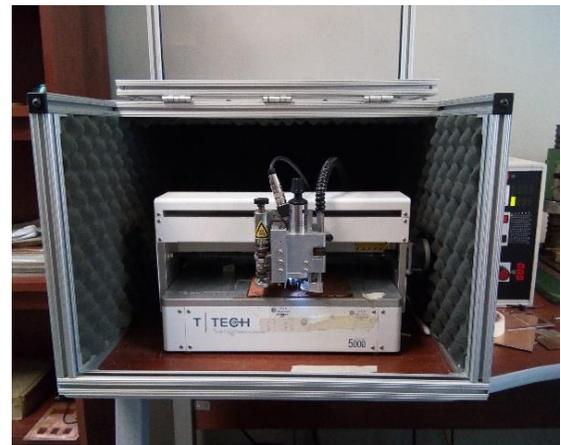
- Aislamiento
- Herramientas a utilizar
- Diámetro de vías y pads.
- Tamaño del PCB
- Realización de *fiduciales* (huecos de referencia para la máquina)
- Espesor total del PCB
- Realización de *rubout* (desgaste mayor del cobre, si es necesario)

Toda la información anteriormente mencionada es mapeada a los códigos G (*Geometric Code*), los cuales son utilizados para determinar la geometría de los movimientos de la

herramienta y estado operativo del controlador de la máquina. Funciones como movimientos de corte lineal, operaciones de perforación y especificando las unidades de medida son algunas de las operaciones (Denford, 2017). Los sistemas CAM presentes en la Escuela de Electrónica para la fabricación de plataformas electrónicas son IsoPro (por la empresa T-Tech) y CircuitPro (por la empresa LPKF). La segunda presenta mayores funciones que la primera debido a que, por ejemplo, realiza cambios de herramientas automáticamente. El equipo IsoPro interpreta los códigos de cambio de herramienta, pero no los puede ejecutar debido a una limitación de diseño de la máquina; estos se deben realizar manualmente, lo que provoca una incertidumbre en la profundidad de desgaste debido a que la herramienta debe de calibrarse cada vez que se cambie (manualmente). Esto cobra mayor relevancia para placas electrónicas donde esta profundidad de desgaste debe ser considerada por alguna aplicación particular. Otra desventaja que se resalta en el primer equipo es la incapacidad de notificar algún error al momento de la fabricación, errores como el step lost (donde la máquina realiza algún desgaste en una posición errónea) no puede notificarlos, esto también genera una incertidumbre en la fabricación). El segundo equipo sí logra realizar lo comentado anteriormente, esto la hace más confiable en esos aspectos. También la velocidad de estructuración es mayor y al ser una estructuradora híbrida, posee un láser que permite realizar aislamientos de hasta el orden de los nanómetros (aplicaciones muy especiales). Otra ventaja importante del sistema híbrido es el hecho de que los *fiduciales* los realiza automáticamente, lo que la hace más eficiente (en el otro equipo máquina este proceso se debe realizar manualmente, lo que conlleva a errores).



(a) Estructuradora controlada por el sistema CAM CircuitPro



(b) Fresadora controlada por el sistema CAM IsoPro

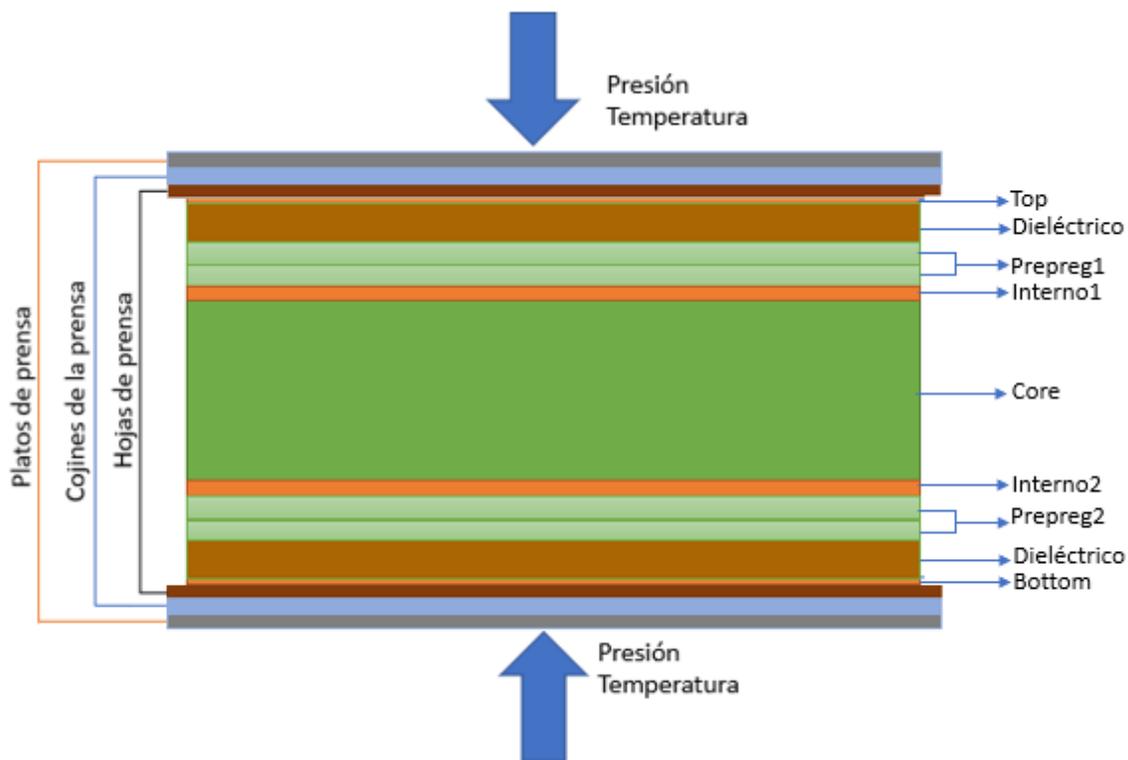
**Figura 3-12.** Máquinas para fabricación disponibles en la Escuela de Ingeniería Electrónica

Es necesario aclarar que las máquinas mostradas en la figura 3-12 solo son utilizadas para el prototipado de plataformas electrónicas, para la fabricación en

masa no se utiliza el método de estructuración por desgaste y más bien se recurre a técnicas de decapado.

## 2. Laminado

El proceso de laminado en el laboratorio es producido por la máquina de LPKF Multipress S. Lo que inicialmente se debe de establecer en este paso, es el ordenamiento de las capas. Para que este proceso produzca como resultado un PCB multicapa lo más homogéneo posible (obtener un espesor final uniforme), las capas de material mostradas en la figura 3-13 deben ser establecidas.



**Figura 3-13.** Proceso multicapa completo aplicado en el laboratorio.

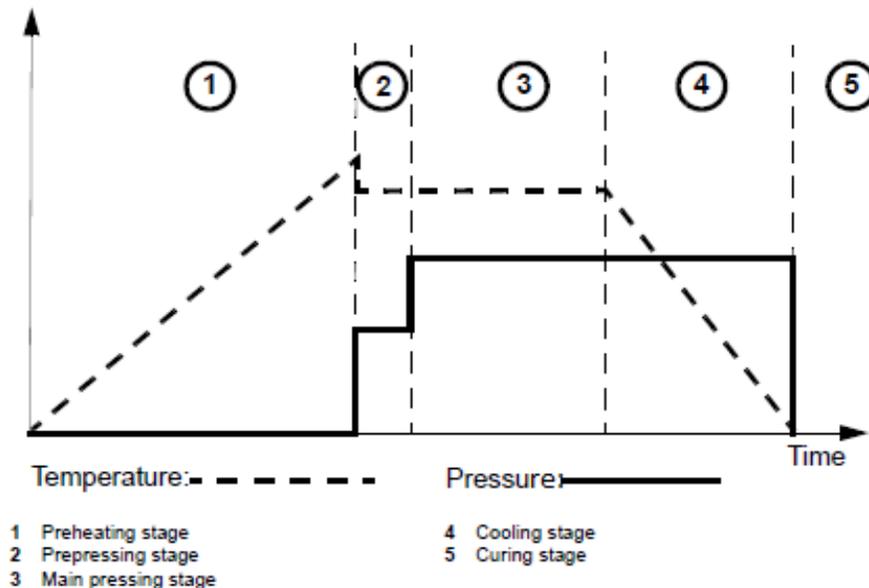
En la secuencia de ordenamiento de las capas del PCB, se debe de colocar lo siguiente:

- 1) En orden ascendente se debe de colocar primero el plano de prensa, material de metal; donde es aplicada la presión y la temperatura directamente.

- 2) Se debe de colocar un cojín para la prensa, que consiste en una fibra especial resistente al calor, la cual permite una distribución óptima de la presión.
- 3) Arriba del cojín debe ser colocada la hoja de prensa, esta es otra fibra especial más delgada y sólida de color azul, que también permite una mejor distribución de la presión. Este material es desechable y solo puede ser utilizado cinco veces.
- 4) Se debe de colocar encima del anterior, la lámina *bottom* (cuya base es cobre muy fino impregnado a un sustrato dieléctrico, en la imagen este sustrato es llamado dieléctrico). El espesor típico en los kits del fabricante del equipo ronda los 5um para la capa de cobre y 0.2mm para el dieléctrico base.
- 5) Luego debe ser colocada encima una o dos capas de prepreg (capa muy delgada de dieléctrico que es derretido con la temperatura). Es recomendable colocar dos de estas cuando el 50% del PCB doble cara es desgastado y una cuando menos del 50% del PCB doble cara es desgastado (esto se observa cuando en el diseño existe *rubout* o no). El prepreg tiene un valor de espesor de aproximadamente 0.1mm.
- 6) Encima del prepreg, deben ser colocada(s) la/las placa(s) de doble cara (compuesta por el dieléctrico *core*, cobre interno<sup>1</sup>, cobre interno<sup>2</sup>). Por ejemplo si se utiliza un PCB de cuatro capas metálicas, solo se utiliza una placa de doble cara, pero si en el diseño se requiere un PCB de seis capas, se necesitan dos placas de doble cara (y en medio de estas uno o dos prepreg), y si es un PCB de ocho capas, entonces son necesarias tres placas de doble cara (y en medio de esas tres capas uno o dos prepreg), tal como se mencionó en la etapa de especificaciones del diseño. Se dispone para este trabajo de placas de doble cara con espesor teórico total de 1mm o 1.5mm, estas capas deben haber sido estructuradas antes de llegar a este paso.
- 7) Una de las recomendaciones para un correcto diseño de *stackup* es la simetría de este, en tipo de materiales y espesores. Para mantener entonces la simetría deben de colocarse encima del PCB *core* (si son varios, encima de estos) los mismos materiales, así, lo siguiente debe ser la colocación de la lámina de prepreg (o dos). De la misma forma que en el paso cinco, se debe montar encima del mismo la capa de top (la misma lámina que en el

paso cuatro), para poner encima del mismo la hoja de prensa con el cojín y por último el plano de prensa de metal, como en el paso 1.

En la figura 3-13 se muestra una plataforma electrónica de cuatro capas. En esa misma figura se muestran las dos variables importantes en el proceso de compresión; la presión y la temperatura, las cuales son determinantes en el espesor total del PCB, y por lo tanto en el *stackup*, lo que lleva consigo a un buen rendimiento electrónico o no (buen rendimiento eléctrico cuando lo especificado en el diseño es congruente con lo que se obtiene). Estas variables son regidas de acuerdo con perfiles que pueden ser configurados, la empresa LPKF permite que el usuario pueda configurar hasta seis tipos de perfiles, donde éste puede establecer distintos valores de presión y temperatura en el tiempo, estos perfiles son usados para aplicaciones especiales (LPKF, 2016). También esta misma empresa le proporciona al usuario un perfil por defecto llamado LPKF Set, el cual permite que al final de la fabricación se logre un espesor total del PCB de aproximadamente 1.6mm cuando se trabaja con cuatro capas.



**Figura 3-14.** Comportamiento de la temperatura y la presión en el perfil LPKFSet (LPKF, 2015)

La configuración de la presión y temperatura se puede observar en la figura 3-14, este comportamiento se extiende a circuitos multicapa de 4, 6 y 8 capas metálicas. El estado de cada uno de los valores que toman la temperatura y la presión en el tiempo, se detallan a continuación:

1) Etapa de precalentamiento (*Preheating stage*): En este estado, la prensa se calienta gradualmente a la temperatura especificada en el perfil de la prensa (250

°C). Al final de este proceso, se debe activar la presión a  $80 \text{ N/cm}^2$ , este proceso dura 10 minutos.

2)Etapa de preimpresión (*prepressing stage*): Esta etapa debe de iniciarse manualmente. Es necesario permitir que las burbujas de aire atrapadas entre las capas durante el aumento de temperatura escapen. Este proceso tiene una duración de un minuto, en este tiempo el prepreg se derrite de manera uniforme para adherir las capas metálicas. Este proceso tiene una duración de 60min.

3)Etapa de prensado principal (*Main pressin stage*): En esta etapa tiene lugar el prensado real de las capas que constituyen el PCB multicapa. La temperatura, y la presión deben permanecer constante a lo largo de la etapa de prensado principal (si se selecciona el perfil de LPKF; según la figura 3-13, esta temperatura debe ser de  $180 \text{ °C}$  y una presión de  $150 \text{ N/cm}^2$ ). Este proceso dura 120min.

4)Etapa de enfriamiento (*cooling stage*): Durante la etapa de enfriamiento, la temperatura baja lentamente hasta llegar a temperatura ambiente. Para evitar inclusiones de aire en el adhesivo de prepreg aún suave. LPKF recomienda que después de que este proceso haya acabado, se debe esperar 16 horas para que el prepreg quede completamente curado. Por lo tanto, el proceso total puede tomar alrededor de 18 horas.

Es importante aclarar que como el equipo del laboratorio es reciente, es necesario realizar suficientes pruebas para establecer de manera confiable el rango de variación del *stackup* resultante. Para PCBs de cuatro, seis y ocho capas metálicas, se tiene inicialmente los espesores de los materiales utilizados, pero este espesor no necesariamente se mantiene al final del proceso de fabricación, por lo que se debe estudiar el proceso en cada caso particular.

### **3. Formación de las vías**

Luego de que el PCB multicapa ha sido formado, se deben de crear en este paso las vías que comunicarán las capas internas con externas, debido a la tecnología aplicada en el laboratorio, el tipo de vía que se genera es *through hole*. Lo anterior significa que los huecos que se formen perforarán todo el PCB multicapa, y son los *antipads* los que aíslan una vía de alguna capa.

La información de los huecos se guarda por medio del formato *Excellon*, el cual es generado por la mayoría de los sistemas CAD, como Altium o Eagle. El

sistema CAM selecciona el tipo de herramienta a utilizar en las distintas vías, las herramientas disponibles en el laboratorio generan vías cuyo radio menor y mayor son 0.2mm y 1.5mm respectivamente, si la vía tiene un valor distinto al rango mencionado, entonces es posible utilizar la herramienta *Universal Cutter*, la cual genera vías de diámetro algo menor. El tamaño mínimo de las vías es función de la herramienta utilizada y la altura del perfil del PCB.

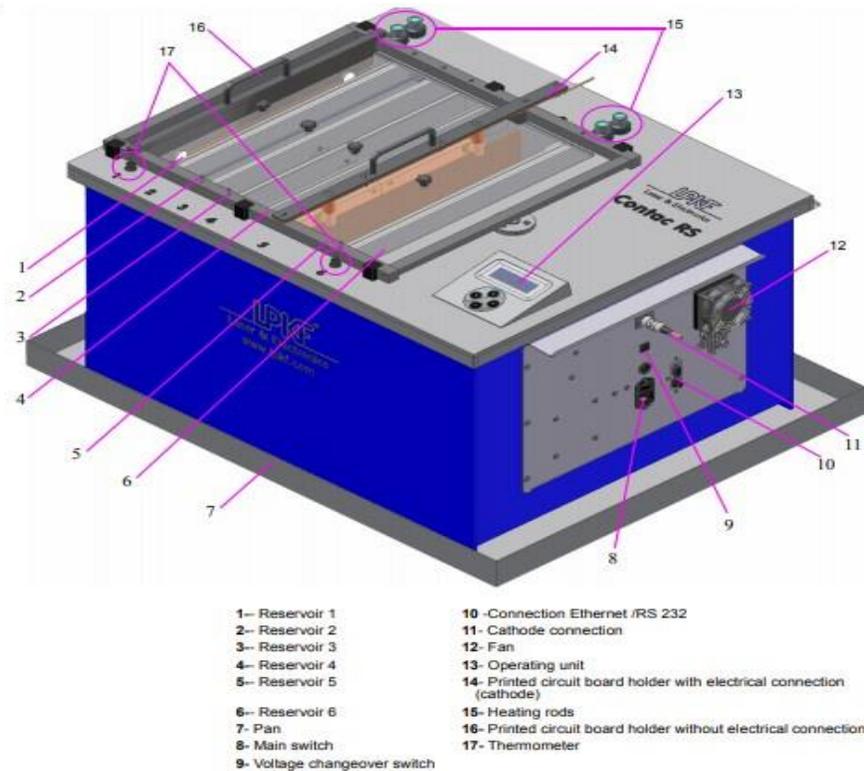
Para ejecutar esta tarea, se debe de colocar la capa top del PCB multicapa para arriba, CircuitPro, lleva el control de todos los procesos que se ejecutan, y automáticamente trasladará la información contenida en la capa *Drill* con el equipo controlado, con IsoPro este proceso se realiza manualmente.

#### **4. Metalización de las vías**

El siguiente paso consiste en el depósito de cobre en las vías que previamente fueron formadas, esto se logra por medio de la herramienta de LPKF *Contact RS*, la cual, por medio de cinco baños en la placa, permite conectar las capas que no tengan *antipad*. La figura 3-15 muestra la herramienta.

Cada uno de los baños, realiza la siguiente función:

1. Primer baño se realiza una pre-limpieza de la placa, donde se libera a la placa de grasas y la prepara para el proceso, este baño dura 30 minutos para un PCB multicapa (LPKF, 2018).
2. Segundo baño para un enjuague, el cual dura 1 minuto.
3. Tercer baño, se realiza una limpieza profunda, la cual toma un tiempo de 5 minutos.
4. Cuarto baño, se utiliza un activador para el proceso de galvanizado.
5. Quinto baño, se realiza el proceso de galvanizado, el cual toma un tiempo de 90 minutos.



**Figura 3-15.** Contac RS; herramienta para metalización de LPKF (LPKF, 2007).

Después de cada uno de los procesos anteriores es necesario lavar con agua el PCB, debido a que la composición química de cada uno de los baños puede afectar los demás baños. LPKF tiene una interfaz de usuario en esta máquina que facilita todo el proceso.

### 5.Estructuración de las capas *top* y *bottom*

En este paso el sistema CAM procesa los archivos GBT y GTB para la estructuración de las capas *top* y *bottom*. En este paso se debe calibrar la estructuradora para el nuevo espesor de la placa, esto para que no ocurran accidentes en los que la máquina perfore el PCB más de lo que no debería, y de esta manera no echar a perder todo el trabajo que se ha venido realizando. Con el sistema CAM de LPKF; CircuitPro, advierte automáticamente cuándo debe ocurrir este proceso de estructuración, de la misma manera, se le debe indicar el espesor total del PCB para que pueda conocer hasta qué profundidad realizar el aislamiento.

### 6.Acabado del PCB

La protección final del PCB es importante para evitar que los contactos se oxiden y definir las zonas en las que se creen contactos o se solden componentes. Esta capa también se utiliza.

Existen muchas formas de darle un acabado profesional a un PCB, uno de ellos es la Película Seca (*Dry Film*), donde el PCB es cubierto con una película de polietileno que por lo general es verde, debe de imprimirse una lámina transparente con los *pads* del PCB y colocarse encima de la película de polietileno. Luego el PCB se expone a rayos UV (en una unidad de exposición, figura 3-16), y se coloca el PCB en un baño de ácido, donde suavemente se va removiendo el polietileno de los *pads*.

También se encuentra el método de *Liquid Photoimageable Soldermask* que la empresa LPKF utiliza para darle acabado a los PCBs, donde los pasos aplicados deben ser (LPKF, 2018).

1. Una lámina transparente debe ser impresa con los *pads* del PCB.
2. Mezcla de la laca (sustancia que da el color verde) y el endurecedor por 30 minutos.
3. Cuando la mezcla ha sido finalizada, aplicar en el PCB con un rodillo o brocha.
4. Imprimir en una lámina transparente los pads del del diseño CAD (capas *G top solder* y *G bottom solder* en Altium Designer).
5. La lámina debe colocarse encima del PCB previamente pintado para llevarlo luego al expositor de UV, donde debe estar por unos 40s.
6. Al salir del expositor, se debe de darle un baño revelador, compuesto por un polvo revelador y agua caliente, con un cepillo suave debe de bañarse el PCB, hasta que se muestren los *pads* expuestos.
7. Exponer el PCB en un horno por unos 30 minutos.



**Figura 3-16.** Unidad de exposición (LPKF, 2018)

## **7. Colocación los componentes en el PCB**

Al completar con éxito los procedimientos anteriores, el último paso es la colocación de los componentes. Se comienza colocando los componentes del diseño en la superficie del PCB en patrones que agrupan funciones lógicas juntas. Una vez hecho esto, los grupos de componentes se ubican en la superficie del PCB, de modo que las funciones que interactúan son adyacentes (esto puede ser especificado desde el sistema CAD), los componentes que se conectan con el exterior están cerca de los conectores, etc. Esta operación de colocación puede ser realizado manualmente por el diseñador utilizando herramientas basadas en gráficos o automáticamente por el sistema CAD PCB. (Coombs, 2001)

## 4- Validación de la Metodología

La metodología anterior será aplicada para el control de impedancia. Este caso es de gran relevancia para el laboratorio de la Escuela porque aún no se ha llegado a conocer si la impedancia de las líneas se conserva con los procesos y las tecnologías disponibles. Ya que se piensa utilizar el laboratorio para investigaciones y brindar servicios, es necesario tener certeza de que la impedancia de las líneas puede ser controlada.

### 4.1 Control de Impedancia

La aplicación de la metodología será validada mediante el proceso de control de impedancia en las líneas de transmisión cintas y microcintas, las cuales deben de acoplarse con todos los elementos del PCB, para evitar reflexiones. La reflexión asociada con la falta de acople de impedancias causa radiación electromagnética en el área localizada de la transición (por ejemplo, en el área donde la impedancia pasa de un valor de  $40\Omega$  a  $50\Omega$ ). Esa radiación puede acoplar su energía a las pistas vecinas o componentes en el PCB, causando distorsión en el rendimiento eléctrico. Generalmente para aplicaciones de RF, hay una necesidad de la mayor eficiencia energética de un módulo a otro (Stearns, 2014).

Siguiendo los pasos propuestos en el capítulo 3, en la etapa de especificación del diseño se debe considerar que el rango de frecuencia de operación propuesto para esta aplicación es de 5GHz, la tecnología es laminado de cuatro capas (debido a que serán consideradas líneas de tipo cinta, las cuales necesitan estar encerradas en medio de dos planos de tierra para poder operar). Es necesario considerar el espesor total que tendrá el PCB, y lo que es más importante, cuanto del dieléctrico (*core* y prepreg) es que se comprime en el proceso de laminado (importante porque tiene mayor relevancia en el comportamiento de la impedancia de las líneas).

Para el control de impedancia en las líneas de un PCB es necesario considerar los siguientes parámetros:

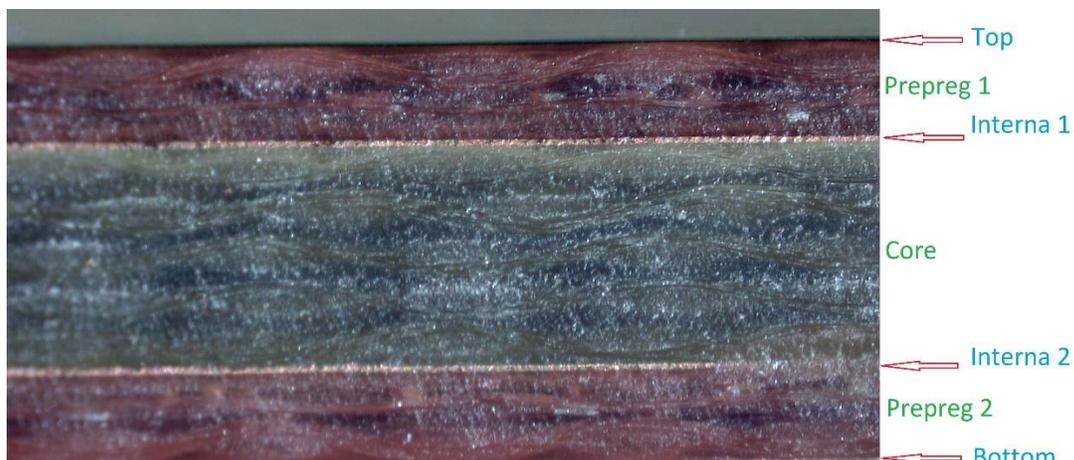
- Espesor del sustrato(H).
- Ancho de pista(W).
- Espesor del conductor(t).
- Constante dieléctrica.

Material	Espesor inicial
Prepreg	0.12mm
Core	1mm
Conductor	18 $\mu$ m,5 $\mu$ m
Tecnología de fabricación	Laminado

**Tabla 4-1.** Condiciones iniciales del laboratorio

Cada una de las variables ofrece una contribución que será discutida en las próximas secciones. La tabla 4-1 muestra el espesor de los materiales presentes en el laboratorio antes del proceso de fabricación; medidas que fueron realizadas con el calibrador (el cual posee una resolución de 10 $\mu$ m, lo cual se traduce en una incertidumbre de 0.3 $\Omega$ , valor que puede ser tolerado).

Los espesores de la tabla 4-1 cambian al realizarse el proceso de laminado, debido a que los materiales se encuentran sometidos a una alta presión y temperatura (150 N/cm<sup>2</sup> de presión y 250° de temperatura,) el dieléctrico, que en este caso es FR4-epoxy, es el que tiene mayor afectación y es el que juega un papel imprescindible en el control de impedancia. Para considerar de qué manera afecta este proceso al PCB multicapa, se analizó la placa de cuatro capas que se realizó en el entrenamiento con la empresa LPKF, para tomar como referencia estos valores. También se compararon contra una placa de 18 capas fabricada en el exterior, con este análisis se encontrará el *stackup* del laboratorio para el diseño del circuito impreso de esta aplicación.



**Figura 4-1.** Perfil de una placa de cuatro capas realizada en el laboratorio (vista por medio del estereoscopio)

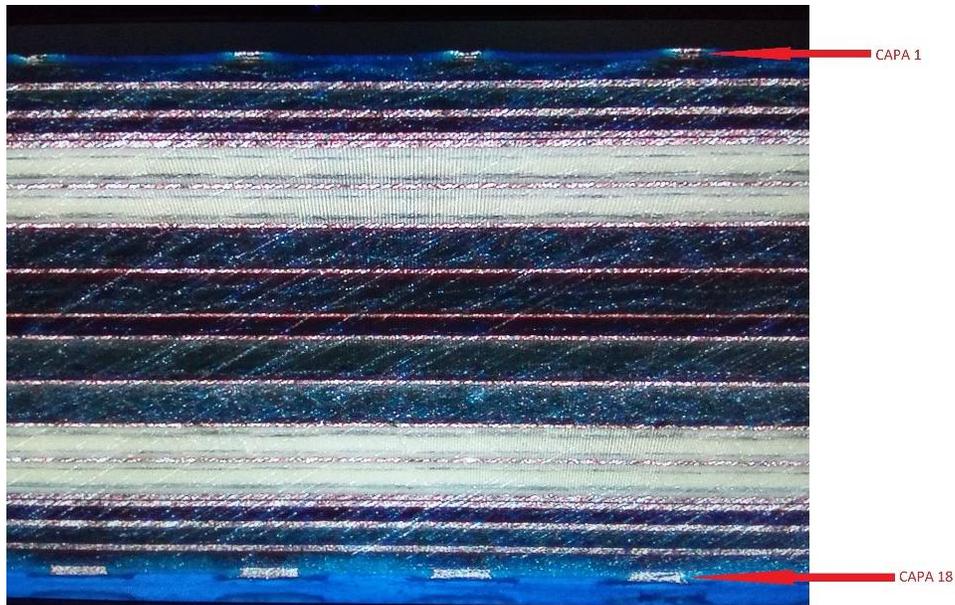
Las medidas fueron realizadas por medio del estereoscopio (utilizado para *wirebonding*), el cual, por medio de una relación de tres se encontraron las mediciones de los espesores.

El espesor total medido fue de 1.6mm, se había utilizado en esa placa una lámina de prepreg y un *core* de 1mm. El procedimiento para encontrar todos los espesores fue el siguiente: con el calibrador se midió el espesor total y fue tomado como referencia. Con la imagen de la sección transversal de la placa proyectada en la pantalla del estereoscopio, se encontró la relación del espesor total de la placa, contra el medido en la pantalla. El valor medido en la pantalla resultó de 189.4mm, que corresponden alrededor del 119% el espesor total de la placa. De la misma manera se procedió con la medición del prepreg, cuya medida fue de 33.73mm en la pantalla y por lo tanto resultó en un espesor real de 0.2825mm. El *core* del PCB representa el valor más significativo, con una medición en pantalla de 112.60mm y se concluyó que el valor real fue de 0.9431mm. Los espesores de cobre, al tener los valores menos significativos, se consideraron como constantes.

Material	Espesor ampliado	Espesor real
Cobre	5 $\mu$ m	5 $\mu$ m
Prepreg	33.73mm	0.282mm
Cobre	18 $\mu$ m	18 $\mu$ m
Core	112.6mm	0.943mm
Cobre	18 $\mu$ m	18 $\mu$ m
Prepreg	34.73mm	0.299mm
Cobre	5 $\mu$ m	5 $\mu$ m

**Tabla 4-2.** Medición de los espesores de un PCB cuatro capas en el laboratorio

En la tabla 4-2, la capa *top* y *bottom* tienen un espesor de cobre de 5 $\mu$ m, debido a que este es el espesor que proporciona LPKF, y las capas internas corresponden a media onza (18 $\mu$ m). Estos mismos valores son los que se tomarán para la fabricación de la placa multicapa.



**Figura 4-2.** PCB de 18 capas realizada en el exterior

La figura 4-2 muestra un PCB comercial de 18 capas, en este se observó cómo se encuentran distribuidas las pistas, prepreg y los *core* que presenta. Este PCB, tiene un espesor total de 3.4mm. Se realizó el mismo procedimiento que el PCB fabricado en el laboratorio y resultó en distintos valores de espesor de *core*, prepreg y cobre. Uno de los valores fue de 0.0937mm y 0.173mm, por ejemplo, valores cercanos al espesor del prepreg del PCB fabricado en el laboratorio.

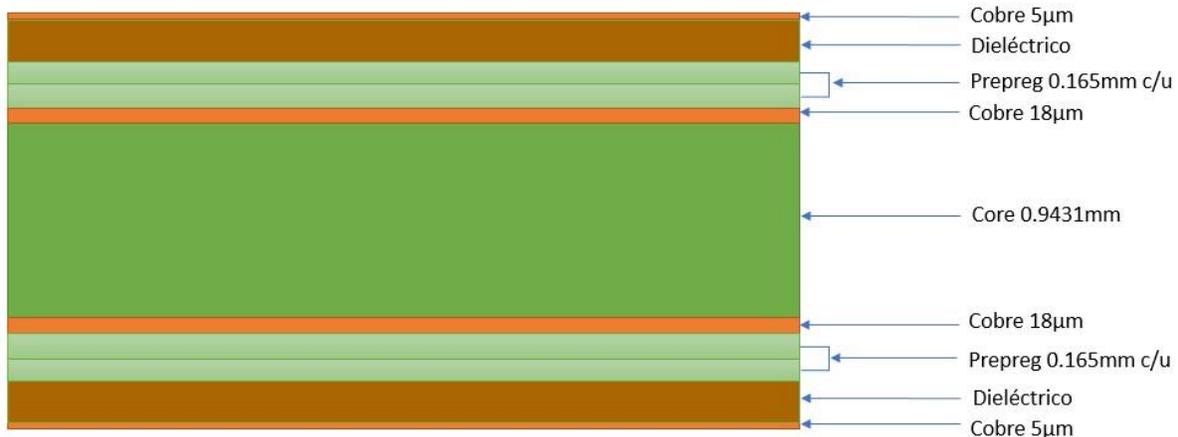
Si se observa la tabla 4-2, el *core* presentó una reducción del 5.7% de su valor inicial. Mientras que el prepreg del PCB fabricado en el laboratorio, se observa un mayor espesor que el valor inicial (0.12mm). Esto se debe a que las capas *top* y *bottom* poseen su propio dieléctrico, lo cual le suma al prepreg. Si se observa la imagen del PCB fabricado en el entrenamiento de LPKF, este es el material que tiene un espesor significativo de color café y que sirve de base para las capas *top* y *bottom*.



**Figura 4-3.** Capas de la lámina *top* y *bottom* incluyendo el prepreg

El valor teórico de este material fue de 0.2mm, medido con el calibrador. Si se compara contra el espesor de prepreg total obtenido en el entrenamiento de LPKF (0.282mm), se observa que el valor del prepreg debe ser de 0.0825mm (en este caso serán utilizados dos prepreg, esto se observa en la figura 4.4 donde se toma un valor de prepreg de 0.165mm). Para efectos prácticos en este proyecto, se

considerará la suma de los dos prepreg y el dieléctrico base de las láminas de cobre, y de manera general se le llamará prepreg a esta suma (el dieléctrico base de la lámina + 2\*prepreg), cuyo valor es de 0.365mm.



**Figura 4-4.** Stackup inicial propuesto para el laboratorio.

Todo lo de color naranja en el *stackup* de la figura 4-4 es cobre, las capas de cobre interior podrían considerarse como GND y VCC, mientras que las capas más exteriores (top y *bottom*) pueden considerarse como las señales. Ya que en este caso de aplicación no es necesario considerar señales de potencia, sino que solo es necesario considerar la señal de referencia (GND) de las líneas. Esta referencia se encuentra distribuida en las 4 capas y aisladas de las líneas.

La definición del *stackup* es necesaria para iniciar con el diseño del circuito impreso en radiofrecuencia. Definido este se procedió a diseñar el circuito impreso. El sistema CAD utilizado fue Altium Designer, el cual permite grandes ventajas al momento de exportar la plataforma electrónica a muchos otros formatos para su posterior verificación. En este, se diseñaron las líneas cinta y microcinta, considerando la fórmula 4-1 y las aplicaciones EEWeb y Saturn PCB. Las variables para encontrar el ancho de pista(W) son los definidos en el *stackup*, todas estas son conocidas (espesores y constante dieléctrica), incluyendo el valor de impedancia de la pista que se requiere controlar ( $50\Omega$ ). A continuación, se tratarán las líneas cinta y microcinta individualmente.

Thickness	Layer	Tolerance
1 mil (0.0254mm)	solder resist	+/-0.2mil (0.0051mm)
1.4 mil (0.0356mm)	1 oz copper	
6.7 mil (0.1702mm)	FR408 prepreg	+/- .67mil (0.017mm)
0.7 mil (0.0178mm)	0.5 oz copper	
47 mil (1.1938mm)	FR408 core	+/-4.7mil (0.1194mm)
0.7 mil (0.0178mm)	0.5 oz copper	
6.7 mil (0.1702mm)	FR408 prepreg	+/- .67mil (0.017mm)
1.4 mil (0.0356mm)	1 oz copper	
1 mil (0.0254mm)	solder resist	+/-0.2mil (0.0051mm)

(a) Stackup del fabricante OSH

4 Layer Stack-up						
Layer Order	Layer Name	Material Type	Material Description	Dielectric Constant	Thickness	Copper Weight
1	Top	Copper	Signal		0.0014"	1 oz
		2116 (2 sheets)	Prepreg	4.2	0.0091"	
2	Inner 1	Copper	Plane		0.0014"	1 oz
		Core	Core	4.2	0.037"	
3	Inner 2	Copper	Plane		0.0014"	1 oz
		2116 (2 sheets)	Prepreg	4.2	0.0091"	
4	Bottom	Copper	Signal		0.0014"	1 oz

(b) Stackup del fabricante Bittle

**Figura 4-5.** Stackup de fabricantes de circuitos impresos

### 4.1.1.1. Microcinta

Para este caso se consideró la ecuación 4.1. Según la fórmula, para obtener un de  $Z=50\Omega$  se requiere de un ancho de pista de  $W=0.76\text{mm}$ . Este valor será tomado como referencia para el análisis que será realizado. En la fórmula,  $\epsilon$  se refiere a la permitividad relativa. Al utilizarse prepreg 2125 a 5GHz, el valor de esta constante es de 3.9.

$$Z = \frac{87}{\sqrt{\epsilon+1.41}} * \ln \left( \frac{5.98*h}{0.8*w+t} \right) \quad 4.1$$

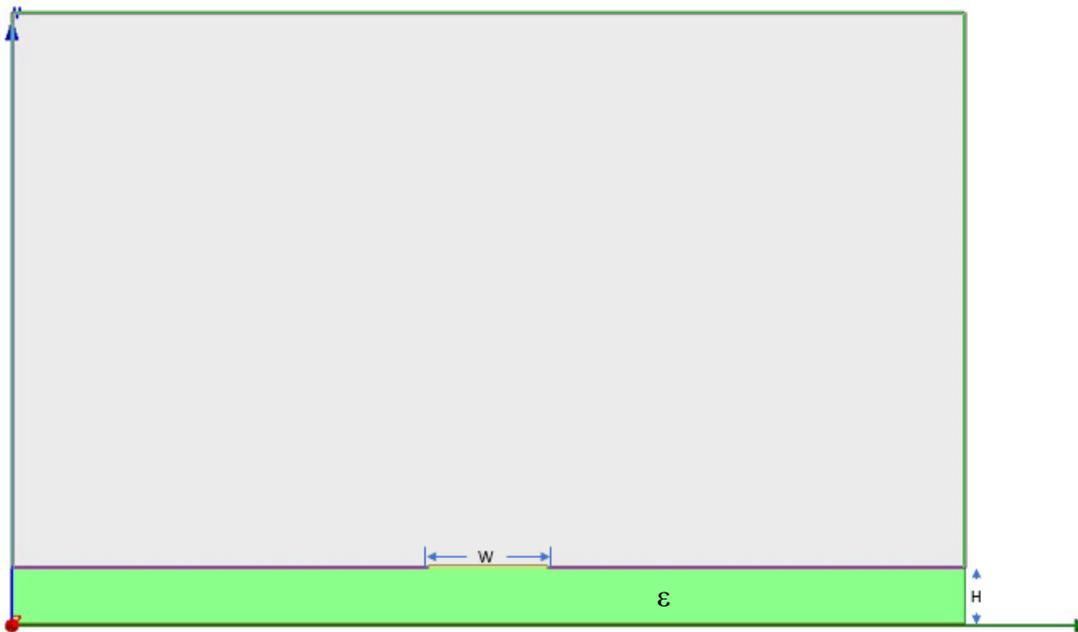
#### 4.1.1.1.1 Análisis 2D de línea microcinta

Se utilizó la herramienta de diseño y simulación Q2D Extractor de Ansys Electronics Desktop. El objetivo de esto es la realización de un análisis numérico en 2D de la línea microcinta, y observar el error con respecto al método estándar de cálculo de impedancia (generalmente son las fórmulas o las aplicaciones).

Para este análisis se varió la impedancia en un rango del 10% (variación estándar, donde se espera que las reflexiones estén por debajo de los 20dB) de su valor nominal ( $50\Omega$ ). Esta variación fue ejecutada debido a que la impedancia es una función del ancho de pista( $W$ ) y el espesor del dieléctrico( $H$ ). El espesor del conductor( $t$ ) en este caso fue considerado constante, porque se observó que la variación no es significativa y tampoco genera un impacto significativo en la

impedancia. Esto se logró demostrar en otro análisis 2D que se puede apreciar en la sección de apéndices.

La figura 4-6 muestra el modelo de la sección transversal de la línea microcinta. Este modelo está compuesto por una capa de aire (mostrada de color gris en el modelo y cuyo valor es de  $10 \cdot H$ ), el espesor del dieléctrico (para líneas microcinta es el prepreg), de color verde. La línea se encuentra encima del dieléctrico y es de color naranja (esta se muestra muy delgada debido a que su espesor es insignificante en comparación con los demás). En la parte inferior del dieléctrico, se encuentra la capa GND. Los valores de los espesores obedecen a la distribución establecida en el *stackup*.



**Figura 4-6.** Modelo de la sección transversal de la línea microcinta

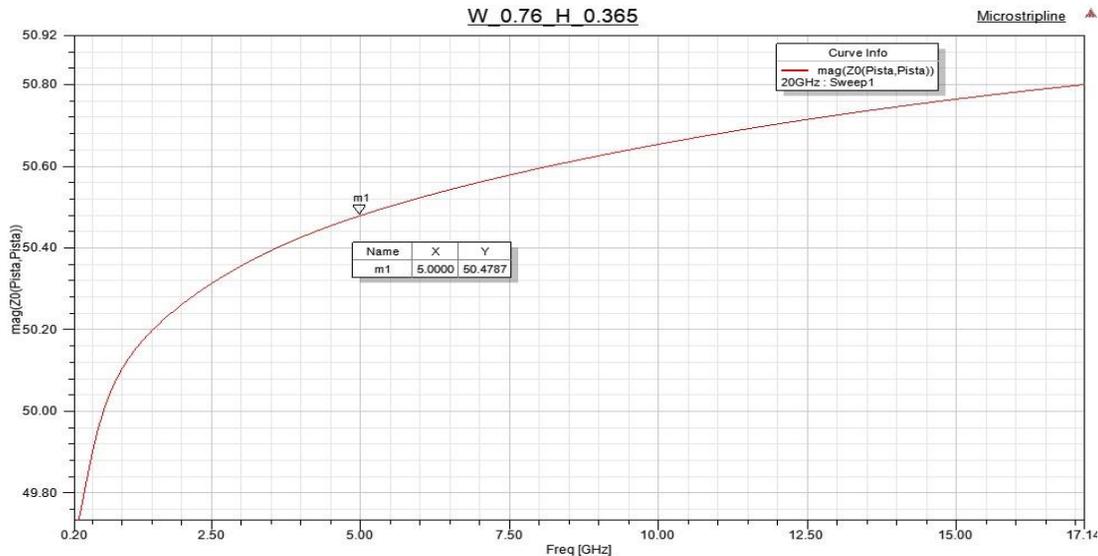
Los parámetros para este análisis fueron establecidos de la siguiente manera:

- Frecuencia de operación 5GHz.
- Frecuencia inicial 1MHz, final 20GHz y con tamaño de paso 100MHz.
- Numero de iteraciones 10.
- *Optimetrics* al ancho de pista( $W$ ) y espesor del dieléctrico( $H$ ).

Las condiciones para los materiales usados en la simulación numérica fueron establecidas como:

- Conductividad del cobre de 58 MS/m (a 20 grados de temperatura)
- Permitividad del dieléctrico (pregreg 2125) de 3.9 a 5GHz.
- Tangente de pérdida del cobre a 0.0019.

Se simuló inicialmente los valores nominales ( $W=0,76$  y  $H=0.365\text{mm}$ ), con el propósito de verificar que se obtiene la impedancia esperada con el cálculo realizado por las fórmulas, el resultado se muestra en la figura 4-7.



**Figura 4-7.** Impedancia de la microcinta con los valores de  $W$  y  $H$  nominales

Se muestra que, a los 5GHz, la impedancia con un valor de  $50.4787\Omega$ , el cual representa un 1% de variación entre el valor calculado teóricamente y el obtenido.

Con la herramienta *optimetrics* de Ansys, se realizó un análisis numérico en el rango de impedancia de  $45\Omega$  a  $55\Omega$  que corresponde a la variación del 10%. Se calcularon los valores que representa este rango en términos de ancho de pista ( $W$ ), de esta manera se obtuvieron los resultados de la figura 4-8 y la tabla 4-3, el propósito de este análisis es conocer el rango tolerado de ancho de pista ( $W$ ), con un valor de  $H$  constante, para que la impedancia sea controlada. La herramienta de *optimetrics* fue configurada de la siguiente manera:

- *Start* = 0.6mm
- *Stop* = 1mm
- *Step* =  $10\mu\text{m}$

El tamaño de paso se traduce en una variación de  $0,05\Omega$ .

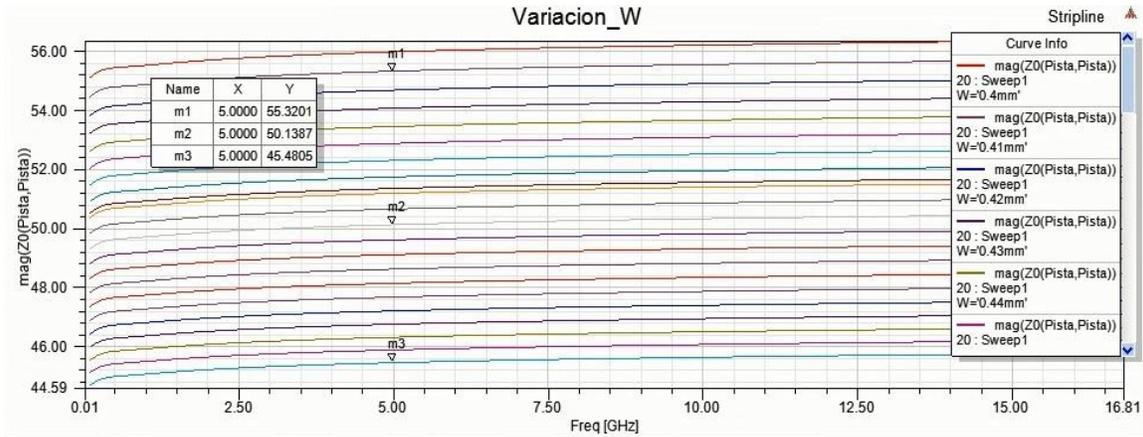


Figura 4-8. Resultado al variar el ancho de pista de la línea microcinta con espesor constante(H)

Impedancia( $\Omega$ )	Ancho de pista(mm)
45.091	0.91
46.068	0.87
47.116	0.85
48.176	0.82
48.914	0.80
50.008	0.77
50.887	0.75
52.114	0.72
53.049	0.70
53.995	0.68
54.917	0.66

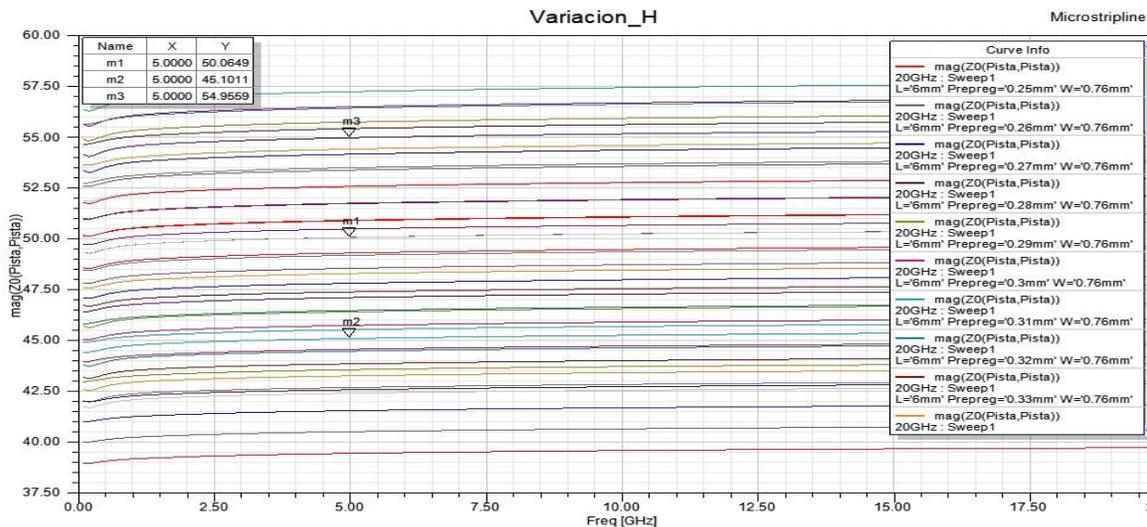
Tabla 4-3. Variaciones aceptadas de W para la línea microcinta

Los valores mostrados en la tabla 4-3, se han dispuesto de tal manera que entre ellos pueda existir aproximadamente una diferencia de  $1\Omega$ , esta diferencia es igual a 0.02mm (0.7874 mils) en la columna del ancho de pista. Se observa de esta manera el cambio significativo que existe en la impedancia al variar el ancho de pista. Si se toma en cuenta el rango de variación establecido ( $45\Omega$  a  $55\Omega$ ; diferencia de  $10\Omega$ ) de impedancia, este rango es representado en términos de ancho de pista por 0.91mm(35.82677mils) y 0.66mm(25.984mils); valor primero y último de esta misma columna. La diferencia que debe existir para lograr un control de impedancia es la mitad de la diferencia de 0.91mm y 0.66mm( $(0.91\text{mm}-0.66\text{mm})/2$ ) para expresarlo en términos del ancho de pista nominal (0.77mm). Entonces la variación esperada de W para realizar control de impedancia debe ser de  $(0.77 \pm 0.125)$  mm.

De la misma forma se procedió considerando constante el valor de  $W$  y variable el espesor del dieléctrico ( $H$ ). El rango de variación de  $H$  se obtuvo de la misma manera que en  $W$ ; calculando el valor que representa el rango de la impedancia en términos de espesor del dieléctrico ( $H$ ). Los parámetros de simulación se mantuvieron constantes, y la herramienta de *optimetrics* fue configurada de la siguiente manera:

- $Start = 0.25\text{mm}$
- $Stop = 0.45\text{mm}$
- $Step = 10\mu\text{m}$

La figura 4-9 y la tabla 4-3 muestran los resultados del análisis.



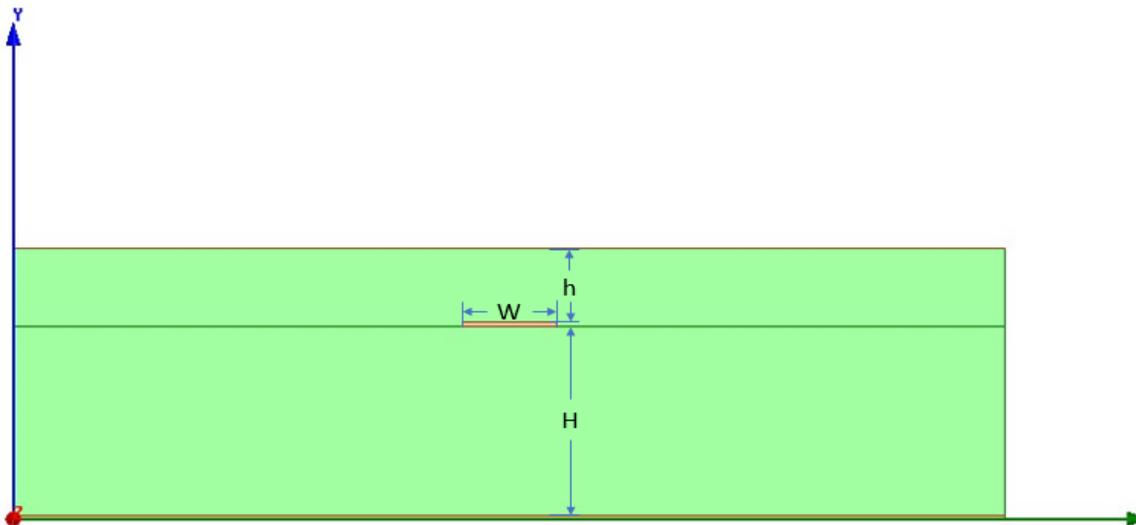
**Figura 4-9.** Variación del espesor del dieléctrico( $H$ ) en la microcinta con  $W$  constante

Según la figura 4-9 y la tabla 4-4, para mantener una variación del 10% de impedancia, el prepeg debe variar en el rango de  $0.31\text{mm}$  ( $12.20472\text{mils}$ ) a  $0.42\text{mm}$  ( $9.448819\text{mils}$ ), como se observa en la columna del espesor del sustrato. La diferencia de estos valores entre dos permite encontrar la variación máxima para lograr un control de impedancia, esta variación es de  $(0.365 \pm 0.055)$  mm. Si se compara el rango de variación permitido del dieléctrico (prepeg en este caso) contra la variación permitida del ancho de pista ( $W$ ), se observa que la variación del prepeg es más significativa en el control de impedancia, lo que es congruente con la teoría.

Impedancia( $\Omega$ )	Espesor del sustrato(mm)
45.535	0.31
46.475	0.32
47.386	0.33
48.289	0.34
49.183	0.35
50.479	0.365
51.747	0.38
52.566	0.39
53.372	0.40
54.154	0.41
54.956	0.42

**Tabla 4-4.** Variaciones aceptadas del espesor(H) para la línea microcinta con W constante

### 4.1.2 Línea Cinta

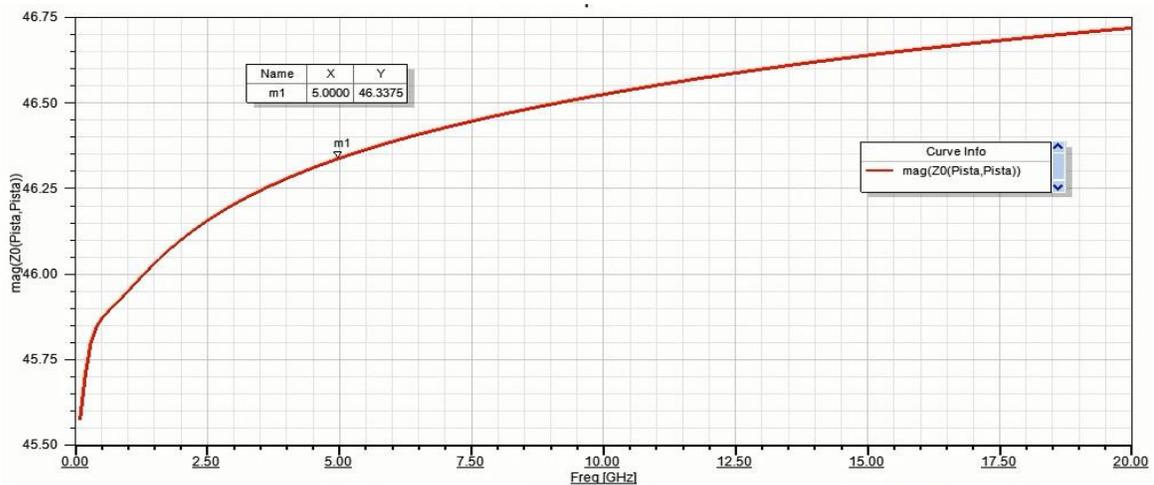


**Figura 4-10.** Modelo de la sección transversal de la línea cinta

La línea cinta requiere de mayores consideraciones, debido a que esta se encuentra confinada en medio de dos planos GND, uno superior cuyo espesor es de 5 $\mu$ m y el otro inferior con espesor de 18 $\mu$ m (estos valores son los que dispone el laboratorio, y son los que se contemplan en el stackup). También se encuentra rodeado de prepreg (encima) y el *core* (abajo), los cuales tienen por material base, FR4-epoxy. La característica de tener prepreg encima y *core* abajo la define como una estructura desbalanceada y complicada para encontrar una fórmula o expresión matemática. Pero existen plataformas que calculan la impedancia de

esta estructura como la plataforma de EEWeb (Ver en apéndice), la cual utiliza el método numérico aprobado por la norma IPC-2141. Sin embargo, el análisis numérico con Q2D Extractor, demostró que la impedancia con el valor del ancho de pista proporcionado por esa aplicación ( $W=0.58\text{mm}$ ) y los espesores nominales, generaba una impedancia de  $46,33\Omega$  (ver figura 4-11). La cual se acerca al menor valor permitido (un error de 7.3%).

También se utilizó otra herramienta para calcular la impedancia de esta estructura, Saturn PCB (ver en apéndices), la cual utiliza el método numérico proporcionado por la norma IPC-2221A. Este proporcionó mejores resultados con respecto al análisis numérico con Q2D Extractor (ver figura 4-12). Se obtuvo un  $W=0.477\text{mm}$  con los espesores nominales para una impedancia de  $50\Omega$ . Mientras que en el análisis numérico con Q2D Extractor representa una impedancia de  $51.36\Omega$ , esto representa un error de 2.7%.



**Figura 4-11.** Resultados para el cálculo de la impedancia de la línea cinta con EEWeb

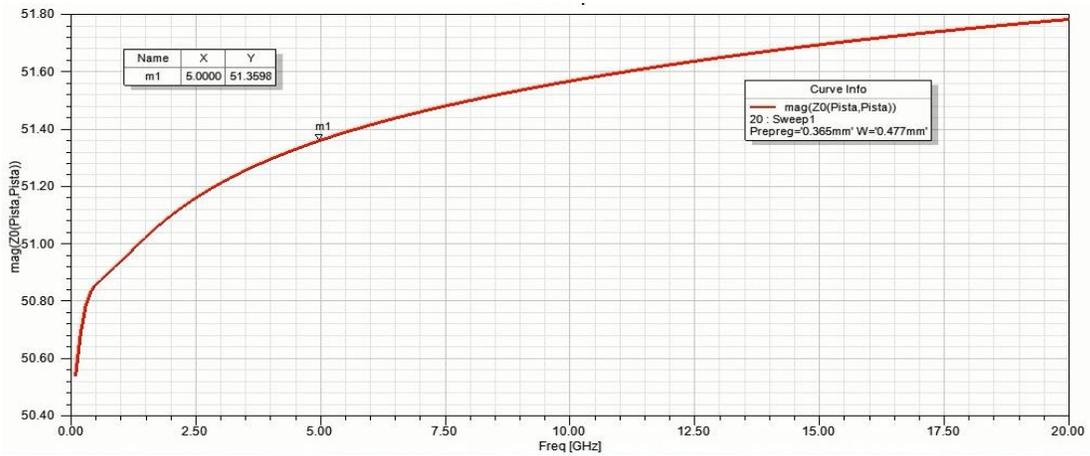


Figura 4-12. Resultados para el cálculo de la impedancia de la línea cinta con Saturn PCB.

### 4.1.2.1 Análisis 2D de línea Cinta

Para encontrar el rango de variación permitido de ancho de pista (W) para esta línea, se utilizó nuevamente la herramienta de *optimetrics* de Ansys para encontrar la variación permitida, éste fue configurado con los siguientes parámetros:

- *Start* =0.25mm
- *Stop*= 0.45mm
- *Step*= 10µm

La figura 4-13 y la tabla 4-5 muestran los resultados obtenidos con el análisis numérico.

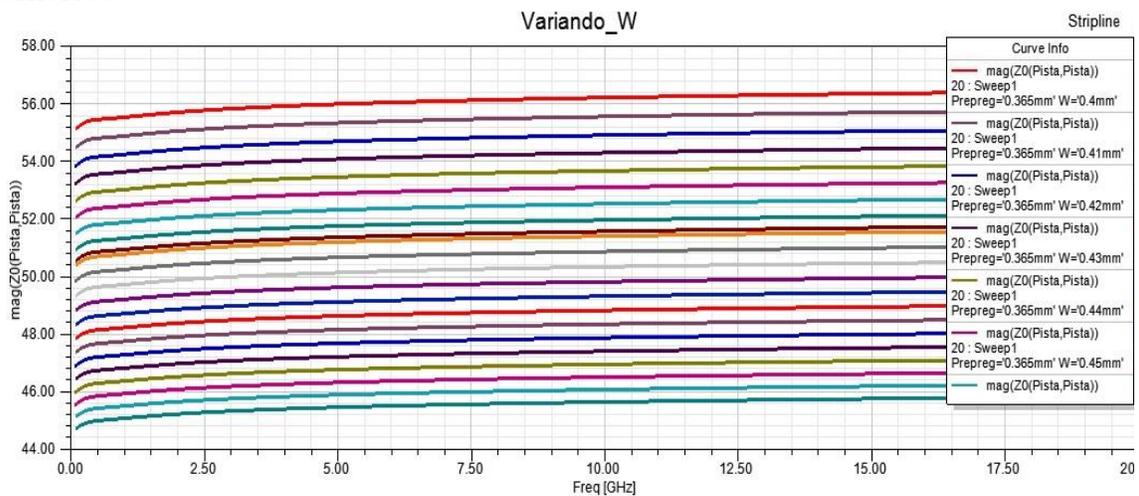


Figura 4-13. Variación permitida del ancho de pista de la línea cinta, con los espesores nominales

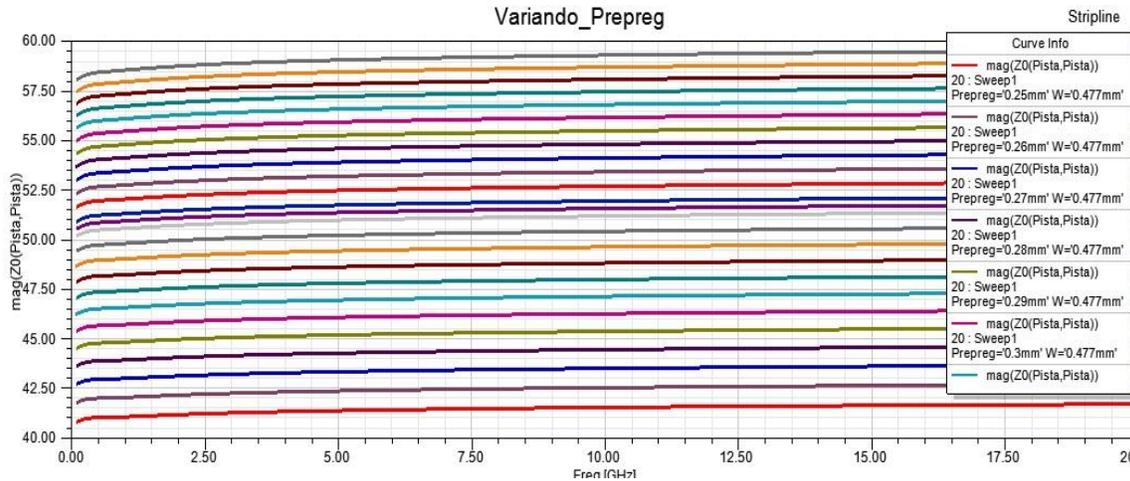
Impedancia( $\Omega$ )	Ancho de Pista(mm)
45.480	0.600
46.337	0.580
47.228	0.560
48.162	0.540
49.125	0.520
49.997	0.502
51.360	0.477
52.309	0.360
52.880	0.450
54.069	0.430
55.320	0.410

**Tabla 4-5.** Variación permitida del ancho de pista (W) para la línea cinta con los espesores constantes

De los resultados obtenidos, el rango de  $45.48\Omega$  a  $55.32\Omega$ , es representado en términos de ancho de pista por  $0.6\text{mm}$ (23.622mils) y  $0.410\text{mm}$ (16.14173mils) respectivamente. La diferencia dividida por dos permite establecer el grado de variación de W permitido para los valores nominales del prepreg (h) y *core*(H) nominales. La variación es de  $0.095\text{mm}$ , se observa también que con el análisis numérico se obtuvo un  $W=0.502\text{mm}$  para una impedancia de  $50\Omega$ , la variación permitida según el análisis numérico debe ser de  $(0.502\pm 0.095)\text{mm}$ . Si se compara esta variación con la obtenida en la microcinta, la cual fue de  $(0.77\pm 0.125)\text{mm}$ , se observa la línea cinta es más sensible a los cambios de ancho de pista.

Para el análisis de la variación del prepreg y el *core*, se tomó como premisa que la temperatura y la presión se ejercen de manera uniforme y constante en toda la placa cuando se procesa en la laminadora (Multipress S). De esta manera se determinó una relación proporcional entre el prepreg y el *core* (debido a que, si la presión y temperatura entre ellos es la misma, entonces la razón de la variación del espesor entre ambos permaneces constante) de la línea cinta. Esto para representar una de las variables (en este caso el *core*), en términos de la otra (el prepreg) para poder analizarlas al mismo tiempo. Conociendo que el *core* es  $0.943\text{mm}$  y el prepreg  $0.365\text{mm}$ , la razón entre ellos es:  $\text{core}=2.5835*\text{prepreg}$ . Esta relación acelerará el proceso de simulación.

Manteniendo el ancho de pista constante( $W=0.502\text{mm}$ ) se obtuvo los resultados mostrados en la figura 4-14 y la tabla 4-6.

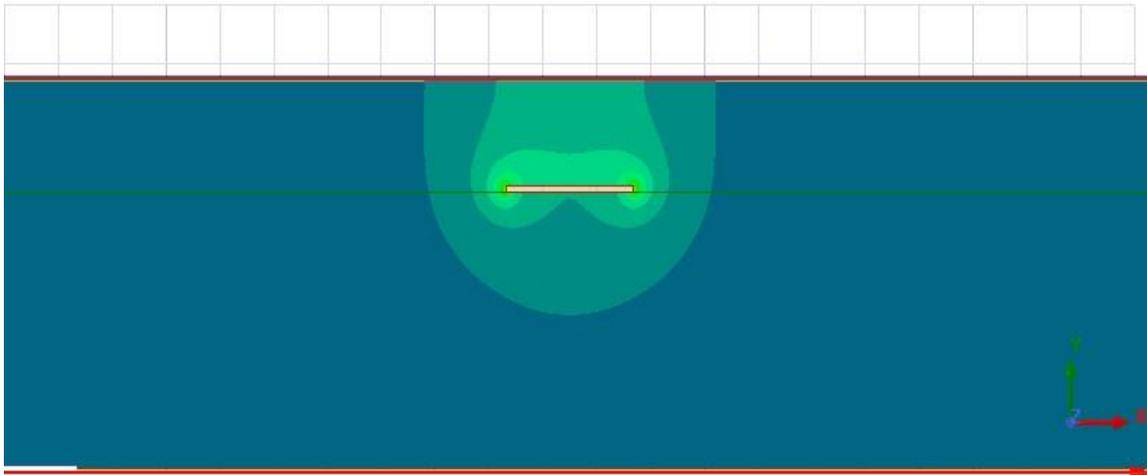


**Figura 4-14.** Variación permitida del dieléctrico (H y h) de la línea cinta, con el ancho de pista nominal

Impedance( $\Omega$ )	Espesor de Prepreg (mm)	Espesor de Core (mm)
45.217	0.290	0.749
46.103	0.30	0.775
46.970	0.310	0.800
47.812	0.320	0.827
49.440	0.340	0.878
50.984	0.350	0.904
51.732	0.365	0.943
53.187	0.37	0.956
53.885	0.39	1.008
55.237	0.40	1.033

**Tabla 4-6.** Variación permitida del espesor del dieléctrico para la línea cinta con el ancho de pista constante

Al variar el prepreg, también varió de manera proporcional el *core* de la placa. Si se observa la variación del prepreg para el rango de variación de impedancia, esta debe ser de  $(0.365 \pm 0.055)$  mm y la variación permitida del *core* debe ser de  $(0.9431 \pm 0.142)$  mm. De esto se concluye que la variación del prepreg es la que genera mayor impacto en el control de impedancia para esta línea. Debido a que existe un mayor acople entre ésta y el plano más cercano (IPC-2221A, 2003). Este comportamiento puede observarse en la figura 4-15.



**Figura 4-15.** Comportamiento del campo eléctrico en la línea cinta

De los resultados de las líneas microcinta y cinta se puede establecer la tabla 4-7, que muestra un resumen de la variación del prepreg, el core y el ancho de línea para que pueda existir un control de impedancia.

Variable	Línea microcinta (mm)	Línea cinta (mm)
Ancho de Pista(50Ω)	$0.772 \pm 0,125$	$0.502 \pm 0,095$
Espesor Prepreg	$0.365 \pm 0,055$	$0.365 \pm 0,055$
Espesor de Core	N/A	$0.9431 \pm 0,142$
Espesor de Línea	5μm	18μm
Capa de Línea	Top	Interna 1
GND de la Línea	Interna1	Top e Interna 2

**Tabla 4-7.** Variación permitida para que exista un control de impedancia

## 4.2. Diseño CAD

Con el análisis numérico desarrollado en el capítulo 3, se diseñarán las líneas con el sistema CAD de Altium Designer. Este programa tiene ventajas al exportar la información en muchos tipos de formatos, por ejemplo, es compatible con los formatos de mecanizado más comunes (como DXF/DWG o STEP), y con los formatos eléctricos-mecánicos como lo son Gerber (en sus versiones RS274D y RS274X2) y ODB++ (Altium, 2013).

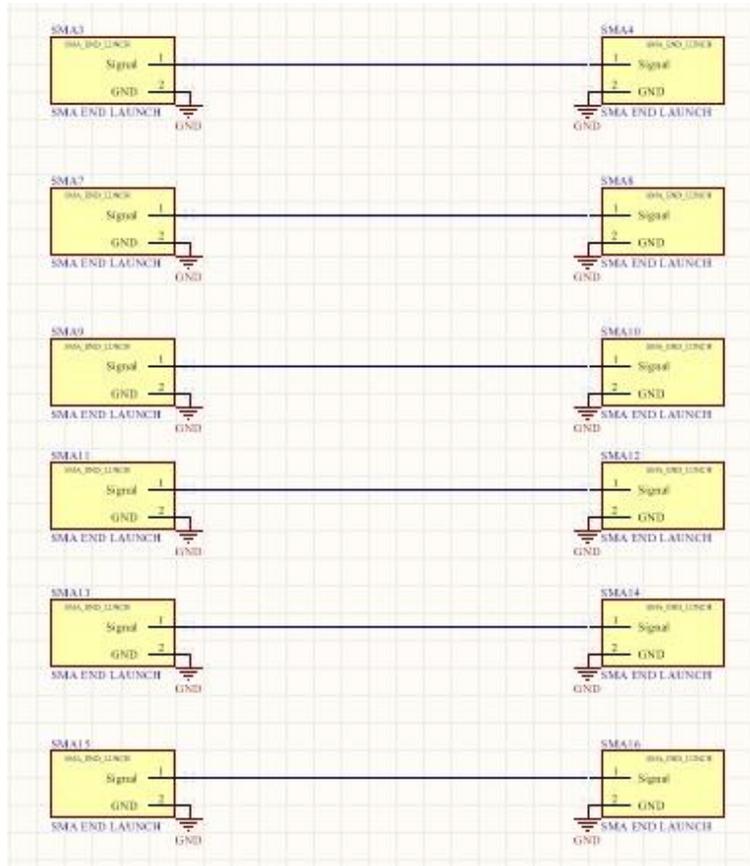
Con la sección anterior se logró encontrar el valor de las variables más relevantes, cuando de control de impedancia se refiere, pero, existen otro tipo de variables que serán de la misma manera consideradas en este capítulo.

Lo que inicialmente se realiza en todo diseño de PCB, es el esquemático, el cual contiene la información de todos los componentes que utiliza el PCB y también la información de las conexiones que deben de existir entre esos componentes (*netlist*). Generalmente, los componentes vienen en bibliotecas previamente creadas o que deben ser creadas si no se presentan en el programa. Para este caso de aplicación se debió crear la biblioteca del conector SMA *through hole* en su esquemático, y luego asociar esta información con el *layout*.

Al colocar la biblioteca creada en el ambiente esquemático de Atium Designer, se debe de realizar las respectivas conexiones entre los SMA *through hole*, cada una de esas conexiones representará las líneas que serán fabricadas. La figura 4-16 muestra el esquemático del circuito impreso, el cual representa solo una parte de las líneas que serán fabricadas, debido a que también serán consideradas líneas que tengan una transición de microcinta a cinta, donde será necesario la colocación de vías.

El circuito impreso que será diseñado en esta sección será utilizado para evaluar y caracterizar todos los procesos del laboratorio de la Escuela de Electrónica para la fabricación de plataformas electrónicas de cuatro capas, por lo tanto, el esquemático no representa más que líneas conectadas a los conectores SMA *through hole*.

Los sistemas CAD que son utilizados para la fabricación de PCBs, permiten que el usuario cree primero el esquemático, y luego pase ese diseño a su *layout*. Altium Designer ejecuta esto por medio de la sentencia *Design → Import Changes from Project*, donde el diseño esquemático se traslada en su forma de *layout* (o también llamado entorno de *Board*). El esquemático y el *layout* del conector creado en este paso es el mismo que se muestra en el capítulo anterior (figura 3-6).



**Figura 4-16.** Esquemático del diseño CAD en Altium Designer

Uno de los parámetros físicos del PCB que pueden establecerse en el entorno de *layout* es la cantidad de capas que el PCB tendrá, y la definición de estas como planos de potencia o señales. Altium Designer permite definir también las capas de dieléctrico (FR4 con sus constante respectiva), y el espesor de cada material. Para este caso de aplicación se estableció el *stackup* que fue encontrado para el laboratorio, esta información puede observarse en la figura 4-17. Las capas fueron nombradas señal, debido a que se realizarán enrutamientos en todas las capas, excepto en *bottom*. La definición de planos VCC o GND puede ser establecida por medio de una función CAD de PCB, *Polygon Pour*.

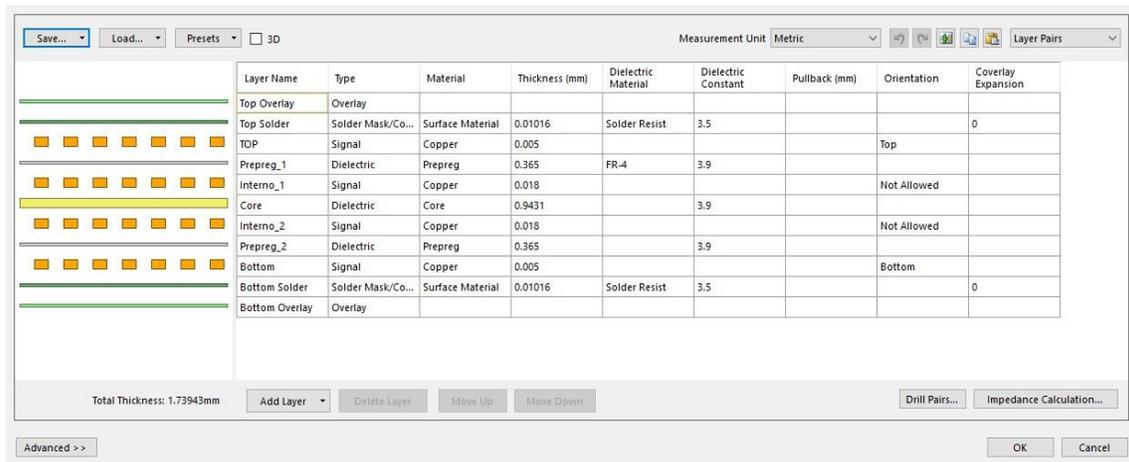


Figura 4-17. Stackup del diseño configurado en Altium Designer

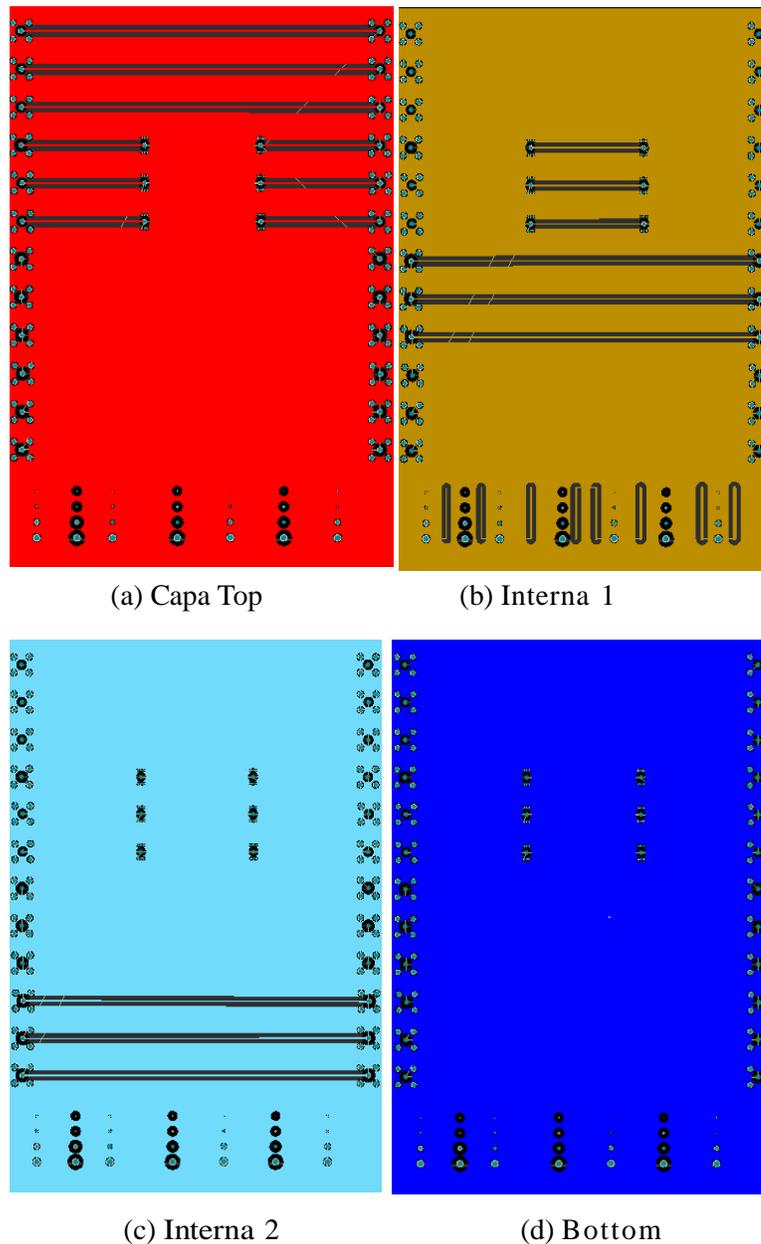
Variable	Regla
Ancho Microcinta 1	0.77mm
Ancho Microcinta 2	0.68mm
Ancho Microcinta 3	0.61mm
Ancho línea con vía 1	Ancho Microcinta 1, Cinta 1
Ancho línea con vía 2	Ancho Microcinta 2, Cinta 2
Ancho línea con vía 3	Ancho Microcinta 3, Cinta 3
Ancho Cinta 1, capa interna 1	0.502mm
Ancho Cinta 2, capa interna 1	0.35mm
Ancho Cinta 3, capa interna 1	0.45mm
Ancho Cinta 1, capa interna 2	0.502mm
Ancho Cinta 2, capa interna 2	0.35mm
Ancho Cinta 3, capa interna 2	0.45mm
Longitud de líneas	100mm
Aislamiento	$1.8 * (\text{Ancho de línea})$
Separación de conectores	7mm
Radio de vía	0.635mm
Radio <i>pad</i>	0,9mm

Tabla 4-8. Reglas de diseño para PCB multicapa

Con las capas definidas, se deben de colocar los componentes en *layout* de tal manera que las conexiones heredadas del esquemático no se crucen entre sí y que la disposición de estos componentes sea tal que se pueda soldar sin ninguna dificultad. Las reglas de diseño se muestran en la tabla 4-8. Los diferentes valores de ancho de línea se deben al hecho de que no es posible afirmar con certeza el rango de variación del prepreg, debido a las tempranas

pruebas que se realizan en el laboratorio. Los anchos no nominales compensarán la variación que tenga el prepreg y el *core*.

Con las dimensiones mostradas en la figura 4-8 (las cuales resultaron de las optimizaciones que serán vistas en el capítulo siguiente) fue diseñado el circuito multicapa mostrado en la figura 4-18.



**Figura 4-18.** Layout del PCB multicapa con reglas de diseño aplicadas

En la figura 4-18 se muestran individualmente las capas del PCB diseñadas, la capa top, de color rojo (debido a la función de *Polygon Pour*). Todo aquello que no es una línea y no

forma parte de esta, fue declarado como GND en esta y todas las demás capas. El *antipad* en las vías y el aislamiento en las líneas, permite que no haya cortocircuitos. En esta capa se muestran tres líneas, las microcintas, cuyo orden, es el que se muestra en la tabla 4-7. Luego se muestran tres líneas microcinta, las cuales en un tercio de su longitud se conectan por medio de las vías con la capa interna 1 (donde se puede apreciar la continuidad de esta, pero como línea cinta en la figura b), y luego asciende como línea microcinta. No se muestran más líneas debido a que las demás son cintas (internas). Todas las microcintas tienen como GND la capa interna 1.

En la capa interna 1, se muestran las tres líneas cinta, con un tercio de la longitud total de las líneas y tres más, cuyo ordenamiento se muestra en la tabla 4-7. Las líneas tienen como GND las capas top e interna 2. También en esta misma capa se colocaron pistas y vías de prueba, las cuales se encuentran desconectadas. Fueron colocadas con el propósito de observar cómo afecta el proceso de fabricación del PCB multicapa a las pistas y vías.

La capa interna 2 es similar a la interna 1, excepto que solo tiene tres líneas, las cuales tienen las capas internas 1 y *bottom* como GND. Esta es la función que cumple la capa *bottom*; permite encerrar las pistas de la capa interna 2 y cumplir con la recomendación de que un PCB multicapa debe ser simétrico en espesor y materiales, para evitar el efecto *warping* (Coombs, 2001).

Al finalizar todo el proceso de diseño del esquemático y del *layout*, es recomendable realizar una verificación de las reglas de diseño para todos los elementos que se encuentran en la placa.

### 4.3. Simulación

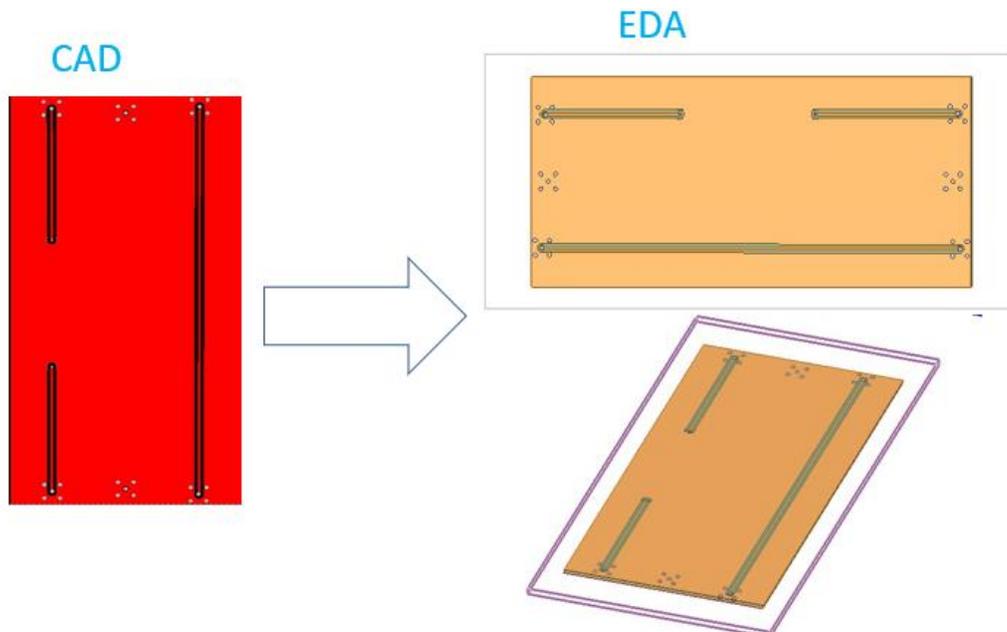
En esta sección se discutirá la aplicación de la metodología para la simulación del PCB diseñado en el entorno CAD. El sistema EDA que será utilizado es HFSS 3D de Ansys Electronics Desktop. Aprovechando que Altium Designer es capaz de guardar la información CAD en una base de datos como ODB++ y que Ansys es capaz de interpretar este formato por medio de HFSS 3D Layout, éste será el formato utilizado.

ODB++ es generado por Altium Designer con la sentencia; File→ Fabrication Output→ODB++, esto generará tres tipos de archivos: .tar, .rar y una carpeta con toda la información de la placa. Con esta instrucción se deja el ambiente de diseño CAD.

Al importar el archivo ODB++ en Ansys Electronics Desktop, HFSS 3D Layout reconoce que es un archivo eléctrico y mecánico y es abierto en un ambiente 2D. En ese ambiente es

posible verificar las características del PCB como el *stackup* completo, dimensiones y editar las conexiones (nets). Este programa solo será utilizado para la generación de una nueva base de datos; Ansoft Neutral File (ANF). Esto para que pueda ser importado a SIwave. La exportación de esta nueva base de datos por medio de HFSS 3D Layout se realiza por medio de la instrucción *File*→*Export*→*ANF*.

Luego este archivo es importado a SIwave. Dentro de este entorno, es posible realizar modificaciones al PCB, observar y verificar las conexiones, *stackup* y las características eléctricas de los materiales. En este entorno se observa que ANF conserva la información de las constantes dieléctricas y tangente de pérdidas por defecto como 4.4 y 0.02 respectivamente. Para efectos de esta aplicación, esos valores deben ser cambiados a 3.9 y 0.019 de constante dieléctrica y tangente de pérdidas respectivamente. Para la generación del archivo de HFSS 3D, se debe seguir la secuencia *Export*→*HFSS 3D*, esto generará automáticamente el archivo. aedt de HFSS 3D. La figura 4-19 muestra el paso del sistema CAD al EDA.



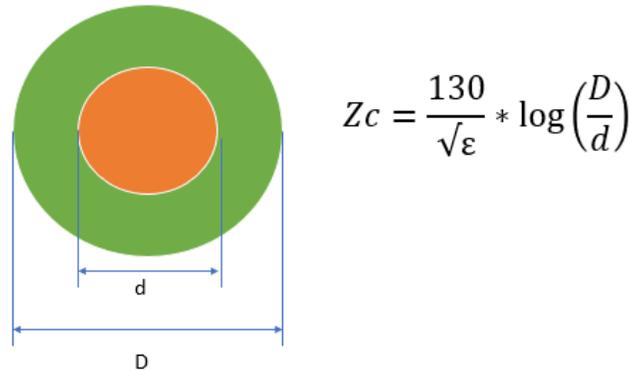
**Figura 4-19.** Paso del sistema CAD de Altium Designer al sistema EDA de HFSS 3D

Con el diseño importado en HFSS 3D se pueden realizar optimizaciones y análisis en frecuencia. Los valores de la tabla 4.7 corresponden a optimizaciones realizadas en HFSS 3D.

A continuación, serán demostradas las optimizaciones con el análisis 3D de HFSS. Se tomó en cuenta las líneas con puertos, con conectores de montaje superficial (*mount surface*) y con conectores de hueco pasante (*through hole*), recordando que la frecuencia de operación es de 5GHz. Inicialmente se modelaron los conectores de radiofrecuencia.

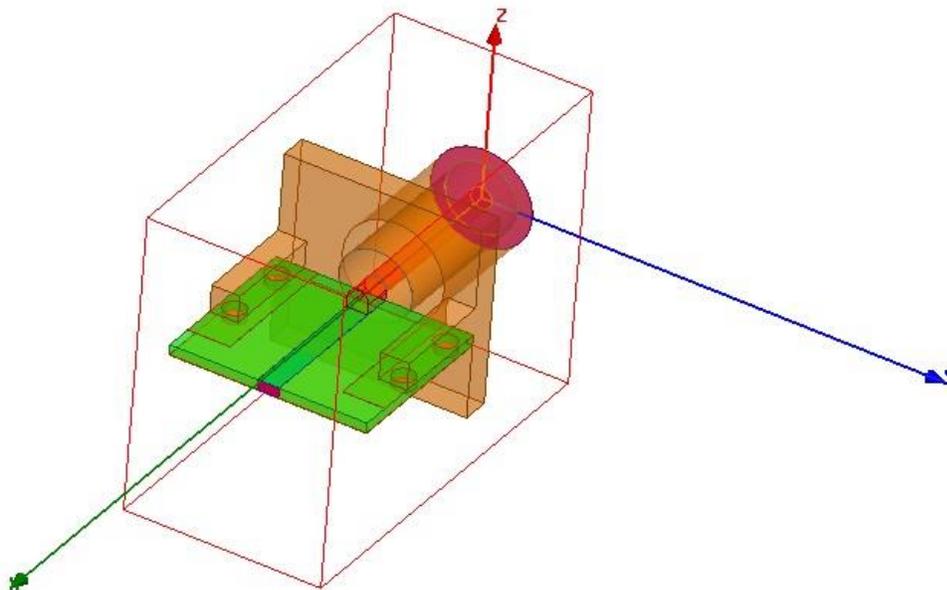
### 4.3.1. Conector de montaje superficial

Los conectores de montaje superficial (*mount surface*) son comunes usar para aplicaciones de radiofrecuencia. El modelo de un conector SMA es el modelo de un cable coaxial, donde las variables más significativas son el diámetro del pin y el espesor del dieléctrico, la figura 4-20 muestra la relación.



**Figura 4-20.** Modelo de cable coaxial para el diseño de conectores SMA

El diámetro del conductor (sección interna) es el que proporciona la hoja de datos del conector a utilizar ( $d=0.76\text{mm}$ ). Para una impedancia de  $50\Omega$  y considerando la constante dieléctrica como teflón (cuya permitividad es 2.1), se calculó el diámetro del dieléctrico como  $2.74\text{mm}$ .



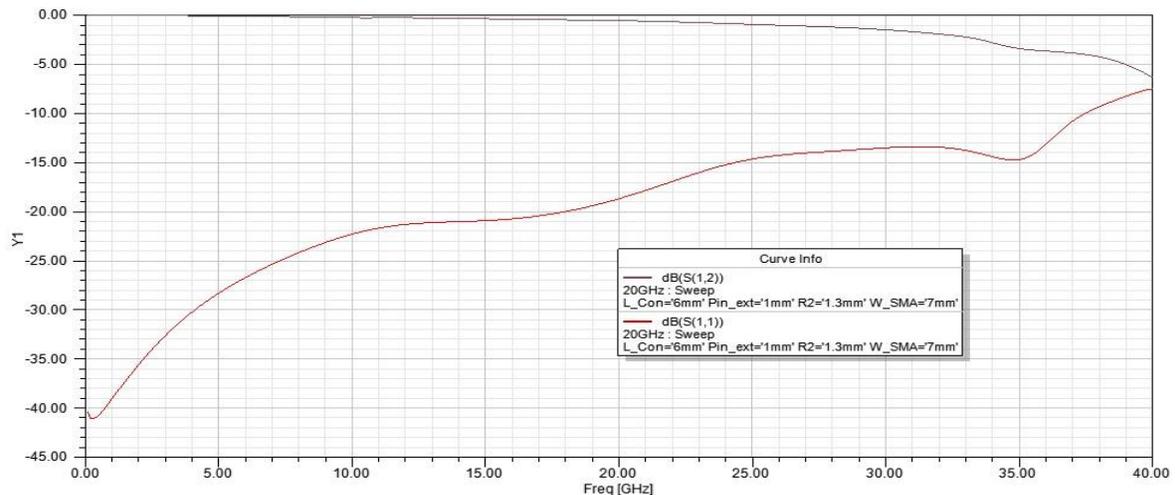
**Figura 4-21.** Modelo de conector de montaje superficial en HFSS 3D

La simulación estuvo caracterizada por los siguientes parámetros:

- *Solution Frequency* 20GHz
- Frec. Min=1MHz, Step. Frec=1MHz, Frec. Max=40GHz.
- Máximo número de iteraciones 15
- Mínimo número de iteraciones 6
- Máximo delta S= 0.02

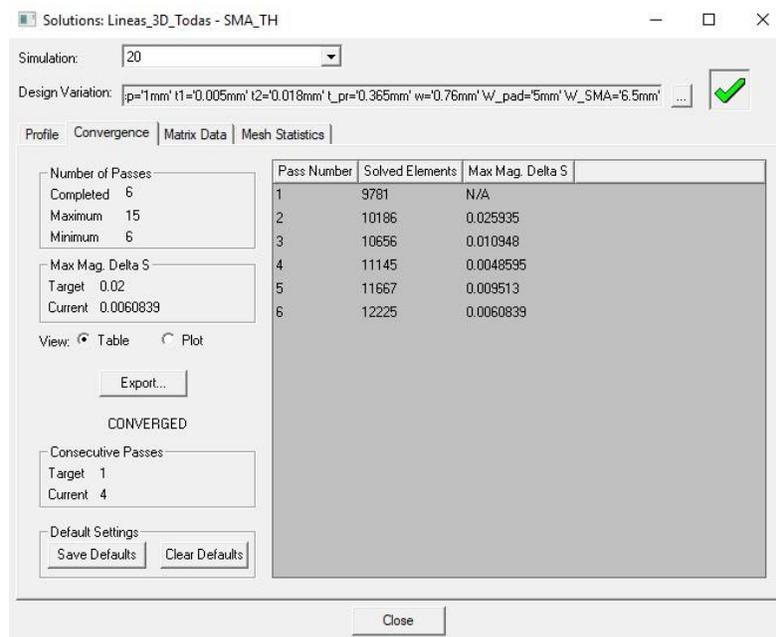
El modelo se realizó con un *wave port* en la parte frontal del conector y *lumped port* en la línea microcinta (la cual también se modeló para una impedancia de  $50\Omega$ ).

Se realizó una optimización por medio de la función de *optimetrics* de Ansys al valor del diámetro del dieléctrico. Este análisis demostró que con un diámetro de dieléctrico de 2.6mm se obtenían resultados aceptables, debido a que, incluso a 18GHz se obtiene una pérdida del 10%. La solución convergió con seis iteraciones, según se muestra en la figura 4-24.



**Figura 4-22.** Parámetros de reflexión y transmisión del conector de montaje superficial

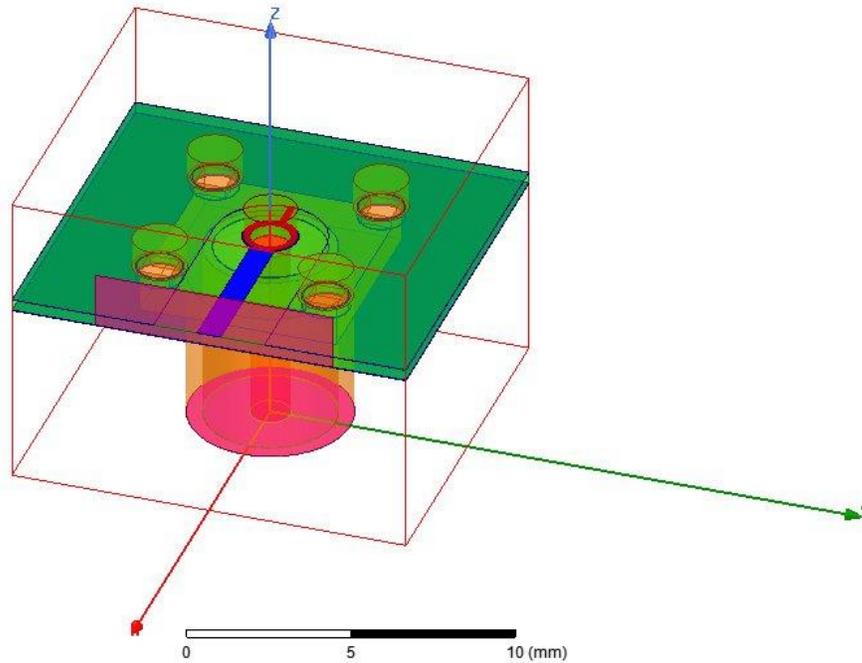
En la figura 4-22, las reflexiones se muestran con la línea de color rojo y la transmisión en negro, para este caso de aplicación, este conector con estas características es una buena opción.



**Figura 4-23.** Convergencia de la solución

### 4.3.2 Conector SMA Through Hole

Este será el conector que se utilizará para las pruebas del PCB multicapa. El modelo fue considerado igual que el conector de montaje superficial (modelo coaxial), excepto que éste está dispuesto en posición vertical, por lo tanto, deben ser utilizadas vías. El conector utilizado tiene un ancho de banda de 6GHz, valor que se encuentra casi al límite del ancho de banda especificado para esta aplicación. Debido al diámetro del pin que presenta un diámetro de 1.27mm, se encontró el diámetro que debería tener el dieléctrico, por medio de la fórmula de la figura 4-20, el valor obtenido fue de 4.58mm.

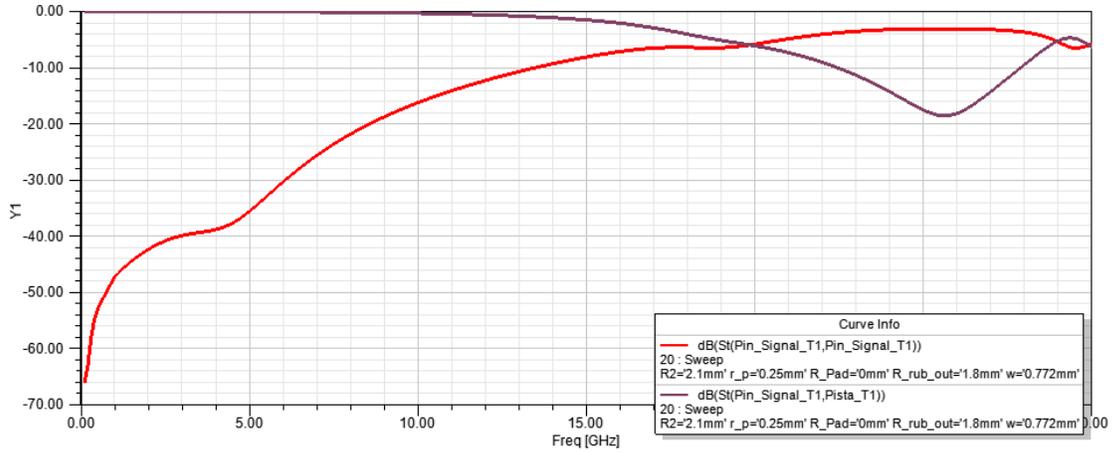


**Figura 4-24.** Modelo de Conector SMA Through Hole en HFSS 3D

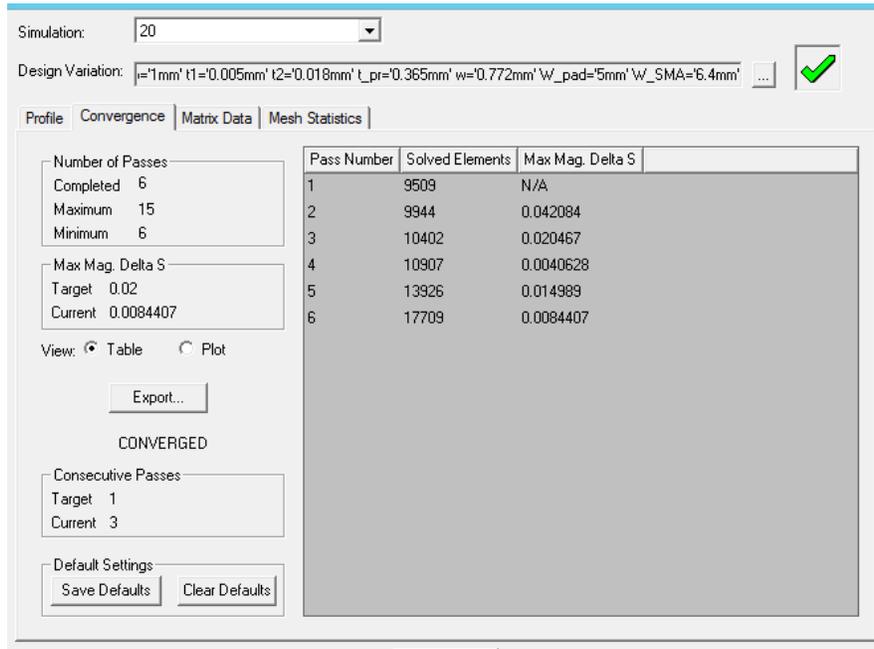
Este modelo tiene dos excitaciones *wave port*, en el conector y la línea. Realizando una optimización al diámetro del dieléctrico, se encontró que con un diámetro de 4.2mm se obtenía el mejor valor en términos de menor reflexión y mayor transmisión. Como se muestra en la figura 4-25. Se necesitaron seis iteraciones para que la solución convergiera, como se muestra en la figura 4-26.

La simulación estuvo caracterizada por los siguientes parámetros:

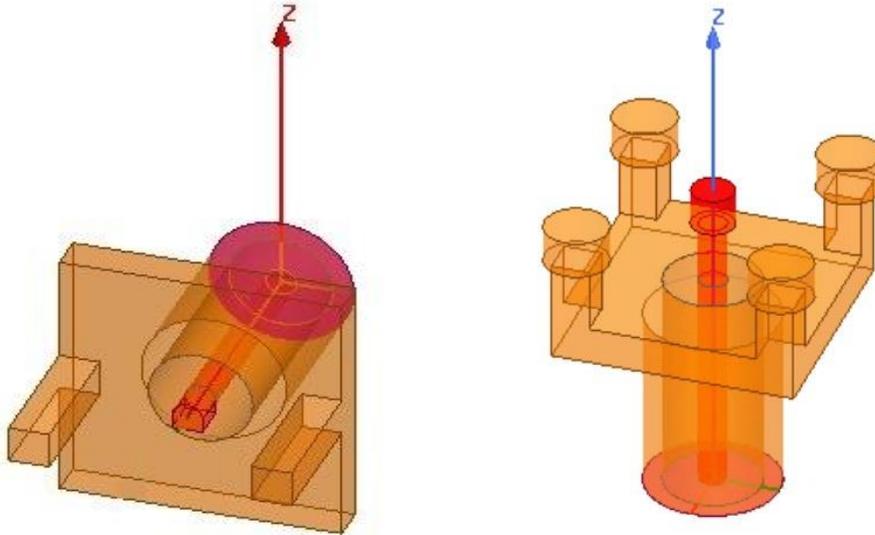
- *Solution Frequency* 20GHz.
- Frec. Min=1MHz, Step. Frec=1MHz, Frec. Max=30GHz.
- Máximo número de iteraciones 15.
- Mínimo número de iteraciones 6.
- Máximo delta S= 0.02.



**Figura 4-25.** Reflexión (rojo) y transmisión (negro) del diámetro dieléctrico optimizado del conector SMA Through Hole



**Figura 4-26.** Convergencia de la solución del modelo



**Figura 4-27.** Conectores SMA optimizados

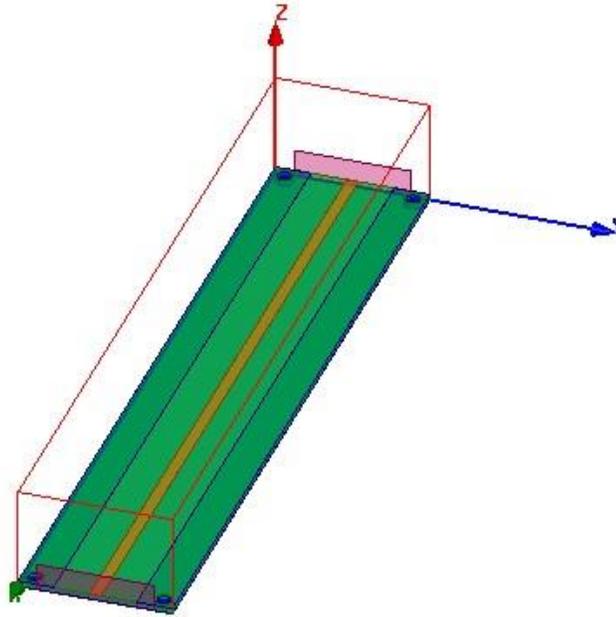
### 4.3.3. Línea microcinta 3D

Para este primer caso se realizaron tres tipos de modelos, uno con *waveport* rectangular, otro con conector de montaje superficial y el siguiente con conector de hueco pasante (*through hole*). El objetivo de este análisis es el de manifestar el efecto de otras variables sobre la línea, como, por ejemplo; vías, *pads*, aislamientos, profundidad del aislamiento y el efecto de los conectores.

Todas las simulaciones, fueron configuradas de la siguiente manera:

- Frecuencia de operación 20GHz
- Máximo número de iteraciones 15
- Mínimo número de iteraciones 6
- Máximo delta S 0.02

La figura 4-28 muestra el modelo de la línea con *wave ports* rectangulares en sus extremos, este es el modelo ideal (como si se realizara mediciones con pinzas de RF). Está compuesto por un plano de GND (si se observa en términos del *stackup*, este sería la capa interna 1), prepreg y GND en la capa top (las vías en las esquinas es para comunicar el plano GND de la capa interna 1 con el GND de la capa top). GND en la capa top es para la optimización del aislamiento que debe existir entre éste y la línea.

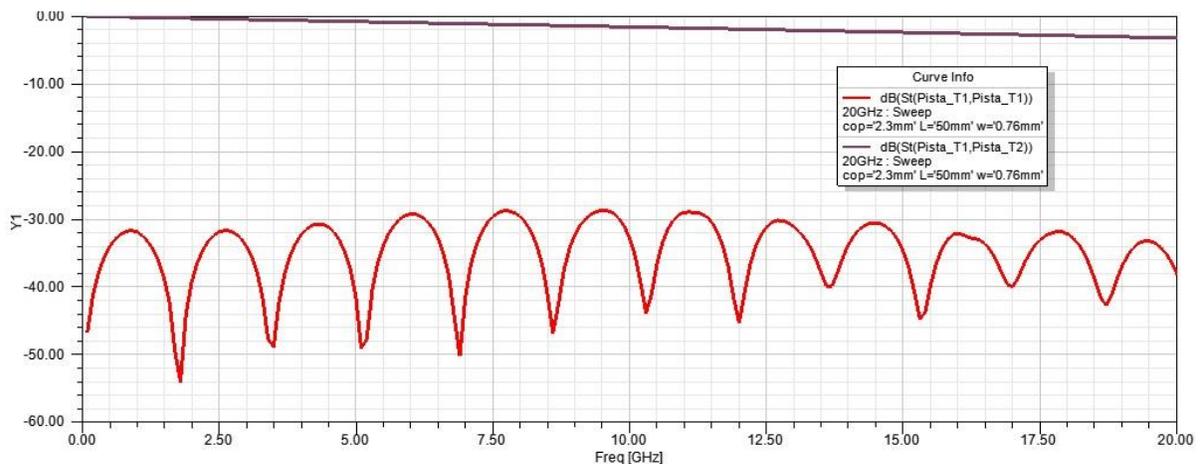


**Figura 4-28.** Modelo de línea microcinta con *wave ports* rectangulares

Las dimensiones de los *wave ports* fueron establecidas como:

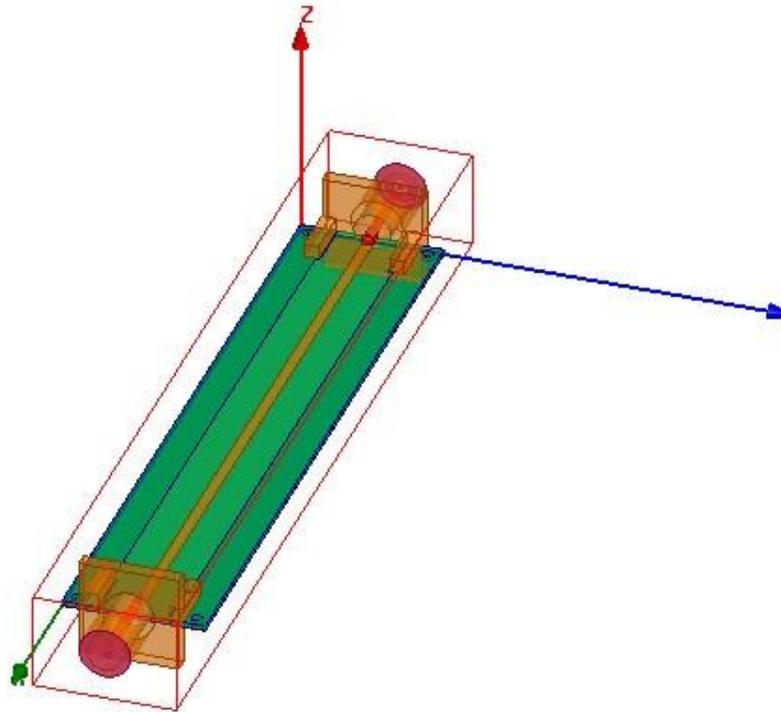
- Ancho del puerto=  $10 \times$  (ancho de pista)
- Altura del puerto=  $5 \times$  (espesor del prepreg)
- Una caja de aire asignada como radiación rodea el modelo.

Los resultados del análisis se encuentran en la figura 4-29, si se observa, a 5GHz el modelo se mantiene incluso por debajo de los -30dB, esto se logra con un ancho de línea de 0.77mm y con un aislamiento, específicamente para este modelo, de tres veces el ancho de la línea.



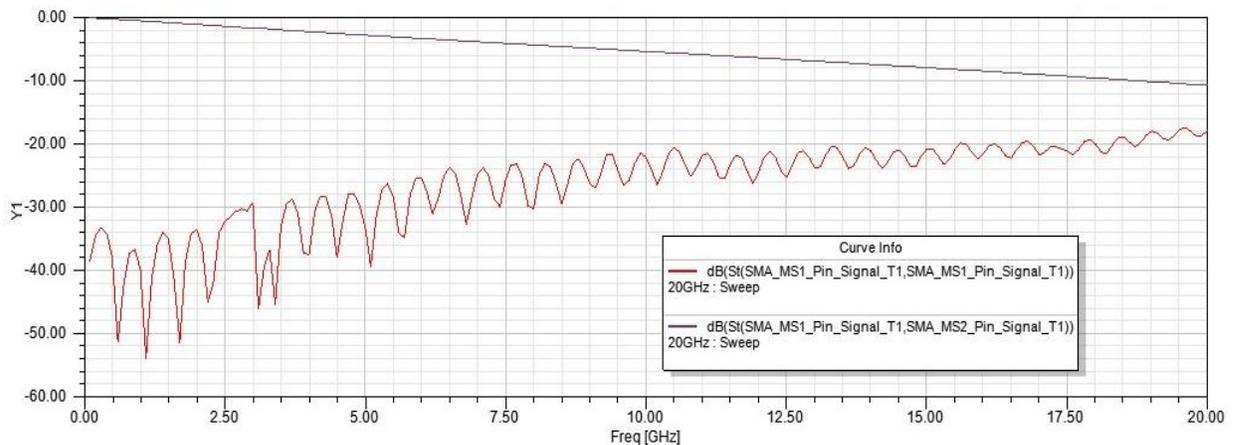
**Figura 4-29.** Reflexión y transmisión de modelo microcinta con *wave port* rectangulares

Lo siguiente que se le agregó al modelo fue un conector de montaje superficial, modelo que puede observarse en la figura 4-30.



**Figura 4-30.** Modelo de línea microcinta con conector de montaje superficial

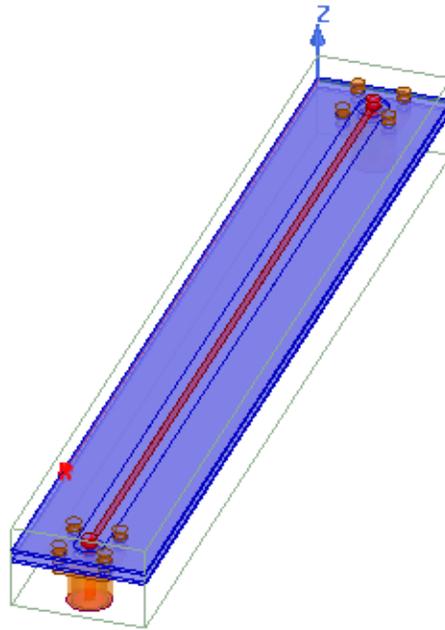
Este modelo fue excitado en el conector, el cual fue definido como *wave port* circular. El resultado de la simulación puede ser observado en la figura 4.31, el cual refleja un comportamiento bastante aceptable. Debido a que, a los 5GHz, muestra una reflexión de -28dB, lo cual se interpreta como una pérdida de solo un 4% de la señal, lo que lo convierte en ideal para efectos de fabricación.



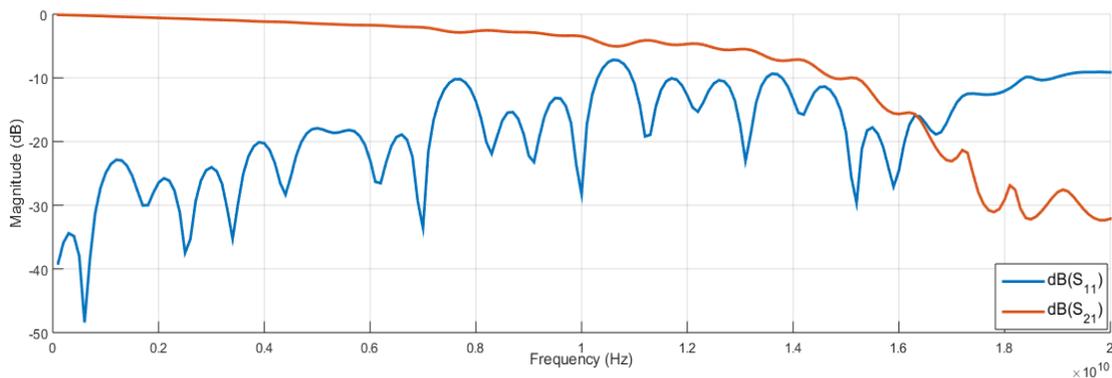
**Figura 4-31.** Reflexión y transmisión de modelo microcinta con conector de montaje superficial

Se consideró también la incorporación del conector SMA *through hole*, este conector induce mayores pérdidas debido a que se deben considerar vías, *pads*, *antipads* y optimizar esos valores. El modelo se muestra en la figura 4-32 (la línea se presenta de color fucsia, y se encuentra rodeada de una caja de radiación). Para este modelo se optimizó el aislamiento, el cual resultó de 1.375mm, ese fue el mejor valor optimizado y representa un 1.8 veces el valor del ancho de pista.

Los parámetros de simulación se mantuvieron como los análisis anteriores y su respuesta es la mostrada en la figura 4-33.



**Figura 4-32.** Modelo microcinta con conector *through hole*



**Figura 4-33.** Reflexión y transmisión del modelo microcinta con conector SMA *through hole*

Para el modelo de esta línea con el conector SMA *through hole*, se observa que a los 5GHz, las reflexione se encuentran por debajo de los 20dB. Según el modelo, existen pérdidas

menores al 10%, por lo que, incluso con el efecto de variables como el conector, *pads* o vías, la señal tendrá un comportamiento aceptable (según el rango establecido).

#### 4.3.4. Línea cinta 3D

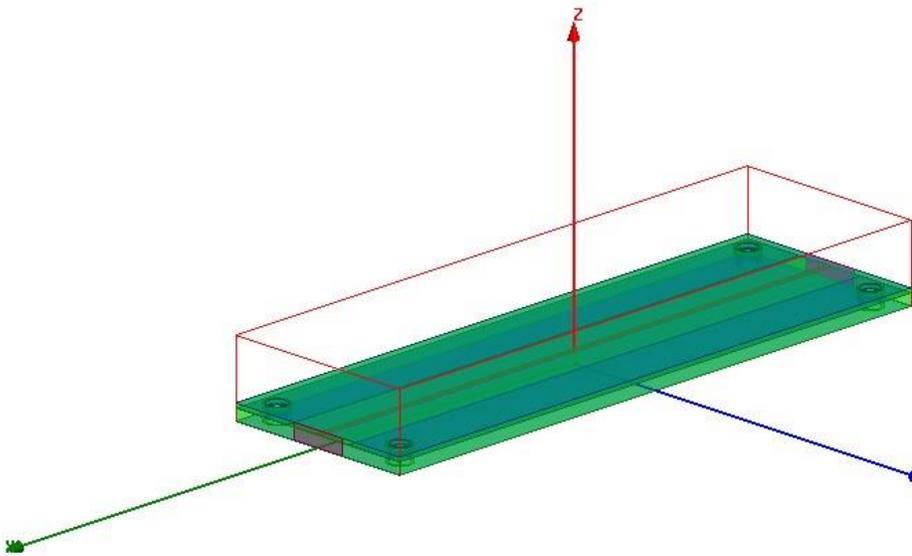
Se analizó de la misma manera, el caso de la línea cinta, con puertos rectangulares, conectores de montaje superficial y conectores *through hole*. Se tomaron los mismos parámetros de solución de la línea microcinta; a saber:

- Frecuencia de operación 20GHz
- Máximo número de iteraciones 15
- Mínimo número de iteraciones 6
- Máximo delta S 0.02

El primer modelo diseñado fue el de la línea cinta con *waveports* rectangulares, este se observa en la figura 4-36. Este modelo está compuesto por dos planos de referencia o GND, la línea cinta se encuentra en medio y rodeada del *core* abajo y de prepreg arriba. Las vías en las esquinas son para unir los dos planos de referencia. Internamente, la línea cinta se encuentra aislada del plano de tierra interno (debido a que se simuló también el paso de la fresadora), este aislamiento se llenó de prepreg. Esto es lo que sucede cuando el prepreg se calienta a 250° y se somete a presión constante; se escurre por las partes aisladas.

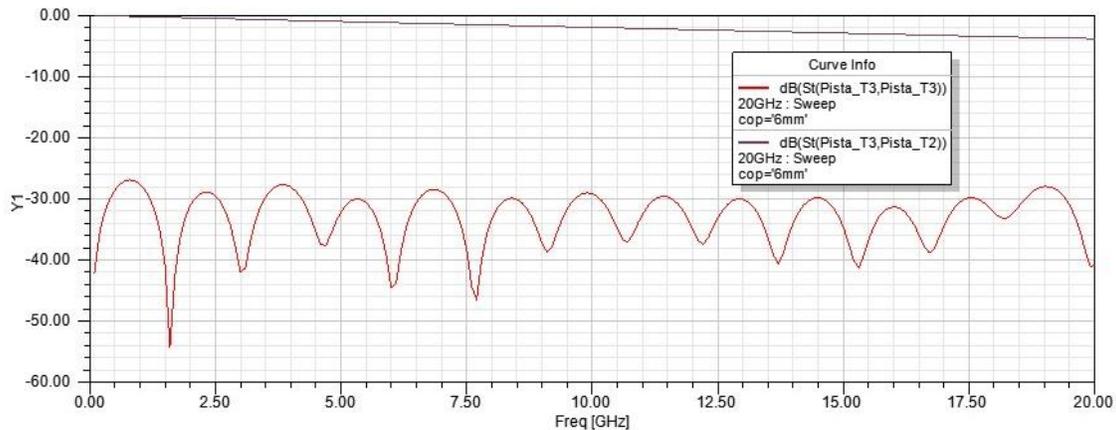
Las excitaciones fueron establecidas de la siguiente manera:

- Puertos tipo *waveport* rectangular
- Ancho del puerto=10\*(ancho de pista)
- Altura del puerto=prepreg+core
- Caja de aire asignada como radiación.



**Figura 4-34.** Modelo de la línea cinta con *wave ports* rectangulares

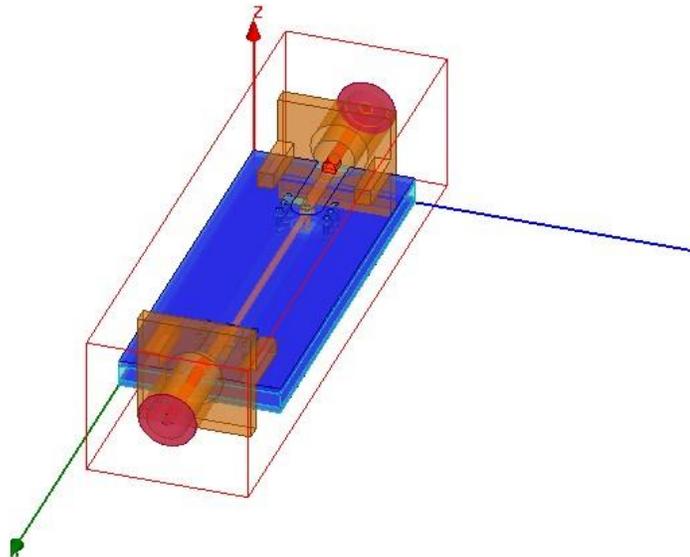
Los resultados de la simulación se muestran en la figura 4-37, presenta un comportamiento ideal, debido a que las reflexiones inducen una pérdida del 3% de la señal.



**Figura 4-35.** Reflexión y transmisión del modelo de línea cinta con *wave ports* rectangulares

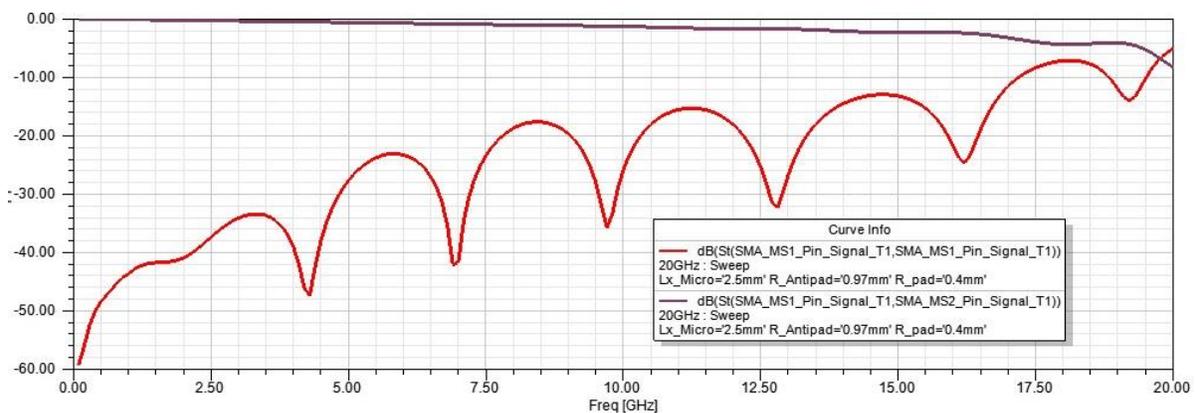
Al modelo le fue agregado un conector de montaje superficial, esto implica la colocación de una vía que conecte la línea donde el conector está puesto (capa top) con la capa interna 1. Como en el laboratorio solo es posible fabricar vías que perforen todo el PCB (*through hole*), de la misma manera la vía en este modelo debe perforar todo el PCB (notar que este modelo es de cuatro capas, el modelo anterior fue de tres capas, esto porque se debe considerar el efecto inductivo que la vía produce al aumentar su longitud). Es recomendable la incorporación de vías de GND cerca de la vía, lo que también se muestra.

Con los mismos parámetros de solución, el resultado de este modelo puede observarse en la figura 4-36.



**Figura 4-36.** Modelo de línea cinta con conectores de montaje superficial

Este modelo presenta una respuesta aceptable, hasta los 5GHz prácticamente toda la señal es transmitida, y las reflexiones inducen una pérdida menor al 10% de la señal en el ancho de banda de operación, lo cual es aceptable.

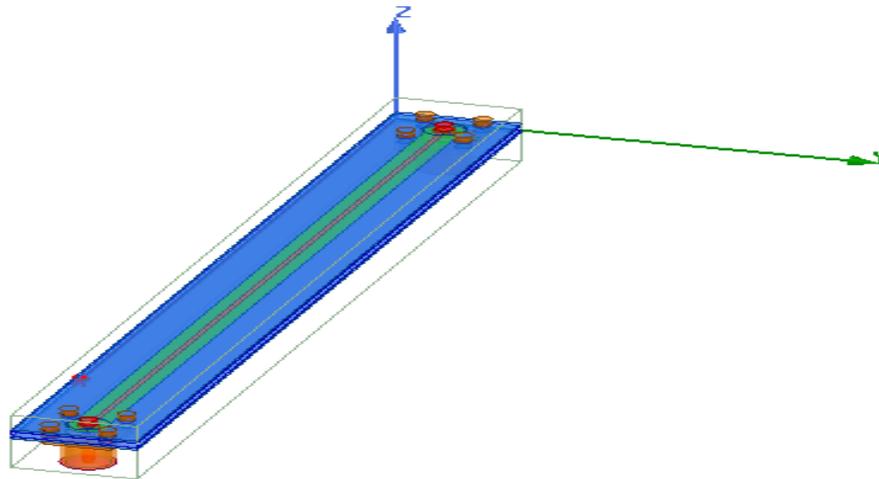


**Figura 4-37.** Reflexión y transmisión del modelo de línea cinta con conector de montaje superficial

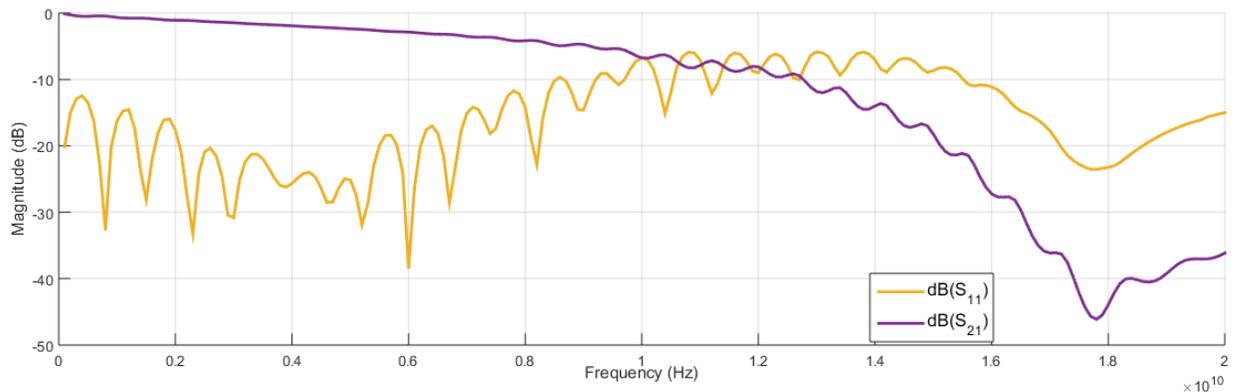
El siguiente modelo fue la línea cinta con el conector *through hole*, en este modelo solo existen las vías generadas por el conector, el *antipad*, y la línea cinta aislada de GND y llenado con material de prepreg (color verde interno). Si se observa, este modelo también es de cuatro capas, debido a que se considerará el efecto de la longitud de la vía generada.

Este modelo genera mayores pérdidas debido a que, para neutralizar el efecto de la vía solo se consideran *pads* (colocado en la capa donde se encuentra la señal para evitar efectos

capacitivos innecesarios) y *antipads*, esto es muy efectivo cuando se trabaja a frecuencia menores a los 2GHz, donde el 90% de la señal es transmitida sin reflexiones. A los 5GHz, se observa que la señal comienza a mostrar mayores pérdidas, esto se aprecia en la figura 4-39. El valor de *antipad* del conector también fue optimizado (se trató de controlar todas las variables), este valor resultó de 1mm. Todos los resultados de este y todos los análisis 3D se muestran en la tabla 4-8.



**Figura 4-38.** Modelo de la línea cinta con conectores *through hole*

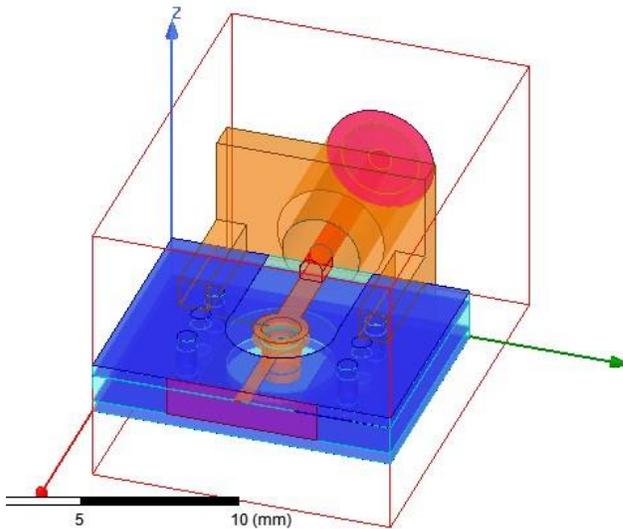


**Figura 4-39.** Reflexión y transmisión de la línea cinta con conector *through hole*

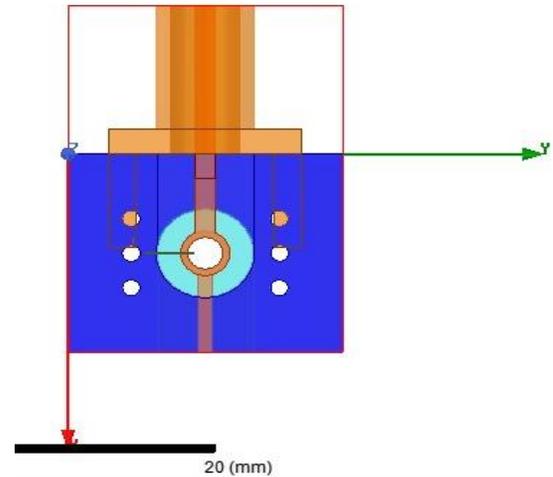
#### 4.3.5. Modelo de la vía

Debido a que se tomará en cuenta una transición entre señal microcinta a una cinta, es necesario la realizar una optimización a la vía *through hole*. En esta optimización se tomó como base el valor del radio del pin del conector, el cual es de 0.65mm y a partir de ese valor se encontró el *pad* necesario, el asilamiento se mantuvo constante a 1.8mm y por lo tanto el *antipad* se mantuvo también a ese valor, para evitar transiciones innecesarias. El modelo utiliza un conector de montaje superficial, debido a que, al utilizar solo dos

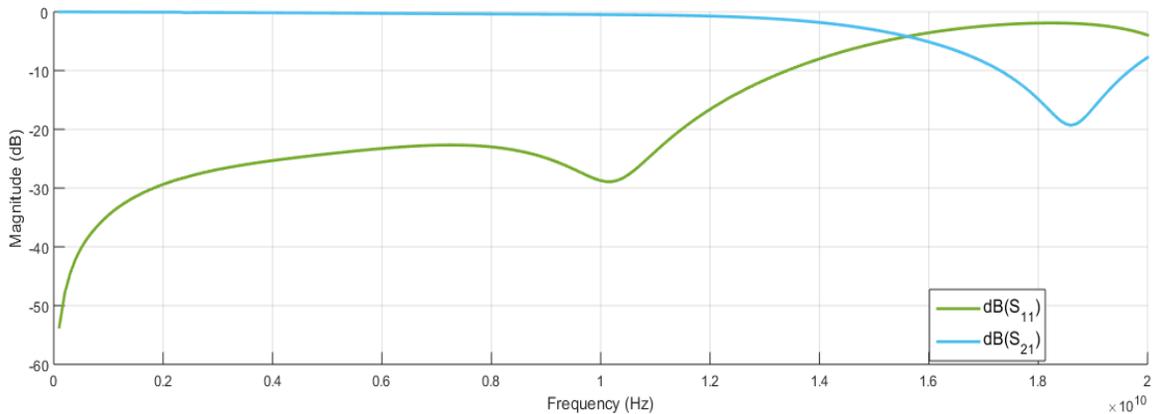
*waveports*, el modelo no convergía. La vía está compuesta por una línea microcinta con ancho de pista de 0.772mm y una línea cinta con ancho de pista de 0.502mm (optimizadas a  $50\Omega$ ). El modelo presenta vías de GND a las cuales se les optimizó el radio. A partir de esto, se obtienen los resultados de la figura 4-42. Se muestra que, en el rango de los 5GHz, se mantiene por debajo de los -20dB, lo que es aceptable para este caso de aplicación.



**Figura 4-41.** Modelo de vía, vista isométrica



**Figura 4-40.** Modelo de vía, vista superior



**Figura 4-42.** Transmisión y reflexión del modelo de vía

La tabla 4-8 muestra el resumen de los resultados obtenidos según el análisis 3D que se realizó; estos fueron los valores que se fabricaron.

Variable	Medida Optimizada(mm)
Aislamiento línea microcinta	1.375
Aislamiento línea cinta	1.424
<i>Antipad SMA through hole</i> microcinta	1.414
<i>Antipad SMA through hole</i> cinta	1
Diámetro <i>pad SMA through hole</i>	2
Espesor de vía	0.005
Diámetro de vía transición	1.3
Diámetro de <i>pad</i> vía transición	1.8

**Tabla 4-9.** Resumen de los resultados obtenidos según el análisis 3D

#### 4.4. Fabricación de la tarjeta de evaluación de cuatro capas

Parte fundamental para este proyecto es la fabricación de la plataforma electrónica en el laboratorio, para la validación de los resultados que se han obtenido y de esta manera concluir si es posible realizar control de impedancia con todos los procesos llevados a cabo.

Para la realización de la plataforma electrónica se tomaron en cuenta los resultados obtenidos en el análisis 3D con HFSS. Se realizaron algunos cambios en el *layout* del PCB en el sistema CAD debido a las optimizaciones (ese es el sentido de la realimentación del diseño CAD al EDA o CAE, para mejorar las características de dicho diseño, cuando los resultados son conformes). El siguiente paso es la generación de los archivos de fabricación, para este caso es utilizado el formato Gerber. En este formato la información del *layout* será guardada en los archivos top(GT), interna 1(G1), interna 2(G2), bottom(GB), G *Keep Out-Layer* (este último no se usa hasta el final, pero debe ser cargado). Estos archivos se generan con la instrucción de *Altium Designer File*→*Fabrication Output*→*Gerber*, donde se deben de seleccionar las capas necesarias. Puede que se tengan que seleccionar más archivos que estos o menos (dependiendo de la cantidad de capas definidas en el *layout*). Y la capa *Drill* (capa de huecos), se debe realizar con el formato *Excellon*, el cual se genera con la sentencia en *Altium Designer; File*→*Fabrication Output*→*NC Drill*, luego de este paso, el diseño se encuentra listo para su fabricación por medio de un sistema CAM.

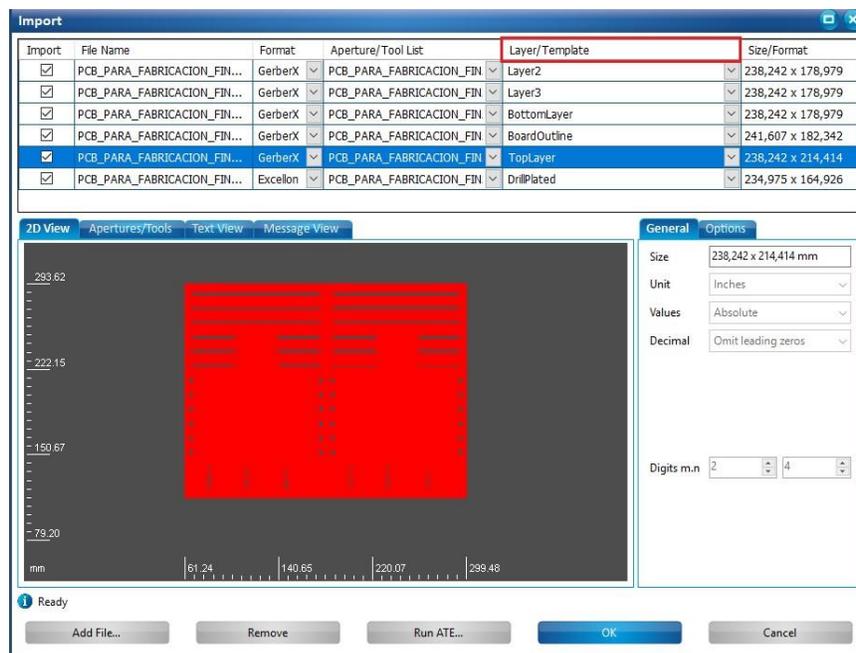
##### 4.4.1. Estructuración capas internas

La información generada por el sistema CAD, es importada por el sistema CAM, el cual controla la máquina estructuradora por medio de comandos de control numérico. En el

laboratorio se cuenta con dos equipos que realizan esto. Se recomienda la utilización de la estructuradora Protomat D104, ya que con esta se evitan muchos de los errores que se pueden generar con el otro equipo.



**Figura 4-43.** Secuencia de pasos para la fabricación de un circuito impreso



**Figura 4-44.** Importación de los archivos de fabricación por medio del sistema CAM CircuitPro

El sistema CAM de la empresa LPKF es CircuitPro, éste controla todos los procesos que se ejecutan en las máquinas de laboratorio (por ejemplo, notifica los pasos para el momento adecuado cuando se deban utilizar los equipos).

Al iniciar un nuevo proyecto en CircuitPro, el programa solicitará que se escoja con cual plantilla trabajar, esa plantilla se debe seleccionar según corresponda; circuitos impresos de una, dos, cuatro, seis u ocho capas y si las capas necesita metalizado o no. Todas estas opciones se encuentran definidas como plantillas, como en este caso es un circuito impreso de cuatro capas (donde se utilizará la herramienta de LPKF, Multipress S) y con metalizado, se escoge la plantilla que muestre esto.

La figura 4-43 muestra los pasos generales para la fabricación de cualquier circuito impreso, luego de haber escogido la plantilla de trabajo, el primer paso se refiere a las condiciones del laboratorio y los procesos que se quieran aplicar al PCB multicapa:

- Tipo de proceso: PCB
- Numero de Capas: 4 *layers, single core*.
- Sustrato: FR4/FR5.
- Metalización: LPKF Constact RS.
- Acabado: LPKF ProMask.

Lo siguiente que se debe realizar es la importación de los archivos de los archivos Gerber, este paso se muestra en la figura 4-44. El nombre con que Altium Designer genera los archivos Gerber, es distinto a como CircuitPro los interpreta. Es por esto que en la figura 4-44 se debe definir qué capa corresponde al nombre que Altium Designer le ha asociado (por ejemplo, Altium Designer llama G1 a la capa interna 1, en CircuitPro esta es la capa 2, G2 sería capa 3, y de esta manera con las demás capas). Con lo anterior finalizado, lo siguiente es generar el *toolpath* (isolate o aislamiento), esto se logra al seleccionar el paso 4 de la secuencia general, la figura 4-45 muestra la interfaz de CircuitPro para realizar esto.

El siguiente paso es la colocación de las herramientas para fresar y herramientas para la realización de los huecos (capa *Drill*). Para esta aplicación se necesitaron las herramientas para fresado; 0,2mm, 0.8mm y 1mm (0.8mm es de preferencia, eso se configura en el *toolpath*, según la figura 4-45).

Después de esto, al iniciar el proceso de fabricación, éste no debe ser detenido hasta que el PCB multicapa haya sido finalizado. CircuitPro reconoce que son las capas internas las que se deben de estructurar, primeramente, así que toma los archivos Gerber correspondientes. El proceso final de estructuración de estas capas se muestra en la figura 4-46 y 4-47

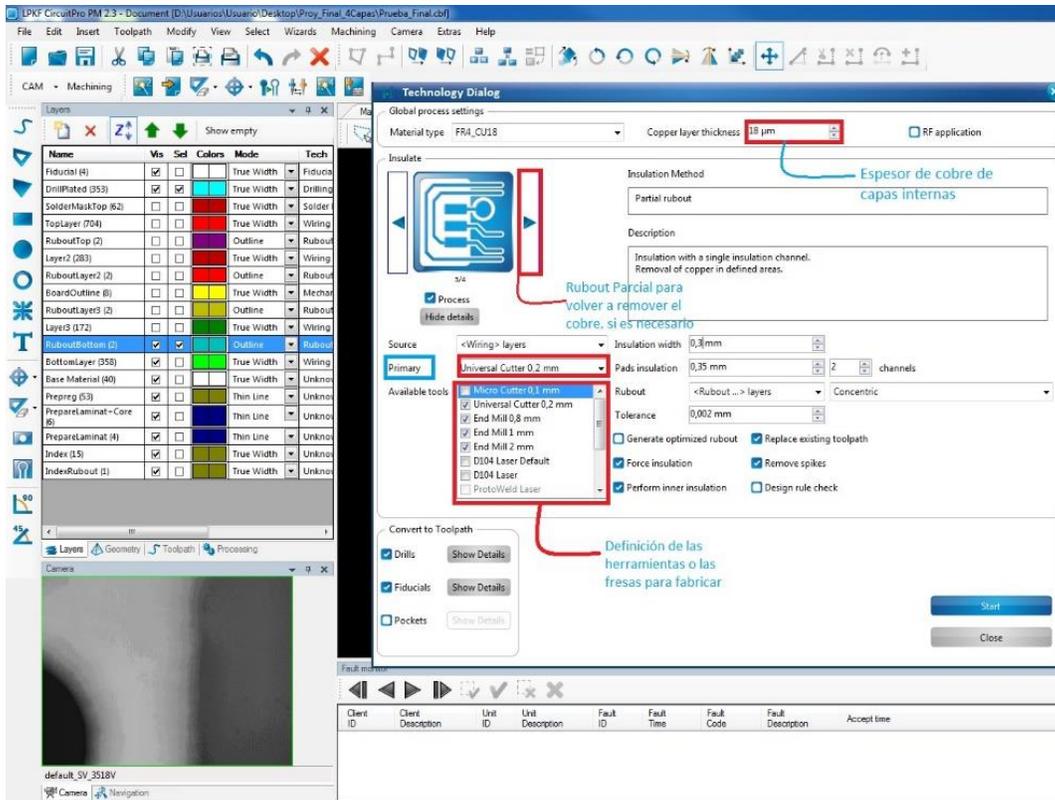


Figura 4-45. Configuración del aislamiento (toolpath)

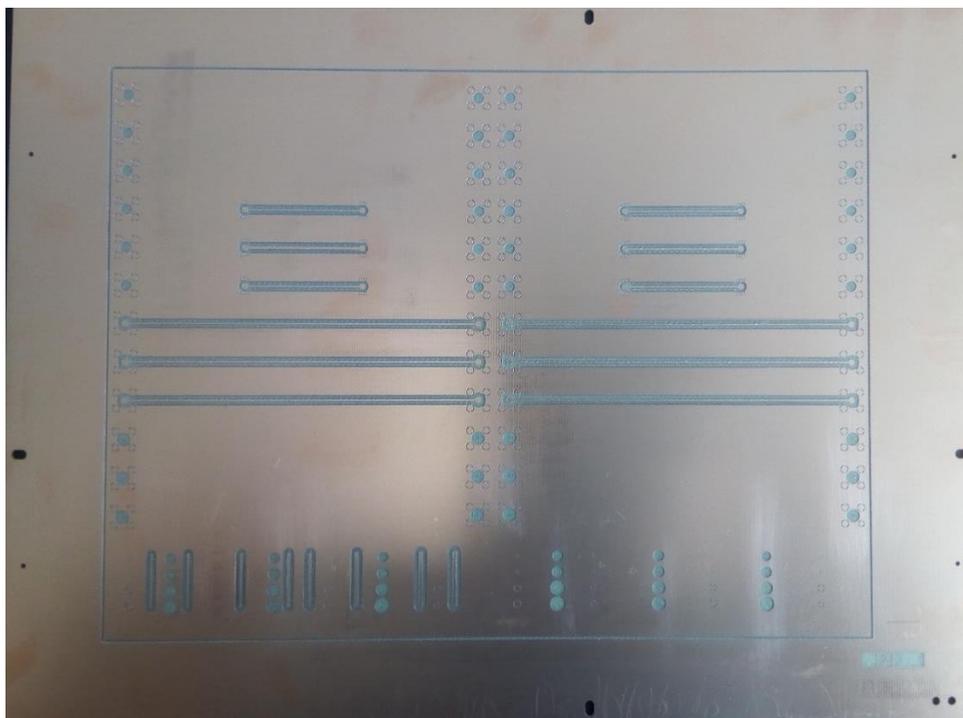
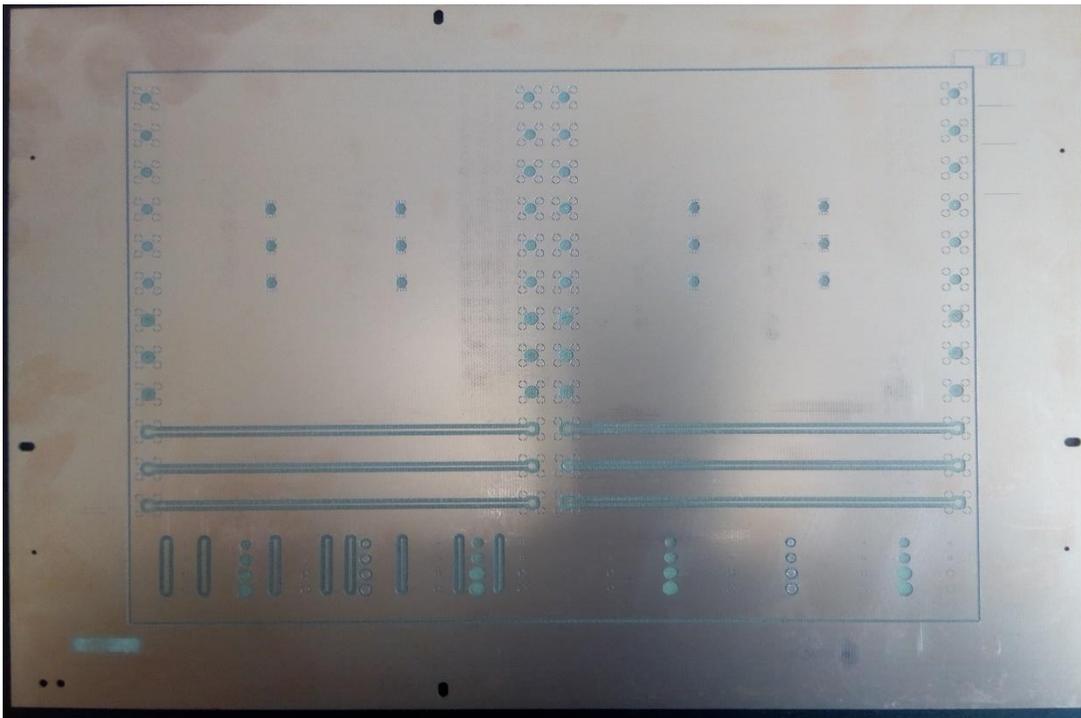


Figura 4-46. Capa interna 1 fabricada con Protomat D104

#### 4.4.2. Laminado

Cuando hayan sido estructuradas las capas internas, el proceso de laminado es lo siguiente a ejecutar. Este paso consiste en ordenar las capas individuales correspondientes a la lámina de cobre (*bottom*), luego el prepreg (una o dos láminas), las capas internas (el PCB recién estructurado con la capa interna 1 vista para arriba), nuevamente prepreg, y la lámina de top. En medio de las capas internas y el prepreg, en todos los *fiduciales* deben ser colocadas unos anillos de sellado los cuales evitarán que el prepreg, al ser calentado, se escurra en estos huecos. La figura 4-48 muestra el orden de los materiales mencionados, encima de estos debería ir las capas recién estructuradas.



**Figura 4-47.** Capa interna 2 fabricada con CircuitPro y Protomat D104

#### 4.4.3. Realización de vías

Finalizado el proceso anterior, se deben de realizar los huecos del PCB (formación de vías). Este paso se logra ejecutando la capa de *Drill* en CircuitPro, con la capa top para arriba, la Protomat D104 tomará las herramientas y fabricará los huecos. Para este caso de aplicación CircuitPro calculó que las herramientas necesarias deben ser: la de 1.5mm, 1.6mm, 1.2mm, 2mm, 0.4mm y 0.6mm. Para la fabricación de los huecos de 0.65mm y 1.3mm es necesaria la herramienta de *Universal Cutter*.



**Figura 4-48.** Orden de los materiales a laminar; encima se muestra el prepreg y debajo la lámina de cobre.



**Figura 4-49.** Multipress S, para la realización del laminado

La figura 4-49 muestra la máquina que laminará el *sándwich* formado, las configuraciones de temperatura y presión son definidas por el perfil estándar de LPKF, LPKFSet.

#### 4.4.4. Metalización

La metalización es otro de los pasos necesario en la fabricación de PCBs multicapa, este proceso cubre de cobre los huecos fabricados en el paso anterior, mediante galvanizado. La placa debe pasar por cinco baños y en medio de cada baño se realiza un lavado con agua para que los químicos de un baño no se pasen a los demás. Las capas top y *bottom* tienen un protector que no debe ser removido en este paso (LPKF recomienda que sí, pero según las pruebas realizadas en el momento, se observó que el PCB multicapa mostraba mejores resultados). La figura 4-51 muestra el resultado de haber pasado el PCB multicapa por los baños con el protector del cobre de las capas top y *bottom*.



**Figura 4-50.** Compact RS, máquina para el metalizado

#### 4.4.5. Estructuración de capas externas

Cuando haya sido removido el protector de las capas top y *bottom*, y limpiado el PCB multicapa, éste estará listo para la estructuración de las capas top y *bottom*. CircuitPro ejecutará la capa top de los archivos Gerber, por lo tanto, esta debe posicionarse para arriba. El *Wizard* de LPKF notificará que se le indique el espesor de la capa top (en este caso de aplicación es de 5um) y el espesor de la placa total, para calcular una nueva profundidad. CircuitPro indicará el momento en que se haya finalizado de fabricar la capa top y notificará

que se le de vuelta a la placa para continuar con la capa *bottom*. Al finalizar lo anterior el PCB estará listo para el acabado final.



**Figura 4-51.** Placa luego del proceso de metalizado

#### 4.4.6. Acabado y posicionamiento de componentes

Para la protección del cobre del PCB, se utilizó el acabado de PCB proporcionado por LPKF, el Protomask, que consiste en una pintura que surge de la mezcla de la laca (sustancia que da el color verde) y el endurecedor. Luego de 30min, muestra el color verde característico, esta mezcla debe ser untada en el PCB con un rodillo o una brocha. Luego, la capa de los *pads* debe de imprimirse en una lámina transparente, esta información que proviene del sistema CAD. La lámina se debe de poner encima del PCB, para llevarlo luego al expositor de UV, donde estará alrededor de 40s.

Al salir del expositor, se debe de darle un baño revelador hasta que se muestren los *pads*. La figura 4-52 y 4-53 muestra el acabado de la placa.

Los componentes, como se ha venido discutiendo, son conectores de SMA *trough hole*. Estos se encuentran dispuestos a una distancia de 7mm cada uno, como fue establecido en el sistema CAD.

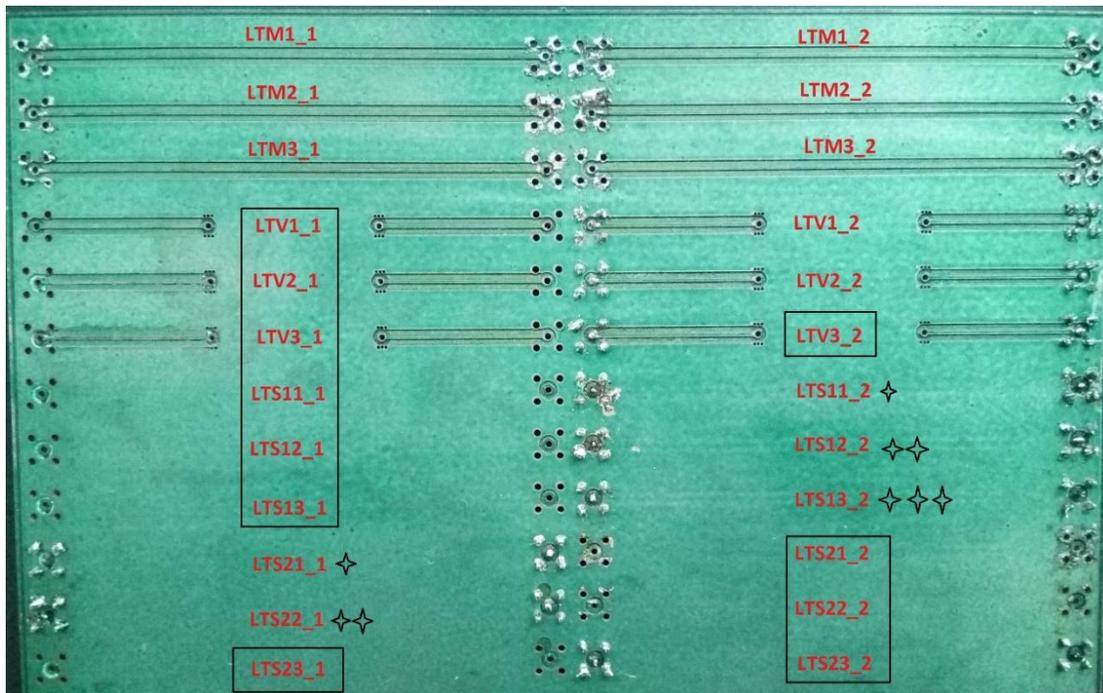


Figura 4-52. Acabado final del PCB cuatro capas, vista top.

Los códigos de la figura 4-52 representan el nombre de cada una de las líneas, a saber, LTM1\_1 es Línea de Transmisión Microcinta 1 del lado izquierdo (el lado izquierdo representa \_1, \_2 es derecho), LTV1\_1 es la Línea de Transmisión con vía 1, del lado izquierdo, LTS11\_1 es la Línea de Transmisión *Strip* 1, Interna 1, del lado izquierdo, LTS21\_1 es la Línea de Transmisión *Strip* 1, Interna 2 (primer número), del lado izquierdo.

A continuación, luego de darle un acabado al PCB, se procedió a medir cada una de las líneas con el VNA, es necesario aclarar que no todas las líneas fueron medidas, debido a que surgieron accidentes al momento de estructurar las capas *top* y *bottom*. La herramienta (la fresa de 0.8mm), perforó todo el PCB multicapa y aisló las líneas desde LTS13\_1 hasta TLV1\_1. Debido a un problema de calibración, las líneas que no funcionaron están encerradas con un rectángulo negro.

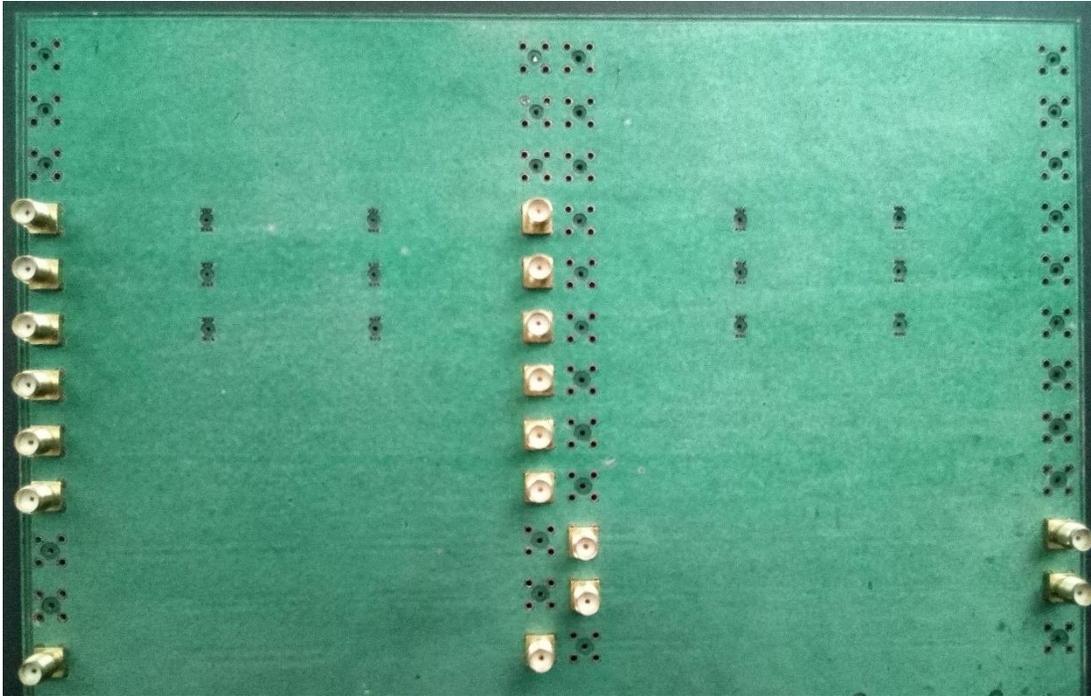


Figura 4-53. Acabado final del PCB cuatro capas, vista bottom

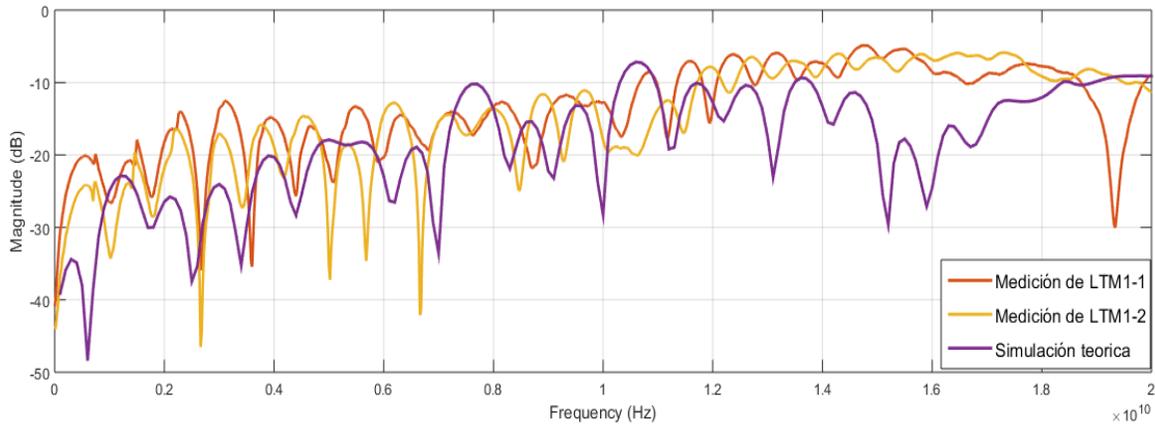
El último paso para de la metodología es la correlación de los resultados, que se discutirá en la siguiente sección.

## 4.5. Correlación de resultados

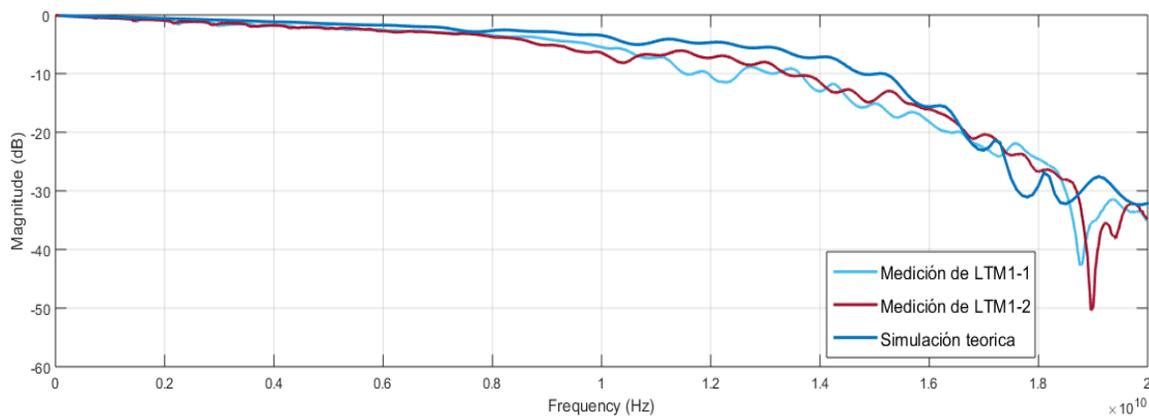
Se realizaron mediciones con el nuevo VNA de la Escuela (PXI marca Keysigh), del cual se extrajeron los archivos *touschtones* (.s2p). Estos datos, fueron correlacionados con los resultados simulados. Si se observa, en el PCB todas las líneas del lado izquierdo son idénticas a las del lado derecho y entre ellas también serán correlacionadas. En los resultados siguientes se muestran las respuestas de los modelos teóricos contra los valores que se obtuvieron en la fabricación. Algunas líneas son comparadas entre sí, porque comparten características similares.

En las leyendas de los gráficos se muestra qué curva corresponde a las líneas del PCB fabricado (hacen referencia a la figura 4-52). Los resultados están en el orden de los GHz (la unidad en los resultados es Hz,  $10 \text{ GHz} = 1 \times 10^{10} \text{ Hz}$ )

Las primeras líneas relacionadas fueron las LTM1 (las líneas LTM1\_1 y LTM1\_2) contra el valor teórico (modelo de la sección 4.3.3, con ancho de línea nominal), la respuesta de reflexión y transmisión se muestra en la figura 4-54 y 4-55.



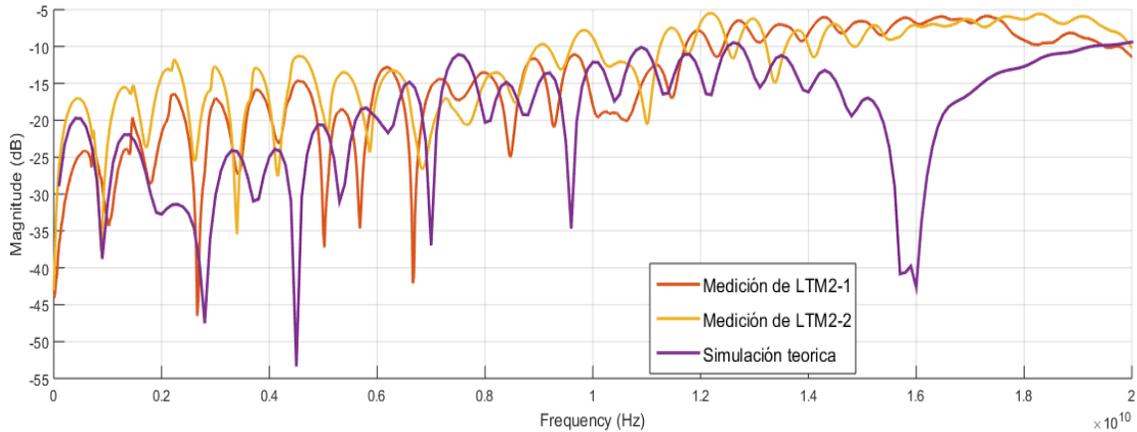
**Figura 4-54.** Reflexión de las líneas Microcintas LTM1 y la simulación teórica



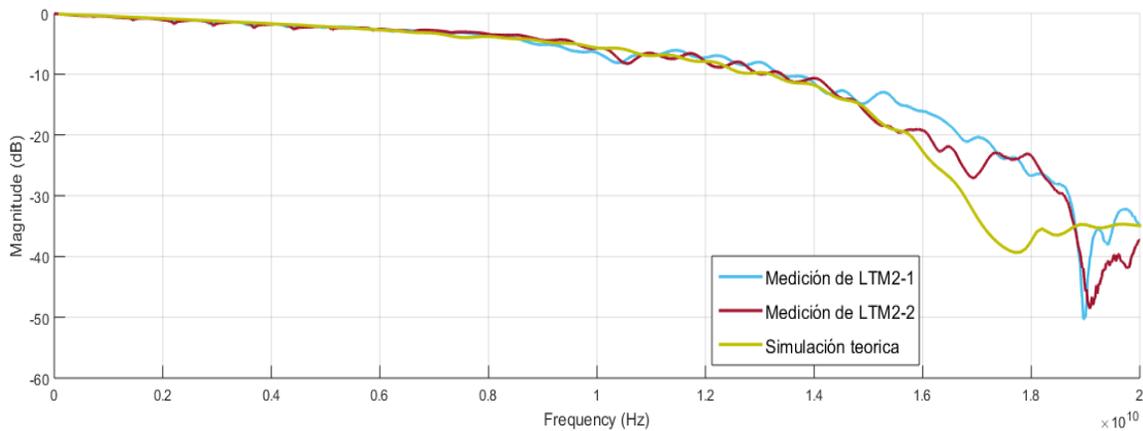
**Figura 4-55.** Transmisión de las líneas Microcintas LTM1 y la simulación teórica

Debido a que las líneas son pequeñas, la transmisión generalmente tendrá este comportamiento, mientras las reflexiones, a bajas frecuencias se puede observar que existe hasta una diferencia de -15dB entre la respuesta teórica y la línea LMT1\_1. Debido a que en la respuesta teórica no se consideran variables que afectan la impedancia (como el cambio de espesores). A los 5GHz, las líneas fabricadas se encuentran por los -15dB, lo cual significa que un 18% de la señal se refleja.

Las siguientes líneas fueron las LTM2 (LTM2\_1 y LTM2\_2), respuestas que puede observarse en la figura 4-56 y 4-57. Estas líneas también mostraron una diferencia considerable entre el valor teórico (en este caso el teórico es el modelo 4.3.3 con ancho de pista de 0.68mm) y fabricados. A bajas frecuencias, se muestran 17dB de diferencia entre ellas. En promedio las dos líneas que se fabricaron se encuentran a los -15dB, y entre ellas a bajas frecuencias existe una diferencia de -7dB, esto será discutido en el análisis de resultados. La transmisión no presenta cambios considerables.

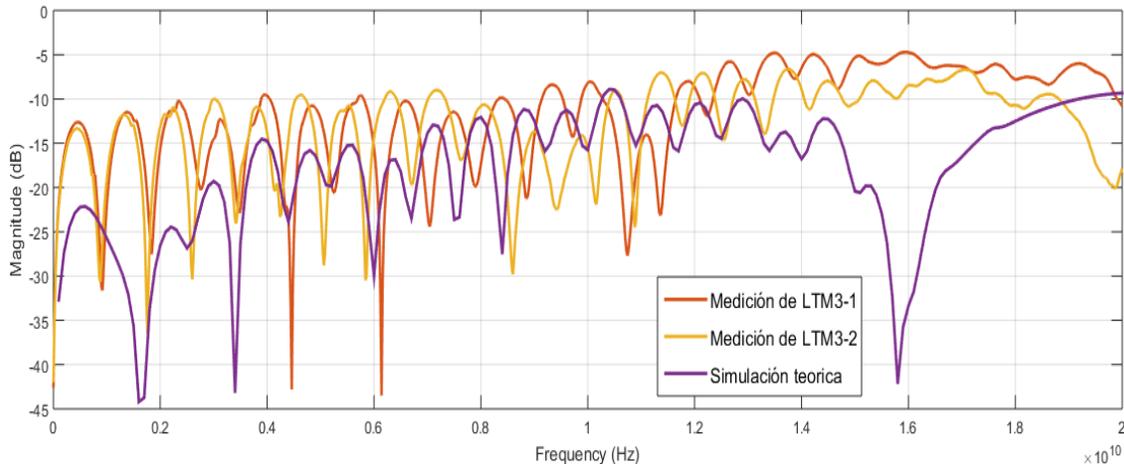


**Figura 4-56.** Reflexión de las líneas Microcintas LTM2 y la simulación teórica

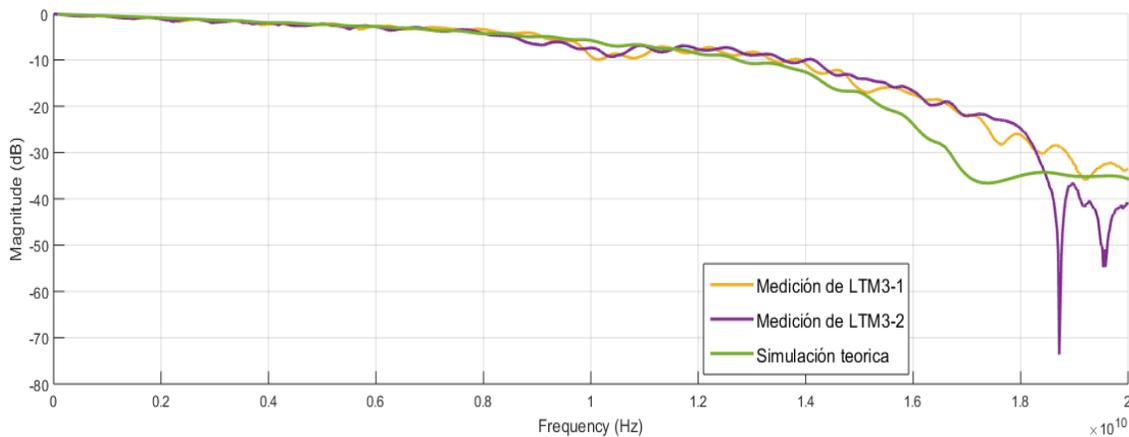


**Figura 4-57.** Transmisión de las líneas Microcintas LTM2 y la simulación teórica

Las siguientes líneas correlacionadas fueron las LTM3(LTM3\_1 y LTM3\_2). En las reflexiones, el comportamiento de estas líneas fabricadas fue idéntica hasta los 3GHz, a bajas frecuencias se muestra una diferencia considerable entre el modelo teórico (cuyo ancho de pista es de 0.61mm) y las líneas fabricadas, aproximadamente 27dB de diferencia. Esta diferencia disminuye a frecuencias más altas, lo que trae consigo el desfase de ambas líneas fabricadas. Las líneas, al llegar hasta los -10dB, producen reflexiones que generan pérdidas en un 31.6% de la señal, lo cual está por debajo del desempeño deseado. La figura 4-57 muestra la transmisión de las líneas fabricadas y simulada, se observa que el comportamiento es el deseable para estas aplicaciones.



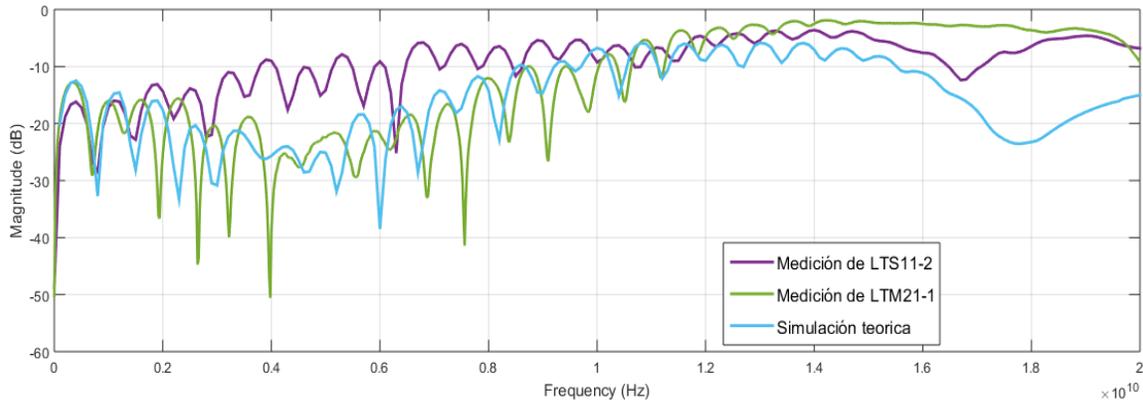
**Figura 4-58.** Reflexión de las líneas Microcintas LTM3 y la simulación teórica



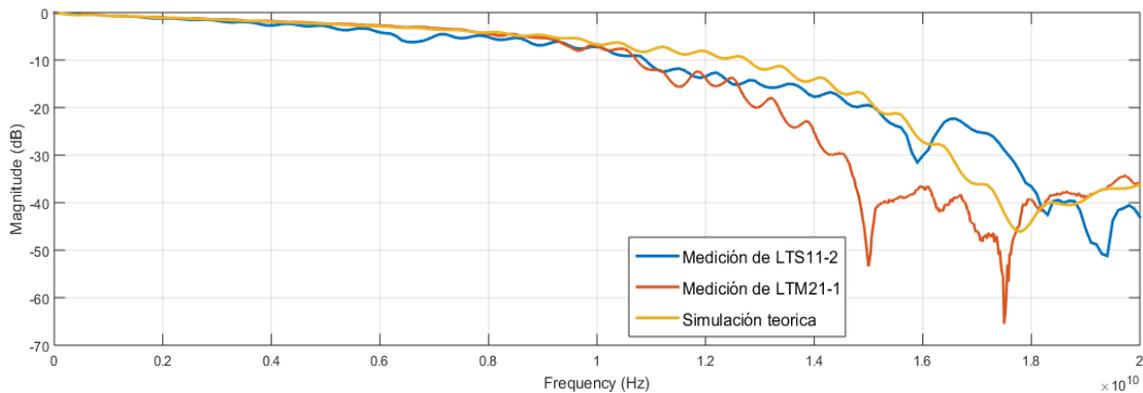
**Figura 4-59.** Transmisión de las líneas Microcintas LTM3 y la simulación teórica

En los siguientes resultados se consideraron los resultados fabricados de las líneas cintas y el modelo teórico.

La primera respuesta es la de las líneas LTS11\_2 y LTS21\_1 (una estrella los correlaciona en la figura 4-52), se correlacionan estas líneas debido a que las demás líneas fabricadas tipo cinta con el mismo valor de impedancia no funcionaron, ya que la herramienta perforó por completo el PCB multicapa dejando aisladas varias líneas. La diferencia de LTS11\_2 y LTS21\_1, es que la primera se encuentra en la primera capa interna, y la otra, en la segunda capa interna. Incluso considerando estos cambios, las dos líneas fabricadas presentan un comportamiento muy similar a bajas frecuencias (antes de los 2GHz), luego de esto, la línea LTS11\_1 comienza a tener mayores pérdidas. La transmisión de estas líneas se muestra en la figura 4-61, se observa que no existen afectaciones para este parámetro.

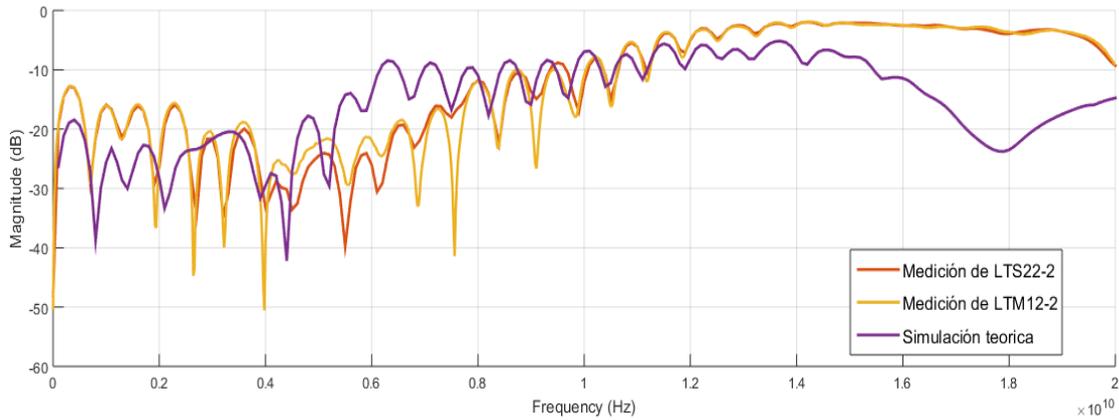


**Figura 4-60.** Reflexión de las líneas cinta fabricadas LTS11\_2 y LTS21\_1 y simulación teórica

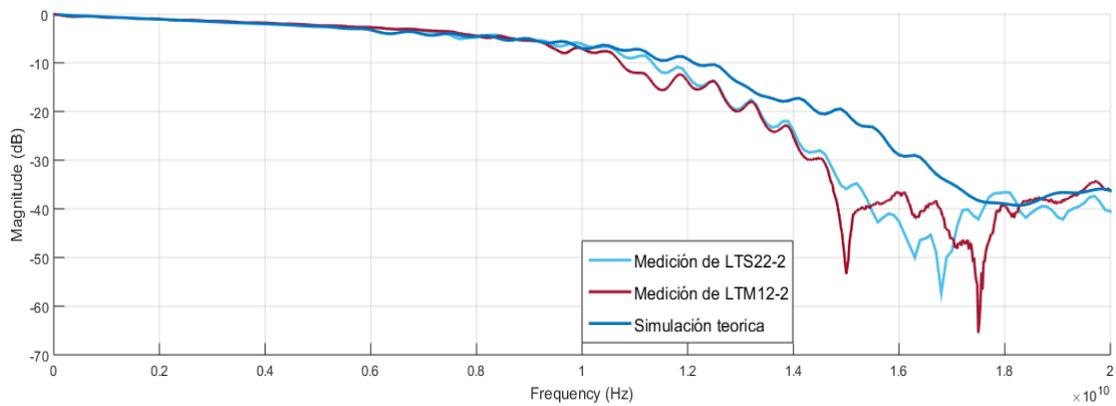


**Figura 4-61.** Transmisión de las líneas cinta fabricadas LTS11\_2 y LTS21\_1 y simulación teórica

Luego fueron consideradas otras líneas cinta, la LTS22-1 y la LTS12-2. Estas líneas, igual que el caso anterior, una se encuentra en la capa interna 2; la LTS22-1 y la otra en la capa interna 1. A pesar de esto se observa la similitud de las señales que apenas se desfazan después de los 4GHz. El modelo teórico para esta línea es el de la sección 4.3.4, pero con un ancho de pista de 0.45mm. Se tiene un comportamiento aproximado al de las líneas fabricadas y que bien podría representarlas. En el rango de los 3GHz a los 7GHz, las líneas son capaces de generar las menores reflexiones posibles. El 10% de la señal se refleja, mientras que, en baja frecuencia, aproximadamente a los 500MHz, se acerca a los -12dB.

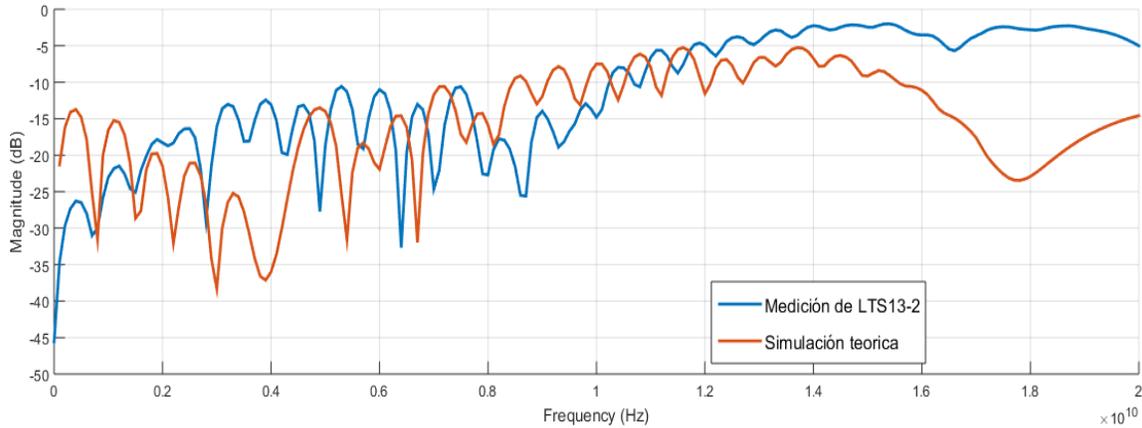


**Figura 4-62.** Reflexión de las líneas cinta LTS22\_2 y LTS12\_2 y la simulación teórica

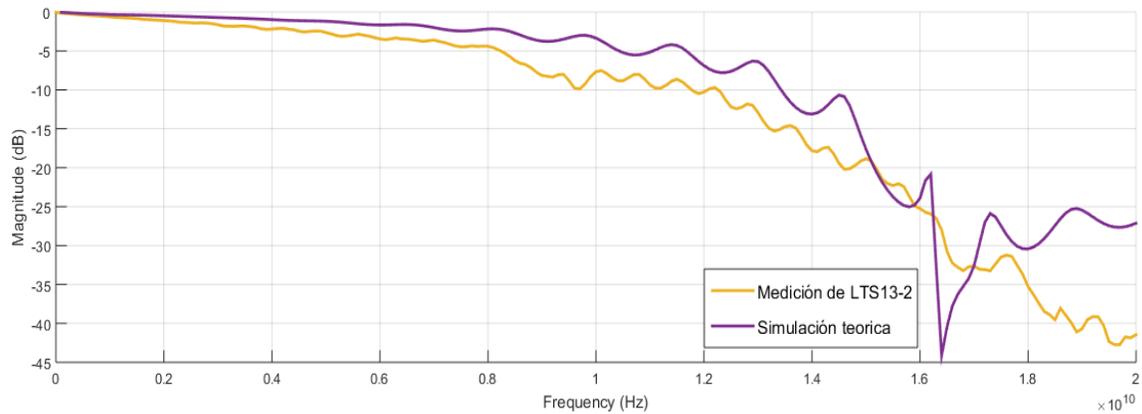


**Figura 4-63.** Transmisión de las líneas cinta fabricadas LTS22\_2 y LTS12\_2 y simulación teórica

La siguiente línea no pudo correlacionarse con otra fabricada, debido a que las líneas semejantes a esta no funcionaron. El modelo teórico (cuyo ancho de línea es de 0,35mm) y la respuesta fabricada no se relacionan hasta después de los 5GHz, donde cierta similitud puede ser observada. A frecuencia menores a los 2GHz, la respuesta de la línea fabricada tiene un comportamiento que debería esperarse para un acople de impedancias. La transmisión no es afectada.

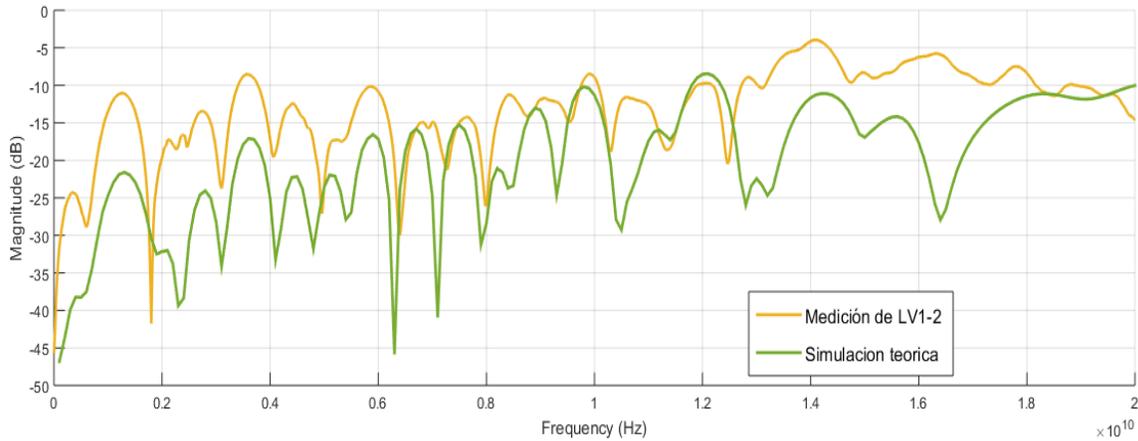


**Figura 4-64.** Reflexión de la línea cinta LTS13\_2 y la simulación teórica

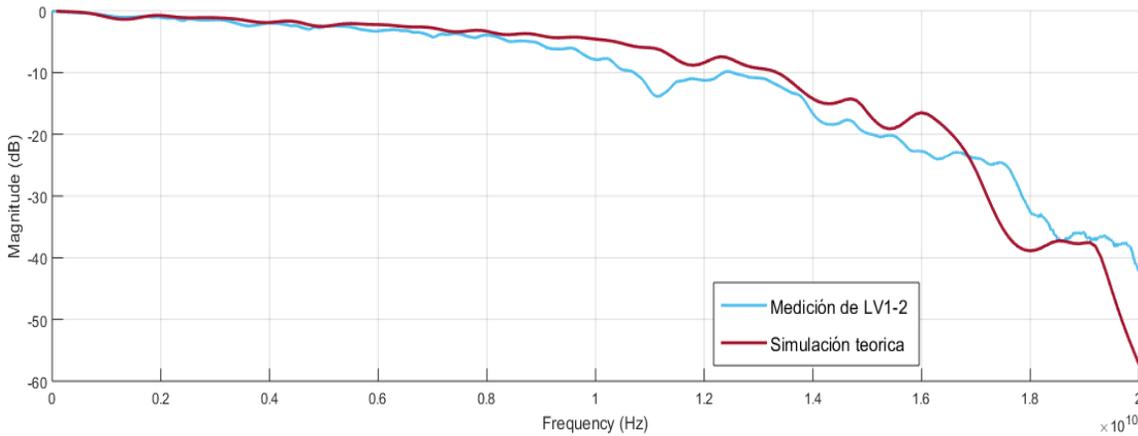


**Figura 4-65.** Transmisión de la línea cinta fabricadas LTS13\_2 y simulación teórica

Las siguientes líneas presentan vías y son correlacionadas con un modelo compuesto por una línea microcinta con ancho de 0.772mm y una línea cinta con ancho de 0.502mm (anchos nominales). La primer vías hace referencia a la LTV1-2 de la figura 4-52. El efecto de la vía induce una respuesta distinta a las líneas antes consideradas. Muestra pérdidas debido a las reflexiones que se extienden incluso a los -8dB. El modelo teórico difiere de manera considerable al fabricado, alrededor de los 500MHz sí es consistente, pero a frecuencias mayores, difieren en fase y magnitud. La transmisión no presenta cambios, lo que muestra que el proceso de metalización fue exitoso.

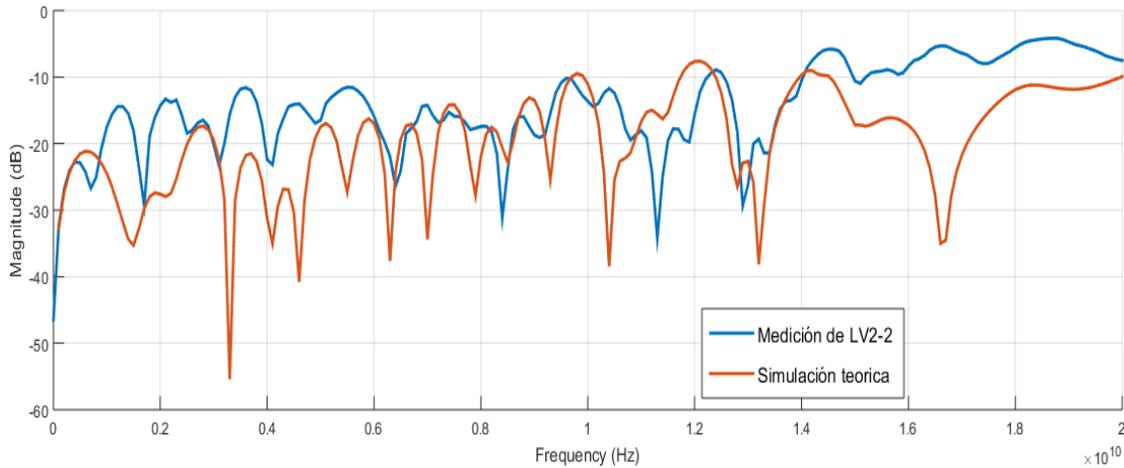


**Figura 4-66.** Reflexión de la línea LTV1-2 y la simulación teórica

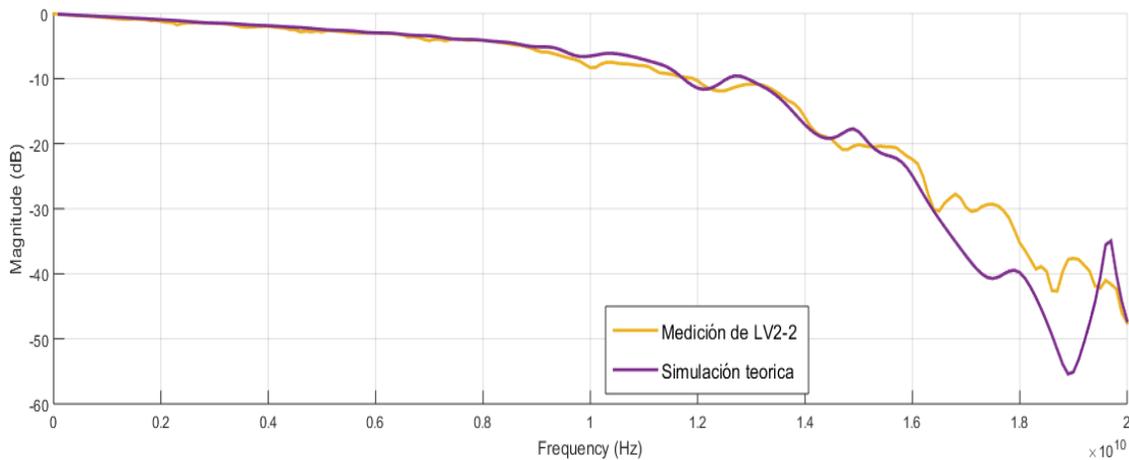


**Figura 4-67.** Transmisión de la línea LTV1\_2 y la simulación teórica

La siguiente línea fue la LTV2\_2, con respuesta presente en la figura 4-66, esta línea consiste en dos líneas microcinta con ancho de 0.68mm y una cinta con ancho de 0.35mm. Se muestra que el modelo teórico se aleja, aunque no considerablemente, del fabricado hasta los 6GHz, donde la amplitud se mantiene cercanos. La transmisión no se muestra afectada en esta línea.



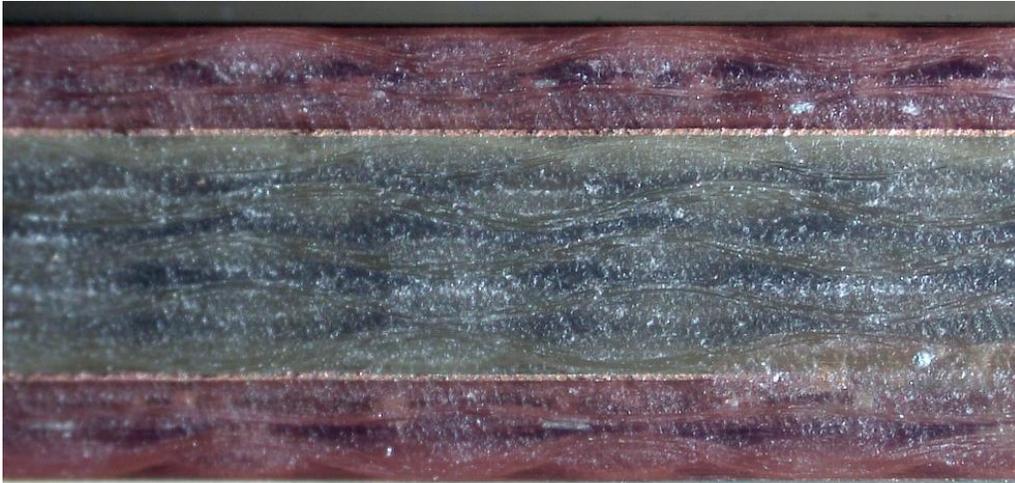
**Figura 4-68.** Reflexión de la línea LTV2-2 y simulación teórica



**Figura 4-69.** Transmisión de la línea LTV2\_2 y simulación teórica

## 4.6. Análisis de resultados

Luego de que el circuito impreso multicapa fue fabricado y los resultados de desempeño eléctrico correlacionados, se realizaron mediciones de las dimensiones de la placa para conocer qué tanto se desvió el perfil con respecto a los valores nominales. De esta manera se puede explicar cuánto había cambiado su espesor total y los espesores de los materiales; y explicar así las diferencias de los modelos teóricos con respecto a las líneas fabricada. Se realizó un análisis transversal de la placa (figura 4-70). El espesor de la placa resultó ser variable, por lo que se promediaron varias mediciones realizadas en diferentes puntos. En promedio el espesor de la placa fue de 1.86mm, con respecto a un valor nominal de 1.719mm, para una desviación del 8.1%.



**Figura 4-70.** Stackup del PCB multicapa después del proceso de fabricación

Considerando el espesor total de la placa, se encontraron los demás espesores, de la misma forma que se realizó a inicios de este capítulo. La tabla 4-10 muestra los resultados de las mediciones teóricas contra los obtenidos en la fabricación.

Variable	Espesor Esperado(mm)	Espesor Fabricado(mm)	Diferencia(mm)	%
Top	0.005	0.005	0	0
Prepreg_1	0.365	0.4173	0.0523	14.3
Interno_1	0.018	0.018	0	0
Core	0.9431	0.9791	0.036	3.8
Interno_2	0.018	0.018	0	0
Prepreg_2	0.365	0.4173	0.0523	14.3
Bottom	0.005	0.005	0	
Total	1.7191	1.8597	0.1406	8.1

**Tabla 4-10.** Diferencia en el stackup inicial y el fabricado

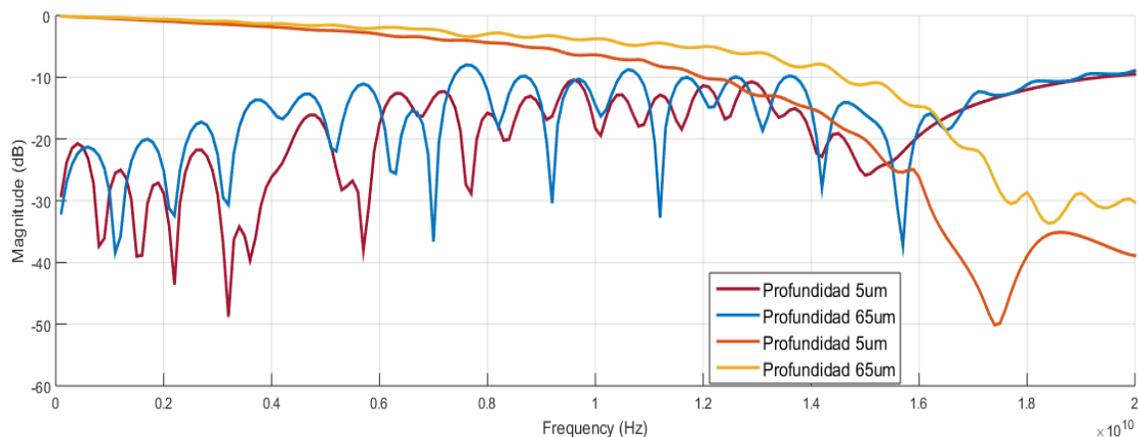
Los nuevos valores de espesores mostrados en la tabla 4-10, modifican el valor de impedancia que se tenía previsto para cada línea. Si se toma en cuenta las limitaciones establecidas en la tabla 4-7 (análisis 2D), para que exista un control de impedancia el espesor del prepreg no debe variar a más de 0.055mm. Si se compara contra el espesor del prepreg fabricado, se observa que este valor se encuentra al límite. Esto significa que la única línea que se encuentra en el rango del 10% permitido, es la microcinta con  $W=0.772\text{mm}$ , la cual tendrá un valor de  $Z=54.23\Omega$ . Los resultados muestran que sí se obtiene una variación dentro del 10% máxima entre el valor de impedancia inicial de las líneas no nominales y sus resultados. Lo mismo se concluye de las líneas cinta, la tabla 4-11 resume lo que se comenta. De todo lo

anterior se puede afirmar que afectivamente en el laboratorio sí es posible conservar el valor de impedancia en un rango del 10%.

	Línea(mm)	Impedancia Inicial( $\Omega$ )	Impedancia Fabricada( $\Omega$ )	%
Microcinta	0.772	50	54.23	8.4
	0.680	54	58.35	8
	0.610	57	62.00	8.7
Cinta	0.502	50.0	53.68	7.4
	0.350	59.50	63.35	6.5
	0.450	52.90	56.61	7

**Tabla 4-11.** Relación de la Impedancia de las líneas inicial y fabricadas

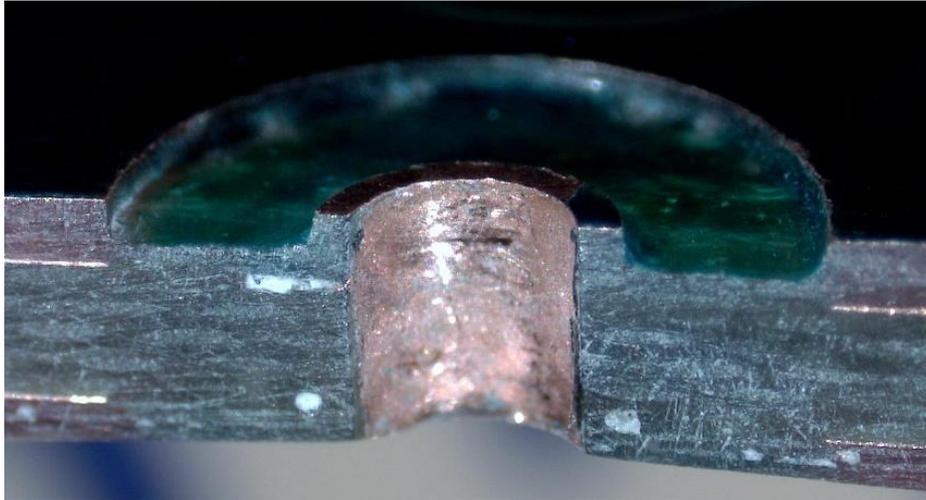
Otro análisis que se realizó es el efecto de la fresadora al remover más material que no se esperaba (específicamente las herramientas de 1mm, de 0.8mm y 0.2mm que fueron utilizadas para la estructuración). Un problema debido a la calibración de la Protomat D104 resultó en que la herramienta perforara más el material en el proceso de estructuración. Esta remoción fue aproximada en las simulaciones, y 65 $\mu$ m fue el valor encontrado. La figura 4-69 compara 5 $\mu$ m contra 65 $\mu$ m de profundidad. Se muestra cómo a ciertas frecuencias, los 65 $\mu$ m generan mayores reflexiones, pero a frecuencias mayores a los 7 GHz la profundidad de 5 $\mu$ m es la que presenta mayores pérdidas, según los parámetros de reflexión.



**Figura 4-71.** Efecto de la herramienta de fresado, a una profundidad de 5 $\mu$ m y 65 $\mu$ m

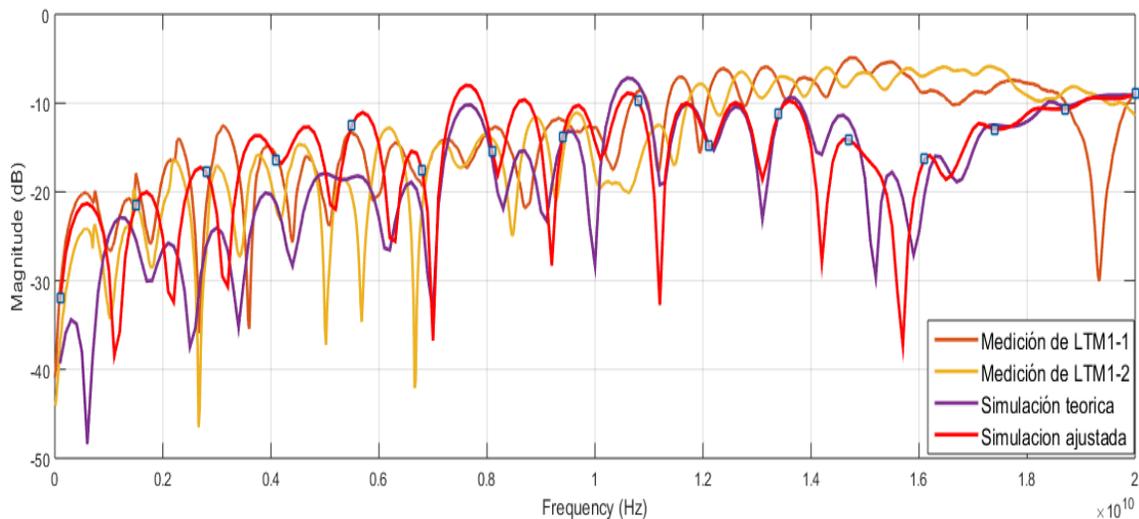
Estas diferencias fueron consideradas para el diseño de un nuevo modelo que se ajustara a los resultados que se obtuvieron en las líneas fabricadas. Los modelos también se extienden a las vías, porque esta fue analizada también después del proceso de fabricación. La figura 4-72 muestra el corte transversal de la misma y como se observa, la herramienta de 0.8mm perforó considerablemente. Esta vía es uno de los peores casos en esta placa, debido a que la profundidad de la herramienta fue de aproximadamente un 200 $\mu$ m. La medida anterior se

logró obtener aplicando nuevamente una relación de proporcionalidad (porque el espesor total de la placa es conocido). El espesor de la vía que inicialmente se consideró de 5 $\mu$ m (como se había conocido según LPKF), este análisis demostró que el espesor es de 18.67 $\mu$ m. En los modelos de vía nueva fueron considerados estos cambios.

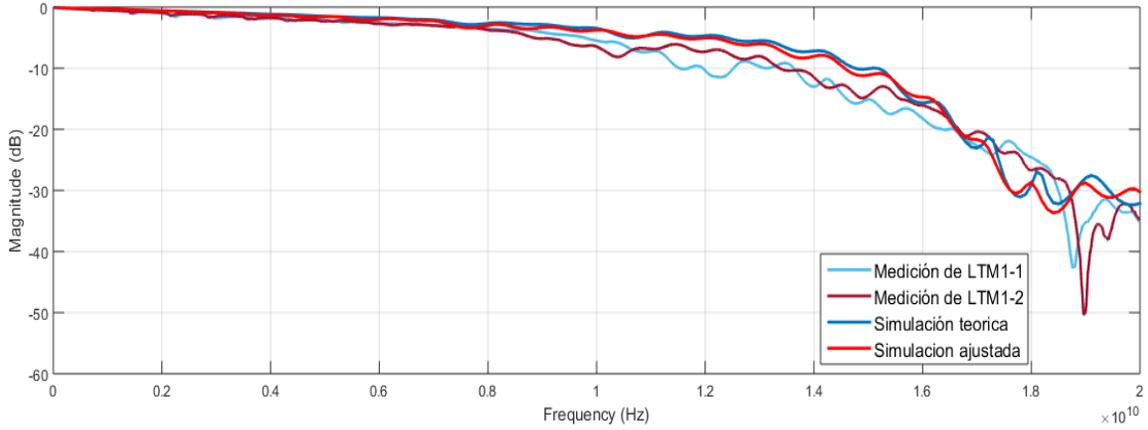


**Figura 4-72.** Vía fabricada, corte transversal

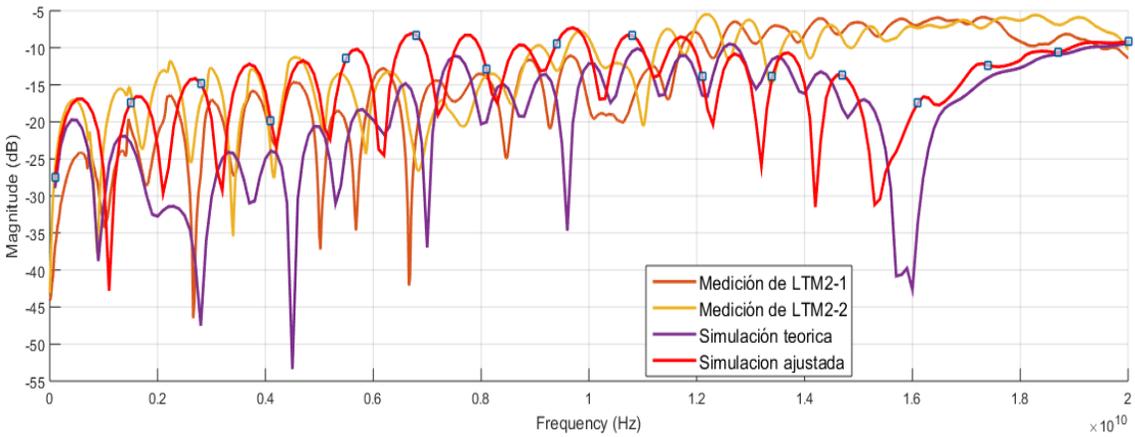
Las figuras que se presentarán muestran correlaciones entre las líneas fabricadas, el modelo teórico y el modelo ajustado (observar que la respuesta del modelo ajustado siempre se presenta de color rojo).



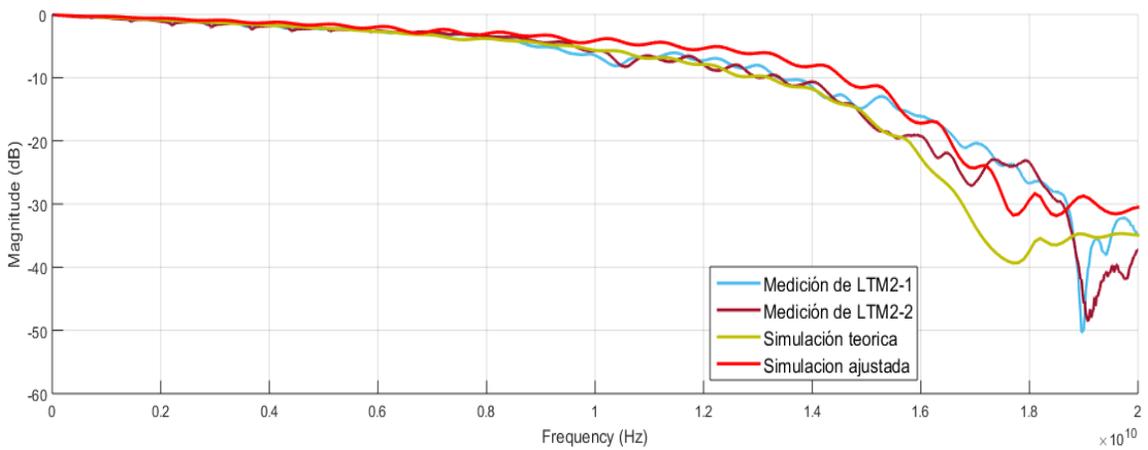
**Figura 4-73.** Reflexión de las líneas LTM1 con el modelo teórico y ajustado



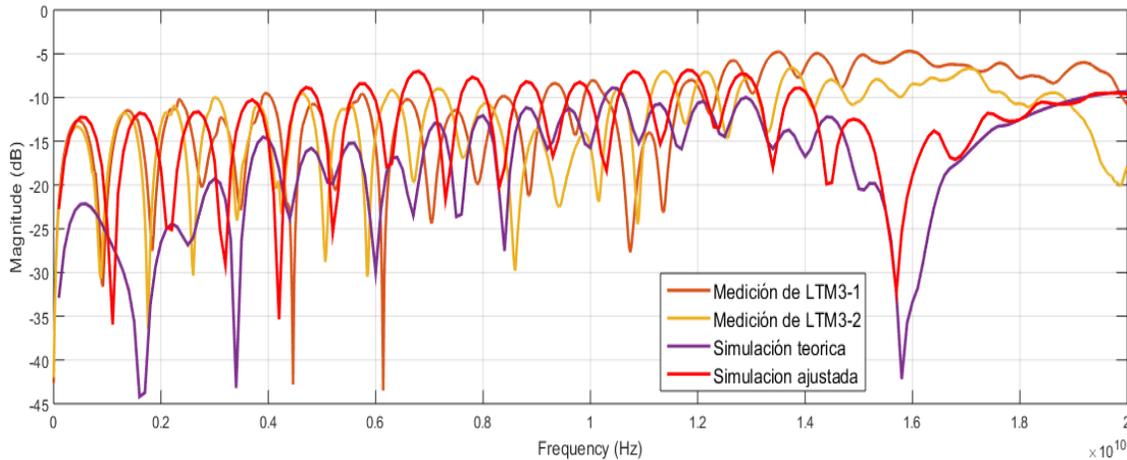
**Figura 4-74.** Transmisión de las líneas LTM1 con el modelo teórico y ajustado



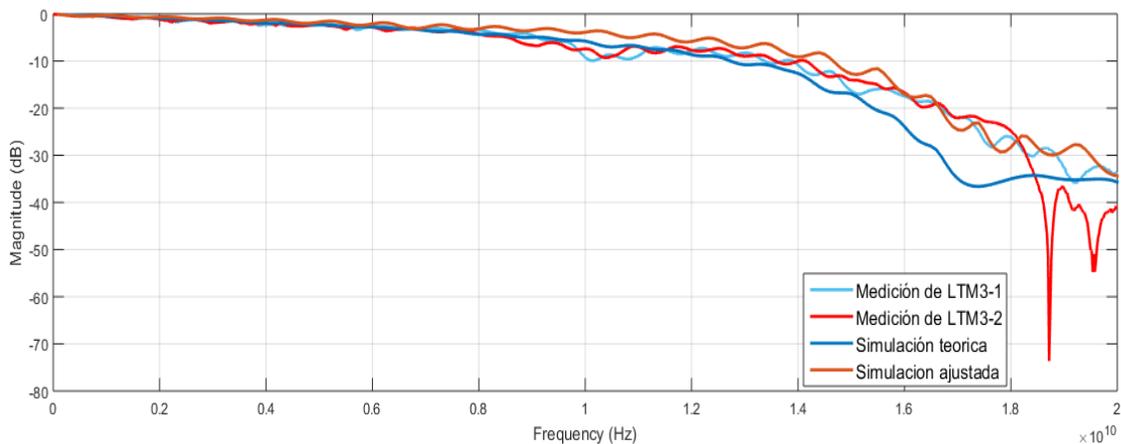
**Figura 4-75.** Reflexión de las líneas LTM2 con el modelo teórico y ajustado



**Figura 4-76.** Transmisión de las líneas LTM2 con el modelo teórico y ajustado

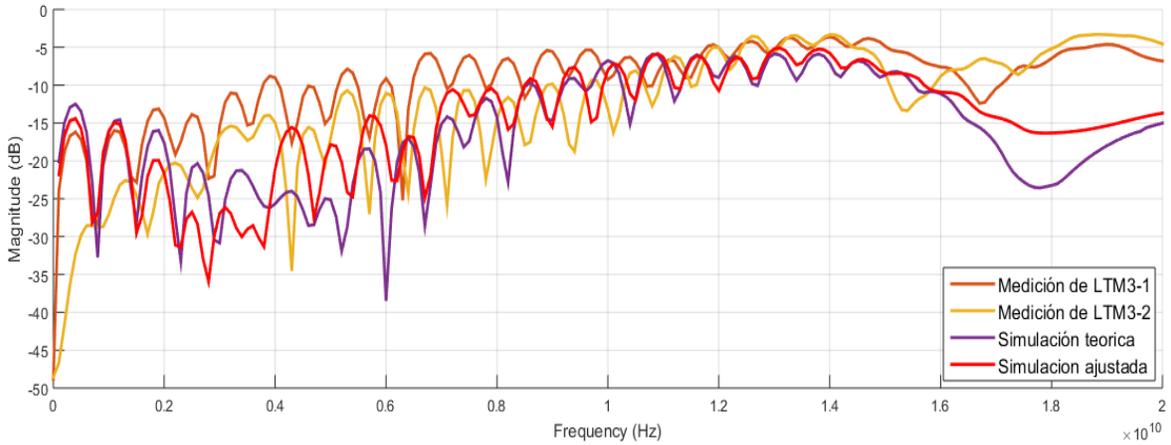


**Figura 4-77.** Reflexión de las líneas LTM3 con el modelo teórico y ajustado

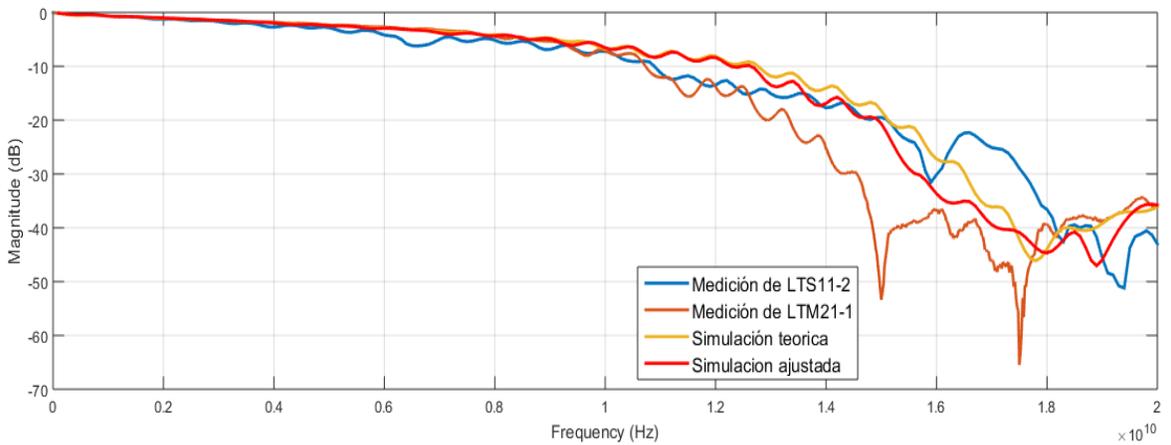


**Figura 4-78.** Transmisión de las líneas LTM3 con el modelo teórico y ajustado

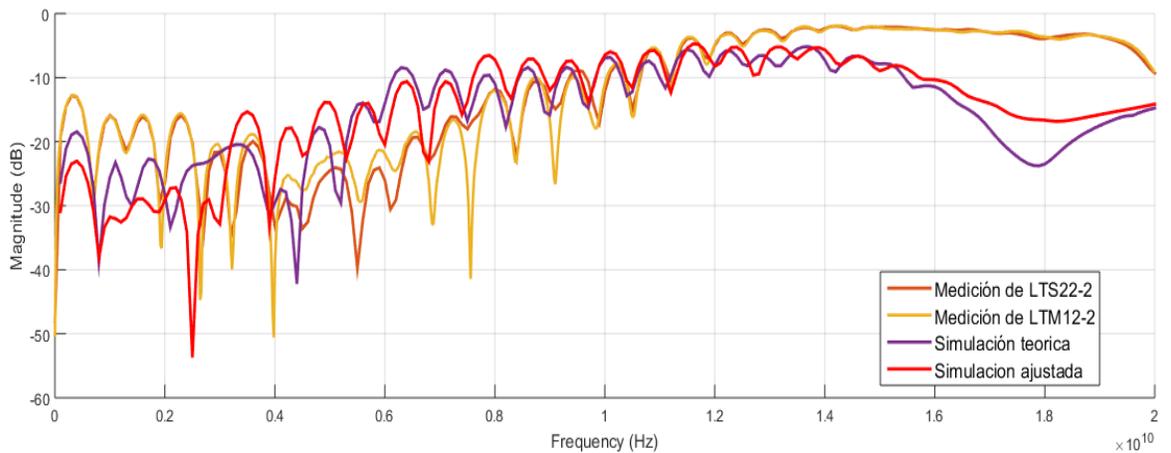
Las figuras mostradas son las respuestas de las líneas microcinta. Se observa que el modelo ajustado sí comparte el comportamiento de algunas líneas fabricadas hasta los 5GHz (en términos de amplitud), por esto se podría afirmar que estos modelos pueden representar alguna de las líneas. Se puede llegar a la conclusión de que efectivamente los factores que se comentaron al inicio de este análisis representaron un papel importante en la respuesta final de la mayoría de las líneas microcinta fabricadas. Existe una incertidumbre con respecto a la variación del espesor total del PCB, esto trae como consecuencia que las líneas fabricadas que se correlacionaron entre sí tengan una variación en los parámetros de reflexión. Como ejemplo se puede mencionar, la diferencia en reflexión de las líneas LTM2, la cual fue de -7dB. Para estas primeras pruebas el espesor total de PCB es impredecible, debido a que se deben de considerar muchas variables para esto, como el estado de las almohadillas que se colocan en el laminado o la distribución no homogénea de la temperatura y la presión.



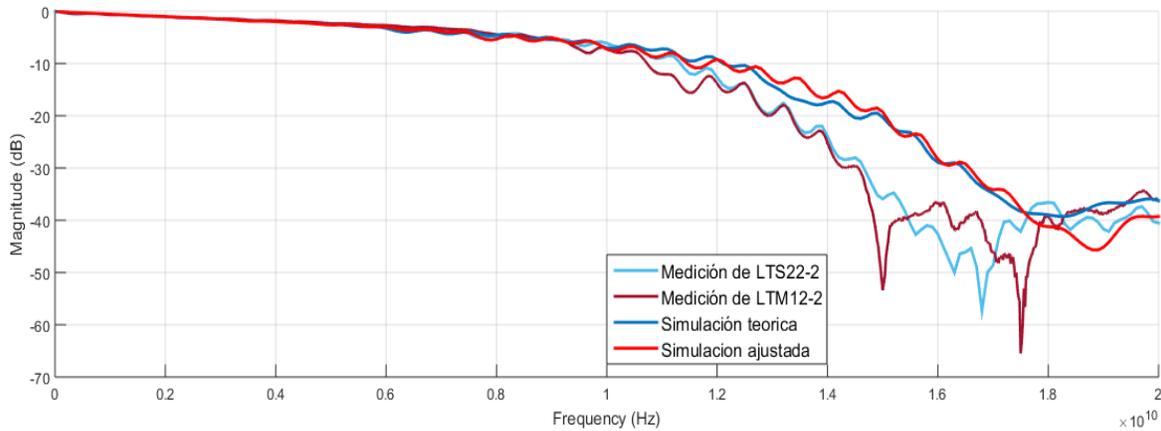
**Figura 4-79.** Reflexión de las líneas cinta fabricadas LTS11\_2 y LTS21\_1, modelo teórico y ajustado



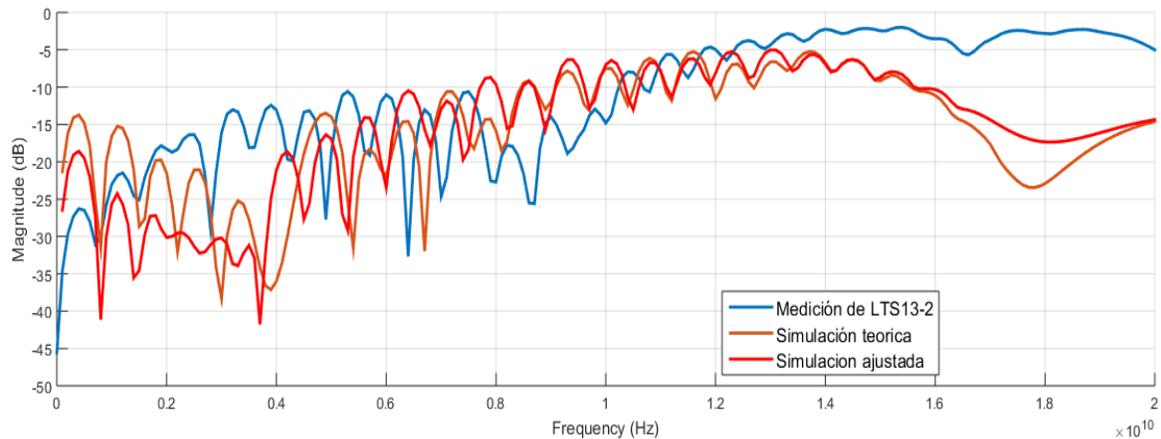
**Figura 4-80.** Transmisión de las líneas cinta fabricadas LTS11\_2 y LTS21\_1, el modelo teórico y ajustado



**Figura 4-81.** Reflexión de las líneas cinta fabricadas LTS22\_1 y LTS12\_2, modelo teórico y ajustado

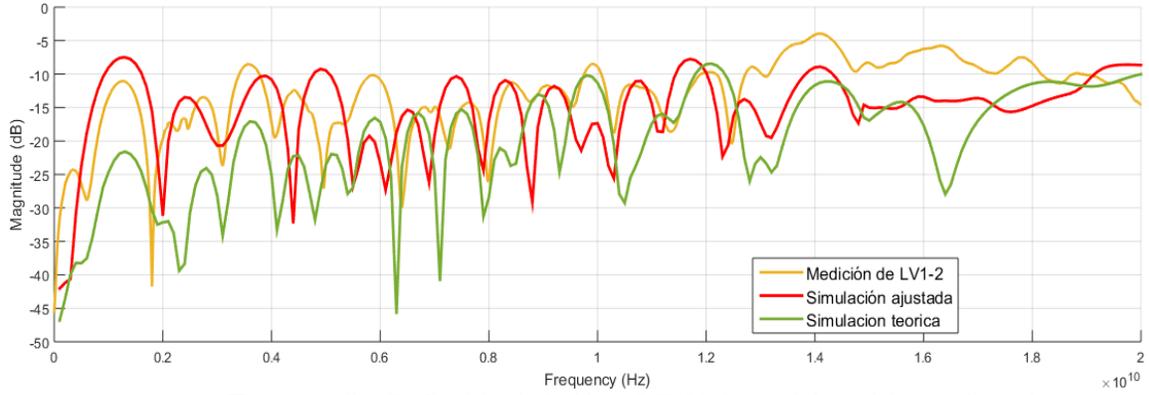


**Figura 4-82.** Transmisión de las líneas cinta LTS22\_1 y LTS12\_2, el modelo teórico y ajustado

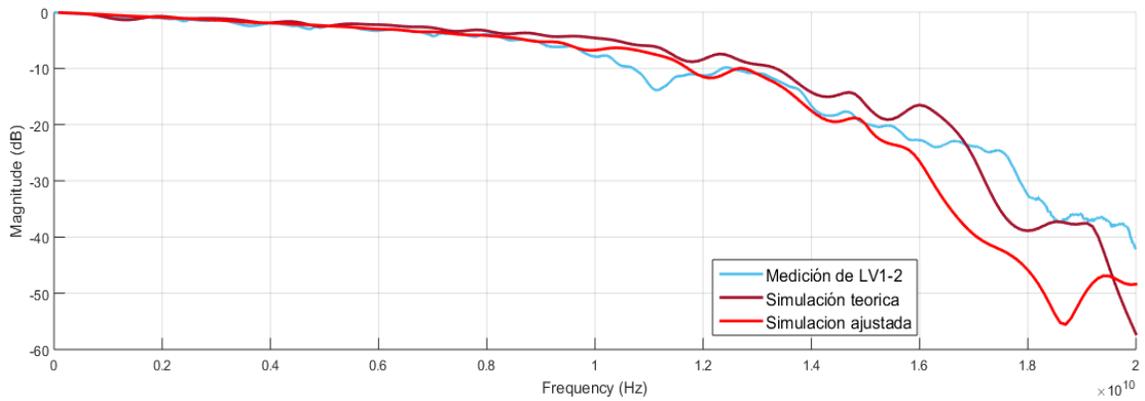


**Figura 4-83.** Reflexión de la línea cinta LTS13\_2, modelo teórico y ajustado

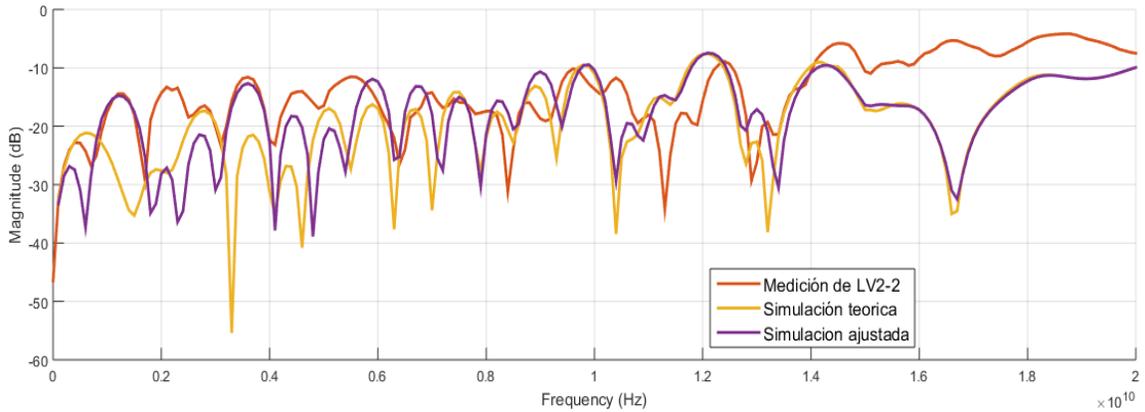
Los modelos ajustados para las líneas cinta, no se aproximaron (para algunos casos en baja frecuencia se mostraron cambios de hasta 15dB). La relación más cercana fue la de la línea LTM3 a bajas frecuencias. En estas líneas se debe tomar en cuenta dos tipos de variaciones, la del *core* y el prepreg, cuyos valores provienen de un promedio realizado, lo que provoca una incertidumbre (debido a la relación directa entre los espesores con el acople de impedancia, y por lo tanto, con las reflexiones) en todas las líneas fabricadas. Esta es una de las razones por las que se muestra una diferencia entre el modelo ajustado y las líneas fabricadas.



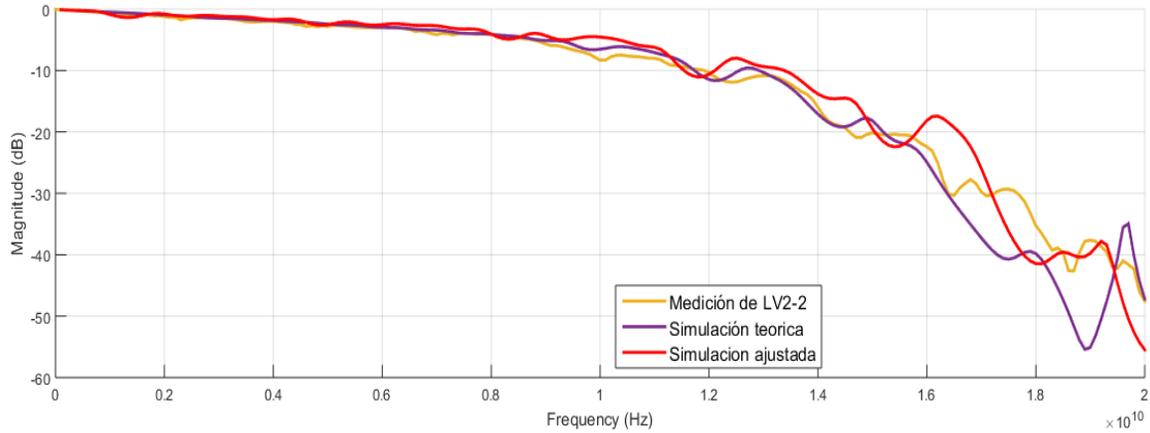
**Figura 4-84.** Reflexión de la línea LTV1-2, modelo teórico y ajustado



**Figura 4-85.** Transmisión de la línea LTV1-2, modelo teórico y ajustado



**Figura 4-86.** Reflexión de la línea LTV2-2, la simulación teórica y ajustada



**Figura 4-87.** Transmisión de la línea LTV2-2, la simulación teórica y ajustada

Los modelos ajustados para las líneas con vías no representaron de manera exacta el comportamiento de las líneas fabricadas. Aunque para la línea LTV1-2, el modelo ajustado se muestra bastante cercano, con uno 4dB de diferencia. El análisis de la vía siempre resulta tedioso. No se puede tener certeza de la longitud de la vía (lo que provoca un desacople por efectos inductivos), debido a que el espesor total del PCB es variable y como los casos anteriores provoca una incertidumbre mayor en este tipo de análisis.

## 5- Conclusiones y Recomendaciones

### 5.1. Conclusiones

Trabajar con plataformas electrónicas en radiofrecuencia, requiere consideraciones especiales, por lo que el desarrollo de una metodología resulta particularmente relevante en los procesos de diseño, verificación y fabricación. Más aún, considerando que el Laboratorio de Circuitos Impresos de la Escuela de Electrónica es muy reciente, este tipo de metodologías se hacen necesarias.

La metodología desarrollada en este proyecto representa una valiosa experiencia en cuanto a los procedimientos que se pueden seguir y los resultados que se pueden esperar en cuanto a la calidad y parámetros eléctricos de las interconexiones a fabricar. La metodología propuesta es un proceso iterativo del que se puede lograr el éxito esperado, en términos de rendimiento electrónico, si se siguen las indicaciones aquí expuestas y las recomendaciones propuestas. En este proyecto, ese proceso iterativo fue aplicado en varias ocasiones cuando se simuló el diseño CAD y la posterior optimización en un sistema EDA. Se realizaron tres pruebas en la fabricación del PCB multicapa, dos de las cuales, no resultaron de la manera en que se esperaba; la otra sí se aproximó al objetivo, en términos de calidad mecánica y parámetros eléctricos.

La metodología para la importación de los datos CAD al sistema EDA resultó satisfactoria, debido a que las características mecánicas y eléctricas de la placa fueron conservadas. El formato ODB++ resultó ser una herramienta poderosa al importar los datos al sistema EDA. Aunque el formato ANF presentó ciertas limitaciones al conservar la información eléctrica, al estar dentro del entorno EDA, fue posible controlar esos parámetros eléctricos.

El caso de aplicación demostró que en el laboratorio sí es posible lograr un control de impedancia dentro de un rango del 10%. Inclusive con los problemas enfrentados como remoción excesiva del material o excesivo desgaste de las almohadillas del proceso de laminado (lo cual provocó que el PCB multicapa mostrara una variación en el espesor total), el PCB reportó una variación máxima del 10% entre los valores de impedancia nominales y los fabricados. También en los valores no nominales y los fabricados se logró este objetivo. En general los modelos ajustados reflejaron el comportamiento de las líneas fabricadas en muchos de los casos, de lo que se puede inferir que el análisis después del proceso de fabricación resultó correcto.

La plataforma electrónica multicapa fabricada en este proyecto es un primer acercamiento a todo lo que se puede lograr con el nuevo laboratorio. A nivel estadístico no representa un valor definitivo, debido a que se deben seguir realizando muchas pruebas para caracterizar

todo el proceso de fabricación. Pero los resultados obtenidos representan una base valiosa para los proyectos que puedan desarrollarse en el futuro.

## 5.2. Recomendaciones

Fabricar un circuito multicapa es un proceso de especial cuidado, debido a que, un error en cualquiera de los pasos puede resultar en la inutilidad del PCB, el desperdicio de material y del tiempo invertido. El cuidado es mayor cuando se estructuran las capas externas (*top* y *bottom*), ya que el equipo debe ser calibrado apropiadamente para que no remueva material excesivamente, donde las capas internas incluso pueden verse afectadas. Es recomendable que todos los circuitos multicapa se fabriquen con el equipo Protomat D104, debido a que con este se minimizan los errores debidos a la calibración.

Muchos son los detalles que se deben considerar al momento de trabajar con circuitos impresos en RF; los conectores SMA inducen pérdidas a medida que la frecuencia aumenta, este es su comportamiento natural, pero para evitar esto es recomendable la utilización de puntas de RF, las cuales revelarán resultados más precisos del comportamiento del PCB. Un aspecto observado en el PCB multicapa fabricado, fue que el espesor total promedio resultó mayor de lo que se esperaba y heterogéneo. Se recomienda entonces probar el PCB con un solo prepreg (lo cual implica nuevos cálculos) y analizar el comportamiento a nivel de control de impedancia. Para evitar que el PCB multicapa muestre el espesor total heterogéneo, es recomendable el cambio de las almohadillas con las que se prensa la placa, debido a que se observó que se dan problemas si éstas no están en perfecto estado. Otro cambio recomendable en el proceso de fabricación es el uso de herramientas de fresado para aplicaciones de RF y analizar su comportamiento en el control de impedancia, esto porque en el PCB fabricado se utilizaron herramientas de fresado de propósito general. Un análisis que puede ser realizado es la correlación de los resultados obtenidos, en el caso de aplicación, con el mismo circuito impreso multicapa realizado en el exterior y los dos tipos de fresa (RF y normales).

Los circuitos impresos que operan en radiofrecuencia son delicados con todos los elementos que presenta, por ejemplo, no hay que olvidar la remoción de los *pads* que no tienen ninguna función en el diseño, evitará la presencia de capacitancias parásitas adicionales. Si no se puede prescindir de la utilización de las vías, porque el diseño lo necesita, entonces es recomendable diseñar la vía de tal manera que pueda tener el menor radio que el fabricante puede realizar y no olvidar tampoco la inserción de vías de GND a la par de la vía de señal. En la fabricación no se debe olvidar tampoco conservar el protector del cobre (de las capas *top* y *bottom*) hasta que el proceso de metalización haya sido finalizado. Debido a que, la placa puede quedar con excesos de cobre en algunas partes, lo cual resulta en un problema en RF y también, el acabado del PCB, cuando ese protector es removido, no es el deseado.

## 6- Apéndices

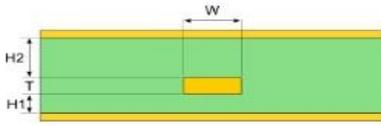
### Herramientas para el cálculo de impedancia de líneas

**Asymmetric Stripline Impedance**

The asymmetric stripline transmission line is most commonly found in a pcb, where the distance from trace to planes is not the same distance above and below. The ability to model this impedance is useful because it can often be found in designs. Modeling approximation can be used to design the asymmetric stripline trace. By understanding the asymmetric stripline transmission line, designers can properly build these structures to meet their needs.

[VIEW ALL TOOLS](#)

**ASYMMETRIC STRIPLINE IMPEDANCE CALCULATOR**



**Choose Type**

- Microstrip
- Embedded Microstrip
- Symmetric Stripline
- Asymmetric Stripline**
- Wire Microstrip
- Wire Stripline

**INPUTS**

Trace Thickness	<b>T</b>	0.018	mm
Substrate Height	<b>H1</b>	0.365	mm
Substrate Height	<b>H2</b>	0.9431	mm
Trace Width	<b>W</b>	0.58	mm
Substrate Dielectric	<b>Er</b>	3.9	

**OUTPUT**

Impedance (Z): 50.1 Ohms

**Figura 6-1.** Plataforma EEWb para encontrar la impedancia de una línea cinta desbalanceada (EEWeb, 2018)

$$h_{eff} = \frac{h_1 + h_2}{2}$$

$$m = \frac{6 \cdot h_{eff}}{3 \cdot h_{eff} + t}$$

$$z_{0air} = 2 \left( \frac{z_{0ssh1} \cdot z_{0ssh2}}{z_{0ssh1} + z_{0ssh2}} \right)$$

$$\Delta z_{0air} = .0325 \cdot \pi \cdot z_{0air}^2 \cdot \left( \left| .5 - .5 \cdot \frac{2h_1 + t}{h_1 + h_2 + t} \right|^{2.2} \right) \cdot \left( \left| \frac{t + w}{h_1 + h_2 + t} \right|^{2.9} \right)$$

$$z_{0as} = \frac{1}{\sqrt{\epsilon_r}} \cdot (z_{0ssh_{eff}} - \Delta z_{0air})$$

**Figura 6-2.** Método numérico para encontrar la impedancia de la línea cinta (EEWeb, 2018)

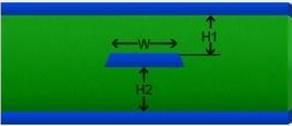
Conductor Impedance

Conductor Width (W)  
**0,477 mm**

Conductor Height (H1)  
**0,365 mm**

Conductor Height (H2)  
**0,9431 mm**

Wide calculation mode



Zo  
**50.006 Ohms**

Lo  
**3.2950 nH/cm**

Co  
**1.3177 pF/cm**

Tpd  
**65.8929 ps/cm**

Options

Base Copper Weight

9um  
 18um  
 35um  
 53um  
 70um  
 88um  
 106um  
 142um  
 178um

Plating Thickness

Bare PCB  
 18um  
 35um  
 53um  
 70um  
 88um  
 106um

Passive Circuits

Microstrip  
 Microstrip Embed  
 Stripline  
 Stripline Asym  
 Dual Stripline  
 Coplanar Wave

Units

Imperial  
 Metric

Substrate Options

Material Selection  
**Custom**

Er **3,9** Tg (°C) **180**

Temp Rise (°C)  
**20**  
Temp in (°F) = 36.0

Ambient Temp (°C)  
**22**  
Temp in (°F) = 71.6

Information

Total Copper Thickness 18 um Via Thermal Resistance N/A

Print Solve!

Figura 6-3. Saturn PCB; herramienta para el cálculo de impedancias (Saturn PCB, 2018)

### Variación del espesor del cobre de la línea

Se muestra que la afectación de la variación del espesor del cobre en la impedancia de las líneas.

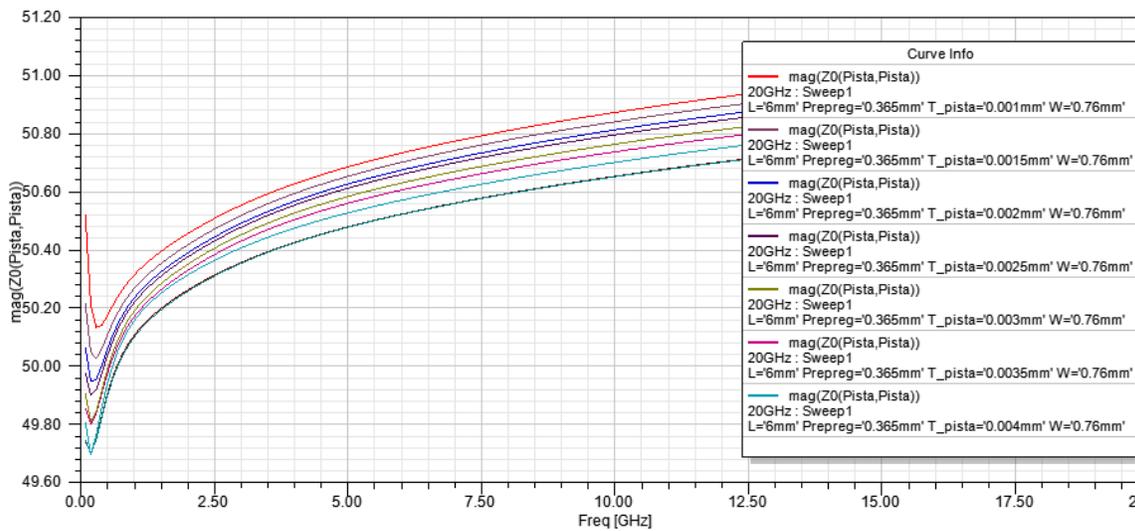
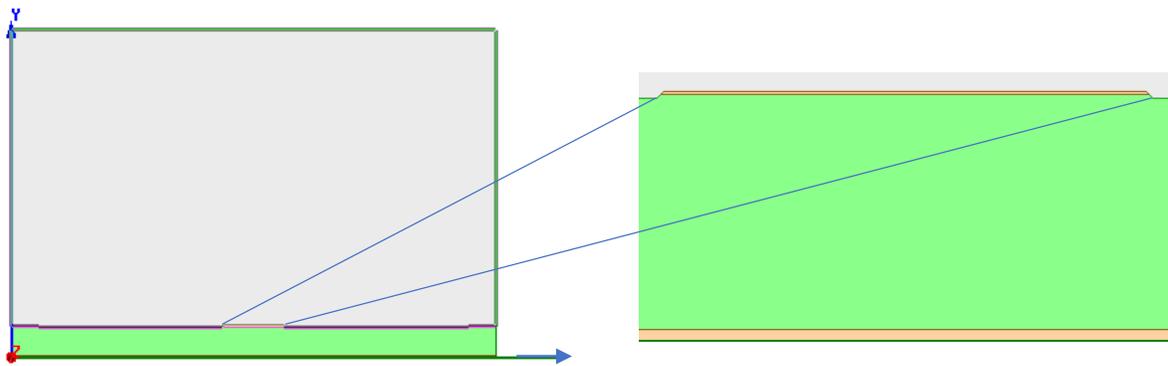


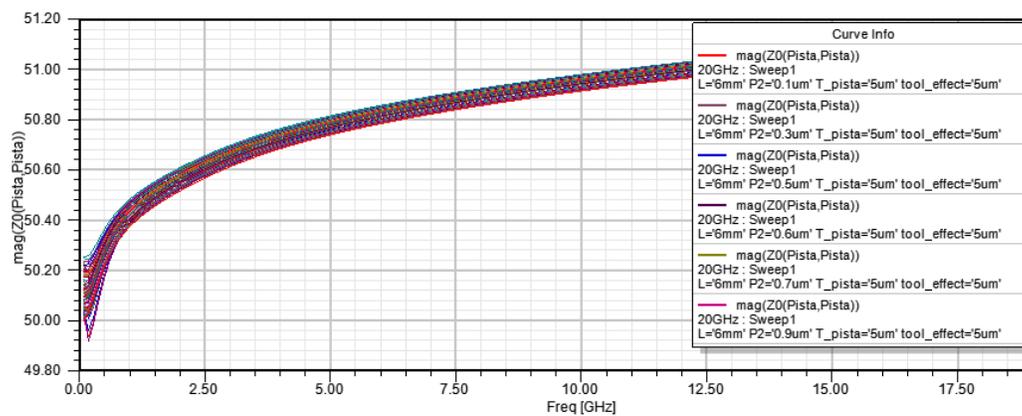
Figura 6-4. Respuesta de la variación del espesor del cobre de 1um a 5um



**Figura 6-5.** Modelo 2D del paso de la herramienta no RF en la línea microcinta

La respuesta de la figura 6-4 demostró que el espesor del cobre, para efectos de esta aplicación no fue significativo, debido a que existe una aproximación de  $0.2\Omega$  para la diferencia de los espesores de  $1\mu\text{m}$  y  $5\mu\text{m}$ .

La figura 6-5 muestra el modelo 2D utilizado para la simulación del paso de la herramienta normal (no RF) y su respuesta en la figura 6-6.



**Figura 6-6.** Modelo 2D del paso de la herramienta no RF en la línea microcinta

Según la respuesta obtenida, la influencia de esta variable para este caso de aplicación no fue significativa.

### Convergencia de los modelos de línea

Para todos los casos se consideraron los siguientes parámetros de simulación:

- *Solution Frequency* 20GHz.
- Frec. Min=1MHz, Step. Frec=1MHz, Frec. Max=30GHz.

- Máximo número de iteraciones 15.
- Mínimo número de iteraciones 6.
- Máximo delta S= 0.02.

Se demuestra que con 6 iteraciones los modelos convergieron a los resultados presentados.

### 1-Modelo de línea microcinta.

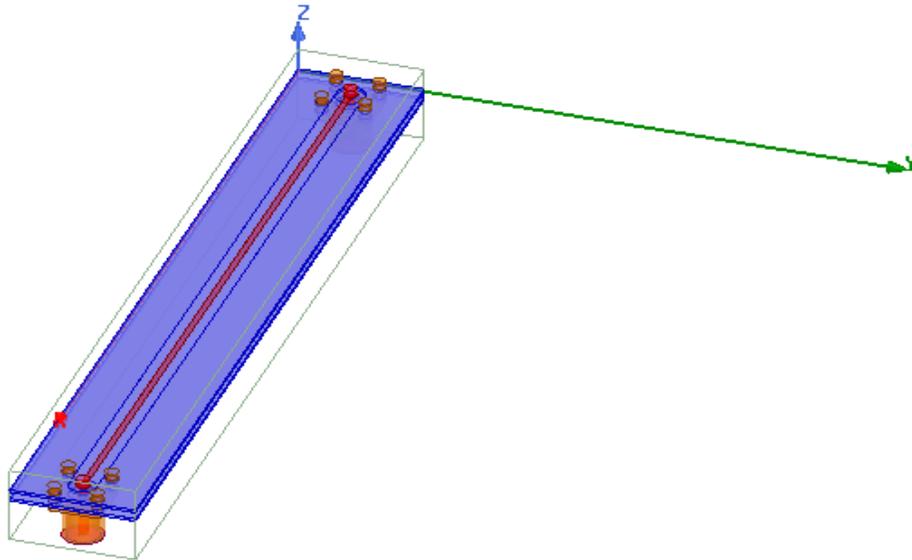


Figura 6-5. Modelo de microcinta con conectores *Through Hole*

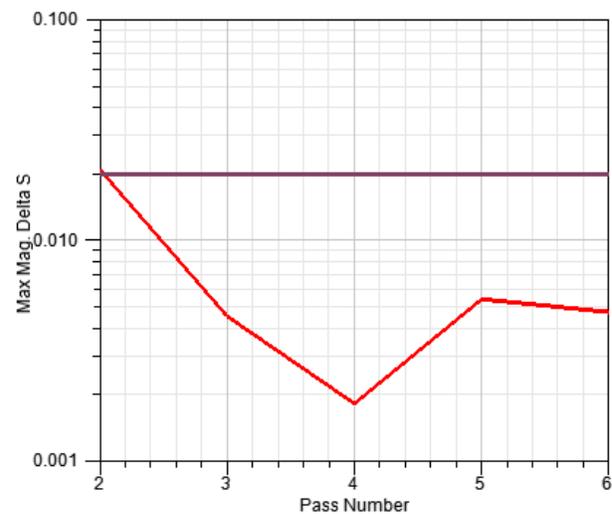
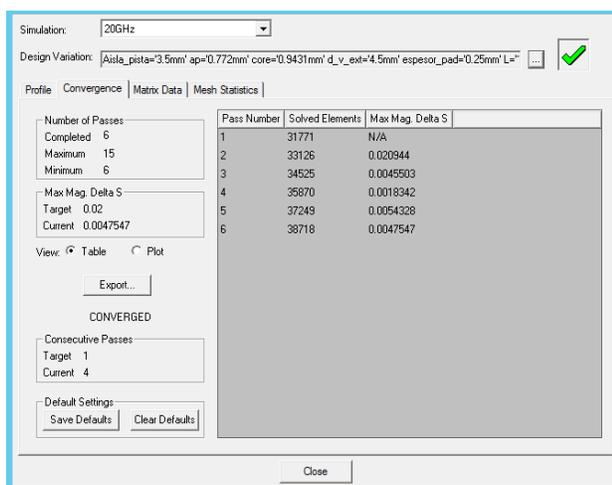


Figura 6-6. Convergencia del modelo de línea microcinta

## 2-Modelo de línea con vías

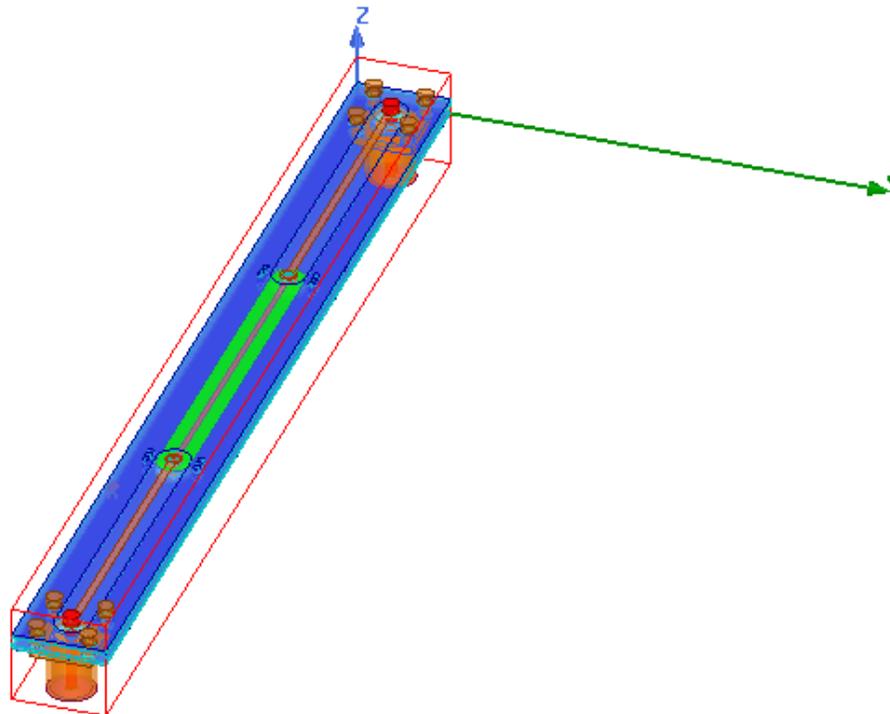


Figura 6-7. Modelo de línea con vías con conectores *Through Hole*

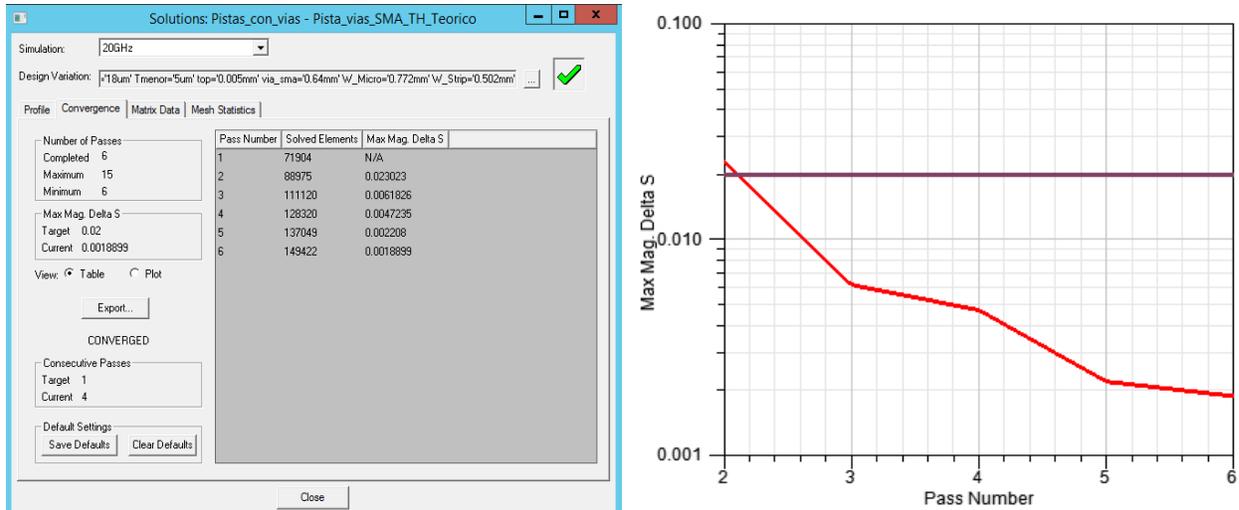


Figura 6-8. Convergencia de línea con vías

## 3-Modelo de línea cinta

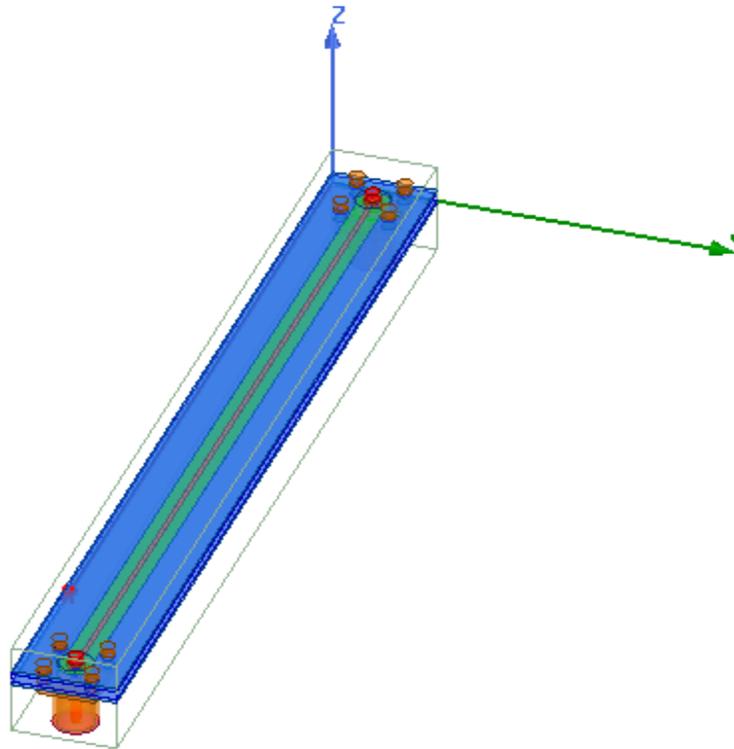


Figura 6-9. Modelo de línea cinta con conectores *through hole*

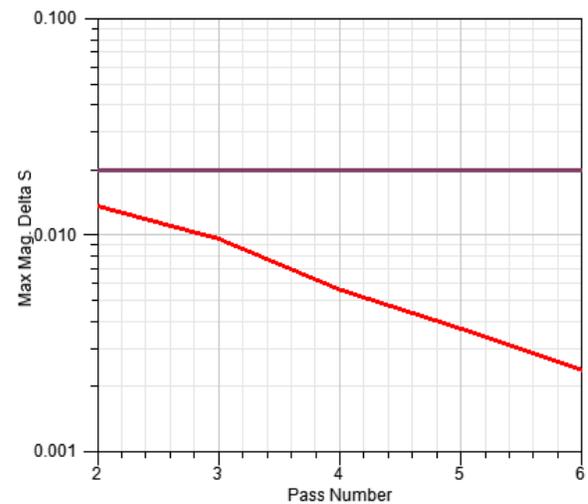
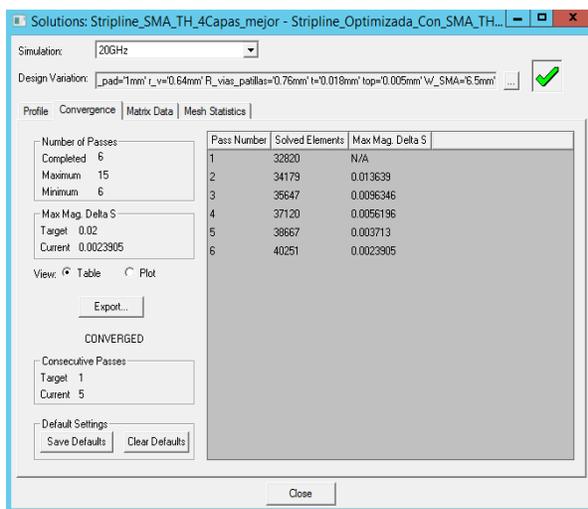


Figura 6-10. Convergencia de modelo cinta

## 7- Referencias

Rimolo R.(2010), *Development, Validation, and Application of Semi-Analytical Interconnect Models for Efficient Simulation of Multilayer Substrates*, Costa Rica.

Ansys(2015),Siwave.<https://www.ansys.com/media/ansys/corporate/resourcelibrary/brochure/ansys-siwave-brochure.pdf>. (Accedido 05-9-2018)

Ben, R., Hu, S., Li, X., y Fu, Z. (2017, May). Signal Integrity Analysis for sma via on the pcb. En 2017 ieee 9th international conference on communication software and networks (iccsn)(p. 865-869). doi: 10.1109/ICCSN.2017.8230235

Blackshear, E. D., Cases, M., Klink, E., Engle, S. R., Malfatt, R. S., de Araujo, D. N., . . . Russell, D. J. (2005, July). The evolution of build-up package technology and its design challenges. *IBM Journal of Research and Development*,49(4.5), 641-661. doi:10.1147/rd.494.0641

Coombs, C. (2001).Printed circuits handbook. United States of America: McGRAW-

HILL.Denford. (2017). Programming for cnc milling machines. En <https://fenix.tecnico.ulisboa.pt/downloadFile/3779578361014/gandmprogrammingformillsmanual.pdf> (Accedido05-9-2018)

EEWeb.(2018), Asynetric stripline calculatorv. En <https://www.eeweb.com/tools/microstrip-impedance>. (Accedido 05-9-2018)

EMC(2018). Pcb layout. En <http://learnemc.com/pcb-layout>. (Accedido 05-9-2018)

Fineline. (2015). Pcb layer stack-up. EnTechnical workshop.

Haines, G. (2010). Introduction to altium designer.Technology, 13.

Intel. (2017).Pcb stackup design considerations for intelR©fpgas.

IPC-2221(1998). Generic standar on printed board design. EnFifth edition.

IPC2221A. (2003). Generic standard on printed board design. Technology,2, 113.

Kulkarni, S. Y., Murthy, K. V. V., Prasad, N. N. S. S. R. K., y Patro, Y. G. K. (1995, Dec). High frequency characterisation of multilayer pcbs. En 1995 international conference on electromagnetic interference and compatibility (incemic)(p. 63-66).

LPKF (2018).Multipress S de lpkf.<https://www.lpkf.es/productos/creacion-rapida-prototipos-pcb/multicapa/>. (Accedido 05-9-2018)

Maggioni. (2016). Formtao odb++. El formato universal.

Saturn(2018). Saturn pcb design toolkit. En <https://www.saturnpcb.com/pcbtoolkit/>.(Accedido05-5-2018)

P. Radhakrishnan, V. R., S. Subramanyan. (2008), CAD/CAM/CIM (Third ed.). New Age International Publishers.

Stearns, T. (2014). *Designing flex circuits*(Third ed.). The PCB Design Magazine.

Technologies, I. (2017). Emc and system-esd design guidelines for board layout. En <https://www.infineon.com/dgdl/InfineonAP2402635GeneralPCB-AN-v0100-EN.pdf?fileId=5546d46261ff5777016229f8523036f1>.(Accedido05-9-2018)

X Chen, Y. L. (2015). Finite element modeling and simulation with ansys workbench(Oneed.). CRC Press Taylor and Francis Group.

Bushie, y Vardya. (2018). The printed circuit designer's guide. En Fundamentals of rf/microwave pcbs

Sierra Circuits (2018). Gerber File Format Extensions, En: [https://www.protoexpress.com/content/gerber\\_extensions.jsp#stq=excellon&stp=1](https://www.protoexpress.com/content/gerber_extensions.jsp#stq=excellon&stp=1),(Accedido 05-9-2018)

Stephen H., Hall W., Hall James A., McCall (2006) *A Handbook of Interconnect Theory and Design*, First Ed, Morgan and Claypool, USA.