

**INSTITUTO TECNOLÓGICO DE COSTA RICA
VICERRECTORÍA DE INVESTIGACIÓN Y EXTENSIÓN
DIRECCIÓN DE PROYECTOS**

Proyecto de Investigación
**Circuitos e Interconexiones Tolerantes a Fallas para Dispositivos
Biomédicos Implantables**
(Fault-Tolerant Circuits and Interconnects for Biomedical Implantable
Devices)

INFORME FINAL

(DOCUMENTO 1)

Ronny García Ramírez
Alfonso Chacón Rodríguez
Roberto Carlos Molina Robles

Renato Rímolo Donadio, Ingeniería Electrónica

Cartago, Julio 2020

1. Tabla de contenido

1. Tabla de contenido	2
2. Código y título del proyecto	3
3. Autores y Direcciones	3
4. Resumen	3
5. Introducción	4
6. Marco Teórico	5
7. Metodología	6
8. Resultados	7
9. Discusión y Conclusiones	11
Apéndices:	17
● A.1 Publicaciones Asociadas al Proyecto	17

2. Código y título del proyecto

Código 1360014

Circuitos e Interconexiones Tolerantes a Fallas para Dispositivos Biomédicos Implantables.

3. Autores y Direcciones

Ronny García Ramírez, Ingeniería Electrónica, rgarcia@tec.ac.cr

Alfonso Chacón Rodríguez, Ingeniería Electrónica, alcahcon@tec.ac.cr

Roberto Carlos Molina Robles, Ingeniería Electrónica, rcmolina@tec.ac.cr

Renato Rimolo Donadio, Ingeniería Electrónica, coordinador, rrimolo@tec.ac.cr

4. Resumen

Los dispositivos médicos implantables (IMDs) son sistemas críticos para la seguridad con requerimientos de potencia muy bajos, los cuales se utilizan para el tratamiento a largo plazo de diferentes condiciones médicas. IMDs utilizan un número de componentes cada vez más elevado (sensores, actuadores, procesadores, bloques de memoria), que tienen que comunicarse entre ellos en un Sistema en Chip (SoC).

En este proyecto, diferentes tipos de interconexiones (punto a punto, bus, red en chip) fueron evaluadas considerando su tolerancia a fallas, consumo de potencia y capacidades de comunicación. Como parte de los productos se desarrolló una base de datos escalable sobre sistemas médicos implantables reportados en la literatura hasta el año 2018, con el fin de conocer el estado del arte y las tendencias sobre la incorporación de sistemas electrónicos en este tipo de solución. Basado en este estudio inicial, se procedió a proponer un marco de trabajo de evaluación de interconexiones, el que incorpora un generador de topologías y el flujo de diseño para evaluar estas topologías en términos de potencia y tolerancia a fallas a nivel de simulación, junto con la propuesta de una métrica para comparar diferentes arquitecturas a nivel de pre-síntesis (previo a la consolidación del diseño). Por último, un diseño e implementación a nivel de circuito integrado (IC) de una solución de interconexiones ajustada a IMDs se incorporó en el diseño de un microprocesador a la medida.

Este proyecto se desarrolló en el marco de la cooperación con el Centro Médico Erasmus (Erasmus MC) en los Países Bajos y la Universidad Católica del Uruguay.

Palabras clave

circuitos integrados, dispositivos médicos implantables, interconexiones, red en chip.

5. Introducción

El avance en las técnicas de fabricación de circuitos integrados (CIs) ha permitido el desarrollo de sistemas con gran cantidad de componentes y alta complejidad. Esto ha significado, para la industria médica, la capacidad de integrar algunos de estos dispositivos dentro de tejidos u órganos para cumplir determinadas tareas, desde el monitoreo de señales biológicas hasta el mismo control de algunas funciones fisiológicas, nerviosas o incluso cerebrales. A estos dispositivos se les conoce comúnmente como implantables médicos (Implantable Medical Devices: IMD).

Hay una condición determinante alrededor de dichos dispositivos, y es sus extremos requerimientos de confiabilidad y robustez, medidas especialmente en términos de la seguridad de los pacientes que han de portarlos. Ello dentro de un marco restringido de área y necesidades energéticas. Esto abre nuevas vías de desarrollo e investigación que normalmente no son atacadas por los proyectos de diseño digital tradicionales, que generalmente buscan maximizar rendimiento y velocidad de ejecución con costos controlados de consumo y producción.

En el Departamento de Neurociencia del Centro Médico Erasmus en Rotterdam, Países Bajos, se ha venido trabajando desde hace varios años en el desarrollo de dispositivos implantables médicos, particularmente en el área de neuroestimulación aplicada al tratamiento de dolencias del sistema nervioso. Algunos de los aspectos claves que deben tomarse en cuenta en estos dispositivos son los relacionados con el diagnóstico de fallas y tolerancia a las mismas, que garanticen funcionalidad correcta a la vez que se minimicen los efectos en consumo de potencia y energía. Esto implica investigar sobre arquitecturas de procesamiento y manejo de datos robustas y seguras, y proponer alternativas que sean aprovechables para la industria biomédica.

Por otra parte, en el Laboratorio de Diseño de Circuitos Integrados: DCILab del Tecnológico de Costa Rica ha trabajado en los últimos años en el desarrollo de circuitos analógicos integrados aplicados a la espectroscopia por impedancia eléctrica para aplicaciones biológicas [1]-[2], circuitos de muy bajo consumo para procesamiento acústico, y en el diseño de sistemas digitales de baja potencia para procesamiento de señales acústicas, incluyendo la producción de bibliotecas de componentes tales como unidades de coma fija y flotante, y procesadores específicos [3]-[5]. Además, se han desarrollado aplicaciones de procesamiento masivo para FPGAs [6]-[8], que se han aprovechado de hecho ya en la colaboración con el centro médico Erasmus para simular algunos de los modelos neuronales biológicamente exactos de regiones cerebrales por ellos desarrollados.

Ha sido precisamente el éxito de esta colaboración lo que ha permitido hallar las posibilidades de sinergia entre ambos grupos de trabajo, con el objetivo de desarrollar aún más de manera mutua las capacidades convergentes y producir una línea mutua de investigación con posibles resultados de mucho alcance en el área de dispositivos médicos.

La intención de este proyecto es estudiar diferentes tipos de interconexiones (punto a punto, bus, red en chip) para implementar sistemas complejos en IMDs. Se planteó evaluar diferentes soluciones considerando su tolerancia a fallas, consumo de potencia y capacidades de comunicación. Con base en esta evaluación, se propusieron alternativas de diseño y una de ellas fue implementada a nivel de circuito integrado.

6. Marco Teórico

El rápido avance en las tecnologías de fabricación de circuitos integrados [9] y el desarrollo de técnicas de diseño de bajo consumo energético han permitido que los dispositivos médicos portátiles e implantables (IMDs) tengan cada vez mayor poder de procesamiento, pasando de ser simplemente terminales capaces de detectar señales biológicas [10] a sistemas capaces de almacenar, transmitir y procesar datos [11]. Este cambio de paradigma en los IMDs crea la necesidad de desarrollar investigación en interfaces estándar de comunicación entre los diferentes módulos de la arquitectura enfocada en esta aplicación específica que permita flexibilidad de interconexión de diferentes tipos de módulos de procesamiento, al mismo tiempo que provea características especiales de tolerancia a fallas [12] y bajo consumo de energía [13]. Este tipo de interfaces estándar de comunicación entre los diferentes módulos de una arquitectura de SOC es lo que se llama “Redes en Chip” o NoC [14].

Las NoC son utilizadas tanto en el ámbito académico [15]-[16] como en el industrial [17], y son consideradas como uno de los métodos dominantes de comunicación entre unidades de procesamiento y almacenamiento [18]. El escalamiento acelerado de las tecnologías de fabricación ha acentuado el problema de la confiabilidad en las NOC debido al aumento en la incidencia de fallas permanentes (hard errors) causadas por efectos de envejecimiento acelerado de los circuitos integrados tales como la electromigración y errores de manufactura [19]. Además de lo anterior, errores suaves (soft errors) causados por ruido en las líneas de transmisión de datos (crosstalk), ruido de acoplamiento y fallos transitorios son también un problema la confiabilidad del sistema [19].

La creciente preocupación de la comunidad técnica respecto de la confiabilidad de las NOCs dentro de los SOCs ha promovido la investigación extensiva en arquitecturas para aminorar el problema [20]-[24]. Algunos investigadores han propuesto soluciones para aspectos específicos de la confiabilidad como lo son los errores suaves y el manejo de errores duros en la red [25]-[28]. Otros autores se han centrado en el desarrollo de algoritmos de ruteo tolerantes a fallos [12],[29]-[30] debido a que un algoritmo de ruteo tolerante a fallos debería ser capaz de evitar nodos con problemas al mismo tiempo que asegure el envío correcto de los datos.

Otra de las características deseables de las NoCs en IMDs es el obtener el menor consumo posible de energía en SOC; esto debido a que los IMDs normalmente trabajan con baterías a las que se desea alargar la vida útil [11]. Debido al uso extensivo que se ha dado a las NoC en SoC para aplicaciones móviles existe también un gran interés de la comunidad técnica por investigar diferentes arquitecturas de NoC de bajo consumo energético [31]-[34]

La optimización del consumo de potencia en la infraestructura de comunicación de SoCs de gran escala debe minimizarse para lograr un funcionamiento confiable, y una implementación que sea eficiente a nivel de costo [24].

Entre las opciones que se encuentran en la literatura usadas para mejorar el consumo de energía en NoC están:

- Apagado selectivo de dominios de poder (Power gating) [35]-[37]: Esta técnica consiste en apagar la lógica que no se está usando para ahorrar consumo de potencia estático.
- Mejoras a nivel de circuito [34,38]: Esta técnica consiste en hacer cambios a nivel de la implementación de los circuitos que componen los enrutadores los buffers y las interconexiones para minimizar tanto el consumo de energía estática como la dinámica.

- Mejoras a nivel de algoritmo de enrutamiento [39]-[41]: Esta técnica consiste en cambios en el algoritmo que envía y selecciona la ruta que seguirán los paquetes de manera que se mantengan “activos” la menor cantidad de enrutadores posibles o se reduzca el tráfico en la red; normalmente esta técnica se combina con las anteriores para maximizar el ahorro energético.

Los requerimientos para redes de interconexión en IMDs, es un tema poco explorado, donde las ventajas y desventajas de los diferentes acercamientos no están cuantificados en la literatura. En esta iniciativa se hace aportes en esta dirección al sondear el estado del arte de sistemas IMDs, proponer un marco de valoración de interconexiones desde el punto de vista de consumo de potencia y tolerancia a fallas, y su validación a través de casos de estudio, como se detalla en la Sección 8.

7. Metodología

Se utiliza un acercamiento de diseño en ingeniería en el cual primero se explora el estado del arte de los sistemas IMDS a nivel académico, para luego proponer un marco de trabajo de evaluación de arquitecturas de interconexión a nivel microelectrónico, con una fase final de validación.

Si bien el tema de interconexiones en chip ha sido ampliamente explorado, no existe mucha información disponible para la aplicación de dispositivos implantables IMDs, principalmente por las restricciones de consumo y tolerancia a fallas que la aplicación implica. Con relación al objetivo específico 1, se realizó una revisión bibliográfica detallada del tema de interconexiones en chip, abordando diferentes implementaciones (punto a punto, red en chip, malla de dos dimensiones, etc.) con el fin de evaluar las soluciones más adecuadas para IMD. Se utilizaron repositorios de artículos disponibles a través de la biblioteca del ITCR y de los colaboradores en Erasmus, con lo cual se consolida una base de datos con más de 200 trabajos hasta el 2018, que reportan sistemas completos funcionales.

Con base en la investigación bibliográfica se definió un marco de trabajo que permite generar diferentes topologías de interconexión y permite evaluarlas en términos de potencia y tolerancia a fallas. La implementación incluye el desarrollo del diseño a nivel conceptual, así como la codificación en lenguajes de descripción de hardware a un nivel abstracto de transacción o registro.

El concepto se validó mediante simulaciones digitales que permitan evaluar la idoneidad de la implementación. Para esto se diseñan los circuitos y vectores de prueba que permitan establecer criterios de selección basados en los resultados de simulación.

De las soluciones implementadas a nivel de concepto se escogió un diseño que se incorporó al diseño de un microcontrolador, llevando el diseño a una tecnología comercial de circuitos integrados tipo CMOS. El proceso fue el xh018 de la empresa XFAB, una tecnología de 180 nm CMOS. El código HDL y el proceso de síntesis de los circuitos se realizó con el apoyo del entorno EDA de circuitos integrados de la empresa Synopsys, que junto con el kit de diseño de XFAB, permitieron articular el marco de trabajo para realizar las evaluaciones y diseños finales. El diseño incorpora un proceso de síntesis lógica y validación en señal mixta de las etapas implementadas a nivel de simulación. El diseño físico es la siguiente fase del proceso en el cual se considera el planeamiento, posicionamiento e interconexión del diseño como se vería sobre el silicio. Este proceso involucra el cumplimiento de las reglas del proceso, la comparación con el esquemático,

la simulación de elementos parásitos y la simulación final con elementos parásitos. La conclusión de este proceso consolidó un diseño validado que fue enviado a fabricación prototipo físico.

La fase final del proyecto involucró la fabricación del prototipo de diseño y su validación física. La fabricación se llevó a través del servicio prototipado multiproyecto de Europractice, y su financiamiento fue apoyado por la Universidad Católica de Uruguay. La solución también se implementó a nivel de FPGA para su evaluación física, debido a que la entrega de los dispositivos fabricados a nivel microelectrónico se retrasó a causa de proceso y trámites aduanales, con lo que la fase de validación del circuito integrado aun está en proceso.

8. Resultados

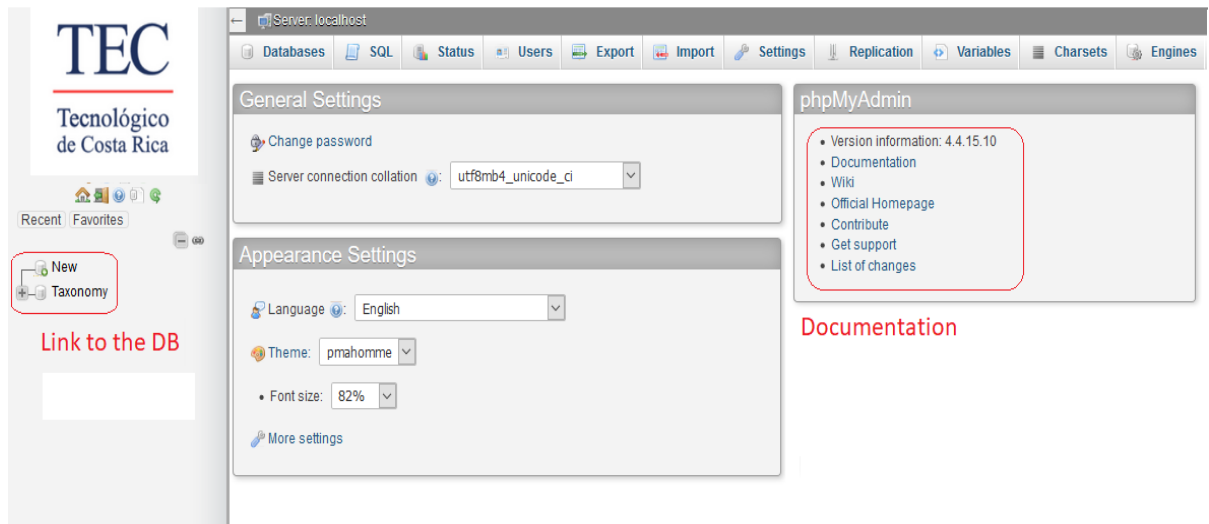
Los resultados del proyecto se pueden agrupar en tres partes: (1) la construcción de una base de datos sobre dispositivos médicos implantables publicados en revistas académicas, (2) la construcción de un entorno de trabajo para valorar las arquitecturas de interconexión, que, si bien es general, fue pensada para dispositivos médicos implantables, y, (3), la implementación de una arquitectura de comunicación dentro del diseño del microcontrolador SIWA.

En la primera parte se realizó una investigación bibliográfica sobre sistemas funcionales implantables completos reportados en revistas y conferencias indexadas, con lo que se logró acumular una cantidad superior a 200 artículos desde 1974 y hasta el año 2018, siguiendo el acercamiento reportado en [42]-[43]. Creando una clasificación orientada a la caracterización de las funciones asociadas con sistemas electrónicos, se realizaron análisis estadísticos para extraer tendencias y rasgos comunes, los cuales se reportan en la publicación [44] (ver apéndice A.1)

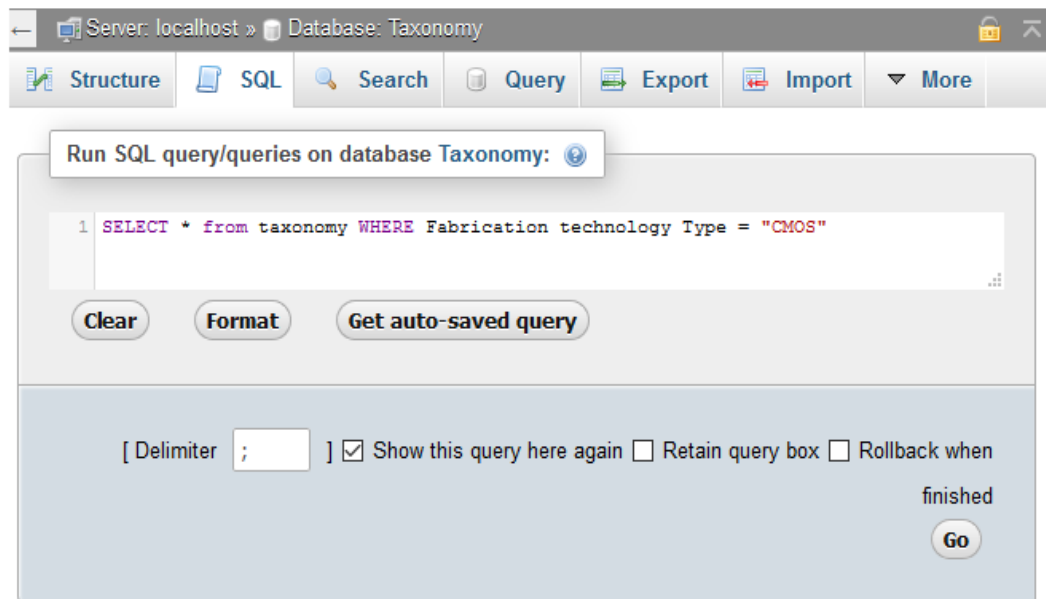
La base de datos se plantea como un proyecto abierto que se espera pueda ser continuado a futuro y la cual está disponible a través de la dirección: <http://imdsurvey.ietec.org>. La figura 1 muestra la interfaz de la base de datos, que fue implementada en SQL. Se espera que este trabajo sobre la base de datos se pueda continuar; los colaboradores en el centro médico Erasmus dirigen actualmente el análisis estadístico con el fin de lograr una publicación en un futuro cercano sobre análisis de datos a partir de los artículos examinados.

La segunda parte del trabajo consistió en la construcción del entorno de simulación de arquitecturas de interconexión, que cuenta con los siguientes bloques funcionales (Figura 2): un generador de interconexiones a nivel de TLM, un simulador para evaluación de consumo de potencia a nivel de pos-síntesis lógica, y un simulador de pruebas para analizar tolerancia a fallas. Estos componentes fueron construidos desde cero y evaluados con arquitecturas de interconexión genéricas. La implementación de este entorno se discute en el capítulo 4 de la Tesis Doctoral enlazada con este proyecto [45] (Apéndice A.1).

Además, al ser conveniente poder estimar a priori, antes de la síntesis lógica el desempeño del sistema de interconexiones, se ideó una métrica para la estimación empírica de la eficiencia del sistema de interconexión, llamada “eficiencia por línea por ciclo de reloj”, la cual se reporta en la publicación indexada en Scopus [46] (Apéndice A.1).



(a)



(b)

Figura 1: Interfaz gráfica de la Base de Datos sobre IMDs: (a) página de inicio, (b) interfaz SQL para consultas [44].

La tercera fase del proyecto consistió en la implementación de una solución de interconexión a nivel de circuito integrado. Inicialmente se tenía pensado financiar esta fabricación con el programa de investigación académico del servicio de fabricación de MOSIS, el cual permite a sus miembros fabricar gratis una vez al año para proyectos sin fines de lucro. Sin embargo, este programa fue cancelado en el año 2018. Como la fabricación de un prototipo a nivel de circuito integrado cuesta no menos de 5 mil dólares, y no se contaba con ese capital, se buscó una solución alternativa y se unieron esfuerzos con el proyecto “Procesador RISC-V en HV para aplicaciones médicas”, para integrar la solución de interconexión dentro del diseño del microcontrolador Siwa, el primer diseño completamente costarricense de un dispositivo microelectrónico complejo a nivel académico. Este proyecto, realizado en colaboración con la Universidad Católica del Uruguay, cuenta con fondos externos que permitieron realizar la fabricación a través del servicio Europractice en una tecnología CMOS del 180nm de la compañía XFAB.

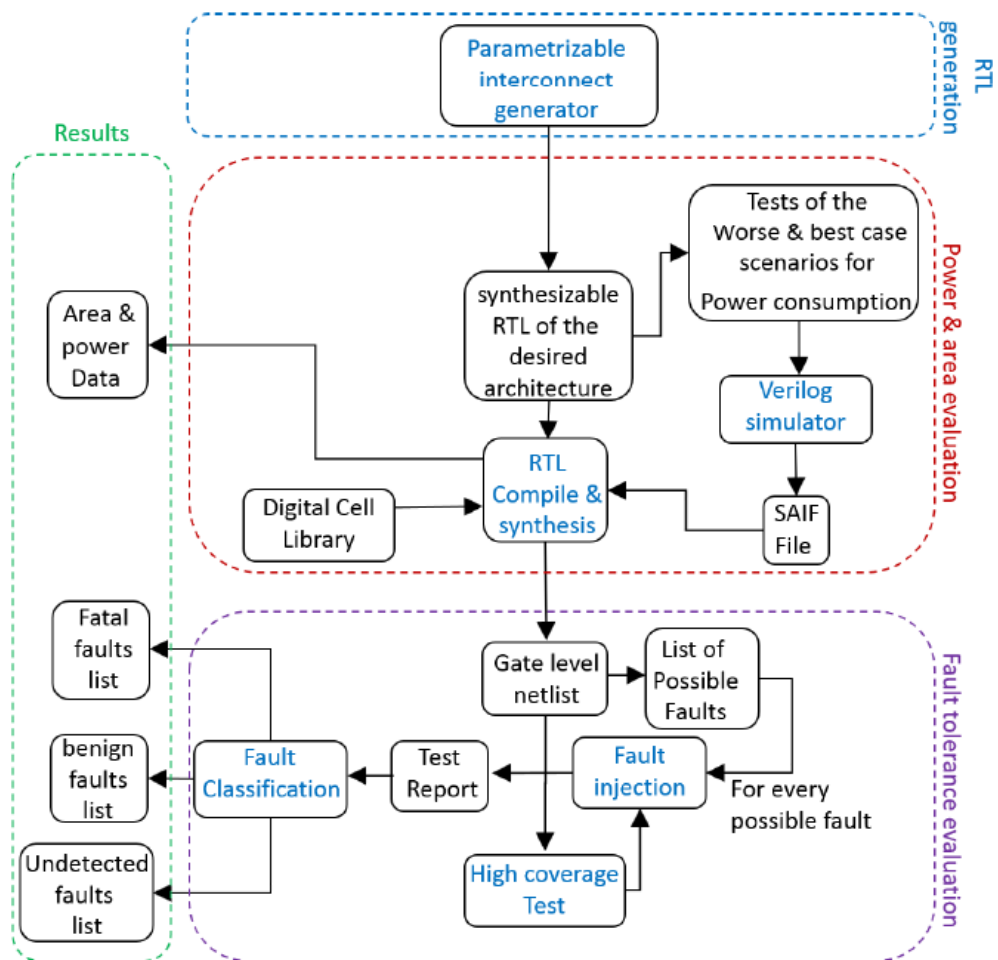
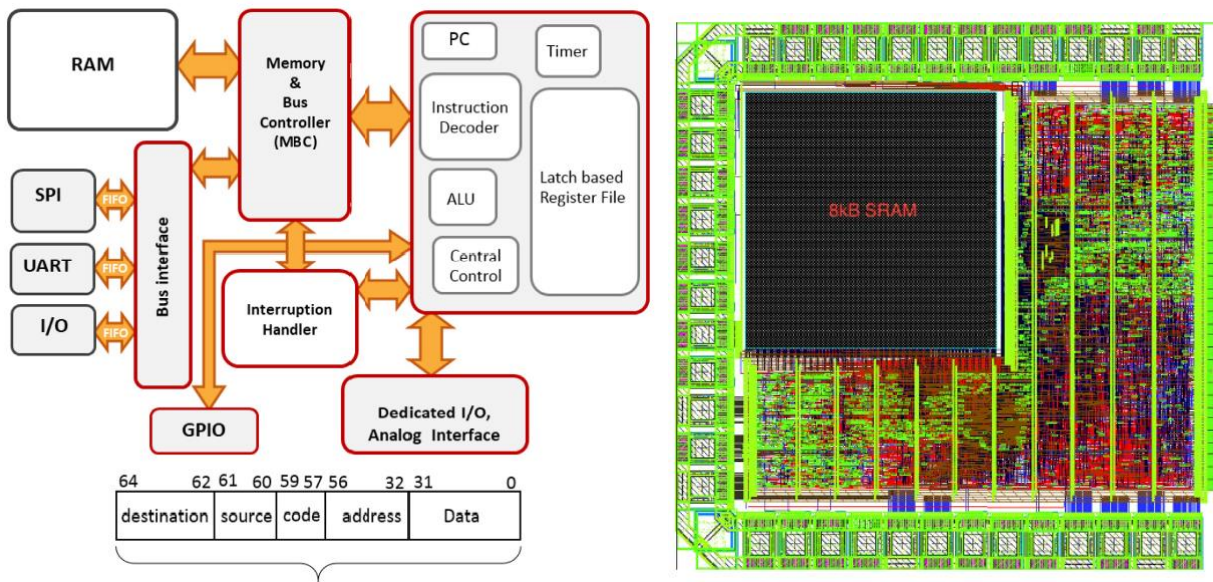


Figura 2: Descripción del entorno para la obtención de área, consumo de energía y tolerancia a fallas para arquitecturas de interconexión [45].

El diseño del microcontrolador se reportó como un artículo indexado en ISI WoS bajo la revista *Microelectronics Journal* [47], donde se describe entre los otros bloques funcionales, el bus de interconexión (Ver apéndice A.1). En la Figura 3 se muestra un diagrama de bloques general y la vista del diseño físico del microcontrolador.

A pesar de que la fabricación se realizó a tiempo durante el segundo semestre de 2018, diversos retrasos en el cronograma de fabricación de Europractice, y problemas aduanales retrasaron la entrega del prototipo físico, el cual se recibió en Costa Rica hasta junio de 2020. La validación física del prototipo microelectrónico se realizará a futuro como actividad del proyecto “Procesador RISC-V en HV para aplicaciones médicas”, el cual concluye a finales del año 2020.

Para realizar la validación del diseño dentro de este proyecto, se procedió entonces a realizar una implementación con microelectrónica programable (FPGAs), que permiten construir el circuito propuesto con arreglos programables. La figura 4 muestra el banco de pruebas con esta implementación del microprocesador, desarrollado con la plataforma NI PXIe y LabView, con la cual demostró el funcionamiento correcto del diseño en diversos escenarios.



(a) (b)
Figura 3: Microprocesador Siwa: (a) diagrama de bloques y (b) vista del diseño físico enviado a fabricación [47].

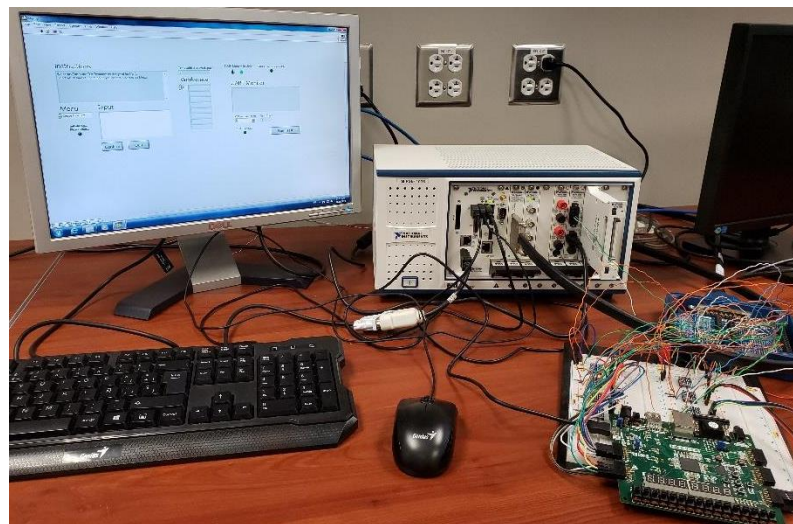


Figura 4: Plataforma de pruebas para el microprocesador Siwa, implementada a nivel de FPGA.

Del trabajo en este proyecto se coparticipo en el desarrollo de otras cuatro publicaciones [48]-[51] alrededor del desarrollo del microprocesador y se involucraron diversos proyectos finales de estudiantes a nivel doctoral, de maestría y licenciatura.

9. Discusión y Conclusiones

En este proyecto se ha explorado la evolución de dispositivos médicos implantables, sus funcionalidades, y se propuesto un marco de trabajo que permite evaluar sus arquitecturas de interconexión a nivel de circuito sintetizado con el fin asistir la toma de decisiones durante el proceso de diseño.

Se destaca un cumplimiento del 100% de los objetivos con múltiples productos de investigación:

- El desarrollo, en colaboración con otros proyectos, del primer microprocesador totalmente diseñado en Costa Rica, que se fabricó en el proceso CMOS xh018 de 180nm de la empresa XFAB.
- La construcción de una base de datos abierta que recopila publicaciones científicas hasta el año 2018 sobre dispositivos médicos implantables, en colaboración con el Centro Médico Erasmus en los Países Bajos.
- El desarrollo de un entorno de trabajo que contiene un generador de interconexiones y el marco de evaluación de potencia y tolerancia a fallas a nivel prelayout.
- Tres publicaciones científicas indexadas [44],[46]-[47], y colaboraciones en cuatro publicaciones en conjunto con otros proyectos [48]-[51].
- Dos proyectos doctorales enlazados al proyecto, uno concluido exitosamente [45]. Dos tesis de maestría, una concluida y otra en proceso [52]-[53], y cinco proyectos de graduación [54]-[58].

El proyecto fue clave para consolidar la colaboración con el centro médico Erasmus y la Universidad Católica en Uruguay, con quienes se han realizado intercambios académicos y publicaciones conjuntas. El trabajo colaborativo continua con otras iniciativas en el campo de IMDs que dan continuidad al presente proyecto [59]-[60].

Referencias

- [1] Garcia-Ramirez, Ronny, Alfonso Chacón-Rodríguez, and Renato Rimolo-Donadio. "A 0.13 CMOS integrated circuit for electrical impedance spectroscopy from 1 kHz to 10 GHz." In 2017 30th IEEE International System-on-Chip Conference (SOCC), pp. 126-131. IEEE, 2017.
- [2] Garcia-Ramirez, Ronny, Oscar Villalta-Gutierrez, and Renato Rimolo-Donadio. "Review of CMOS circuit architectures for Electrical Impedance Spectroscopy." In 2016 IEEE 36th Central American and Panama Convention (CONCAPAN XXXVI), pp. 1-6. IEEE, 2016.
- [3] Salazar-García, Carlos, Luis Alfaro-Hidalgo, Mauricio Carvajal-Delgado, Jordan Montero-Aragón, Reinaldo Castro-Gonzalez, Juan Agustín Rodríguez, Alfonso Chacón-Rodríguez, and Pablo Alvarado-Moya. "Digital integrated circuit implementation of an identification stage for the detection of illegal hunting and logging." In 2015 IEEE 6th Latin American Symposium on Circuits & Systems (LASCAS), pp. 1-4. IEEE, 2015.
- [4] Salazar-García, Carlos, Reinaldo Castro-González, and Alfonso Chacón-Rodríguez. "RISC-V based sound classifier intended for acoustic surveillance in protected natural environments." In 2017 IEEE 8th Latin American Symposium on Circuits & Systems (LASCAS), pp. 1-4. IEEE, 2017.
- [5] Cervantes, Adrian, Francis Lopez, Jeffrey Quiros, Diego Rodriguez, Carlos Salazar-Garcia, Carlos Meza, and Alfonso Chacon-Rodriguez. "Implementation of an open core IEEE 754-based FPU with non-linear arithmetic support." In 2016 IEEE 36th Central American and Panama Convention (CONCAPAN XXXVI), pp. 1-6. IEEE, 2016.
- [6] K. Alfaro-Badilla, A. Chacon-Rodriguez, G. Smaragdous, C. Strydis, A. Arroyo-Romero, J. Espinoza-Gonzalez, and C. Salazar-Garcia, "Prototyping a Biologically Plausible Neuron Model on a Heterogeneous

CPU-FPGA Board," 2019 IEEE 10th Latin American Symposium on Circuits & Systems (LASCAS), Armenia, Colombia, 2019, pp. 5-8.

[7] Alfaro-Badilla, Kaleb, Andrés Arroyo-Romero, Carlos Salazar-García, Luis G. León-Vega, Javier Espinoza-González, Franklin Hernández-Castro, Alfonso Chacón-Rodríguez, Georgios Smaragdos, and Christos Strydis. "Improving the simulation of biologically accurate neural networks using data flow HLS transformations on heterogeneous SoC-FPGA platforms." In Latin American High Performance Computing Conference, pp. 185-199. Springer, Cham, 2019.

[8] León-Vega, Luis G., Kaleb Alfaro-Badilla, Alfonso Chacón-Rodríguez, and Carlos Salazar-García. "Optimizing big data network transfers in FPGA SoC clusters: TECbrain case study." In Latin American High Performance Computing Conference, pp. 49-62. Springer, Cham, 2019.

[9] S. Borkar, "Thousand core chips: a technology perspective", in Proceedings of the IEEE Design Automation Conference (DAC), pp. 746-749, 2007.

[10] R. F. Yazicioglu, T. Torfs, J. Penders, I. Romero, H. Kim, et. al., "Ultra- Low-Power Wearable Biopotential Sensor Nodes," IEEE EMBS conf., pp. 3205-3208, Sept. 2009

[11] Bayasi, N., Saleh, H., Mohammad, B., Ismail, M., & Microsystem, A. I. (2013). The Revolution of Glucose Monitoring Methods and, 92–93.

[12] Liu, J., Member, S., Harkin, J., Li, Y., Member, S., & Maguire, L. P. (2016). Fault-Tolerant Networks-on-Chip Routing With, 35(2), 260–273.

[13] M. Sawan, "Implantable Smart Medical Microsystems: Limits and Challenges," 2006 13th IEEE International Conference on Electronics, Circuits and Systems, Nice, 2006, pp. 522-524. doi: 10.1109/ICECS.2006.379840

[14] L. Benini and G. Micheli, "Networks on chips: A new SoC paradigm," in Computer, vol. 35, no. 1, pp. 70–78, Jan. 2002.

[15] D. De Venuto and A. S. Vincentelli, "Dr. Frankenstein's dream made possible: Implanted electronic devices," Design, Automation & Test in Europe Conference & Exhibition (DATE), 2013, Grenoble, France, 2013, pp. 1531-1536. doi: 10.7873/DATE.2013.311

[16] W. Dally and B. Towles, Principles and Practices of Interconnection Networks. Morgan Kaufmann, 2004.

[17] J. Duato, S. Yalmanchili, and L. Ni, Interconnection Networks: An Engineering Approach. Los Alamitos, CA: IEEE CS Press, 1997.

[18] P. Salihundam, S. Jain, T. Jacob et al., "A 2 tb/s 6×4 mesh network for a single-chip cloud computer with dvfs in 45 nm cmos," IEEE J. Solid-State Circuits, vol. 46, pp. 757–766, Apr. 2011.

[19] Nicopoulos, C., Narayanan, V., & Das, C. R. (2009). Network-on-Chip Architectures: A Holistic Design Exploration (Vol. 45). Springer Science & Business Media.

[20] Karkar, A., Mak, T., Tong, K., & Yakovlev, A. (2016). A Survey of Emerging Interconnects for On-Chip Efficient Multicast and Broadcast in Many- Cores.

[21] Huang, L., Wang, J., Member, S., & Ebrahimi, M. (2016). Non-Blocking Testing for Network-on-Chip, 65(3), 679–692.

- [22] Jean-Philippe Diguët. 2014. Self-Adaptive Network On Chips. In Proceedings of the 27th Symposium on Integrated Circuits and Systems Design (SBCCI '14). ACM, New York, NY, USA, , Article 24 , 6 pages. DOI=<http://dx.doi.org/10.1145/2660540.2660992>.
- [23] L. Huang, G. Li, X. Zhang and Z. Guo, "A low cost serious failure tolerance solution in unreliable NoCs," Communication Software and Networks (ICCSN), 2015 IEEE International Conference on, Chengdu, 2015, pp. 134-137. doi: 10.1109/ICCSN.2015.7296140
- [24] H. S. Kia, C. Ababei, S. Srinivasan and S. Jabeen, "A new scalable fault tolerant routing algorithm for networks-on-chip," 2015 IEEE 58th International Midwest Symposium on Circuits and Systems (MWSCAS), Fort Collins, CO, 2015, pp. 1-4. doi: 10.1109/MWSCAS.2015.7282047
- [25] R. Marculescu, "Networks-on-chip: the quest for on-chip fault-tolerant communication," VLSI, 2003. Proceedings. IEEE Computer Society Annual Symposium on, 2003, pp. 8-12. doi: 10.1109/ISVLSI.2003.1183347
- [26] T. Dumitras, S. Kerner, and R. Marculescu, "Towards on-chip fault-tolerant communication," in Proceedings of the Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 225-232, 2003.
- [27] D. Bertozzi, L. Benini, and G. De Micheli, "Low power error resilient encoding for on-chip data buses," in Proc. of the Design, Automation and Test in Europe Conference (DATE), pp. 102-109, 2002
- [28] K. Constantinides, S. Plaza, J. Blome, Z. Bin, V. Bertacco, S. Mahlke, T. Austin, and M. Orshansky, "BulletProof: A Defect-Tolerant CMP Switch Architecture," in Proceedings of the International Symposium on High-Performance Computer Architecture (HPCA), pp. 3-14, 2006.
- [29] Zhang, Zhen, et al. "An improved fault-tolerant routing algorithm for a Network-on-Chip derived with formal analysis." Science of Computer Programming (2016).
- [30] Schley, Gert, et al. "Reconfigurable fault tolerant routing for networks-on-chip with logical hierarchy." Computers & Electrical Engineering (2016).
- [31] Miorandi, Gabriele, et al. "Evolutionary vs. Revolutionary Interconnect Technologies for Future Low-Power Multi-Core Systems." Proceedings of the 1st International Workshop on Advanced Interconnect Solutions and Technologies for Emerging Computing Systems. ACM, 2016.
- [32] M. S. Abdelfattah and V. Betz, "Power Analysis of Embedded NoCs on FPGAs and Comparison With Custom Buses," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 24, no. 1, pp. 165-177, Jan. 2016. doi: 10.1109/TVLSI.2015.2397005
- [33] S. T. Muhammad, R. Ezz-Eldin, M. A. El-Moursy, A. A. El-Moursy and A. M. Refaat, "Traffic-Based Virtual Channel Activation for Low-Power NoC," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 23, no. 12, pp. 3029-3042, Dec. 2015. doi: 10.1109/TVLSI.2014.2387797
- [34] Zhaohui Song, Guangsheng Ma and Dalei Song, "Low power circuits for NoC-based SoC design," Solid-State and Integrated-Circuit Technology, 2008. ICSICT 2008. 9th International Conference on, Beijing, 2008, pp. 2180-2183. doi: 10.1109/ICSICT.2008.4735001
- [35] L. Chen, D. Zhu, M. Pedram and T. M. Pinkston, "Power punch: Towards non-blocking power-gating of NoC routers," 2015 IEEE 21st International Symposium on High Performance Computer Architecture (HPCA), Burlingame, CA, 2015, pp. 378-389. doi: 10.1109/HPCA.2015.7056048

- [36] S. T. Muhammad, M. A. El-Moursy, A. A. El-Moursy and A. M. Refaat, "Optimization for traffic-based virtual channel activation low-power NoC," Energy Aware Computing Systems & Applications (ICEAC), 2015 International Conference on, Cairo, 2015, pp. 1-4. doi: 10.1109/ICEAC.2015.7352169
- [37] Y. Jin, "Unifying Router Power Gating with Data Placement for Energy-Efficient NoC," Computer Architecture and High Performance Computing (SBAC-PAD), 2015 27th International Symposium on, Florianopolis, 2015, pp. 74-81. doi: 10.1109/SBAC-PAD.2015.21
- [38] E. Beigne et al., "An Asynchronous Power Aware and Adaptive NoC Based Circuit," in IEEE Journal of Solid-State Circuits, vol. 44, no. 4, pp. 1167-1177, April 2009. doi: 10.1109/JSSC.2009.2014206
- [39] F. Stas, A. K. Lusala, J. D. Legat and D. Bol, "Investigation of the routing algorithm in a De Bruijn-based NoC for low-power applications," Faible Tension Faible Consommation (FTFC), 2013 IEEE, Paris, 2013, pp. 1-4. doi: 10.1109/FTFC.2013.6577761
- [40] Chung-Kai Hsu, Kun-Lin Tsai, Jing-Fu Jheng, Shanq-Jang Ruan and Chung-An Shen, "A low power detection routing method for bufferless NoC," Quality Electronic Design (ISQED), 2013 14th International Symposium on, Santa Clara, CA, 2013, pp. 364-367. doi: 10.1109/ISQED.2013.6523636
- [41] W. Singh and S. Deb, "Energy Efficient and Congestion-Aware Router Design for Future NoCs," 2016 29th International Conference on VLSI Design and 2016 15th International Conference on Embedded Systems (VLSID), Kolkata, 2016, pp. 81-85. doi: 10.1109/VLSID.2016.98
- [42] C. Strydis, "Implantable microelectronic devices," Master's thesis, Delft University of Technology, Delft, Netherlands, 2012.
- [43] C. Strydis, "Universal processor architecture for biomedical implants": Thesis project, Ph.D. dissertation, Delft University of Technology, 2011

Publicaciones asociadas al Proyecto:

- [44] Ronny García-Ramírez, Gabriel Madrigal-Boza, Edgar Solera-Bolaños, Muhammad Ali Siddiqi, Christos Strydis, Alfonso Chacón-Rodríguez, and Renato Rimolo-Donadio, "**On the Review of Electronic Technologies Applied to Implantable Medical Devices**", Enviado a valoración, Revista Tecnología en Marcha, 2020.
- [45] R. García-Ramírez, "**Development of integrated electronics subsystems for low power and biomedical applications**". Tesis Doctoral. Instituto Tecnológico de Costa Rica, junio, 2020.
- [46] R. Garcia-Ramirez, A. Chacon-Rodriguez, C. Strydis, R. Rimolo-Donadio "**Pre-Synthesis Evaluation of Digital Bus Micro-Architectures**," 3rd IEEE CAS Conference on Ph.D. Research on Microelectronics and Electronics in Latin America 2020 (PRIME-LA), San Jose, Costa Rica, February 25-28, 2020.
- [47] Ronny Garcia-Ramirez, Alfonso Chacon-Rodriguez, Roberto Molina-Robles, Reinaldo Castro-Gonzalez, Egdar Solera-Bolanos, Gabriel Madrigal-Boza, Marco Oviedo-Hernandez, Diego Salazar-Sibaja, Dayhana Sanchez-Jimenez, Melissa Fonseca-Rodriguez, Johan Arrieta-Solorzano, Renato Rimolo-Donadio, Alfredo Arnaud, Matias Miguez, Joel Gak, "**Siwa: A custom RISC-V based system on chip (SOC) for low power medical applications**," Microelectronics Journal, volumen 98, April 2020.

- [48] R. Molina-Robles, E. Solera-Bolaños, R. Garcia-Ramirez, A. Chacon-Rodriguez, A. Arnaud and R. Rimolo-Donadio “**A compact functional verification flow for a RISC-V 32I based core**” 3rd IEEE CAS Conference on Ph.D. Research on Microelectronics and Electronics in Latin America 2020 (PRIME-LA), San Jose, Costa Rica, February 25-28, 2020.
- [49] C. Salazar-Garcia, J. Gonzalez-Gomez, K. Alfaro-Badilla, R. Garcia-Ramirez, R. Rimolo-Donadio, C. Strydis, and A. Chacon-Rodriguez “**PlasticNet: A low latency flexible network architecture for interconnected multi-FPGA systems,**” 3rd IEEE CAS Conference on Ph.D. Research on Microelectronics and Electronics in Latin America 2020 (PRIME-LA), San Jose, Costa Rica, February 25-28, 2020.
- [50] R. Garcia-Ramirez, A. Chacon-Rodriguez, R. Castro-Gonzalez, A. Arnaud, M. Miguez, J. Gak, R. Molina-Robles, G. Madrigal-Boza, M. Oviedo-Hernandez, E. Solera-Bolanos, D. Salazar-Sibaja, D. Sanchez-Jimenez, M. Fonseca-Rodriguez, J. Arrieta-Solorzano, and R. Rimolo-Donadio “**SIWA: a RISC-V 32I based Micro-Controller for Implantable Medical Applications,**” 11th IEEE Latin American Symposium on Circuits & Systems 2020 (LASCAS), San Jose, Costa Rica, February 25-28, 2020.
- [51] Arnaud, M. Miguez, J. Gak, R. Puyol, R. Garcia-Ramirez, E. Solera-Bolanos, R. Castro-González, R. Molina-Robles, A. Chacon-Rodriguez, R. Rimolo-Donadio “**A RISC-V based medical implantable SoC for high voltage and current tissue stimulus,**” 11th IEEE Latin American Symposium on Circuits & Systems 2020 (LASCAS), San Jose, Costa Rica, February 25-28, 2020.
- [52] Gabriel Madrigal, “**On-chip Interconnect Architectures for Implantable Medical Devices**” conclusión proyectada, II Semestre 2020.
- [53] Marco Oviedo, “**Desarrollo de una estructura de alimentación multivoltaje escalable para un microcontrolador basado en la arquitectura de set de instrucciones RISC-V (Siwa)**” Tesis de Maestría en electrónica. ITCR 2020.
- [54] Luis Martín Barquero Retana, **Diseño y Evaluación de Arquitecturas de Enrutador Basado en Tablas de Enrutamiento Estáticas Orientadas al uso en Network on Chip.** Proyecto de Graduación de Licenciatura en Ingeniería Electrónica, ITCR, 2018.
- [55] Johan Arrieta-Rivera. **Creación de un ambiente de verificación usando UVM para un bus AXI4-Lite para una arquitectura RISC-V de 32 bits.** Proyecto de Graduación de Licenciatura en Ingeniería Electrónica, ITCR, 2018.
- [56] Marco Oviedo, “**Desarrollo de una ALU optimizada para bajo consumo de potencia para un microprocesador RISC-V 32 I, en un proceso CMOS de 180nm**”. Proyecto de Graduación de Licenciatura en Ingeniería Electrónica, ITCR, 2018.
- [57] Gabriel Madrigal. **Diseño e implementación de un algoritmo de reconocimiento de patrones en señales biomédicas para su evaluación en un microprocesador basado en la Arquitectura de Set de Instrucciones RISC V.** Proyecto de Graduación de Licenciatura en Ingeniería Electrónica, ITCR, 2017.
- [58] Edgar Solera Bolaños. “**Caracterización y Comparación de las Arquitecturas de Unidades Centrales de Procesamiento Generadas en Rocketchip**”. Proyecto de Graduación de Licenciatura en Ingeniería Electrónica, ITCR, 2017.
- [59] R. Rimolo-Donadio, et al., “**Diseño e Implementación de Interfaces de Comunicación de Alta Velocidad para Dispositivos Médicos a la Medida**”, Propuesta de Proyecto de Investigación VIE, proyecto activo, 2019.

- [60] A. Chacón-Rodríguez, et al., **“Diseño de Arquitecturas Multinúcleo para Aplicaciones de Procesamiento Masivo de Datos,”** Propuesta de Proyecto de Investigación VIE, proyecto Activo. 2019.

Apéndices:

- **A.1 Publicaciones Asociadas al Proyecto**