

**INSTITUTO TECNOLÓGICO DE COSTA RICA
VICERRECTORÍA DE INVESTIGACIÓN Y EXTENSIÓN
DIRECCIÓN DE PROYECTOS**

Proyecto de Investigación
**“Diseño e Implementación de Interfaces de Comunicación de Alta
Velocidad para Dispositivos Médicos a la Medida”
(1360050)**

INFORME FINAL

(DOCUMENTO 1)

Dr. Alfonso Chacón Rodríguez,
Dr. Ronny García Ramírez,
Dr. Luis Ernesto Carrera Retana,
Dr. Carlos Adrián Salazar García,
M. Sc. Roberto Molina Robles,
Dr. Pablo Mendoza Ponce,
M. Sc. Sergio Arriola Valverde,
M. Sc. Aníbal Ruiz Barquero.

Renato Rímolo Donadio, Ingeniería Electrónica

Cartago, Julio 2023

1. Tabla de contenido

1. Tabla de contenido	2
2. Código y título del proyecto	3
3. Autores y Direcciones	3
4. Resumen	3
5. Introducción	4
6. Marco Teórico	5
7. Metodología	7
8. Resultados	7
9. Discusión y Conclusiones	14
Apéndices:	19
● A.1 Publicaciones Asociadas al Proyecto	19

2. Código y título del proyecto

Código 1360050

“Diseño e Implementación de Interfaces de Comunicación de Alta Velocidad para Dispositivos Médicos a la Medida”

3. Autores y Direcciones

Ronny García Ramírez, Ingeniería Electrónica, rgarcia@tec.ac.cr

Alfonso Chacón Rodríguez, Ingeniería Electrónica, alcahcon@tec.ac.cr

Roberto Carlos Molina Robles, Ingeniería Electrónica, rcmolina@tec.ac.cr

Dr. Pablo Mendoza Ponce, pmendoza@tec.ac.cr

M. Sc. Sergio Arriola Valverde, Ingeniería Electrónica, sarriola@tec.ac.cr

M. Sc. Aníbal Ruiz Barquero, Ingeniería Electrónica, aniruiz@tec.ac.cr

Dr. Carlos Adrián Salazar García, Área Académica de Mecatrónica, csalazar@tec.ac.cr

Luis Ernesto Carrera Retana, Escuela de Matemática, lecarrera@tec.ac.cr

Renato Rimolo Donadio, Ingeniería Electrónica, coordinador, rrimolo@tec.ac.cr

4. Resumen

Sistemas electrónicos modernos cuentan con múltiples interfaces para comunicarse tanto a nivel intra- como intersistema, las cuales deben trabajar a altas velocidades para poder cumplir con las demandas de desempeño y funcionalidad que impone el mercado electrónico contemporáneo. En el campo de aplicación de dispositivos médicos, esta funcionalidad es crítica debido a la necesidad de poder exportar en una forma eficiente y segura los datos de pacientes que estos sistemas recopilan, además de su monitorización constante para garantizar un buen funcionamiento. La cantidad de aplicaciones también se ha multiplicado con el advenimiento de sistemas de monitoreo personales, dispositivos médicos implantables (IMDs) y vestibles (“wearables”)

El objetivo de esta propuesta es desarrollar diseños propios para interfaces de comunicación eléctricas de alta velocidad alambradas a nivel de circuito integrado, basados en estándares modernos. Esto se va a realizar aplicando la metodología de diseño en ingeniería, con un acercamiento “top-down” para el diseño de circuitos integrados de alta velocidad en señal mixta, considerando el análisis de integridad de señales y potencia para las interconexiones y la validación formal tomando como referencia estándares comerciales.

Como productos de esta iniciativa con vinculación internacional, además de publicaciones científicas y múltiples enlaces con proyectos finales de Licenciatura, Maestría y Doctorado, se han concretado diseños que se podrían convertir en bloques de propiedad intelectual que pueden ser integrados a los diseños que se desarrollan en el laboratorio de circuitos integrados (DCI Lab) del Instituto Tecnológico de Costa Rica (ITCR). Así mismo, se han realizado contribuciones en las técnicas de modelado para estos sistemas de alta velocidad, incorporando macromodelado y la aplicación de técnicas semi-analíticas y de aprendizaje de máquina para la derivación de los modelos en el campo de integridad de señales.

Palabras Clave circuitos integrados, enlaces de comunicación eléctricos, enlaces seriales de alta velocidad, integridad de señales y potencia, dispositivos médicos.

5. Introducción

Los dispositivos electrónicos médicos representan un mercado en continuo crecimiento a nivel mundial debido a diversos factores tales como una mayor expectativa de vida de la población general, un mejor acceso a los servicios de salud y mejora de las tecnologías electrónicas, que han facilitado el desarrollo de aplicaciones complejas con altos niveles de precisión y bajo costo relativo [3]. Este segmento posee además una presencia importante en el sector industrial costarricense, con múltiples empresas de inversión extranjera y local instaladas, las cuales realizan inclusive tareas de diseño y desarrollo. Según CINDE [4], seis de las veinte empresas más importantes del sector biomédico están instaladas en el país. Para los dispositivos médicos, la comunicación entre sistemas es una funcionalidad crítica, que incide directamente en el desempeño global del sistema y finalmente su aceptación en el mercado. El desarrollo de interfaces de comunicación de alta velocidad es por tanto un campo importante y novedoso, pero en el que prácticamente no se ha incursionado a nivel nacional.

En esta propuesta se trabajó el desarrollo de diseños propios a nivel de circuito integrado para interfaces eléctricas de alta velocidad, que sean validadas hasta la etapa de implementación física. Esto conlleva además de los diseños, el desarrollo de las metodologías de modelado, análisis, y prueba, tanto a nivel de simulación como de laboratorio, lo que constituye un reto complejo donde el trabajo conjunto de varios campos del conocimiento en temas afines a la ingeniería electrónica y modelado matemático se deben orquestar.

En años recientes, la escuela de Ingeniería Electrónica ha incursionado en este tema con una serie de proyectos con colaboración internacional, en los que se trabaja en diversos temas alrededor de aplicaciones biomédicas: desarrollo de circuitos integrados para espectroscopía por impedancia eléctrica, interconexiones para dispositivos médicos implantables, desarrollo de procesadores para aplicaciones médicas y modelos de simulación para el cerebro. Para este tipo de desarrollos es indispensable contar con interfaces de comunicación en alta velocidad, que permitan la creación de sistemas funcionales prácticos que puedan servir como prototipos demostrativos con interés comercial.

Esta iniciativa se nutre además de la experiencia desarrollada por parte del equipo investigador en el campo de los circuitos integrados, que involucra la capacidad de diseñar, fabricar (mediante servicios externos) y validar prototipos reales a través de entornos de diseño y tecnologías comerciales. En el campo de las interfaces de comunicación también se ha avanzado en el establecimiento de metodologías de análisis y diseño de este tipo de enlaces en alta frecuencia bajo el tema de integridad de señales y potencia, al punto de poseer una capacidad instalada en términos de metodologías de análisis y diseño, paquetes de software y recursos de laboratorio capaces de caracterizar hasta 20 GHz. En estos temas se da continuidad con esta propuesta a tres de las colaboraciones activas con instituciones internacionales, de las cuales se han derivado múltiples productos de investigación e inclusive iniciativas con financiamiento externo.

Como producto de este proyecto, se lograron contribuciones en técnicas de macromodelado, diseño de interconexiones con técnicas tradicionales y aprendizaje de máquina, así como el desarrollo de diseños de circuitos y etapas para interfaces de alta velocidad tanto a nivel de circuito integrado como con FPGAs. Junto con el proyecto “Diseño de Arquitecturas Multinúcleo para Aplicaciones de Procesamiento Masivo de Datos”, se logró trabajar en las siguientes versiones del microprocesador SiWa y además se integraron exitosamente múltiples proyectos finales de licenciatura, maestría y doctorado, logrando 10 publicaciones indexadas ligadas al proyecto y otras cinco en colaboración con el proyecto de enlace.

6. Marco Teórico

Dispositivos médicos son la industria con mayor crecimiento dentro del área salud, impulsada por la innovación y tecnologías emergentes [5]. Dispositivos implantables y usables han venido ganando popularidad, ofreciendo diversas funcionalidades tales como monitoreo de signos vitales, niveles de azúcar en la sangre, monitoreo y estimulación nerviosa, entre muchos otros [1]-[2]. Estos dispositivos están en su mayoría orientados a recolectar información del usuario de una forma más intensiva para fines diagnósticos o médicos, por lo cual necesitan exportar estos datos de una manera eficiente y segura. Es por esto que las interfaces de comunicación que posean constituyen una funcionalidad clave.

Dentro de las posibilidades de comunicación existen acercamientos inalámbricos y alambrados. Los primeros tienden a ser más convenientes por no necesitar cables, pero son generalmente más lentos y menos seguros [6]. Sistemas electrónicos modernos hacen uso frecuente de protocolos alambrados para transferir grandes cantidades de información a alta velocidad, tanto para la comunicación interna del sistema como para comunicarse con otros dispositivos. Los enlaces alambrados tienen la ventaja de ofrecer un canal de comunicación más estable y por lo tanto pueden operar a mayores frecuencias, en comparación con el acercamiento sin cable, además de ofrecer mejores condiciones de seguridad al poseer un canal dedicado para el trasiego de los datos.

Interfaces de memoria y comunicación con periféricos tales como DDR, PCIe, USB, SATA, Fibre Channel, Thunderbolt, Ethernet, entre muchos otros, son estándares industriales que incluyen definiciones para links eléctricos que operan a velocidades de hasta 100 Gbps por canal [6-9]. Estos estándares han evolucionado a lo largo del tiempo, desde velocidades por debajo de un Gbps, hasta las velocidades actuales, que comúnmente superan los 10 Gbps y que en casi todos los casos están por encima de 5 Gbps. En el campo de sistemas biomédicos, diversos esfuerzos, como el estándar ISO/IEEE 11073 para dispositivos médicos personales [10], tratan de normar los requerimientos y protocolos en las capas altas de la comunicación para diversas aplicaciones. No obstante, la capa física está normalmente basada en estándares alambrados e inalámbricos de propósito general como los mencionados anteriormente.

Si bien existen en el mercado interfaces físicas comerciales [11] para estándares de alta velocidad que pueden ser aplicadas a sistemas médicos, su utilización implica la adquisición de bloques de propiedad intelectual a nivel de circuito integrado, los cuales son muy costosos, o circuitos de interfaz prefabricados, que permiten únicamente la integración heterogénea de los sistemas y resulta en soluciones voluminosas y de bajo desempeño. Esto impide alcanzar altas tasas de transferencia de datos y sistemas lo suficientemente compactos a un precio accesible. Este es el problema que se ataca en esta propuesta, creado por la necesidad de contar con diseños propios para las interfaces, que permitan hacer los desarrollos propios interoperables con otras tecnologías como computadores y dispositivos móviles.

El desarrollo de interfaces de comunicación es un esfuerzo multidisciplinario, que involucra el diseño de los circuitos, su validación a nivel de simulación (prefabricación) [12] y verificación física (posfabricación) [13], diseño de plataformas de interconexión, así como análisis de integridad de señales y potencia [14]-[15].

El proceso de diseño requiere una selección cuidadosa de los componentes del canal de comunicación físico (interconexiones) y de las interfaces a nivel de circuito integrado. Para los circuitos integrados típicamente se utilizan tecnológicas de transistores de efecto de campo complementarias (Complementary Metal Oxide Semiconductors, CMOS) [16]. Dado que las

tecnologías más avanzadas son muy costosas a la hora de fabricar, se utilizan tecnologías intermedias que puedan dar la velocidad requerida para la aplicación, pero con costos de fabricación más razonables. Estos procesos pueden tener tamaños mínimos del canal de los transistores entre 180 a 90 nanómetros.

Para los enlaces alambrados además se busca mitigar los efectos negativos del canal en alta frecuencia a través de técnicas activas con circuitos integrados a nivel de las unidades de transmisión y recepción. Diversos tipos de ecualización son comúnmente empleados, tales como ecualización directa (FFE), ecualización en tiempo continuo (CTLE) y ecualización por decisión realimentada (DFE) [17], [18]. Diferentes parámetros, como el número de etapas y la adaptación de estas, deben ser cuidadosamente diseñados para lograr esta compensación [19]. Adicionalmente, para mejorar el desempeño eléctrico se consideran técnicas de modulación, codificación y corrección de errores en el diseño de dichas etapas [20].

Como el trabajo a desarrollar involucra operación en frecuencias altas, los análisis se deben realizar evaluando la integridad de señales y potencia (SPI) a lo largo de todo el proceso. Este campo del conocimiento se encarga de analizar la adecuada transmisión de las señales y la alimentación eléctricas para el sistema, considerado estos efectos tanto a nivel de circuito como de interconexiones. Análisis y medición de parámetros S en el dominio de la frecuencia, caracterización en el dominio del tiempo con diagrama de ojo (Eye diagram), errores de temporización y mediciones de las tasas de errores (BER) son métricas comunes para poder cuantificar la degradación de las señales. Para la simulación se utilizan desde herramientas analógicas tipo SPICE, con la más baja eficiencia numérica, hasta modelos abstractos de las unidades de comunicación para simulaciones más veloces. Esto en conjunción con simuladores electromagnéticos de onda completa y software de diseño en RF [18].

La validación a nivel de simulación y verificación física de las interfaces es la otra área de conocimiento importante, en la cual se evalúan diversas métricas según el nivel del diseño a valorar. Durante las simulaciones previas a la fabricación se utilizan metodologías modernas de verificación funcional, tales como las metodologías de validación universal (Universal Validation Methodology, UVM), según se detalla en [12]. Para la validación posfabricación, se incorporan técnicas de diseño para comprobación (Design for Testing, DFT) según se vaya avanzado con las verificaciones funcionales primarias, que dependen de los estándares y complejidad de los dispositivos a evaluar [13]. Para esto, se utilizan estaciones de pruebas automatizadas para la validación posfabricación, tomando en cuenta los componentes de diseño para comprobación incluidos dentro del circuito integrado. Es importante mencionar que la Escuela de Ingeniería Electrónica cuenta con una estación de este tipo para poder realizar estas comprobaciones formales.

Las métricas utilizadas durante la validación a nivel de simulación y la verificación con mediciones reales, son equivalentes, pero se deben ejecutar bajo el plan de verificación formal, contemplando un esquema desarrollado de pruebas de cumplimiento (compliance tests) definido por los estándares [21]. Este tipo de prueba se debe basar en las especificaciones del estándar e involucra la implementación de bancos de pruebas reales y un conjunto de pruebas estructuradas para poder concluir si la interfaz es funcional y cumple con los requerimientos. Para esto se requiere equipo de alta frecuencia, capaz de medir entre 3 a 5 veces la frecuencia fundamental de operación de la interfaz (tasa de transferencia de datos entre dos), que incluye analizadores vectoriales, generadores y osciloscopios de alta frecuencia con sus respectivos aditamentos. Por ejemplo, si se desea caracterizar una interfaz de 5 Gbps, la frecuencia fundamental es 2.5 GHz y

el equipo por lo tanto debe tener un ancho de banda de al menos 7.5 GHz y deseablemente hasta 12.5 GHz [16].

La calibración de los equipos, diseño de accesos para las mediciones, y caracterización de las interconexiones son tareas que resolver antes de proceder con las pruebas de cumplimiento, debido a que se deben delimitar primer los alcances y tipos de canal físico que se incluyen en las pruebas de cumplimiento [22].

7. Metodología

Se utiliza un acercamiento de diseño en ingeniería en el cual primero se explora el estado del arte de las interfaces de alta velocidad, para luego proponer un marco de trabajo en las áreas de modelado, diseño e implementación/validación de prototipos.

En la parte del modelado se continuó trabajando en el desarrollo de metodologías para la validación de interfaces de alta velocidad, esfuerzo iniciado en proyectos anteriores, que culminó con aportes en técnicas de macromodelado, metodología de simulación y análisis para circuitos integrados de alta velocidad y sistemas de interconexiones. En estos trabajos se utilizó la misma metodología de diseño en ingeniería, escogiendo temas a desarrollar y diseñando los experimentos para validar las técnicas y proveer resultados con investigaciones científicas.

En la parte de interfaces de alta velocidad, se desarrollaron diseños partiendo de un acercamiento bottom-top, en el cual se trabajaron diversas etapas para culminar con el diseño de una interface serial de alta velocidad, la cual es implementable a nivel de circuito integrado, y un sistema de comunicación serial para aplicaciones de alta demanda de datos con FPGA. Debido a las limitaciones presupuestarias y retos de la pandemia, esta última fue la que puso ser llevada a hardware y ser validada con tarjetas de desarrollo de FPGA, mientras que la primera se dejó a nivel de diseño de circuito integrado, quedando para futuros proyectos su implementación física. Se seleccionó la tecnología comercial de circuitos integrados tipo CMOS. El proceso fue el xh018 de la empresa XFAB, una tecnología de 180 nm CMOS.

En la parte final del proyecto se trabajó en el rediseño del microprocesador Siwa, con el mismo acercamiento top-bottom usado en las versiones anteriores. La fabricación se llevó a través del servicio prototipado multiproyecto de Europractice, pero debido a atrasos con el sistema de compras y los tiempos para la fabricación de los prototipos y empaquetado, el prototipo llegó hasta junio a Costa Rica, quedando su validación para futuras iniciativas del DCILab.

8. Resultados

Los resultados del proyecto se pueden agrupar en cinco tipos de contribuciones: (1) el desarrollo de técnicas de macromodelado basado en el método de Loewner, (2) técnicas de análisis para integridad de señales y potencia, (3) técnicas de modelado para integridad de señales y potencia basado en aprendizaje de máquina, (4) diseño y metodologías para análisis de interfaces seriales de alta velocidad a nivel de circuito integrado, y (5), interfaces de comunicación a la medida para aplicaciones de procesamiento masivo, validada para comunicación entre FPGAs.

En el primer bloque, se trabajó con el framework de Loewner, como método alternativo a la tradicional solución de Vector Fitting y se realizaron contribuciones en como acondicionar el framework para problemas de integridad de señales y potencia, así como otras áreas de compatibilidad electromagnética. Los dos trabajos mas importantes en este esfuerzo están documentados como dos artículos de journal en el IEEE Transactions of Microwave Theory and Techniques T-MTT, el primero de ellos en lo relativo a crear macromodelos recíprocos [23], y el segundo en crear macromodelos estables [24]. Este trabajo, junto con contribuciones anteriores sobre el concatenado y evaluación de macromodelos está plasmado en el trabajo doctoral del Dr. Luis Ernesto Carrera [25], cuya fase principal se desarrolló enmarcado en este proyecto VIE. Se ilustra en la Fig. 1 un ejemplo de las respuestas a las cuales se aplica el macromodelado, las que usualmente responden a modelos de parámetros S de diversos sistemas de interconexión.

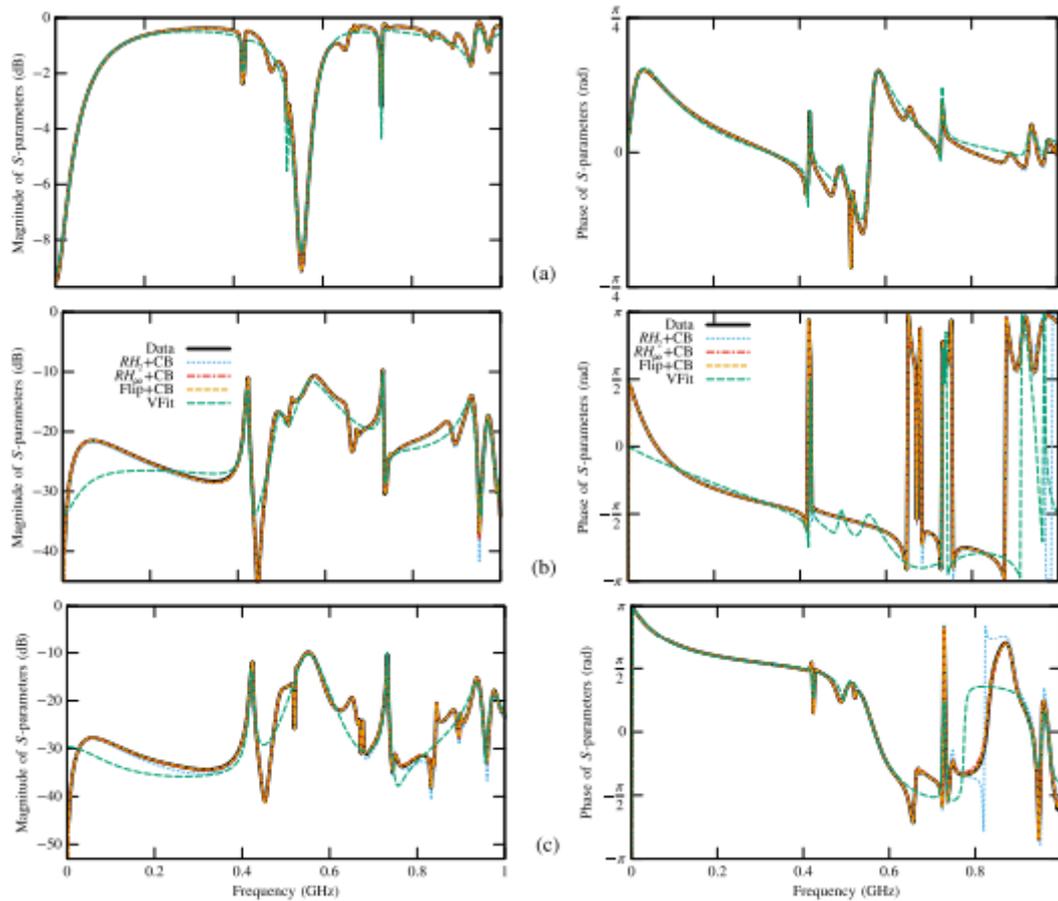


Figura 1: Ejemplo de respuestas macromodeladas, originalmente representadas como parámetros S tabulados en frecuencia, y posteriormente ajustados mediante la técnica de Loewner de [24].

El Segundo grupo de contribuciones trató problemas de integridad de señales para la optimización de canales de comunicación de alta velocidad, basado en el acercamiento semianalítico en combinación con técnicas de optimización. En [26] se describe y analiza el problema de via stub residuales en enlaces diferencias de alta velocidad (Fig. 2) y en [27] el problema de la optimización de caminos de interconexión en modo sencillo, para lograr parámetros de comunicación adecuados para la transmisión de señales (Fig. 3). De esta investigación se derivaron dos trabajos de Tesis, uno concluido [28] y otro en proceso de conclusión [29].

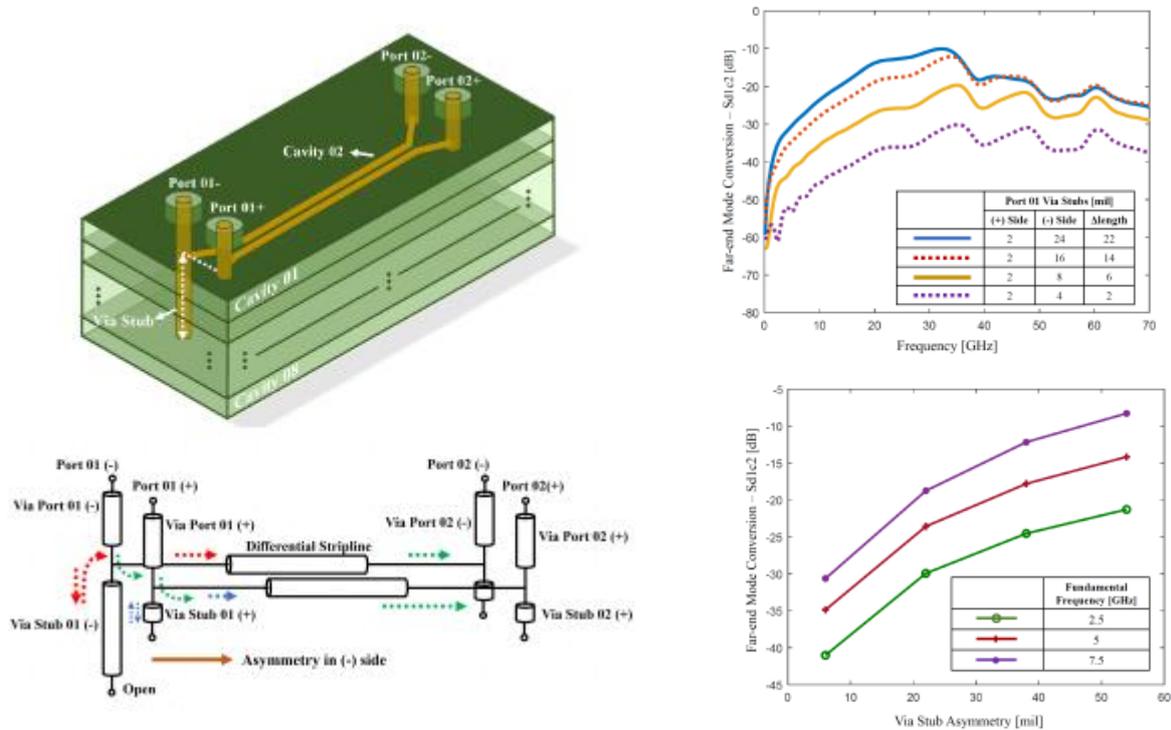


Figura 2: Ejemplo de análisis para vías remanentes en enlaces diferenciales, tomado de [26]. Se muestra a la izquierda el modelo de la configuración asimétrica y el efecto en términos de diafonía diferencial a la derecha.

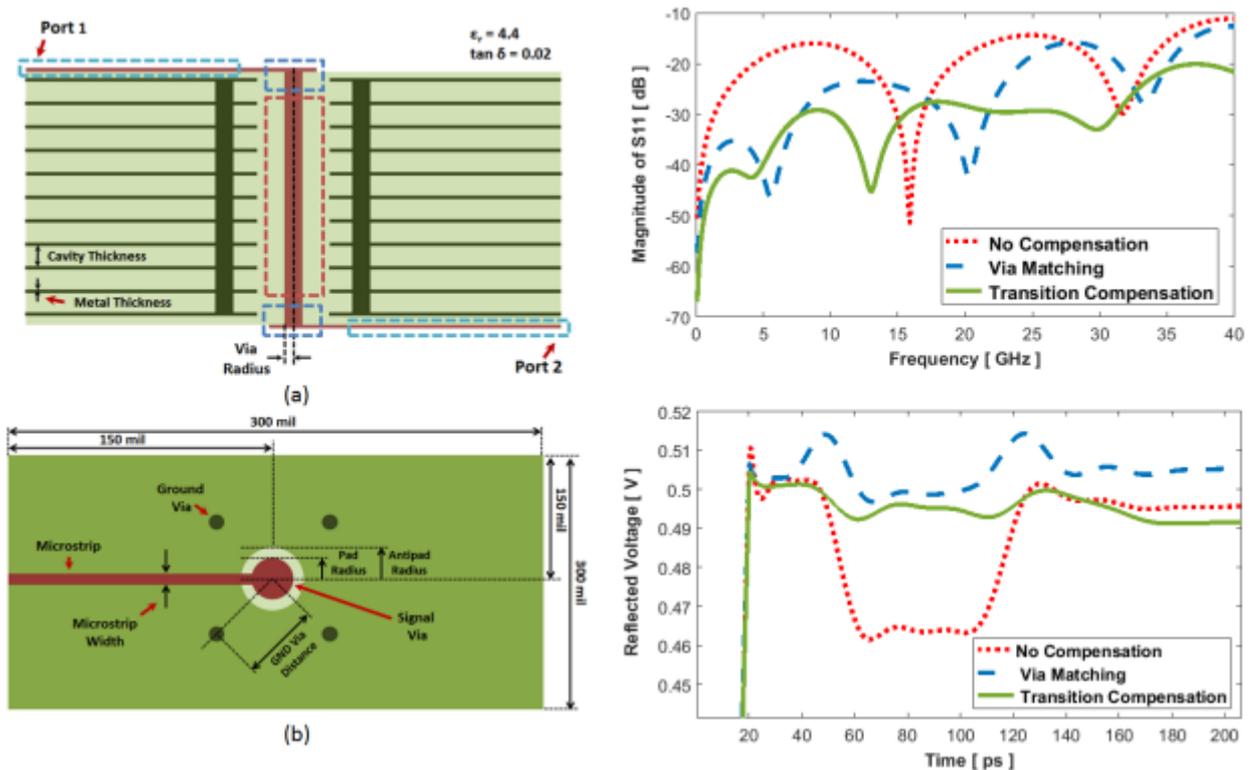


Figura 3: Ejemplo de análisis para transición de interconexión con vías, de [27]. Ejemplo de transición con vista lateral (a) y superior (b) y respuesta con y sin optimizar.

Al igual que con los trabajos anteriores, realizado en colaboración con la TUHH, el tercer grupo de contribuciones evolucionó desde la incorporación de técnicas de aprendizaje de máquina para el modelado de canales de interconexión, lo que permitió enlazar este proyecto con la primera base de datos abiertas para AI en el campo de SIP y EMC [30], como se ilustra en la fig. 4. Asimismo, se han realizado contribuciones en el mismo tema, para problemas de clasificación [31]-[32] y regresión [33], iniciativa que continua activa a la fecha de entrega de este informe, con una publicación en proceso de preparación para la segunda mitad del año.

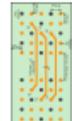
Sec.	Interconnect	Parameter Variations	No. of Cavities	No. of Ports	Frequency Range	Max. el. Length	No. of Simulations	Size of Data Set	Image
III-A	PWR/GND Plane PCB with 11x11 Via-Array [3], [4]	Nr. Capacitor Capacitance Cavity Height Permittivity	1	2	Start: 1 MHz Stop: 1 GHz Step: 3.33 MHz	2 λ	58 399	1.44 GB	
III-B	Link on 11 Cavity PCB with two 10x10 Via-Arrays [5]	Via Pitch Via Rad. Antipad Rad. Permittivity Loss tangent Cavity Height Trace Length	11	12	Start: 0.5 GHz Stop: 100 GHz Step: 0.5 GHz	79 λ	7031	2.56 GB	
III-B	Link on 8 Cavity PCB with two 10x10 Via-Arrays [5]	Via Pitch Via Rad. Antipad Rad. Permittivity Loss tangent Cavity Height Trace Length	8	12	Start: 0.5 GHz Stop: 100 GHz Step: 0.5 GHz	79 λ	7031	2.65 GB	
III-C	5x5 Via-Array on 10 Cavity PCB [6]	Antipad Rad. Pad Rad. Via Pitch Cavity Height Plate Thickness Permittivity Loss Tangent	10	34	Start: 1 GHz Stop: 40 GHz Step: 0.196 GHz	2.6 λ	5000	50.4 GB	
III-D	Link on 10 Cavity PCB with two 5x5 Via-Arrays [6]	Antipad Rad. Pad Rad. Via Pitch Cavity Height Permittivity Loss tangent Array Distance Trace Width	10	68	Start: 1 GHz Stop: 40 GHz Step: 0.196 GHz	59 λ	1500	57.2 GB	

Figura 4: Tabla resumen de algunos de los casos de la base de datos, tomado de [30]. La base de datos está disponible bajo [www.tet.tuhh.de/en/si – pi – database](http://www.tet.tuhh.de/en/si-pi-database).

La tercera fase del proyecto consistió en la implementación de una solución de interfaz a nivel de circuito integrado, alrededor de los desarrollos actuales en torno al procesador SiWa y basados en la tecnología de 180nm de XFAB. Bajo el concepto del bus serial universal, se propuso una arquitectura y se trabajaron los diferentes módulos funcionales, bajo la estructura que se ilustra en la Fig. 5.

Los diferentes bloques funcionales fueron implementados a nivel de modelo de postlayout, incluyendo el buffer elástico [34], los ecualizadores FFE/CTLE [35], circuitos de codificación [36], y de temporización [37]. Cabe destacar que con la tecnología de fabricación seleccionada no fue posible alcanzar las velocidades de 10 Gb/s especificadas en el estándar 3.0, por lo cual se basó el desarrollo para la compatibilidad con 2.0, quedando la mejora futura de los circuitos a la utilización de proceso de fabricación de nodo inferior, los cuales son más adecuados en interfaces de alta velocidad, pero con un costo mayor de prototipado.

Junto con el desarrollo se trabajó en las metodologías de modelado y simulación de las interfaces y circuitos asociados [38],[39], figuras 6-7, así como estructuras de prueba para la caracterización de los canales seriales [40],[41], los cuales fueron utilizadas en las validaciones en combinación con simulaciones a nivel de circuito integrado.

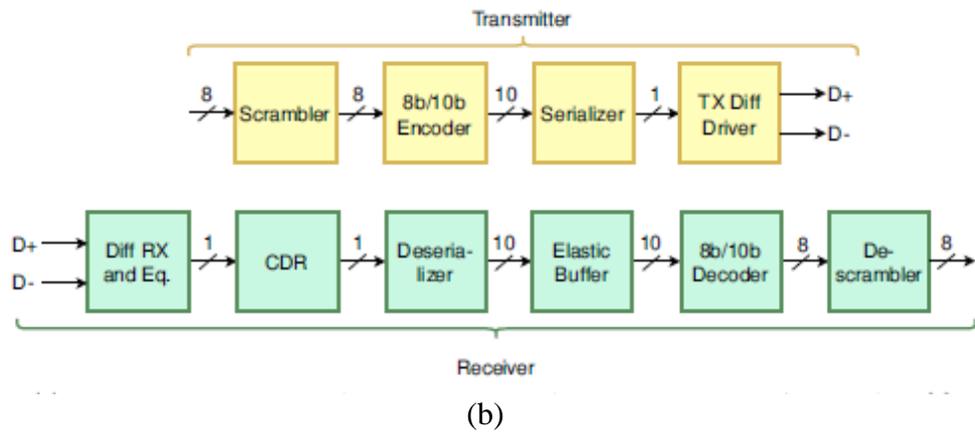
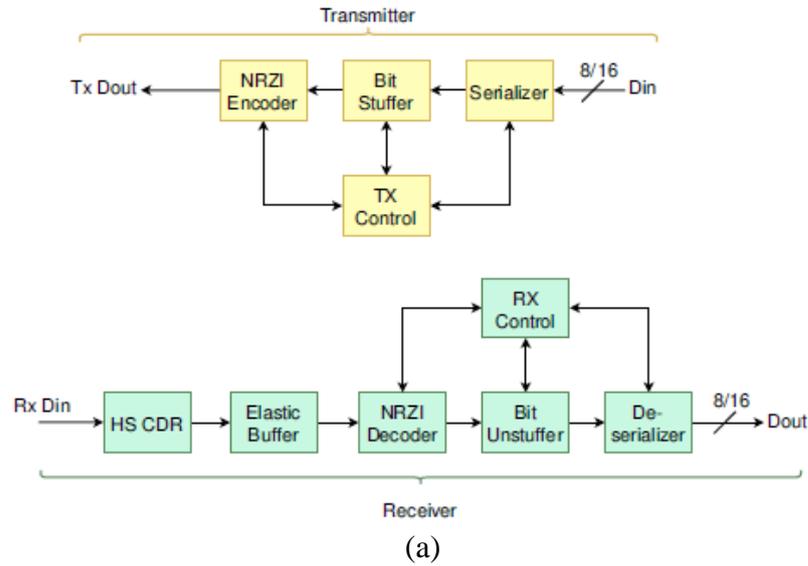


Figura 5: Estructura base de la arquitectura serial trabajada a nivel de circuito integrado, basado en la arquitectura de bus serial universal (USB), para la versión 2.0 (a) y 3.0 (b), tomado de [34].

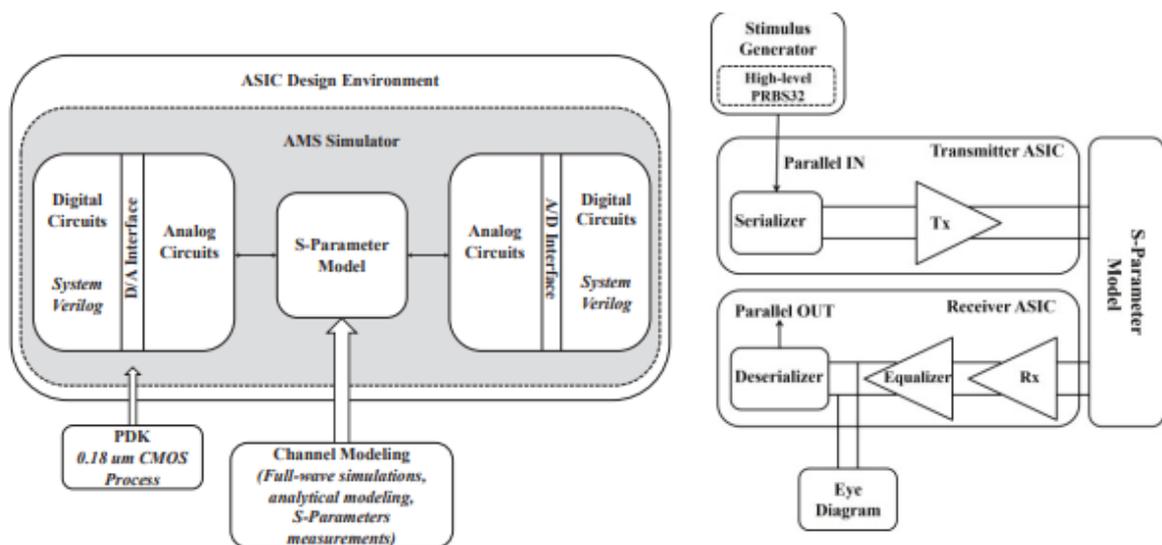


Figura 6: Metodología de simulación en señal mixta, y con modelos de parámetros S para enlaces seriales de alta velocidad. Tomado de [39].

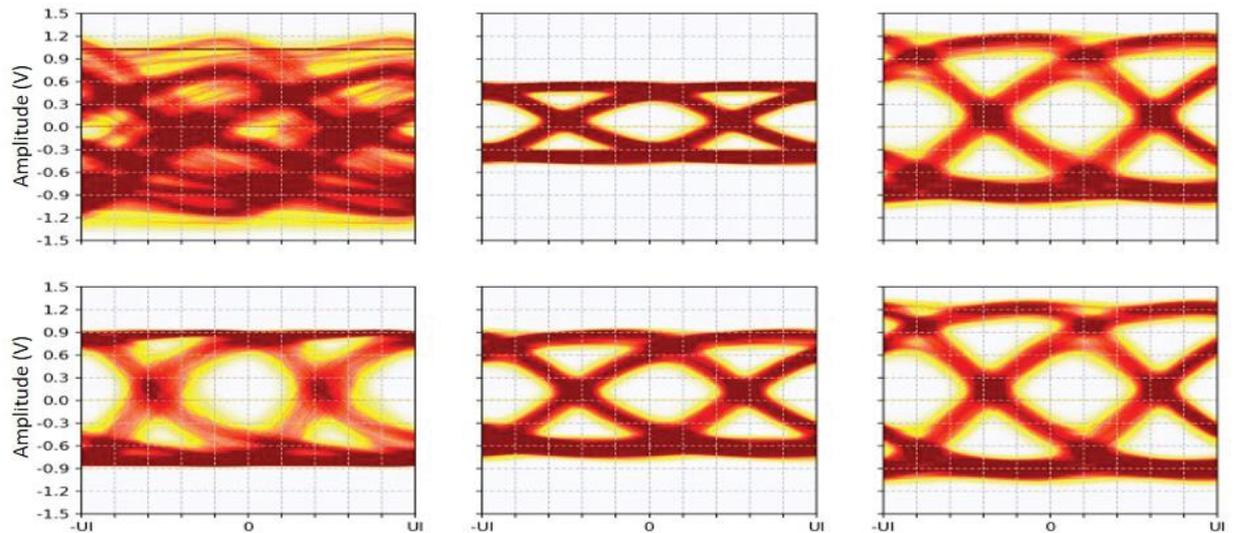


Figura 7: Resultados obtenidos para la simulación de canales seriales de alta velocidad con diferentes combinaciones de ecualización. Tomado de [39].

En el quinto grupo de contribuciones, se desarrollaron arquitecturas de comunicación seriales eficientes para sistemas con requerimiento alto de datos, las cuales fueron comprobadas a nivel de FPGA. Destaca la propuesta de un marco de trabajo a la medida [42], y las contribuciones con la interfaz propuesta PlasticNet [43]-[44]. En la figura 8 se ilustra el marco propuesto y un caso de prueba física con tarjetas de evaluación. Este trabajo está compilado en la Tesis Doctoral del Dr. Carlos Salazar, asociada con el presente proyecto y concluida el año anterior [45].

Estos trabajos han estado enlazados con el esfuerzo del desarrollo del microcontrolador SiWa, desarrollado completamente en el DCILab, concebido para aplicaciones biomédicas, y a través del cual se han diseñado dos nuevas generaciones de este. Trabajos en [46]-[49] han contribuido a diferentes aspectos en la comunicación y validación de este, lográndose hacia finales del año pasado enviar a fabricar el tercer diseño a través del servicio de Europractice en 65nm. Por diversos atrasos en la fabricación y empaquetado de las unidades, recién a finales de junio llegaron los prototipos físicos para ser evaluados, lo que se realizará en el contexto de las propuestas de investigación activas actualmente. Cabe destacar que el trabajo en lo relativo a SiWa y en las interfaces de comunicación serial para sistemas basados en FPGA se realizó como parte del proyecto doctoral del Dr. Ronny García, asociado al presente proyecto, colaboración con el proyecto VIE en [50] El trabajo reciente alrededor de SiWa es parte del trabajo doctoral del M. Sc. Roberto Molina, el cual también ha estado enlazado al presente proyecto y en espera de ser culminado a inicios del año 2024.

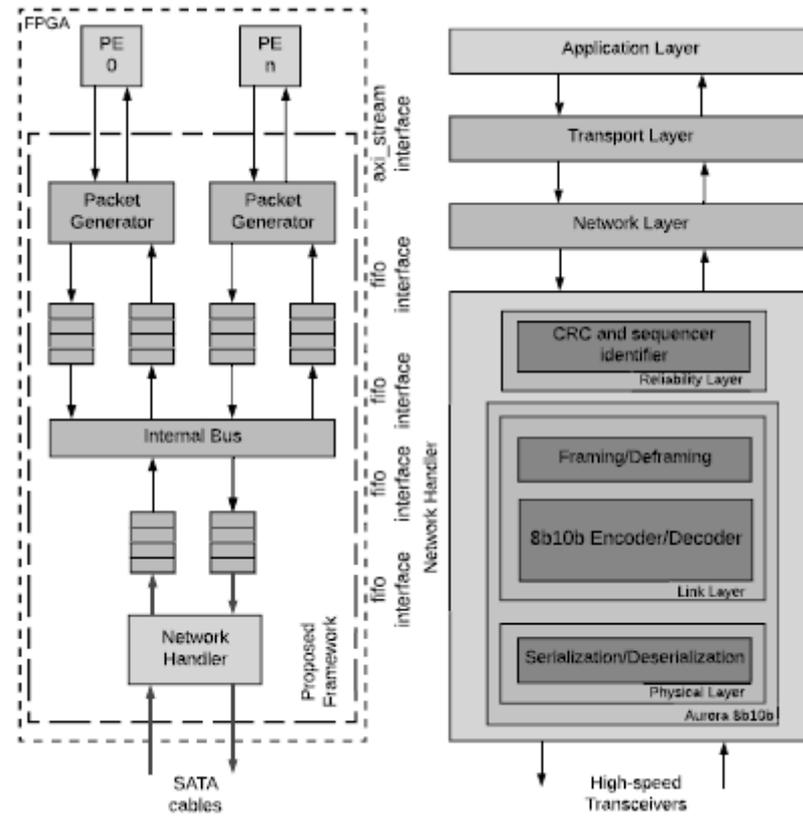
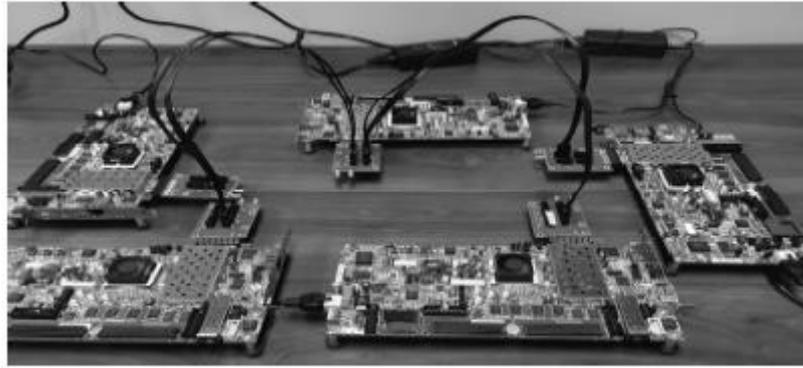


Figura 8: Framework de interconexión serial de alta velocidad, validado en sistemas multi-FPGA, tomado de [42].

9. Discusión y Conclusiones

En este proyecto se ha explorado el desarrollo de interfaces de comunicación de alta velocidad desde diferentes perspectivas, logrando aportes en diferentes campos del conocimiento: técnicas de macromodelado para SIPI, modelos de inteligencia artificial con redes neuronales para SI/PI, modelos de interconexiones con transiciones de vías, así como una propuesta de simulación a nivel de circuito integrado de este tipo de enlace. Adicionalmente se construyeron diversos diseños aplicables al estándar de bus serial universal, llegando hasta simulación luego del diseño físico, y una interfaz propia para interconexión eficiente de dispositivos basados en FPGA.

Se destaca el cumplimiento de los objetivos con múltiples productos de investigación adicionales a los propuestos originalmente:

- La continuidad, en colaboración con otros proyectos, al desarrollo de las siguientes generaciones del primer microprocesador totalmente diseñado en Costa Rica.
- La construcción de una base de datos abierta para técnicas de aprendizaje de máquina en aplicaciones de integridad de señales y potencia, en colaboración con la Universidad Técnica de Hamburgo [30].
- El desarrollo de técnicas de macromodelado novedosas, basadas en el Método de Loewner [23]-[24].
- El desarrollo de una metodología de simulación para canales seriales de alta velocidad a nivel de circuito integrado [39].
- Diseños a nivel de circuito integrado de interfaces de alta velocidad, plasmado en los trabajos [34]-[41].
- Diseño e implementación de una interfaz de comunicación a la medida entre FPGAs para aplicaciones de alta demanda de comunicación de datos [42]-[44].
- Diez publicaciones científicas indexadas [23],[24],[26],[27],[30],[31],[36],[38],[39],[43] y cinco [43]-[44],[46]-[48], en colaboración con otro proyecto paralelo colaborativo [50].
- La consolidación y conclusión de tres proyectos doctorales enlazados al proyecto [25],[45],[49] y uno en estado avanzado, dos proyectos de maestría [28],[34] (proyectados a cuatro para el final de año [29],[37]) y cinco proyectos de graduación de Licenciatura [32],[33],[35],[40],[41].

El proyecto fue clave para consolidar la colaboración con el centro médico Erasmus, la Universidad Católica en Uruguay, y la Universidad Técnica de Hamburgo en Alemania, con quienes se han realizado intercambios académicos y publicaciones conjuntas. El trabajo colaborativo continua con otras iniciativas en el campo de circuitos integrados e integridad de señales y potencia.

Referencias

- [1] S. Bhunia, S. Majerus, M. Sawan, “Implantable biomedical microsystems: design principles and applications”, William Andrew Pub., 2015.
- [2] T. Mastroianni and R. LeMoyné, “Wearable and Wireless Systems for Healthcare I”, Springer, 2017.
- [3] G. Baura, “Medical Device Technologies”, Academic Press, 2011.
- [4] Agencia de Promoción de inversiones en Costa Rica (CINDE), Sector Ciencias de la Vida, disponible en línea: <https://www.cinde.org/es/sectores/ciencias-de-la-vida>, 2018.
- [5] S. Collins, “A Must-Read Overview of the Medical Device Industry”, disponible en línea: <https://marketrealist.com/2015/11/must-read-overview-medical-device-industry>, noviembre 19, 2015.

- [6] J. Laskar, S. Chakraborty, A-V. Pham, and M. M. Tanzeris, “Advanced Integrated Communication Microsystems.” Wiley Series in Microwave and Optical Engineering, March 2009.
- [7] T. De Keulenaer, R. Pierco, and J De Geest, “100 GB/s Serial Transmission over Copper using Duobinary Signaling, Design Con, Santa Clara, California, January, 2016.
- [8] IEEE Standard for Ethernet, 802.3bj-2014, Amendment 2: Physical Layer Specifications and Management Parameters for 100 Gb/s Operation Over Backplanes and Copper Cables, WG802.3 Std., Sep. 2014.
- [9] Optical Internet Working Forum (available online)
<http://www.oiforum.com/public/currentprojects.html>. June 2015.
- [10] ISO/IEEE Standard 11073, “Personal health device communication”,
<https://www.iso.org/standard/61897.html>
- [11] L. E. Frenzel “Handbook of Serial Communications Interfaces”, Newnes, 2015.
- [12] A. B. Mehta, "ASIC/SoC Functional Design Verification: A Comprehensive Guide to Technologies and Methodologies", Springer, 2017.
- [13] L. Wang, C. E. Stroud, N. U. Touba, "System-on-Chip Test Architectures: Nanometer Design for Testability", Morgan Kaufmann, 2010.
- [14] B. Young, “Digital signal integrity: modeling and simulation with interconnect and packages,” London, U.K.: Prentice Hall Modern Semiconductors Design Series, 2000.
- [15] M. Swaminathan and A. Ege Engin, “Power integrity modeling and design for semiconductors and systems,” Upper Saddle River, NJ, USA: Prentice Hall, 2008.
- [16] R. J. Baker, ”CMOS circuit design, layout and simulation”, 3 Ed. , Wiley, 2010.
- [17] Gondi and B. Razavi, “Equalization and clock and data recovery techniques for 10-Gb/s CMOS serial-link receivers,” IEEE Journal of Solid-State Circuits, vol. 42, no. 9, pp. 1999–2011, Sep. 2007.
- [18] S. H. Hall, H. L. Heck, “Advanced Signal Integrity for High-Speed Digital Designs” Wiley, 2009.
- [19] T. Reuschel, J. B. Preibisch, K. Scharff, R. Rimolo-Donadio, X. Duan, Y. H. Kwark, and C. Schuster, “Efficient Prediction of Equalization Effort and Channel Performance for PCB-based data links, IEEE Transactions on Components, Packaging and Manufacturing Technology, Vol. 7, No. 11, 2017.
- [20] T. Beukema, “Design considerations for high-data-rate chip interconnect systems,” IEEE Communications Magazine, vol. 48, no. 10, pp. 174–183, October 2010.
- [21] D. Hong, K.-T- Cheng, “Efficient Test Methodologies for High-Speed Serial Links”, Springer, 2010.
- [22] D. Derickson, M. Mueller, “Digital Communications Test and Measurement” Prentice-Hall, 2007.

Publicaciones y trabajos asociados al proyecto:

- [23] L. E. Carrera, M. Marín-Sanchez, C. Schuster, and R. Rimolo-Donadio. “**Construction of Reciprocal Macromodels in the Lowener Matrix Framework,**” *IEEE Transactions on Microwave Theory and Techniques*, early access, February 2023.

- [24] L. E. Carrera, M. Marín-Sánchez, C. Schuster, and R. Rimolo-Donadio. “**Improving Accuracy After Stability Enforcement in the Loewner Matrix Framework,**” *IEEE Transactions on Microwave Theory and Techniques*, vol. 70, no. 2, 1037-1047, January 2022.
- [25] Dr. Luis Ernesto Carrera Retana. “**Extension and Application of the Loewner Macromodelling Framework for Electrical Integrity Analysis**” DOCINADE, énfasis de Tecnologías Electrónicas Aplicadas. Agosto, 2022. Prof. Tutor Dr. Renato Rimolo.
- [26] J. Cedeño-Chaves, K. Scharff, A. Carmona-Cruz, H.-D. Bruens, R. Rimolo-Donadio, and C. Schuster, “**Mode Conversion Due to Residual Via Stubs in Differential Signaling,**” in *Proc. 23rd IEEE Workshop on Signal and Power Integrity*, Chambéry, France, June 18-21, 2019.
- [27] A. Carmona-Cruz, K. Scharff, J. Cedeño-Chaves, H.-D. Bruens, R. Rimolo-Donadio, and C. Schuster, “**Via Transition Optimization Using a Domain Decomposition Approach,**” in *Proc. 23rd IEEE Workshop on Signal and Power Integrity*, Chambéry, France, June 18-21, 2019
- [28] M. Sc. Jonathan Cedeño Chaves. “**Analysis and Extension of Segmented Physics-Based Via Modeling for Microstrip Transitions and Differential Signaling.**” Master Thesis, ITCR. May 2022. Supervisor: Dr. Renato Rimolo.
- [29] Allan Carmona Cruz. “**Optimization of Black-Box Systems with High Computational Cost with Open Source Tools Applied in Signal Integrity**” . Master Thesis, ITCR. Conclusión proyectada, dic. 2023.
- [30] M. Schierholz, A. Sánchez-Masís, A. Carmona-Cruz, X. Duan, K. Roy, C. Yang, R. Rimolo-Donadío, and C. Schuster, “**SI/PI-Database of PCB-Based Interconnects for Machine Learning Applications**”, *IEEE Access* 9, 34423-34432, 2021.
- [31] A. Sánchez-Masís, A. Carmona-Cruz, M. Schierholz, X. Duan, K. Roy, C. Yang, R. Rimolo-Donadío, C. Schuster, “**ANN Hyperparameter Optimization by Genetic Algorithms for Via Interconnect Classification**”, Accepted, 25th IEEE Workshop on Signal and Power Integrity, Germany, 2021.
- [32] Allan Sánchez Masis, “**Parameterized modeling of complex interconnection systems on multilayer substrates through an Artificial Intelligence approach**”. Trabajo Final de Graduación para Licenciatura en Ingeniería Electrónica, Instituto Tecnológico de Costa Rica, 2020.
- [33] Edwin David Obando Venegas. “**Establecimiento de una metodología sistemática para la exploración de redes neuronales utilizadas en la caracterización de parámetros S de circuitos impresos**”. Trabajo Final de Graduación para Licenciatura en Ingeniería Electrónica, Instituto Tecnológico de Costa Rica, 2021.
- [34] M. Sc. Javier Aparicio Morales. “**Design of Elastic Buffers for USB Transceivers in a 180-nm CMOS process**”. Master Thesis, ITCR. September 2021. Supervisor: Dr. Renato Rimolo.
- [35] Andres Eduardo Quesada Martinez, “**Design and Development of an FFE Equalizer at Integrated Circuit Level for High-Speed USB Links**”. Trabajo Final de Graduación para Licenciatura en Ingeniería Electrónica, Instituto Tecnológico de Costa Rica, 2020.
- [36] Quesada-Martinez, J. Aparicio-Morales, J. Campos-Araya, A Chacon-Rodriguez, R. Garcia-Ramirez and R. Rimolo-Donadio “**Evaluation of 8b/10b FPGA Encoder Implementations for SerDes Links,**” *11th IEEE Latin American Symposium on Circuits & Systems 2020 (LASCAS)*, San Jose, Costa Rica, February 25-28, 2020.

- [37] Daniel León Gamboa. “Design of clocking and data recovery circuits in CMOS XFAB-0.18um technology for a USB 3.0 transceiver”. Master Thesis, ITCR. Conclusión proyectada, dic. 2023.
- [38] Malavasi and R. Rimolo-Donadio “**Voltage Drop Mitigation by Adaptive Voltage Scaling using Clock-Data Compensation,**” *11th IEEE Latin American Symposium on Circuits & Systems 2020 (LASCAS)*, San Jose, Costa Rica, February 25-28, 2020.
- [39] Gabriel Madrigal-Boza, Marco Oviedo-Hernández, Allan Carmona-Cruz, Luis A. Chavarría-Zamora, Daniel Leon-Gamboa, Daniel Kohkemper, Ronny Garcia-Ramírez, Alfonso Chacon-Rodriguez, and Renato Rimolo-Donadio, “**An IC Mixed-Signal Framework for Design, Optimization, and Verification of High-Speed Links,**” *11th IEEE Latin American Symposium on Circuits & Systems 2020 (LASCAS)*, San Jose, Costa Rica, February 25-28, 2020.
- [40] Gustavo Adolfo Fernández Masís. “**Diseño e implementación física de prototipos de prueba para sistemas de interconexión de alta velocidad**”. Trabajo Final de Graduación para Licenciatura en Ingeniería Electrónica, Instituto Tecnológico de Costa Rica, 2020.
- [41] Daniel Andres Leon Gamboa, **Diseño y Caracterización de Canales de Interconexión de Alta Velocidad para Estándar USB 3.0**. Trabajo Final de Graduación para Licenciatura en Ingeniería Electrónica, Instituto Tecnológico de Costa Rica, 2019
- [42] C. Salazar-García, A. Chacón Rodríguez, R. Rimolo-Donadio, R. García-Ramírez, D. Solórzano-Pacheco, J. González-Gómez, and C. Strydis, “**A custom interconnection multi-FPGA framework for distributed processing applications,**” *2022 35th SBC/SBMicro/IEEE/ACM Symposium on Integrated Circuits and Systems Design (SBCCI)*, Porto Alegre, Brazil, August 2022.
- [43] C. Salazar-García, R. García-Ramírez, R. Rimolo-Donadio, C. Strydis, and A. Chacón-Rodríguez, “**PlasticNet+: Extending Multi-FPGA Interconnect Architecture via Gigabit Transceivers**” *IEEE International Symposium on Circuits and Systems (ISCAS)*, Daegu, Korea, May 22-28, 2021.
- [44] C. Salazar-García, J. Gonzalez-Gomez, K. Alfaro-Badilla, R. Garcia-Ramirez, R. Rimolo-Donadio, C. Strydis, and A. Chacon-Rodriguez “**PlasticNet: A low latency flexible network architecture for interconnected multi-FPGA systems,**” *3rd IEEE CAS Conference on Ph.D. Research on Microelectronics and Electronics in Latin America 2020 (PRIME-LA)*, San Jose, Costa Rica, February 25-28, 2020.
- [45] Dr. Carlos Adrián Salazar García “**Development of an ultra-low latency multi-FPGA interconnection architecture for applications with high computational requirements**”. Doctorado en Ingeniería, ITCR, octubre 2022. Prof. Tutor Dr. Alfonso Chacón.
- [46] R. Molina-Robles, R. García-Ramírez, A. Chacón-Rodríguez, R. Rimolo-Donadio, and A. Arnaud, “**Low-level algorithm for a software-emulated I2C I/O module in general purpose RISC-V based microcontrollers,**” in *Proc. IEEE URUCON 2021*.
- [47] R. Molina-Robles, R. García-Ramírez, A. Chacón-Rodríguez, R. Rimolo-Donadio, and A. Arnaud, “**An affordable post-silicon testing framework applied to a RISC-V based microcontroller,**” *IEEE Latin America Electron Devices Conference (LAEDC)*, Mexico D.F., Mexico, April 19-21, 2021.
- [48] R. Molina-Robles, E. Solera-Bolaños, R. Garcia-Ramirez, A. Chacon-Rodriguez, A. Arnaud and R. Rimolo-Donadio “**A compact functional verification flow for a RISC-V 32I based core,**” *3rd IEEE CAS Conference on Ph.D. Research on Microelectronics and Electronics in Latin America 2020 (PRIME-LA)*, San Jose, Costa Rica, February 25-28, 2020.

- [49] Dr. Ronny García Ramírez, **“Development of Integrated Electronics Subsystems for Low Power and Biomedical Applications,”** Doctorado en Ingeniería, ITCR, junio 2020. Prof. Tutor. Renato Rimolo.
- [50] A. Chacón Rodríguez, et al. **“Diseño de Arquitecturas Multinúcleo para Aplicaciones de Procesamiento Masivo de Datos” (“Big Data”),** Proyecto VIE, 2022.

Apéndices:

- **A.1 Publicaciones Asociadas al Proyecto**