

**INSTITUTO TECNOLÓGICO DE COSTA RICA**  
**Escuela de Ingeniería Electrónica**  
**Maestría en Ingeniería Electrónica**

**Diseño de la sección analógica para un transpondedor  
RFID para su uso en conjunto con sensores  
implantables subcutáneos en animales**

para optar por el título de  
Máster en Ingeniería Electrónica  
con el grado académico de  
Magister Scientiae

**Fernando Ángel Porras Murillo**

Cartago, Marzo de 2024

This work is licensed under Attribution-NonCommercial-ShareAlike 4.0 International



**Instituto Tecnológico de Costa Rica  
Escuela de Ingeniería Electrónica  
Maestría Académica en Electrónica  
Trabajo Final de Graduación  
Tribunal Evaluador  
Acta de Aprobación de Tesis**

**Defensa del Trabajo Final de Graduación  
Requisito para optar por el título de Máster en Ingeniería Electrónica  
Grado Académico de Magister Scientiae**

El Tribunal Evaluador aprueba la defensa del Trabajo Final de Graduación denominado Diseño de la sección analógica para un transpondedor RFID para su uso en conjunto con sensores implantables subcutáneos en animales realizado por el señor Fernando Ángel Porras Murillo Carné:2022438312, y hace constar que cumple con las normas establecidas por la Unidad Interna de Posgrados de la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica

Miembros del Tribunal Evaluador

---

Dr.-Ing. Pablo Mendoza Ponce  
*Profesor Lector*

---

M.Sc. Roberto Molina Robles  
*Profesor Lector*

---

M.Sc. Gerardo Castro Jimenez  
*Evaluador Independiente*

---

Dr.-Ing. Juan José Montero Rodríguez  
*Director de Tesis*

Cartago, Marzo de 2024



## **Constancia de Defensa Pública de Proyecto de Graduación**

Proyecto de Graduación defendido públicamente ante el Tribunal Evaluador, integrado por los profesores Dr.-Ing. Juan José Montero Rodríguez, Dr.-Ing. Pablo Mendoza Ponce, M.Sc. Roberto Molina Robles, M.Sc. Gerardo Castro Jimenez, como requisito parcial para optar por el grado de Magister Scientiae, del Instituto Tecnológico de Costa Rica.

---

Dr.-Ing. Pablo Mendoza Ponce  
*Profesor Lector*

---

M.Sc. Roberto Molina Robles  
*Profesor Lector*

---

M.Sc. Gerardo Castro Jimenez  
*Evaluador Independiente*

---

Dr.-Ing. Juan José Montero Rodríguez  
*Director de Tesis*



## Resumen

Este trabajo de tesis muestra el proceso de diseño de los siguientes componentes de la interfaz analógica de un transpondedor RFID, el rectificador, el modulador y el demodulador. Primero detalla los parámetros de diseño y las limitaciones, en este caso la distancia de operación nominal es de aproximadamente 3 metros para la frecuencia portadora de 915 MHz, el estándar usado como base es el EPC generación 2 que puede tener tasas de datos de hasta 320 KHz.

Luego muestra el diseño del rectificador (tipo DDR), donde se usan simulaciones paramétricas para diseñar los anchos y el número de etapas más apropiado según la eficiencia y la conversión de tensión, en este caso el número de etapas seleccionado es de 3, los transistores NMOS tienen un ancho de  $20 \mu\text{m}$  y los PMOS un ancho de  $12 \mu\text{m}$ .

El diseño del demodulador se enfoca en el diseño de un comparador con histéresis, en este la referencia depende de la entrada, para lograrlo la señal envolvente detectada con una etapa de rectificación DDR es recibida por un circuito que calcula una aproximación del valor promedio, luego el comparador detecta la presencia o ausencia de bits por lo que el esquema de demodulación es ASK, esta señal se envía al bloque digital.

El diseño del modulador consiste en un transistor NMOS conectado entre las terminales de la antena, al modular la impedancia del transistor la señal que proviene desde el lector es reflejada en distinta proporción, el ancho del transistor es de  $3,82 \mu\text{m}$ . La señal de control de modulación proviene desde el bloque digital que se encarga de manejar el protocolo y procesamiento.

Finalmente se muestra el diseño del layout donde se puede apreciar su correcto funcionamiento, los elementos parasíticos afectan la impedancia de entrada del rectificador pero la funcionalidad no es alterada, el diseño trata de ahorrar área y proveer facilidad de integración para trabajos futuros.

**Palabras claves:** *identificación por radiofrecuencia, Circuitos integrados de aplicación específica, microelectrónica de ultra-bajo consumo, dispositivos electrónicos implantables, RFID, ASIC.*



## Abstract

This theses details the design process of the following components of the analog-front-end of an RFID tag, the rectifier, the modulator and the demodulator. It first shows the selection of parameters and the limitations, in this case the nominal distance of operation from the reader is 3 m and the carrier frequency is 915 MHz, it's based on the EPC generation 2 standard which supports rates of up to 320 kHz.

It then describes the design of the DDR rectifier where parametric simulations are used to select the appropriate number of stages and also the width of the transistors based on the efficiency and the voltage conversion efficiency. The result is 3 stages, the width of the NMOS is 20  $\mu\text{m}$  and the width of the PMOS is 12  $\mu\text{m}$ .

After the rectifier, the design of the demodulator is presented, the main focus is the design of the hysteresis comparator. The reference input is obtained from the approximate average of the detected envelope of the input signal, this envelope is obtained with a DDR rectifier stage, the output is high if a bit is present or low if there's no bit present, this is an ASK demodulator.

The modulator design consists of a transistor connected in parallel with the antenna terminals, modulating the impedance of this transistor results in a change of the proportion of reflection energy coming from the reader signal allowing the modulator to transmit binary data. The width of the transistor is 3,82  $\mu\text{m}$ . The control signal for the modulator is taken from the digital section of the design.

Lastly the layout design is described, the post layout simulation shows that the behavior is correct, the additional parasitic elements modify the input impedance to the rectifier but they don't alter the functionality, the layout design is designed in such a way that it reduces the area and provides ease of integration for future work.

**Keywords:** *ASIC,RFID,Implantable devices,low power consumption.*



*A mis hermanos, mi hermana, madre y las personas que me ayudaron durante este proceso.*



# Índice general

<b>Índice general</b>	<b>xiii</b>
<b>Índice de figuras</b>	<b>xv</b>
<b>Índice de cuadros</b>	<b>xviii</b>
<b>1 Introducción</b>	<b>1</b>
1.1. Introducción . . . . .	1
1.1.1. Funcionamiento y Aplicaciones . . . . .	1
1.1.2. Antecedentes . . . . .	2
1.1.3. Estándares para los sistemas de RFID . . . . .	4
1.1.4. Aportes, justificación y alcance de la investigación . . . . .	4
1.1.5. Requerimientos del diseño . . . . .	5
1.2. Objetivos . . . . .	5
<b>2 Métodos y herramientas</b>	<b>9</b>
2.1. Métodos y herramientas para la investigación . . . . .	9
<b>3 Sección analógica de un transpondedor RFID</b>	<b>11</b>
3.1. Funcionamiento de la sección analógica del transpondedor . . . . .	11
3.2. Rectificador para cosechar energía . . . . .	12
3.3. Modulador por retrodispersión para el AFE . . . . .	13
3.4. Demodulador ASK para el AFE . . . . .	15
3.5. Protección contra ESD . . . . .	17
<b>4 Requerimientos</b>	<b>21</b>
4.1. Requerimientos del rectificador . . . . .	21
4.2. Requerimientos del demodulador . . . . .	27
4.3. Requerimientos del modulador . . . . .	28
<b>5 Diseño del rectificador</b>	<b>31</b>
5.1. Diseño del rectificador . . . . .	31

5.2.	Efectos de la resistencia de radiación de la antena . . . . .	34
5.3.	Operación con un capacitor de almacenamiento . . . . .	37
5.4.	Análisis de la impedancia de entrada del rectificador . . . . .	37
<b>6</b>	<b>Diseño del demodulador</b>	<b>41</b>
6.1.	Diseño del demodulador . . . . .	41
6.2.	Diseño del circuito de polarización . . . . .	51
<b>7</b>	<b>Diseño del modulador</b>	<b>57</b>
7.1.	Diseño del Modulador por retrodispersión . . . . .	57
7.2.	Funcionamiento temporal del modulador de retrodispersión . . . . .	57
<b>8</b>	<b>Diseño del layout</b>	<b>63</b>
8.1.	Diseño del rectificador . . . . .	63
8.2.	Diseño del demodulador . . . . .	66
8.3.	Diseño del modulador . . . . .	68
8.4.	Funcionamiento del AFE . . . . .	69
<b>9</b>	<b>Discusión</b>	<b>71</b>
9.1.	Rectificador . . . . .	71
9.2.	Demodulador . . . . .	71
9.3.	Modulador . . . . .	72
9.4.	Layout del circuito . . . . .	72
9.5.	Resumen de resultados . . . . .	73
<b>10</b>	<b>Conclusiones</b>	<b>75</b>
<b>11</b>	<b>Trabajo futuro</b>	<b>77</b>
	<b>Bibliografía</b>	<b>79</b>

# Índice de figuras

1.1. Sistema de comunicación RFID que incluye el transpondedor y la estación base (o lector), en inglés base station. [27] . . . . .	2
1.2. Tipos de comunicación y transmisión de potencia posibles para los transpondedores pasivos en donde uplink es el enlace de lector a transpondedor y el uplink es el enlace del transpondedor al lector [27]. . . . .	3
1.3. Árbol de objetivos para esta investigación . . . . .	6
1.4. Árbol de problemas para esta investigación . . . . .	8
3.1. Arquitectura general para un transpondedor RFID pasivo [39] . . . . .	12
3.2. Circuito rectificador para el AFE, una etapa [22]. . . . .	13
3.3. Funcionamiento del DDR [22]. . . . .	14
3.4. Sistema de modulación por retrodispersión y modelo de la antena [12]. . . . .	15
3.5. Modulador por retrodispersión sin buffer [39] . . . . .	16
3.6. Diseño de un modulador para retrodispersión con buffer y un demodulador ASK [17] . . . . .	16
3.7. Diseño de un demodulador ASK, contiene un detector de envolvente, un integrador y un comparador con histéresis [13]. . . . .	17
3.8. Circuito de protección contra ESD [35]. . . . .	18
3.9. Circuito de protección contra ESD con más diodos [35]. . . . .	18
3.10. Circuito de protección contra ESD completo con un clamp de alimentación [35]. . . . .	19
3.11. Red de protección contra ESD [35]. . . . .	19
3.12. Circuito de clamp dinámico para pines de alimentación [30]. . . . .	20
3.13. Circuito de clamp para pines de alimentación [34]. . . . .	20
4.1. Potencia recibida para frecuencias de 915 MHz y 13,56 MHz como función de la distancia entre el emisor y receptor según la fórmula de Friis. . . . .	22
4.2. Magnitud de la FFT de la impedancia de entrada del rectificador con una frecuencia de 13,56 MHz, para transistores NMOS de ancho $60\mu\text{m}$ y PMOS de ancho $120\mu\text{m}$ ambos con el largo mínimo de 180 nm, la magnitud máxima corresponde a la frecuencia de interés. . . . .	23

4.3.	Fase de la impedancia de entrada para la corriente de entrada del rectificador con una frecuencia de 13,56 MHz, para transistores NMOS de ancho $60\mu\text{m}$ y PMOS de ancho $120\mu\text{m}$ ambos con el largo mínimo de 180 nm, el valor marcado corresponde a la frecuencia de interés. . . . .	23
4.4.	Fase de la FFT de la corriente de entrada del rectificador con una frecuencia de 13,56 MHz, para transistores NMOS de ancho $60\mu\text{m}$ y PMOS de ancho $120\mu\text{m}$ ambos con el largo mínimo de 180 nm, la magnitud máxima corresponde a la frecuencia de interés. . . . .	24
4.5.	Fase de la impedancia de entrada para la corriente de entrada del rectificador con una frecuencia de 13,56 MHz, para transistores NMOS de ancho $60\mu\text{m}$ y PMOS de ancho $120\mu\text{m}$ ambos con el largo mínimo de 180 nm, el valor marcado corresponde a la frecuencia de interés. . . . .	24
4.6.	Tensión de salida del rectificador usando una frecuencia de entrada de 915 MHz, para el mismo circuito de la Figura 4.2. . . . .	25
4.7.	Tensión de salida del rectificador usando una frecuencia de entrada de 13,56 MHz con el mismo circuito de la Figura 4.2. . . . .	26
4.8.	Circuito rectificador usado para las mediciones del capítulo 4. . . . .	27
4.9.	Diseño de un modulador para retrodispersión con buffer y un demodulador ASK [17] . . . . .	28
4.10.	Principio de modulación por retrodispersión [26] . . . . .	29
4.11.	Modelo del transpondedor y la antena [26] . . . . .	29
5.1.	Variación de la PCE para un rectificador diferencial, mostrando los resultados para distintos números de etapas, como función del ancho de los transistores con un $W_p/W_n$ de 1.3 . . . . .	32
5.2.	Variación de la PCE para un rectificador diferencial de 3 etapas, como función de $W_p/W_n$ . . . . .	33
5.3.	Variación de la VCE y PCE para un rectificador de 3 etapas como función del ancho de los transistores para una entrada de $V_p$ 2 V . . . . .	34
5.4.	PCE como función de la potencia de entrada al transpondedor para el rectificador de 3 etapas diseñado . . . . .	35
5.5.	Diseño de la etapa de rectificación diferencial . . . . .	35
5.6.	Diseño del rectificador de 3 etapas . . . . .	36
5.7.	Parte real de la impedancia de entrada del rectificador diferencial de 3 etapas . . . . .	38
5.8.	Parte imaginaria de la impedancia de entrada del rectificador diferencial de 3 etapas . . . . .	38
6.1.	PCE y VCE del detector de envolvente como función del ancho de los transistores NMOS . . . . .	42
6.2.	PCE y VCE del detector de envolvente como función de la razón de los transistores . . . . .	42
6.3.	Comparador sin histéresis diseñado . . . . .	43
6.4.	Respuesta en el tiempo del comparador para $V_{icm}$ de 0,15, sin histéresis . . . . .	44
6.5.	Respuesta en el tiempo del comparador sin histéresis para un valor intermedio de $V_{icm}$ . . . . .	44
6.6.	Respuesta en el tiempo del comparador para $V_{icm}$ de 0,9 V, sin histéresis . . . . .	45
6.7.	Respuesta en frecuencia del comparador sin histéresis, magnitud . . . . .	45

6.8.	Respuesta en frecuencia del comparador sin histéresis, fase . . . . .	46
6.9.	Comparador con histéresis usado en el demodulador . . . . .	47
6.10.	Respuesta en el tiempo del comparador . . . . .	47
6.11.	Respuesta de transferencia del comparador mostrando la histéresis . . . . .	48
6.12.	Respuesta en frecuencia del filtro RC de segundo orden . . . . .	49
6.13.	Circuito demodulador . . . . .	49
6.14.	Respuesta en el tiempo del demodulador . . . . .	50
6.15.	Entrada del demodulador superpuesta con la envolvente procesada . . . . .	50
6.16.	Envolvente detectada sin filtrar . . . . .	51
6.17.	Referencia de corriente independiente de la fuente de alimentación para polarizar el comparador . . . . .	52
6.18.	Corriente de polarización y la respuesta causada por el circuito de inicio . . . . .	53
6.19.	Tensión de salida del circuito de polarización . . . . .	53
6.20.	Tensión de compuerta del transistor M2 del circuito de polarización . . . . .	54
6.21.	Corriente del circuito de arranque . . . . .	54
6.22.	Variación de la tensión de salida del circuito de polarización como función del valor de resistencia del resistor R28 . . . . .	55
7.1.	Diseño del modulador ASK por retrodispersión y un circuito de bufer . . . . .	58
7.2.	Magnitud del coeficiente de reflexión para el modulador por retrodispersión . . . . .	58
7.3.	Fase del coeficiente de reflexión para el modulador por retrodispersión . . . . .	59
7.4.	Respuesta en el tiempo del modulador por retrodispersión al cambiar el estado de la modulación . . . . .	59
7.5.	Potencia en las terminales de salida del modulador por retrodispersión . . . . .	60
7.6.	Impedancia del modulador cuando el transistor M4 está encendido . . . . .	60
7.7.	Impedancia del modulador cuando el transistor M4 está apagado . . . . .	61
8.1.	Layout de una etapa de rectificación. . . . .	63
8.2.	Layout del rectificador. . . . .	64
8.3.	Resultados post-layout del rectificador. . . . .	64
8.4.	Parte imaginaria de la impedancia de entrada del rectificador. . . . .	65
8.5.	Parte real de la impedancia de entrada del rectificador. . . . .	65
8.6.	Layout del comparador. . . . .	66
8.7.	Layout de la celda de polarización. . . . .	66
8.8.	Layout del detector de envolvente. . . . .	67
8.9.	Layout del demodulador. . . . .	67
8.10.	Resultados post-layout del demodulador. . . . .	68
8.11.	Layout del modulador . . . . .	68
8.12.	Resultados post-layout del modulador . . . . .	69
8.13.	Funcionamiento del demodulador y del rectificador en conjunto . . . . .	69
8.14.	Funcionamiento del modulador y rectificador en conjunto . . . . .	70

# Índice de cuadros

2.1. Matriz de actividades para los objetivos de esta investigación . . . . .	10
4.1. Requisitos del rectificador diferencial . . . . .	26
6.1. Requisitos del comparador . . . . .	43
9.1. Resumen de resultados del diseño para una entrada de $804 \mu\text{W}$ , PCE de aproximadamente 0,58 . . . . .	73

## CAPÍTULO 1

# INTRODUCCIÓN

## 1.1. Introducción

### 1.1.1. Funcionamiento y Aplicaciones

La tecnología de identificación por radiofrecuencia (RFID) es usada ampliamente en comercios, logística, control de acceso y otras aplicaciones cotidianas [7] en donde se han aplicado desde hace décadas [21], pero en la actualidad usos más sofisticados están siendo investigados, como en la transmisión de los datos de sensores implantables (y sus fuentes de energía) [32] y el uso de algoritmos de machine learning para optimizar el consumo de potencia y la identificación de datos [18]. La estructura moderna de un sistema moderno de RFID es bien conocida, debido a que funciona de forma inalámbrica se necesitan al menos dos dispositivos para el funcionamiento completo, el lector o estación base (también llamado interrogador, para hacer explícito que puede leer datos y proporcionar comandos) y el transpondedor (muchas veces llamado etiqueta, proveniente de la palabra inglesa tag) [27, pp. 10-14] como muestro en la figura 1.1. El elemento remoto (transpondedor) se puede energizar con una señal electromagnética proveída por el lector, en este caso necesita incluir un sistema de cosecha de energía o también puede utilizar una batería para funcionar o utilizar una combinación de ambos [27, pp. 19-22]. Un transpondedor es llamado pasivo si no cuenta con un transmisor de radiofrecuencia por lo tanto debe usar una señal provista por el lector para comunicarse, si el transpondedor cuenta con un transmisor (y puede generar sus propias señales de radiofrecuencia) es llamado activo, los transpondedores pasivos son los más comunes [27, p. 25]. Los transpondedores pasivos sin baterías necesitan cosechar energía, en general hay dos opciones para hacerlo, acople inductivo, que funciona a distancias pequeñas y acople por radiofrecuencia [7], el conjunto de todos los módulos analógicos del transpondedor, que se encargan de la recepción, transmisión y condicionamiento de la señal, generación de fuentes de tensión y referencias, generación del reloj y cosecha de energía se llama AFE (por el inglés analog front-end).

Los transpondedores pasivos poseen muchas características deseables como reducción de tamaño, complejidad y costo lo que los convierte en candidatos ideales para sistemas de sensado remoto donde es deseable no requerir la inclusión de baterías que necesitarían ser reemplazadas o recargadas periódicamente y también permiten el acceso para medir variables en espacios pequeños o de difícil acceso porque no requieren tener una línea de vista para poder transmitir

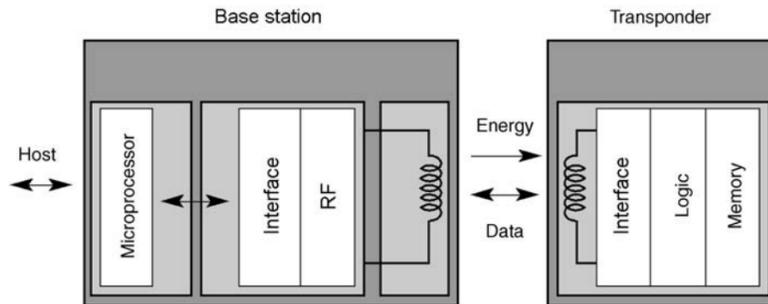


Figura 1.1: Sistema de comunicación RFID que incluye el transpondedor y la estación base (o lector), en inglés base station. [27]

la información. El principio de comunicación utilizado es muy importante, pueden ser sistemas half-duplex (HDX) donde el transpondedor y el lector pueden enviar datos al mismo tiempo, sistemas full-duplex (FDX) donde solamente el transpondedor o el lector pueden enviar datos en un intervalo o sistemas secuenciales que es igual al HDX en términos de transmisión de datos, en los sistemas HDX y FDX el lector provee potencia con la onda portadora durante todo el periodo de operación del transpondedor, para el sistema secuencial el lector provee energía únicamente durante el período de transferencia de datos por lo tanto el transpondedor deberá almacenar energía para poder funcionar (o utilizar baterías). Estos métodos los muestro de forma gráfica en la figura 1.2, en donde el downlink es el enlace desde el lector hasta el transpondedor y el uplink es el enlace desde el transpondedor hasta el lector.

### 1.1.2. Antecedentes

Por las razones de conveniencia que mencioné anteriormente los sistemas de RFID se usan en una gran variedad de sistemas de sensado (para humedad y presión por ejemplo) e incluso en dispositivos implantables para aplicaciones en el sector de salud [7]. Históricamente los sistemas de comunicación por radiofrecuencia utilizando reflexión se han explorado desde los años 40, sugiriendo los primeros métodos de modulación para incluir información útil en la señal reflejada [31]. Estos primeros esfuerzos llevaron naturalmente a las primeras aplicaciones prácticas que pueden ser consideradas las formas de RFID iniciales en donde los aparatos remotos modulan la señal recibida para transmitir datos útiles [15]. La modulación usando variación en la impedancia también estaba siendo investigada con gran esfuerzo para aplicaciones variadas [14], en la década de los 70 los trabajos estaban acercándose a los sistemas RFID como los conocemos actualmente, los usos consistían en leer la identidad de un identificador cuando se acercaban a una estación lectora, por ejemplo estaciones de peaje o incluso sistemas para identificar ganado y reportar su temperatura [21], las aplicaciones de sensado en animales utilizando esta tecnología, entonces, se estaban investigando desde prácticamente el mismo momento de su origen. Eventualmente se tendrían los primeros sistemas de RFID modernos con aplicaciones que seguimos

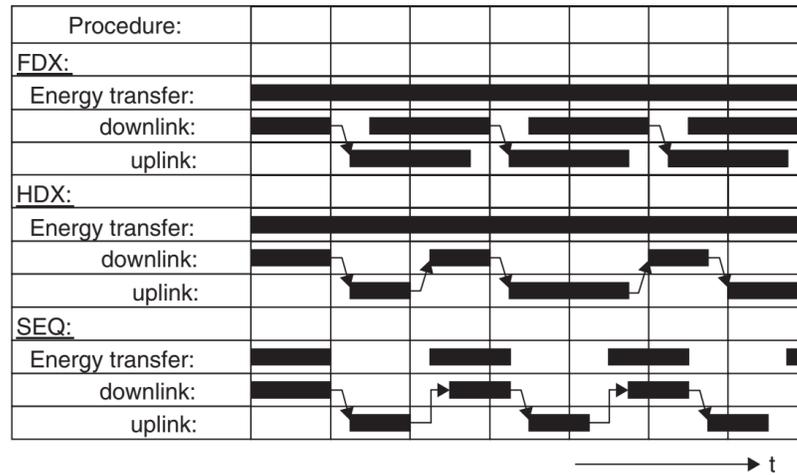


Figura 1.2: Tipos de comunicación y transmisión de potencia posibles para los transpondedores pasivos en donde uplink es el enlace de lector a transpondedor y el uplink es el enlace del transpondedor al lector [27].

usando hasta el día de hoy como la identificación de vehículos en estaciones de peaje [8], esta invención se había desarrollado desde el año 1973 según la fecha de la propuesta. El desarrollo de los sistemas RFID simplemente se aceleraría, debido a la introducción de las tecnologías de fabricación de circuitos integrados que permiten incorporar más funcionalidad en áreas menores y eventualmente se desarrollarían sistemas que buscan optimizarlos, por ejemplo desarrollando los circuitos en tecnología CMOS de tal forma que se mejore su consumo de potencia en general para todo el transpondedor utilizando una arquitectura moderna y estándar, en estos sistemas las topologías de moulación por retrodispersión (llamado backscatter en inglés) que recibieron tanta investigación en años anteriores están compuestos por un simple transistor y capacitor, el control y funcionalidad está incluido en procesadores digitales y los osciladores utilizan topologías de bajo consumo de potencia [6]. Los esfuerzos de mejora cada vez se hacen más específicos, por ejemplo en la búsqueda de mejorar la rectificación, modulación y demodulación además de la cosecha de energía, la interfaz analógica recibe más énfasis en donde la parte digital (que también recibe énfasis por separado) se utiliza como una carga para evaluar el sistema [16].

La especificidad aumenta, por ejemplo usando técnicas modernas de fabricación de CMOS para diseñar circuitos de referencia de baja potencia con variabilidades bajas en temperatura utilizando operaciones debajo del umbral [33], sistemas que buscan reducir el consumo de potencia de los sistemas de rectificación por medio de operación debajo del umbral donde se muestran las metodologías necesarias para lograrlo y los resultados que se pueden obtener [25], los esfuerzos también se extienden a otros de los bloques funcionales como la antena, donde hay grandes esfuerzos por su miniaturización, por ejemplo utilizando antenas en chip [5].

Esta tecnología es muy versátil y se puede incorporar a una gran variedad de campos de estudio por lo tanto continuar con su desarrollo impacta directamente otras áreas de la ciencia,

por ejemplo su uso en aplicaciones novedosas para el Internet de la cosas (IOT) [40], dispositivos diseñados y optimizados para su uso en aplicaciones médicas como aparatos implantables [9], o el caso de mayor interés para mi investigación, el monitoreo de animales a través de sensores implantables, esta metodología es muy beneficiosa, por ejemplo, porque los estudios en animales son etapas pre clínicas para estudios biomédicos y las características de los sistemas RFID permiten reducir variaciones estadísticas y mejoran el bienestar de los animales (por ejemplo en estudios de larga duración el proceso de curación del implante sería mínimo) [36].

### 1.1.3. Estándares para los sistemas de RFID

Hay muchos estándares para la operación de los dispositivos RFID que se pueden utilizar como una referencia para seleccionar los protocolos y la frecuencia de operación del diseño, el ISO/IEC 18000 es usado para identificación de objetos o manejo de objetos (inventario), puede funcionar a 135 kHz, 13,56 MHz, 2.45 GHz, 5.8 GHz, UHF (860 MHz a 960 MHz) y en 433 MHz [11, p. 271]. Para tarjetas inteligentes sin contacto existen el estándar IOS/IEC 10536 para tarjetas que operan a una distancia de 0 a 1 cm con acople inductivo con una frecuencia de 4.9152 MHz [11, pp. 240-241], el estándar ISO/IEC 14443 para tarjetas que operan de 0 a 10 cm con una frecuencia de 13.56 MHz [11, p. 243] y el ISO/IEC 15693 para tarjetas que operan de 0 a 1 m con frecuencias de 13.56 MHz [11, p. 259]. El estándar de EPC generación 2 funciona de 860 MHz a 960 MHz [10]. Los estándares ISO/IEC 11784, ISO/IEC 11785 e ISO/IEC 14223 se utilizan para identificación de animales que operan a una frecuencia de 134.2 kHz [11, p. 234].

### 1.1.4. Aportes, justificación y alcance de la investigación

En esta investigación trato de seguir esta tendencia y mi esfuerzo se aplicará a la mejora de la interfaz analógica (AFE) de un transpondedor RFID pasivo que cosecha la energía de la onda electromagnética de lector (el lector no recibe tantos esfuerzos porque no posee las limitaciones estrictas del transpondedor) utilizando técnicas modernas de circuitos como la operación en la región debajo del umbral para mejorar los diferentes componentes de la arquitectura del sistema con el énfasis de reducir el consumo de potencia, mejorar la sensibilidad (la potencia mínima recibida que el sistema necesita para funcionar) o incluir funcionalidades beneficiosas para la aplicación de recolección y transmisión de datos de sensores implantables subcutáneos, los módulos que trato son el demodulador ASK, el modulador por retrodispersión y el rectificador diferencial. El proyecto es realizado en conjunto con el Laboratorio de Circuitos Integrados Digitales (DCILAB) de la Escuela de Ingeniería Electrónica, como un complemento para el proyecto de Desarrollo de un circuito integrado para lectura RFID en aplicaciones agroindustriales, este proyecto se concentra en el diseño del transpondedor (tag) que provee la oportunidad de desarrollo de un ASIC con componentes digitales y analógicos, al utilizar una frecuencia de 915 MHz también provee la oportunidad de explorar el diseño en una frecuencia menos utilizada pero que permitiría reducir el tamaño de las antenas, por ejemplo, al usar campos de radiación de la señal. Permite explorar un diseño del sistema de cosecha de energía de señales por radiación electromagnética en lugar de campos cercanos, también tiene la posibilidad de optimizar

la sección digital o investigar posibles variaciones de la arquitectura y basado en los resultados también podría ser posible desarrollar una propiedad intelectual (IP) propia.

### **1.1.5. Requerimientos del diseño**

El diseño debe funcionar para el estándar EPC generación 2 que permite un rango de frecuencias de operación de 860 MHz a 960 MHz en donde la comunicación que recibe el demodulador es de tipo ASK y el modulador es binario por retrodispersión. El proceso para el diseño debe ser XH018 de XFAB, que es de 180 nm, para una tensión de alimentación de 1.8 V.

## **1.2. Objetivos**

### **Objetivo general**

Implementar un diseño apropiado del AFE de un transpondedor RFID para su uso en dispositivos implantables subcutáneos en tecnología CMOS con valores aceptables de sensibilidad y eficiencia según la literatura.

### **Objetivos específicos**

- Seleccionar los valores de frecuencia, potencia, sensibilidad, tensión y tecnología del circuito apropiadas para la aplicación.
- Diseñar los módulos analógicos del AFE a nivel de esquemático para que funcionen de forma independiente.
- Diseñar los módulos analógicos del AFE hasta a nivel de layout para que funcionen de forma independiente.
- Integrar y diseñar el sistema completo hasta el nivel de layout.

El árbol de objetivos de mi investigación es el de la figura 1.3, en este los objetivos funcionan para resolver las posibles causas del problema que definí.

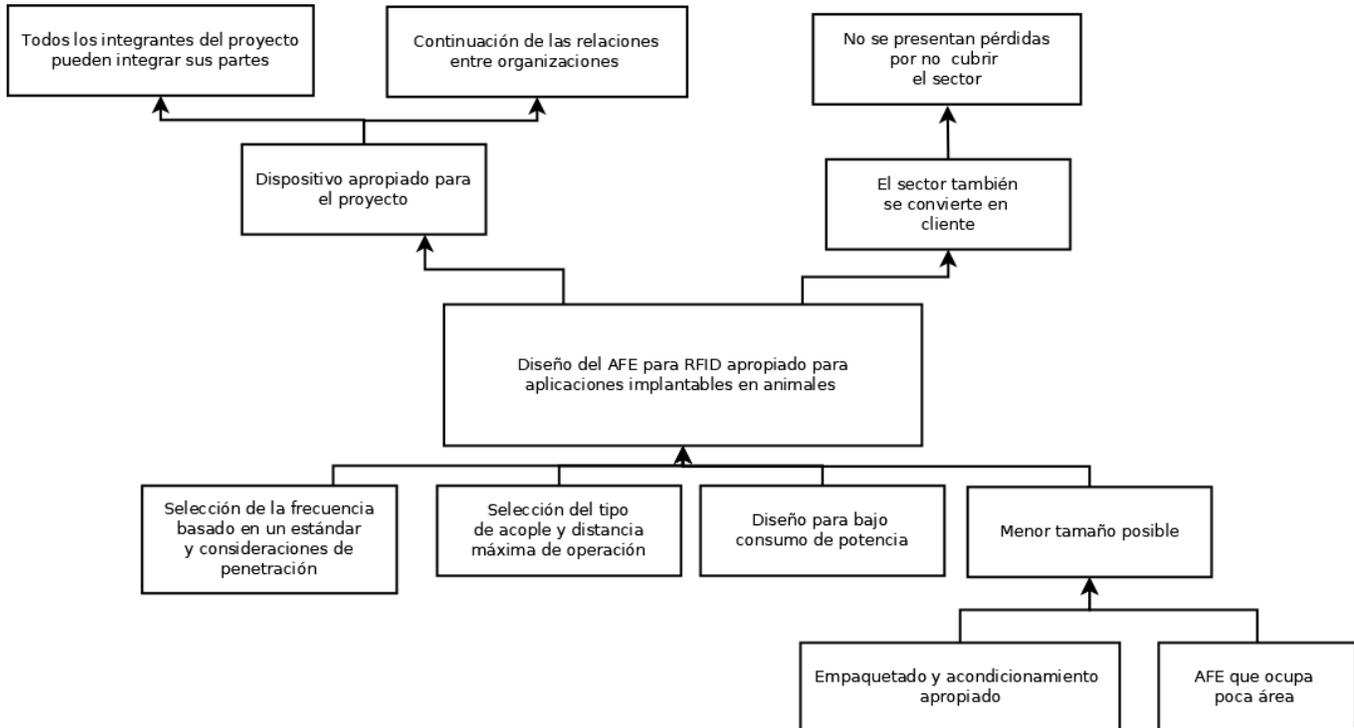


Figura 1.3: Árbol de objetivos para esta investigación

En la figura 1.4 muestro el árbol de problemas, en este modifíco la pregunta de investigación para convertirla en el problema que debo resolver, las causas están relacionadas con los temas que describí en esta revisión y las consecuencias es información nueva pero tiene que ver con los inconvenientes que puede representar para las personas involucradas.

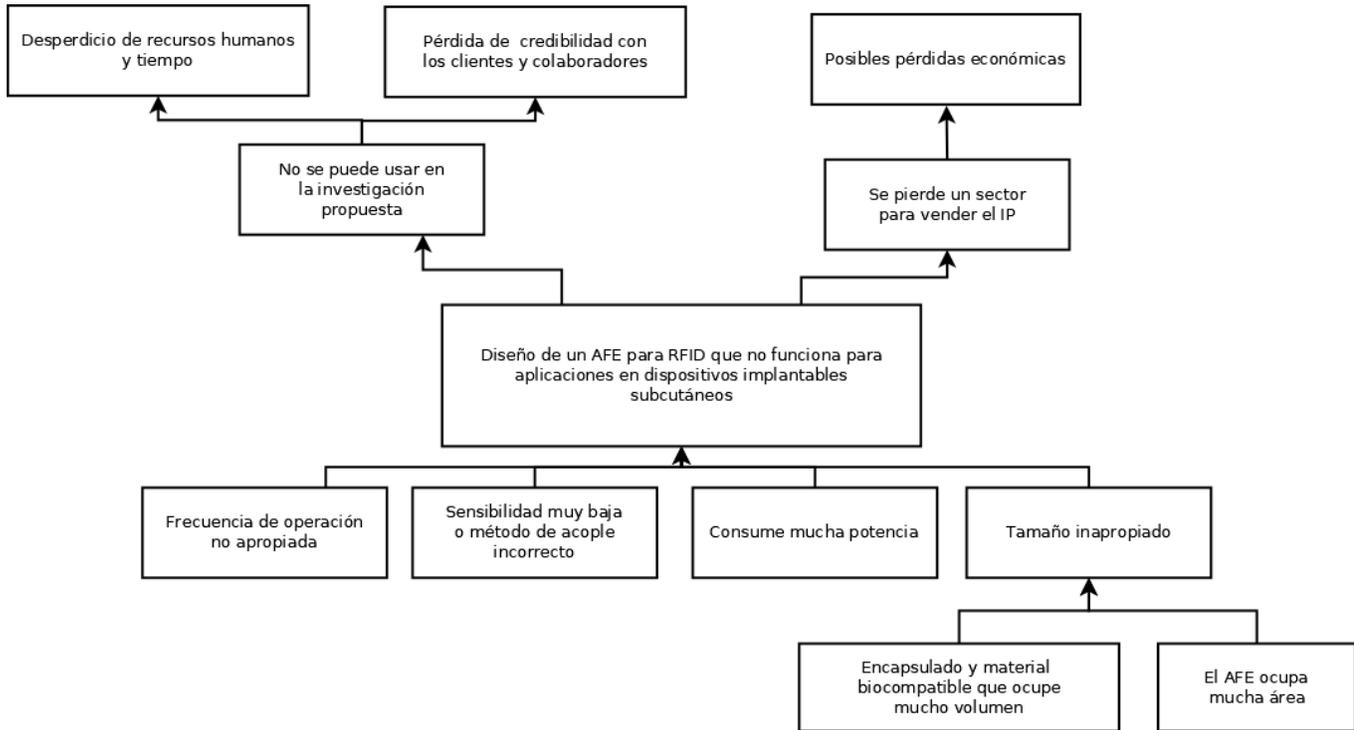


Figura 1.4: Árbol de problemas para esta investigación

## CAPÍTULO 2

# MÉTODOS Y HERRAMIENTAS

### 2.1. Métodos y herramientas para la investigación

El método que seleccioné para realizar el proyecto es cuantitativo, realizando simulaciones de pre-layout y post-layout y cálculos de diseño para todas las etapas del proyecto. Entre las herramientas que uso están Custom compiler y Hspice de Synopsys. El proyecto lo desarrollo con el proceso de 180 nm XH018 de XFAB.

Cuadro 2.1: Matriz de actividades para los objetivos de esta investigación

Objetivos	Descripción	Actividades	Resultados	Indicadores
General	Implementar un diseño apropiado del AFE de un transponder RFID para su uso en dispositivos implantables subcutáneos en tecnología CMOS con valores aceptables de sensibilidad y eficiencia según la literatura.			
Específico 1	Seleccionar los valores de frecuencia, potencia, sensibilidad, tensión y tecnología del circuito más apropiadas para la aplicación.	Realizar simulaciones para determinar los valores apropiados	Scripts y hojas de cálculo que generen los valores de potencia y sensibilidad deseados	Valores que se encuentren dentro del 10 % de los valores seleccionados un mes luego de iniciar
Específico 2	Diseñar los módulos analógicos del AFE hasta el nivel de esquemático para que funcionen de forma independiente correctamente.	Diseño de esquemáticos y layout con la herramienta que mencioné	Diseño fabricable en formato GDS II que sea no tenga errores de LVS ni DRC	No hay errores de DRC ni LVS para un módulo por mes
Específico 2	Validar el funcionamiento de todos los módulos diseñados hasta el nivel de esquemático para verificar que su comportamiento es aceptable.	Verificar si los parámetros se encuentran en los valores aceptables del objetivo específico 1	Hoja de especificaciones para cada módulo que contenga al menos para potencia, sensibilidad	Resultados dentro de 5 % de los esperados para un módulo por mes
Específico 3 y 4	Diseñar el sistema completo hasta el nivel de layout.	Integrar todos los módulos para lograr la funcionalidad completa	Diseño fabricable en GDS II sin errores de LVS ni DRC	No hay errores de DRC ni LVS y el área es aceptable para diciembre de 2023
Específico 3 y 4	Verificar el funcionamiento del sistema del sistema completo hasta el nivel de layout.	Validar el sistema completo y caracterizarlo	Hoja de especificaciones para el sistema completo que contenga al menos para potencia, sensibilidad	Resultados dentro de 10 % de los esperados para diciembre de 2023

## CAPÍTULO 3

# SECCIÓN ANALÓGICA DE UN TRANSPONDEDOR RFID

Un transpondedor de RFID está compuesto por una sección analógica y una sección digital, la parte analógica llamada AFE por sus siglas en inglés (analog-front-end) funciona para cosechar energía y generar las tensiones de alimentación de todo el sistema, generar la señal de reloj y para implementar la comunicación por radiofrecuencia, la sección digital implementa todas las otras funciones necesarias incluyendo el almacenamiento de datos y el manejo del protocolo implementado. Este documento detalla el diseño de la mayoría de los bloques del AFE para el estándar EPC generación 2 (EPC gen2). La figura 3.1 muestra un diagrama con todos los circuitos necesarios para el transpondedor, en esta investigación diseño el rectificador, modulador, demodulador y la protección contra sobretensión (protección para ESD), los otros componentes como el regulador serán implementados por otro diseñador con circuitos disponibles en la tecnología para el primer diseño.

### 3.1. Funcionamiento de la sección analógica del transponedor

Cualitativamente el funcionamiento del AFE es simple, la onda electromagnética es recibida en la antena y esta es transmitida al rectificador. El rectificador convierte la señal de radiofrecuencia a un nivel de DC apropiado, en este trabajo la tensión de alimentación es de 1.8 V por lo tanto la tensión DC rectificada es de 2 V para proveer un margen de funcionamiento para el LDO que se planea utilizar. Cuando la tensión de alimentación alcanza el valor deseado todos los dispositivos empiezan a funcionar luego de que una señal de reset es propagada por todo el sistema. Desde este momento se pueden recibir datos, el demodulador detecta cuando hay una señal presente o cuando no hay señal, por lo tanto es un demodulador ASK, estos datos digitales son transmitidos a la sección digital para su procesamiento. El modulador utiliza un método llamado modulación por retrodispersión, la sección digital envía los datos que se desean transmitir al modulador lo que provoca que la impedancia varíe, de esta forma las señales reflejadas tienen amplitudes distintas para un 0 y 1, este modulador solamente posee dos estados distintos de acuerdo con el estándar EPC gen2. La señal recibida en la entrada del circuito integrado varía dependiendo de la

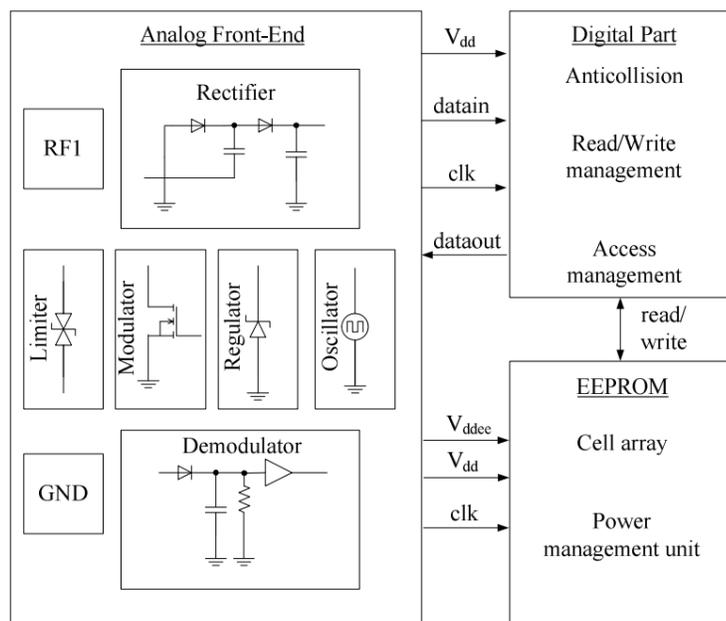


Figura 3.1: Arquitectura general para un transpondedor RFID pasivo [39]

distancia entre el lector y el transpondedor, por lo tanto, debido a que esta tensión puede llegar a ser elevada, es necesario usar circuitos de protección contra ESD y limitadores de tensión.

### 3.2. Rectificador para cosechar energía

El circuito que uso en el diseño es el de la figura 3.2, llamado DDR por sus siglas en inglés (differential-drive rectifier), este circuito es utilizado ampliamente debido a su compromiso entre su caída de tensión pequeña y la corriente de fuga pequeña, es posible lograr valores de eficiencia de conversión de potencia (PCE) alrededor de 68 % [13].

Para describir el funcionamiento del DDR utilizo la figura 3.3. El análisis de transferencia de cargas cuando todos los transistores tienen características idénticas indica que  $V_x$  y  $V_y$  son iguales y son la mitad de  $V_{dc}$  [22]. El circuito funciona de forma parecida a un rectificador común, asumiendo que no hay carga cuando  $V_{rf}^+$  es mayor que  $V_{rf}^-$  MN2 y MP1 conducen (en este caso debido a que la señal de entrada es diferencial una terminal es positiva y la otra negativa, de forma alternada), la tensión  $V_{DC}$  es igual a la tensión pico a pico de la entrada menos 2 veces la tensión de encendido de un transistor, aproximadamente  $2V_{rfpp}$  (asumiendo que los transistores tienen características idénticas). Cuando  $V_{rf}^+$  es menor que  $V_{rf}^-$  MN1 y MP2 conducen y nuevamente la tensión  $V_{DC}$  es aproximadamente  $2V_{rfpp}$ , las capacitancias  $C_c$  actúan como una alta impedancia para DC y una baja impedancia para AC de modo que  $V_y$  y  $V_x$  no se pueden descargar, para lograr establecer esta tensión DC el capacitor de almacenamiento debe tener una capacitancia

adecuada si hay una carga. Los otros aspectos del diseño y el procedimiento del diseño los trato en el capítulo 5.

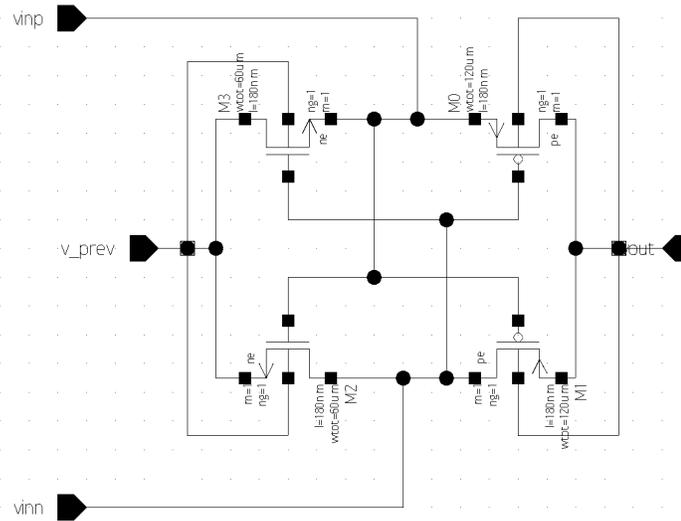


Figura 3.2: Circuito rectificador para el AFE, una etapa [22].

### 3.3. Modulador por retrodispersión para el AFE

El funcionamiento del modulador se puede comprender usando la figura 3.4, el lector genera una señal portadora que es recibida por el transpondedor, el transpondedor debe reflejar parte de esta señal para comunicarse debido a que no tiene un transmisor de radiofrecuencia, la salida del modulador se conecta directamente a la antena (en realidad está conectado al circuito de acople entre la antena y el circuito integrado), en esta figura el resto del transpondedor está marcado como Tag. El interruptor que conmuta entre  $R_{m,1}$  y  $R_{m,2}$  es el principal componente del modulador binario, en uno de los estados, por ejemplo cuando la señal de control del interruptor es 0, se conecta la antena a  $R_{m,1}$  y en el otro estado, un 1 en controlando el interruptor, se conecta la antena a  $R_{m,2}$ . La impedancia de los dos estados es distinta lo que causa que los coeficientes de reflexión también sean distintos entre ambos estados, esta diferencia de potencia reflejada es detectada por el lector que se encarga de distinguir si se recibe un 1 o un 0. En el diseño utilicé un transistor como el interruptor, como se muestra en la figura 3.5, también agregué dos inversores en cascada como buffer para encender el transistor completamente [13].

Si  $R_i$  y  $X_i$  son la resistencia y reactancia conectados a la antena (la combinación del modulador y el resto del transpondedor), entonces la potencia reflejada está dada por (3.1), donde  $P_a$  está dado por (3.2),  $V_s$  es la tensión en pico en la antena. Como  $R_i$  incluye la resistencia del modulador

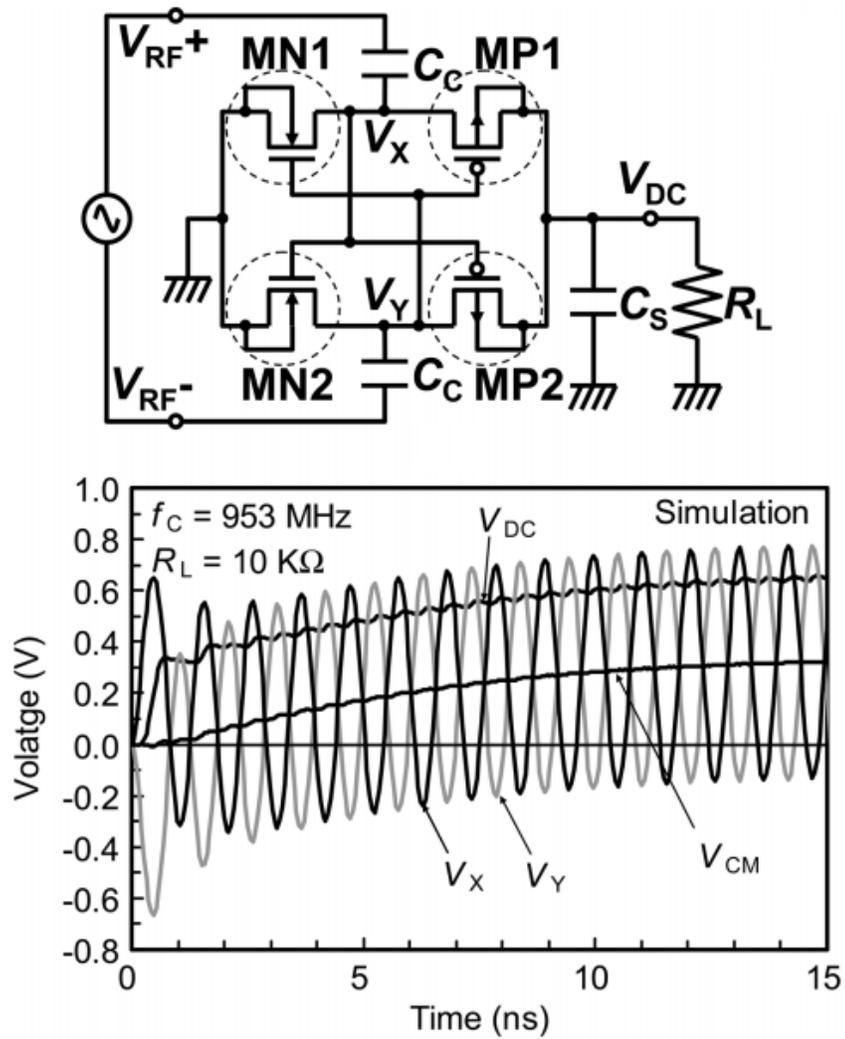


Figura 3.3: Funcionamiento del DDR [22].

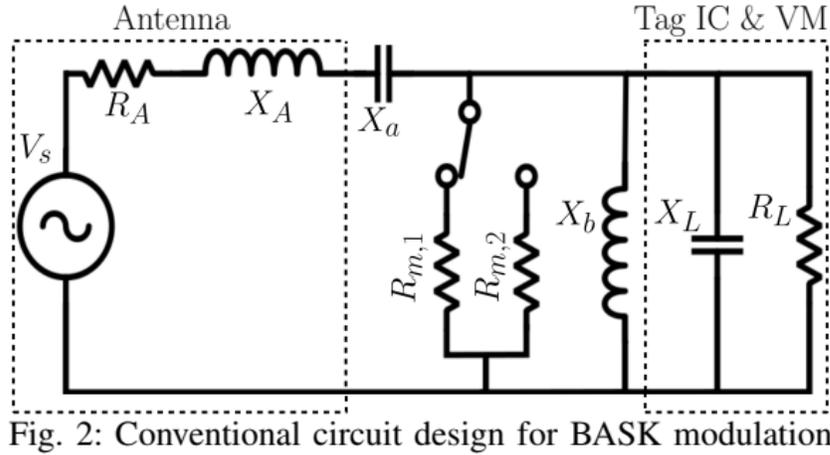


Fig. 2: Conventional circuit design for BASK modulation

Figura 3.4: Sistema de modulación por retrodispersión y modelo de la antena [12].

entonces este valor es distinto entre ambos estados de modulación y la potencia reflejada también es distinta. Los detalles del diseño y otros análisis los trato en el capítulo 7.

$$P_a = \frac{4R_i R_A}{(R_A + R_i)^2 + (X_A + X_i)^2} \quad (3.1)$$

$$P_a = \frac{V_s^2}{8R_A} \quad (3.2)$$

### 3.4. Demodulador ASK para el AFE

El demodulador que uso para el AFE está basado en la figuras 3.6 y 3.7, utilizo una etapa de DDR para implementar el detector de envolvente, luego utilizo un filtro pasa-bajas para filtrar el ruido de alta frecuencia seguido de un circuito que calcula el promedio de la envolvente recibida. Como se muestra en la figura 3.6 la envolvente se compara con el promedio calculado y si el valor de la envolvente es mayor que el promedio se detecta un 1, si el valor de la envolvente es menor que el promedio se detecta un 0. El comparador que uso en el diseño tiene histéresis interna para evitar errores por ruido entre otros. El calculador de promedio es necesario porque las tensiones recibidas pueden variar en un rango amplio de tal forma que un valor fijo de referencia podría causar valores incorrectos en la salida. En el capítulo 6 muestro los detalles del diseño y más información sobre la arquitectura que uso.

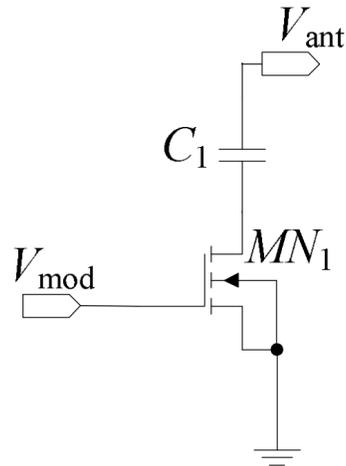


Figura 3.5: Modulador por retrodispersión sin buffer [39]

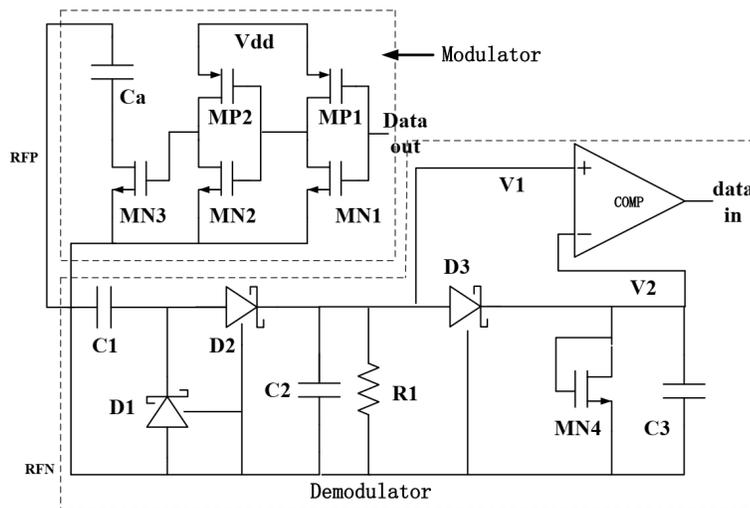


Figura 3.6: Diseño de un modulador para retrodispersión con buffer y un demodulador ASK [17]

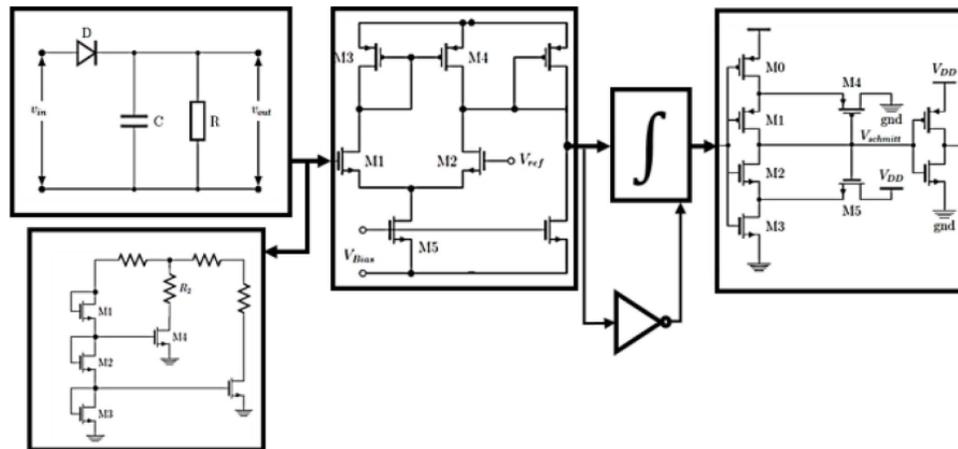


Figura 3.7: Diseño de un demodulador ASK, contiene un detector de envolvente, un integrador y un comparador con histéresis [13].

### 3.5. Protección contra ESD

Un circuito de protección contra ESD protege los circuitos contra corrientes excesivas, provee un camino de baja resistencia a través de un dispositivo que puede manejar altas potencias [35]. El circuito de la figura 3.8 muestra un circuito común para protección contra ESD, el diodo provee un camino para descargar corriente excesiva, este exceso de corriente se disipa en el resistor, otro aspecto importante es que el diodo limita la tensión de entrada a la tensión de funcionamiento del diodo (aproximadamente  $V_{th}$ ). Un circuito con mayor capacidad de corriente es el de la figura 3.9. En este trabajo utilizo los diodos de ESD del proceso seleccionado para implementar esta protección para limitar la tensión.

Un circuito de protección completo incluye un clamp entre los pines de alimentación ( $V_{dd}$  y  $gnd$ ) con la capacidad de manejar altas corrientes, como muestro en la figura 3.10. Una mejor implementación distribuye las protecciones y agrega dos diodos para que puedan conducir ante tensiones de entrada negativas y positivas como muestra la figura 3.11.

El circuito de clamp para los pines de alimentación se puede implementar de varias maneras, el circuito de la figura 3.12 utiliza una red RC para controlar el tiempo de encendido del circuito ante un evento que supera el umbral de activación. El circuito 3.13 se activa siempre que la tensión supere el umbral de activación, en este caso cuando se activa el transistor N1 al superar  $V_{TH}$ , R1 y R2 permiten ajustar el umbral de activación. Al activarse N1 la corriente que fluye en R1 genera una tensión que activa P1, y la corriente que fluye en R2 genera una tensión que enciende N2, N2 es un transistor grande que puede manejar altas corrientes.

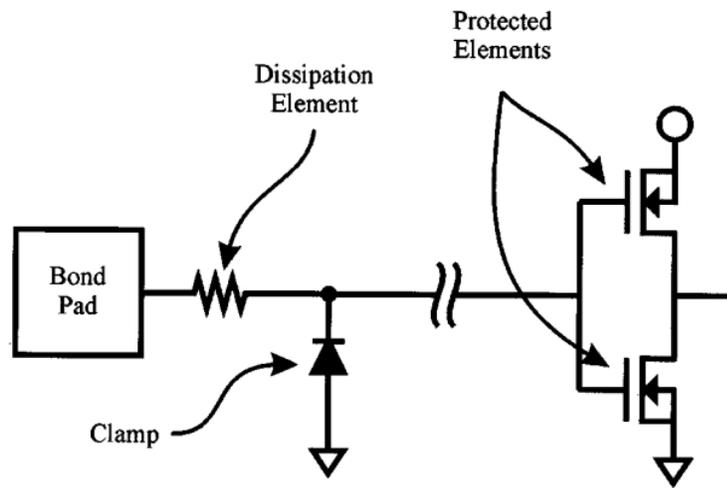


Figura 3.8: Circuito de protección contra ESD [35].

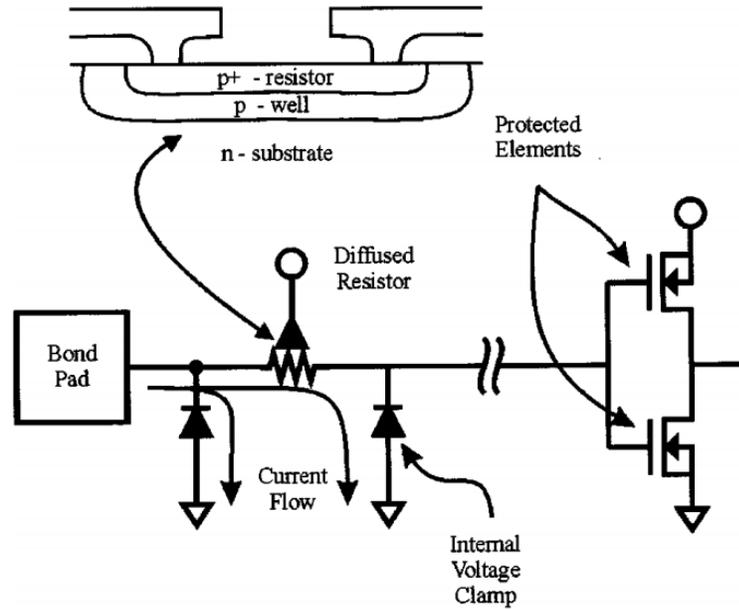


Figura 3.9: Circuito de protección contra ESD con más diodos [35].

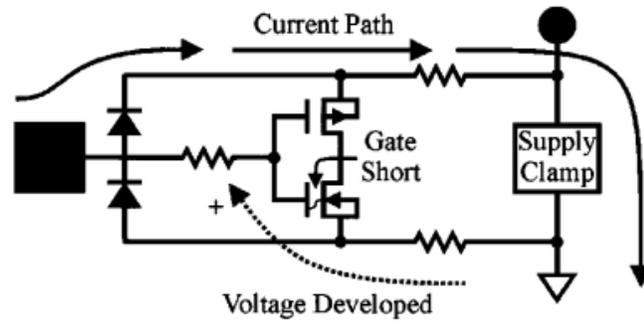


Figura 3.10: Circuito de protección contra ESD completo con un clamp de alimentación [35].

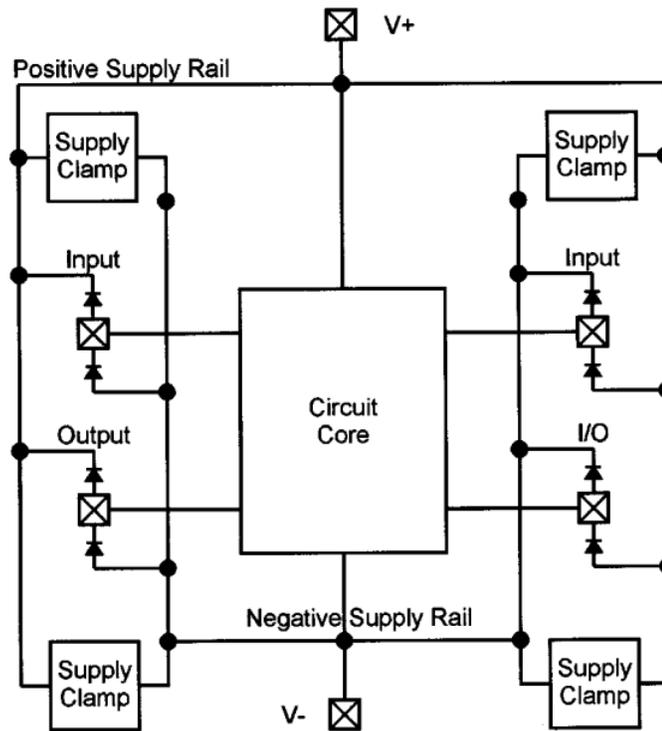


Figura 3.11: Red de protección contra ESD [35].

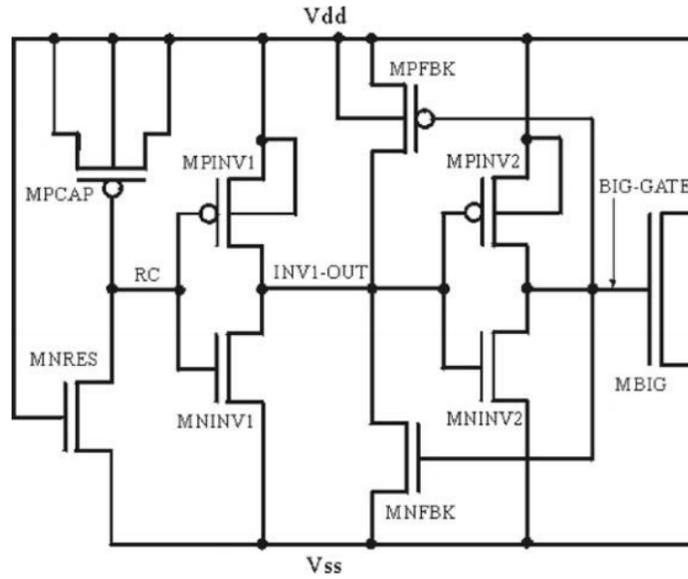


Figura 3.12: Circuito de clamp dinámico para pines de alimentación [30].

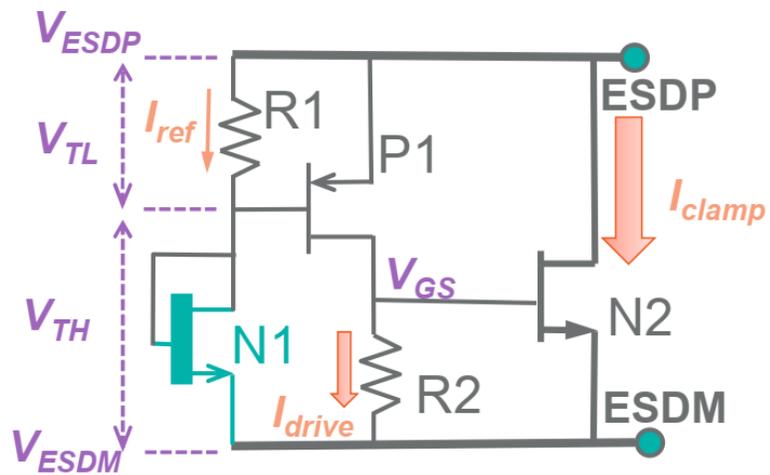


Figura 3.13: Circuito de clamp para pines de alimentación [34].

## CAPÍTULO 4

# REQUERIMIENTOS

### 4.1. Requerimientos del rectificador

La atenuación de una señal electromagnética en el régimen de radiación como función de la distancia obedece la fórmula de Friis de (4.1) [13], donde para el lector el EIRP =  $P_{lector}G_{lector}$  es de 36 dBm,  $\lambda$  es la longitud de onda de la señal,  $G_{tag} = 1$  es la ganancia de la antena del transpondedor y  $d$  es la distancia del lector al transpondedor, la figura 4.1 compara la potencia que recibe un transpondedor RFID, a diferentes distancias del transmisor, la potencia para frecuencias bajas es mayor por lo que los circuitos de protección y sobretensión deben ser más especializados, para frecuencias altas las potencias van a ser menores y el circuito de rectificación debe ser más eficiente en general. Esta figura funciona únicamente para la zona de radiación, los valores cercanos a 0 son incorrectos y no deben tomarse en cuenta, a una distancia cercana al transmisor la potencia recibida se aproxima a la potencia isotrópica equivalente irradiada (EIRP) del transmisor [13].

$$P_{RX} = P_{lector}G_{lector}G_{tag} \left( \frac{\lambda}{4\pi d} \right)^2 \quad (4.1)$$

Para lograr una transmisión eficiente entre la antena del transpondedor y el rectificador es necesario incluir un circuito para acoplar las impedancias, este circuito depende de la impedancia de entrada del rectificador, para frecuencias bajas la impedancia de entrada es mayor (debido a que el diseño de los transistores depende de la frecuencia), para compensar este efecto es necesario incrementar en gran medida los anchos de los transistores lo que incrementa la capacitancia parásita. La Figura 4.2 muestra la FFT de la impedancia de entrada del rectificador que uso como primera aproximación para estimar la impedancia de entrada, el ángulo de ángulo de la corriente en la frecuencia deseada es de aproximadamente 25 grados en la figura 4.4, con estos valores y la tensión de entrada conocida (asumiendo que es un seno perfecto y con fase 0) esta impedancia es muy grande, y dificulta la miniaturización del circuito de acople para la antena a menos que los transistores sean muy anchos, en este caso los transistores son muy anchos y la impedancia de entrada tiene aproximadamente un valor de  $50 \Omega$  y fase de  $-25$  grados que resulta en una impedancia de entrada compleja de  $38 - 18i \Omega$ , estas magnitudes se pueden lograr solamente con dimensiones grandes para el ancho y puede ser una limitante debido a restricciones de área, en

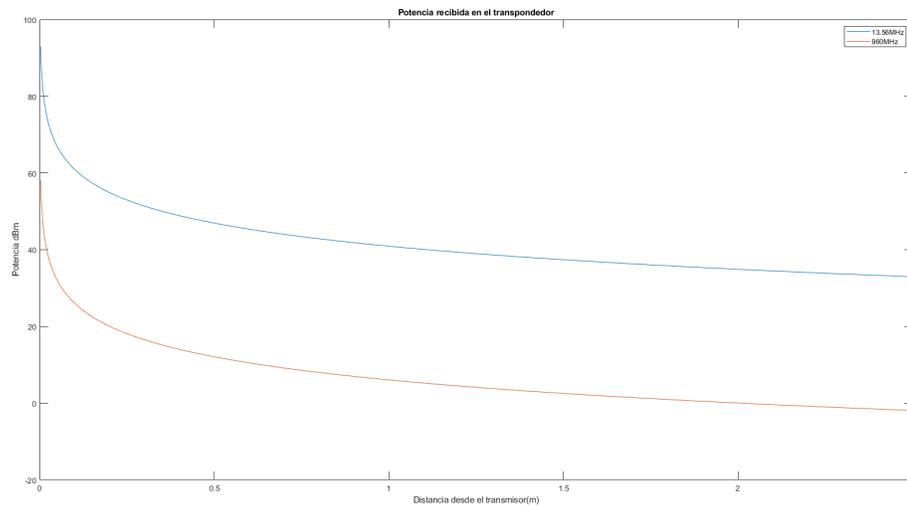


Figura 4.1: Potencia recibida para frecuencias de 915 MHz y 13,56 MHz como función de la distancia entre el emisor y receptor según la fórmula de Friis.

este caso la capacitancia de entrada equivale a  $0,22 \mu\text{F}$ , este valor tan alto indica una capacitancia parásita alta pero también que los cálculos no son precisos (no es esperado tener capacitancias tan altas), pero sirven para analizar el diseño cualitativamente. Las impedancias para frecuencias más altas (en este caso 915 MHz) son menores y facilitan el diseño del circuito de acople, como la potencia depende de la distancia hasta el receptor la ventaja de frecuencias bajas de mayor potencia se puede compensar y las frecuencias altas también permiten miniaturizar las antenas necesaria, entonces las frecuencias altas presentan ventajas que las frecuencias bajas no pueden ofrecer.

El PDK que uso es de 180 nm y 1.8 V, por lo tanto el valor de tensión de salida del rectificador debe ser mayor que 1.8 V, si se implementa un regulador LDO entonces se debe tener un margen de al menos una tensión de saturación (alrededor de 0.1 V), para permitir mayor flexibilidad, para la primera implementación del sistema que no tiene como requisito la minimización de la potencia decidí usar una tensión de salida de 2 V. Para el diseño decidí usar un procedimiento que se enfoca en mejorar la eficiencia del rectificador, este proceso depende de la carga [13,37]. Luego de seleccionar el número de etapas para lograr la tensión deseada necesito realizar un barrido de los tamaños de los transistores y seleccionar el que brinde mayor eficiencia. Debido a que el proyecto se encuentra en las etapas iniciales seleccioné un valor de carga representativo para circuitos de este tipo, basado en la potencia mínima requerida, de esta forma tengo todos los requisitos para proceder con la implementación, que discuto en los siguientes capítulos.

La resistencia de carga de  $66.7 \text{ k}\Omega$  que seleccioné funciona para simular la carga real, de  $60 \mu\text{W}$  que es cercana a los valores comunes para estos dispositivos [13,23] con un margen de seguridad debido a que esta potencia también es usada por los otros circuitos del AFE, aunque

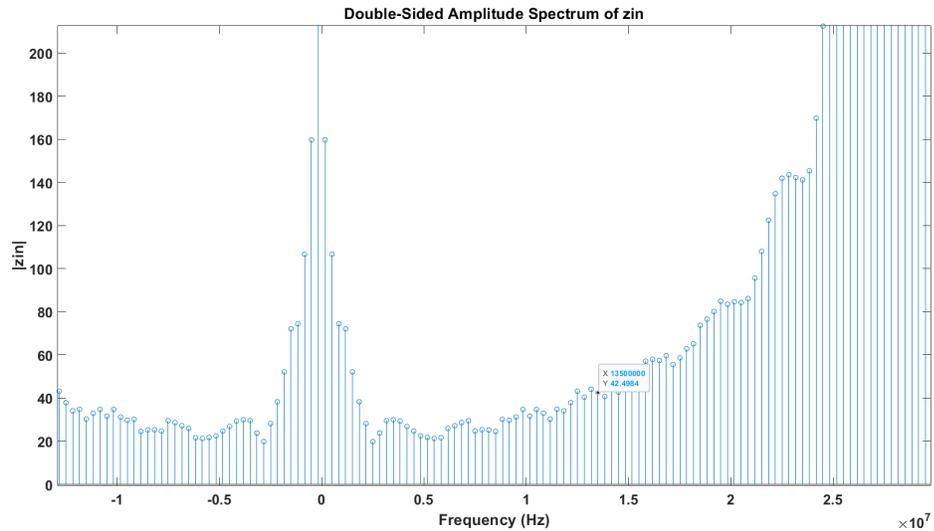


Figura 4.2: Magnitud de la FFT de la impedancia de entrada del rectificador con una frecuencia de 13,56 MHz, para transistores NMOS de ancho  $60\mu\text{m}$  y PMOS de ancho  $120\mu\text{m}$  ambos con el largo mínimo de 180 nm, la magnitud máxima corresponde a la frecuencia de interés.

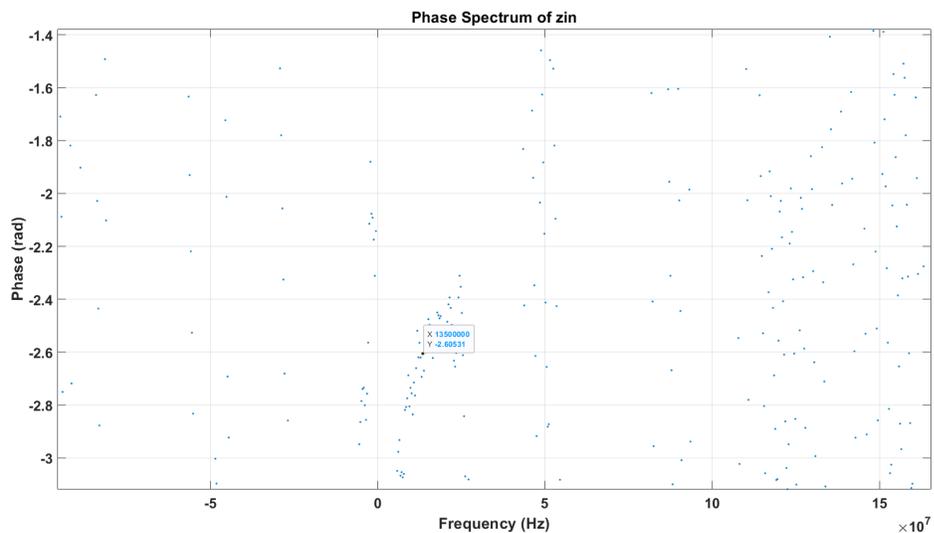


Figura 4.3: Fase de la impedancia de entrada para la corriente de entrada del rectificador con una frecuencia de 13,56 MHz, para transistores NMOS de ancho  $60\mu\text{m}$  y PMOS de ancho  $120\mu\text{m}$  ambos con el largo mínimo de 180 nm, el valor marcado corresponde a la frecuencia de interés.

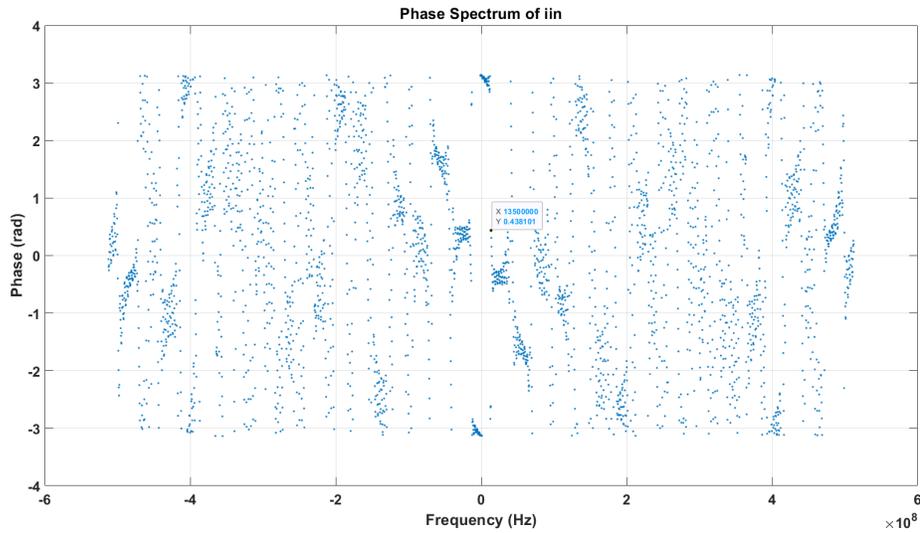


Figura 4.4: Fase de la FFT de la corriente de entrada del rectificador con una frecuencia de 13,56 MHz, para transistores NMOS de ancho  $60\mu\text{m}$  y PMOS de ancho  $120\mu\text{m}$  ambos con el largo mínimo de 180 nm, la magnitud máxima corresponde a la frecuencia de interés.

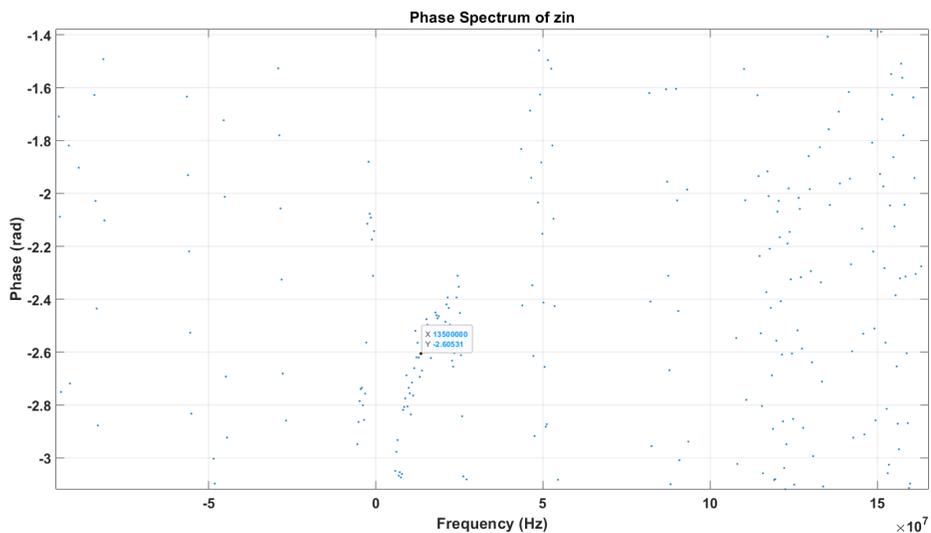


Figura 4.5: Fase de la impedancia de entrada para la corriente de entrada del rectificador con una frecuencia de 13,56 MHz, para transistores NMOS de ancho  $60\mu\text{m}$  y PMOS de ancho  $120\mu\text{m}$  ambos con el largo mínimo de 180 nm, el valor marcado corresponde a la frecuencia de interés.

en general se puede lograr un consumo de potencia bajo (de unos cuantos  $\mu\text{W}$ , [2,39]). Es posible diseñar componentes del AFE que consumen una alta potencia (decenas de  $\mu\text{W}$  [17,38]), en este proyecto es necesario tratar de evitar estos circuitos, pero debido a la naturaleza investigativa del diseño que no impone un límite en la distancia de operación es posible obtener una mayor potencia acercando el transpondedor al lector si es necesario. Para simular los efectos capacitivos de la carga uso un capacitor de 15 pF, este aspecto afecta principalmente la temporización debido a que la frecuencia del enlace de lector a transpondedor en general es baja ( de 40KHz a 160KHz , mientras que la frecuencia del enlace del transpondedor al lector puede variar entre 40 kHz y 640 kHz [10]).

La tensión de salida mínima se puede lograr con ambas frecuencias, en la Figura 4.7 es posible apreciar el valor de 2 V y también que hay un tiempo mínimo antes de que se alcance este valor ( $6 \mu\text{s}$ ), esto indica que el lector (el diseño del lector) debe tomar este tiempo de inicialización en cuenta antes de iniciar a transmitir. Como es de esperar este tiempo dependen de las capacitancias en el circuito (en efecto la figura 4.6 la carga de un capacitor, esta es la salida del rectificador usando la frecuencia de 915 MHz para la señal de entrada, el tiempo de asentamiento es de aproximadamente  $1 \mu\text{s}$ , menor que el caso de 13,56 MHz debido a que los ciclos de carga suceden más rápidamente).

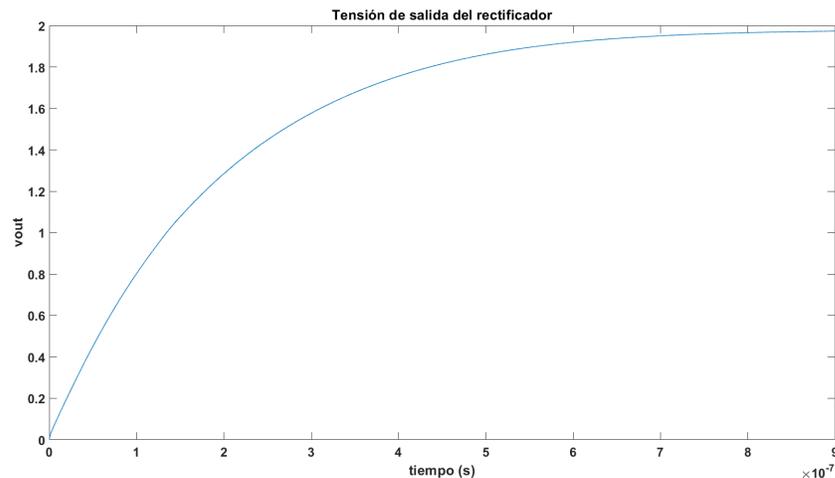


Figura 4.6: Tensión de salida del rectificador usando una frecuencia de entrada de 915 MHz, para el mismo circuito de la Figura 4.2.

Los cálculos de este capítulo son las primeras aproximaciones para explorar el diseño, durante el diseño es más preciso usar análisis de redes usando parámetros de scattering (parámetros S), en general la mejor opción según estos resultados previos es usar la frecuencia de 915 MHz que permite mayor flexibilidad de uso. Para las pruebas usé 3 etapas del circuito de la figura 4.8. La amplitud de la tensión de entrada para las pruebas con frecuencia de 13,56 MHz es de 1,5 V, para la frecuencia de 915 MHz es de 1 V. En las figuras de la tensión de salida también se puede

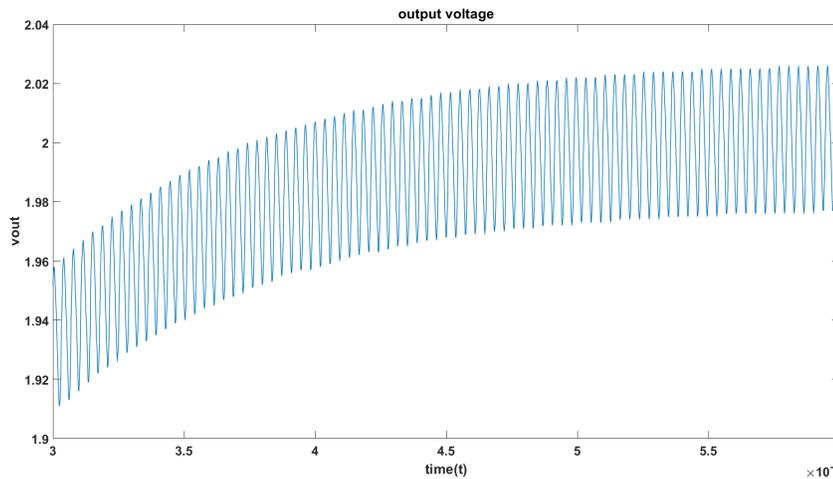


Figura 4.7: Tensión de salida del rectificador usando una frecuencia de entrada de 13,56 MHz con el mismo circuito de la Figura 4.2.

notar que el rizado es menor para la frecuencia de 915 MHz, para lograr rizado similares para la frecuencia de 13,56 los valores de capacitancia para los capacitores de almacenamiento de las etapas deben ser mayores, también los valores de capacitancia de los capacitores de acople deben ser menores (para presentar una impedancia baja en la frecuencia de operación). Los largos de los transistores son los mínimos, 180 nm, para minimizar los elementos parásitos y para mejorar el factor de calidad para el rectificador [13].

El rectificador debe cosechar la energía necesaria para poder responder al lector, para procesar los datos el transpondedor puede seguir cosechando los datos debido a que el lector se encuentra transmitiendo una onda (CW) para recibir la respuesta, pero durante la modulación por retrodispersión no es posible cosechar energía (o cosecharla de forma eficiente) por lo que durante esta fase un capacitor debe proveer la alimentación, este capacitor no está incluido en esta discusión, la capacitancia debe ser suficiente para poder enviar el mensaje más largo deseado.

Cuadro 4.1: Requisitos del rectificador diferencial

Parámetro	Valor
PCE	> 0,5
VCE	1
Distancia mínima	1 m
Acople asumido	perfecto
Ganancia asumida de la antena	1

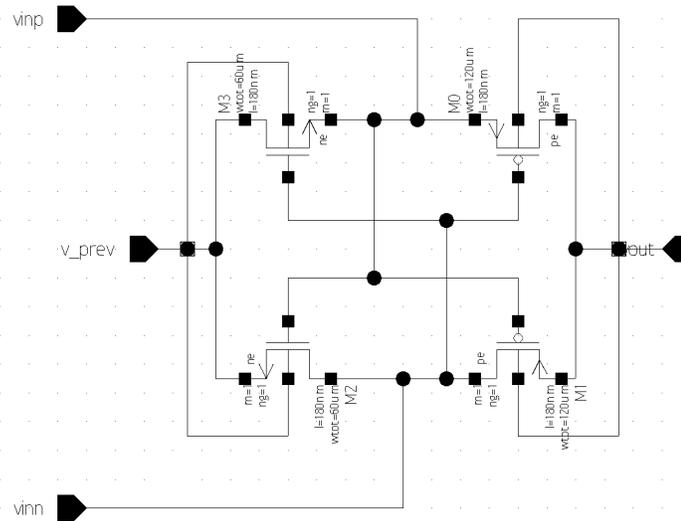


Figura 4.8: Circuito rectificador usado para las mediciones del capítulo 4.

## 4.2. Requerimientos del demodulador

El demodulador ASK binario consiste principalmente de un detector de envolvente, un filtro pasabajos para obtener una señal promedio y un comparador [17], como muestra en la Figura 4.9. El principio de operación es simple, debido a que la amplitud de la señal de entrada puede variar la tensión de referencia del comparador no puede ser fija, debe estar determinada por la misma señal de entrada, de esta forma el promedio de la señal de entrada es usada como tensión de referencia. Con el valor de referencia definido (por el valor promedio de la entrada) entonces un valor alto de la envolvente es mayor que el promedio, resultando en un 1 lógico a la salida, un valor bajo (idealmente 0) es menor que el promedio y resulta en un 0 lógico. Para evitar errores de demodulación el comparador debe tener histéresis y el sistema debe tener una eficiencia alta para mejorar el SNR (por lo tanto mejorando el BER) debido a que este circuito es esencialmente un convertidor analógico a digital, de tal forma que sería preferible usar un número bajo de etapas en el detector de envolvente, el detector de envolvente es el mismo circuito de rectificación de la figura 4.8 seguido de un capacitor en paralelo con un resistor, en este caso utilizo una sola etapa y mido la sensibilidad (la tensión mínima de entrada) final. En este punto el comparador funciona a la tensión del sistema (alrededor de 1.8 V), las entradas del comparador van a ser valores bajos de tal forma que es necesario analizar el efecto del offset y el tiempo de propagación (que es menor para tensiones diferenciales de entrada con valores altos). Es importante tener en cuenta que este circuito debe consumir una potencia lo suficientemente baja para que el AFE tenga mejor eficiencia. Además de los aspectos funcionales el circuito también debe incorporar protección contra sobretensión [13, 28].

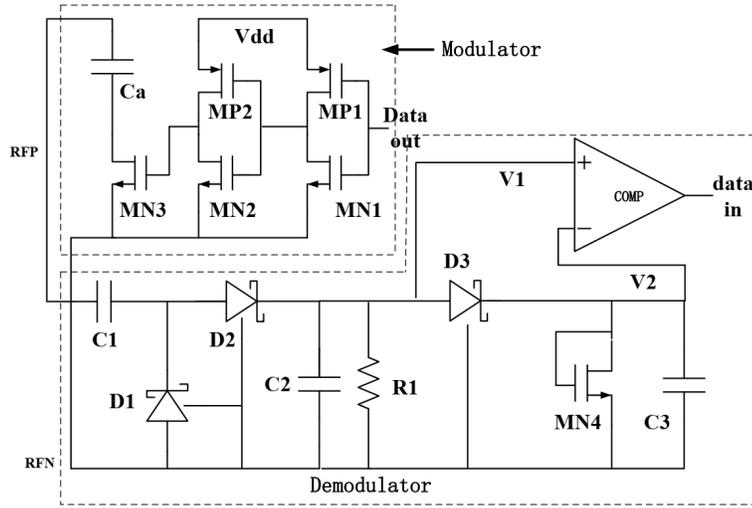


Figura 4.9: Diseño de un modulador para retrodispersión con buffer y un demodulador ASK [17]

### 4.3. Requerimientos del modulador

El modulador que utilizo en el diseño funciona con retrodispersión, la señal enviada por el lector es radiada nuevamente por el transpondedor modulando la onda portadora con la variación de la impedancia de carga de la antena, el lector envía primero una señal que el circuito usa para cosechar energía, luego envía los datos modulados y finalmente durante la fase de onda continua el modulador envía los datos usando la retrodispersión, como muestro en la figura 4.10 [12,26]. La carga de la antena es el circuito transpondedor (aparte de los elementos de acople), el objetivo es lograr la mayor diferencia entre las impedancias de carga. Con el modelo de la figura 4.11 donde  $Z_a = R_a + iX_a$  es la impedancia de la antena y  $Z_c = R_c + iX_c$  es la impedancia del transpondedor, la sección transversal de radar (RCS) resulta en (4.2) [26] donde  $G$  es la ganancia de la antena del transpondedor y  $\lambda$  es la longitud de onda de la señal portadora, este resultado indica que si quiero maximizar la diferencia de potencia entre un 1 y un 0 entonces la diferencia entre  $Z_c$  para estos estados debe ser máxima. Otra observación importante es que la potencia re-radiada puede ser mayor usando una carga reactiva que el caso de cortocircuito, usando un componente reactivo que cancele la parte reactiva de la antena, debido a que la impedancia reactiva de una antena en general es inductiva es posible usar un capacitor para reducirla, aumentando la potencia re-radiada, este capacitor es una posible explicación para el capacitor  $c_a$  usado en el modulador de la figura 4.9 por lo tanto puede ser omitido en un primer diseño, puede ser incluido en versiones posteriores. Los requisitos del rectificador están resumidos en la tabla 4.1.

$$\sigma = \frac{\lambda^2 G^2 R_a^2}{\pi |Z_a + Z_c|^2} \quad (4.2)$$

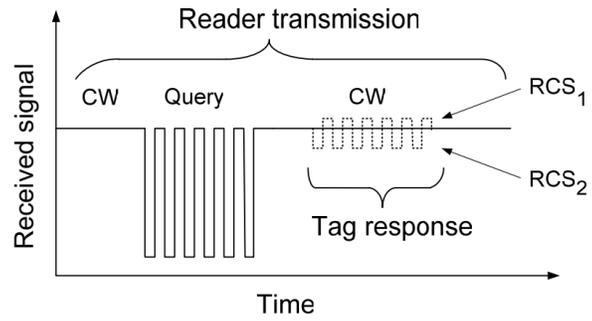


Figura 4.10: Principio de modulación por retrodispersión [26]

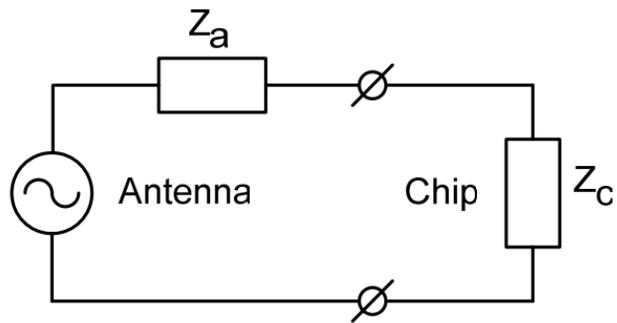


Figura 4.11: Modelo del transpondedor y la antena [26]



## CAPÍTULO 5

# DISEÑO DEL RECTIFICADOR

### 5.1. Diseño del rectificador

El diseño del rectificador consiste en la selección del número de etapas, la razón de los anchos para los transistores y el ancho de los transistores con el propósito de maximizar la eficiencia de conversión de potencia (PCE), la razón entre la potencia de salida y la de entrada, o la eficiencia de conversión de tensión (VCE), que es la razón entre la tensión de salida y la amplitud pico a pico de la tensión de entrada, o alguna combinación de ambas debido a que no es posible maximizar ambas al mismo tiempo [13, 37]. Para este diseño decidí optimizar el número de etapas de tal forma que obtenga un balance apropiado entre la VCE y PCE. Al lograr un valor determinado de VCE aseguro que el dispositivo funcione para una tensión mínima dada, en este caso para el número de etapas seleccionado, 3, la amplitud de entrada debe ser de 1.11 V. El número de etapas lo seleccioné con el método propuesto en [13] usando la ecuación (5.2) donde  $V_{rect}$  es la tensión de salida del rectificador y  $V_{tp}$  es la tensión de umbral de los transistores PMOS (la mayor tensión de umbral entre los PMOS y los NMOS), en la figura 5.1 muestro la información necesaria para diseñar el sistema exceptuando la razón de los anchos de los transistores PMOS y NMOS, las tendencias son claras, el tamaño óptimo de PCE es mayor conforme aumenta el número de etapas y la PCE disminuye con el número de etapas, el tamaño óptimo para la VCE es menor conforme aumentan las etapas y la VCE aumenta conforme aumenta el número de etapas. Para seleccionar el número de etapas y los anchos es necesario un compromiso entre VCE y PCE a menos que se quiere optimizar solamente uno de los dos. Para poder decidir cuál número de etapas es mejor utilizo la función de costo (5.1) que básicamente un promedio ponderado por el peso relativo de PCE a (que es menor que 1) y VCE (1-a). En este caso si el peso es igual para ambas (a=0,5) los rectificadores de 2 y 3 etapas son los mejores (con igual función de costo), para mi diseño decido darle más valor a la VCE que mejora la sensibilidad con a=0,3, con estos pesos el mejor número de etapas es 3, que concuerda con el método de [13] y confirma que es un procedimiento aceptable que brinda un compromiso entre ambos parámetros.

$$f = aPCE + (1 - a)VCE \quad (5.1)$$

Aunque es posible una pequeña mejora de VCE con más etapas esto también reduce la PCE, en este caso la PCE máxima para el diseño con 3 etapas es 0,58 y la VCE máxima es 0,93 que es

bastante cercano al valor meta y es aceptable, también se puede ver que el valor de PCE máximo para 2 etapas es bastante mayor pero el valor de VCE es menor. Para maximizar la PCE y la VCE para un número de etapas dado realizo un barrido en SPICE midiendo las potencias de entrada y salida para una tensión con amplitud fija mínima que genera una salida de 2 V, la figura 5.1 muestra los resultados con respecto al ancho del transistor NMOS (con una razón  $W_p/W_n$  de 0,6) para varios números de etapas. Aunque menor número de etapas brindan mayor eficiencia la VCE debe tener un valor aceptable (este valor se diseña seleccionando una distancia mínima de operación que en este caso no es un requerimiento estricto siempre y cuando el valor sea razonable para los valores de potencia recibidos). Para tener más flexibilidad en el uso del dispositivo utilicé una distancia mínima de 1 m que brinda aproximadamente 1 V de entrada.

$$N = \frac{V_{rect}}{|V_{tp}|} \quad (5.2)$$

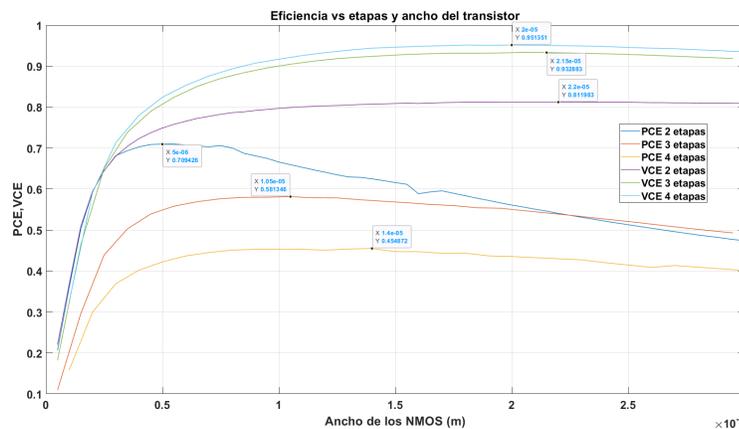


Figura 5.1: Variación de la PCE para un rectificador diferencial, mostrando los resultados para distintos números de etapas, como función del ancho de los transistores con un  $W_p/W_n$  de 1.3

La figura 5.2 muestra que un mejor valor para la razón de los transistores es cercano a 0,6, es importante recordar que estos resultados los obtuve para una tensión sinusoidal de amplitud constante, con frecuencia de 915 MHz en la entrada.

La tensión en la salida de la antena (sin carga) está dada por (5.3), donde  $v_{rx}$  es la tensión de circuito abierto de la antena,  $R_{ant}$  es la resistencia de la antena y  $P_{rx}$  la potencia recibida por la antena, para una tensión de 1 V y una antena de  $50 \Omega$  la potencia es de 2.5 mW o 3.98 dBm que corresponde a una distancia de 1 m como muestro en la figura 4.1. Este valor es solamente una guía porque el valor de tensión en realidad depende de la impedancia del transpondedor y del circuito de acople [13].

$$V_{rx} = \sqrt{8R_{ant}P_{rx}} \quad (5.3)$$

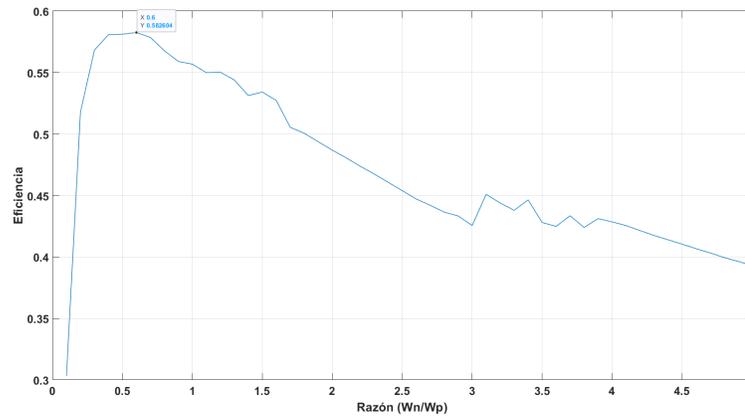


Figura 5.2: Variación de la PCE para un rectificador diferencial de 3 etapas, como función de  $W_p/W_n$

Para una distancia mínima de funcionamiento seleccionada el proceso de diseño consiste en determinar la potencia recibida en la antena con la información de la figura 4.1, luego se determina la tensión debida a esta potencia usando (5.3), se determina el número de etapas óptimo (en el sentido de la referencia [13] donde hay un compromiso entre PCE y VCE) usando (5.2), seguidamente hay que obtener la razón de anchos de los transistores  $W_p/W_n$  que maximiza la PCE, la VCE o un compromiso entre ambos para el número de etapas seleccionado usando una gráfica como la de la figura 5.2 y finalmente se selecciona el ancho de los transistores con una gráfica como la de la figura 5.1. En este caso para mi diseño el número de etapas es 3, la razón es 0,6 y el ancho  $W_n$  (por modificar todavía) es  $20 \mu\text{m}$  que resulta en una eficiencia de 0,58 y una VCE cercana al máximo. La optimización de los anchos y las razones de anchos es importante para poder cumplir los requisitos de eficiencia propuestos para el diseño. Según el análisis del capítulo 4 valores bajos de anchos provocan que la impedancia de entrada sea muy elevada si la frecuencia de la señal es baja, aunque no son los mismos valores para la frecuencia de 13,56 MHz los valores también son bajos, esto provocaría que la optimización de los anchos resulte en una impedancia de entrada alta que es difícil de acoplar, por esta razón la frecuencia de 915 MHz es más conveniente. De esta forma el diseño inicial del rectificador está completo y el siguiente paso es realizar ajustes pequeños usando simulaciones. Es importante tomar en cuenta que si el acople de la antena con el transpondedor es diferente al asumido (acople de impedancia conjugada) la distancia a la que se obtiene la tensión de 1 V es distinta a 1m.

Para verificar que la VCE y la PCE no pueden ser maximizadas al mismo tiempo la figura 5.3 muestra que la VCE máxima de 0,93 se logra con un ancho de  $20 \mu\text{m}$ , esta no concuerda con el valor de  $W_n$  de  $10 \mu\text{m}$  en donde PCE es máximo.

Según la figura 5.4, que es una gráfica de la PCE como función de la potencia recibida, la potencia de entrada óptima para el sistema es aproximadamente 0,2 mW, este valor de potencia (-6,9 dBm) implica una distancia de 3,6 m y una tensión de 0,28 V pero para que la metodología

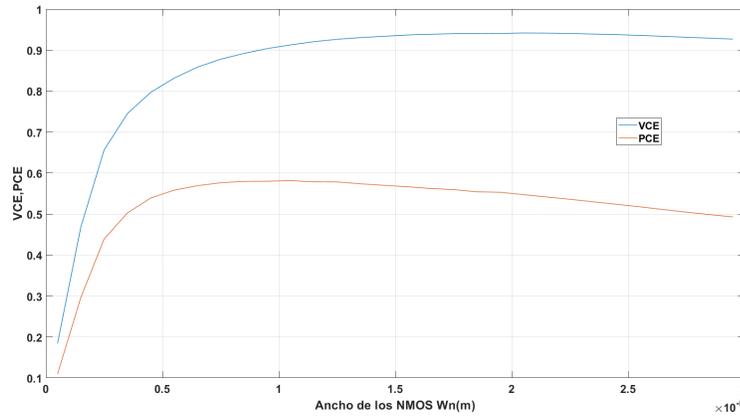


Figura 5.3: Variación de la VCE y PCE para un rectificador de 3 etapas como función del ancho de los transistores para una entrada de  $V_p$  2 V

de diseño funcione correctamente esta amplitud debe ser mayor que la tensión de umbral de los transistores PMOS que es de aproximadamente 0,65 V, por lo tanto este valor no es posible de realizar a menos que se use otra metodología, por ejemplo con operación en sub-umbral. Para este diseño la PCE máxima ocurre cuando la potencia de entrada es aproximadamente 0,2 mW según la figura 5.4 y distancia seleccionada. También es posible obtener la potencia mínima necesaria que genera una tensión de entrada de 0,65 V, con lo que el sistema empezaría a rectificar apropiadamente, el valor es de 1,06 mW que corresponde a una distancia de aproximadamente 1,25 m, a mayor distancia es probable que el sistema no funcione apropiadamente (todos estos cálculos asumen una resistencia de la antena de 50  $\Omega$ ).

El rectificador que diseñé lo muestro en la figura 5.5, esta es una sola etapa y no incluye los capacitores de acople necesarios, el circuito completo lo muestro en 5.6 en donde incluyo la carga y todos los componentes necesarios.

## 5.2. Efectos de la resistencia de radiación de la antena

Si la resistencia de radiación de la antena es menor que 50  $\Omega$  la potencia recibida a la distancia de 1 m no es suficiente para alcanzar la tensión necesaria para que el rectificador funcione correctamente, en este caso es necesario modificar la distancia hasta que el circuito funcione correctamente de nuevo. Por ejemplo para una antena dipolo de aproximadamente 1,6 cm de largo ( $\frac{\lambda}{20}$ ) la resistencia es de 1,98  $\Omega$  [19, p. 216], que es bastante baja, en este caso la potencia necesaria para alcanzar una tensión de 1,1 V es 76 mW o 18,8 dbm, que se alcanza a una distancia de 18 cm. El sistema puede sostener operación continua si los requisitos anteriores se cumplen, durante la etapa de recepción (durante la modulación el sistema no puede recolectar energía de la misma forma), pero el dispositivo también funciona almacenando la energía cosechada en un capacitor de gran tamaño, durante la carga la corriente de la carga es muy pequeña porque los circuitos

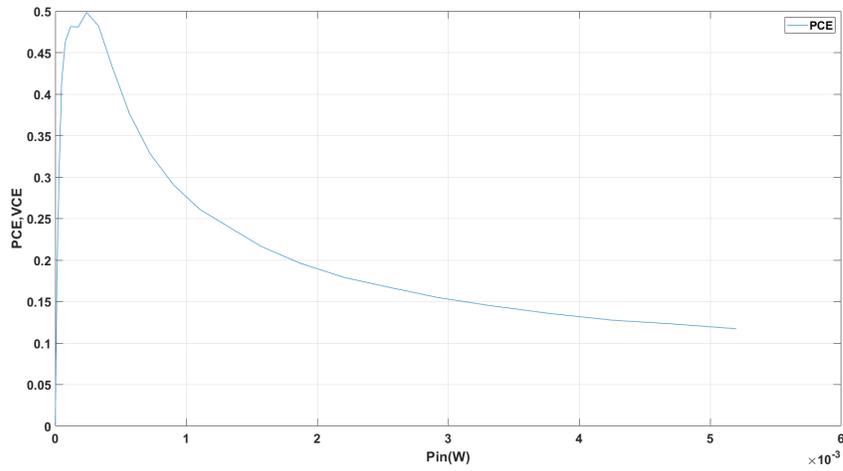


Figura 5.4: PCE como función de la potencia de entrada al transpondedor para el rectificador de 3 etapas diseñado

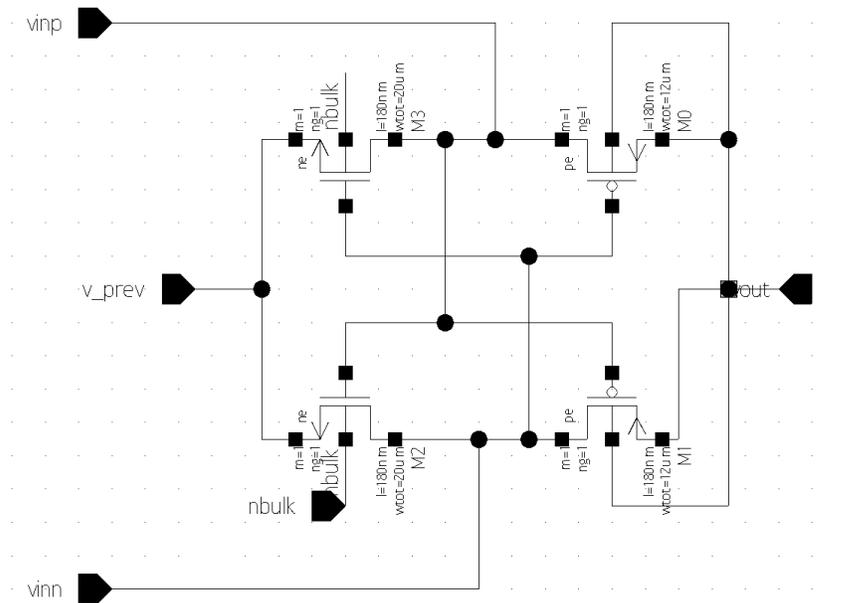


Figura 5.5: Diseño de la etapa de rectificación diferencial

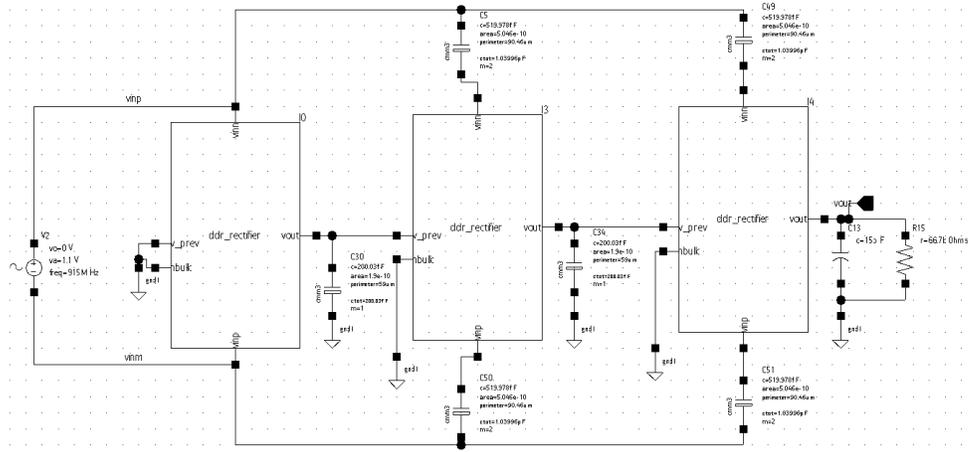


Figura 5.6: Diseño del rectificador de 3 etapas

están apagados de tal forma que el capacitor se puede cargar incluso con tensiones de entrada bajas, en este caso el tiempo de carga depende del capacitor de almacenamiento pero puede tomar varios milisegundos, para este propósito el rectificador necesita un limitador de tensión a la salida. En este caso si la tensión de operación mínima es de 0,7 V y suponiendo un valor típico de capacitancia de entrada de 0,74 pF en el pad, es posible hacer una estimación de la potencia recibida usando (5.4) [39], donde  $C_{ic}$  es la capacitancia en el pad,  $\omega$  es la frecuencia de la señal,  $P_{rx}$  es la potencia en la entrada del circuito,  $R_{ant}$  es la resistencia de radiación de la antena y  $V_{in}$  es la tensión en la entrada del circuito. Para una antena con resistencia de radiación de 50  $\Omega$  la potencia necesaria es de -6,56 dBm que corresponde a 3,5 m de distancia, si la resistencia es de 500  $\Omega$  entonces la potencia necesaria es de 3,42 dBm que corresponde a 1,1 m y si la resistencia es baja, de 2  $\Omega$ , la potencia necesaria es de -20,5 dBm que corresponde a 17,47 m. El valor de resistencia de la antena puede ser diseñado para poder recibir los datos a alguna distancia de interés asumiendo que el lector puede lograr una sensibilidad muy alta debido a que no tiene las restricciones del transpondedor.

$$V_{in} \approx \sqrt{2 \frac{P_{rx}}{R_{ant}} \frac{1}{\omega C_{ic}}} \quad (5.4)$$

### 5.3. Operación con un capacitor de almacenamiento

Para poder relajar los requisitos del cosechador se puede utilizar un tiempo inicial sin transmisión de datos para cargar un capacitor de alta capacitancia a un valor de tensión mayor al de 2 V diseñado para operación continua, si el capacitor se carga a 2,5 V el circuito de regulación de tensión puede funcionar hasta algún valor superior a 1,8 V (en este caso alrededor de 2 V), la descarga del capacitor puede ser compensada hasta cierto punto por el rectificador si este continúa operando. Si la corriente de la carga es baja (debido a que los sistemas están apagados) el capacitor se puede cargar incluso con valores de tensión inferiores a 1 V, una entrada de 0,7 V, por ejemplo, puede cargar el capacitor, de tal forma que el transpondedor puede funcionar a mayores distancias o compensar los posibles efectos de ineficiencia de la antena y el circuito de acople, la desventaja principal del sistema es que puede agregar un tiempo de carga largo antes de iniciar el funcionamiento, de varios milisegundos para un capacitor de 200 pF, por lo tanto para mayores valores de capacitancia el tiempo podría ser mucho mayor. Para la primera aproximación utilizo un capacitor de 200 pF, en este caso el tiempo de carga hasta 2,5 V es mayor a 2 ms.

### 5.4. Análisis de la impedancia de entrada del rectificador

El circuito rectificador necesita ser acoplado a la antena, para poder diseñar el circuito de acople es necesario conocer la impedancia de entrada del circuito. El valor de la impedancia de entrada del rectificador depende de la potencia de entrada y la frecuencia, para poder simularlo utilizo análisis de parámetros S HBLSP de Hspice RF, los puertos definidos para el análisis tienen una impedancia de 50  $\Omega$ . Para calcular la impedancia primero simulo los parámetros de dispersión (parámetros S) y luego uso (5.5) [24, pp. 192], en este caso las simulaciones indican que  $S_{12} = S_{21} \approx 0$  por lo que la expresión se reduce a (5.6). Para hacer estos cálculos modelo el rectificador (completo, las 3 etapas) como una red de 2 puertos, donde el puerto 1 es la entrada diferencial para la antena y el puerto 2 es desde  $V_{out}$  (la salida rectificadora) a tierra. En la Figura 5.7 muestro la parte real de la impedancia de entrada del rectificador y en la Figura 5.8 la parte imaginaria de la impedancia de entrada. En estas figuras se observa que la impedancia es capacitiva, también que depende de la frecuencia de operación y finalmente también depende de la potencia de entrada, por esta razón muestro varios valores de potencia.

$$Z_{11} = Z_0 \frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}} \quad (5.5)$$

$$Z_{11} = Z_0 \frac{(1 + S_{11})}{(1 - S_{11})} \quad (5.6)$$

Para finalizar la discusión de la impedancia de entrada muestro la impedancia equivalente necesaria para los diseños de circuitos de acople, la impedancia equivalente es un resistor y un capacitor en paralelo, de forma que para una impedancia compleja dada (obtenida de las figuras anteriores) es necesario calcular la resistencia y la capacitancia equivalente, si la impedancia compleja es de la forma  $r + i\alpha \Omega$  entonces (5.7) determina el valor del producto  $RC$  (donde  $R$  es el

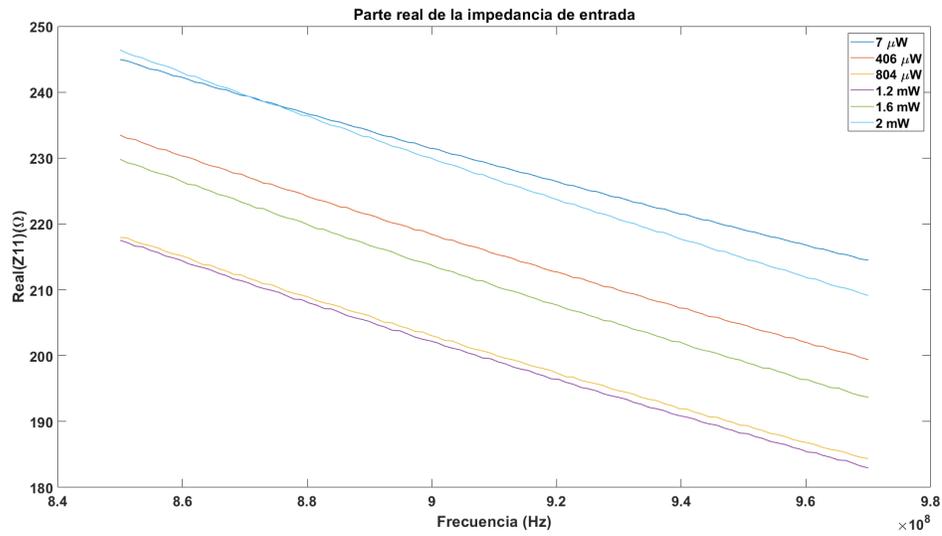


Figura 5.7: Parte real de la impedancia de entrada del rectificador diferencial de 3 etapas

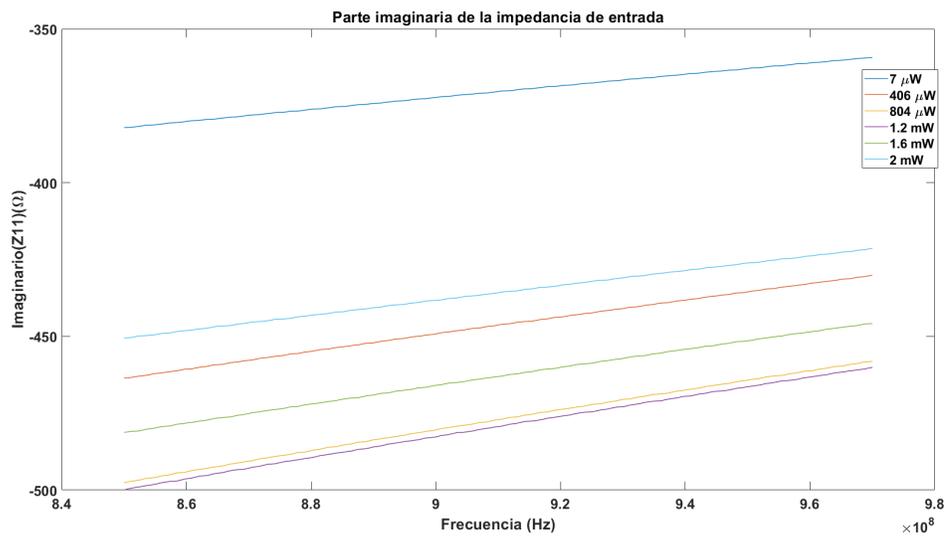


Figura 5.8: Parte imaginaria de la impedancia de entrada del rectificador diferencial de 3 etapas

valor de resistencia y  $C$  el valor de capacitancia),  $\omega$  (en rad/s) es la frecuencia de interés, 915 MHz en este caso. Para calcular  $R$  se puede usar (5.8), con este valor determinado y el valor de  $RC$  se calcula  $C$ . Para este diseño, usando una potencia intermedia de  $804 \mu\text{W}$ , el valor de la impedancia compleja es  $198.59-475.314i \Omega$ , el resultado es  $RC = 4,163 \times 10^{-10}$  y  $R = 1336,22 \Omega$ , entonces  $C = RC/R = 0,285 \text{ pF}$

$$RC = -\frac{\alpha}{r\omega} \quad (5.7)$$

$$R = -\alpha \frac{(RC\omega)^2 + 1}{RC\omega} \quad (5.8)$$



## CAPÍTULO 6

# DISEÑO DEL DEMODULADOR

### 6.1. Diseño del demodulador

El diseño del demodulador consiste en diseñar el detector de envolvente para un valor de sensibilidad dado, un filtro para eliminar las frecuencias altas de la envolvente, un circuito que genere una referencia que dependa de la envolvente (un circuito que genere un promedio) y un comparador con histéresis. La modulación es tipo ASK por lo tanto el circuito debe detectar la presencia o ausencia de un 1 lógico. El sistema digital se encarga de interpretar los resultados con ayuda del reloj del sistema.

El detector de envolvente utiliza el mismo circuito que el rectificador, pero solamente una etapa. Para seleccionarlo uso las figuras 6.1 y 6.2 que indican el valor del ancho de los transistores NMOS y la razón del ancho de los transistores PMOS a NMOS, respectivamente. En las figuras se nota que a diferencia con el rectificador no se alcanza un máximo, después del codo no se obtienen muchas mejoras al aumentar los tamaños (lo importante es seleccionar un valor luego del codo) por lo que seleccioné un ancho para los transistores NMOS de  $20\ \mu\text{m}$  y una razón de 1.

El comparador que diseñé tiene los requisitos de la tabla 6.1, posee una histéresis simétrica de 100 mV con valores de conmutación de -50 mV y 50 mV. El valor de retardo máximo lo seleccioné para que sea mucho menor que el periodo mínimo de los datos ( $3,125\ \mu\text{s}$ ). Para diseñarlo primero implementé el comparador sin histéresis que cumple los requisitos (excepto la ganancia) usando el procedimiento de [1, pp. 464-466] y luego agregué transistores de histéresis interna, para este último paso los cálculos analíticos aproximados no son precisos debido a los valores pequeños de transistores (largo y ancho) que obtuve, por lo tanto para diseñarlos hice un barrido de los anchos para los transistores de histéresis hasta obtener el valor deseado [1, pp. 476-480], el diseño sin histéresis lo muestro en la figura 6.3, para reducir el ruido de bajas frecuencias uso una etapa de entrada PMOS. Para reducir el consumo de potencia mantuve los valores de transistores pequeños de tal forma que la corriente de polarización es de  $3,4\ \mu\text{A}$ , con estos valores de corriente los valores de ganancia son bajos pero esto es compensado por la realimentación positiva del circuito. Las respuestas del comparador sin histéresis en el tiempo para valores de tensión de entrada común (V<sub>icm</sub>) bajos, intermedios y elevados los muestro en las figuras 6.4, 6.5 y 6.6 respectivamente, en estas respuestas es apreciable el buen desempeño temporal del comparador que cumple los requisitos deseados (valores de salida y retardo) para ambos casos aunque

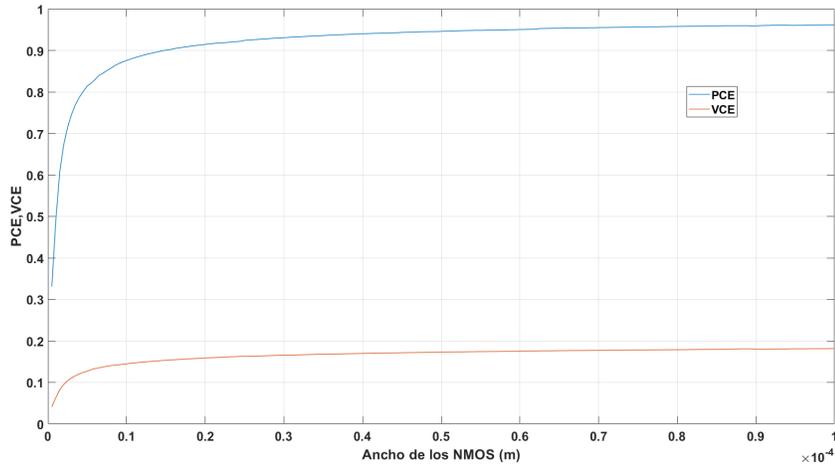


Figura 6.1: PCE y VCE del detector de envolvente como función del ancho de los transistores NMOS

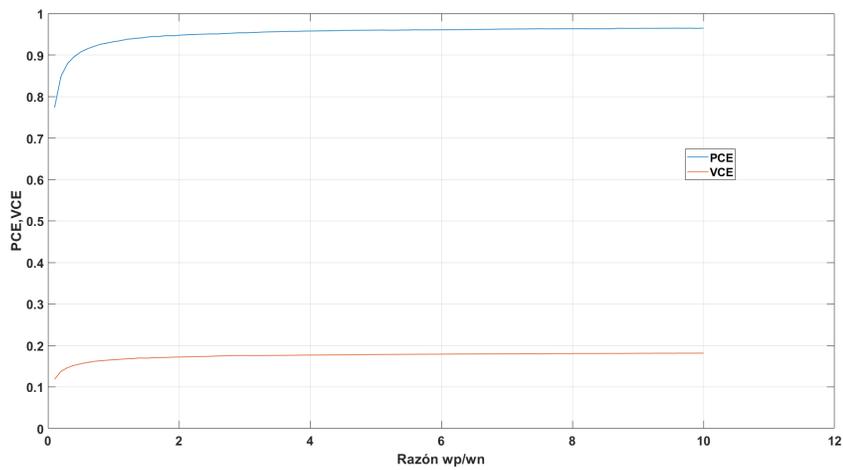


Figura 6.2: PCE y VCE del detector de envolvente como función de la razón de los transistores



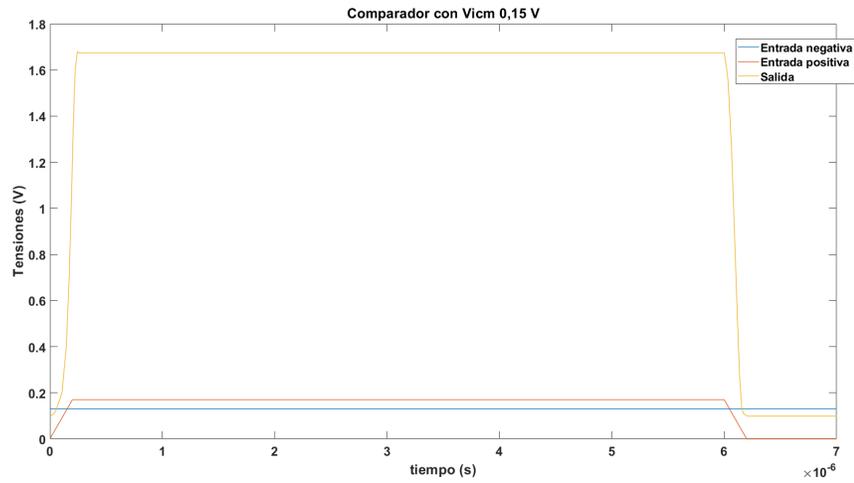


Figura 6.4: Respuesta en el tiempo del comparador para Vicm de 0,15, sin histéresis

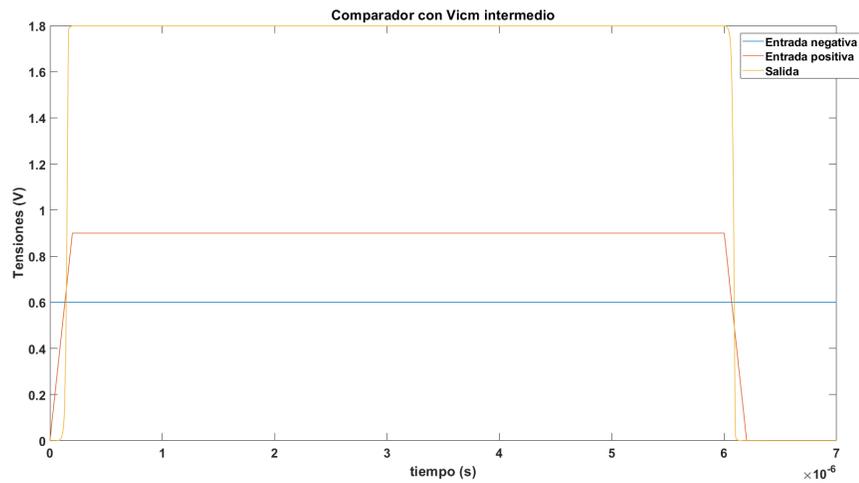


Figura 6.5: Respuesta en el tiempo del comparador sin histéresis para un valor intermedio de Vicm

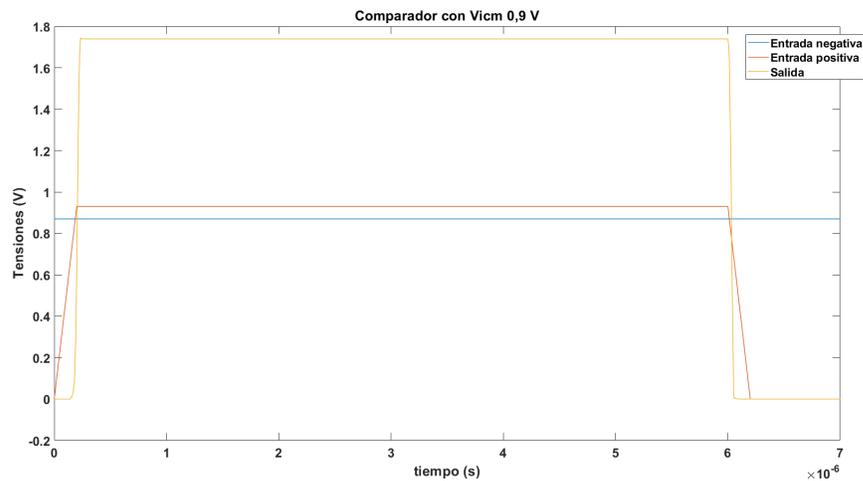


Figura 6.6: Respuesta en el tiempo del comparador para Vicm de 0,9 V, sin histéresis

satisfactorio como muestro más adelante, la respuesta en fase del comparador la muestro en la figura 6.8.

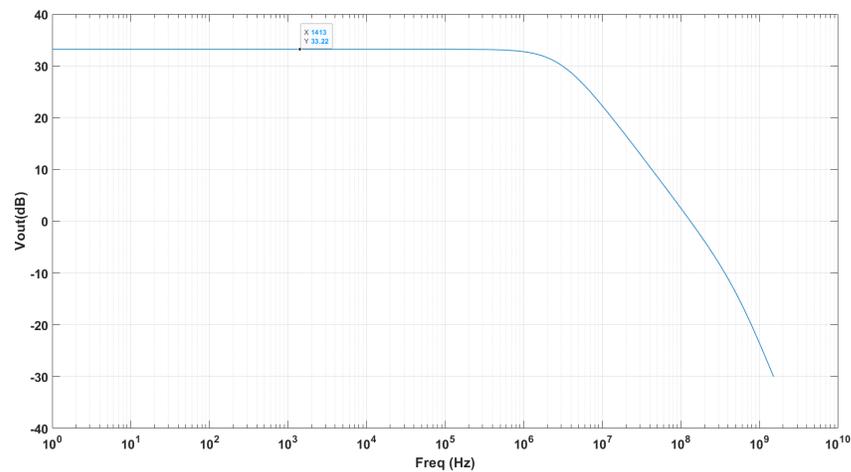


Figura 6.7: Respuesta en frecuencia del comparador sin histéresis, magnitud

El comparador con histéresis que diseñé lo presento en la figura 6.9 donde los transistores de histéresis (M16 y M17) tienen un ancho de  $1,42 \mu\text{m}$  (y el mismo largo que los transistores paralelos M5 y M8). La histéresis del comparador que muestro en la figura 6.11 comprueba que el valor es correcto, esto asegura que el ruido a la salida sea atenuado en gran medida siempre que la amplitud del ruido de entrada no supere 100 mV. Las características dinámicas incluyendo

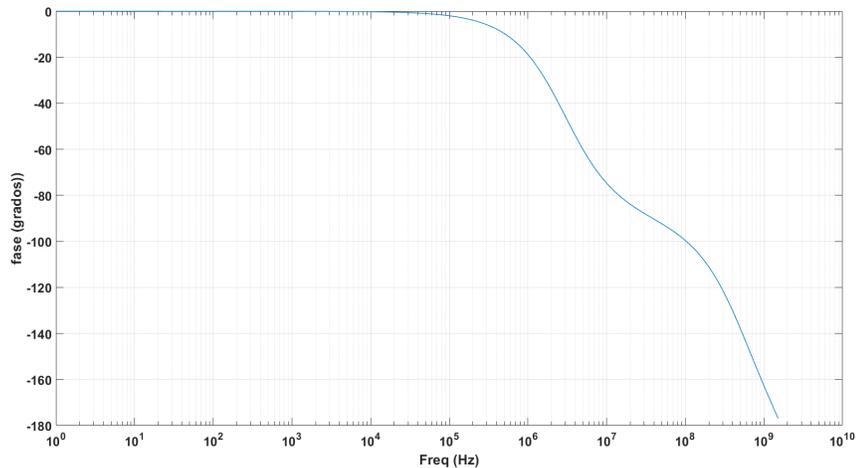


Figura 6.8: Respuesta en frecuencia del comparador sin histéresis, fase

la conmutación se pueden ver en la figura 6.10 donde los tiempos de subida, bajada y propagación cumplen con los requisitos. Es importante notar que los requisitos no incluyen el efecto de histéresis, por lo tanto es esperable que los tiempos sean mejores a los diseñados, también las salidas pueden alcanzar los valores de riel debido a la realimentación positiva, lo que provoca que el requisito de ganancia no sea muy significativo en este caso. En la figura 6.10 se aprecia la respuesta en el tiempo del comparador con histéresis, si lo comparo con el comparador sin histéresis presenta varias diferencias en la temporización y la señal de salida alcanza los rieles para todo el rango de  $V_{cm}$ , en general la respuesta es mejor que los requisitos, por lo tanto este método (diseñar primero sin histéresis) es satisfactorio debido a que las deficiencias de ganancia son compensadas por la realimentación positiva.

La envolvente que se obtiene luego del detector de envolvente debe ser procesada antes de ser usada, primero los niveles de DC presentes deben ser eliminados y luego las frecuencias altas (de 915 MHz en este caso) deben ser rechazadas, para lograr este objetivo utilizo un filtro pasabajas RC pasivo de segundo orden con una frecuencia de corte de aproximadamente 40 MHz como se aprecia en la figura 6.12, de esta forma logro una atenuación alta del rizado y los componentes no son excesivamente grandes y también evito afectar las frecuencias bajas (la frecuencia más alta de interés es de 320 kHz). El circuito completo del demodulador es apreciable en la figura 6.13 donde el filtro está formado por los capacitores C45 y C16 y los resistores R47 y R44. El resistor R48 funciona para descargar los capacitores (incluyendo los parásitos) y hacer que la envolvente alcance el valor de 0, es mucho mayor que los resistores del filtro para evitar afectar su comportamiento, en esta figura también presento el circuito para obtener el promedio de la envolvente formado por los transistores M41, M40 y el capacitor C26, este circuito no calcula el promedio exacto pero brinda un valor que cambia de acuerdo a la señal envolvente, la resistencia del transistor M41 conectado como diodo es menor que la del transistor M40 conectado como

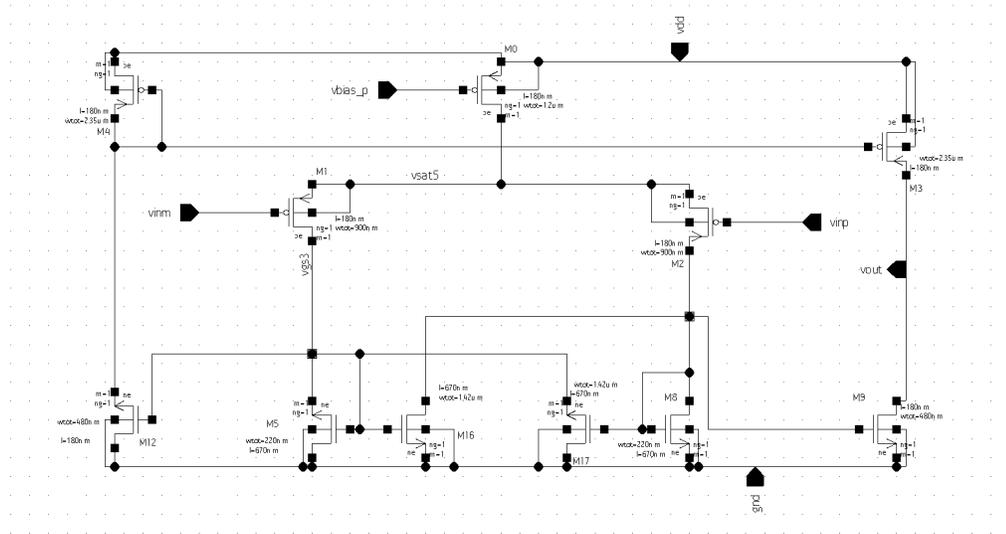


Figura 6.9: Comparador con histéresis usado en el demodulador

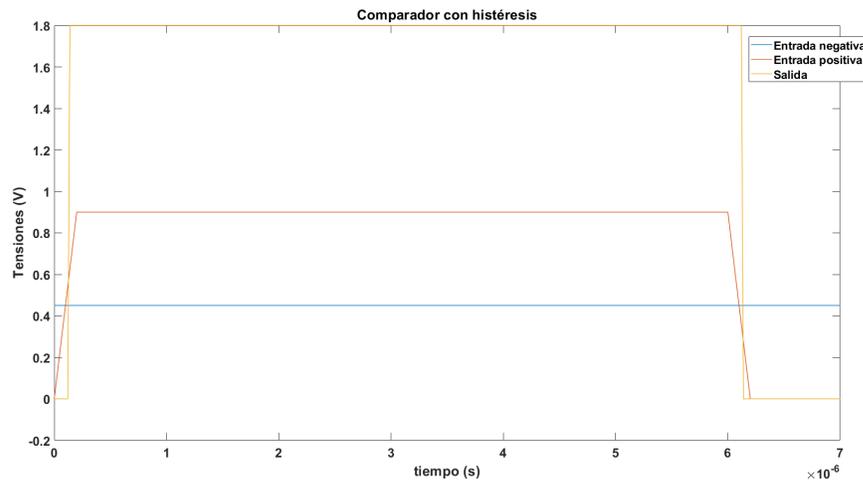


Figura 6.10: Respuesta en el tiempo del comparador



Figura 6.11: Respuesta de transferencia del comparador mostrando la histéresis

diodo, para que el circuito funcione correctamente la constante de tiempo de la combinación en paralelo del capacitor C26 y el transistor M40 es mucho mayor que la señal de interés con mayor periodo ( $50 \mu\text{Hz}$ ), para mejorar su funcionamiento el valor de resistencia (o capacitancia) se puede aumentar, esto también ayuda cuando los valores de entrada son mayores. Este circuito de demodulación lo diseñé para valores de entrada cercanos a 1 V pero puede funcionar sin mucho efecto en el rendimiento desde 0,7 V hasta 1,8 V, bajo ciertos requisitos puede funcionar fuera de este rango.

La figura 6.14 muestra el circuito funcionando correctamente, el valor promedio alcanza un valor de 350 mV que sirve de referencia luego de esto el comparador conmuta apropiadamente en los valores de conmutación diseñados. Gracias al filtro que implemento el valor de rizado (ruido) de la entrada es menor a 30 mV y es rechazado por el comparador (en el sentido de que no causa conmutaciones indebidas), asumiendo que el ruido adicional (por flick y térmico) es similar el demodulado no debería tener problemas de funcionamiento. usando simulaciones de parámetros en Hspice (análisis .LIN donde los puertos tienen una impedancia de  $50 \Omega$ , para una frecuencia de 915 MHz) obtengo una impedancia de  $0,027-3000i \Omega$  para el demodulador, al convertirla a los valores de resistencia y capacitancia (según el capítulo 5) obtengo una resistencia de  $300 \text{ M}\Omega$  y capacitancia de  $57 \text{ fF}$  que tampoco deben afectar la impedancia de entrada significativamente, por lo tanto la impedancia de entrada está determinada por el rectificador, estos valores son esperados debido a que el detector de envolvente rechaza la señal portadora, transmitiendo solamente las frecuencias bajas de los datos.

La figura 6.15 muestra una superposición de la envolvente procesada y la señal modulada de entrada donde se aprecia claramente su correlación, la forma se modifica un poco pero la información necesaria (presencia o ausencia) de la señal de baja frecuencia es conservada.

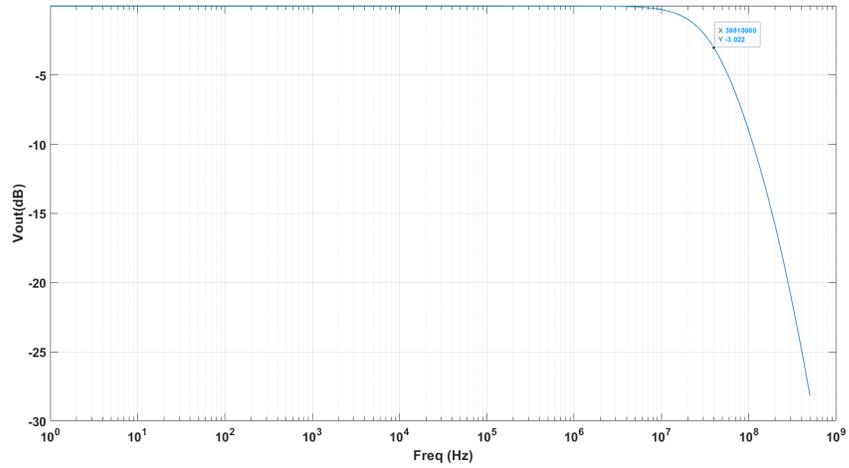


Figura 6.12: Respuesta en frecuencia del filtro RC de segundo orden

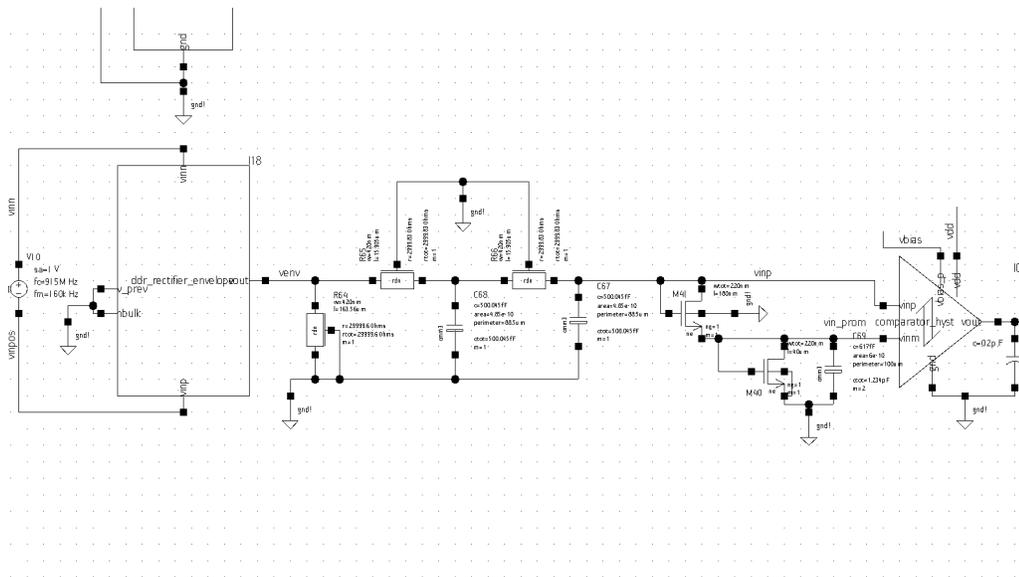


Figura 6.13: Circuito demodulador

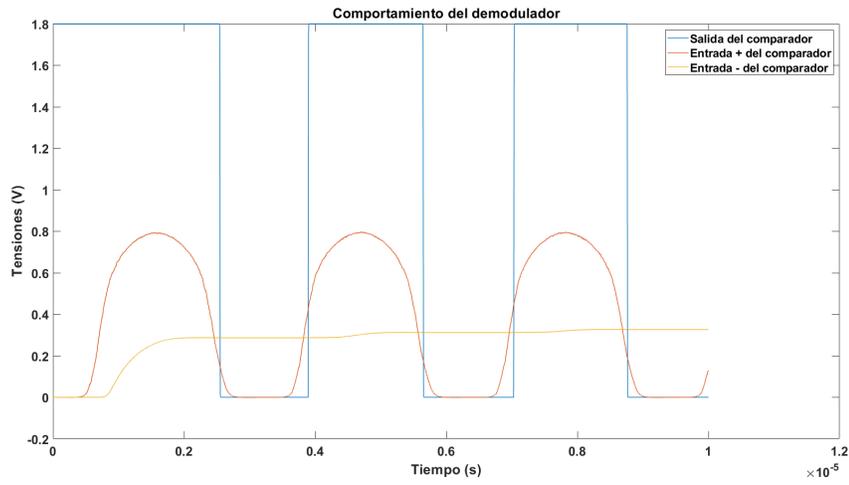


Figura 6.14: Respuesta en el tiempo del demodulador

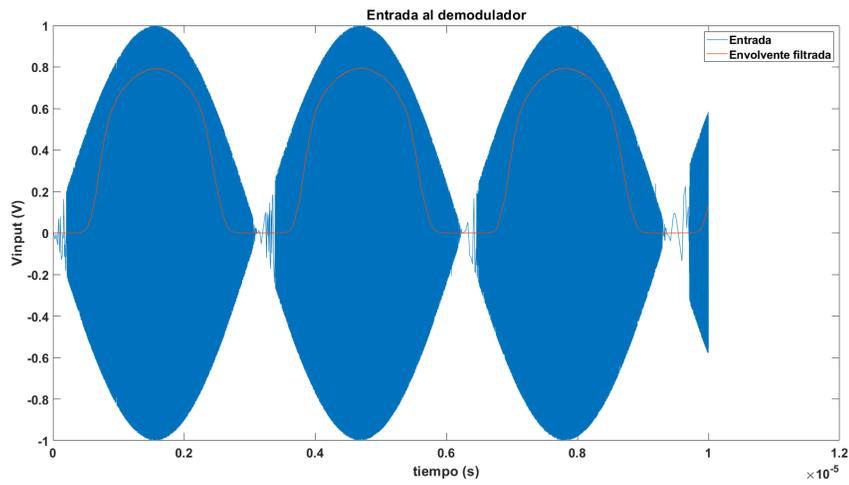


Figura 6.15: Entrada del demodulador superpuesta con la envolvente procesada

En la figura 6.16 muestro la señal envolvente antes de ser filtrada, como se puede apreciar el ruido superaría los 100 mV y podría ser posible que el comparador conmute indebidamente por lo tanto el filtro es indispensable y ayuda a reducir los requisitos de los otros componentes.

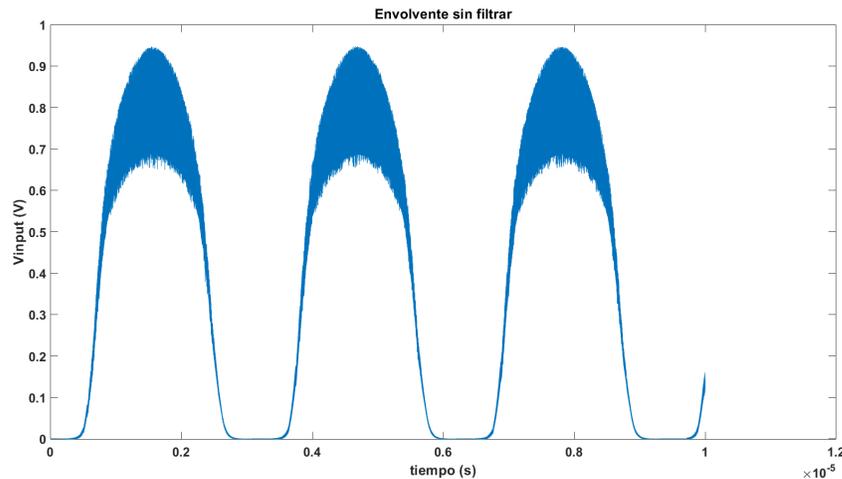


Figura 6.16: Envolvente detectada sin filtrar

## 6.2. Diseño del circuito de polarización

Para poder polarizar el comparador necesito diseñar una referencia de corriente independiente de la fuente de alimentación [29, pp. 510-511], este circuito genera una corriente de salida de  $1,45 \mu\text{m}$  que el comparador copia (y aumenta) usando un espejo de corriente. Los largos son mayores que el mínimo para reducir los efectos de la modulación del largo de canal, debido a que la fuente del transistor M3 tiene un potencial que no es tierra los cálculos directos son poco precisos pero brindan un punto de inicio para hacer un barrido del valor de resistencia necesario para generar la corriente deseada. El circuito de la figura 6.17 muestra el diseño completo de la referencia basado en [1, pp. 155], para el diseño del resistor se usa (6.1) donde  $K$ ,  $W$ ,  $L$  son los parámetros del transistor M2 (y  $R$  corresponde a R28 en este caso),  $I_1$  es la corriente de la rama del transistor M2 e  $I_2$  es la corriente de la rama del transistor M3, el transistor M20 es el circuito de inicio para evitar que las corrientes permanezcan en cero si este punto de operación ocurre [29, p. 512]. El circuito de inicio de la referencia tiene la ventaja de que consume una corriente de 250 pA durante el funcionamiento normal del circuito, es posible usar otros métodos que dependen de señales de control digitales [4,20] y circuitos con una funcionalidad similar pero más complejos [3] pero las simulaciones de la implementación que uso indican que el circuito funciona correctamente, de esta forma no hay una dependencia de la parte digital, la figura 6.18 muestra la corriente de salida siendo modificada por el circuito de inicio, para esta simulación agregué capacitores que simulan capacitancias parásitas de 1pF e incluso con estos valores tan

altos la corriente de polarización se alcanza en menos de  $2 \mu\text{s}$ . La figura 6.19 muestra la tensión de salida del circuito, en la figura 6.20 muestro la tensión de compuerta del transistor M2 del circuito de polarización y finalmente la figura 6.21 muestra que la corriente del circuito de arranque es baja como mencioné anteriormente, de esta forma no se desperdicia corriente que en este proyecto es de suma importancia. El circuito demodulador consume aproximadamente  $57 \mu\text{W}$  de potencia, pero en general depende de la potencia en la señal de entrada.

$$I_1 = I_2 = \frac{1}{2\beta_1 R^2} \quad (6.1)$$

$$\beta = K \frac{W}{L}$$

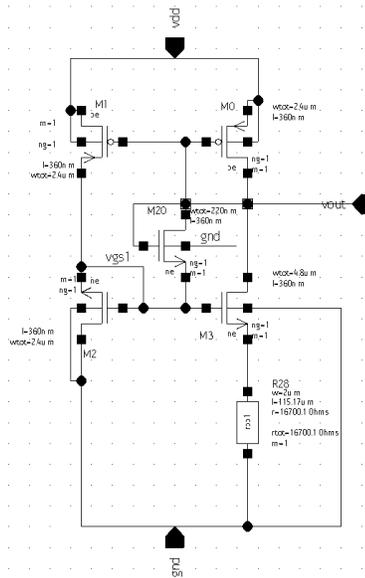


Figura 6.17: Referencia de corriente independiente de la fuente de alimentación para polarizar el comparador

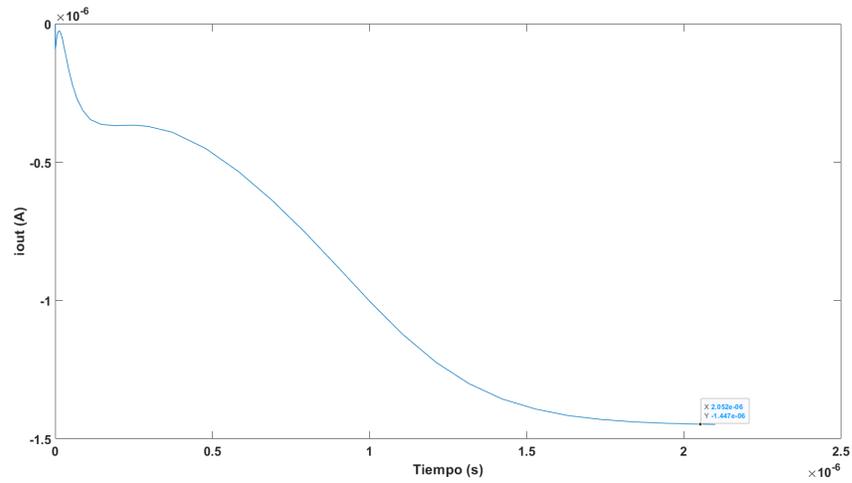


Figura 6.18: Corriente de polarización y la respuesta causada por el circuito de inicio

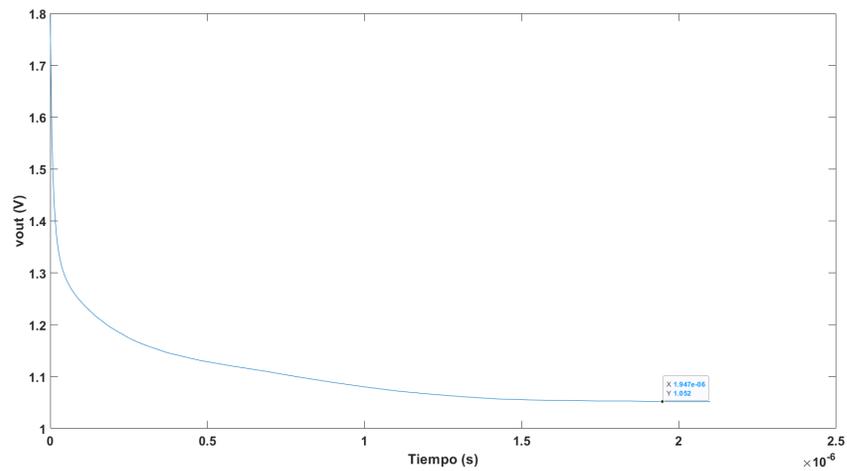


Figura 6.19: Tensión de salida del circuito de polarización

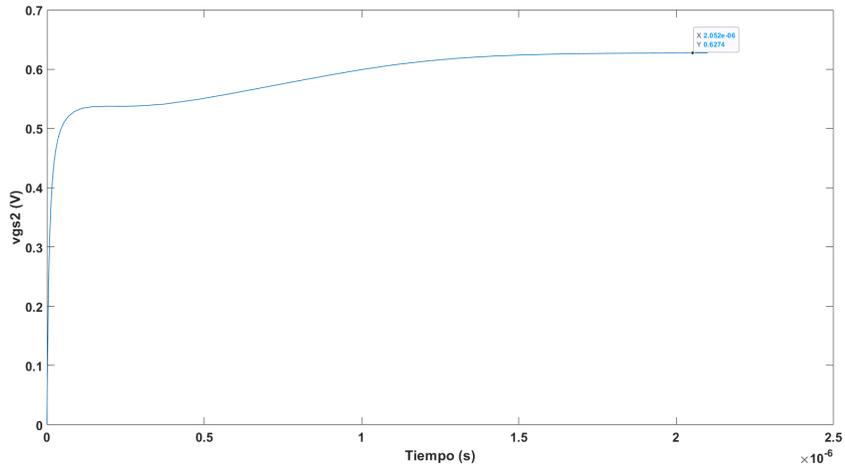


Figura 6.20: Tensión de compuerta del transistor M2 del circuito de polarización

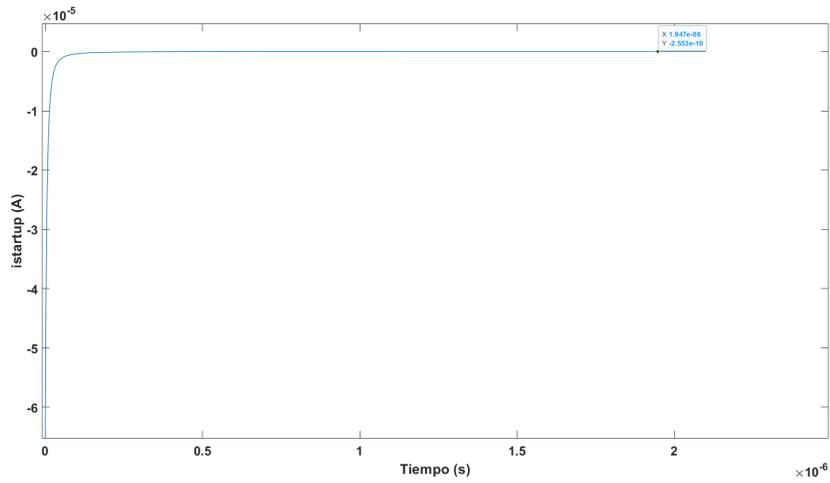


Figura 6.21: Corriente del circuito de arranque

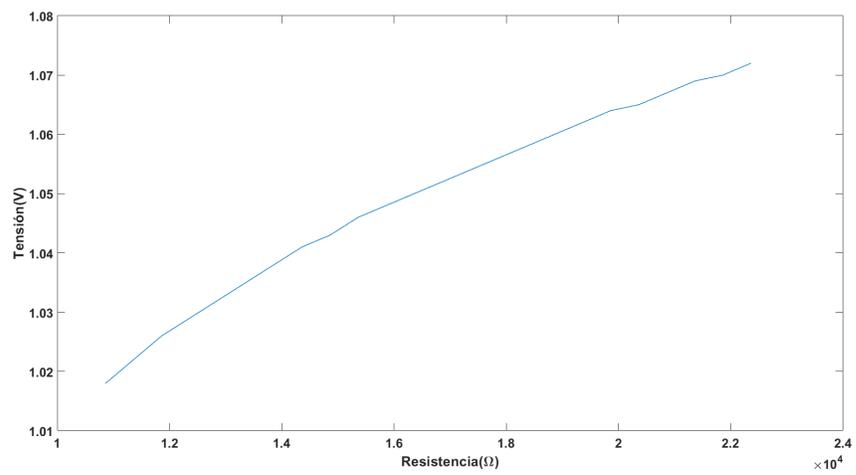


Figura 6.22: Variación de la tensión de salida del circuito de polarización como función del valor de resistencia del resistor R28



## CAPÍTULO 7

# DISEÑO DEL MODULADOR

### 7.1. Diseño del Modulador por retrodispersión

Para este diseño uso el circuito de Figura 7.1, el elemento M4 es el modulador y el resto del circuito funciona como un buffer para lograr encender el transistor de forma aceptable. El objetivo del diseño es maximizar la diferencia del coeficiente de reflexión del circuito mientras conduce y mientras está apagado. La capacitancia adicional ayuda a mitigar las capacitancias parásitas [13]. El coeficiente de reflexión cuando el transistor M4 está apagado es aproximadamente 1 según las simulaciones. Para seleccionar el ancho de M4 hago un barrido del ancho y gráfico el coeficiente de reflexión en la figura 7.2, con esta figura selecciono el ancho de  $3.82 \mu\text{m}$  que resulta en una magnitud de 0,75 para el coeficiente de reflexión. Los ángulos del coeficiente de reflexión de la figura 7.3 indican que para el ancho seleccionado el ángulo es aproximadamente  $15^\circ$ , de esta forma el ángulo es cercano a cero. Aproximadamente ambos casos poseen un ángulo de  $0^\circ$  por lo que la magnitud determina el valor óptimo. Para estimar el coeficiente de reflexión modelo el sistema como una red con un solo puerto, la entrada para la señal recibida, usando simulaciones de parámetros en Hspice (análisis .LIN donde los puertos tienen una impedancia de  $50 \text{ Omega}$ ) obtengo la impedancia de entrada y luego uso (7.1) [24, pp. 173] para calcular el coeficiente de reflexión, donde  $\Gamma(\omega)$  es el coeficiente de reflexión,  $Z(\omega)$  es la impedancia de entrada del modulador y  $Z_0$  es la impedancia de la antena, en este caso uso un valor significativo de  $50 \Omega$  pero en la implementación este valor podría variar, los valores se evalúan en la frecuencia  $\omega$  de interés, 915 MHz en este caso.

$$\Gamma(\omega) = \frac{Z(\omega) - Z_0}{Z(\omega) + Z_0} \quad (7.1)$$

### 7.2. Funcionamiento temporal del modulador de retrodispersión

La figura 7.4 muestra un cambio claro en la amplitud de la tensión modulada, para esta simulación utilizo una señal seno en serie con una resistencia de  $50 \text{ Omega}$  como la entrada del modulador para simular la antena, la señal inferior es la señal de modulación que viene desde la parte digital, la señal superior es la respuesta en la salida del modulador. Para este caso la diferencia de tensión

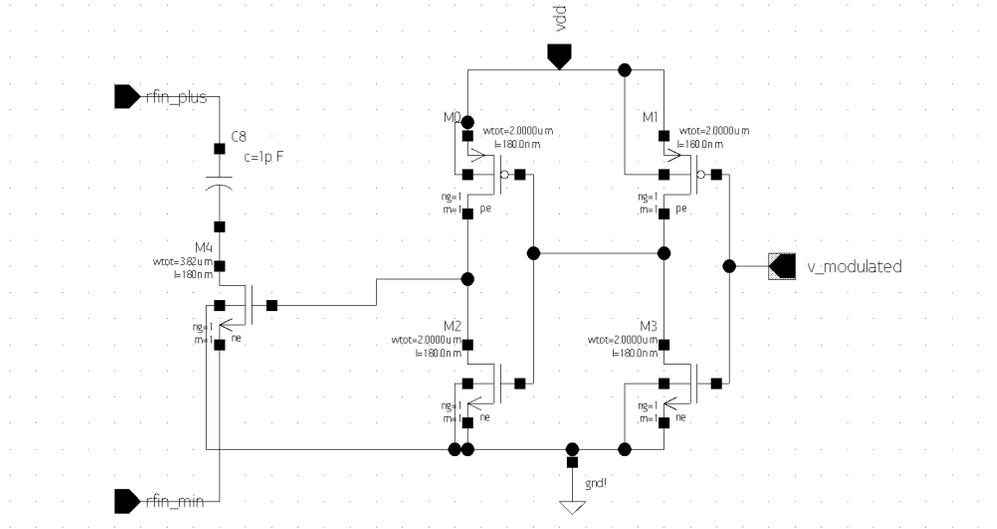


Figura 7.1: Diseño del modulador ASK por retrodispersión y un circuito de bufer

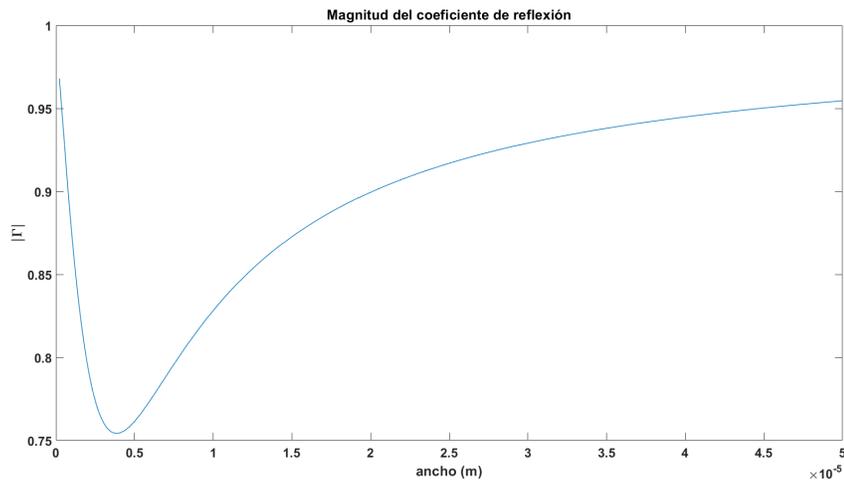


Figura 7.2: Magnitud del coeficiente de reflexión para el modulador por retrodispersión

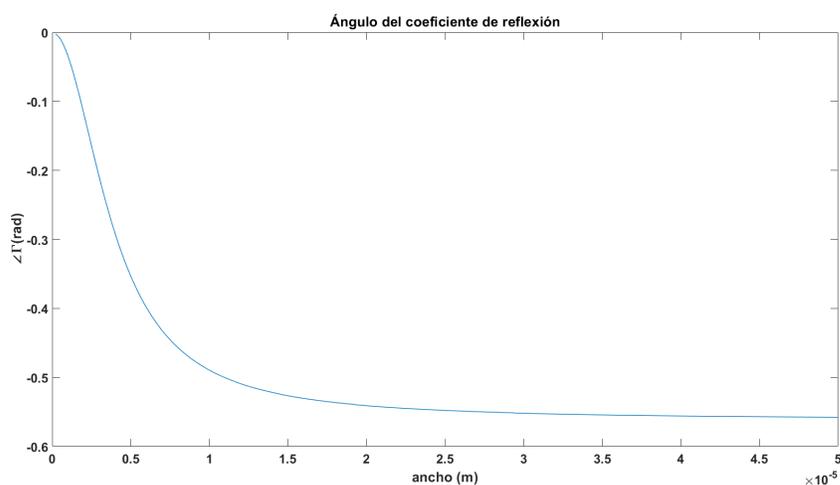


Figura 7.3: Fase del coeficiente de reflexión para el modulador por retrodispersión

entre los dos estados de modulación es de 34 mV. Debido a que el índice de reflexión varía como mostré en la sección anterior un comportamiento similar ocurre para distintas impedancias en la antena. La potencia instantánea en las terminales de salida de la figura 7.5 muestra una diferencia en la amplitud de la potencia de 0.18 mW.

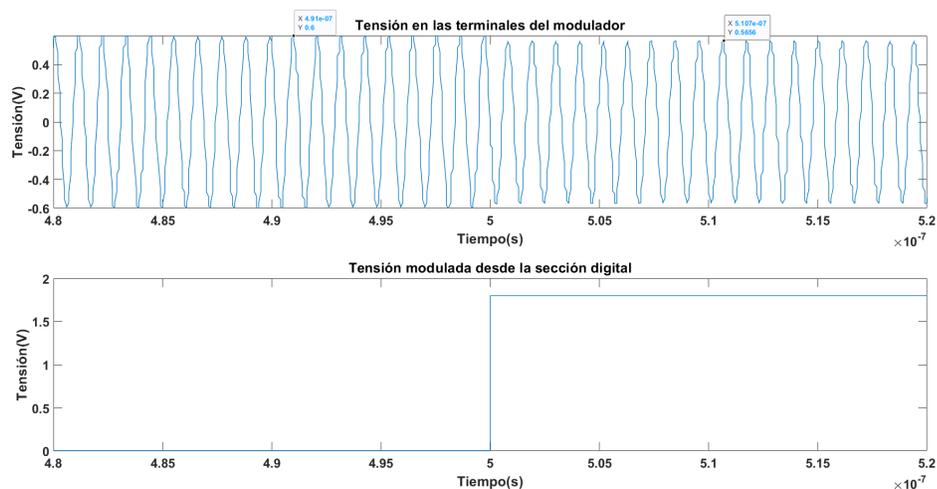


Figura 7.4: Respuesta en el tiempo del modulador por retrodispersión al cambiar el estado de la modulación

La figura 7.6 muestra la impedancia de entrada del modulador cuando el transistor de modulación está encendido. La figura 7.7 muestra la impedancia de entrada del modulador cuando el

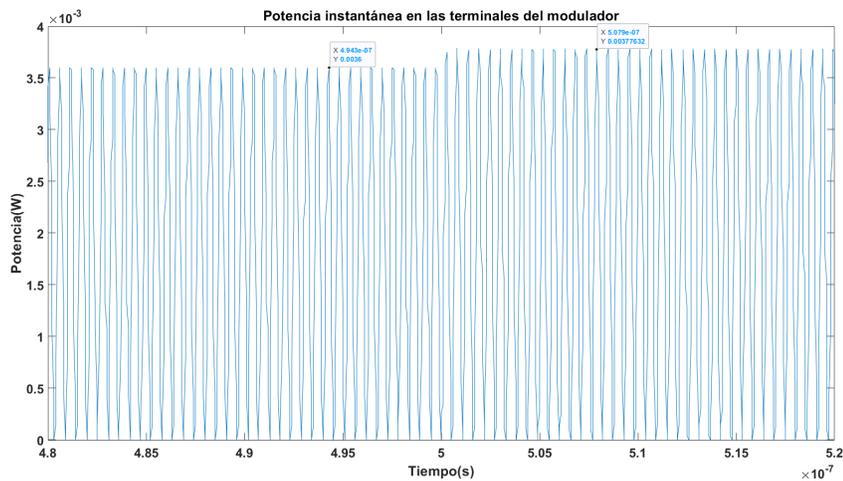


Figura 7.5: Potencia en las terminales de salida del modulador por retrodispersión

transistor de modulación está apagado. Con estas imágenes es posible determinar la resistencia y capacitancia equivalente cuando el transistor M4 está apagado, la resistencia es aproximadamente  $2600 \text{ M}\Omega$  y la capacitancia es  $2,56 \text{ fF}$ , esto significa que la impedancia del modulador puede ser ignorada para los cálculos de impedancia de entrada del AFE. El modulador consume aproximadamente  $3 \text{ }\mu\text{W}$  de potencia, la potencia puede aumentar debido a la potencia dinámica que la señal de datos consume pero el valor máximo de este aumento es de  $5 \text{ nW}$  que es despreciable comparado con la potencia estática.

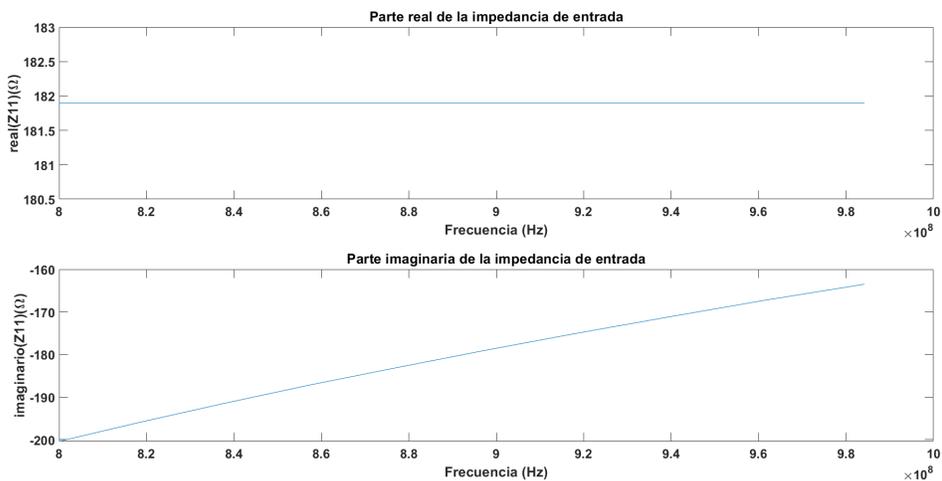


Figura 7.6: Impedancia del modulador cuando el transistor M4 está encendido

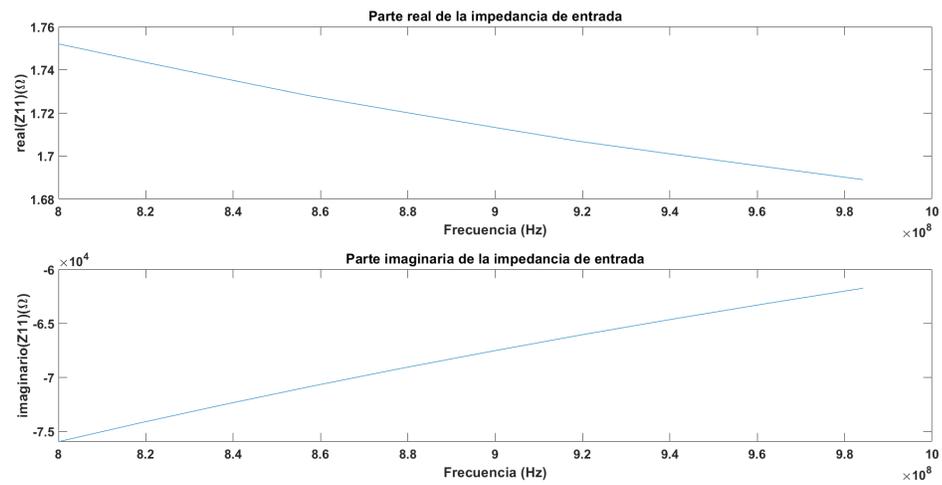


Figura 7.7: Impedancia del modulador cuando el transistor M4 está apagado



## CAPÍTULO 8

# DISEÑO DEL LAYOUT

### 8.1. Diseño del rectificador

El layout de una etapa del rectificador se muestra en la Figura 8.1, este diseño le da prioridad a mantener los puertos hasta metal 2 para que su integración sea más sencilla.

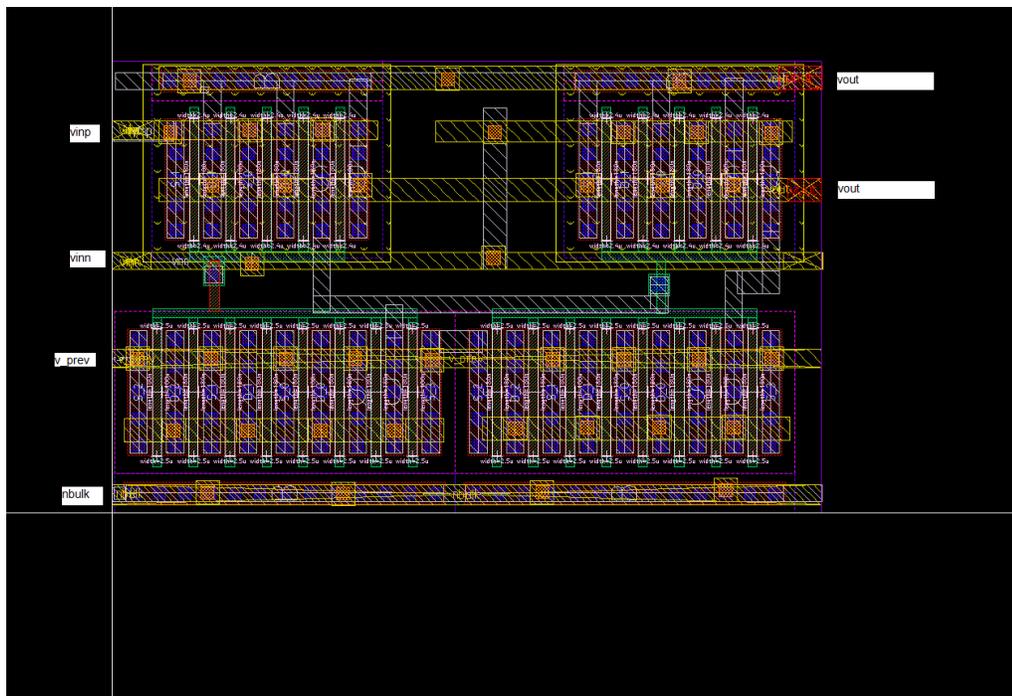


Figura 8.1: Layout de una etapa de rectificación.

El layout del rectificador se muestra en la figura 8.2, en este se nota que el área es dominada por los capacitores.

El comportamiento de la tensión de salida ante una entrada seno de amplitud 1.1 V y frecuencia de 915 MHz se muestra en la figura 8.3, se comporta de la misma forma que el esquemático.

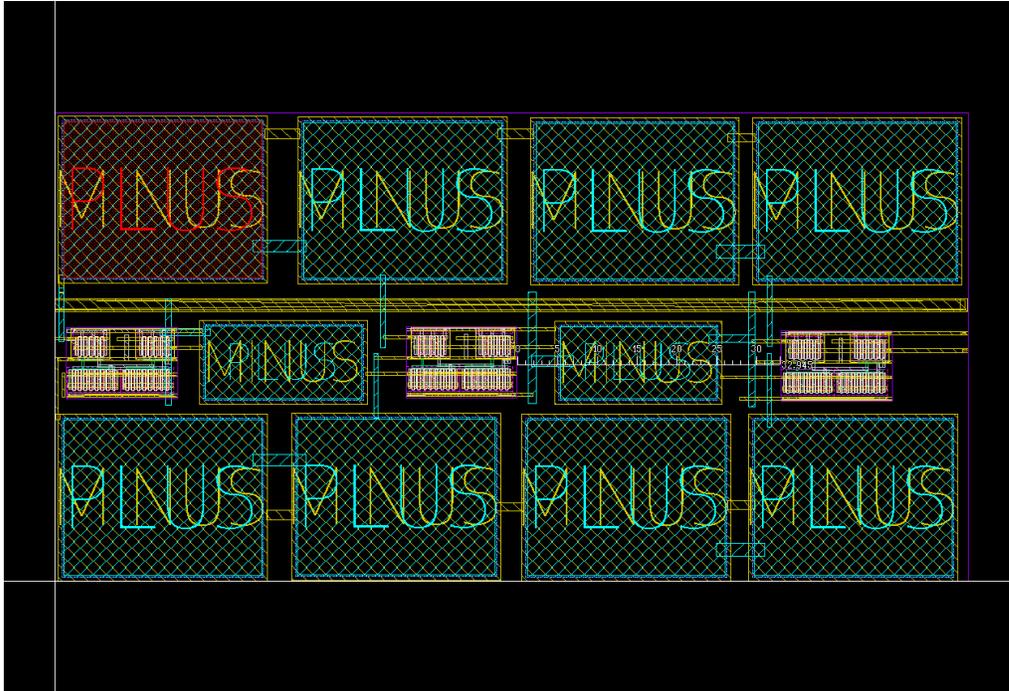


Figura 8.2: Layout del rectificador.

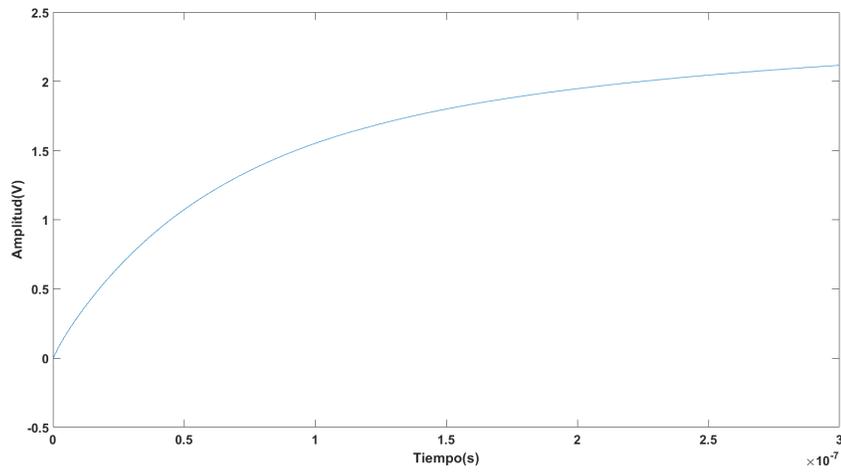


Figura 8.3: Resultados post-layout del rectificador.

La impedancia real del rectificador se muestra en la figura 8.5 y la impedancia imaginaria en la figura 8.4. El comportamiento es similar al esquemático pero los valores numéricos son distintos ya que se incluyen nuevas capacitancias y resistencias parásitas, estos valores son más precisos y deben ser usados para los cálculos de los circuitos de acoples y antenas.

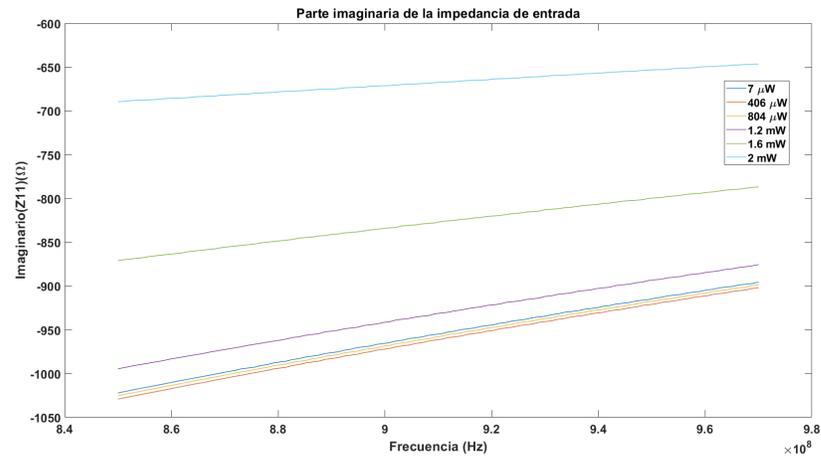


Figura 8.4: Parte imaginaria de la impedancia de entrada del rectificador.

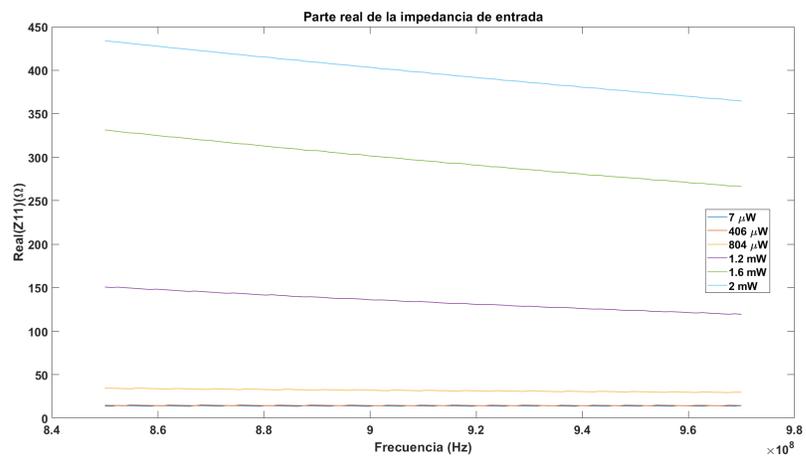


Figura 8.5: Parte real de la impedancia de entrada del rectificador.

De esta forma, para una potencia de 804 μW, la resistencia de entrada es 29 kΩ y la capacitancia de entrada es 0,183 pF. Estos valores varían considerablemente con la potencia de entrada. Las simulaciones de post layout indican que la PCE es mayor que 37,8 % y la VCE es mayor al 85 %.

## 8.2. Diseño del demodulador

El layout del comparador se muestra en la figura 8.6, este diseño le da prioridad a la simetría de las entradas diferenciales.

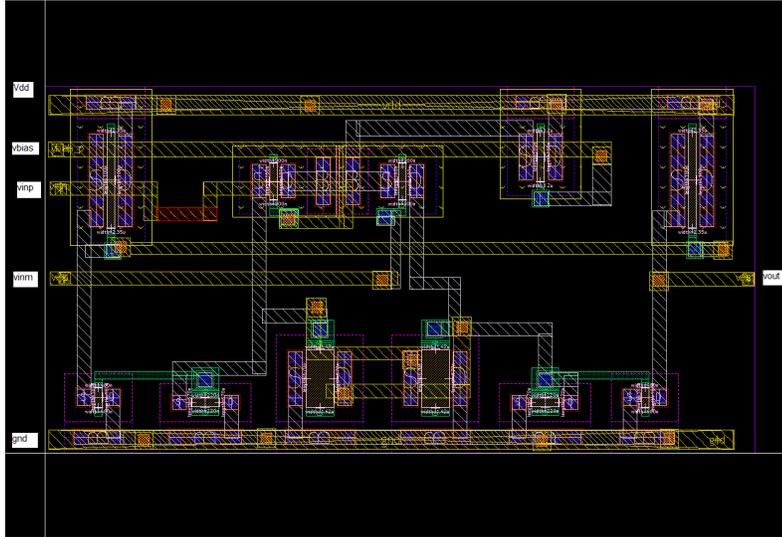


Figura 8.6: Layout del comparador.

La celda de polarización se muestra en la figura 8.7 donde se aprecia que el área es dominada por el resistor de poly.

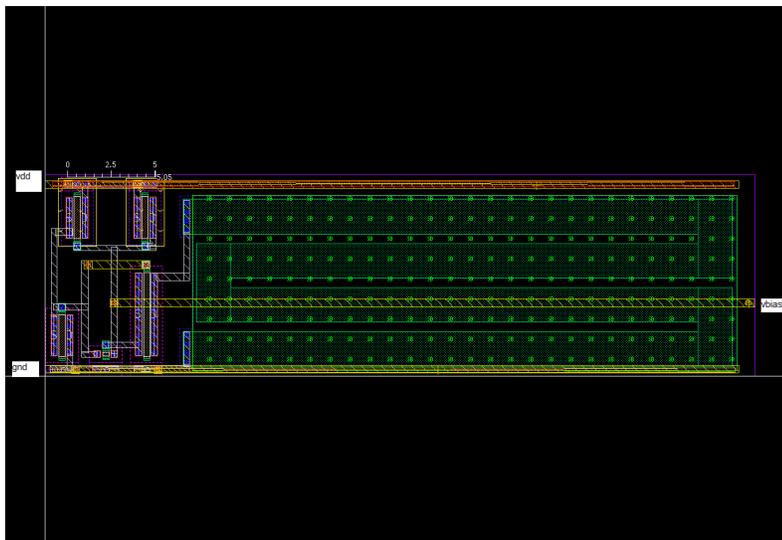


Figura 8.7: Layout de la celda de polarización.

El layout del detector de envolvente de la figura 8.8 es una etapa de rectificador en donde los transistores tienen otro tamaño como se explica en la sección de diseño.

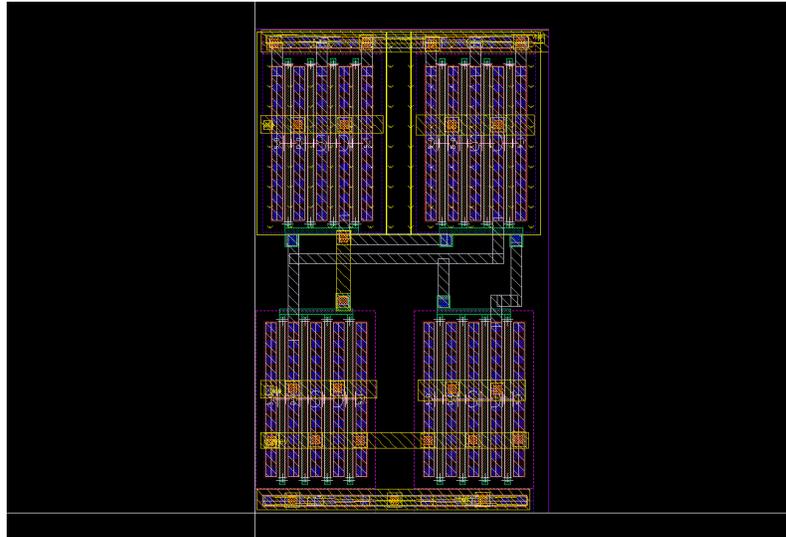


Figura 8.8: Layout del detector de envolvente.

El sistema completo incluye los demás componentes (como el filtro) y el layout se muestra en la figura 8.9, como es esperado los capacitores dominan el área.

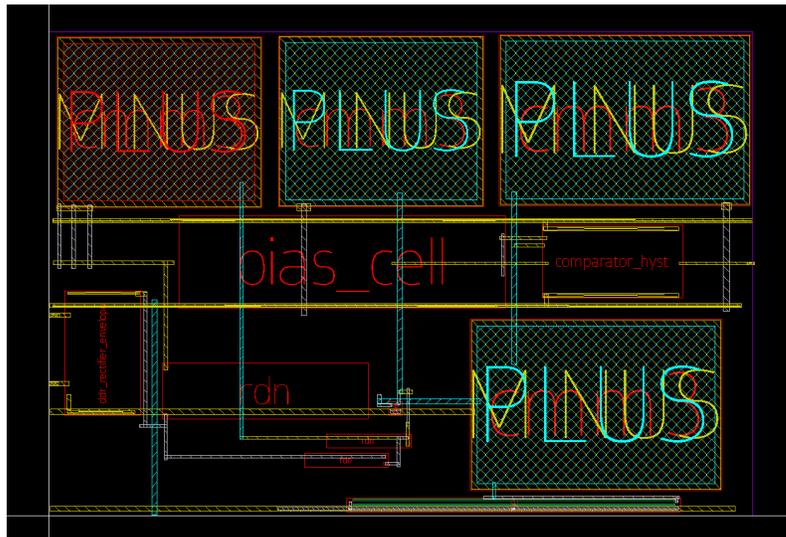


Figura 8.9: Layout del demodulador.

El funcionamiento del demodulador completo se muestra en la figura 8.10 para una entrada

ASK de 1.1 V de amplitud, el funcionamiento es igual al esquemático como se espera.

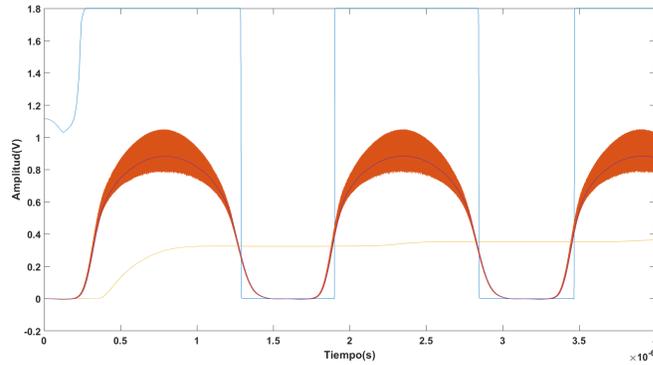


Figura 8.10: Resultados post-layout del demodulador.

### 8.3. Diseño del modulador

El área del layout del modulador por retrodispersión es dominado por el capacitor, lo muestro en la Figura 8.11 y los resultados de la figura 8.12 muestran que se comporta como el esquemático.

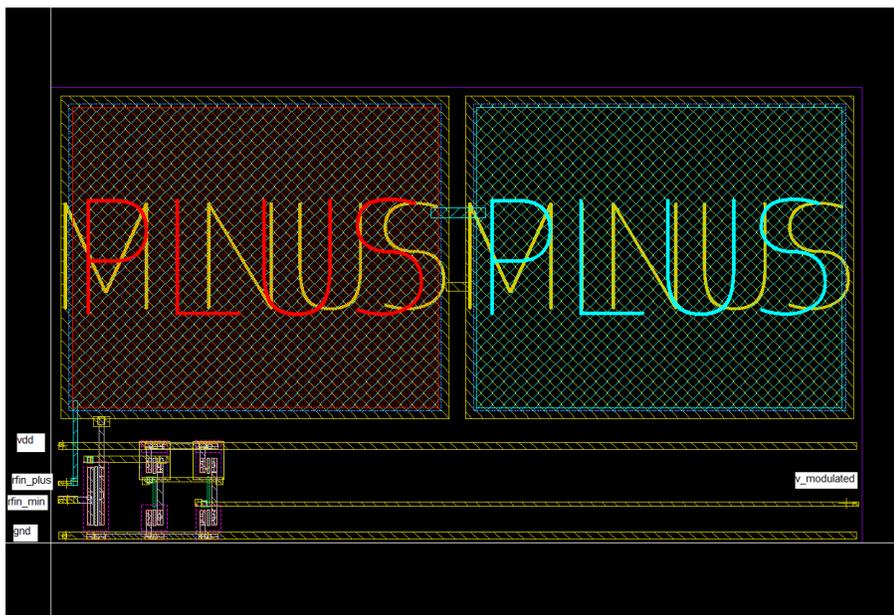


Figura 8.11: Layout del modulador

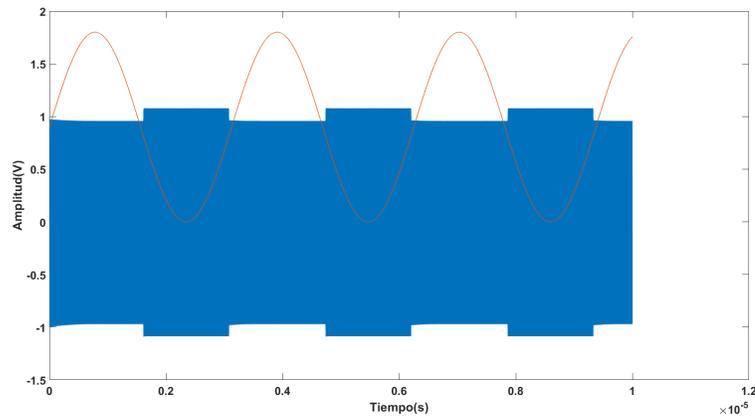


Figura 8.12: Resultados post-layout del modulador

## 8.4. Funcionamiento del AFE

La figura 8.13 muestra el funcionamiento del demodulador en conjunto con el rectificador (el modulador también está conectado pero no funcionando), el funcionamiento es correcto, también se puede apreciar que el rizado es muy elevado, como es esperado, ya que no usa un regulador, es probable que el capacitor de 300 pF también deba ser de mayor capacitancia.

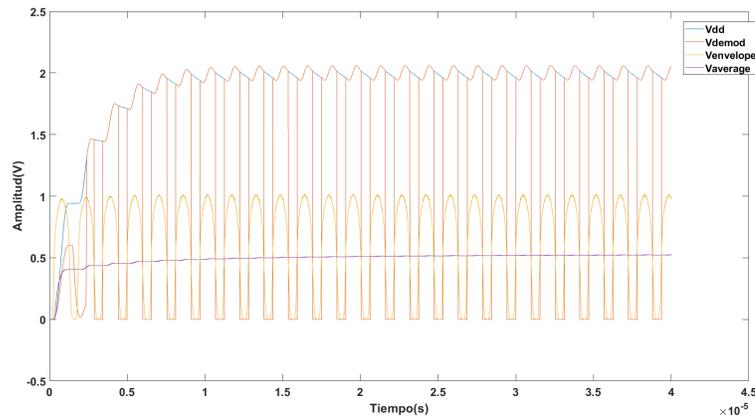


Figura 8.13: Funcionamiento del demodulador y del rectificador en conjunto

La figura 8.14 muestra el funcionamiento del rectificador en conjunto con el modulador para un arreglo igual al del diseño del esquemático (el demodulador también está conectado pero no está operando), el funcionamiento es correcto.

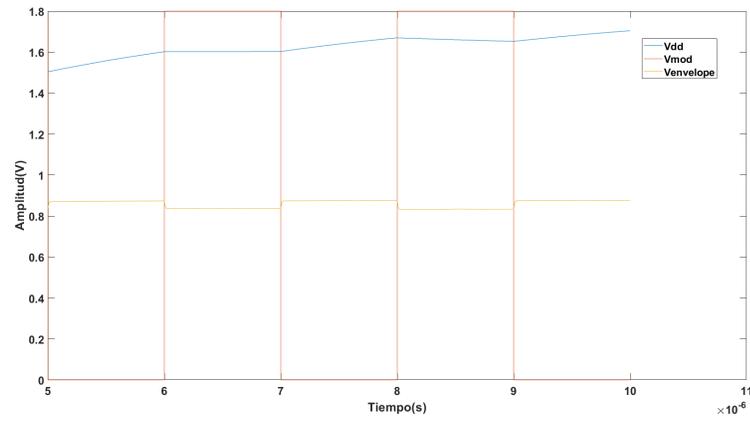


Figura 8.14: Funcionamiento del modulador y rectificador en conjunto

## CAPÍTULO 9

# DISCUSIÓN

### 9.1. Rectificador

En el diseño del rectificador del capítulo 5 usando simulaciones paramétricas es posible determinar cuál es el mejor número de etapas para lograr un compromiso entre PCE y VCE, el resultado es que usando 3 etapas es posible lograr un PCE de aproximadamente 58 % y VCE de 93 %, dependiendo de la selección de los anchos del transistor. Aunque la PCE para 2 etapas puede ser considerablemente mayor, de 70 %, la VCE es muy baja comparada con las otras opciones lo que resultaría en que el transpondedor empiece a funcionar a una distancia menor desde el lector. Para 4 etapas la mejora en VCE no es significativa pero la PCE es bastante menor que el caso de 3 etapas por lo que es posible descartar la opción de 4 y más etapas y las opciones viables son 2 y 3 etapas. Si se consideran de igual importancia la PCE y la VCE entonces 3 etapas es la opción más deseable debido a que la tensión de entrada puede ser menor para que el sistema empiece a funcionar. El sistema diseñado utiliza 3 etapas de DDR lo que resulta en una resistencia de entrada de 1336,22  $\Omega$  y capacitancia de entrada de 0,285 pF para una potencia de 804  $\mu$ W. El transpondedor RFID puede funcionar a una distancia mayor a 3 m con una antena que tenga resistencia de radiación de 50  $\Omega$ , pero para resistencias de radiación mayores la distancia podría ser menor que 1 m (aproximadamente 1,1m para una resistencia de radiación de 500  $\Omega$ ), entonces se puede apreciar que el sistema funciona adecuadamente para un rango amplio de potencias de entrada, el caso de una resistencia de radiación pequeña requiere que el lector tenga una sensibilidad alta permitido por el hecho de que no tiene limitaciones estrictas en la potencia de operación como el transpondedor. La potencia del circuito depende de la potencia de entrada (según la PCE). De esta forma el diseño es satisfactorio y es posible proceder al diseño del layout.

### 9.2. Demodulador

El demodulador, diseñado en el capítulo 6, posee más circuitos que los otros bloques pero su funcionalidad es más fácilmente verificable. El resultado esperado es que cuando la señal recibida (ASK) presenta un 1 la salida es un 1, para un cero (en ASK esto indica que la entrada es nula) la señal debe ser cero. Para evitar transiciones no deseadas utilizo un filtro pasabajas que simplemente remueve las componentes altas de la portadora (915 MHz) y conserva las frecuen-

cias bajas de datos, la frecuencia de datos más alta deseada es de 320 kHz. Esta diferencia tan alta entre las frecuencias de la portadora y los datos permite implementar un filtro RC pasabajos con componentes de tamaño aceptable. El otro método para evitar transiciones no deseadas es usar un comparador con histéresis, el comparador implementado posee histéresis interna en una topología común, este comparador es rápido y es suficiente para las frecuencias de datos más altas esperadas. La entrada para el demodulador utiliza un detector de envolvente, implementado como una etapa DDR (con los mismos valores del rectificador), este circuito funciona correctamente. Finalmente la envolvente detectada genera una referencia con un valor aproximadamente igual al valor promedio de esta envolvente, de esta forma la referencia varía dependiendo de la entrada. Para la polarización del comparador con histéresis implemento una referencia de corriente independiente de la alimentación que también funciona correctamente. La potencia del demodulador es aproximadamente de  $57 \mu\text{W}$ . Con estos resultados es posible proceder al diseño del layout para este bloque.c

### 9.3. Modulador

El modulador por retrodispersión contiene pocos componentes, para este diseño, en el capítulo 7, utilizo simulaciones paramétricas para maximizar la diferencia en magnitud del coeficiente de reflexión entre los dos estados posibles, de esta forma selecciono el ancho que genera el mejor resultado. El valor más bajo del coeficiente de reflexión es de aproximadamente 0,75 cuando el transistor de modulación está encendido, el ancho del transistor es de  $3.82 \mu\text{m}$ , el coeficiente de reflexión es aproximadamente 1 cuando el transistor está apagado. Los resultados muestran que se genera una diferencia notable entre los niveles de tensión y los coeficientes de reflexión. El buffer ayuda a encender el transistor de modulación de forma completa para ayudar a maximizar la diferencia de impedancias. El lector debe ser capaz de detectar estos cambios por diseño debido a que no tiene las restricciones del transponder e incluso puede contener amplificadores de bajo ruido. Otro resultado importante es que la resistencia de entrada del modulador es de  $2600 \text{ M}\Omega$  con capacitancia de entrada de  $2,56 \text{ fF}$  que indican que mientras el sistema está recibiendo datos el modulador no carga los otros circuitos y no es necesario tomarlo en cuenta para los cálculos de impedancia de entrada del diseño. La potencia del modulador puede llegar a  $39 \mu\text{W}$ . El estándar EPC gen2 no provee una diferencia mínima necesaria entre las impedancias por lo que es posible proceder al diseño del layout.

### 9.4. Layout del circuito

El layout para el rectificador se comporta de igual manera que el esquemático pero el valor de la impedancia de entrada es distinto, como es esperado, la tensión alcanza el mismo valor y el área es dominada por los capacitores. El layout del demodulador funciona correctamente, la decodificación es igual que el esquemático y los elementos parásitos no afectan el circuito de forma significativa, finalmente el layout del modulador funciona como se espera y el área es dominada por el capacitor, de esta forma se nota que los diseños funcionan de forma correcta.

La integración y validación del sistema completo muestra que el funcionamiento es correcto, la tensión rectificada presenta un rizado notable debido a la ausencia del regulador y un valor de capacitancia bajo para el capacitor de salida.

## 9.5. Resumen de resultados

El cuadro 9.1 muestra los valores de área y potencia de los componentes del AFE diseñados.

Cuadro 9.1: Resumen de resultados del diseño para una entrada de  $804 \mu\text{W}$ , PCE de aproximadamente 0,58

Potencia	$405 \mu\text{W}$
Área	$0.0135 \text{ mm}^2$



## CAPÍTULO 10

# CONCLUSIONES

El diseño de la sección analógica de un transpondedor RFID (AFE) está basado en varios aspectos como el estándar a utilizar que dicta frecuencias de operación y el protocolo de operación, en este trabajo el primer objetivo consiste en la selección de los parámetros de diseño. El estándar utilizado es el EPC generación 2 con frecuencia de operación de 915 MHz, la distancia de operación nominal es de 1 m que también puede tomarse como la sensibilidad del dispositivo. La tecnología a usar es el proceso XH018 de X-FAB, de 180 nm con tensión de alimentación de 1.8V.

El diseño del Rectificador del capítulo 5, el demodulador del capítulo 6 y el modulador del capítulo 7 completan el segundo objetivo específico, la tensión rectificada es de aproximadamente 2 V que será regulada por un LDO de 1.8V, la demodulación convierte la señal ASK recibida a datos digitales y los transmite a la sección digital. El modulador por retrodispersión implementa un transistor para modular la impedancia, de tal forma que se puedan transmitir datos binarios por medio de la reflexión de la onda recibida.

El objetivo específico 3 se cumple satisfactoriamente, en los mismos capítulos de diseño la validación indica que el rectificador puede operar sin carga y con una carga limitada. El demodulador genera a través de un comparador con histéresis datos digitales con los niveles de tensión deseados (1.8 V para un 1 y 0 V para un 0). El modulador es capaz de generar diferencias en el coeficiente de reflexión de tal forma que el lector pueda detectar estos cambios y determinar si se está transmitiendo un 1 o un 0, el circuito de protección de ESD implementa un limitador de tensión con diodos y un clamp para los pines de alimentación capaz de manejar altas corrientes.

Los diseños del layout para los distintos circuitos funcionan correctamente, la funcionalidad no se ve afectada significativamente por los componentes parásitos y el área usada es similar a los estimados preliminares, estos resultados satisfacen el objetivo específico 3 y completan el diseño del AFE para el transpondedor. El sistema completo, en donde el rectificador, modulador y demodulador están todos conectados funciona de forma correcta. El demodulador y el rectificador funcionan al mismo tiempo sin problemas (sin el modulador) y el modulador y rectificado funcionan al mismo tiempo de la forma esperada, esto completa el último objetivo.



## CAPÍTULO 11

# TRABAJO FUTURO

El trabajo futuro consiste en probar el circuito luego de la fabricación y depurar las posibles fallas. Antes de que el transpondedor sea funcional es necesario agregar los bloques analógicos faltantes como el encendido en reset, el regulador de tensión y el generador de reloj, también es necesario agregar el anillo para las conexiones al exterior o integrarlo al die para fabricación. El sistema digital también debe ser diseñado y el AFE debe ser probado en conjunto para verificar que se puede proveer la potencia y energía necesaria, en este momento no contamos con secciones digitales debido a la etapa del proyecto.



## BIBLIOGRAFÍA

- [1] Douglas R Allen, Phillip E.; Holberg. *CMOS analog circuit design*. Oxford series in electrical and computer engineering. Oxford University Press, USA, 3rd ed edition, 2011.
- [2] Asghar Bahramali and Marisa Lopez-Vallejo. A low power rfid based energy harvesting temperature resilient cmos-only reference voltage. *Integration*, 67:155–161, 2019.
- [3] Asghar Bahramali, Marisa Lopez-Vallejo, and Carlos Lopez Barrio. An ultra-low power deep sub-micron fast start-up circuit with added line regulation. In *2020 XXXV Conference on Design of Circuits and Integrated Systems (DCIS)*, pages 1–5, 2020.
- [4] Hou-Ming Chen, Bo-Yi Lee, Kuang-Hao Lin, Xian-Ji Huang, and Yu-Siang Huang. Low-power and high-speed startup circuit for reference circuit. In *2017 IEEE International Conference on Consumer Electronics - Taiwan (ICCE-TW)*, pages 105–106, 2017.
- [5] Xuesong Chen, Wooi Gan Yeoh, Yeung Bun Choi, Hongyu Li, and Rajinder Singh. A 2.45-ghz near-field rfid system with passive on-chip antenna tags. *IEEE Transactions on Microwave Theory and Techniques*, 56(6):1397–1404, 2008.
- [6] Chelho Chung, Young-Han Kim, Tae-Hun Ki, Kyusung Bae, and Jongbae Kim. Fully integrated ultra-low-power passive uhf rfid transponder ic. In *2011 IEEE International Symposium on Radio-Frequency Integration Technology*, pages 77–80, 2011.
- [7] Lei Cui, Zonghua Zhang, Nan Gao, Zhaozong Meng, and Zhen Li. Radio frequency identification and sensing techniques and their applications—a review of the state-of-the-art. *Sensors*, 19(18):4012, Sep 2019.
- [8] D.B. Electronic identification system, Oct.21 1975.
- [9] Yasemin Engür, Hasan Uluşan, Halil Andaç Yiğit, Salar Chamanian, and Haluk Külah. 13.56 mhz mixed mode rectifier circuit for implantable medical devices. In *2019 19th International Conference on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (PowerMEMS)*, pages 1–4, 2019.
- [10] EPCGlobal. *EPC™ Radio-Frequency Identity Protocols Generation-2 UHF RFID*. Versión 2.0.1. PCGlobal, Apr. 2015.

- [11] Dr Klaus Finkenzeller. *RFID Handbook: Fundamentals and Applications in Contactless Smart Cards, Radio Frequency Identification and Near-Field Communication, Third Edition*. 3th edition, 2010.
- [12] Amus Chee Yuen Goay, Deepak Mishra, and Aruna Seneviratne. Ask modulator design for passive rfid tags in backscatter communication systems. In *2022 IEEE 22nd Annual Wireless and Microwave Technology Conference (WAMICON)*, pages 1–4, 2022.
- [13] Sanaz Haddadian and J. Christoph Scheytt. Analysis, design and implementation of a fully integrated analog front-end for microwave rfids at 5.8 ghz to be used with compact mimo readers. *IEEE Journal of Radio Frequency Identification*, 4(4):476–490, 2020.
- [14] R.F. Harrington. Small resonant scatterers and their use for field measurements. *IRE Transactions on Microwave Theory and Techniques*, 10(3):165–174, 1962.
- [15] Donald B. Harris. Radio transmission systems with modulatable passive responder, Mar. 1 1960.
- [16] Smail Hassouni and Hassan Qjidaa. A design of a high-performance analog front-end for passive uhf rfid tag epc c1g2. *Journal of Communications Software and Systems*, 14(2):141–150, 5 2018.
- [17] Jinfeng Huang, Jinpeng Shen, and Xin'an Wang. Design and implementation of a sub-1v analog front-end for passive uhf rfid tag. In *2020 2nd International Conference on Information Technology and Computer Application (ITCA)*, pages 660–663, 2020.
- [18] Soyeon Jeong, Manos M. Tentzeris, and Sangkil Kim. Machine learning approach for wirelessly powered rfid-based backscattering sensor system. *IEEE Journal of Radio Frequency Identification*, 4(3):186–194, 2020.
- [19] Ronald J John Daniel Kraus;Marhefka. *Antennas for all applications*. McGraw-Hill Companies, 2 sub, 3. ed., internat. ed., [nachdr.] edition, 2008;1988.
- [20] Q.A. Khan, S.K. Wadhwa, and K. Misri. Low power startup circuits for voltage and current reference with zero steady state current. In *Proceedings of the 2003 International Symposium on Low Power Electronics and Design, 2003. ISLPED '03.*, pages 184–188, 2003.
- [21] A R Koelle, S W Depp, and R W Freyman. Short-range radio-telemetry for electronic identification, using modulated rf backscatter. *Proc. IEEE; (United States)*, 8 1975.
- [22] Koji Kotani, Atsushi Sasaki, and Takashi Ito. High-efficiency differential-drive cmos rectifier for uhf rfids. *IEEE Journal of Solid-State Circuits*, 44(11):3011–3018, 2009.
- [23] Kirill D. Liubavin, Igor V. Ermakov, Alexander Y. Losevskoy, Andrey V. Nuykin, and Alexander S. Strakhov. Low-power digital part design for a lf rfid tag in a double-poly 180 nm cmos process. In *2021 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (ElConRus)*, pages 150–153, 2021.

- [24] Pozar David M. *Microwave Engineering*. John Wiley & Sons, Inc, 4th edition, 2012.
- [25] Soumyajit Mandal and Rahul Sarpeshkar. Low-power cmos rectifier design for rfid applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 54(6):1177–1188, 2007.
- [26] P.V. Nikitin and K.V.S. Rao. Theory and measurement of backscattering from rfid tags. *IEEE Antennas and Propagation Magazine*, 48(6):212–218, 2006.
- [27] Dominique Paret. *RFID at Ultra and Super High Frequencies: Theory and application*. Wiley, 2010.
- [28] Soheil Radiom, Majid Baghaei-Nejad, Guy Vandenbosch, Li-Rong Zheng, and Georges Gielen. Far-field rf powering system for rfid and implantable devices with monolithically integrated on-chip antenna. In *2010 IEEE Radio Frequency Integrated Circuits Symposium*, pages 113–116, 2010.
- [29] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill Education, 2 edition, 2016.
- [30] Jeremy C. Smith and Gianluca Boselli. A mosfet power supply clamp with feedback enhanced triggering for esd protection in advanced cmos technologies. *Microelectronics Reliability*, 45(2):201–210, 2005.
- [31] H. Stockman. Communication by means of reflected power. *Proceedings of the IRE*, 36(10):1196–1204, 1948.
- [32] Tucker Stuart, William J. Jeang, Richard A. Slivicki, Bobbie J. Brown, Alex Burton, Victoria E. Brings, Lilian C. Alarcón-Segovia, Prophecy Agyare, Savanna Ruiz, Amanda Tyree, Lindsay Pruitt, Surabhi Madhvapathy, Martin Niemiec, James Zhuang, Siddharth Krishnan, Bryan A. Copits, John A. Rogers, Robert W. IV Gereau, Vijay K. Samineni, Amay J. Bandodkar, and Philipp Gutruf. Wireless, battery-free implants for electrochemical catecholamine sensing and optogenetic stimulation. *ACS Nano*, 17(1):561–574, 2023. PMID: 36548126.
- [33] Ken Ueno, Tetsuya Hirose, Tetsuya Asai, and Yoshihito Amemiya. A 1- $\mu$ W 600- ppm/ $^{\circ}$ C current reference circuit consisting of subthreshold cmos circuits. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 57(9):681–685, 2010.
- [34] Vladislav Vashchenko and Slavica Malobabic. Eos protection of the low voltage gate oxide devices. In *2019 41st Annual EOS/ESD Symposium (EOS/ESD)*, volume EOS-41, pages 1–7, 2019.
- [35] J.E. Vinson and J.J. Liou. Electrostatic discharge in semiconductor devices: protection techniques. *Proceedings of the IEEE*, 88(12):1878–1902, 2000.

- [36] Tobias Volk, Stefan Gorbey, Mayukh Bhattacharyya, Waldemar Gruenwald, Björn Lemmer, Leonhard M. Reindl, Thomas Stieglitz, and Dirk Jansen. Rfid technology for continuous monitoring of physiological signals in small animals. *IEEE Transactions on Biomedical Engineering*, 62(2):618–626, 2015.
- [37] Ziyue Xu, Adam Khalifa, Ankit Mittal, Mehdi Nasrollahpourmotlaghzanjani, Ralph Etienne-Cummings, Nian Xiang Sun, Sydney S. Cash, and Aatmesh Shrivastava. Analysis and design methodology of rf energy harvesting rectifier circuit for ultra-low power applications. *IEEE Open Journal of Circuits and Systems*, 3:82–96, 2022.
- [38] Xian Zhang and Yong Xu. High precision low power cmos bandgap for rfid. In *2019 IEEE 13th International Conference on ASIC (ASICON)*, pages 1–4, 2019.
- [39] Igor A. Zubov, Aleksander Y. Losevskoy, Igor V. Ermakov, Andrey V. Nuykin, and Aleksandr S. Kravtsov. An uhf rfid tag design in a single-poly 90 nm cmos process. In *2020 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EConRus)*, pages 208–211, 2020.
- [40] X. Zuriarrain, A. Beriain, G. Bistué, D. del Río, R. Berenguer, H. Solar, J. Sosa, and J.A. Montiel-Nelson. A cmos low frequency analog rfid front-end for the iot. In *2018 Conference on Design of Circuits and Integrated Systems (DCIS)*, pages 1–6, 2018.