

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica



**Diseño de un filtro analógico para la detección de disparos de
armas de fuego usando amplificadores operacionales de
transconductancia**

Informe de Proyecto de Graduación para optar por el título de
Ingeniero en Electrónica con el grado académico de Licenciatura

José Andrés Ibarra García

Cartago, 23 de junio de 2011

Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía he procedido a indicar las fuentes mediante las respectivas citas bibliográficas.

En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



José Andrés Ibarra García

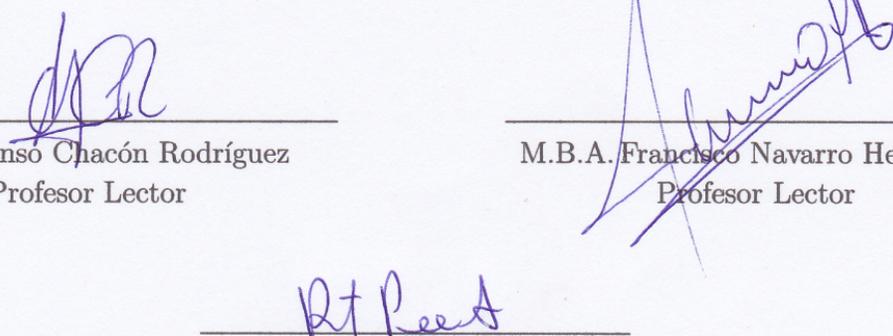
Cartago, 21 de junio de 2011

Céd: 4-0185-0251

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería Electrónica
Proyecto de Graduación
Tribunal Evaluador

Proyecto de Graduación defendido ante el presente Tribunal Evaluador como requisito para optar por el título de Ingeniero en Electrónica con el grado académico de Licenciatura, del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal



Dr. Alfonso Chacón Rodríguez
Profesor Lector

M.B.A. Francisco Navarro Henríquez
Profesor Lector

M.Sc. Roberto Pereira Arroyo
Profesor Asesor

Los miembros de este Tribunal dan fe de que el presente trabajo de graduación ha sido aprobado y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica.

Cartago, 23 de junio de 2011

Resumen

La escuela de Ingeniería en Electrónica del Instituto Tecnológico de Costa Rica, se encuentra trabajando en el proyecto "Sistema electrónico integrado en chip (SoC) para el reconocimiento de patrones de disparos y motosierras en una red inalámbrica de sensores para la protección ambiental". El objetivo del mismo es crear redes de sensores que permitan detectar cuando los parques y las reservas nacionales están siendo invadidas por cazadores ilegales, o afectadas por la tala ilegal.

El presente informe presenta el diseño e implementación de un banco de filtros analógico, usado para la detección del sonido de los disparos de armas de fuego en el proyecto antes mencionado. En el mismo se busca mejorar su desempeño respecto a una versión ya fabricada del circuito, para lo cual se utilizaron amplificadores operacionales de transconductancia (OTA) optimizados con herramientas de optimización multiobjetivo.

Con los resultados obtenidos en los OTA, se implementó nuevamente el filtro, y se comprobó que con ello se lograron las mejoras deseadas, como son una disminución en el consumo de potencia del filtro y una corrección en el corrimiento de los polos del banco de filtros analógicos producto de capacitancias parásitas indeseadas presentes en el circuito.

Palabras clave:OTA, banco de filtros analógico, consumo de potencia, capacitancia parásita, *layout*, desapareamiento.

Abstract

The Electronics Engineering School at the Instituto Tecnológico de Costa Rica, is working on a research project called: "Electronics integrated system on chip (SoC) for pattern recognition of gunfire and chainsaws in a wireless sensor network for environmental protection". The purpose is create networks of sensors to detect when the national parks and reserves are being invaded by illegal hunters, or affected by illegal logging.

This report presents the design and implementation of an analog filter bank, used to detect the sound of gunfire in the above project. The same seeks to improve its performance over the last version of the circuit, using multiobjective optimization tools to improve the OTAs' performance in terms of power consumption, linear range and other metrics.

With the results of the OTA, the filter was deployed again, and found that this was achieved the desired improvements, such as a decrease power consumption of the filter and a correction in the shift of the poles of the analog filter bank due a unwanted parasitic capacitances in the circuit.

Keywords: OTA, analog filter bank, power consumption, parasitic capacitances, layout, mismatch.

a mis padres

Agradecimientos

Este trabajo no hubiera sido posible sin la ayuda y apoyo de los compañeros que estuvieron a lo largo de la carrera, quienes vivimos alegrías, decepciones; y sufrimos todos a lo largo de estos años. Gracias por todo Aarón Arguedas, Marco Bonilla Wagner Corrales, Raúl González, Juan García, Rodrigo Carvajal y Númar Villalobos.

A los profesores Alfonso Chacón Rodríguez y Roberto Pereira Arroyo por la oportunidad de realizar este proyecto , además de las ayudas y recomendaciones dadas durante la ejecución del mismo.

A los compañeros del Laboratorio de Diseño de Circuitos Integrados(DCILab), por los buenos momentos vividos durante estos últimos meses, además por la disponibilidad brindada siempre a la hora de solicitar ayudas en diferentes temas relacionados al proyecto.

Finalmente agradecer a todos los amigos,compañeros, profesores y demás que de una forma u otra colaboraron para que lograra conseguir este gran logro en mi vida.

José Andrés Ibarra García

Cartago, 23 de junio de 2011

Índice general

Índice de figuras	iii
Índice de tablas	v
1 Introducción	1
1.1 Problema existente e importancia de la solución	1
1.2 Solución seleccionada	3
2 Meta y objetivos	5
2.1 Meta	5
2.2 Objetivos	5
2.2.1 Objetivo general	5
2.2.2 Objetivos específicos	5
3 Marco Teórico	7
3.1 Espejos de corriente usados en el escalamiento de transconductancias.	7
3.2 Filtros Gm-C	8
3.2.1 Elementos básicos de los OTA	8
3.2.2 Filtros de primer orden con OTA	10
3.3 Técnicas de layout	11
3.3.1 Layout de condensadores	12
4 Procedimiento metodológico	14
4.1 Definición y síntesis del problema	14
4.2 Implementación de la solución	15
5 Descripción del banco de filtros analógico	16
5.1 Amplificador operacional de transconductancia de 192nS	16
5.1.1 Gráficas de corriente, transconductancia y respuesta transitoria del OTA de 192nS	17
5.2 Banco de filtros analógicos	20
5.2.1 Cálculo de los condensadores	20
5.2.2 Banco de filtros analógico optimizado teórico	21

5.2.3	Espejos de corriente para polarizar los OTA	23
5.3	Resultados del banco de filtros analógico	24
5.4	Conclusiones	27
6	Implementación física del banco de filtros analógico	28
6.1	Diseño del layout de los OTA	28
6.2	Layout de los copiadores de corriente	31
6.3	Layout del banco de capacitores	32
6.4	Layout del banco de filtros analógico	32
6.5	Resultados del layout del banco de filtros analógico	33
6.6	Conclusiones	36
7	Conclusiones y recomendaciones	37
7.1	Conclusiones	37
7.2	Recomendaciones	37
	Bibliografía	38

Índice de figuras

1.1	Banco de filtros paralelos analógico equivalente a una descomposición continua de onditas. Tomado de [4]	2
1.2	Banco de filtros paralelos analógico completo implementado en su versión inicial, utilizando amplificadores operacionales de transconductancia. $V_{ref} = V_{DD}/2$. Tomado de [4]	3
3.1	Espejo de corriente básico con transistores MOS.	7
3.2	Configuración de transistores en serie y en paralelo.	9
3.3	Amplificador operacional de transconductancia.[5]	9
3.4	Amplificador de voltaje con OTA.	10
3.5	Filtro pasa baja de primer orden con ganancia cd fija y polo ajustable.	11
3.6	Filtro pasa alta de primer orden con ganancia fija y polo ajustable.	11
3.7	Estructura de <i>layout</i> de un capacitor de doble capa de <i>poly</i> .	12
5.1	Esquemático del OTA de 64nS.	17
5.2	Esquemático del OTA de 192nS.	18
5.3	i_{out} vrs V_d para el OTA de 192nS.	18
5.4	Curva de transconductancia para el OTA de 192nS.	19
5.5	Corriente de salida en función del tiempo para el OTA de 192nS.	19
5.6	Banco de filtros analógico después de la optimización de los OTA.	22
5.7	Magnitud de la respuesta en frecuencia teórica del banco de filtros analógico.	23
5.8	Fase de la respuesta en frecuencia teórica del banco de filtros analógico.	23
5.9	Espejos de corriente para obtener las corrientes de polarización de los OTA.	24
5.10	Magnitud de la respuesta en frecuencia de los coeficientes 3, 4, 5 y el nodo intermedio.	24
5.11	Respuesta de transitorios del banco de filtros analógico para una tensión de entrada con frecuencia de 600Hz.	25
5.12	Comportamiento del filtro ante una tensión de entrada de 100mV pico con diferente frecuencia.	25
6.1	Layout utilizado para los transistores del difusor. Los transistores usados para el par diferencial son similares, pero con el respectivo cambio en las dimensiones.	29

6.2	Layout del OTA de 16nS.(Trazado rotado 90 grados para facilitar su inserción en el texto)	29
6.3	Layout del OTA de 32nS.(Trazado rotado 90 grados para facilitar su inserción en el texto)	30
6.4	Layout del OTA de 64nS.(Trazado rotado 90 grados para facilitar su inserción en el texto)	30
6.5	Layout del OTA de 192nS.(Trazado rotado 90 grados para facilitar su inserción en el texto)	30
6.6	Layout del espejo de corriente para la corriente de polarización del OTA de 192nS.	31
6.7	Layout del espejo de corriente para la corriente de polarización de los OTA.	32
6.8	Layout final de todo el circuito del banco de filtros analógico, en tecnología estándar CMOS de $0.5\mu\text{m}$	33
6.9	Magnitud de la respuesta en frecuencia de los coeficientes 3, 4, 5 y el nodo intermedio, para la simulación <i>post-layout</i>	34
6.10	Respuesta transitoria del banco de filtros analógico <i>post-layout</i> ante una tensión de entrada de 600Hz.	35
6.11	Comportamiento <i>postlayout</i> del filtro ante una tensión de entrada con diferente frecuencia.	36

Índice de tablas

5.1	Dimensiones de los transistores empleados en los OTA.	17
5.2	Características del OTA de 192nS.	19
5.3	Valores de los condensadores usados en el banco de filtros analógico.	21
5.4	Variaciones en la magnitud de la respuesta en frecuencia de cada uno de los coeficientes ante cambios en el valor del condensador C10.	26
5.5	Comparación entre características obtenidos y los valores anteriores del filtro.	26
5.6	Consumo del banco de filtros con alimentación de 4V. CI implementado en [4].	27
5.7	Tensión <i>offset</i> de salida para el banco de filtros analógico.	27
6.1	Tamaño físico de los OTA	31
6.2	Dimensiones de los transistores en el <i>layout</i> del circuito.	34
6.3	Tensión <i>offset</i> de salida para el banco de filtros analógico para la simulación con parásitas incluidas.	35

Capítulo 1

Introducción

Este capítulo da una idea breve del proyecto en cuestión. Presenta las principales razones del por qué del proyecto, así como las razones que llevaron a realizar el mismo. Se repasa la problemática presentada, así como una muestra de la solución implementada.

1.1 Problema existente e importancia de la solución

Gran parte del territorio costarricense se encuentra protegido bajo el formato de parques nacionales y reservas naturales. El cuidado y conservación de estas zonas es de suma importancia para el país, ya que éstas constituyen un alto ingreso económico para Costa Rica por concepto de turismo ecológico, además, de ser terrenos con una gran riqueza biológica, la cual es aprovechada en diversas investigaciones científicas. También generan dividendos económicos al país por concepto de venta de certificados por emisión de carbono [4].

A pesar de la importancia de las zonas protegidas, el país no cuenta con el material humano ni económico para proteger esta importante porción del territorio. Es por ello que son fácilmente presa de la caza ilegal y de la tala de maderas de alto valor, así como el robo de especies exóticas de animales y plantas, que son altamente codiciadas por coleccionistas tanto dentro como fuera del país. Otro problema que enfrentan estas tierras son los desastres naturales o provocados como lo son los incendios. Con el fin de ayudar a mitigar los problemas presentados, la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica (ITCR), se encuentra trabajando en el desarrollo de una red de sensores inalámbrica que ayude a la detección de amenazas dentro de las reservas naturales.

Dentro de la red de sensores, se consideró importante contar con un dispositivo que fuera capaz de detectar el sonido de los disparos de las armas de fuego, ya que esto sería de gran utilidad para la detección y localización de cazadores ilegales. Para ello el Dr. Alfonso Chacón Rodríguez, diseñó un circuito integrado capaz de detectar el sonido de las armas

de fuego, utilizando para ello la tecnología CMOS de $0,5\mu\text{m}$, para la construcción de los amplificadores y filtros que constituyen el circuito. Para la detección del sonido de los disparos de armas de fuego se utilizó un banco de filtros analógico como el mostrado en la figura 1.1 .

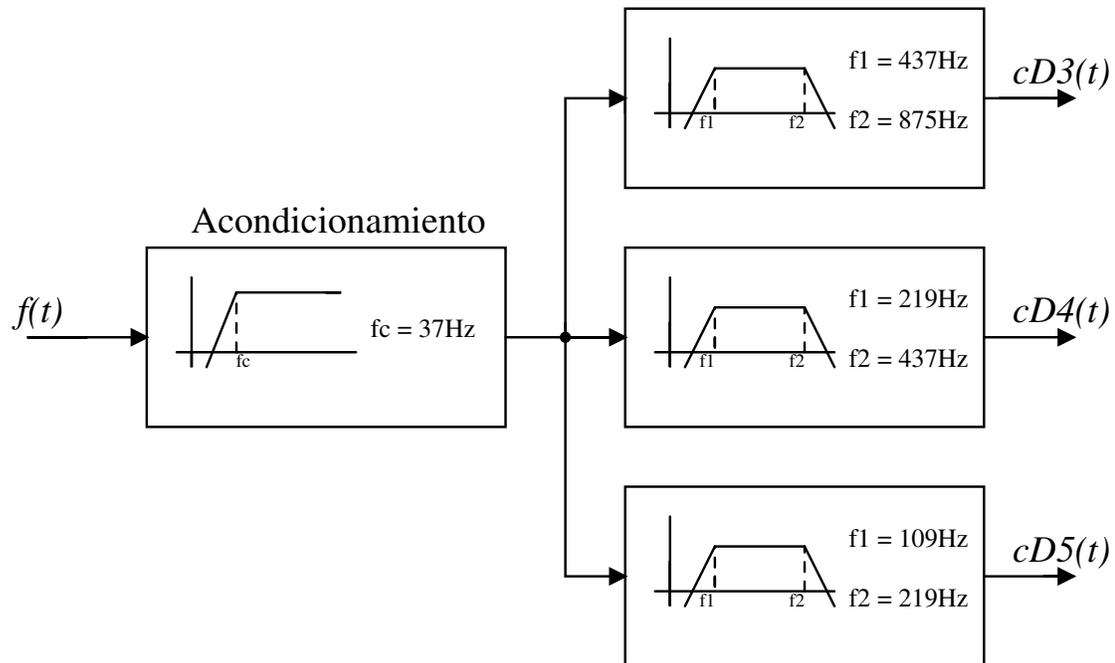


Figura 1.1: Banco de filtros paralelos analógico equivalente a una descomposición continua de ondas. Tomado de [4]

El banco de filtros paralelos mostrado en la figura 1.1, realiza una función equivalente a una transformada continua de ondas, CWT (Continuous Wavelet Transform), ya que permite obtener una descomposición tiempo-frecuencia de la señal utilizando filtros continuos pasabanda. En este caso se utiliza un banco de filtros con tres bandas de paso, ya que se comprobó mediante evaluaciones estadísticas de este algoritmo, usando señales medidas en una zona boscosa tropical, que con estos tres coeficientes se tiene una certeza de entre un 75% y un 89% , de que al detectarse una señal esta es efectivamente un disparo.

La implementación del banco de filtros se desarrolló utilizando filtros GmC, los cuales son combinaciones de amplificadores operacionales de transconductancia y condensadores que permiten diseños de bajo consumo. La figura 1.2, muestra el diseño inicial del filtro diseñado por el Dr. Alonso Chacón Rodríguez. Este filtro presentó varios inconvenientes que provocaron que su comportamiento no fuera el esperado. Luego del envío a fabricación del circuito integrado de la etapa completa de detección, se encontró que en el nodo de interconexión se formaba una capacitancia parásita que modificaba los polos en las frecuencias de interés, lo cual hacía que las bandas pasantes no concordaran con las que se determinaron mediante la teoría. Esto llevó a diseñar un nuevo amplificador operacional de transconductancia (OTA),

que cumpliera con las especificaciones deseadas de *slew rate*, capacitancia parásita de entrada, menor consumo de potencia, rango lineal de la transconductancia, tamaño de los transistores, entre otros. Este trabajo fue realizado por [6], y permitió obtener una estructura de un OTA optimizada en las variables antes mencionadas, que a su vez permitió obtener nuevos valores de transconductancia para los OTA, con los cuales se logró implementar un nuevo banco de filtros que permitió mejorar las fallas detectadas en la versión anterior.

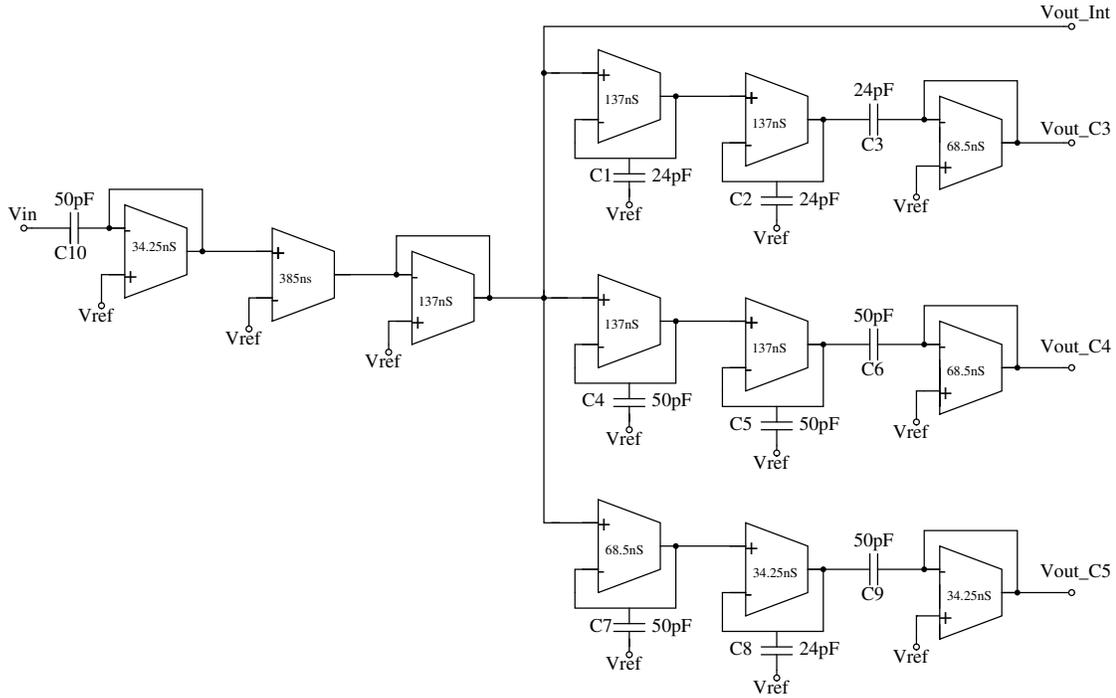


Figura 1.2: Banco de filtros paralelos analógico completo implementado en su versión inicial, utilizando amplificadores operacionales de transconductancia. $V_{ref} = V_{DD}/2$. Tomado de [4]

Además de las modificaciones a nivel de esquemático del filtro, se realizó nuevamente el layout del mismo, debido a que se modificaron los OTA. En la elaboración del *layout* se tomaron en cuenta diferentes reglas con el fin de obtener un diseño que disminuya el desapareamiento (*mismatch*) entre los transistores. Además, se buscó optimizar el tamaño de los OTA para limitar los efectos parásitos que afectaron el desempeño de la primera versión del circuito.

1.2 Solución seleccionada

Obtenido un diseño optimizado del amplificador operacional de transconductancia, se generaron cuatro diferentes tipos de OTA, con transconductancias de 16nS, 32nS, 64nS y 192nS, con los cuales se realizó la nueva implementación del filtro continuo de ondas. Se recalcularon los valores de los condensadores para seguir manteniendo la misma función de transferencia

del filtro y no presentar modificaciones en los polos de la respuesta en frecuencia. Con este nuevo filtro se mejoraron los problemas presentados, ya que el consumo de potencia bajó, se disminuyó la capacitancia en el nodo común, se mejoró la eficiencia de detección del sistema completo y la dimensión del área de construcción ahora es más pequeña.

Luego de que se comprobó el funcionamiento correcto del filtro mediante las simulaciones en Mentor Graphics, se hizo el *layout*. Para esta etapa del proyecto se realizaron los *layout* de los cuatro OTA, haciendo los mismos mediante la técnica de transistores apilados; al existir transistores de cuatro diferentes tamaños, se apilaban los de dimensiones iguales para asegurar un buen *matching* entre los transistores, evitando así que el circuito sufra muchas modificaciones en el momento de fabricarse por medio de la variabilidad presente en todo proceso de fabricación de circuitos integrados. De forma similar a lo anterior se realizó el *layout* del banco de condensadores, en donde se utilizaron condensadores de 3pF para formar mediante combinaciones en paralelo de los mismos los condensadores unitarios de mayor capacidad. Finalmente se realizó el *layout* de los copiadore de corriente necesarios para obtener la corriente de polarización para los OTA.

Capítulo 2

Meta y objetivos

2.1 Meta

Mejorar el filtro de transformada continua de onditas, optimizado en términos de bajo consumo de potencia y eficiencia en la detección.

Indicador: Realizar mediciones del consumo de potencia y de caracterización de detección del banco de filtros, que garanticen un consumo de potencia muy bajo.

2.2 Objetivos

2.2.1 Objetivo general

Mejorar un filtro de transformada continua de onditas en tecnología CMOS de $0,5\mu\text{m}$, en términos de consumo de potencia, capacitancia parásita de entrada y desapareamiento(mismatch).

Indicador: Reducir el consumo de potencia del filtro en un 50%, minimizar los problemas de offset de la señal, reducir la capacitancia parásita de entrada que provoca el corrimiento de los polos.

2.2.2 Objetivos específicos

1. Reducir el consumo de potencia del filtro de transformada continua de onditas.

Indicador: Realizar mediciones en Mentor Graphics, para comprobar una disminución del consumo de potencia que esté entre un 50% y 70%, o menor, respecto del consumo de potencia del filtro sin optimizar.

2. Minimizar el efecto de la capacitancia parásita de entrada en el corrimiento de los polos del filtro.

Indicador: Simulaciones en Mentor Graphics, cuya respuesta en frecuencia del filtro muestre un 10% como máximo de desviación en la ubicación de los polos.

3. Obtener una estructura del circuito óptima en términos de variabilidad. (Impacto reducido de la variabilidad en el circuito).

Indicador: Obtener un modelo que permita predecir las posibles variaciones que puedan existir entre lo que se dibuja en el layout y el circuito que se obtenga en el silicio.

Capítulo 3

Marco Teórico

3.1 Espejos de corriente usados en el escalamiento de transconductancias.

El diseño de OTA usado en el desarrollo de este proyecto, varía su valor de transconductancia por medio de la variación de espejos de corriente, cuya combinación permite subir o bajar el valor de la transconductancia del amplificador según el valor que se necesita en la aplicación. se usa así ya que la modificación de los espejos de corriente no afecta a otras características del amplificador.

El espejo básico de corriente MOS, usando M1 y M2 se ve en la figura 3.1. Se asume que M1 y M2 tiene el mismo ancho y largo y que $V_{GS1} = V_{DS1} = V_{GS2}$. Debido a que tienen el mismo V_{GS} , se espera que tengan la misma corriente de drenador [2].

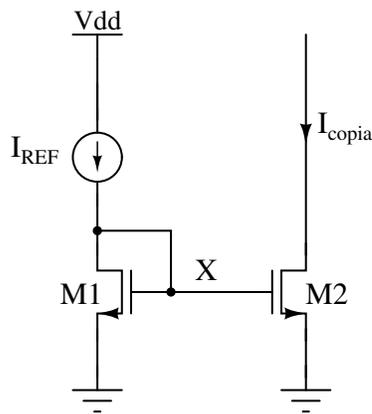


Figura 3.1: Espejo de corriente básico con transistores MOS.

Las corriente de los dos transistores puede ser expresada como

$$I_{REF} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_1 (V_X - V_{TH})^2 \quad (3.1)$$

$$I_{copia} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_2 (V_X - V_{TH})^2 \quad (3.2)$$

donde las tensiones de umbral se asumen iguales. Con lo cual se obtiene

$$I_{copia} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} I_{REF} \quad (3.3)$$

que se reduce a $I_{copia} = I_{REF}$ si los dos transistores son idénticos [8].

Cuando el escalamiento de corriente utiliza arreglos de transistores en serie o en paralelo, como los mostrados en la figura 3.2, el proceso es similar si tomamos en cuenta que n transistores en serie se modelan como un transistor de la siguiente forma

$$\frac{W_{eq}}{L_{eq}} = \frac{1}{n} \frac{W_S}{L_S} \quad (3.4)$$

y m transistores en paralelo se modelan de forma similar

$$\frac{W_{eq}}{L_{eq}} = m \frac{W_P}{L_P} \quad (3.5)$$

por lo cual si en la figura 3.1 cambiamos M1 por un arreglo de transistores en paralelo y M2 por un arreglo de transistores en serie, obtenemos que la ecuación (3.6) se modifica a

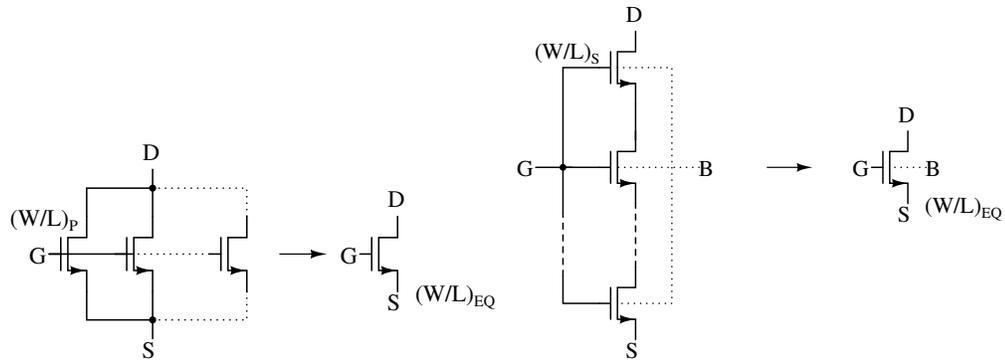
$$I_{copia} = \frac{\left(\frac{W}{L}\right)_S}{mn \left(\frac{W}{L}\right)_P} I_{REF} \quad (3.6)$$

3.2 Filtros Gm-C

3.2.1 Elementos básicos de los OTA

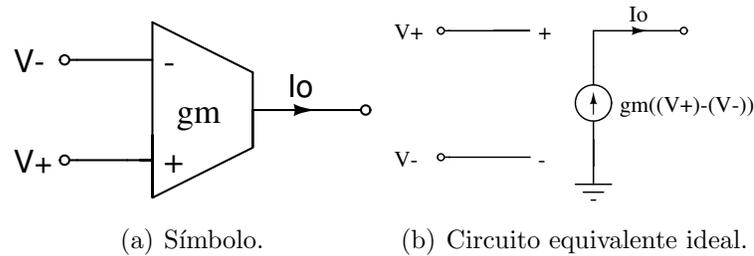
Los filtros GmC se componen básicamente de configuraciones de amplificadores operacionales de transconductancia y condensadores. Los OTA son amplificadores que cuentan con impedancias de entrada y salida muy altas, teóricamente de valor infinito, como se presenta en la figura 3.3. Los transistores MOS son los usualmente utilizados para la implementación de los OTA, debido a que poseen una resistencia de entrada muy alta.

De la figura 3.3 se deduce que la corriente de entrada de un OTA es cero en cualquiera de las dos entradas, además la corriente de salida esta dada por



(a) Arreglo de transistores en paralelo y su equivalente. (b) Arreglo de transistores en serie y su equivalente.

Figura 3.2: Configuración de transistores en serie y en paralelo.



(a) Símbolo.

(b) Circuito equivalente ideal.

Figura 3.3: Amplificador operacional de transconductancia.[5]

$$I_o = g_m(V^+ - V^-) \quad (3.7)$$

Utilizando estructuras con OTA, se pueden realizar diferentes tipos de amplificadores de voltaje, como el que se muestra en la figura 3.4, en este circuito no se utilizan componentes pasivos, y la ganancia de tensión puede ajustarse con las transconductancias g_{m1} y g_{m2} . Este circuito posee una impedancia de entrada de

$$Z_o = \frac{1}{g_{m2}} \quad (3.8)$$

y su función de transferencia está dada por la siguiente expresión

$$\frac{V_o}{V_i} = \frac{g_{m1}}{g_{m2}} \quad (3.9)$$

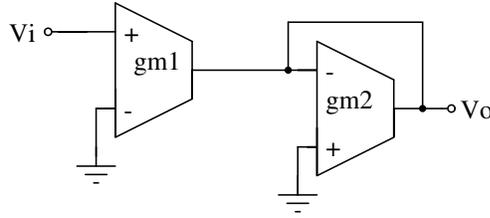


Figura 3.4: Amplificador de voltaje con OTA.

3.2.2 Filtros de primer orden con OTA

Para la implementación del banco de filtro analógico, se utilizan estructuras de filtro de primer orden en cascada, que permitirán obtener una función de transferencia similar a la siguiente

$$CD(s)_n = \frac{\frac{2^n s}{\omega_1}}{\left(1 + \frac{2^{n-1} s}{\omega_1}\right)^2 \left(1 + \frac{2^n s}{\omega_1}\right)} \quad (3.10)$$

la cual cumple con los requerimientos fundamentales para ser considerada una ondita, y es una función similar a la que se va a obtener en cada uno de los coeficientes. A la entrada del banco de filtros se coloca un filtro pasa alto de primer orden con el objetivo de eliminar el offset y el ruido rosa proveniente del micrófono[4].

Filtro pasa baja de primer orden

Un filtro Gm-C pasa baja de primer orden se observa en la figura 3.5, este presenta una estructura muy simple que permite ajustar la ubicación del polo, aunque no permite ajustes en la ganancia. La función de transferencia del filtro es

$$\frac{V_o}{V_i} = \frac{1}{1 + s \frac{C}{g_m}} \quad (3.11)$$

y la ubicación del polo viene dada por la siguiente expresión para la frecuencia de corte

$$f_c = \frac{g_m}{2\pi C} \quad (3.12)$$

Filtro pasa alta de primer orden

La figura 3.6 presenta la estructura de un filtro pasaalta de primer orden, el cual presenta una ganancia fija en alta frecuencia y permite ajustar la ubicación del polo, cuya frecuencia

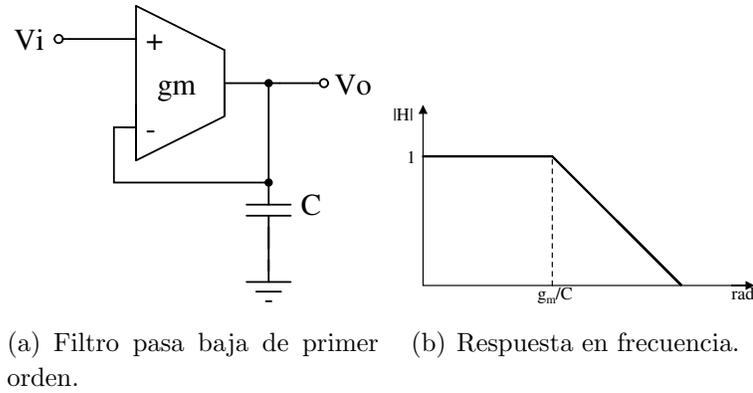


Figura 3.5: Filtro pasa baja de primer orden con ganancia cd fija y polo ajustable.

de corte tiene la misma expresión de la ecuación (3.12). La función de transferencia para el filtro pasaalta esta dada por

$$\frac{V_o}{V_i} = \frac{s \frac{C}{gm}}{1 + s \frac{C}{gm}} \quad (3.13)$$

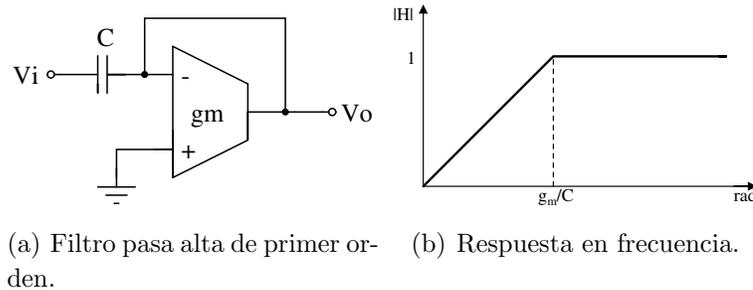


Figura 3.6: Filtro pasa alta de primer orden con ganancia fija y polo ajustable.

3.3 Técnicas de layout

El uso de técnicas adecuadas de *layout* debería ayudar a reducir el *mismatch* entre los transistores, una de ellas es el uso de largas columnas de transistores de igual tamaño, colocados juntos a una distancia mínima y conectados entre ellos con vías de metal.

Algunos cuidados que se deben de tener en cuenta al usar esta técnica son:

- Cuando se colocan en una misma columna transistores de un grupo A y uno B, los cuales deben poseer el mismo tamaño, el transistor unitario A debe tener de vecino un

transistor B, lo cual nos indica que en el arreglo los transistores unitarios de cada uno de los grupos deben de ir intercalados.

- En ambos extremos de la columna se deben de utilizar estructuras *dummy*, para asegurar que los elementos mantengan las mismas vecindades, tanto arriba como abajo.
- No se emplean transistores de tamaño mínimo. Se debe mantener la distancia mínima permitida entre transistores unitarios.
- La dirección en que fluye la corriente debe ser la misma entre transistores unitarios.
- En el caso de vías solas, se deben de respetar las distancias en las esquinas, y las uniones de las vías, según lo indicado en las reglas para la tecnología utilizada, ente caso CMOS $0.5\mu\text{m}$

El uso de columnas en el diseño de *layout* tiene las siguientes ventajas:

- El espacio adicional utilizado es mínimo, ya que solo dos transistores *dummy* son requeridos para obtner el mismo entorno para todos los transistores unitarios.
- Cuando se emparejan arreglos de transistores, se obtiene la geometría de centroide común, ya que el centroide de ambos arreglos emparejados está muy cerca uno del otro.
- Los bloques de *layout* son fácilmente reutilizables, ya que columnas de transistores pueden ser empleadas en espejos de corriente de diferente factor de copia, o en pares diferenciales lineales o no, cambiando solo algunas conexiones de metal.

3.3.1 Layout de condensadores

El tipo de condensadores que se utiliza en el circuito son los llamados condensadores *poly-poly*. La figura 3.7 muestra la vista del layout de un condensador usando capas de *poly1* y *poly2*. En medio de las dos capas de *poly* se encuentra una capa de dióxido de silicio, que hace la función de dieléctrico.

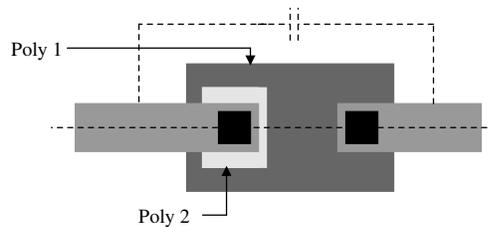


Figura 3.7: Estructura de *layout* de un capacitor de doble capa de *poly*.

El cálculo de la capacitancia esta dado por la ecuación

$$C = AC_j + PC_{jsw} \quad (3.14)$$

en donde A es el área del capacitor, P es el perímetro, C_j es la capacitancia por unidad de área, tiene un valor de $0.000908 \text{ pF}/\mu\text{m}^2$, y C_{jsw} es la capacitancia por unidad de longitud y tiene un valor de $0.000065 \text{ pF}/\mu\text{m}$.

Capítulo 4

Procedimiento metodológico

Se presenta el proceso que se siguió para determinar e identificar la problemática planteada, además de una serie de pasos que permitieron cumplir con lo planteado en cada uno de los objetivos específicos del proyecto.

4.1 Definición y síntesis del problema

El circuito integrado fabricado presentó varios problemas, entre ellos el corrimiento de los polos debido a la alta capacidad parásita en la entrada de los amplificadores operacionales de transconductancia, además los problemas de desapareamiento entre los condensadores corrieron más los polos del filtro. Para corregir el problema se pensó en ajustar la corriente de polarización de los OTA; lo cual efectivamente colocó los polos en la ubicación correcta, sin embargo aumentó excesivamente el consumo de potencia del filtro respecto a lo inicialmente diseñado.

Se buscó una forma de corregir el problema, y esta fue diseñar y optimizar un nuevo OTA, y a su vez a partir de este generar los OTA necesarios para obtener un nuevo banco de filtros, y probar su funcionamiento para garantizar un buen desempeño en cuanto a la detección del sonido de disparos de armas de fuego. Además se debía asegurar que el nuevo filtro satisficiera las condiciones de bajo consumo energético que se requieren para su aplicación en la protección ambiental.

El problema presentado en el proyecto, se sintetizó en la siguiente forma:

Con las mejoras hechas al OTA, implementar un banco de filtros analógico de onditas continuas para la detección de disparos de armas de fuego que sea más eficiente en términos de consumo de potencia, y de una precisión cercana a la del modelo teórico.

4.2 Implementación de la solución

En esta sección se definirán los pasos que se siguieron para alcanzar cada uno de los objetivos trazados para lograr una solución satisfactoria. Para cumplir con los objetivos del proyecto se siguieron los siguientes pasos:

1. Implementar los OTA necesarios para la realización del banco de filtros analógicos, y probar sus características y funcionamiento.
2. Implementar y probar separadamente el funcionamiento de cada uno de los cuatro filtros necesarios para obtener el filtro continuo de onditas. Luego unir todas las partes para obtener el circuito final del filtro y probar su funcionamiento.
3. Realizar las pruebas y simulaciones para determinar el comportamiento del filtro ante los diferentes estímulos aplicados, analizar su respuesta y hacer las correcciones de ser necesario.
4. Generar el *layout* de cada uno de los OTAs, del banco de condensadores y los copiadores de corriente. Realizar las pruebas de reglas de diseño, de revisión de esquemático-*layout*, y posteriormente extraer el modelo *Spice* de cada uno de los *layout* hechos. Armar el *layout* completo del filtro, realizar las pruebas correspondientes y extraer el modelo *Spice* del filtro.
5. Verificar mediante simulaciones en Mentor Graphics el correcto funcionamiento del modelo *Spice* extraído del filtro.
6. Realizar simulaciones con análisis de montecarlo, para obtener un modelo de variabilidad que permita predecir las posibles variaciones que puede sufrir el circuito. Se utiliza como base el modelo de Pelgrom y Drennan.

Capítulo 5

Descripción del banco de filtros analógico

En este capítulo se presentan los pasos que se siguieron para lograr obtener un diseño del banco de filtros analógicos que presentara un funcionamiento satisfactorio, que cumpliera con los objetivos planteados. Primeramente se presentarán los pasos que se siguieron para obtener a nivel de esquemático un circuito, que usando los OTA optimizados, lograra reducir el consumo de potencia del circuito, así como una disminución en las capacitancias parásitas que evite que se de un corrimiento en los polos del banco de filtros analógico.

5.1 Amplificador operacional de transconductancia de 192nS

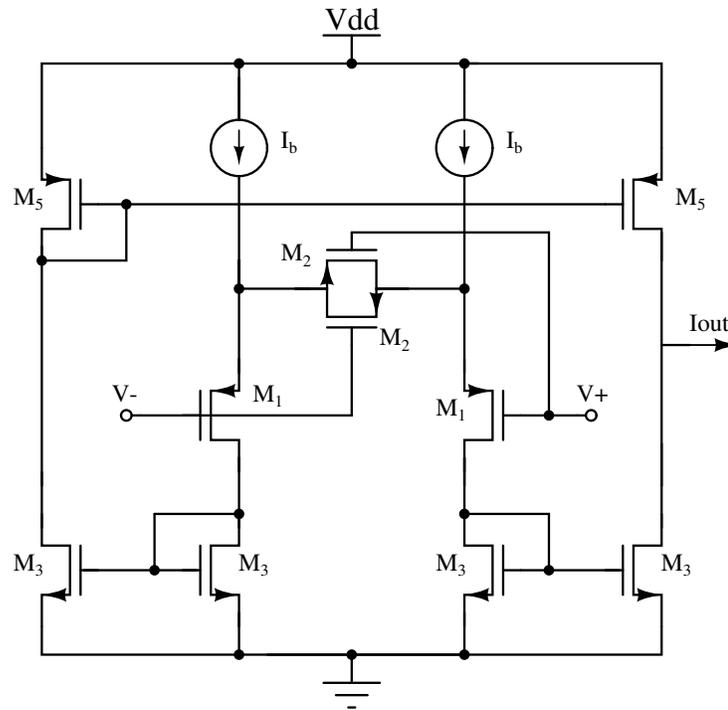
El primer paso para implementar la estructura final del filtro, fue obtener el amplificador operacional transconductancia de 192nS. Para ello, se utilizó la técnica empleada en [6], que consiste en realizar un escalamiento de la corriente por medio de la utilización de espejos de corriente por un factor de $m=0.3$ para obtener la mencionada transconductancia de 192nS. Para realizar el escalamiento, se modificó el circuito del OTA de 64nS, mostrado en la figura 5.1. En la tabla 5.1, se muestran las dimensiones de los transistores empleados.

Es importante mencionar, que las medidas indicadas en la tabla 5.1 corresponden a los transistores de tamaño mínimo por los que está formado cada uno de los transistores mostrados en la figura 5.1. Los transistores M_1 de la figura 5.1, están formados por la conexión en serie de 3 transistores de tamaño mínimo; lo mismo ocurre con los transistores M_2 , M_3 y M_5 , que están hechos con la conexión en serie de 18 transistores para M_2 y tres transistores conectados en serie para los otros dos casos.

La figura 5.2, muestra el esquemático del OTA de 192nS, luego de agregar los transistores

Tabla 5.1: Dimensiones de los transistores empleados en los OTA.

Transistor	W(μm)	L(μm)
M ₁	0.8	7.2
M ₂	0.8	8
M ₃	5	2
M ₅	5	2

**Figura 5.1:** Esquemático del OTA de 64nS.

necesarios para realizar el escalamiento de corriente. Las modificaciones se realizaron en los copiadore de corriente inferiores (transistores M₃). La composición de los transistores, es igual a la mencionada anteriormente. La corriente de polarización de esta unidad es de 20.16nA.

5.1.1 Gráficas de corriente, transconductancia y respuesta transitoria del OTA de 192nS

Las siguientes figuras muestran la pruebas realizadas al OTA de 192nS. Las mismas fueron realizadas en Matlab, luego de importar los datos desde el EZwave, producto de las simulaciones realizadas en Eldo Simulation de Mentor Graphics. La figura 5.3 muestra la corriente

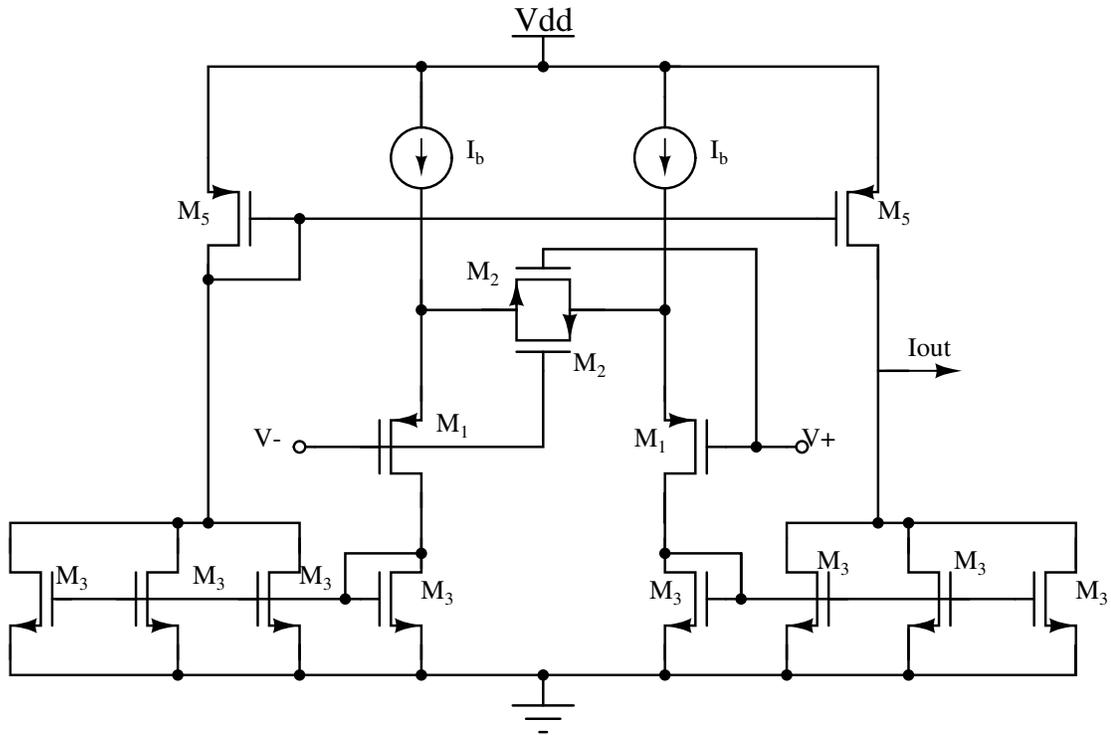


Figura 5.2: Esquemático del OTA de 192nS.

de salida en función de la tensión diferencial de entrada en un rango de $\pm 1V$.

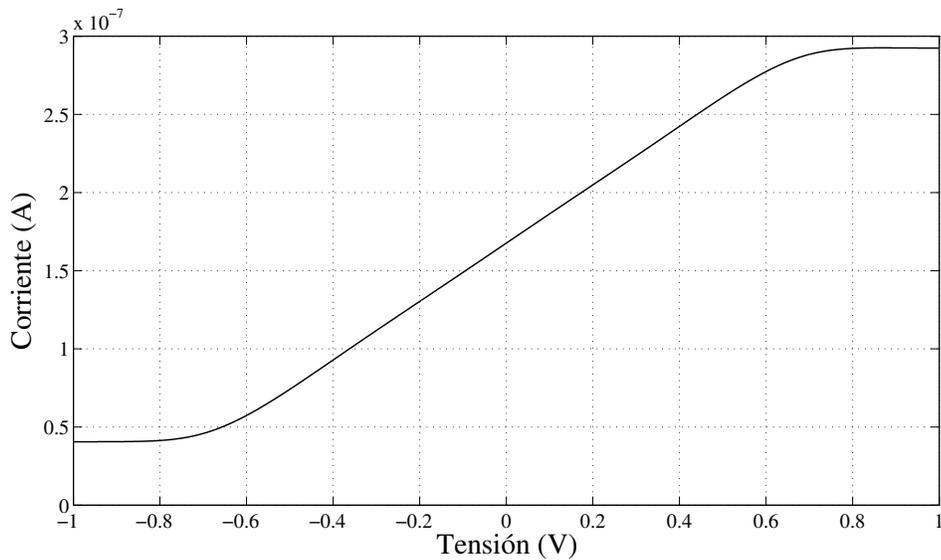


Figura 5.3: i_{out} vrs V_d para el OTA de 192nS.

Utilizando los datos de rango lineal mostrada en la figura 5.3, y con ayuda de la herramienta de calculadora del EZwave, se calculó la derivada de la curva de rango lineal para obtener la transconductancia del OTA; la figura 5.4 muestra la curva de transconductancia obtenida.

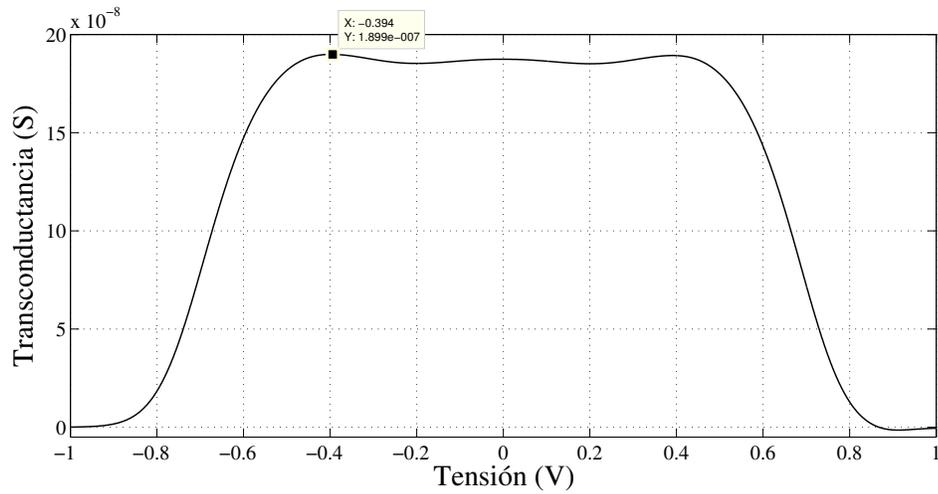


Figura 5.4: Curva de transconductancia para el OTA de 192nS.

La figura 5.5 muestra la corriente de salida del OTA, al aplicarse a la entrada una tensión CA.

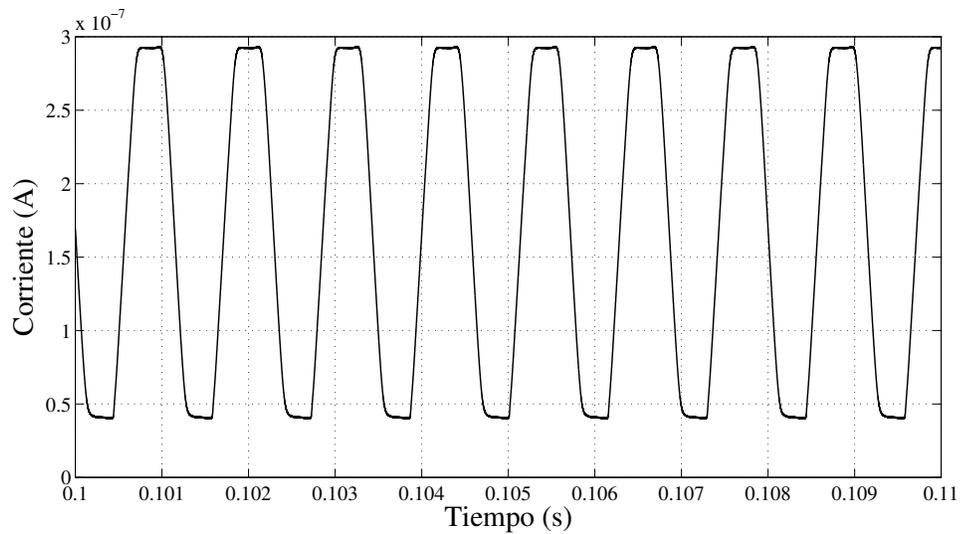


Figura 5.5: Corriente de salida en función del tiempo para el OTA de 192nS.

La tabla 5.2 presenta un resumen de las características de interés del OTA de 192nS.

Tabla 5.2: Características del OTA de 192nS.

OTA	G_{mmax} (nS)	C_{ent} (fF)	Potencia (nW)	ΔV (mV)	SR (mV/ μ s)
192	189.89	89.63	914.54	± 502	0.485

Los datos mostrados en la tabla 5.2, confirman lo mencionado en [6], en donde se asevera que

el escalamiento por medio de espejos de corriente no afecta el rango lineal ni la capacitancia, ya que como se puede observar para el OTA de 192nS estas características se mantuvieron igual a los OTA diseñados en [6]. La transconductancia máxima alcanzada para el OTA fue de 189.89nS, tal y como se puede observar en la figura 5.4, lo cual implica un porcentaje de error de 1.09% con respecto al valor teórico. El consumo de potencia del OTA fue mayor a los otros tres OTA, ya que al aumentar la transconductancia los espejos de corriente provocan que se agreguen más ramas conectadas a VDD que suman al consumo. En la figura 5.5 se nota como la corriente de salida del OTA se satura en los valores máximos, ya que la tensión de entrada alcanza la región no lineal del OTA, zona en donde se da una caída en la transconductancia, provocando la mencionada deformidad de la señal senoidal de entrada.

5.2 Banco de filtros analógicos

Con el OTA de 192nS, se tienen los cuatro OTA necesarios para implementar el banco de filtros analógicos. Los primeros cambios que hay que realizarle al filtro mostrado en la figura 1.2, es sustituir los OTA. Se debe cambiar el OTA de 385nS por el de 192nS, y los OTAs de 137nS, 68.5nS y 34.25 se deben cambiar respectivamente por los OTAs de 64nS, 32nS y 16nS.

5.2.1 Cálculo de los condensadores

Los condensadores del banco de filtros analógicos debieron calcularse nuevamente, ya que al cambiar los OTA, los condensadores también deben de cambiar su valor para asegurar mantener las frecuencias de corte del banco de filtros analógicos. Las frecuencias de corte del banco de filtros analógicos se deben mantener como en la respuesta en frecuencia mostrada en la figura 1.1. La ecuación (5.1) fue la utilizada para obtener los nuevos valores de capacitancia, G_m corresponde a la transconductancia del OTA asociado al condensador y f_c corresponde a la frecuencia de corte respectiva.

$$C = \frac{G_m}{2\pi f_c} \quad (5.1)$$

La tabla 5.3 muestra los nuevos valores de capacidad en el banco. Los valores de frecuencia de corte mostrados corresponden a la frecuencia de corte de los filtros de primer orden por los que está compuesto cada uno de los filtros; cada coeficiente del filtro está formado por dos filtros pasabaja de primer orden y un filtro pasaalta de primer orden a la salida. Para el caso del filtro de entrada, el mismo es un filtro pasaalta primer orden, seguido de una etapa de amplificación.

Tabla 5.3: Valores de los condensadores usados en el banco de filtros analógico.

Condensador	f_c (Hz)	G_m (nS)	Capacidad (pF)
C1	875	64	12
C2	875	64	12
C3	437	32	12
C4	437	64	24
C5	437	64	24
C6	219	32	24
C7	219	32	24
C8	219	16	12
C9	109	16	24
C10	109	16	24

5.2.2 Banco de filtros analógico optimizado teórico

Con los OTA optimizados y los valores de capacidad calculados, se procedió a rearmar el filtro para obtener un nuevo circuito, este se muestra en la figura 5.6. Se debe notar que el valor del condensador C10 mostrado no coincide con el reportado en la tabla 5.3, esta diferencia se debe a una corrección que se realizó para equiparar la respuesta en frecuencia del filtro con la respuesta analítica que se usó para evaluar el algoritmo CWT [3], más adelante se explicará con más detalle la razón de este ajuste. Para efectos del presente informe y debido a que fue el valor que se utilizó en la implementación, el valor de la capacidad de C10 usado a partir de ahora será el mostrado en la figura 5.6.

Con el banco de filtros analógico optimizado se procedió a probar su funcionamiento a través del cálculo de la función de transferencia para cada uno de los coeficientes de salida del filtro. La función de transferencia del filtro para el coeficiente 3, se muestra en la ecuación (5.2). Esta función tiene un polo de segundo orden en la frecuencia de 424Hz y un polo simple en 845Hz.

$$CD_3(s) = \frac{sC3(64nS)^2}{(sC1 + 64nS)^2(sC3 + 32nS)} \quad (5.2)$$

Similar es el caso con la función de transferencia para el coeficiente 4, con la diferencia de que los polos están en 424Hz y 212Hz, esta se muestra en la ecuación (5.3).

$$CD_4(s) = \frac{sC6(64nS)^2}{(sC4 + 64nS)^2(sC6 + 32nS)} \quad (5.3)$$

La ecuación (5.4) presenta la función de transferencia para el coeficiente 5, y tiene sus polos

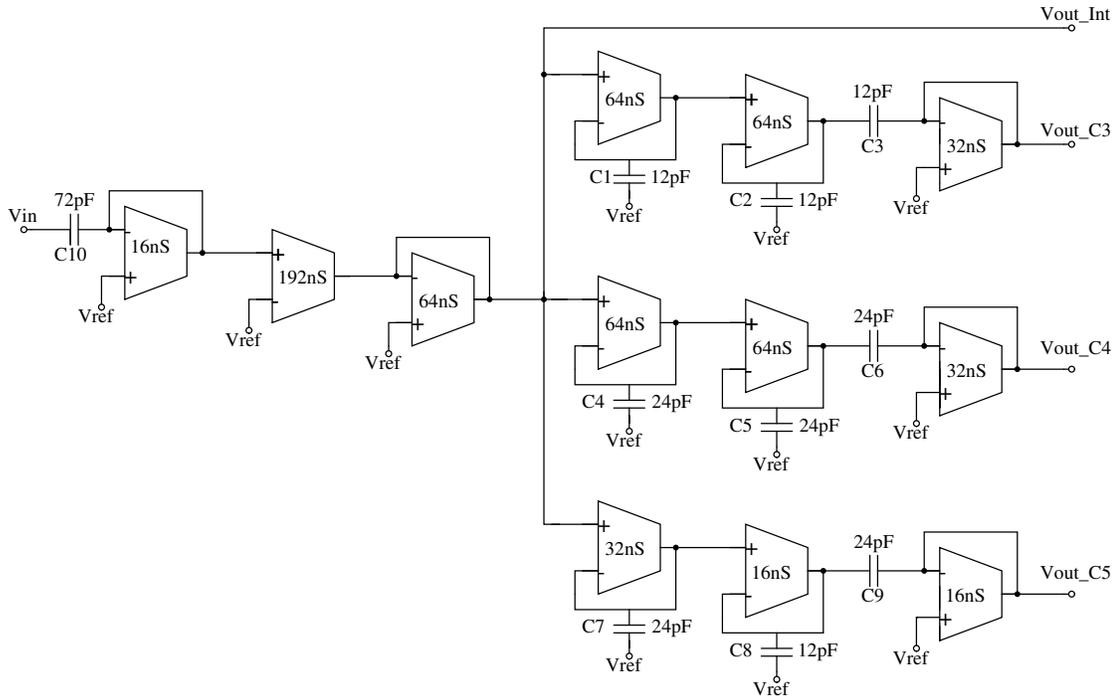


Figura 5.6: Banco de filtros analógico después de la optimización de los OTA.

en 106Hz y 212Hz.

$$CD_5(s) = \frac{sC9(16nS)(32nS)}{(sC7 + 32nS)(sC8 + 16nS)(sC9 + 16nS)} \quad (5.4)$$

Para el caso del nodo intermedio, se tiene la función de transferencia presentada en la ecuación (5.5), que incluye el efecto de amplificación entre los OTA de 192nS y 64nS y el polo del filtro pasaalta dado por C10.

$$Vout_{NI}(s) = \frac{sC10(\frac{192nS}{64nS})}{sC10 + 16nS} \quad (5.5)$$

Conociendo el valor de la función de transferencia del filtro, se generó una simulación del modelo teórico del mismo, para comprobar su correcto funcionamiento. La figura 5.7, muestra la magnitud de la respuesta en frecuencia del banco de filtros, y la figura 5.8 presenta la fase.

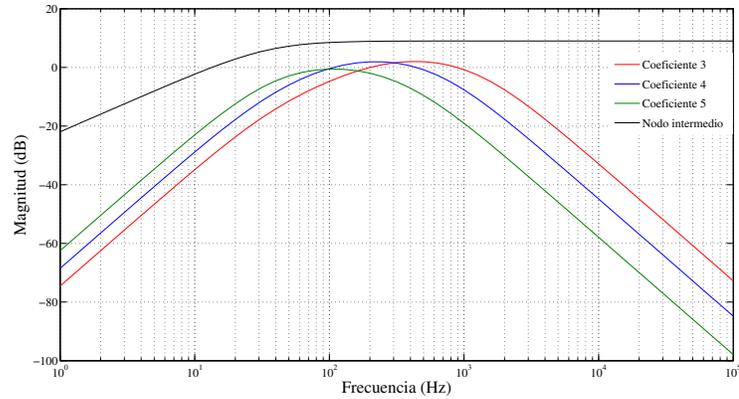


Figura 5.7: Magnitud de la respuesta en frecuencia teórica del banco de filtros analógico.

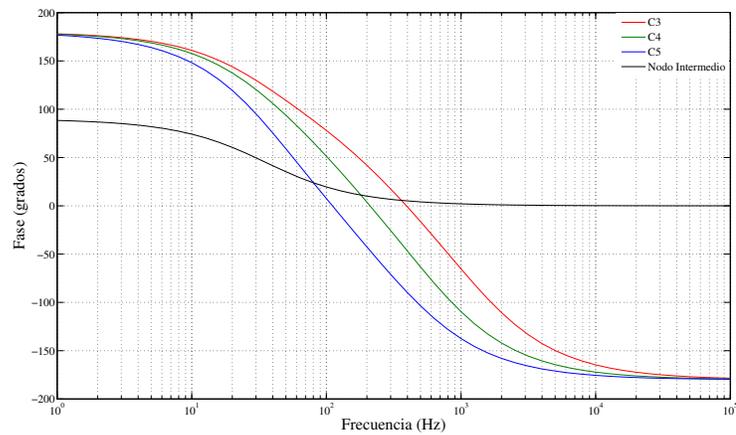


Figura 5.8: Fase de la respuesta en frecuencia teórica del banco de filtros analógico.

5.2.3 Espejos de corriente para polarizar los OTA

Todos los OTA trabajan con la misma corriente de polarización, de 20,16nA; la corriente es dada por una fuente externa, razón por la cual se debe hacer uso de espejos de corriente para copiar la corriente de entrada veintidós veces, dos por cada OTA. Para el OTA de 192nS se utiliza el doble de corriente de polarización. En la figura 5.9, se muestra solo un coprador de corriente; para obtener las restantes copias de corriente se debe repetir la sección de los transistores M2 las veces que sea necesario. Los transistores M1 y M2 son iguales, y poseen dimensiones de $L=20\mu\text{m}$ y $W=3\mu\text{m}$.

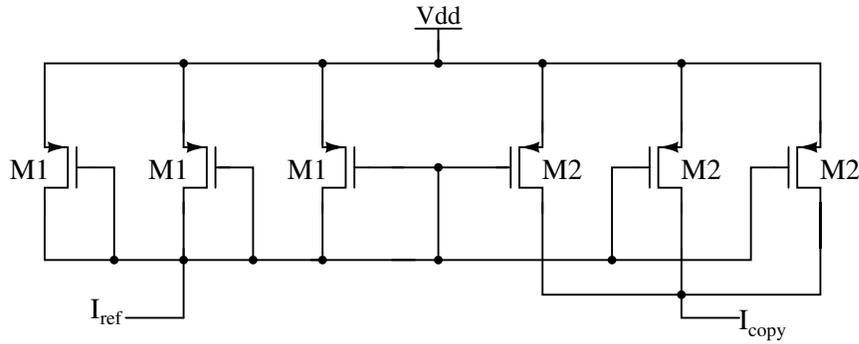
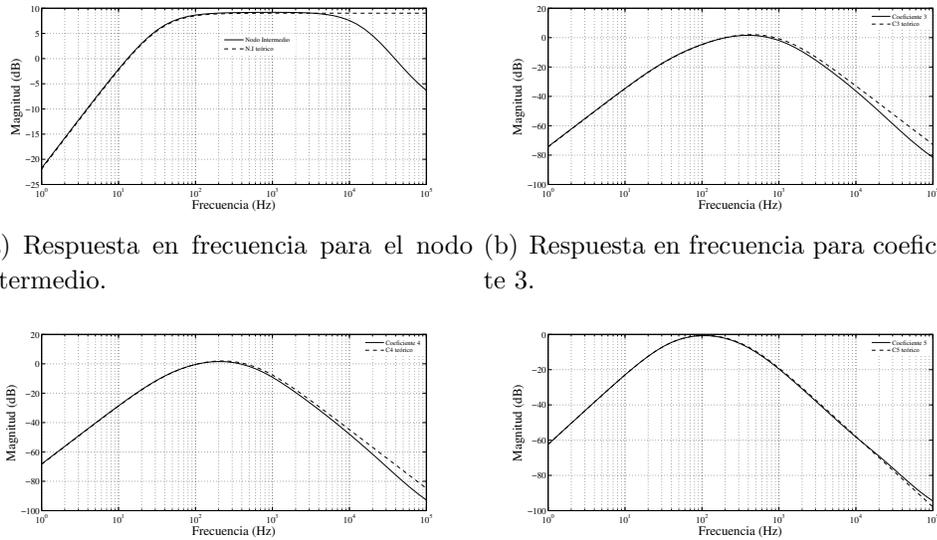


Figura 5.9: Espejos de corriente para obtener las corrientes de polarización de los OTA.

5.3 Resultados del banco de filtros analógico

Con todas las partes del banco de filtros analógico hechas, se procedió a realizar las simulaciones del circuito completo para comprobar su funcionamiento, y demostrar que con la optimización de los OTA, el desempeño de los filtros mejoró con respecto a la versión anterior. La figura 5.10 muestra la respuesta en frecuencia del banco de filtros analógico, y la figura 5.11 muestra el análisis de transitorios del mismo. La figura 5.12, presenta el comportamiento del filtro ante la tensión de entrada cuando esta presenta diferentes valores de frecuencia.



(a) Respuesta en frecuencia para el nodo intermedio. (b) Respuesta en frecuencia para coeficiente 3.

(c) Respuesta en frecuencia para coeficiente 4. (d) Respuesta en frecuencia para coeficiente 5.

Figura 5.10: Magnitud de la respuesta en frecuencia de los coeficientes 3, 4, 5 y el nodo intermedio.

Al observar los valores de magnitud de la respuesta de frecuencia de cada uno de los coeficientes, se ve que estos presentan una ligera diferencia entre sus valores máximos. En la

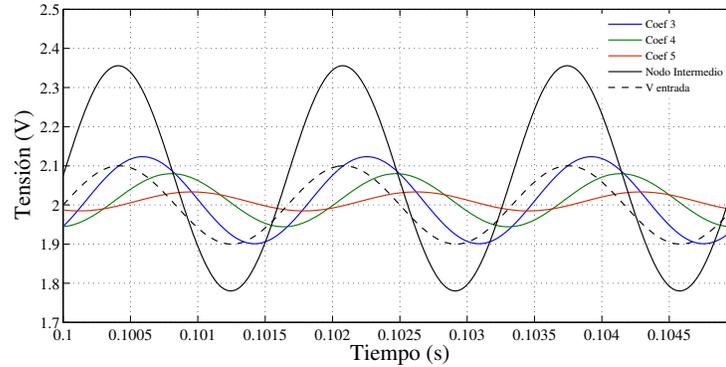
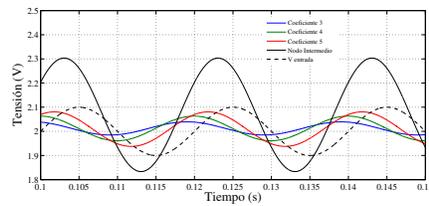
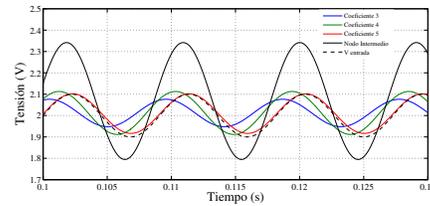


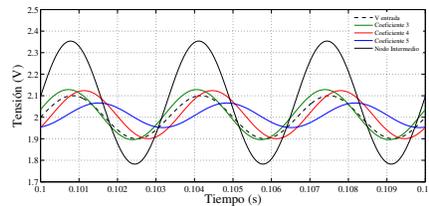
Figura 5.11: Respuesta de transitorios del banco de filtros analógico para una tensión de entrada con frecuencia de 600Hz.



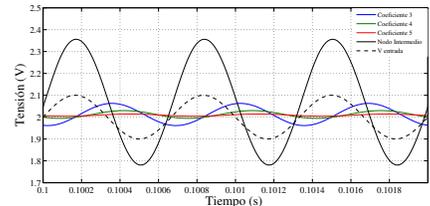
(a) Respuesta en transitorio para una tensión de entrada con frecuencia de 50Hz.



(b) Respuesta en transitorio para una tensión de entrada con frecuencia de 110Hz.



(c) Respuesta en transitorio para una tensión de entrada con frecuencia de 300Hz.



(d) Respuesta en transitorio para una tensión de entrada con frecuencia de 1500Hz.

Figura 5.12: Comportamiento del filtro ante una tensión de entrada de 100mV pico con diferente frecuencia.

figura 5.10, las diferencias se han reducido especialmente entre los coeficiente 3 y 4, no tanto así con el coeficiente 5. En las pruebas de los polinomios originales en [3], la evaluación se hizo sobre un filtro cúbico pasabanda. Al añadir el filtro de acondicionamiento para eliminar los efectos de CD a la entrada, este polinomio se ve afectado. El aumentar C10 mueve este polo de acondicionamiento hacia la izquierda y disminuye su efecto al menos sobre los coeficientes 3 y 4. Aunque el efecto en el polo 5 sigue siendo sustancial, se comprobó en [3] que el coeficiente 5 no es tan determinante como los otros coeficientes. En todo caso, el filtro será evaluado estadísticamente para verificar que esto sea así. Los resultados obtenidos al cambiar C10 se presentan en la tabla 5.4.

Tabla 5.4: Variaciones en la magnitud de la respuesta en frecuencia de cada uno de los coeficientes ante cambios en el valor del condensador C10.

C10 (pF)	Coef. 3 (dB)	Coef. 4 (dB)	Coef. 5 (dB)	Nodo Interm. (dB)
24	1.19	0.68	-2.71	9.08
48	1.49	1.31	-1.16	9.15
72	1.54	1.48	-0.73	9.19
96	1.59	1.57	-0.49	9.20

Como se puede observar en la tabla 5.5 el valor de la capacitancia del nodo intermedio se disminuyó considerablemente – un 90% – con respecto al valor presentado en el filtro anterior. Dicha mejora evita que se traslade el polo de las primeras etapas de los filtros al sumarse esta capacidad a la de la primera etapa. Con los cambios realizados y como se puede observar en la figura 5.10, los polos de más alto valor se desplazan hacia la derecha debido a que al disminuir el tamaño de los OTA, disminuyen las capacidades parásitas de los transistores, especialmente la de la compuerta, que es la que afecta más la capacidad parásita en el nodo intermedio. Se presentan diferencias en las regiones de alta frecuencia entre las respuesta en frecuencia del banco de filtros y la respuesta teórica, sin embargo para estas frecuencias la atenuación del filtro es tan alta que no afectan el circuito en la zona de interés.

Con la optimización de los OTA hecha el consumo de potencia obtenido fue de $3.66\mu\text{W}$, logrando por tanto una reducción del 34.29% respecto al consumo de potencia obtenido en [4], con mejores prestaciones del circuito, tales como menor área y menores capacidades parásitas asociadas. Hay que recordar que en [4], el consumo del filtro fue mayor debido al ajuste necesario para compensar los errores del circuito, como se muestra en la tabla 5.6, con lo cual el porcentaje de mejora es mayor si se toma en cuenta que al minimizarse los errores, no se va a requerir de ajustes posteriores que aumenten el consumo, por lo tanto casi se puede afirmar que el consumo final será de $3.66\mu\text{W}$.

Tabla 5.5: Comparación entre características obtenidos y los valores anteriores del filtro.

Característica	Inicial	Obtenido	Porcentaje de mejora (%)
Potencia (μW)	5.57	3.66	34.29
Capacitancia nodo intermedio (pF)	11.21	1.03	90.77

La tabla 5.7 presenta los valores de *offset* de salida para las etapas de los coeficientes y el nodo intermedio.

Tabla 5.6: Consumo del banco de filtros con alimentación de 4V. CI implementado en [4].

Circuito	Consumo sin ajuste (μA)	Consumo con ajuste (μA)
Banco de filtros	2.26	5.64

Tabla 5.7: Tensión *offset* de salida para el banco de filtros analógico.

Etapa	Tensión de <i>offset</i> (mV)
Coficiente 3	12.06
Coficiente 4	12.06
Coficiente 5	9.04
Nodo Intermedio	68.06

5.4 Conclusiones

Al finalizar esta parte del proyecto puede concluirse que:

1. La optimización realizada a los OTA, permitió obtener un banco de filtros analógico, con un mejor rendimiento en cuanto al consumo de potencia al lograrse obtener una reducción del mismo en aproximadamente un 34%.
2. Al disminuir el tamaño de los OTA, se reducen la capacitancias parásitas, por lo cual los polos de alta frecuencia se desplazan hacia la derecha sin afectar las zonas de interés de los coeficientes de los filtros.
3. Se logró mantener los polos de la respuesta en frecuencia del banco de filtros analógico dentro del 10% de variación que se había proyectado.
4. Se disminuyó la tensión de *offset* de salida del banco de filtros analógico respecto a los valores que se habían obtenido en versiones anteriores del filtro.

Capítulo 6

Implementación física del banco de filtros analógico

En este capítulo se describe el proceso seguido para generar la implementación física del banco de filtros analógico. Se muestra la forma en que se fue desarrollando el *layout* del filtro, y el por qué de la forma en que se realizó el mismo. Se presentan las pruebas que se realizaron para garantizar el cumplimiento de las reglas de diseño, así como una adecuada conexión de las partes del circuito. Finalmente se presentan resultados de simulaciones que se realizaron con el modelo *Spice* generado apartir del *layout*. El editor de *layout* utilizado fue IC Station de Mentor Graphics.

6.1 Diseño del layout de los OTA

El *layout* de los OTA, se basó en el diseño realizado en [6], el cual tiene como referencia el método propuesto por Arnaud en [1] de apilar en columnas, de forma intercalada, los transistores de las diferentes partes del circuito. Esta técnica busca disminuir el desapareamiento entre los transistores, ya que provee de una dispersión satisfactoriamente baja, sin un impacto prohibitivo en el área[4]. Ésta técnica fue la utilizada por [6] para realizar el *layout* de los OTA. Sin embargo, se detectaron varios problemas en este trazado, pues se apilaron transistores no uniformes y de tamaño distinto lo que podría aumentar el desapareamiento entre los transistores. Fue así que para corregir esos errores se optó por dibujar los transistores para el par diferencial (M_1) y el difusor (M_2), y no utilizar los que automáticamente da el programa editor de *layout*. La figura 6.1 muestra el transistor utilizado para generar el layout del difusor.

Con los transistores corregidos, se procedió a realizar las conexiones de los mismos para obtener el *layout* para cada uno de los OTA. El primer cambio que se hizo fue separar los transistores del diferencial y el difusor, ya que estos presentan diferentes dimensiones, como



Figura 6.1: Layout utilizado para los transistores del difusor. Los transistores usados para el par diferencial son similares, pero con el respectivo cambio en las dimensiones.

se muestra en la tabla 5.1. Ambas secciones del *layout* se conectaron usando transistores apilados en columnas, con transistores cortocircuitados en los extremos (transistores *dummy*) de cada columna. Las conexiones se realizaron usando capas de metal, y se realizaron de forma que se asegure que la corriente fluya siempre en la misma dirección. Notar además, que se evitó utilizar *poly* para realizar las conexiones entre las compuertas de los transistores, debido a que introduce altas resistencias en el circuito y, por tanto, significará altas desviaciones de los parámetros ideales del mismo (al hacer las optimizaciones, las herramientas consideran ideales a los conductores). Esto fue un error en [6], que debió corregirse en todos los OTA. De igual forma se realizaron las conexiones para los transistores de los espejos de corriente, tanto el superior (M_5) como el inferior (M_3).

Las figuras 6.2, 6.3, 6.4, 6.5 presentan los *layouts* de cada uno de los OTA. En todos los casos las figuras se encuentran rotadas 90 grados para facilitar su inclusión en el texto, en las mismas arriba a la derecha se muestran los transistores del par diferencial, arriba a la izquierda los transistores del difusor simétrico, abajo a la derecha los del espejo de corriente superior y los transistores del espejo de corriente inferior se muestran a la izquierda abajo.

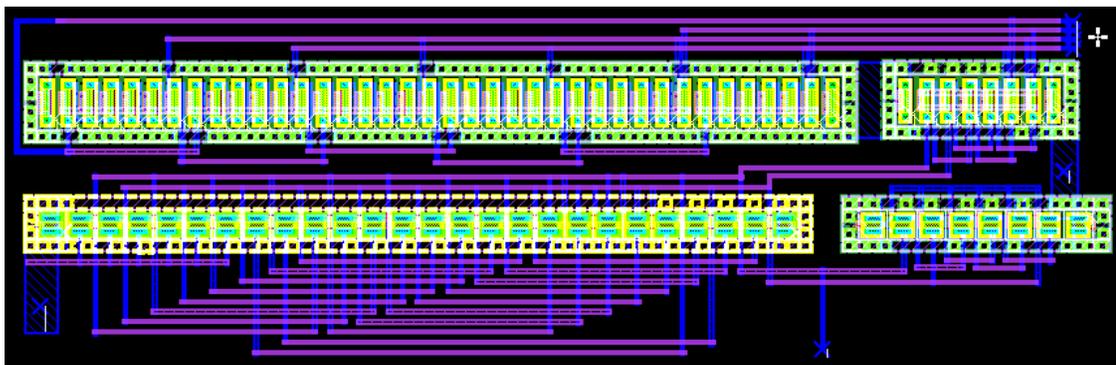


Figura 6.2: Layout del OTA de 16nS. (Trazado rotado 90 grados para facilitar su inserción en el texto)

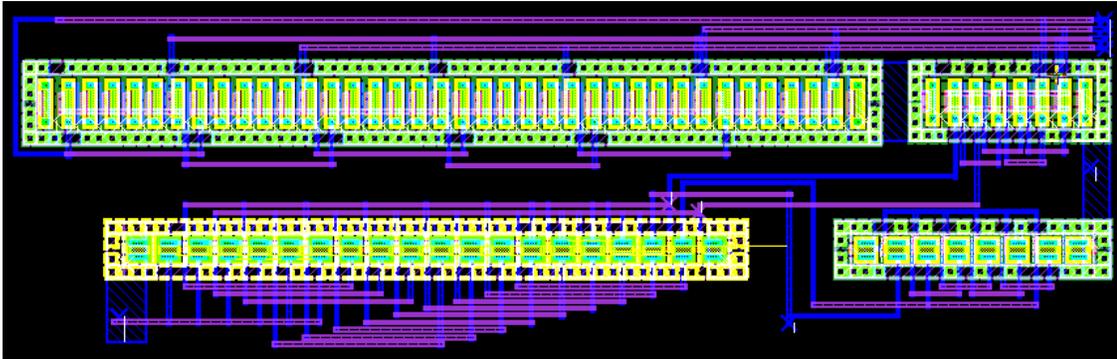


Figura 6.3: Layout del OTA de 32nS.(Trazado rotado 90 grados para facilitar su inserción en el texto)

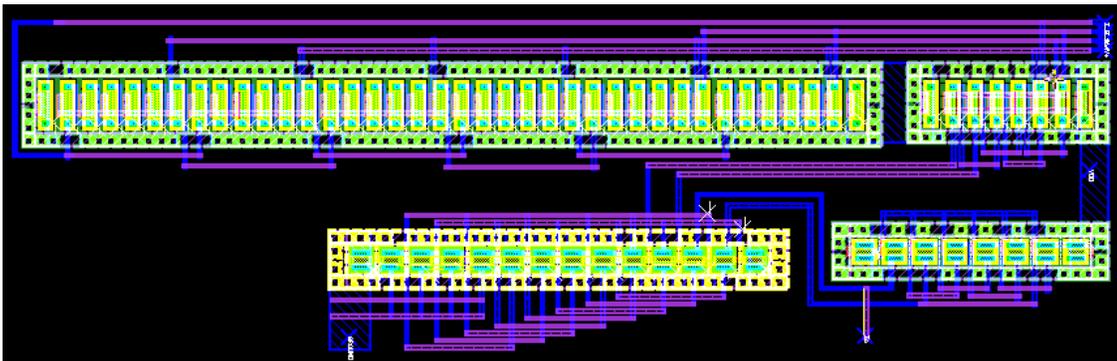


Figura 6.4: Layout del OTA de 64nS.(Trazado rotado 90 grados para facilitar su inserción en el texto)

La tabla 6.1, expone las dimensiones que presentaron cada uno de los *layout*.

Con la optimización de los OTA, y la reducción del tamaño de los transistores, se logró una reducción en las dimensiones del *layout*, que a su vez va a dar por resultado una disminución en el área final del circuito. Para dar una idea de la significativa reducción que se logró,

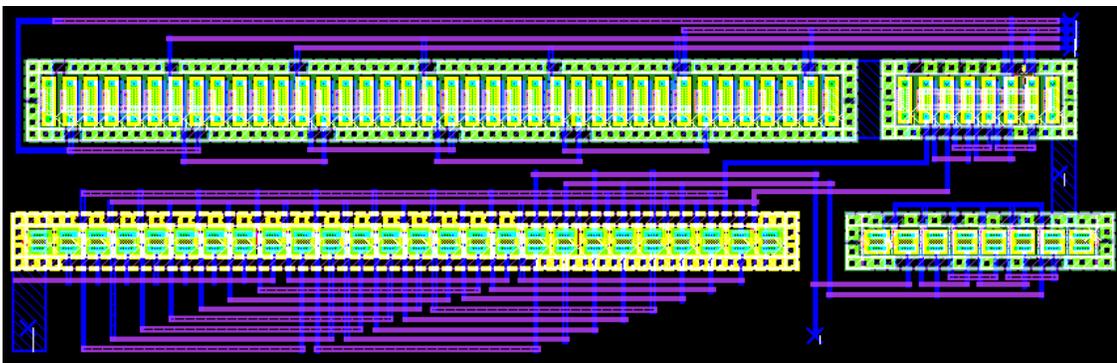


Figura 6.5: Layout del OTA de 192nS.(Trazado rotado 90 grados para facilitar su inserción en el texto)

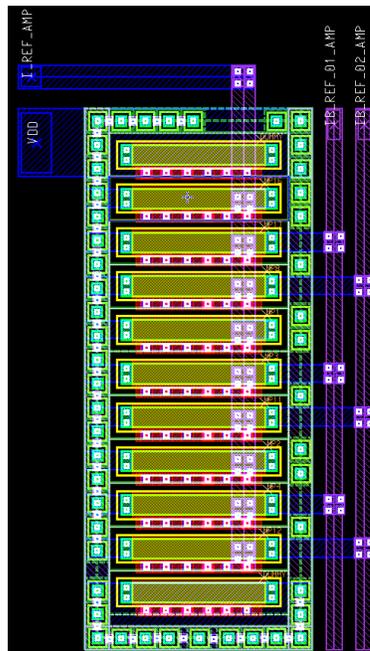
Tabla 6.1: Tamaño físico de los OTA

OTA	W(μm)	L(μm)	Área (nm^2)
16nS	100.44	321.90	32.65
32nS	95.25	312.66	29.78
64nS	98.19	312.53	30.69
192nS	99.75	327.3	32.65

basta con mencionar que el OTA de 137nS del circuito fabricado en [4], posee un área de $72\mu\text{m}^2$, un área superior en casi un 58% al área de los OTA implementados en este trabajo.

6.2 Layout de los copiadores de corriente

Para crear el *layout* de los espejos de corriente se siguió la técnica empleada por [4]. Se usa también la técnica de apilamiento de transistores intercalados para reducir la dispersión por desapareamiento. La figura 6.6, presenta el *layout* de los espejos de corriente para copiar la corriente que se va a utilizar para dar la corriente de polarización del OTA de 192nS. La figura 6.7 muestra los espejos de corriente para copiar la corriente de polarización de los OTA.

**Figura 6.6:** Layout del espejo de corriente para la corriente de polarización del OTA de 192nS.

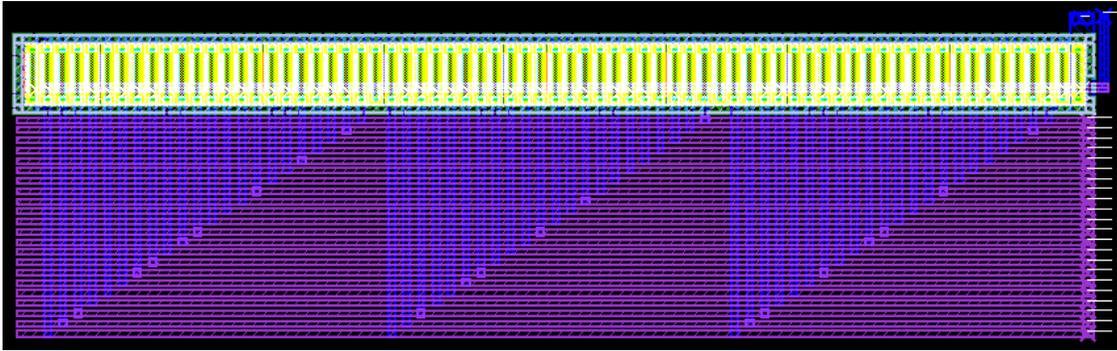


Figura 6.7: Layout del espejo de corriente para la corriente de polarización de los OTA.

6.3 Layout del banco de capacitores

Los capacitores utilizados están hechos con dos capas de polisilicio (poly2 sobre poly), que se acomodaron en un arreglo rectangular de capacitores unitarios de 3pF. La conexión en paralelo de estos capacitores permitió obtener las capacitancias necesarias de 12pF, 24pF y 72pF, ya que la distribución de la capacidad total en capacitores unitarios ayuda a disminuir los efectos de variabilidad[7]. Alrededor del banco de capacitores, se utilizan estructuras de capacitores cortocircuitadas para la geometría circundante de cada capacitor[4]. Alrededor de la estructura se colocó un pozo N, conectado a la tensión VDD, además de un anillo P+ conectado a tierra.

Las dimensiones que presentan cada uno de los capacitores es de $57,3\mu\text{m}$ de lado, los mismos son cuadrados, y presentan área de $3.28\mu\text{m}^2$. Los capacitores dummy colocados alrededor, presentan dimensiones de $57,3\mu\text{m}$ por $28.65\mu\text{m}$, y una capacitancia de 1.507pF los colocados a los costados del banco, y los colocados en cada una de las esquinas presenta dimensiones de $28.65\mu\text{m}$ en cada uno de sus cuatro lados, con una capacitancia de 756fF. El banco de capacitores se puede observar en la figura 6.8.

Utilizando la *C5 Double Poly Capacitor Mismatch Calculator* para la tecnología CMOS de $0.5\mu\text{m}$ calculó el *mismatch* para los condensadores. Los resultados indican que el 95.5% de los capacitores van a presentar un *mismatch* de 0.068%, y que un 68.3% de los mismos tendrán un *mismatch* del 0.034%.

6.4 Layout del banco de filtros analógico

La figura 6.8, enseña el *layout* completo del banco de filtros analógicos. El mismo presenta dimensiones de $1407\mu\text{m}$ de ancho, $1213\mu\text{m}$ de largo, para un área total de $1,70\mu\text{m}^2$.

Luego de realizar el *layout* del banco de filtros analógico, se realizaron las pruebas para comprobar que el mismo cumple con reglas de diseño, así como una compatibilidad con el

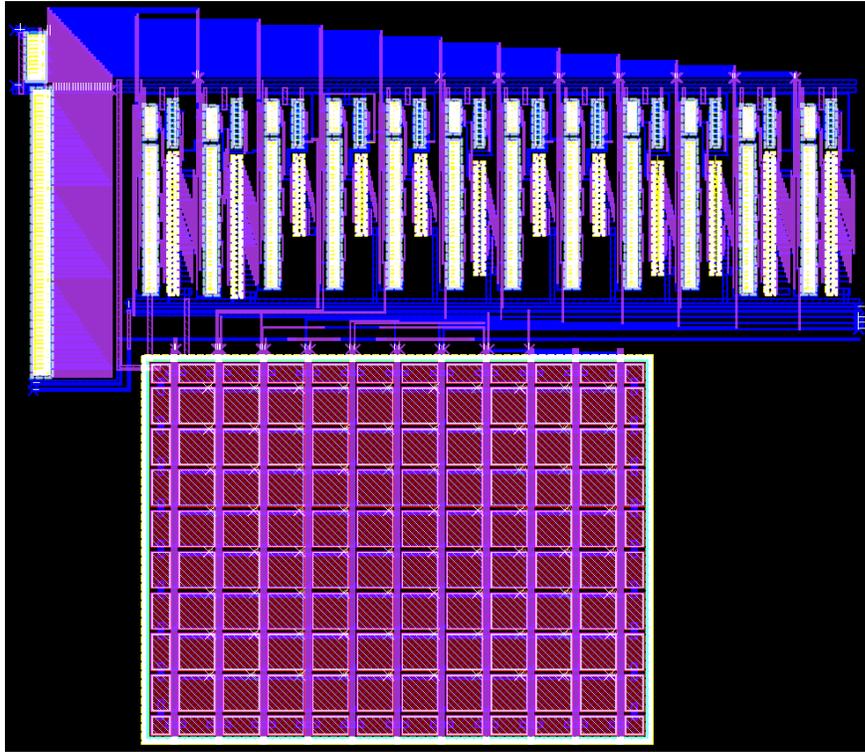


Figura 6.8: Layout final de todo el circuito del banco de filtros analógico, en tecnología estándar CMOS de $0.5\mu\text{m}$.

circuito esquemático. Para realizar estas pruebas se utilizaron las herramientas DRC y LVS de Calibre respectivamente. Luego se aplicó al circuito la prueba con la herramienta PEX de Calibre, la cual genera un netlist o listado de nodos *Spice*, que incluye las parásitas extraídas del *layout*.

Con los datos del *netlist* generado, se pudo observar que las dimensiones de los transistores variaron con respecto a las reportadas en la tabla 5.1. Los cambios en las dimensiones se muestran en la tabla 6.2. Estos cambios presentados se debe a que a la hora de diseñar el *layout* en el IC Station, se utilizaron reglas escalables de diseño, que utilizan un lambda de 0,3. Las dimensiones de los transistores, por tanto, solo pueden ser múltiplos de dicho factor de escala.

En el *netlist* también se reporta el valor de capacitancia que tienen los capacitores en el *layout*: 3.06pF para cada capacitor unitario.

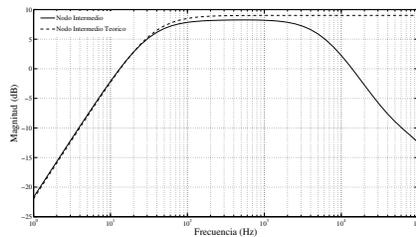
6.5 Resultados del layout del banco de filtros analógico

Con el *netlist* de parásitas extraído se realizaron simulaciones *post-layout* para comprobar el funcionamiento del *layout* del banco de filtros analógico. En la figura 6.9 se presenta la

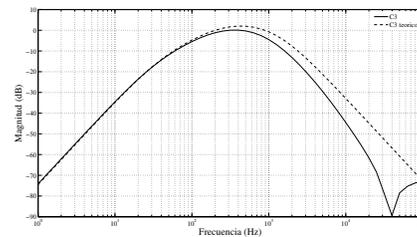
Tabla 6.2: Dimensiones de los transistores en el *layout* del circuito.

Transistor	W(μm)	L(μm)
M ₁	0.9	7.2
M ₂	0.9	8.1
M ₃	5.1	2.1
M ₅	5.1	2.1

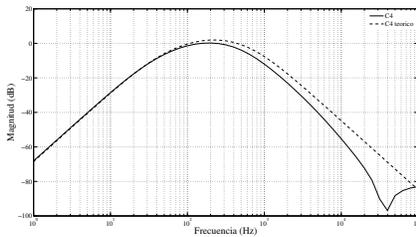
respuesta en frecuencia del filtro.



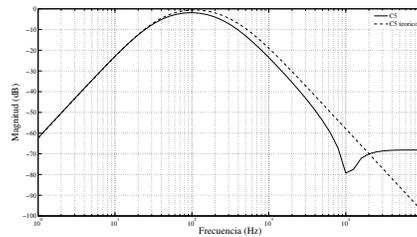
(a) Respuesta en frecuencia *post-layout* para el nodo intermedio.



(b) Respuesta en frecuencia *post-layout* para coeficiente 3.



(c) Respuesta en frecuencia *post-layout* para coeficiente 4.



(d) Respuesta en frecuencia *post-layout* para coeficiente 5.

Figura 6.9: Magnitud de la respuesta en frecuencia de los coeficientes 3, 4, 5 y el nodo intermedio, para la simulación *post-layout*.

La respuesta en frecuencia del banco de filtros analógico obtenida luego de realizar la simulación con parásitas incluidas, sufrió algunos cambios, respecto a las obtenidas en la simulación del esquemático del filtro. En la figura 6.9 se observa como la respuesta del nodo intermedio se vio afectada al correrse el polo hacia la izquierda, cerca de los 6KHz; este polo está más a la derecha respecto a la versión anterior del filtro cuyo polo se ubicó cerca de los 2,5KHz. Respecto a los coeficientes se puede mencionar que, presentó diferencias respecto a la respuesta teórica especialmente cerca de la frecuencia de corte superior, esto se nota especialmente en el coeficiente 3, en donde la diferencia de la amplitud como en corrimiento

hacia la izquierda de la respuesta fue más notoria. A pesar de los cambios mencionados, el filtro es totalmente funcional, ya que los cambios se presentaron en zonas que se consideran ya no están dentro del ancho de banda en el que fue diseñado el filtro, por lo tanto como se muestra más adelante en la respuesta de transitorios, el banco de filtros analógico sigue atenuando las señales cuya frecuencia está fuera de la banda pasante. Las razones a los cambios obtenidos en la respuesta en frecuencia, se pueden deber a las modificaciones que sufrieron las dimensiones de los transistores al reescalarse cuando se generó el netlist del circuito, tal como se aprecia en la tabla 6.2, sin embargo esto no se ha comprobado. Notar además que el problema con el coeficiente 5, cuya magnitud es menor que la de los coeficientes 3 y 4 se sigue manteniendo, siendo este un problema mayor al abarcado en este proyecto, el cual debería ser corregido en versiones posteriores del circuito.

La figura 6.10, muestra la respuesta transitoria del banco de filtros analógico ante una tensión de entrada de 600Hz, y la figura 6.11 da el comportamiento que tiene el filtro cuando se varía la frecuencia de la tensión de entrada.

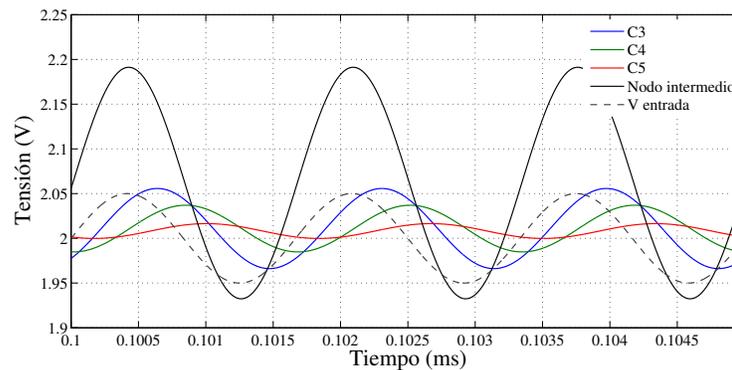


Figura 6.10: Respuesta transitoria del banco de filtros analógico *post-layout* ante una tensión de entrada de 600Hz.

La tabla 6.3, da el comportamiento que presentan las tensiones de *offset* luego de realizar la simulación con parásitas incluidas.

Tabla 6.3: Tensión *offset* de salida para el banco de filtros analógico para la simulación con parásitas incluidas.

Etapa	Tensión de <i>offset</i> (mV)
Coficiente 3	10.88
Coficiente 4	10.88
Coficiente 5	8.14
Nodo Intermedio	61.51

El *offset* de salida del banco de filtros analógico, en la simulación con parásitas incluidas fue

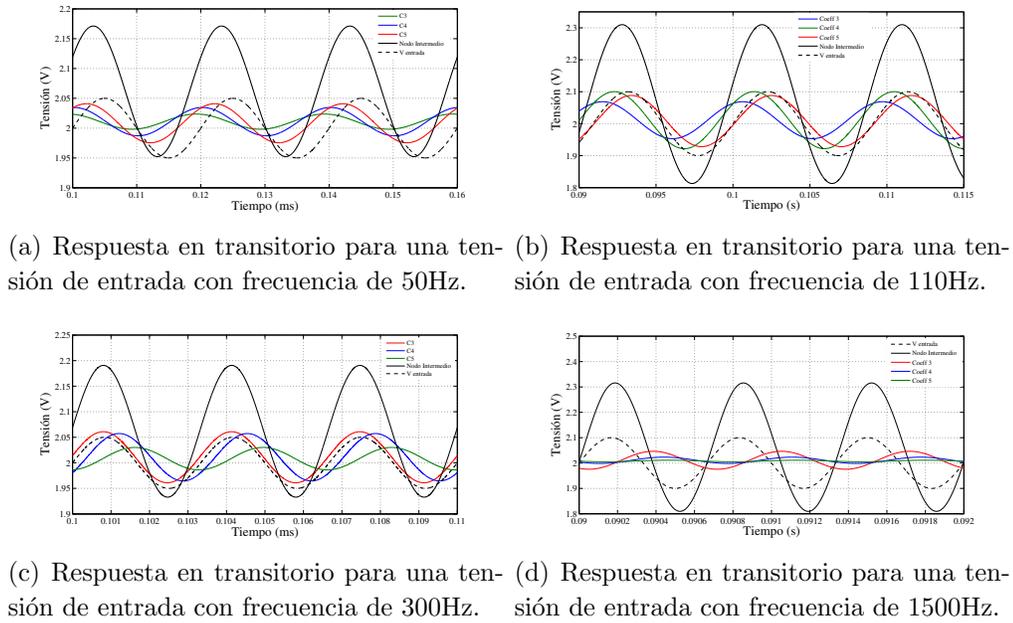


Figura 6.11: Comportamiento *postlayout* del filtro ante una tensión de entrada con diferente frecuencia.

menor al obtenido en la simulación del circuito esquemático. Estos resultados se muestran en la tabla 6.3, en donde se aprecia que para los coeficientes 3 y 4 hubo una disminución de 1.18mV, para el coeficiente 5 de una de 0.9mV y para el nodo intermedio una de 6.55mV.

6.6 Conclusiones

Al terminar esta parte del proyecto es posible concluir que:

1. Con la optimización de los OTA, y la disminución en el valor de las capacidades, se logró reducir el área que ocupan los OTA y el banco de condensadores, lo cual lleva a que el área del banco de filtros analógico, sea mucho menor a la obtenida en el circuito anterior.
2. Al realizar la simulación del circuito con parásitas incluidas, se notó que el polo indeseado del filtro pasaba de entrada, se desplazó hacia la izquierda, siendo este un comportamiento no deseado, que afectó la respuesta en frecuencia de los filtros para los coeficientes.
3. A pesar de la afectación que sufrió la respuesta en frecuencia del banco de filtros analógico, el mismo sigue siendo totalmente funcional para las funciones para las cuales fue diseñado.

Capítulo 7

Conclusiones y recomendaciones

7.1 Conclusiones

Luego de analizar los resultados anteriores es posible concluir que:

La herramienta de optimización ha permitido alcanzar la implementación de un circuito con menos consumo de potencia (un 34% menos), con menos efectos parásitos que afectan el funcionamiento del circuito, y con un menor offset sistemático.

Además, se logró mantener la ubicación de los polos en la respuesta en frecuencia, lo que garantiza que el circuito será capaz de atenuar aquellas señales fuera de la banda pasante. Aunque en el *layout* se dio un corrimiento del polo en las parte de alta frecuencia, las mismas no afectan el funcionamiento del circuito y los polos de los coeficientes se mantienen dentro del 10% de variación permitido.

La herramienta de optimización permitió que al disminuir la transconductancia de los OTA, se disminuyera también la capacidad de los condensadores. Esto lleva a que el área que ocupa el banco de capacitores sea menor, lo cual tiene como resultado que el área total del circuito también se vea reducida, ya que los OTA también ocupan menos área para su implementación.

7.2 Recomendaciones

Se recomienda para versiones posteriores del circuito, revisar el problema que se tiene con el coeficiente 5, ya que este presenta una amplitud menor que la de los coeficientes 3 y 4. Además, es necesario revisar el problema en el nodo intermedio que afecta notablemente la respuesta de la primera etapa del filtro.

Bibliografía

- [1] A. Arnaud. *Very Large Time Constant Gm-C Filters*. PhD thesis, Universidad de la República, Uruguay, Montevideo, Uruguay, 2002.
- [2] J. Baker. *CMOS: circuit design, layout, and simulation*. Wiley, 2 edition, 2005.
- [3] A. Chacon-Rodriguez, P. Julián, L. Castro, P. Alvarado, and N. Hernández. Evaluation of gunshots detection algorithms. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, pages 363–373, 2011.
- [4] A. Chacón. *Circuitos integrados de bajo consumo para detección y localización de disparos de armas de fuego*. Ph.d, dissertation, Facultad de Ingeniería, Departamento de Ingeniería Electrónica, Universidad Mar del Plata, Mar del Plata, Argentina, Mayo 2009.
- [5] R.L. Geiger and E. Sánchez-Sinencio. Active filter design using operational transconductance amplifiers: A tutorial. *IEEE Circuits and Devices Magazine*, 1:20–32, 1985.
- [6] F. Nicaragua. *Diseño de un amplificador operacional de transconductancia para la implementación de filtros analógicos utilizados en la detección de disparos de armas de fuego*. Informe Proyecto de Graduación, Escuela Ingeniería en Electrónica, Instituto Tecnológico de Costa Rica, Cartago, Costa Rica, Noviembre 2010.
- [7] B. Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill Science/Engineering/Math, 1 edition, August 2000.
- [8] B. Razavi. *Fundamentals of microelectronics*. John Wiley & Sons, 2 edition, 2008.