

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería en Electrónica



Diseño e Implementación de un sistema simulador básico
para las plataformas FLEX, microFLEX y ultraFLEX

Informe de Proyecto de Graduación para optar por el título de Ingeniero en
Electrónica con el grado académico de Licenciatura

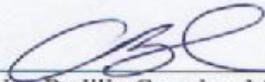
Javier Zamora Ramírez

Cartago, 18 de Junio del 2009

INSTITUTO TECNOLOGICO DE COSTA RICA
ESCUELA DE INGENIERIA ELECTRONICA
PROYECTO DE GRADUACIÓN
TRIBUNAL EVALUADOR

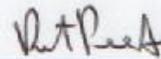
Proyecto de Graduación defendido ante el presente Tribunal Evaluador como requisito para optar por el título de Ingeniero en Electrónica con el grado académico de Licenciatura, del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal



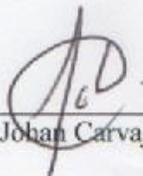
Ing. Carlos Badilla Corrales, M.Sc.

Profesor lector



Ing. Roberto Pereira Arroyo, M.Sc.

Profesor lector



Ing. Johan Carvajal Godínez

Profesor asesor

Los miembros de este Tribunal dan fe de que el presente trabajo de graduación ha sido aprobado y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica

Cartago, 18 de Junio de 2009

DECLARACIÓN DE AUTENTICIDAD

Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía, he procedido a indicar las fuentes mediante las respectivas citas bibliográficas.

En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.

Cartago, 18 de Junio de 2009

Javier ZR

Javier Zamora Ramírez

Cédula: 206280097

Resumen

Las tarjetas de monitorización y control (SMC, por sus siglas en inglés) de las plataformas Flex, ultraFlex y microFlex requieren un proceso de optimización y depuración constante, el cual se da por parte de un departamento de ingeniería dedicado a estos sistemas. Al ser el SMC un sistema encargado de supervisar gran cantidad de variables internas de las plataformas, se hace necesario poner a prueba su respuesta ante situaciones de fallo, esto para caracterizar dicho comportamiento.

Teradyne de Costa Rica ha detectado una oportunidad de mejora que

reduce el tiempo de desarrollo de hardware/firmware, permite una adecuada utilización de recursos y aumenta considerablemente la capacidad de analizar comportamientos anormales del SMC. Es por eso que este proyecto tiene como finalidad implementar un sistema embebido, capaz de simular las características eléctricas básicas, que interconectan a cada sistema con su tarjeta SMC, permitiendo así tiempos de validación mucho menores a los actuales, adicionado a la capacidad de comprobar efectivamente el buen funcionamiento de la tarjeta SMC.

Palabras Cable: SMC, Flex, ultraFLEX, microFLEX, Simulador

Abstract

The monitor and support boards (SMC) included into the platforms FLEX, UltraFLEX and microFLEX requires a continuous debugging and optimization, process. There is an engineering team dedicated to work on those systems. Due to the SMC is a system in charge of the supervision of many intern signals, it's become necessary to proof its response to failure situations, this given by signals out of the limits. Teradyne of Costa Rica has detected an opportunity of improvement to

reduce considerably the development of the *hardware/firmware*, increase proper resource utilization and increment the capacity to analyze abnormal SMC behaviors. This project have the objective to implement an embedded system, able to simulate the basic electrics characteristics that interconnect each system with his own SMC, having as results validation times smaller than the current ones, and the capacity to proof the good working of the SMC assembly.

Keywords: SMC, Flex, ultraFLEX, microFLEX, Simulator

Dedicatoria

Dedico este trabajo a mis padres y hermanos, quienes siempre me brindaron su apoyo a lo largo del proceso universitario, permitiéndome así llegar exitosamente a este punto de clausura del mismo.

Agradecimiento

Agradezco primeramente a Dios por permitirme llegar a este punto en mi carrera. También agradezco al Ing. Francisco Díaz por proporcionarme el motivo del proyecto, así como su ayuda en la elaboración del mismo. Por último agradezco a la señorita Tamara Cambroneró por su ayuda técnica en el campo de trabajo cuando se la necesito.

ÍNDICE GENERAL

Capítulo 1. Introducción.....	13
1.1 Problema existente e importancia de la solución.....	13
1.2 Solución seleccionada.....	15
Capítulo 2. Metas y objetivos.....	16
2.1 Meta.....	16
2.2 Objetivo general.....	16
2.3 Objetivos específicos.....	16
Capítulo 3. Marco Teórico.....	17
3.1 Descripción de los sistemas simulados y su interfaz con la tarjeta SMC.....	17
3.2 Sistema UltraFLEX versiones SC, HC y HD.....	17
3.3 Sistema FLEX.....	27
3.4 Sistema microFLEX.....	31
Capítulo 4. Procedimiento metodológico.....	35
4.1 Reconocimiento y definición del problema.....	35
4.2 Obtención y análisis de información.....	35
4.3 Evaluación de las alternativas y síntesis de una solución.....	36
4.4 Implementación de la solución.....	36
4.5 Reevaluación y rediseño.....	37
Capítulo 5. Descripción detallada de la solución.....	38
5.1 Análisis de soluciones y selección final.....	38
5.2 Solución propuesta #1: Interfaz mediante un computador.....	38
5.3 Solución propuesta #2: Uso de MCU.....	39
5.4 Elección de la propuesta de solución a implementar.....	40
5.5 Descripción del hardware.....	40
5.6 Etapa de control del usuario.....	41
5.7 Interfaz visual al usuario.....	44
5.8 Lógica Adicional.....	45
5.9 Interfaz al SMC.....	46
5.10 MCU.....	51
5.11 Descripción del software.....	52
5.12 Atención del panel de control.....	52
5.13 Control de la pantalla LCD.....	55
5.14 Generación de señales.....	56
5.15 Generación de señales del UltraFLEX.....	56
5.16 Generación de señales del FLEX.....	59
5.17 Generación de señales del microFLEX.....	60
Capítulo 6. Análisis de resultados.....	62
6.1 Resultados.....	62
6.2 Análisis de resultados.....	79
Capítulo 7. Conclusiones y recomendaciones.....	81
7.1 Conclusiones.....	81
7.2 Recomendaciones.....	81
Bibliografía.....	82
Manuales y Hojas de datos.....	82

Apéndices.....	83
Apéndice A.1 Valores obtenidos en simulación de ventiladores del sistema UltraFLEX.....	84
Apéndice A.2 Valores obtenidos en simulación de variables del sistema FLEX	85
Apéndice A.2 Continuación. Valores obtenidos en simulación de variables del sistema FLEX	86
Apéndice A.2 Continuación. Valores obtenidos en simulación de variables del sistema FLEX	88
Apéndice A.2 Continuación. Valores obtenidos en simulación de variables del sistema FLEX	89
Apéndice A.3 Valores obtenidos en simulación de variables del sistema microFLEX	90
Apéndice A.4 Tabla de variables del sistema UltraFLEX SC & HC.....	92
Apéndice A.5 Tabla de variables del sistema UltraFLEX HD.....	93
Apéndice A.6 Tabla de variables del sistema FLEX.....	94
Apéndice A.7 Tabla de variables del sistema microFLEX.....	95
Apéndice A.8 Ecuaciones de cálculo de CP y CPK.....	96

ÍNDICE DE FIGURAS

.....	13
Figura 1. Sistemas de pruebas: a) FLEX, b) UltraFLEX y c) microFLEX	13
Figura 2. Ensamble SMC del sistema ultraFLEX.....	14
Figura 3. Diagrama de bloques del SMC del microFLEX.....	14
Figura 4. Diagrama de bloques general de la solución.....	15
Figura 5. Sistema UltraFLEX.....	17
Figura 6. Diagrama de bloques del sistema UltraFLEX.....	18
Figura 7. Diagrama de bloques del Power Device Unit de la plataforma UltraFLEX.....	19
Figura 8. Panel de control instalado en el PDU.....	20
Figura 8. Secuencia de arranque después de aplicado el voltaje de entrada al PDU....	20
Figura 9. Secuencia de arranque de la etapa de pruebas.....	21
Figura 10. Diagrama de bloque del sistema de monitorización y control (SMC).....	21
Figura 11. Sistema de monitorización y control (SMC).....	22
Figura 12. Diagrama de bloques del ensamble SMC.....	23
Figura 13. Vista frontal de ensamble SMC.....	23
Figura 14. Secuencia de arranque principal del SMC.....	24
Figura 15. Secuencia de arranque de la etapa de pruebas.....	25
Figura 16. Secuencia de apagado de la etapa de pruebas.....	26
Figura 17. Sistema FLEX.....	27
Figura 18. Diagrama de bloques del PDU.....	27
.....	28
Figura 19. Interruptor principal del PDU.....	28
.....	28
Figura 20. Diagrama de bloques del SMC del sistema FLEX.....	28
Figura 21. Interfaz PDU – SMC para el sistema FLEX.....	29
Figura 22. Diagrama de flujo del SMC del sistema FLEX.....	30
Figura 23. Sistema microFLEX.....	31
Figura 24. Diagrama de bloques del PDP del microFLEX.....	31
Figura 25. Diagrama de bloques de la interfaz PDP-SMC.....	32
Figura 26. Diagrama de bloques de la interfaz DC90-SMC.....	33
Figura 27. Ubicación del SMC en el sistema microFLEX.....	33
Figura 28. Secuencia de arranque principal del SMC del microFLEX.....	34
Figura 29. Diagrama de bloques de la solución propuesta #1.....	38
Figura 30. Diagrama de bloques de la solución propuesta #2.....	39
Figura 31. Diagrama de bloques del hardware del sistema.....	40
Figura 32. a) Codificador b) Perilla del codificador.....	41
Figura 33. Circuito equivalente del encoder utilizado.....	41
Figura 34. Interfaz de los encoders con el MCU.....	42
Figura 35. Conexión de la etapa de codificación.....	43
Figura 36. Multiplexador 74150.....	44
Figura 37. Display LCD de 20x4 líneas.....	44
Figura 38. Conexión display-MCU.....	45
Figura 39. Esquemático de la lectura de corriente por parte del SMC del microFLEX. .	45
Figura 40. Etapa amplificadora no inversora.....	46

Figura 41. Conector tipo DB-25.....	46
Figura 42. Conector DB-25 correspondiente al UltraFLEX.	47
Figura 43. Conector DB-25 correspondiente al FLEX.	47
Figura 44. Conector DB-25 correspondiente al microFLEX.	48
Figura 45. Conector tipo RJ-11.....	48
Figura 46. Diagrama eléctrico del conector del propulsor de aire.	49
Figura 47. Diagrama eléctrico del conector del ventilador 1.	49
Figura 48. Diagrama eléctrico del conector del ventilador 2.	49
Figura 49. Diagrama eléctrico del conector del DC-90.....	50
Figura 50. Conector de 50 pines del USM.....	50
Figura 51. Diagrama eléctrico del conector del USM.....	50
Figura 52. Diagrama eléctrico del conector del panel de control.....	51
Figura 53. a) Expansor de pines b) Kit de pruebas PIC32.....	51
Figura 54. Diagrama de bloques del kit de desarrollo.....	52
Figura 55. Diagrama de flujo de atención de la interrupción INT_0.....	53
Figura 56. Diagrama de flujo de atención de la interrupción INT_1.....	54
Figura 57. Diagrama de flujo de atención de la interrupción INT_2.....	55
Figura 58. Segmento de rutina del Timer_1 correspondiente a fuentes.....	58
Figura 59. Diagrama de flujo para la generación de frecuencias.....	59
Figura 60. Sistema prototipo del simulador.....	62
Figura 61. Conexiones entre el sistema simulador y el SMC del UltraFLEX.....	63
Figura 62. Imagen tomada de la etapa de software IG-XL con el SMC del UltraFLEX..	63
Figura 63. Histograma resultante al simular el blower a 1500rpm.....	66
Figura 64. Histograma resultante al simular el SC1_J4 a 1500rpm.....	66
Figura 65. Histograma resultante al simular el SC2_J4 a 1500rpm.....	66
Figura 66. Histograma resultante al simular 42V en V0.....	70
Figura 67. Histograma resultante al simular 48V en V1.....	70
Figura 68. Histograma resultante al simular 57V en V2.....	70
Figura 69. Histograma resultante al simular 173V en VAB.....	71
Figura 70. Histograma resultante al simular 208V en VAC.....	71
Figura 71. Histograma resultante al simular 247V en VBC.....	71
Figura 72. Histograma resultante al simular 105A en I1.....	72
Figura 73. Histograma resultante al simular 185A en I2.....	72
Figura 74. Histograma resultante al simular 50Hz en FREQ.....	72
Figura 75. Histograma resultante al simular el blower a 900rpm.....	73
Figura 76. Histograma resultante al simular el SC_Fan a 600rpm.....	73
Figura 77. Histograma resultante al simular el SPR1_Fan a 800rpm.....	73
Figura 78. Histograma resultante al simular el TH1_Fan a 700rpm.....	77
Figura 79. Histograma resultante al simular el TH2_Fan a 1800rpm.....	77

ÍNDICE DE TABLAS

Tabla 1. Conexión de pines de la etapa de control al MCU.....	53
Tabla 2. Conexión de pines entre el LCD y el MCU.....	55
Tabla 3. Conexión entre los potenciómetros digitales y el MCU.....	60
Tabla 4. Simulación en estado estable del sistema UltraFLEX con etapa de pruebas apagada.....	64
Tabla 5. Simulación en estado estable del sistema UltraFLEX con etapa de pruebas encendida.....	64
Tabla 6. Simulación del estado transitorio del sistema UltraFLEX	65
Tabla 7. Comportamiento estadístico al simular el Blower a 1500rpm.....	66
Tabla 8. Comportamiento estadístico al simular el SC1_J4 a 1500rpm.....	66
Tabla 9. Comportamiento estadístico al simular el SC2_J4 a 1500rpm.....	66
Tabla 10. Simulación en estado estable del sistema FLEX con etapa de pruebas apagada.....	67
Tabla 11. Simulación en estado estable del sistema FLEX con etapa de pruebas encendida.....	68
Tabla 12. Simulación del estado transitorio del sistema FLEX.....	69
Tabla 13. Comportamiento estadístico al simular 42V en V0.....	70
Tabla 14. Comportamiento estadístico al simular 48V en V1.....	70
Tabla 15. Comportamiento estadístico al simular 57V en V2.....	70
Tabla 16. Comportamiento estadístico al simular 173V en VAB.....	71
Tabla 17. Comportamiento estadístico al simular 208V en VAC.....	71
Tabla 18. Comportamiento estadístico al simular 243V en VBC.....	71
Tabla 19. Comportamiento estadístico al simular 105A en I1.....	72
Tabla 20. Comportamiento estadístico al simular 185A en I2.....	72
Tabla 21. Comportamiento estadístico al simular 50Hz en FREQ.....	72
Tabla 22. Comportamiento estadístico al simular el Blower a 900rpm.....	73
Tabla 23. Comportamiento estadístico al simular el SC_Fan a 600rpm.....	73
Tabla 24. Comportamiento estadístico al simular el SPR1_Fan a 800rpm.....	73
Tabla 25. Simulación en estado estable del sistema microFLEX con etapa de pruebas apagada.....	74
Tabla 26. Simulación en estado estable del sistema microFLEX con etapa de pruebas encendida.....	75
Tabla 27. Simulación del estado transitorio del sistema microFLEX.....	76
Tabla 28. Comportamiento estadístico al simular el TH1_Fan a 700rpm.....	77
Tabla 29. Comportamiento estadístico al simular el TH2_Fan a 1800rpm.....	77
Tabla 30. Comportamiento estadístico al simular 105A en 48V_I.....	77
Tabla 31. Comportamiento estadístico al simular 105A en DC90V_I.....	78

Capítulo 1. Introducción

Teradyne es una empresa dedicada al desarrollo de sistemas de pruebas, tanto para pruebas de ensamblaje, de semiconductores, así como en la industria automotriz. La empresa cuenta con una variedad de sistemas, enfocados a diferentes aplicaciones en la industria de los semiconductores.

A continuación se explica más detalladamente los sistemas a los que se enfoca el proyecto, así como la razón por la que es necesario implementar el proyecto. De igual manera se da una descripción general de la solución seleccionada y sus características.

1.1 Problema existente e importancia de la solución

Entre los sistemas de pruebas de la empresa se encuentran (ver Figura 1) el FLEX, UltraFLEX y microFLEX. Cada uno de estos sistemas se utiliza para realizar pruebas a diferentes tipos de semiconductores, desde circuitos integrados simples hasta microprocesadores complejos y de alta velocidad. El diseño de cada plataforma usa un formato de ranuras, donde cada cliente coloca las tarjetas de instrumentación necesarias para realizar pruebas a sus dispositivos, dando con esto una alta flexibilidad al sistema de pruebas.



Figura 1. Sistemas de pruebas: a) FLEX, b) UltraFLEX y c) microFLEX ¹

Cada sistema está integrado por subsistemas que se encargan de tareas específicas. Entre estos subsistemas destacan: subsistema de pruebas, mecánico, de potencia, de refrigeración, de instrumentación y demás infraestructura electrónica requerida. Dentro de esta última destaca un ensamblaje llamado Monitorización y Control del Sistema (SMC, por sus siglas en inglés), el cual se muestra en la figura 2.

Este subsistema forma parte de una etapa dedicada a la monitorización interna del sistema, y adicionalmente es capaz de controlar ciertas etapas del mismo con el fin de proteger el sistema ante condiciones críticas. De igual forma este subsistema envía información a un computador (mediante protocolo Ethernet), de manera que información tal como el estado de las variables pueda ser mostrado al usuario para la toma de decisiones.

El SMC es encargado de supervisar variables tales como niveles de voltaje, temperaturas internas, corrientes, velocidad de giro de ventiladores y otras, y al tener control sobre etapas del sistema, es capaz de inducir a una secuencia de apagado de emergencia (EMO, por sus siglas en inglés) al sistema en caso que alguna variable salga de los límites establecidos.

¹ Imagen tomada del sitio web de la empresa: <http://www.teradyne.com>

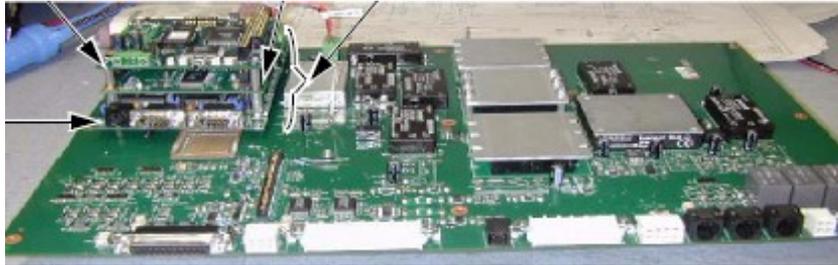


Figura 2. Ensamble SMC del sistema ultraFLEX²

El SMC tiene una estructura basada en nodos, tal como se muestra en la figura 3. Entre estos nodos existe un nodo de sistema (SN, por sus siglas en inglés) encargado de comunicar la tarjeta con el computador, y además de comunicarse internamente con demás nodos no solo del ensamble, sino de la plataforma completa. También existe un nodo de soporte de gabinete (SCN, por sus siglas en inglés), el cual trabaja en conjunto con la tarjeta para monitorizar y controlar la etapa de potencia del sistema, dando así la protección antes mencionada.

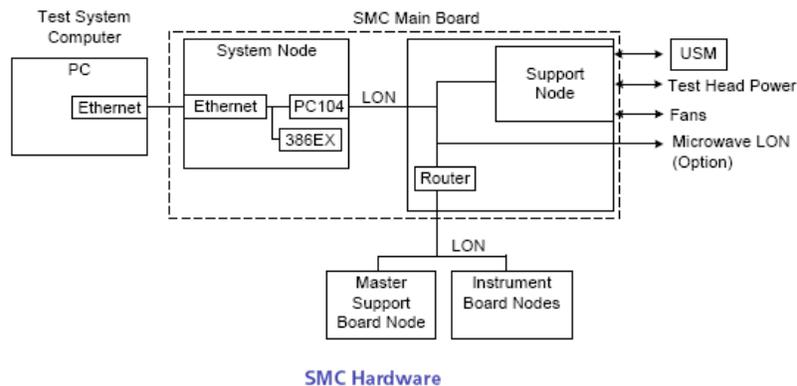


Figura 3. Diagrama de bloques del SMC del microFLEX.³

Este nodo de soporte está basado en un microcontrolador, que en conjunto con otros componentes electrónicos (ADC, multiplexadores, etc) dan el control necesario para que el SMC pueda cumplir su función de monitorización y control. Es por esto que esta etapa requiere de mucha atención, pues esta requiere abarcar todas las condiciones en las que el sistema pueda fallar, y adicionalmente ser capaz de reaccionar óptimamente ante cada una de ellas.

En Teradyne existen departamentos encargados de dar soporte a estos sistemas SMC (*Sustaining Group*). En estas divisiones se da, entre otras funciones, un seguimiento y depuración constante de las tarjetas SMC (especialmente en el SCN), esto con el propósito de brindar una supervisión cada vez más precisa de las plataformas antes mencionadas.

Sin embargo la validación de cambios realizados en el sistema de monitorización es un proceso muy complicado, lento y que demanda muchos recursos. Esto por varias razones, ya que en Teradyne de Costa Rica solo se cuenta con una plataforma *UltraFLEX*, no así con plataformas *microFLEX*, *FLEX* y algunas otras versiones del mismo *UltraFLEX*. Esta carencia obliga al ingeniero a cargo a tener que trasladarse hasta otra sede (generalmente en EEUU) a

² Tomado del manual del sistema UltraFLEX proporcionado por la empresa Teradyne.

³ Tomado del manual del sistema microFLEX proporcionado por la empresa Teradyne.

validar el más mínimo cambio realizado a la tarjeta SMC, lo cual evidentemente trae consigo un costo económico y tiempos de validación altos.

De igual forma existe la dificultad de no tener control sobre las señales que estimulan al SMC. Por lo que no es posible para el ingeniero reproducir fielmente las situaciones de fallo descritas por los clientes en sus sistemas.

1.2 Solución seleccionada

El presente proyecto propone un sistema en hardware-software (sistema embebido) capaz de simular el comportamiento eléctrico básico de los sistemas FLEX, microFLEX, y ultraFLEX, este último en sus versiones de 12-ranuras, 24- ranuras y 36- ranuras, esto con el fin de que este pueda estimular al SMC y así validar cambios realizados al *firmware* que lo controla.

El sistema consiste básicamente en un ensamble que pueda conectarse a la tarjeta SMC de cada plataforma y generar así las señales que emite el sistema correspondiente. De esta forma se tendría un “sistema” *FLEX*, *microFLEX* y *ultraFLEX* con el cual realizar validaciones de los diferentes SMC.

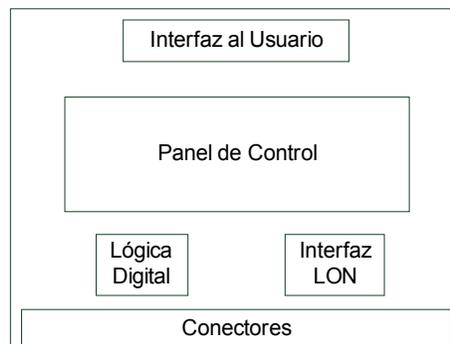


Figura 4. Diagrama de bloques general de la solución

La figura 4 muestra el diagrama de bloques general del sistema. El sistema estará basado en un microcontrolador, y debe contar con una interfaz al usuario tal como un *display*, de manera que el usuario pueda observar el estado actual de las señales emitidas. Igualmente aparece un panel de control mediante el cual se permita la variación de las mismas, así como los conectores para realizar la conexión entre el sistema y los SMC.

El sistema debe simular tanto las condiciones de estado estable así como de estado transitorio. Esto se traduce en una simulación tanto del arranque del sistema como su estado de funcionamiento normal. Para el estado transitorio debe brindarse la posibilidad de variar los tiempos de encendido tanto de fuentes de voltaje CA/CD, como tiempo de estabilización de los ventiladores.

Capítulo 2. Metas y objetivos

La meta establecida para el proyecto se estableció tomando una aproximación de los tiempos de validación actuales. Los objetivos por su parte se establecieron tomando en cuenta las etapas del diseño en ingeniería que eran necesarias para llevar a cabalidad la implementación del sistema simulador. Tanto esta meta como los objetivos para el proyecto se presentan en este capítulo.

2.1 Meta

- Reducir en un 50 por ciento el tiempo de validación de cambios en el *firmware* para el ensamble de nodo de soporte (*support cabinet node*) del SMC desarrollados por la empresa Teradyne de Costa Rica.

Indicador: La validación se da en un tiempo menor al 50 por ciento del tiempo actual.

2.2 Objetivo general

- Desarrollar un sistema embebido capaz de simular el comportamiento eléctrico básico de los sistemas de pruebas FLEX, microFLEX y ultraFLEX (24-ranuras, 36- ranuras y 12- ranuras).

Indicador: Representa las variables establecidas en el manual técnico de cada sistema así como los protocolos establecidos en los mismos.

2.3 Objetivos específicos

- Determinar las variables eléctricas y electrónicas a simular de los sistemas FLEX, microFLEX y ultraFLEX (24- ranuras, 36- ranuras y 12- ranuras).

Indicador: Tabla de variables eléctricas y electrónicas para cada sistema.

- Diseñar el circuito electrónico que cumpla con los requerimientos de control establecidos por los rangos de variación de las variables simuladas.

Indicador: Las señales se emiten en el formato y rangos establecidos por los manuales técnicos de cada sistema.

- Diseñar el programa de bajo-mediano nivel que permita la interpretación y generación de estímulos para el SMC de acuerdo a una secuencia preestablecida.

Indicador: Cumple con los protocolos establecidos en el manual técnico de cada sistema.

- Ejecutar un banco de pruebas entre el sistema embebido y los diferentes SMC para validar su correcta funcionalidad.

Indicador: Correlación de los resultados obtenidos con respecto a lo especificado en el manual técnico de cada sistema para determinar capacidad del sistema (CPK).

Capítulo 3. Marco Teórico

Para poder simular correctamente los sistemas fue necesario realizar una investigación de su funcionamiento, para recopilar de esta forma la información relacionada con las señales que se emiten entre el SMC y diferentes etapas del sistema. En este capítulo se presenta una descripción general de cada uno de los sistemas, así como los principios básicos que forman parte de la simulación.

3.1 Descripción de los sistemas simulados y su interfaz con la tarjeta SMC

3.2 Sistema UltraFLEX versiones SC, HC y HD

Entre los sistemas que se deben simular se encuentra el UltraFLEX, el cual se presenta en la figura 5. Este sistema en particular está diseñado para realizar pruebas de dispositivos electrónicos complejos, tales como microprocesadores, memorias de alta velocidad, dispositivos de comunicación, entre otros.

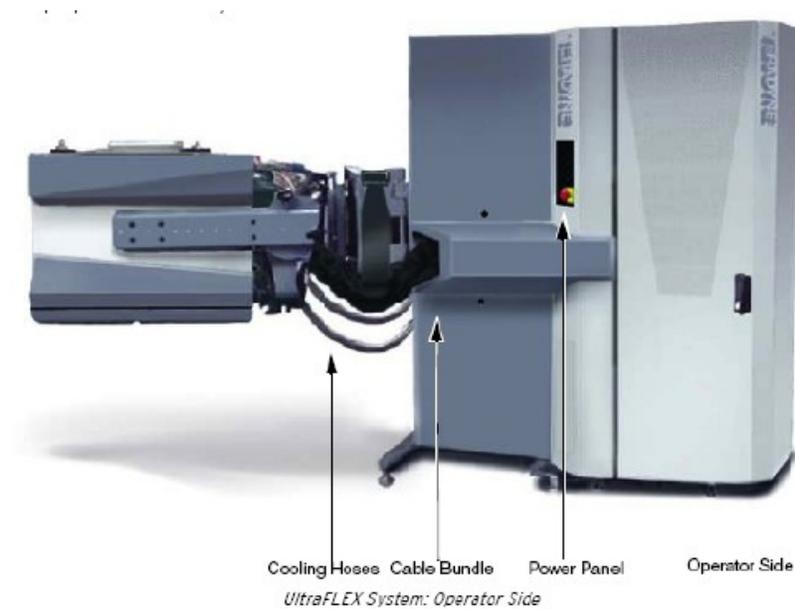


Figura 5. Sistema UltraFLEX⁴

La plataforma se encuentra conformada por varios subsistemas: subsistema mecánico, subsistema de potencia, subsistema de refrigeración (líquido y de aire), infraestructura electrónica requerida y por último la instrumentación opcional.

⁴ Tomado del manual del sistema UltraFLEX proporcionado por Teradyne

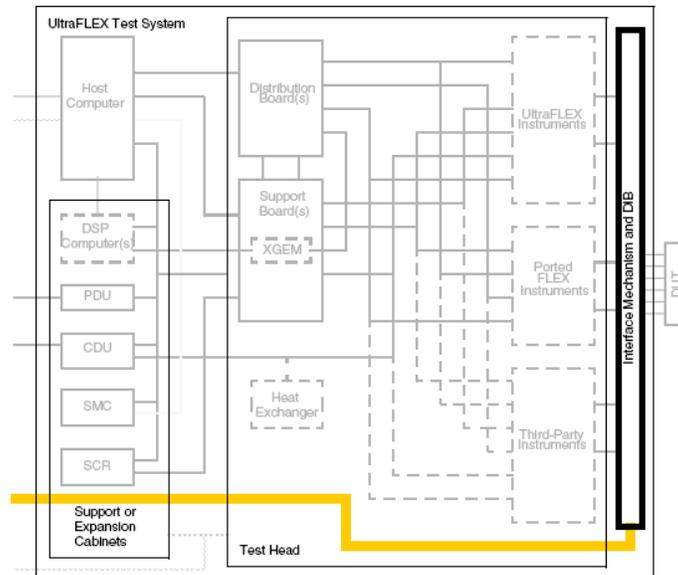


Figura 6. Diagrama de bloques del sistema UltraFLEX⁵

En la figura 6 se muestra un diagrama de bloques del sistema. La etapa mecánica la conforman el gabinete de soporte (que cubre la mayoría de los otros subsistemas), el manipulador que permite girar el sistema de pruebas (donde se prueban los dispositivos, conocido como *Test Head*) y un sistema de aire presurizado. El subsistema de potencia está constituido por una unidad de distribución de potencia (*PDU*, por sus siglas en inglés) así como el cableado que transporta voltaje CA y CD a lo largo de la plataforma.

La etapa de refrigeración consiste en una unidad de distribución de refrigeración (*CDU*, por sus siglas en inglés), colectores y mangueras que distribuyen el refrigerante a través del sistema, y ventiladores que distribuyen aire en diferentes zonas de la plataforma. En cuanto a la infraestructura electrónica se tiene una computadora central (que sirve de interfaz al usuario), el ensamble de distribución y de soporte (que sirve de interfaz entre los instrumentos y la computadora), el sistema de reloj de referencia y por último el sistema de supervisión y monitorización (*SMC*, por sus siglas en inglés).

Por último se tienen los instrumentos opcionales, donde cada instrumento agregado conforma un nuevo subsistema de la plataforma. El UltraFLEX utiliza para esto un diseño de ranuras (*slots*, traducido al inglés), lo cual brinda gran flexibilidad al sistema pues el usuario puede instalar solo los instrumentos necesarios.

La descripción presentada brinda una idea general de la plataforma, sin embargo es necesario informar más a detalle ciertas etapas de la misma. Primeramente se debe retomar el subsistema de potencia, más específicamente el *PDU*. En la figura 7 se muestra un diagrama de bloques del mismo. Básicamente su propósito es transformar voltaje CA de entrada (voltaje de alimentación de la plataforma) en voltaje CD a su salida, así como también voltaje CA conmutado y no conmutado. Existen dos versiones de *PDU*: estándar (18kW) y alta capacidad (36kW), cada uno de ellos pensado para configuraciones que requieran diferentes velocidades y consumos de potencia.

⁵ Tomado del manual del sistema UltraFLEX proporcionado por Teradyne

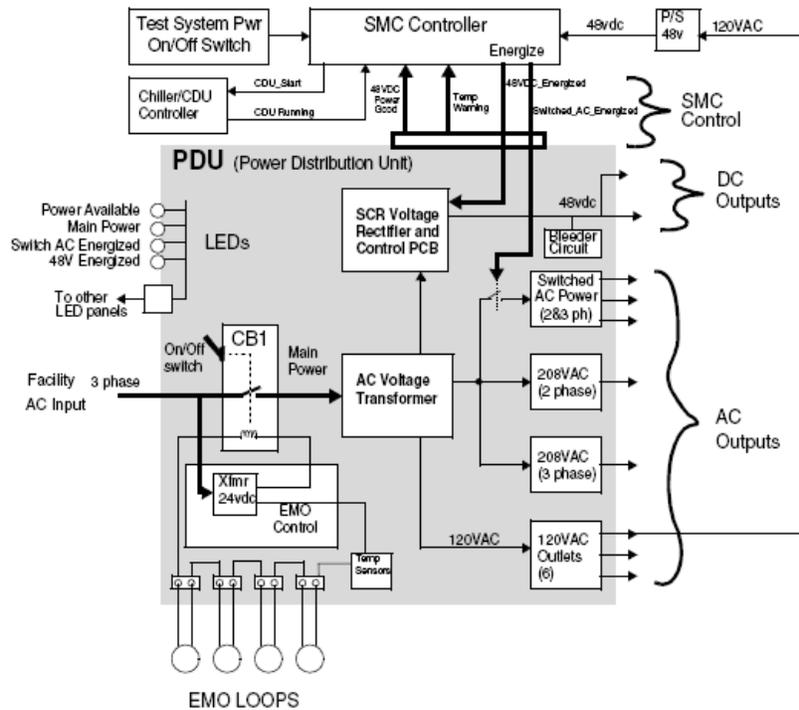


Figura 7. Diagrama de bloques del Power Device Unit de la plataforma UltraFLEX⁶

Internamente el PDU utiliza un transformador para atenuar la señal de entrada para varias aplicaciones, así como un rectificador para obtener los 48VDC utilizados en varias etapas del sistema. Como ya fue mencionado, el PDU suministra en su salida voltaje CA no conmutado (disponible al cerrar CB1 en figura 7), voltaje conmutado y 48VDC (ambos disponibles al encender la cabeza de prueba).

Cada uno de estos voltajes alimenta diferentes etapas de la plataforma, en el caso del voltaje CA no conmutado alimenta el manipulador, el CDU, la fuente del SMC, la computadora central, entre otros. El voltaje CA conmutado alimenta el propulsor de aire ubicado en el *Test Head*, así como algunos instrumentos. Por último los 48VDC alimentan los ventiladores ubicados en el gabinete de soporte así como algunos instrumentos.

Además se tiene la interfaz del PDU con el sistema de monitorización y control (SMC) antes mencionado. En la figura 7 se pueden observar las 4 señales que forman parte de esta interfaz. Dos de ellas, *48VDC_Power_Good* y *Temp_Warning* son salidas del PDU y proporcionan información (señales digitales) al SMC sobre el estado de la fuente de CD y la temperatura de operación del mismo. Por otro lado, las señales *Switched_AC_Energized* y *48VDC_Energized* son entradas del PDU, y son las que permiten control del SMC sobre el PDU.

⁶ Tomado del manual del sistema UltraFLEX proporcionado por Teradyne



Test System Power Panel

Figura 8. Panel de control instalado en el PDU⁷

Adicionalmente, el PDU cuenta con un panel de control (ver figura 8) que permite al usuario iniciar una secuencia de arranque o apagado de la etapa de pruebas (*TSP*, por sus siglas en inglés). Igualmente, mediante este panel se presenta el estado actual (mediante indicadores luminosos) de las salidas y entradas de voltaje del PDU. Este panel tiene conexión directa por un lado con el PDU (control de los LED) y por otro lado con el SMC (lectura de los botones de membrana).

El PDU cuenta con tres fases de activación. Primeramente se tiene la fase 1: Voltaje de entrada presente. Está se da cuando el PDU es conectado a la red de alimentación, con esto se alimenta un extremo del interruptor CB1 (ver figura 7) así como el transformador del control de parada de emergencia (EMO, por sus siglas en inglés).

Luego viene la fase 2: Voltaje principal activado. Está se presenta cuando se cierra el interruptor CB1, de esta forma se alimenta la tarjeta SMC, el CDU, el manipulador, el rectificador de CD y las seis salidas que presenta en su parte posterior. Este proceso se muestra en la figura 8.

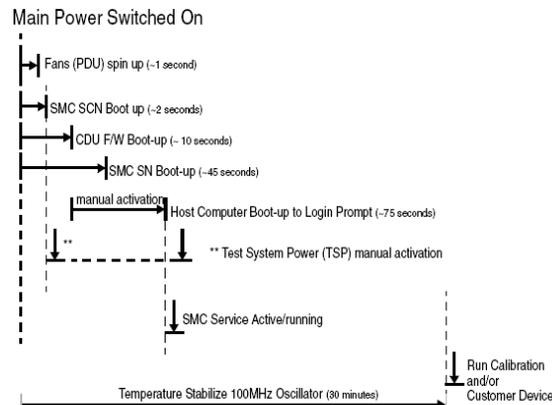


Figura 8. Secuencia de arranque después de aplicado el voltaje de entrada al PDU⁸

⁷ Tomado del manual del sistema UltraFLEX proporcionado por Teradyne

Por último, se desarrolla la fase 3: Alimentación de la etapa de pruebas. Esta etapa es accionada por el usuario al presionar el botón de encendido en el panel de control del PDU. Con esto el SMC procesa lo que se llama *Encendido de la etapa de pruebas* (TSP ON, por sus siglas en inglés), lo cual enciende el voltaje CA y CD de la plataforma de pruebas (*Test Head*), así como los ventiladores de la misma. Esto se muestra en la figura 9.

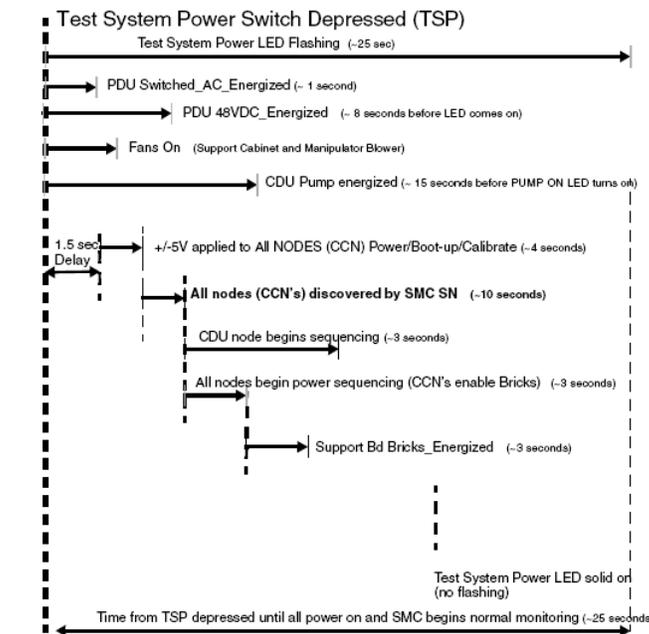


Figura 9. Secuencia de arranque de la etapa de pruebas⁹

Con respecto a la infraestructura electrónica es importante mencionar el sistema de monitorización y control (que llamaremos SMC). Este subsistema está diseñado para proteger al UltraFLEX ante situaciones anormales, monitorizando diferentes sensores distribuidos por todo el sistema. Entre sus capacidades están la generación de informes, ejecución de secuencias de apagado del sistema de pruebas (TSP OFF, por sus siglas en inglés) e inducción a EMO's. Ver figura 10.

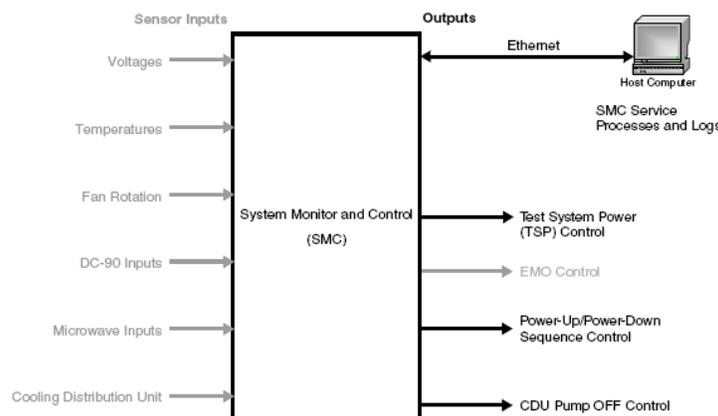


Figura 10. Diagrama de bloque del sistema de monitorización y control (SMC)¹⁰

⁸ Tomado del manual del sistema UltraFLEX proporcionado por Teradyne

⁹ Tomado del manual del sistema UltraFLEX proporcionado por Teradyne

¹⁰ Tomado del manual del sistema UltraFLEX proporcionado por Teradyne

Los sensores del SMC están distribuidos a lo largo del sistema, en partes como el gabinete de soporte, CDU, ventiladores, PDU y tarjetas de instrumentos en la etapa de pruebas. Entre las variables monitoreadas, tanto analógicas como digitales, se encuentran: voltajes, temperaturas, rotación de ventiladores, y demás variables de los instrumentos instalados.

Físicamente, el SMC se encuentra ubicado en el gabinete de soporte, mismo lugar donde se encuentran ubicados el PDU y el CDU. El SMC se compone de una tarjeta madre, un nodo de soporte (Support Cabinet Node) y un nodo de sistema (System Node), tal como se muestra en la figura 11.

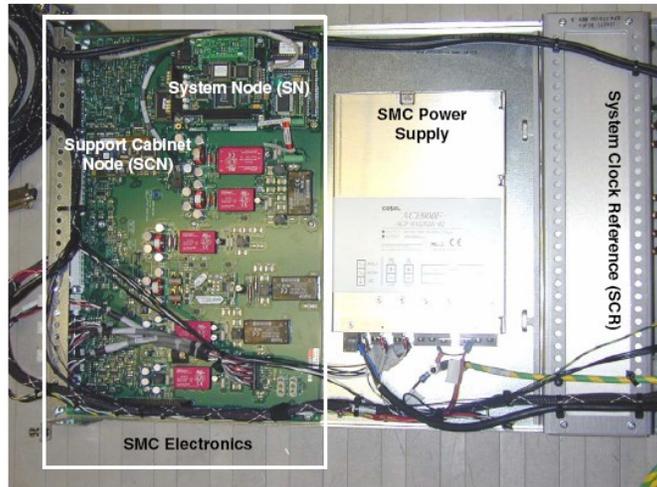


Figura 11. Sistema de monitorización y control (SMC)¹¹

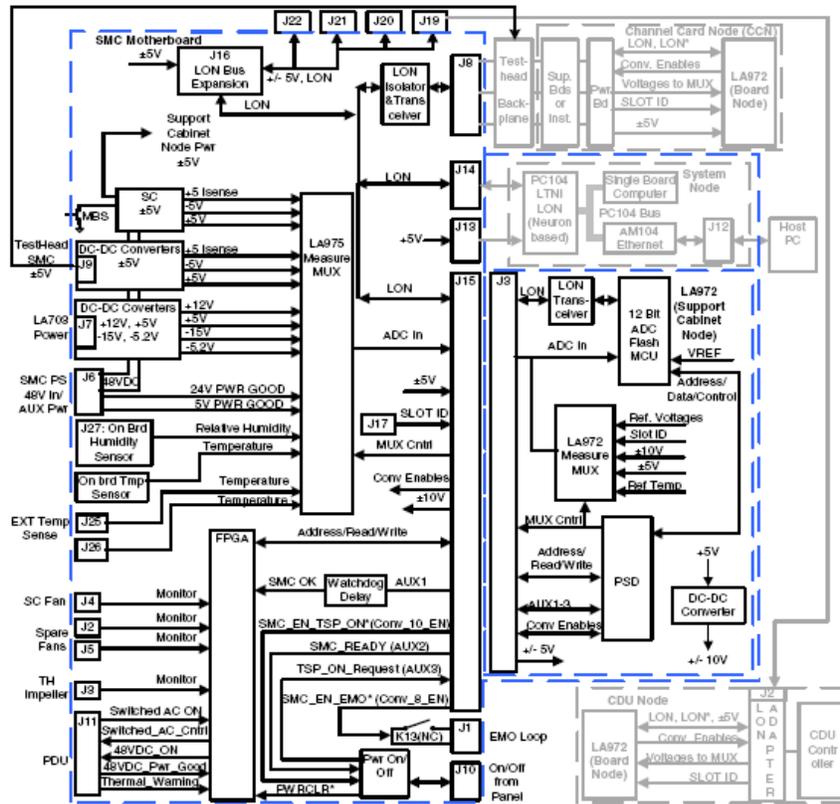
El nodo de sistema consta de tres tarjetas superpuestas una sobre la otra. Primeramente cuenta con un procesador 386EX encargado de procesar la información y controlar las funciones del nodo. Más arriba sigue una tarjeta de red para brindar comunicación con la computadora principal, utilizando el protocolo Ethernet para enviarle información del estado de las variables así como las acciones ejecutadas por el SMC. Estos datos son presentados al usuario mediante un software diseñado para el sistema llamado *IGXL* (propiedad de Teradyne), el cual cuenta adicionalmente con otras aplicaciones más allá del despliegue de valores.

Por último el nodo de sistema cuenta con una tarjeta que proporciona comunicación LON (Local Operation Network), el cual es un protocolo de intercambio de información utilizado a lo interno del sistema para comunicarse con nodos (tarjetas) ubicados en distintos instrumentos así como en el CDU. Mediante estos nodos el SMC recoge información de la presencia de los mismos, así como el estado de las variables internamente monitoreadas por cada uno de ellos.

En lo que al nodo de soporte, se refiere, este es un nodo indispensable para el funcionamiento del SMC, a tal punto que si no se encuentra presente el SMC induce a una secuencia de apagado del sistema de pruebas (*TSP OFF*). Este nodo, en conjunto con el SMC, es el encargado de procesar las secuencias de arranque y apagado del sistema de pruebas (*Test System Power*). Igualmente es responsable del control y monitorización del PDU, así como también de los ventiladores del sistema.

¹¹ Tomado del manual del sistema UltraFLEX proporcionado por Teradyne

El nodo de soporte corresponde a una tarjeta LA972, la cual se conforma de un convertidor analógico-digital (ADC), una unidad de micro controlador (MCU), multiplexadores, entre otros electrónicos. Ver Figura 12. Este obtiene valores de las variables a través de un FPGA ubicado en la tarjeta madre del SMC, para luego tomar las acciones requeridas según sea la situación.



UltraFLEX SMC Support Cabinet Node and SMC Motherboard

Figura 12. Diagrama de bloques del ensamble SMC¹²

El ensamble SMC cuenta con varios conectores en su parte principal, es así como se conecta con los demás subsistemas que conforman la plataforma. En la figura 13 se muestra un dibujo que representa la vista frontal del ensamble.

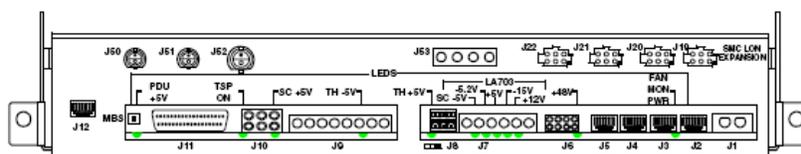


Figura 13. Vista frontal de ensamble SMC¹³

Entre los conectores que dispone se encuentran RJ-11(J2-J5) los cuales permiten conectarse a los distintos ventiladores y obtener así una frecuencia que representa la velocidad de giro de los mismos. También cuenta con un conector DB-25(J11) el cual permite conectarse al PDU, así como un conector RJ-45(J12) que permiten realizar la conexión Ethernet con la computadora principal. El conector J10 por su parte va conectado al panel de control del PDU, el conector J7 va conectado al reloj de referencia y el conector J6 va conectado a los 48VDC de salida de la fuente propia del ensamble.

¹² Tomado del manual del sistema UltraFLEX proporcionado por Teradyne

¹³ Tomado del manual del sistema UltraFLEX proporcionado por Teradyne

Así como el PDU cuenta con fases de activación, el SMC cuenta con secuencias de arranque establecidas en distintos momentos. La primera secuencia corresponde a la secuencia de arranque principal, la cual se presenta en el momento que el PDU es alimentado a su entrada y el voltaje CA no conmutado se distribuye por la plataforma. Ver figura 14.

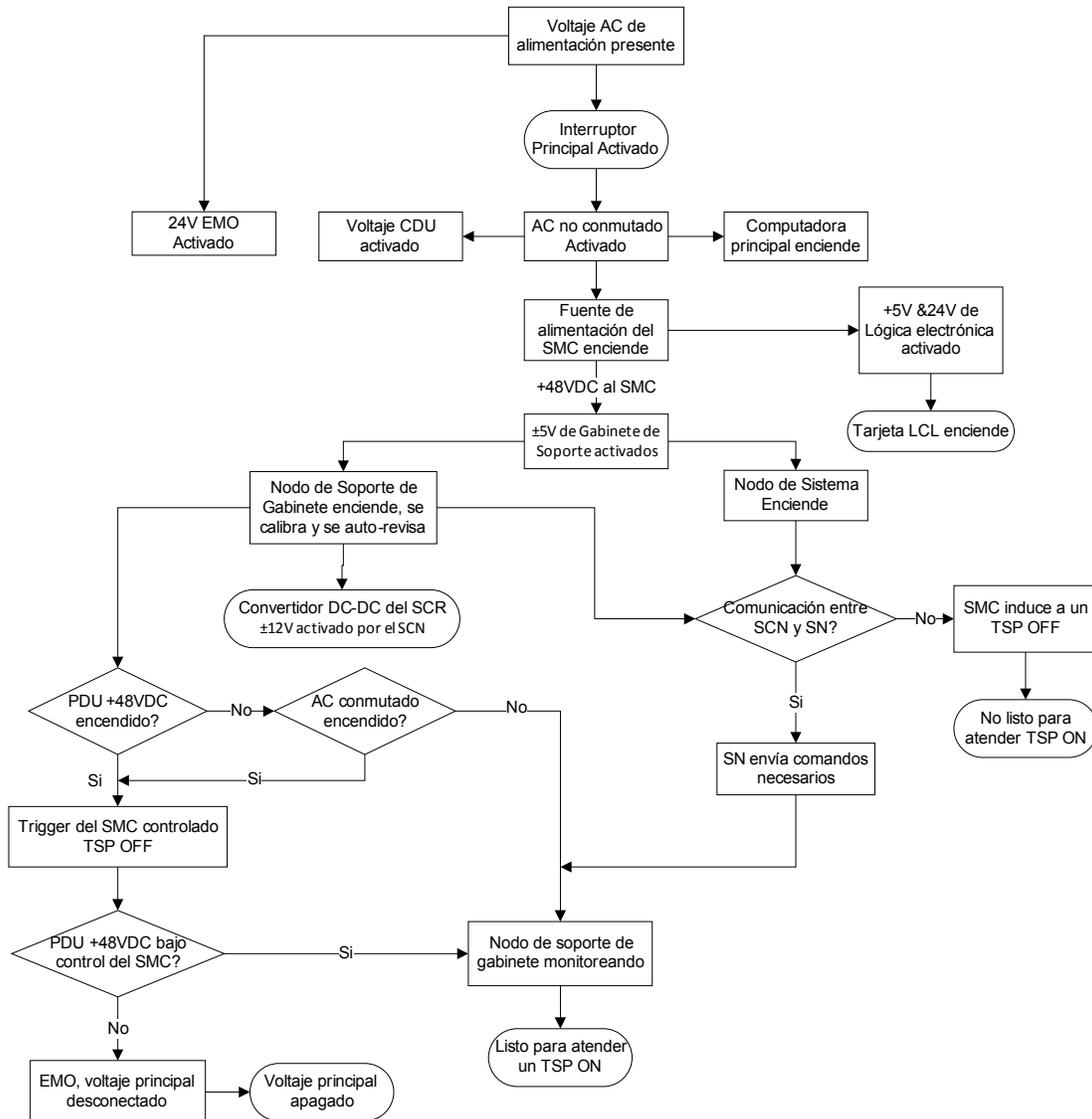


Figura 14. Secuencia de arranque principal del SMC¹⁴

Como se puede observar el SMC verifica que tiene control sobre el PDU, y adicionalmente verifica que exista comunicación entre el nodo de soporte y el nodo de sistema, ambos requerimientos para el correcto proceder de la secuencia. Una vez que el sistema ha iniciado correctamente se está a la espera de una solicitud de arranque del sistema de pruebas, segunda secuencia del SMC. Ver figura 15.

¹⁴ Traducido del manual del sistema UltraFLEX proporcionado por Teradyne

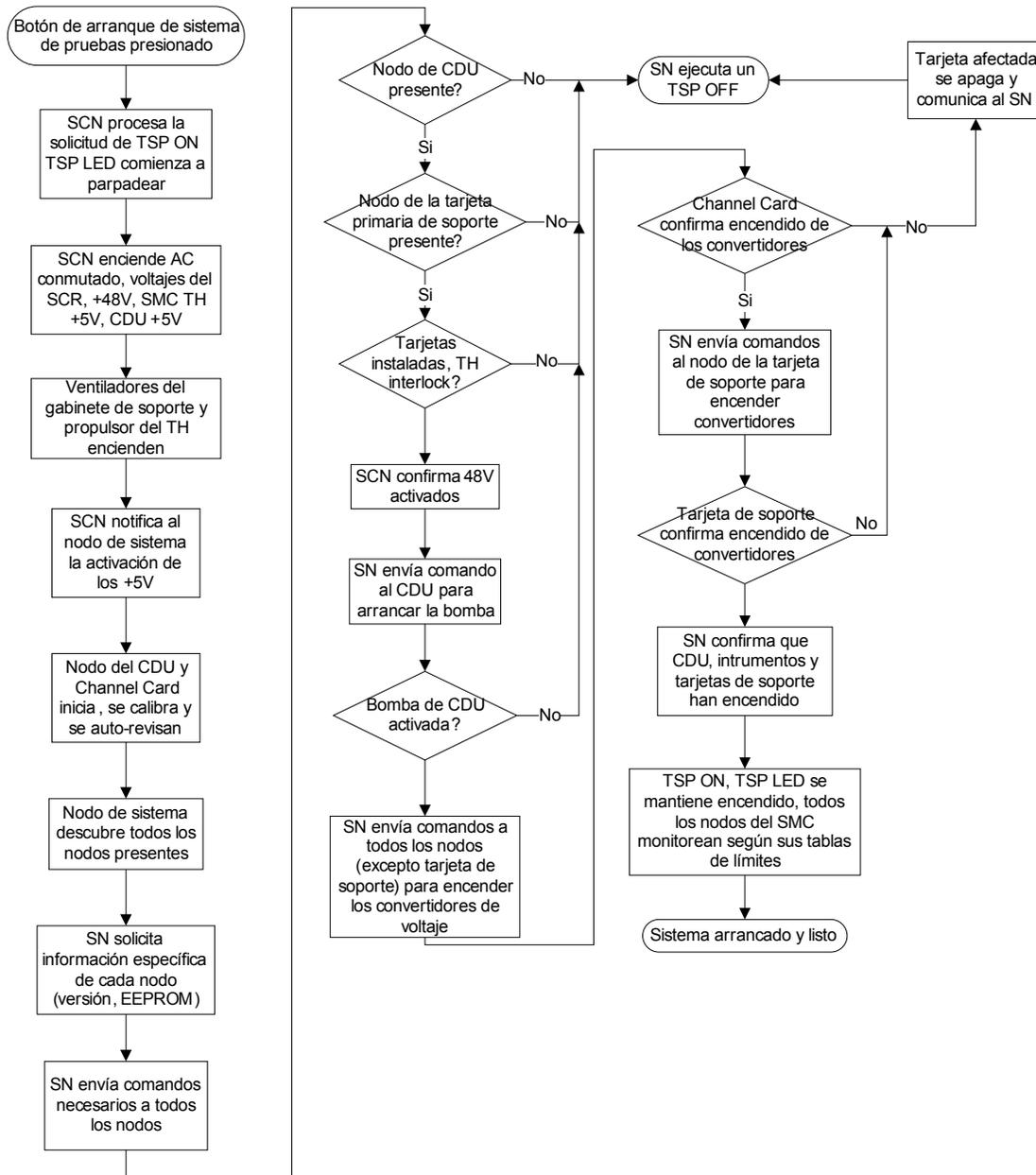


Figura 15. Secuencia de arranque de la etapa de pruebas¹⁵

Esta secuencia es en la cual el SMC realiza el encendido de los voltajes del PDU, iniciando con ello los ventiladores y propulsores de aire, así como los nodos del sistema. El sistema puede salir de esta nueva fase ya sea por petición del usuario al presionar el botón correspondiente en el panel de control o por solicitud del SMC en caso de algún fallo.

Una vez que se da una solicitud de apagado del sistema de pruebas se inicia una tercera secuencia del SMC (ver figura 16): secuencia de apagado del sistema de pruebas. Como ya se mencionó esta se puede dar por dos razones, presionando el botón o por acción del SMC ante un fallo, está última se diferencia pues al final de la secuencia el LED TSP

¹⁵ Traducido del manual del sistema UltraFLEX proporcionado por Teradyne

permanece parpadeando, y no apagado como si lo hace al ser una secuencia solicitada por el usuario.

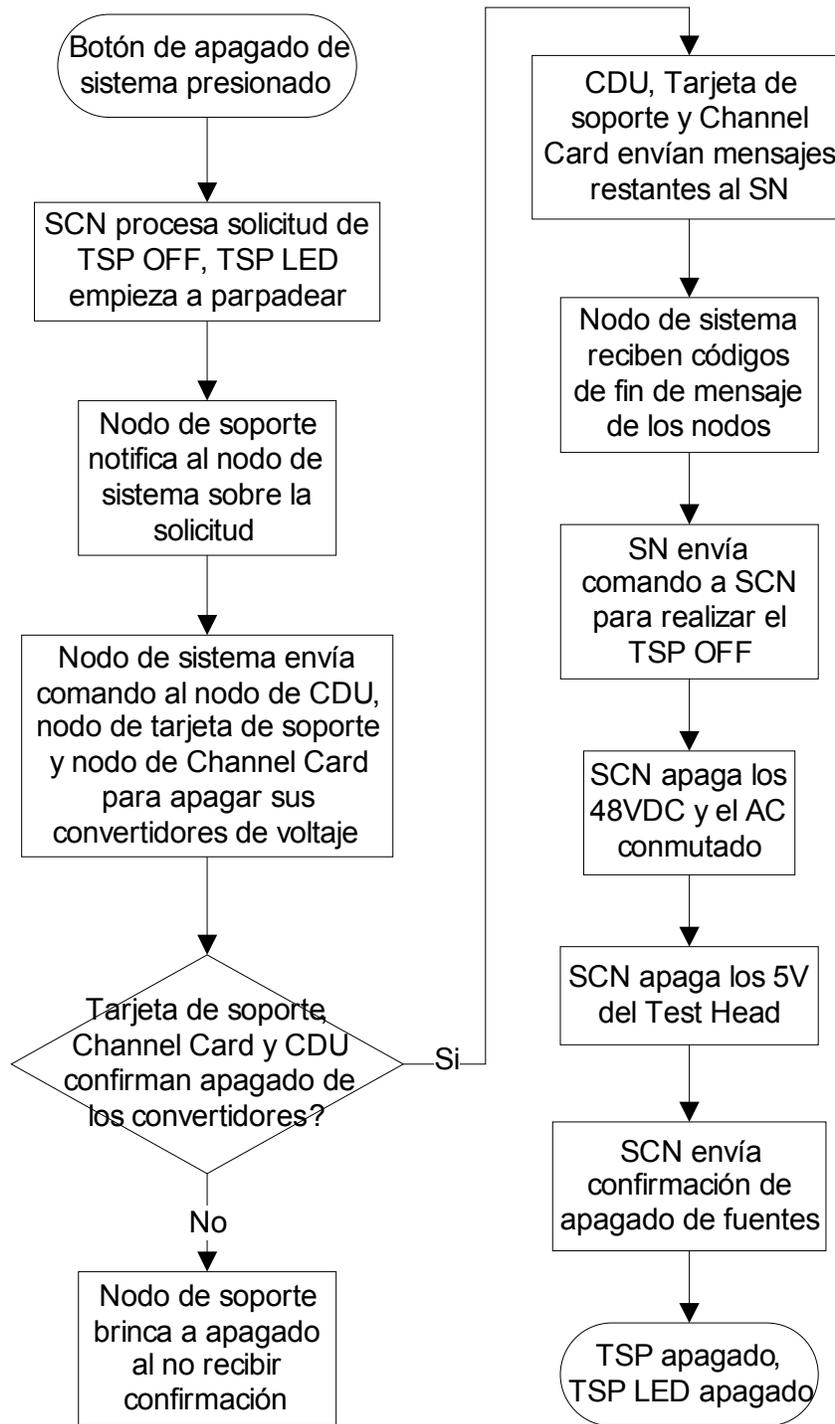


Figura 16. Secuencia de apagado de la etapa de pruebas¹⁶

¹⁶ Traducido del manual del sistema UltraFLEX proporcionado por Teradyne

3.3 Sistema FLEX

La plataforma FLEX es utilizada para realizar pruebas a dispositivos lineales, de señal mixta y VLSI. En la figura 17 se muestra el sistema, el cual se encuentra conformado por cuatro etapas físicas principales: la computadora principal, el gabinete de soporte, el manipulador, y la etapa de pruebas.



Figura 17. Sistema FLEX¹⁷

El sistema está compuesto por varios subsistemas principales, los cuales incluyen una etapa mecánica, una etapa de potencia, una etapa de refrigeración, la infraestructura electrónica requerida y por último la instrumentación opcional al mismo.

En cuanto al subsistema mecánico, este se encuentra compuesto básicamente por el manipulador, el gabinete de soporte y la etapa de pruebas. Dentro del gabinete se encuentra la mayor parte de la electrónica necesaria para realizar las pruebas a los dispositivos, igualmente contiene la etapa de potencia que permite alimentar las diferentes etapas del sistema.

La etapa de refrigeración, por su parte, tiene como propósito mantener una temperatura aceptable dentro de la etapa de pruebas así como en el gabinete de soporte. Esto lo hace inyectando aire a través de las diferentes etapas, ya sea por medio de ventiladores ubicados a lo largo del sistema, o por propulsores de aire que mueven el mismo a través del manipulador.

La etapa de potencia se encuentra compuesta principalmente por la Unidad de Distribución de Potencia (PDU, por sus siglas en inglés). El PDU (ver figura 18) consiste básicamente de tres componentes: un transformador de aislamiento que provee protección ante ruido y picos en el voltaje, una fuente de salida de 48VDC y un filtro EMI/RFI que provee protección ante el ruido en la línea que conduce el voltaje.

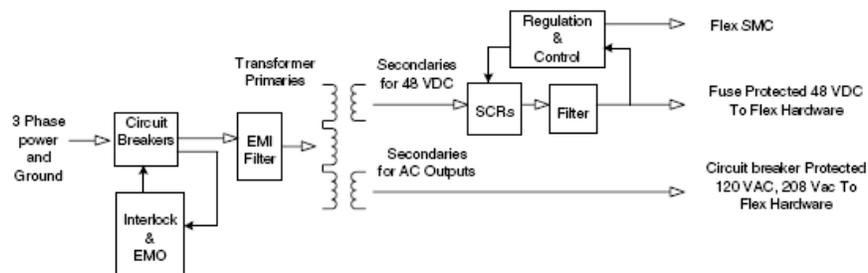


Figura 18. Diagrama de bloques del PDU¹⁸

¹⁷ Tomado del manual del sistema FLEX proporcionado por Teradyne

¹⁸ Tomado del manual del sistema FLEX proporcionado por Teradyne

Esta unidad recibe un voltaje de alimentación trifásico (sea en delta o estrella) y provee a su salida voltajes CA conmutado y no conmutado, así como 48V de corriente directa, todos estos voltajes de alimentación de distintas etapas de la plataforma. El voltaje CA no conmutado está disponible a su salida luego de cerrar el interruptor CB1 (ver figura 19), sin embargo los voltajes CA conmutado y CD deben ser accionados mediante otra etapa de supervisión y monitorización.

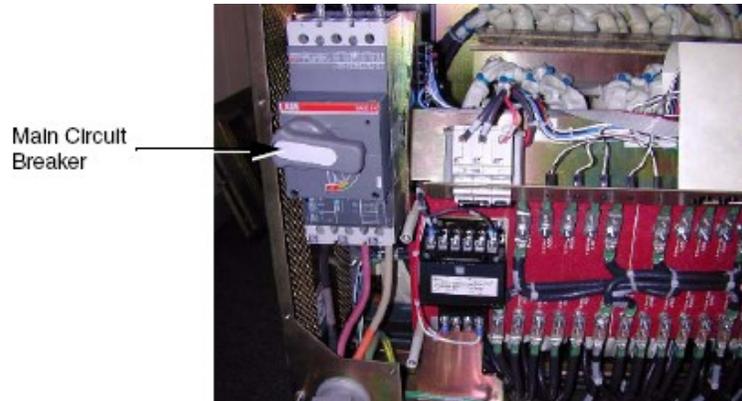


Figura 19. Interruptor principal del PDU¹⁹

Como fue mencionado en un principio, adicional a las etapas ya descritas existe una etapa de infraestructura electrónica requerida, la cual se centra en un subsistema de monitorización y control (SMC, por sus siglas en inglés), el cual se encarga de controlar el encendido y apagado de la etapa de pruebas, así como monitorear partes esenciales del *hardware* del sistema.

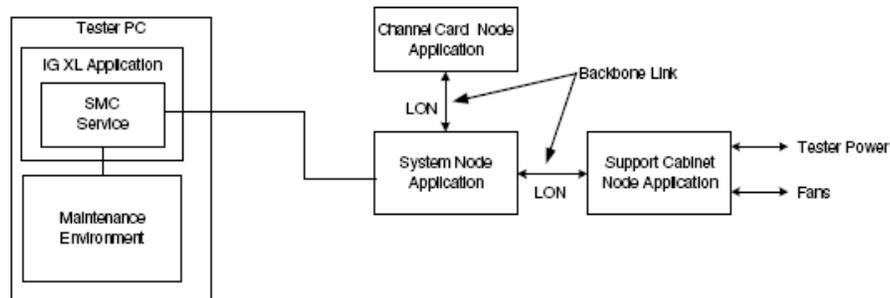


Figura 20. Diagrama de bloques del SMC del sistema FLEX²⁰

El SMC se compone tanto de *hardware* como *software*, e incluye un nodo de soporte, un nodo de sistema y una aplicación llamada *IGXL*, la cual recoge información del sistema y la muestra al usuario por medio de un computador (ver figura 20). El nodo de sistema por su parte consta de tres tarjetas superpuestas una sobre la otra: una tarjeta que permite la conexión con nodos del sistema mediante una red LON (Local Operation Network), una tarjeta basada en un 386EX que es la encargada del control y por último una tarjeta de red Ethernet que permite enviar los datos recopilados al computador.

El nodo de soporte es el responsable de monitorizar y controlar diferentes etapas del FLEX, tales como el PDU, los propulsores de aire y ventiladores. Este consta de una tarjeta LA975, la cual contiene un multiplexador que recibe las señales monitoreadas, un ADC que sirve de interfaz con señales analógicas y un PLD que provee la lógica de control de la tarjeta.

¹⁹ Tomado del manual del sistema FLEX proporcionado por Teradyne

²⁰ Tomado del manual del sistema FLEX proporcionado por Teradyne

Este nodo en conjunto con el SMC es el encargado de procesar las secuencias de encendido y apagado de la etapa de pruebas, para lo cual es necesario su conexión con el PDU.

Esta interfaz se muestra en la figura 21, donde se puede observar que el PDU envía señales al SMC, mostrando con ellas los niveles de voltajes y corriente de sus diferentes etapas. Esto lo hace utilizando contadores, generando así frecuencias proporcionales a los niveles de la señal que representan. De igual manera, el SMC envía mediante dos señales de control, una frecuencia de 15kHz \pm 2% al PDU, con lo cual acciona los 48VDC y el voltaje CA conmutado al sistema.

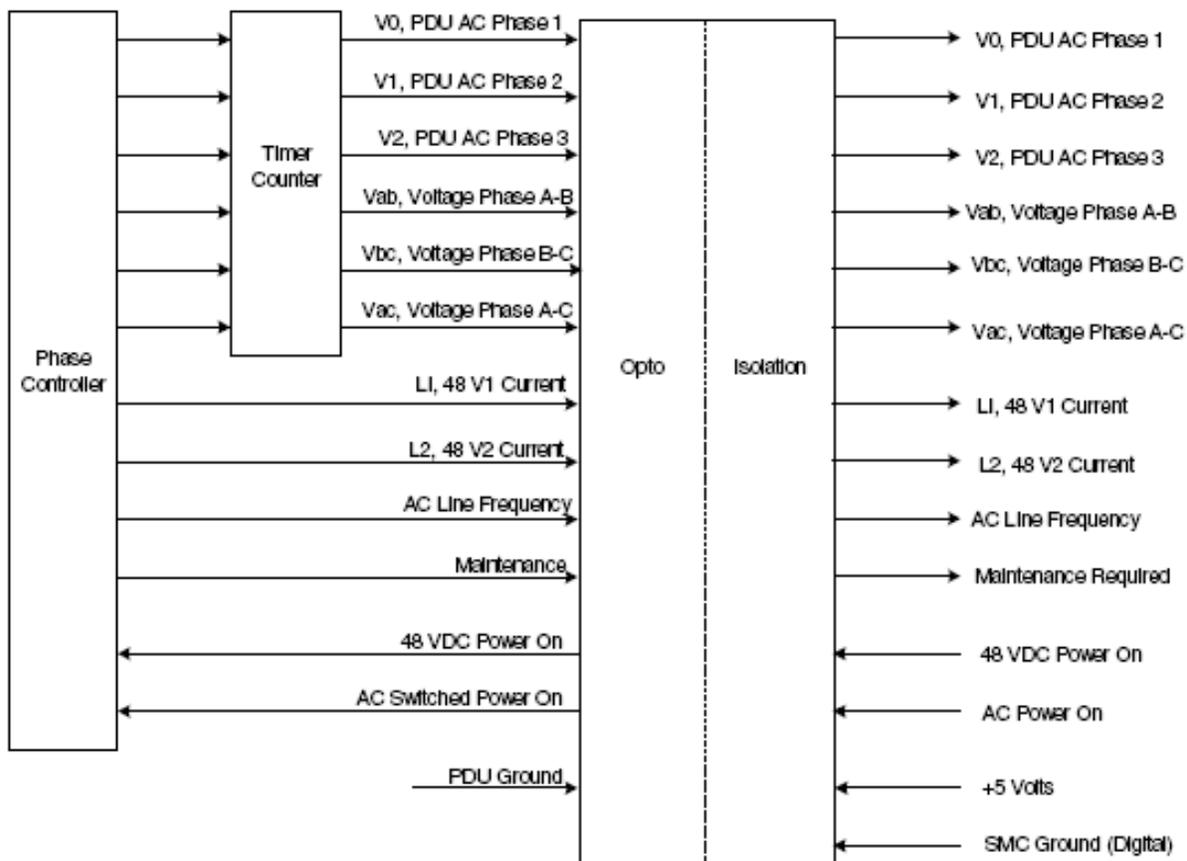


Figura 21. Interfaz PDU – SMC para el sistema FLEX²¹

Adicionalmente el SMC recibe información (frecuencia) de la velocidad de giro de los ventiladores del gabinete, así como del propulsor de aire instalado en el manipulador. Y, al igual que en el sistema UltraFLEX, se cuenta con un panel de control (ver figura 8) que permite al usuario observar el estado actual de las salidas del PDU, así como iniciar secuencias de arranque y apagado del sistema de pruebas. En la figura 22 se muestra el diagrama de flujo del SMC

²¹ Tomado del manual del sistema FLEX proporcionado por Teradyne

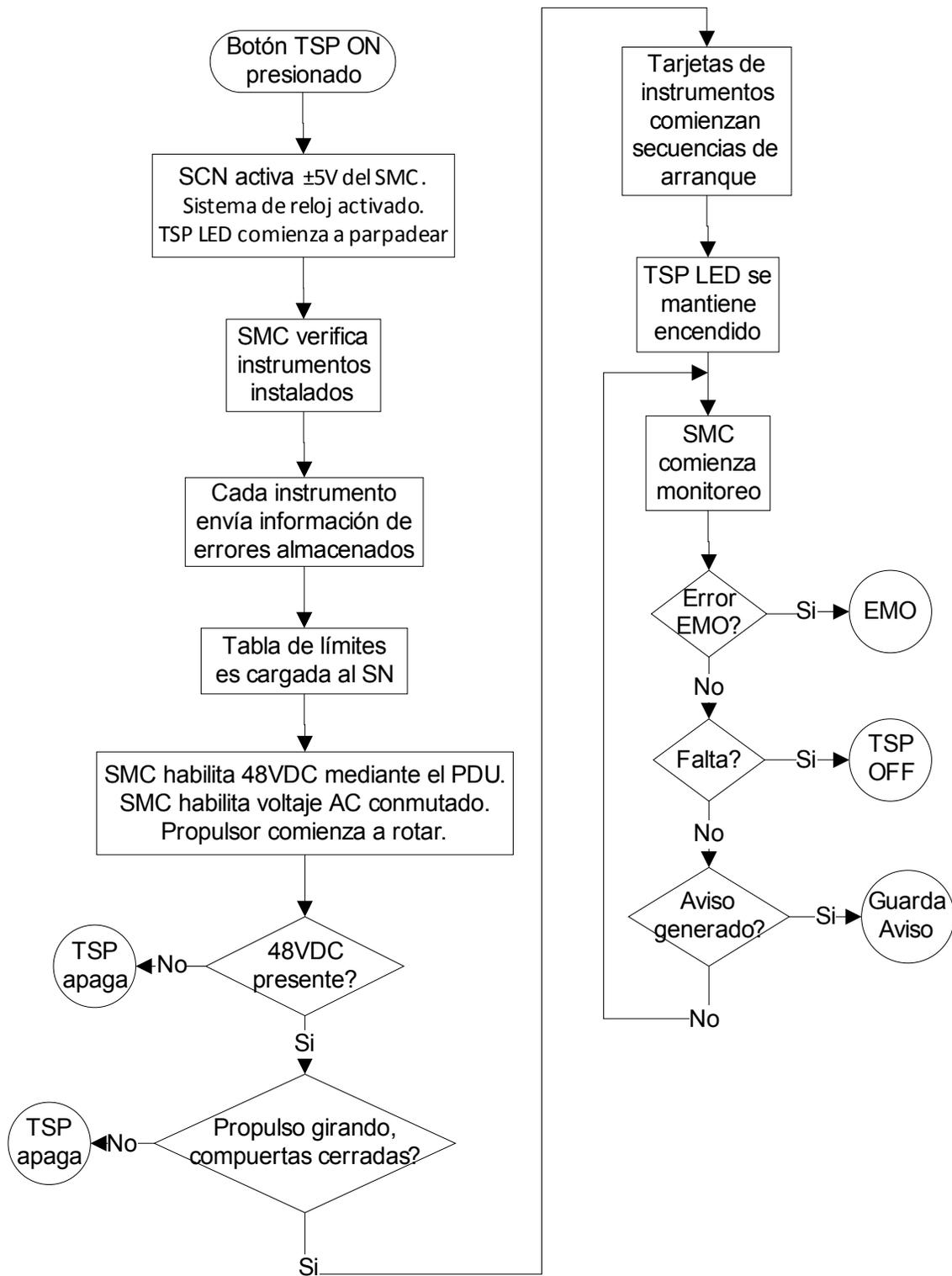


Figura 22. Diagrama de flujo del SMC del sistema FLEX²²

²² Traducido del manual del sistema FLEX proporcionado por Teradyne

3.4 Sistema microFLEX

El sistema microFLEX es utilizado para realizar pruebas en dispositivos analógicos, digitales, o mixtos, a velocidades de hasta 200MHz. La plataforma, al igual que las ya descritas, está conformada por varios subsistemas, entre los cuales está el mecánico, el de potencia, el de refrigeración, la infraestructura electrónica y la instrumentación.



Figura 23. Sistema microFLEX²³

Con respecto a la etapa mecánica, el microFLEX contiene toda la electrónica necesaria (SMC, PDS, USM, entre otros) en el *Test Head*, por lo cual no cuenta con un gabinete de soporte como si los hacen los sistemas FLEX y UltraFLEX. En cuanto a la etapa de potencia se refiere, la plataforma cuenta con un panel de distribución de potencia (PDP), por sus siglas en inglés), el cual es el encargado de suministrar voltajes CA y CD a todo el sistema.

El PDP recibe un voltaje trifásico (delta o estrella) de alimentación y suministra en su salida voltajes CA conmutado y no conmutados, así como distintos voltajes de CD a diferentes etapas del sistema. Ver figura 24.

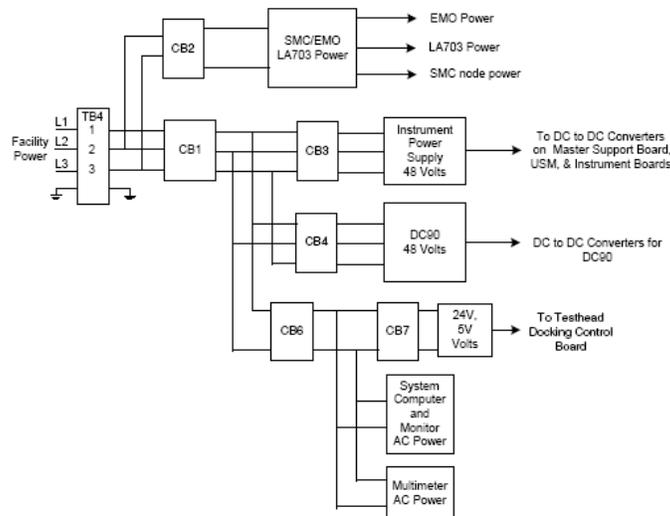


Figura 24. Diagrama de bloques del PDP del microFLEX²⁴

²³ Tomado del manual del sistema microFLEX proporcionado por Teradyne

Entre los voltajes CD proporcionados, se brindan 48VDC a la etapa de instrumentación, 48VDC específicos al instrumento DC-90, y también 24VDC y $\pm 5V$ para nodos del sistemas y otras aplicaciones. En cuanto al voltaje AC se utiliza para alimentar la computadora principal, monitores y multímetros externos.

Al igual que en otros sistemas, el PDP le envía al SMC información del estado de sus variables. Con respecto al voltaje de instrumentación, este le envía señales lógicas TTL sobre el estado tanto del nivel de CD como AC, así como de la temperatura del mismo, tal como se muestra en la figura 25. Adicionalmente manda una señal analógica de corriente, proporcional a la corriente suministrada por la fuente.

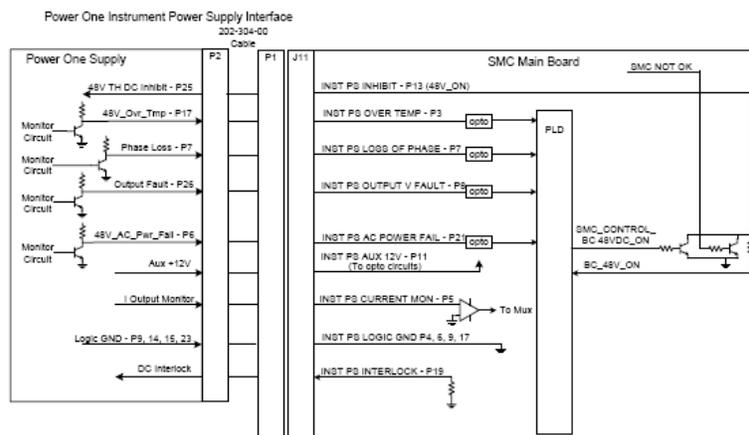
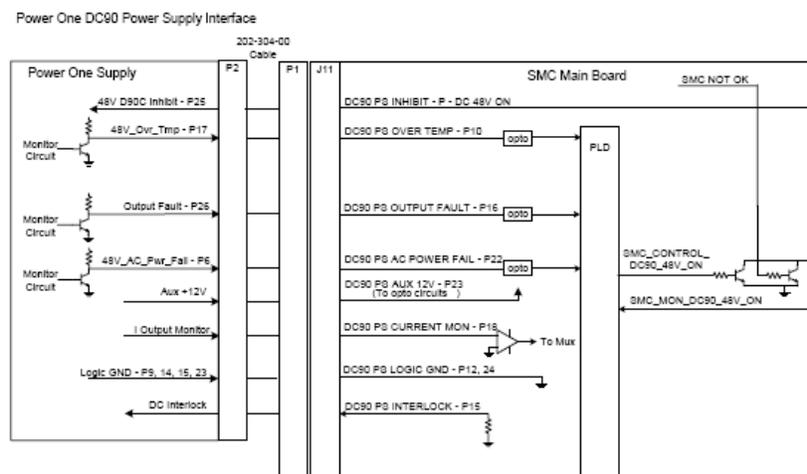


Figura 25. Diagrama de bloques de la interfaz PDP-SMC²⁵

Por su parte el DC-90 también envía información al SMC (sobre el mismo cable que el PDP) sobre los niveles de voltaje y corriente de sus fuentes, tal como se muestra en la figura 26.



²⁴ Tomado del manual del sistema microFLEX proporcionado por Teradyne

²⁵ Tomado del manual del sistema microFLEX proporcionado por Teradyne

Figura 26. Diagrama de bloques de la interfaz DC90-SMC²⁶

Como ya se ha mencionado, el sistema microFLEX cuenta con una etapa de supervisión, la cual consiste básicamente en un sistema de monitorización y control (SMC, por sus siglas en inglés). Esta tarjeta se encuentra ubicada en la cabeza de prueba, tal como se muestra en la figura 27.

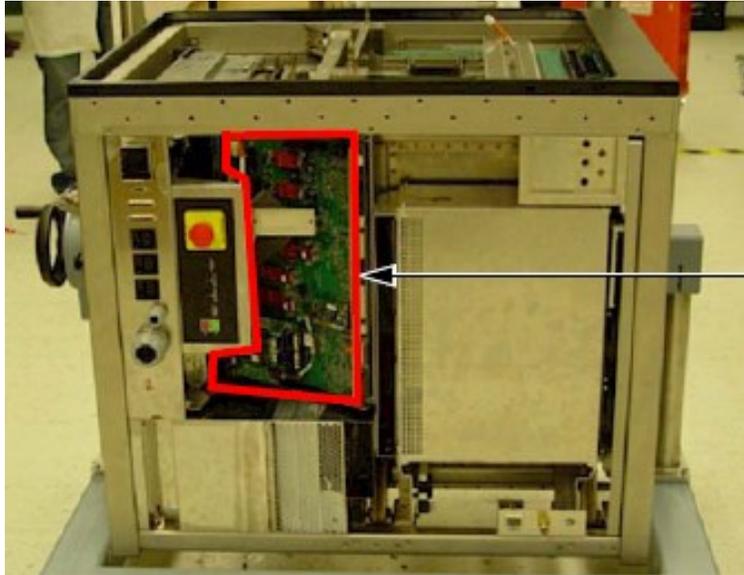


Figura 27. Ubicación del SMC en el sistema microFLEX²⁷

La tarjeta SMC es un sistema independiente dentro de la plataforma, y tiene como propósito monitorizar variables importantes del sistema, y tomar acciones (mediante el control del PDP) ante cualquier situación de fallo que se presente. El ensamble se encuentra conformado por un nodo de sistema, un nodo de soporte y una etapa de *software*, cada uno con las mismas funciones descritas para otros sistemas. Al igual que en las demás tarjetas SMC, existe una secuencia de arranque principal, la cual se da cuando se cierra el interruptor CB1. Esta secuencia se muestra en la figura 28.

Adicional a las etapas ya mencionadas, el microFLEX cuenta con un módulo de soporte (USM, por sus siglas en inglés), el cual provee soporte a la cabeza de prueba y funciones adicionales al usuario. Entre estas funciones se encuentra el control sobre los ventiladores ubicados en el *Test Head*, así como el envío de información sobre la velocidad de giro de estos ventiladores hacia el SMC.

²⁶ Tomado del manual del sistema microFLEX proporcionado por Teradyne

²⁷ Tomado del manual del sistema microFLEX proporcionado por Teradyne

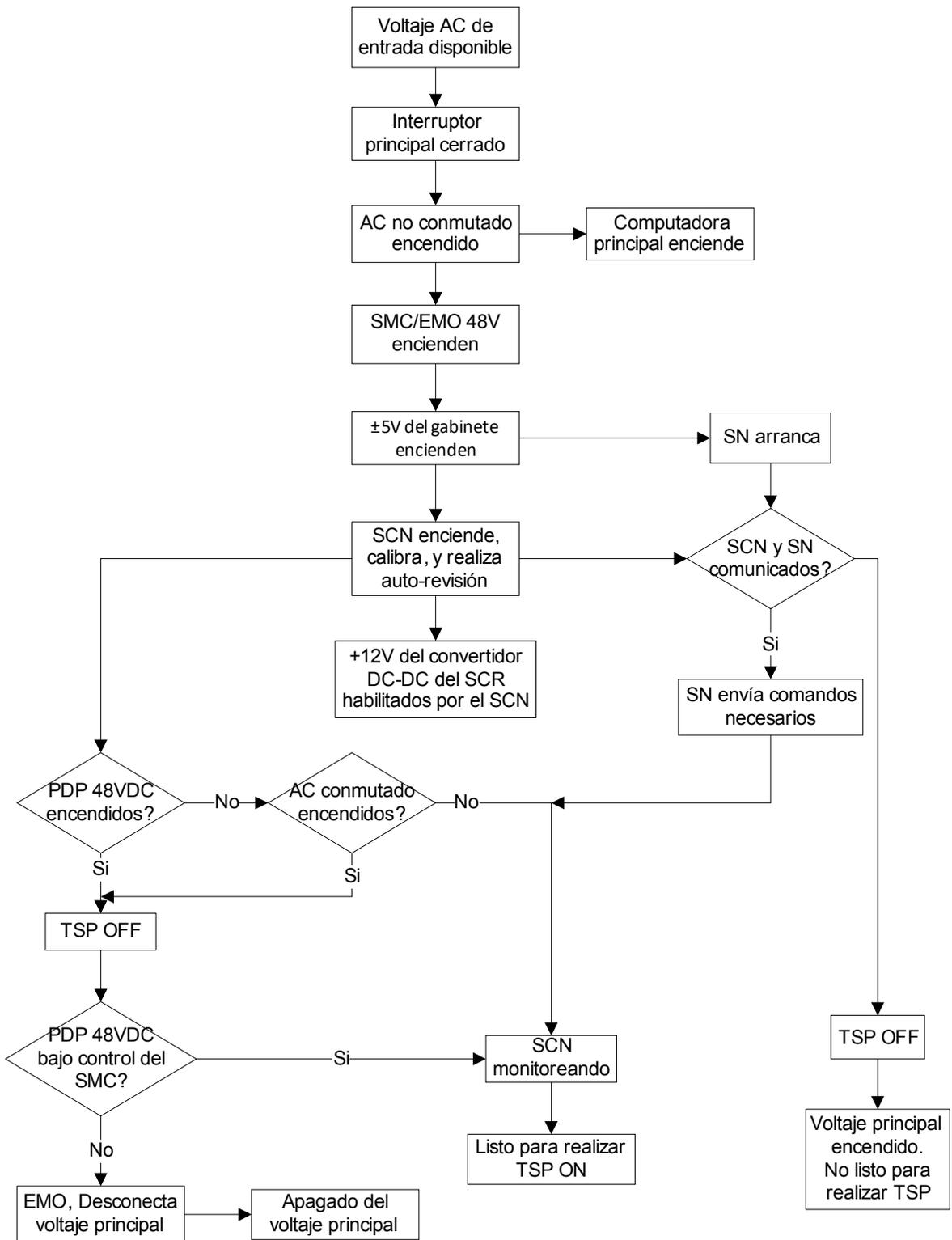


Figura 28. Secuencia de arranque principal del SMC del microFLEX²⁸

²⁸ Traducido del manual del sistema microFLEX proporcionado por Teradyne

Capítulo 4. Procedimiento metodológico

Con este capítulo se pretende explicar las técnicas de análisis y selección utilizadas en la elaboración del proyecto. La misma abarca, temas desde la descripción del problema hasta el porqué la selección de la solución implementada.

4.1 Reconocimiento y definición del problema

La definición del problema se llevó a cabo realizando reuniones con el ingeniero Francisco Díaz, ingeniero de la división de soporte a la plataforma UltraFLEX y asesor del proyecto en la empresa. Para esto el ingeniero Díaz realizó una explicación general del sistema, exponiendo así las complicaciones actuales que se presentaban para llevar a cabo validaciones en cambios realizados a las tarjetas SMC. Con la información recopilada en estas reuniones se precisó el problema existente, luego se le presentó al Ing. Díaz quien dio su aprobación.

Con respecto a la meta propuesta se realizó una pequeña investigación sobre los tiempos actuales requeridos para realizar validaciones, y luego con esta información se estimó cuanto tiempo podían ser reducidos implementando el sistema propuesto. Los objetivos, por su parte fueron definidos tomando en cuenta los puntos que eran necesarios para realizar la simulación de las plataformas escogidas.

En cuanto a restricciones del proyecto éstas fueron definidas en conjunto con el Ing. Díaz en las reuniones antes mencionadas, tomando en cuenta la información existente de los sistemas, así como la flexibilidad y escalabilidad que debía tener el sistema propuesto. Sin embargo durante el desarrollo del proyecto se encontraron algunas restricciones que no fueron identificadas previamente, las cuales serán comentadas más adelante.

4.2 Obtención y análisis de información

Las primeras semanas de trabajo fueron dedicadas a investigación de los sistemas UltraFLEX, FLEX y microFLEX, esto mediante la lectura de manuales técnicos proporcionados por el Ing. Díaz. De estos manuales se recopiló información sobre el funcionamiento específico de cada etapa de los sistemas, investigando la función de cada una de ellas así como las interconexiones entre las distintas etapas de cada sistema.

Luego de realizada esta investigación se separó la información necesaria, analizando que etapas era posible y necesario simular en cada uno de ellos, para así redirigir la investigación más profundamente en estas etapas seleccionadas. Al ser estos sistemas de muy reciente diseño, la documentación es escasa y el personal técnico no tiene relación directa con este tipo de equipo.

Adicional a los manuales técnicos proporcionados por el ingeniero asesor también fue posible obtener diagramas eléctricos de las conexiones del SMC con las etapas a simular,

información necesaria para realizar las conexiones entre el sistema simulador y las tarjetas SMC.

Una vez recopilada la información requerida se procedió a analizar la factibilidad de realizar el proyecto, tomando en cuenta las características que debían tener los componentes utilizados para el desarrollo del sistema simulador.

4.3 Evaluación de las alternativas y síntesis de una solución

Para plantear alternativas de solución se realizó una investigación en Internet sobre tecnologías recientes, en busca de dispositivos que brindaran los requerimientos necesarios para poder implementar el sistema simulador. De igual manera hubo propuestas mencionadas por el ingeniero asesor en la empresa, las cuales también fueron analizadas.

Las alternativas fueron estudiadas tomando en cuenta factores como:

- Velocidad requerida del sistema
- Portabilidad del simulador
- Cantidad de componentes que conformen el sistema
- Interfaz de control al usuario
- Costo de implementación
- Tiempo de implementación

Cada propuesta planteada, fue analizada tomando en cuenta estos factores mencionados, y si se encontraba alguna desventaja considerable con respecto a algunos de estos la propuesta era descartada. Una vez que se analizaron las propuestas se escogió la solución que mejor cumplía con los requisitos establecidos, así como con las restricciones presentes.

4.4 Implementación de la solución

Una vez que se seleccionó una propuesta como solución al problema se procedió a desarrollarla. Para esto se realizaron una serie de pasos que se describen a continuación:

- *Diseño del sistema:* en esta etapa se realizó el diseño de bloques del sistema simulador, se definieron los componentes necesarios, tanto para realizar los procesamientos, generación de señales, control del usuario, visualización de información, entre otros.
- *Definición de componentes:* ya elaborado el diseño general del sistema se procedió a escoger los componentes que formarían parte de cada bloque, tomando en cuenta las características deseadas para el producto final.
- *Compra de componentes:* ya con los componentes seleccionados se realizó la compra de los mismos, los cuales fueron en su mayoría comprados a través de suplidores en Internet.

- *Pruebas independientes de etapas del sistema:* ya adquiridos los componentes se realizaron montajes en placas de prueba “*protoboard*” de distintas etapas del sistema, esto con el fin de corroborar su correcto funcionamiento y realizar, de ser necesarios, cambios a su diseño.
- *Montaje del prototipo:* con las etapas revisadas se procedió a montar el sistema (*hardware*) utilizando la técnica de “*wirewrap*”.
- *Diseño del software:* con el *hardware* implementado y las conexiones realizadas se procedió a elaborar el *software* del sistema embebido.
- *Pruebas de funcionamiento iniciales:* luego de terminadas estas fases y con un sistema prototipo terminado se procedió a realizar pruebas del sistema por sí sólo, utilizando instrumentos de mediciones para corroborar su correcto funcionamiento según lo esperado.
- *Pruebas de funcionamiento del sistema:* una vez que el sistema cumple con lo esperado se siguió con la conexión de este con los diferentes SMC, probando de esta forma un sistema a la vez y realizando depuraciones necesarias.
- *Afinamiento de detalles:* esta última etapa fue dedicada a realizar mejoras al sistema ya terminado, y realizar las demostraciones y forma de uso al ingeniero asesor en la empresa.

A lo largo del proyecto se identificaron restricciones que obligaron a recortar ciertas etapas del proyecto. Una de ellas fue que el sistema *UltraFLEX 36-slots High Power* debió ser retirado de la lista de sistemas a simular, esto pues es un sistema que aún se encuentra en desarrollo, por lo cual no se tenía información para llevar a cabo su simulación. Por otra parte la simulación del sistema *UltraFLEX 12 slots* no pudo ser comprobada en tiempo real pues no se contaba con el ensamble necesario para ello.

Adicional a esto no fue necesario realizar modificaciones considerables al sistema primeramente diseñado, simplemente depuraciones a la hora de implementar. Por último, con el sistema final se procedió a realizar una recopilación de valores, esto con el fin de elaborar un análisis estadístico que permita demostrar la confiabilidad del sistema, y adicionalmente generar tablas donde se demuestre la correcta funcionalidad del simulador.

4.5 Reevaluación y rediseño

Si bien es cierto el sistema prototipo cumplió con las expectativas propuestas tanto por la empresa como por la institución universitaria, con el desarrollo del proyecto surgieron nuevas ideas de mejora, entre las cuales destacan:

- Implementación de una interfaz por medio de una computadora, de manera que permita al usuario elaborar *scripts* que realicen secuencias de pruebas especificadas por el usuario.
- Implementación de un circuito impreso y una ensamble mecánico para dar al sistema un acabo profesional.
- Incorporar mayor capacidad de simulación al sistema.

Capítulo 5. Descripción detallada de la solución

El objetivo de este capítulo es presentar las alternativas de solución que surgieron luego de elaborada la investigación del problema. Se explica en términos generales en qué consisten cada una de ellas, haciendo alusión a las ventajas y desventajas que presentaba su implementación. Por último se menciona la propuesta seleccionada como solución al problema, y se explica detalladamente cada una de sus partes.

5.1 Análisis de soluciones y selección final

5.2 Solución propuesta #1: Interfaz mediante un computador

Esta propuesta consiste en desarrollar una interfaz en *software* mediante el lenguaje de programación *LabView*. Con esto el usuario podría controlar las variables a través de una ventana amigable, en la cual se le presente cada una de las variables que le es posible controlar. El diagrama de bloques general se presenta en la figura 29.

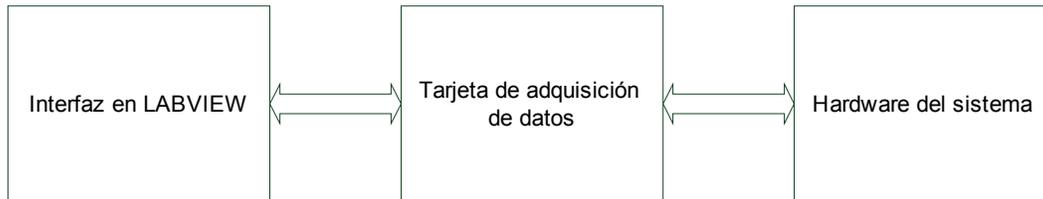


Figura 29. Diagrama de bloques de la solución propuesta #1

Para esta solución se requería desarrollar la aplicación de *software* (interfaz en LABVIEW), luego utilizar una tarjeta de adquisición de datos para transmitir las señales a una etapa de hardware que contiene los conectores necesarios para la interfaz con el SMC. Esta etapa de hardware contemplaría adicionalmente la circuitería eléctrica necesaria para que el sistema simulador se acople correctamente a los diferentes SMC.

Esta propuesta de solución presenta las siguientes ventajas:

- Se requiere poco *hardware* para su implementación, lo que reduce el tiempo de montaje del sistema final.
- La precisión de las señales sería altamente confiable, al igual que las variaciones solicitadas por el usuario.
- La elaboración del *software* será una tarea menos complicada, gracias al lenguaje gráfico en que se basa *LABVIEW*.

Por otro lado esta propuesta presenta también sus desventajas:

- Aumento de los costos de implementación del sistema, esto por la licencia de uso de *LABVIEW* y la tarjeta de adquisición que se debe adquirir.

- El sistema final pierde portabilidad pues ya se hace necesario el uso de una computadora para poder utilizarlo.

5.3 Solución propuesta #2: Uso de MCU

En esta propuesta se pensó en un sistema completamente independiente, que pueda ser transportado y utilizado sin necesidad de un computador. Se visualizó al simulador como una “caja” donde el usuario simplemente conecte el SMC en depuración, y mediante el uso de perillas pueda variar los niveles de las señales. El diagrama de bloques de esta propuesta de solución se muestra en la figura 30.

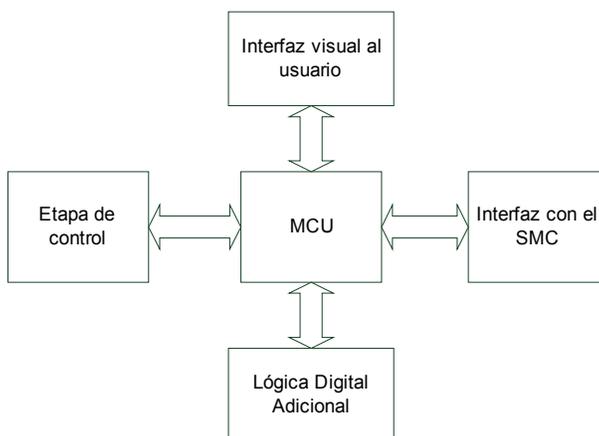


Figura 30. Diagrama de bloques de la solución propuesta #2

Como se puede observar existe un MCU que representa el centro de control de todo el sistema, este obtiene instrucciones por medio de la etapa de control y toma acciones en las señales que son enviadas a través de la interfaz con el SMC. Adicionalmente se muestra información al usuario sobre el estado actual de las variables emitidas, y por último se tiene una etapa de lógica digital utilizada para complementar ciertas funciones del sistema.

Esta propuesta presenta las siguientes ventajas:

- El uso de una computadora no es imprescindible para el funcionamiento del sistema, ya que la interfaz visual al usuario puede llevarse a cabo por medio de una pantalla LCD.
- El costo de implementación es considerablemente menor debido a los componentes utilizados.
- Es posible implementar el sistema utilizando un lenguaje de programación de alto nivel como C, por tanto el código sería más fácil de interpretar para un ingeniero que desee hacer cambios en un futuro.

En cuanto a las desventajas que presenta se encuentran:

- La precisión lograda con las señales puede verse afectada debido a la velocidad de operación del MCU.

- La cantidad de componentes de *hardware* es mayor, lo que complicaría el montaje final del sistema.

5.4 Elección de la propuesta de solución a implementar

Para seleccionar una solución a implementar se realizó un análisis de las desventajas y ventajas que presentaba cada una. De igual forma se tomó en cuenta las restricciones y recomendaciones expuestas por el ingeniero asesor. Luego de realizar dicho análisis se escogió la propuesta #2 como solución a implementar.

Esto obedece a la portabilidad que esta brinda, y adicionalmente existía un interés por parte del asesor en utilizar lenguaje C para elaborar el control del sistema. Si bien es cierto el costo del producto no fue una restricción que impuso la empresa, con esta propuesta se obtuvo el beneficio adicional que la implementación tenía un peso económico mucho más bajo a su implementación con *LABVIEW*.

5.5 Descripción del hardware

El diseño de hardware del sistema implementado puede dividirse en 5 bloques generales, tal como lo muestra la figura 31. Existe una etapa de control mediante la cual el usuario puede variar los niveles de las señales emitidas, luego aparece una interfaz visual al usuario mediante la cual se le muestra el valor actual de esas señales.

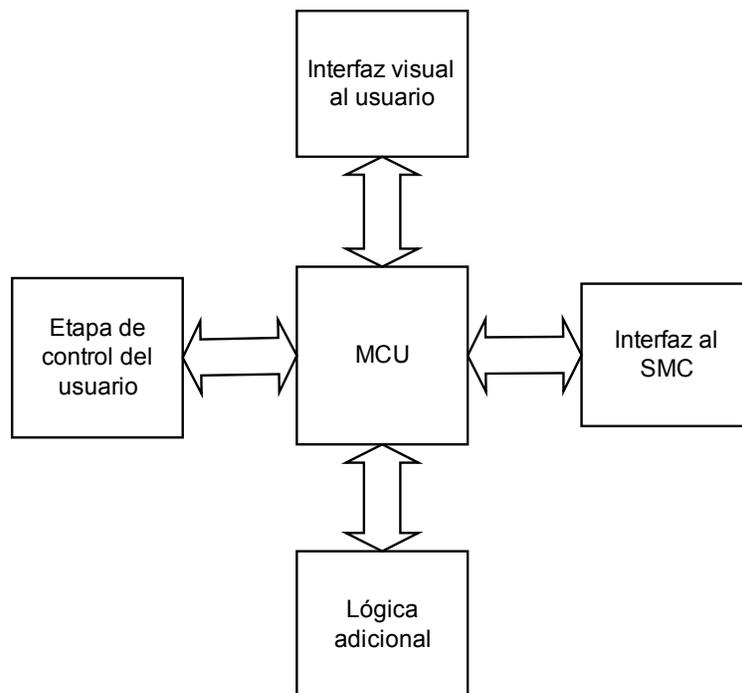


Figura 31. Diagrama de bloques del *hardware* del sistema

Por otro lado se tiene la interfaz al SMC, la cual incluye las conexiones de acople necesarias entre el sistemas simulador y los diferentes SMC. Igualmente aparece una etapa de lógica adicional que permite realizar acoples entre el MCU y los demás bloques. Por último se tiene el MCU, el cual funciona como el centro de control del sistema, y es a través de él que se generan las señales que van al SMC.

5.6 Etapa de control del usuario

Esta etapa corresponde a la interfaz de control del usuario. Para implementar esta etapa se escogió el uso de *encoders* de giro sin fin, los cuales se muestran en la figura 32. Estos son fabricados por Panasonic y cuentan con doble función: botón y codificador.

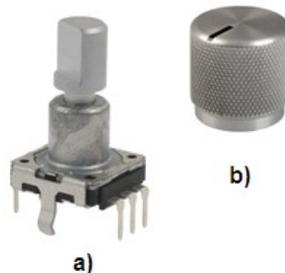


Figura 32. a) Codificador b) Perilla del codificador²⁹

Este componente cuenta con 4 pines de conexión: Term A, Term B, Term C y S, como se muestra en la figura 33. El dispositivo cuenta con 16 posiciones por vuelta, que como ya se mencionó permite dar giros infinitamente. La función de botón se da simplemente presionando el dispositivo, lo que conecta la terminal S a un voltaje de referencia.

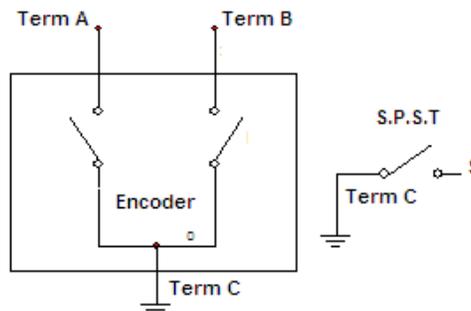


Figura 33. Circuito equivalente del encoder utilizado

Cada posición ubicada induce a los interruptores internos a conectar las terminales A y B (que externamente se conectan a resistencias de *pull-up*) al voltaje de referencia en una secuencia determinada, la cual depende del sentido de giro presente. De tal forma que:

- Giro en sentido horario:
 - B está en bajo ("0" lógico) mientras A sube (transición de "0" a "1" lógico)
 - B está en alto ("1" lógico) mientras A baja (transición de "1" a "0" lógico)
- Giro en sentido anti-horario:

²⁹ Tomado de la hoja de datos del componente de Panasonic

- B está en alto (“1” lógico) mientras A sube (transición de “0” a “1” lógico)
- B está en bajo (“0” lógico) mientras A baja (transición de “1” a “0” lógico)

Por tanto esta secuencia permite conocer si el usuario desea incrementar el valor de la variable, o en la otra mano, decrementarlo. Para definir la cantidad de *encoders* necesarios se hizo un análisis de la cantidad de señales a controlar por cada sistema, y se le brindó múltiple función a cada dispositivo, esto es, que un *encoder* cumple una función para un sistema y otra distinta para otro. Con esta “*multiplexación*” de funciones se obtuvo que la cantidad necesaria fueran 15 dispositivos.

La interfaz de estos dispositivos con el MCU se muestra en la figura 34. Lo primero por realizar es una lectura de las terminales S de estos, pues estas simbolizan que el usuario presiono ese botón.

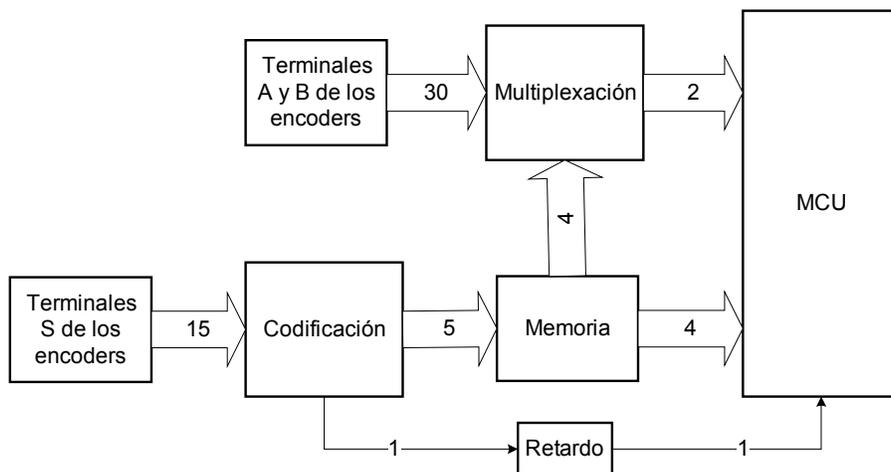


Figura 34. Interfaz de los *encoders* con el MCU

Cada una de estas terminales S están conectadas a las entradas de codificadores SN78148 (8:3), en la configuración que se muestra en la figura 35. Estas señales, como se pudo observar anteriormente, trabajan en lógica negativa, lo cual es compatible con la entrada de los codificadores utilizados. Esta configuración en cascada permite obtener un solo codificador de 16:4 que trabaje en lógica positiva, lo cual facilita su lectura posterior por parte del MCU.

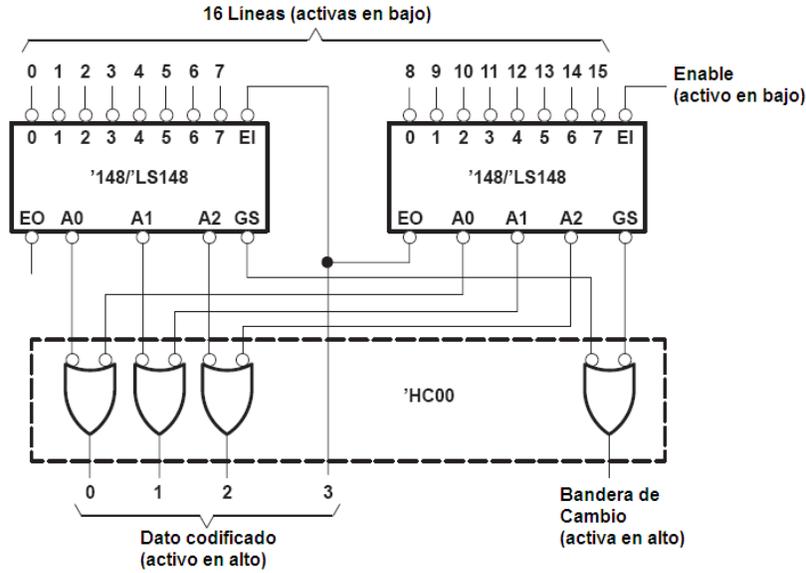


Figura 35. Conexión de la etapa de codificación³⁰

Como se pudo observar en la figura 34, la salida de esta etapa debe ir a una etapa de memoria, de manera que esta pueda direccionar el multiplexador de las terminales A y B, así como servir de lectura para el MCU. Esta función de memoria se llevó a cabo utilizando *Flip Flop D* (FFD), específicamente el integrado 74174 que contiene 6 unidades de FFD (de las cuales solo se utilizan 4).

Para realizar la actualización de esta etapa de memoria se utiliza la señal *Bandera de Cambio* (ver Figura 35), la cual se activa ("1" lógico) cuando se da un cambio en la entrada de la etapa de codificación. Esta misma señal se conecta al MCU, pasando antes por una etapa de retardo (dos negaciones en cascada) que permita al FFD estabilizar el valor antes de su lectura.

Por otro lado se tiene la etapa de multiplexación, la cual se realizó utilizando dos multiplexadores (para las señales A y B) de 16:1, específicamente el integrado 74150 (ver figura 36). Para esto se conectó las señales A de cada dispositivo en las entradas (E#, según figura 36) del multiplexador 1, y las señales B de cada dispositivo en las entradas del multiplexador 2.

³⁰ Traducido de la hoja de datos del 74148 de Texas Instruments

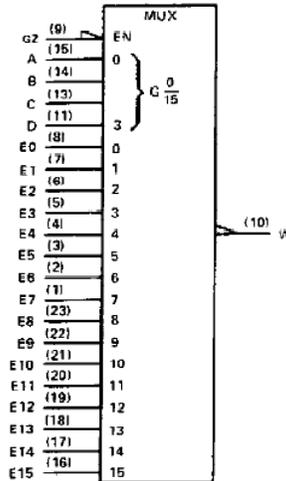


Figura 36. Multiplexador 74150.³¹

Luego se conectó las terminales A-D (terminales de selección) a la salida de los FFD (etapa de memoria), de manera que la señal presente a la salida de cada multiplexador sea la correspondiente al *encoder* presionado por el usuario. Estas salidas por su parte se conectan al MCU, el cual (explicado más adelante) realiza su lectura y toma la acción correspondiente.

5.7 Interfaz visual al usuario

Una parte muy importante en el diseño del sistema era brindar al usuario una forma de visualizar los valores emitidos en las señales, de manera que se sepa qué valor tienen y hacia qué valor se mueven. Para realizar esto se utilizó un *Display LCD* de 20x4 líneas, tal como se muestra en la figura 37. Este *display* específicamente se seleccionó por su capacidad de caracteres, pues se necesita mostrar mucha información al usuario.

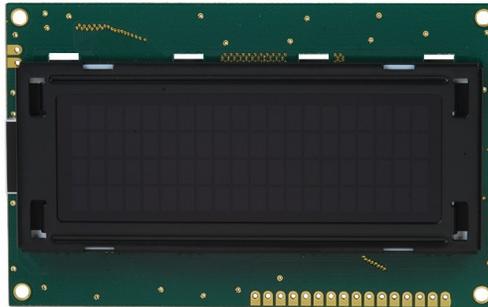


Figura 37. Display LCD de 20x4 líneas³²

La interfaz de este *display* con el MCU es mediante comunicación paralela de 4bits (ver figura 38), mediante la cual se maneja el controlador (estándar) instalado en el mismo. El manejo de este *display* se describe a más detalle en la descripción de *software*.

³¹ Tomado de la hoja de datos del 74150 de Texas Instruments

³² Tomado de la página del fabricante Optex America Inc

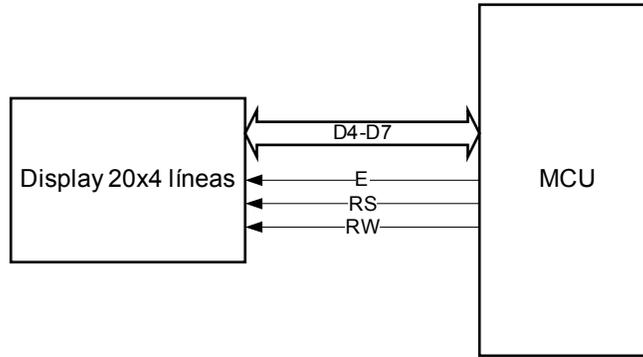


Figura 38. Conexión display-MCU

5.8 Lógica Adicional

Si bien es cierto se realizan muchas funciones dentro del MCU existe una etapa en la simulación del microFLEX que requiere de lógica externa al MCU para llevarse a cabo. Esta etapa corresponde a las dos corrientes análogas que se deben generar hacia el SMC. Para cada una de estas se utilizó un integrado MCP41010 (potenciómetro digital) y un amplificador operacional LM741.

Para explicar correctamente esta etapa es necesario referirse a como el SMC del sistema microFLEX lee esta señal. Esta señal, primeramente, corresponde a una corriente análoga que el PDU envía, la cual es proporcional ($100\mu\text{A/A}$) a la corriente suplida por la fuente de 48VDC de instrumentación y del instrumento DC-90.

Esta corriente es enviada al SMC a través del conector del PDU (J11, en referencia al SMC), donde es leída por el SMC a través de un amplificador de instrumentación (AD629), tal como se muestra en la figura 39. Como se observa en esta figura el SMC lee en realidad el voltaje correspondiente a la corriente de entrada multiplicado por la resistencia fija de $158\ \Omega$ (ley de Ohm).

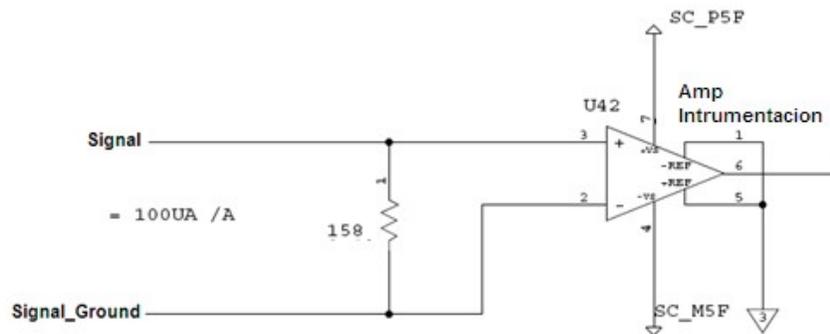


Figura 39. Esquemático de la lectura de corriente por parte del SMC del microFLEX³³

Por tanto para simular esta señal lo que se implementó fue una etapa de amplificación no inversora, tal como se muestra en la figura 40. Para esto se utilizó un amplificador 741 y un potenciómetro digital MCP41010 de manera que regule el factor de amplificación del mismo.

³³ Tomado del circuito esquemático del SMC proporcionado por Teradyne

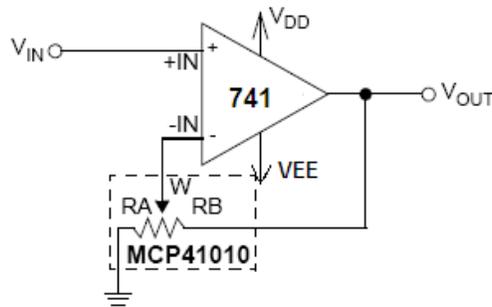


Figura 40. Etapa amplificadora no inversora³⁴

Según esta configuración el voltaje en la salida:

$$V_{OUT} = V_{IN}(1+R_B/R_A)$$

Por lo cual al variar el valor resistivo de sus terminales con respecto a W, y con un voltaje V_{IN} igual a 1V, es posible controlar el voltaje entregado a la resistencia de 158Ω a lo interno del SMC, emitiendo así la corriente deseada. El control de este potenciómetro digital se explica a más detalle en la descripción de *software*.

5.9 Interfaz al SMC

Esta sección de *hardware* abarca los conectores que permiten la conexión del sistema simulador con los diferentes ensamblajes SMC. Para realizar el acople eléctrico con el SMC fue necesario revisar los esquemáticos de cada uno de los ensamblajes, de manera que la conexión pin a pin sea la correcta.

Primeramente fue necesario implementar los conectores que conectan el PDU con el SMC. Este conector corresponde a un conector tipo DB-25 (tanto en el SMC como en el simulador), tal como se muestra en la figura 41. Para el sistema simulador fue necesario implementar 3 conectores de este tipo, uno para cada configuración de sistema. De esta forma el usuario debe conectar el cable al conector correspondiente, esto dependiendo del SMC al que desee conectar el simulador.



Figura 41. Conector tipo DB-25³⁵

En la figura 42 se muestra el diagrama eléctrico del conector correspondiente al UltraFLEX. Como se puede observar está conexión es la más simple, pues solo son necesarias

³⁴ Tomado de la hoja de datos del componente MCP41010 de Microchip

³⁵ Tomado de la página del fabricante [Norcomp Inc.](http://www.norcomp.com)

4 señales y la conexión de *tierras* que permite al SMC comprobar que se está conectado a un sistema “UltraFLEX”. Igual se observan las resistencias de *pull-up* conectadas en las entradas del simulador, esto pues las mismas van conectadas a pines de interrupción externa del MCU.

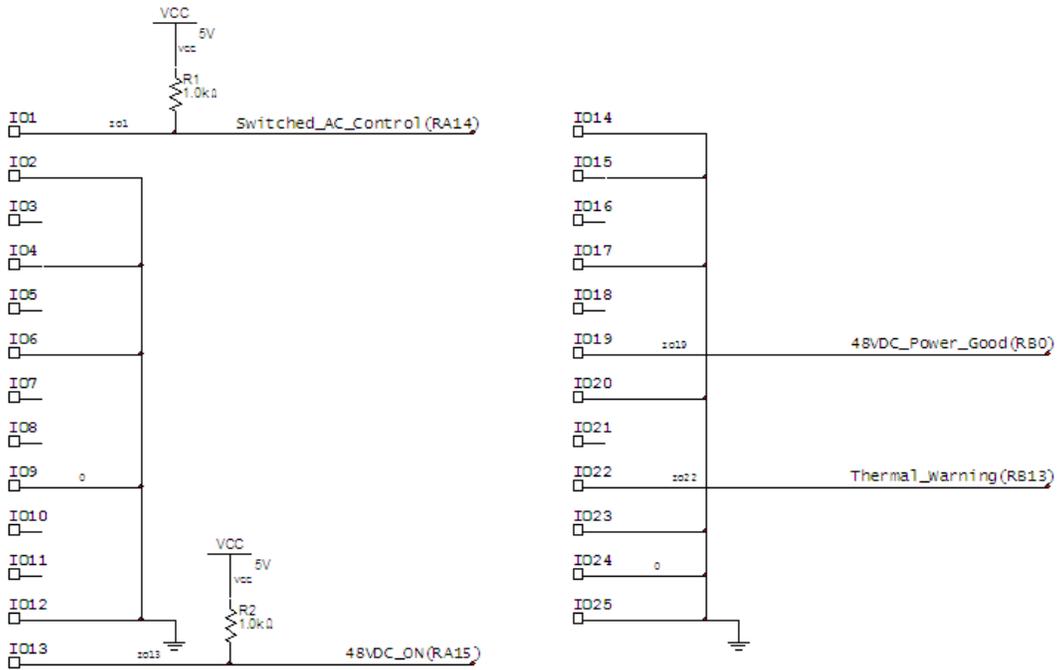


Figura 42. Conector DB-25 correspondiente al UltraFLEX.
Valor entre paréntesis corresponde al puerto del MCU.

La figura 43 muestra el conector correspondiente al FLEX. Como se puede observar este presenta una cantidad de señales mucho mayor, las cuales son todas emitidas por el MCU. De igual forma se tienen las señales de control, que se encuentran conectadas a resistencias de *pull-up*.

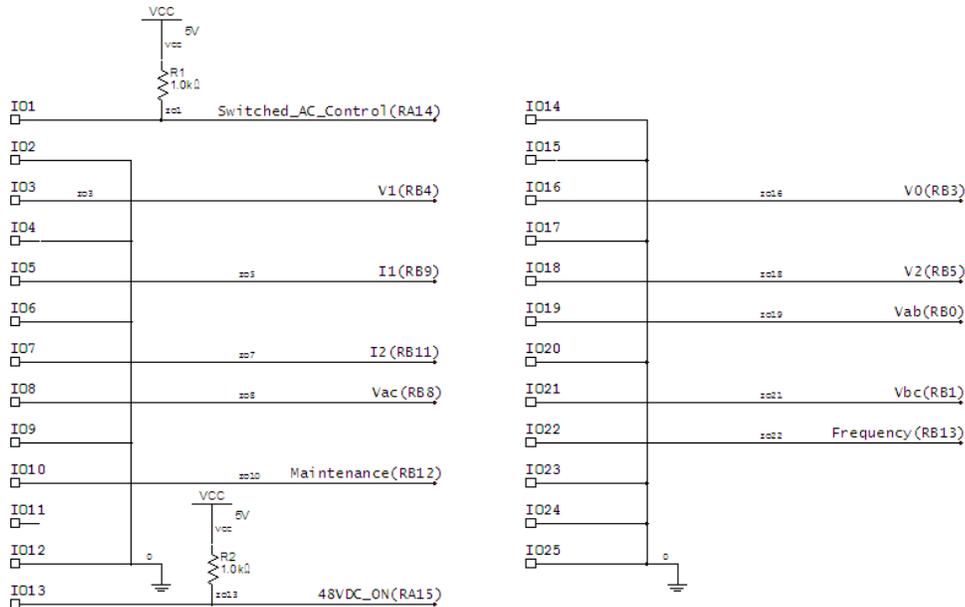


Figura 43. Conector DB-25 correspondiente al FLEX.

Valor entre paréntesis corresponde al puerto del MCU.

Por último se presenta el conector del sistema microFLEX en la figura 44. En este es importante rescatar el hecho de que los pines 5 y 18 no tienen conexión directa al MCU, pues estos van conectados a las etapas de amplificación no inversora presentadas en el apartado anterior. También se puede notar como existen tres señales de control, cada una necesaria para activar distintas fuentes en el PDP.

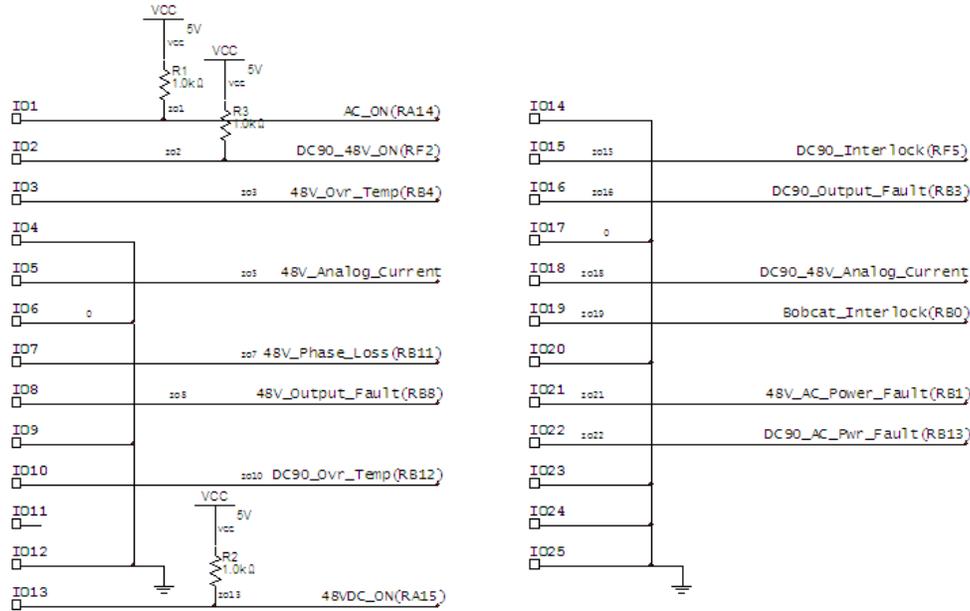


Figura 44. Conector DB-25 correspondiente al microFLEX.

Valor entre paréntesis corresponde al puerto del MCU.

Para la conexión de las señales que simulan los ventiladores se utilizaron conectores tipo RJ-11, tal como se muestra en la figura 45. Esto pues el SMC utiliza un conector igual en su ensamble, de manera que el cable necesario sería un cable con conexión RJ-11 en ambos extremos (cable teléfono), el cual sería fácil de conseguir y de reemplazar en un futuro.



Figura 45. Conector tipo RJ-11³⁶

Para esta etapa se utilizaron 4 conectores, tres de ellos utilizados para conexión de ventiladores (utilizados en FLEX y UltraFLEX) y uno adicional que sirve para indicar la presencia del instrumento DC-90 en el sistema microFLEX. El primero de ellos es utilizado para conectar la señal del propulsor de aire (J3 en el ensamble SMC), este se muestra en la figura 46. Como se puede observar este requiere de una referencia y una señal que lleva el tren de pulsos (frecuencia) que representa las RPM de giro del ventilador.

³⁶ Tomado de la página del fabricante [Molex Connector Corporation](http://www.molex.com)

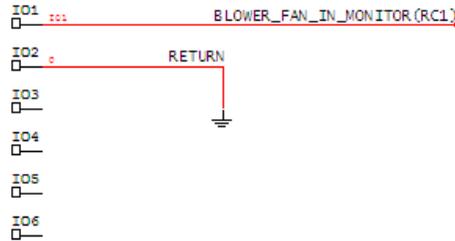


Figura 46. Diagrama eléctrico del conector del propulsor de aire.
Valor entre paréntesis corresponde al puerto del MCU.

Luego aparecen los otros dos conectores de ventiladores, los cuales tienen la configuración que se muestra en las figuras 47 y 48. Como se observa estos requieren conectar los pines 2 y 4 en cortocircuito, lo cual da a entender al SMC que el monitorización es por medio de frecuencia y no por nivel de voltaje. Estos conectan a las terminales J4 y J5, respectivamente, del ensamble SMC del FLEX y UltraFLEX.

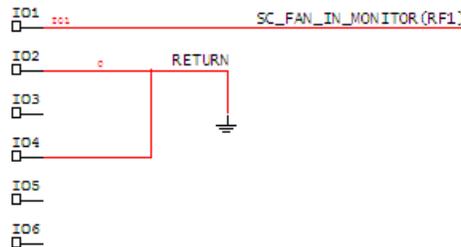


Figura 47. Diagrama eléctrico del conector del ventilador 1.
Valor entre paréntesis corresponde al puerto del MCU.

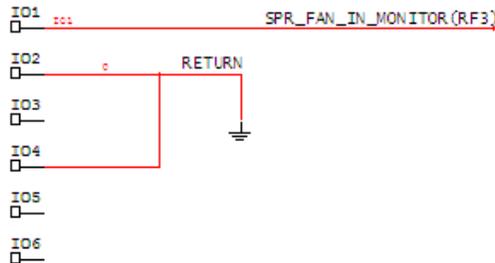


Figura 48. Diagrama eléctrico del conector del ventilador 2.
Valor entre paréntesis corresponde al puerto del MCU.

Por último aparece el conector del DC-90, cuya configuración se muestra en la figura 49. Esta configuración permite al SMC detectar la presencia del DC-90 en el sistema, lo cual es necesaria para una correcta ejecución del TSP ON. Este conecta a la terminal J5 del ensamble SMC del microFLEX.

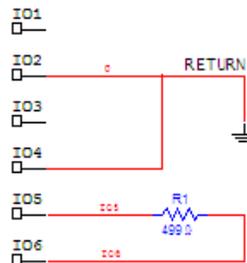


Figura 49. Diagrama eléctrico del conector del DC-90.

Adicionalmente el sistema microFLEX requiere de otra conexión, la correspondiente al USM. Esta conexión se realiza mediante un conector de 50 pines, tal como se muestra en la figura 50. Este conector es el mismo en el ensamble SMC, por lo cual el cable utilizado requiere el mismo conector en ambos extremos.



Figura 50. Conector de 50 pines del USM³⁷

Mediante este conector se le indica al SMC la presencia del USM, y adicionalmente se le envía información de las RPM de giro de los dos ventiladores ubicados en la cabeza de prueba del microFLEX. La conexión de este conector se muestra en la figura 51. Como se puede observar la cantidad de conexiones es escasa, sin embargo es a través de este que se reporta la velocidad de giro de ventiladores, y no a través de los RJ-11 como en los demás sistemas.

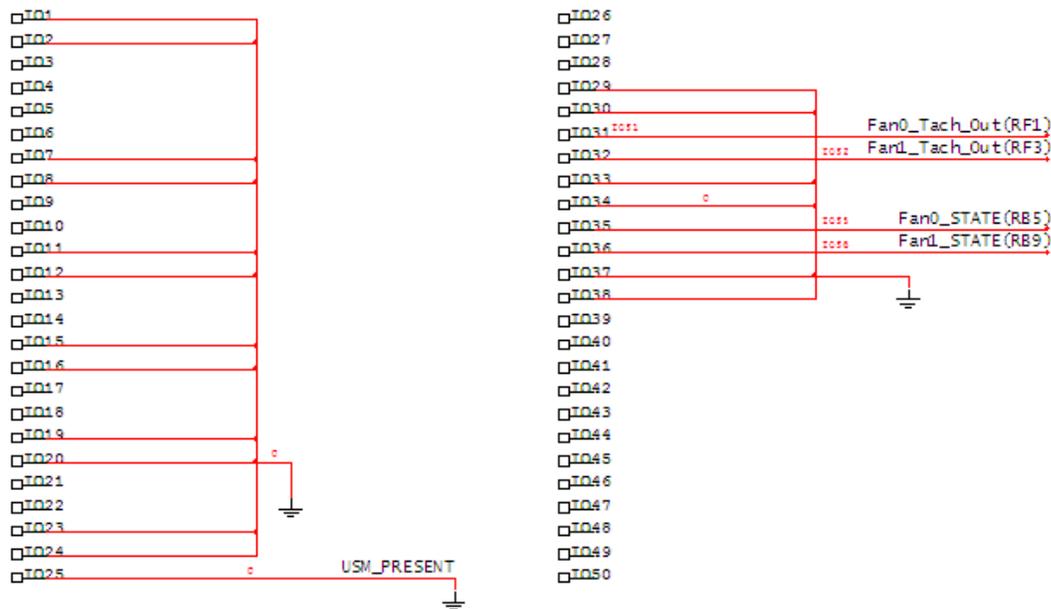


Figura 51. Diagrama eléctrico del conector del USM.
Valor entre paréntesis corresponde al puerto del MCU.

Por último aparece un conector de 8 pines, el cual se utiliza para el control de los LED indicadores ubicados en el panel de control del PDU (ver figura 8). Mediante este conector se logra la interfaz con el panel, logrando así encender o apagar los diodos dependiendo del estado del sistema. El diagrama de conexiones se muestra en la figura 52.

³⁷ Tomado de la página del fabricante [Tyco Electronics](http://www.tycoelectronics.com).

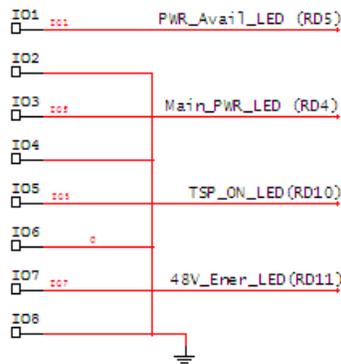


Figura 52. Diagrama eléctrico del conector del panel de control. Valor entre paréntesis corresponde al puerto del MCU.

5.10 MCU

Esta etapa es la encargada del control del sistema, así también de la generación de señales que estimulan al SMC. Para escoger el componente que constituye esta etapa se realizó una pequeña investigación en internet de tecnologías recientes, mediante la cual se encontró y seleccionó el Kit de Desarrollo PIC32 de la empresa Microchip. Este componente se muestra en la figura 53 b).

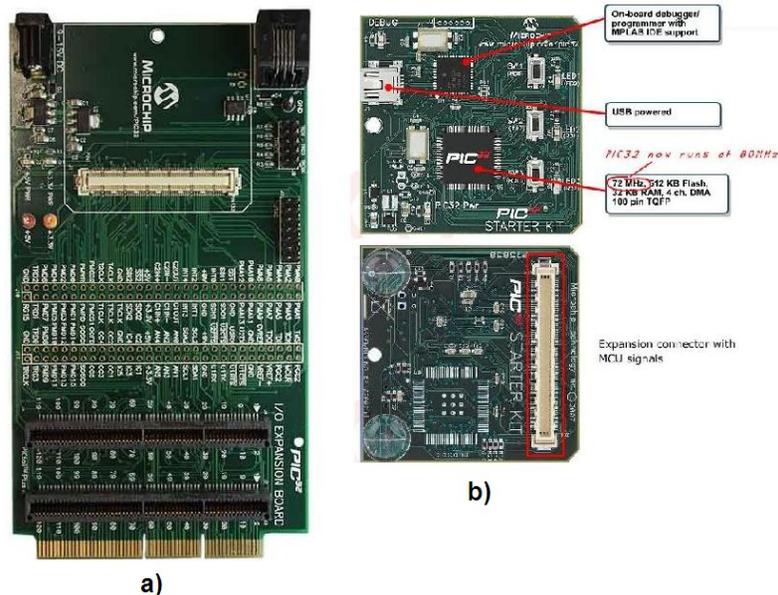


Figura 53. a) Expansor de pines b) Kit de pruebas PIC32³⁸

Esta tarjeta está basada en un PIC32, del cual destacan las siguientes características:

- Núcleo de 32bits con estructura *pipeline* de 5 etapas
- Máxima frecuencia de 80MHz
- Voltaje de operación de 2.3V a 3.6V
- 100 pines de propósito general
- 512K de memoria Flash

³⁸ Tomado de la página del fabricante Microchip

- Múltiples vectores de interrupción con manejo independiente de prioridades
- Entre otros

En cuanto a la programación de la tarjeta se cuenta con un microcontrolador PIC 18F4550 (ya incluido) que se comunica con el PIC32 y permite su programación vía una interfaz USB, lo cual simplifica el proceso. En lo que a la alimentación del mismo se refiere, existen dos opciones: alimentación mediante el puerto USB o alimentación externa. Esto se muestra en la figura 54.

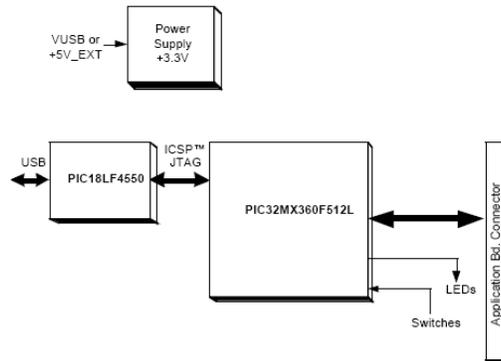


Figura 54. Diagrama de bloques del kit de desarrollo³⁹

Adicionalmente, como se observa en la figura 53 b, existe un conector expansor, el cual permite acceder a todos los pines de ambos microcontroladores. Para realizar esto se adquirió un tarjeta expansora (Figura 53 a)), la cual permite conectar el kit de desarrollo y acceder de una manera más práctica cada uno de estos pines, lo cual es necesario para una buena conexión *wire wrap* del sistema.

Con respecto a las conexiones, ya se ha descrito en varias imágenes anteriores los puertos utilizados para la generación de ciertas señales, sin embargo más adelante se irán mencionando otras conforme sea necesario.

5.11 Descripción del software

El sistema simulador no cuenta con una interfaz a una PC, por tanto el *software* existente es sólo el correspondiente al MCU. Este, como se indicó en un principio, fue elaborado utilizando el lenguaje de alto nivel C, y adicionalmente fueron utilizadas funciones de la biblioteca proporcionada por Microchip para el compilador *C32_Compiler* de MPLAB.

Dentro del *software* elaborado se pueden mencionar tres etapas generales:

- Atención del panel de control
- Control de la pantalla LCD
- Generación de las señales

5.12 Atención del panel de control

³⁹ Tomado de la hoja de datos del kit de desarrollo PIC32 de Microchip

Esta etapa de software es la encargada de leer el panel de control del sistema, y tomar así las acciones correspondientes a las peticiones del usuario. Para esto se utilizó tres interrupciones externas y 5 puertos de entrada-salida, esto siguiendo el diagrama de bloques presentado en la figura 34. En la tabla 1 se muestra la lista de pines utilizados.

Tabla 1. Conexión de pines de la etapa de control al MCU

Señal	Pin del MCU
A_Encoder	INT_0
A_Encoder	INT_1
B_Encoder	RF0
Bandera_Cambio_Encoder	INT_2
Dato_0_Encoder	RG0
Dato_1_Encoder	RG1
Dato_2_Encoder	RG2
Dato_3_Encoder	RG3

Como se puede observar la señal *A_Encoder* se conecta a dos pines de interrupción externa: INT_0 e INT_1, las cuales son configuradas con respuesta a flanco de subida y flanco de bajada, respectivamente. Esto se muestra a continuación a modo de ejemplo:

```
//Configure Int0 interrupt: Signal A of Encoder
mPORTFSetPinsDigitalIn(BIT_6);
mPORTFClearBits(BIT_6);
ConfigINT0(EXT_INT_DISABLE | RISING_EDGE_INT | EXT_INT_PRI_6);
```

```
//Configure Int1 interrupt: Signal A of Encoder
mPORTESetPinsDigitalIn(BIT_8);
mPORTEClearBits(BIT_8);
ConfigINT1(EXT_INT_DISABLE | FALLING_EDGE_INT | EXT_INT_PRI_6);
```

La rutina de atención de la interrupción INT_0 se muestra en la figura 55. Como se puede observar cada vez que se da una interrupción (cambio en el estado de *A_Encoder*) se verifica el estado de *B_Encoder* para conocer el sentido de giro del encoder. Luego con esto se toma la acción correspondiente.

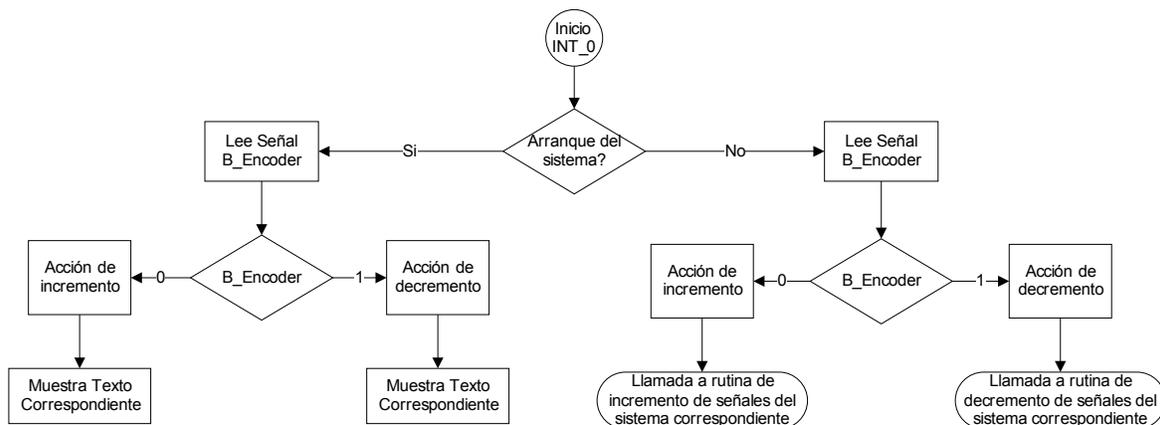


Figura 55. Diagrama de flujo de atención de la interrupción INT_0

Con respecto a la atención de la interrupción INT_1, que se muestra en la figura 56, se utiliza la misma idea, con el único cambio que ésta interrupción lee el flanco de bajada de la señal *A_Encoder*, por tanto su interpretación de *B_Encoder* debe ser contraria.

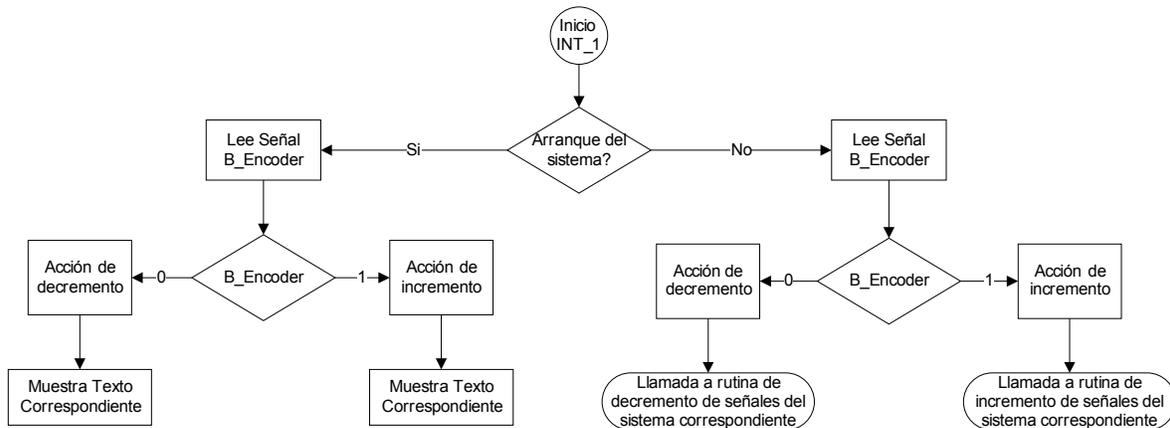


Figura 56. Diagrama de flujo de atención de la interrupción INT_1

Luego viene la atención de la interrupción externa INT_2, la cual responde a un flanco de subida en su entrada. Mediante esta interrupción se conoce cuando el usuario presiona un botón en el panel, para así posicionar el cursor y habilitar la lectura del *encoder* por parte del MCU. Como se puede observar el usuario presiona una primera vez el botón, lo cual le habilita la opción de variación, luego lo vuelve a presionar para desactivar la misma.

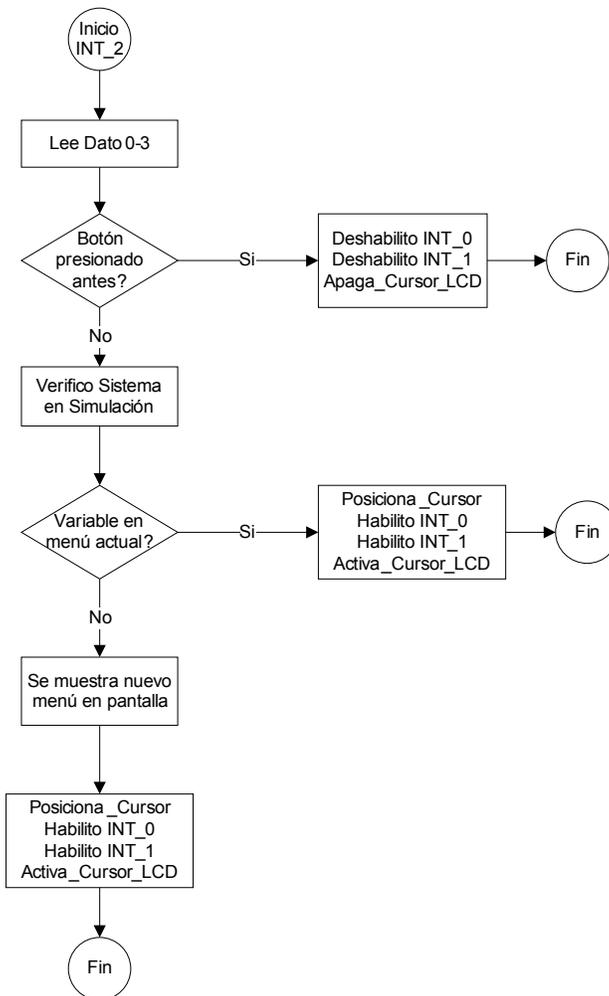


Figura 57. Diagrama de flujo de atención de la interrupción INT_2

5.13 Control de la pantalla LCD

La pantalla LCD utilizada tiene una interfaz paralela, que permite utilizar un bus de datos de 8 o 4bits. Como la biblioteca utilizada para la programación no contaba con funciones para el manejo de estos dispositivos fue necesario realizarlos por cuenta propia. En la tabla 2 se muestra los pines utilizados para tal fin.

Tabla 2. Conexión de pines entre el LCD y el MCU

Señal	Pin del MCU
RS LCD	RE4
RW LCD	RE5
E LCD	RE6
Dato 4 LCD	RE0
Dato 5 LCD	RE1
Dato 6 LCD	RE2
Dato 7 LCD	RE3

Para llevar a cabo esta comunicación se programaron diferentes rutinas, explicadas brevemente a continuación:

- *Check_BF()*: esta rutina induce al LCD a mostrar el estado de la *bandera de ocupado (Busy_Flag)* y devuelve el valor.
- *Escribe_Cmd(char)*: esta rutina recibe un número que representa un comando y lo transfiere al LCD siguiendo la secuencia de tiempos establecida en la hoja de datos del mismo.
- *Escribe_Dato(char)*: esta rutina recibe un número que representa un dato y lo transfiere al LCD siguiendo la secuencia de tiempos establecida en la hoja de datos del mismo.
- *Escribe_Cadena(char *)*: esta rutina recibe una cadena de caracteres y utiliza las rutinas anteriores para mostrarla en la pantalla LCD.

Es importante mencionar también que se diseñaron rutinas que permitan convertir un número en formato binario decimal a un formato BCD empaquetado, las cuales se utilizan para convertir variables internas en un formato más cómodo para su despliegue en pantalla.

5.14 Generación de señales

Está etapa contempla el ciclo principal del software, ya que en esta se controlan los incrementos o decrementos de las variables, así como el estado en la salida de cada una de ellas. Para describir esta etapa se referirá a cada uno de los sistemas por aparte.

5.15 Generación de señales del UltraFLEX

Primeramente debe detallarse como el sistema interpreta la solicitud de encendido de fuentes por parte del SMC. Para esto se conectan las señales de control de AC y DC a los pines de interrupción externa *INT_3* e *INT_4*, respectivamente. De esta forma cuando el SMC solicita un encendido/apagado mediante el cambio de nivel de estas señales, el flujo de programa se interrumpe y la solicitud es registrada mediante el cambio de una variable interna.

Mientras tanto en una sección de la rutina de atención de interrupción del *Timer_1* (ver figura 58) se interpreta un código de arranque/apagado y se procede con el mismo. Luego con respecto a las dos señales de monitorización se utiliza rutinas modulares de incremento y decremento de señales, las cuales son llamadas mediante la atención de las interrupciones externas *INT0* e *INT1* antes mencionadas.

En estas subrutinas se lee una variable interna que representa el botón presionado (*Button_Number* en el código), la cual es actualizada mediante la interrupción externa *INT_2* también mencionada anteriormente. Ya con esta información se procede a incrementar/decrementar la variable en cuestión, y se cambia en caso de ser necesario, el nivel de voltaje del pin que representa esa señal. A manera de ejemplo se muestra un segmento de estas rutinas a continuación:

```
else if(Button_Number==1){ //48V Level
if(Level_48V < 60) Level_48V = Level_48V + 1;
```

```

Valor_BCD_Empaquetado = BIN_BCD(Level_48V);
Valor_A_Imprimir = Valor_BCD_Empaquetado & 0xF0;
Valor_A_Imprimir = Valor_A_Imprimir >> 4;
Valor_A_Imprimir = Valor_A_Imprimir + 0x30;
Escribe_Cmd(0x87); //Posicion
Escribe_Dato(Valor_A_Imprimir); //Despliega decenas

Valor_A_Imprimir = Valor_BCD_Empaquetado & 0x0F;
Valor_A_Imprimir = Valor_A_Imprimir + 0x30;
Escribe_Dato(Valor_A_Imprimir); //Despliega unidades

if(DC_ON != 0){
    if(Level_48V > 39) mPORTBClearBits(BIT_0);
    else mPORTBSetBits(BIT_0);
}else{
    if(Level_48V > 5) mPORTBClearBits(BIT_0);
    else mPORTBSetBits(BIT_0);
}

```

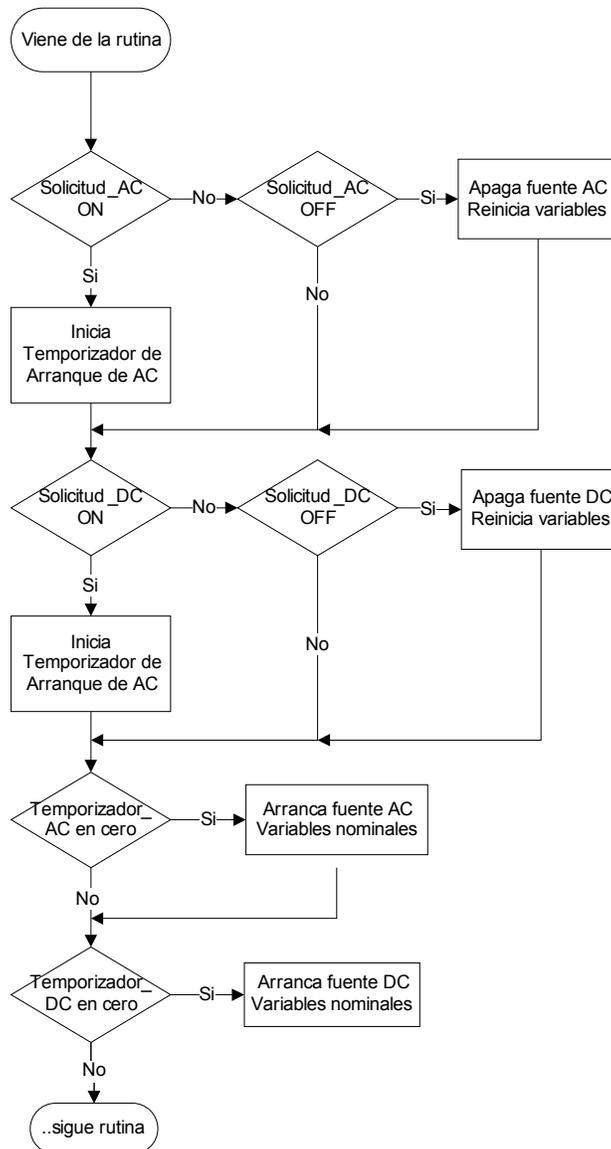


Figura 58. Segmento de rutina del *Timer_1* correspondiente a fuentes

Con respecto a los ventiladores, el UltraFLEX utiliza tres ventiladores, con frecuencias de 1 pulso/rev y 2 pulsos/rev. Para simular esta etapa se requiere que el sistema genere estas frecuencias a través de los pines correspondientes.

Esto se resolvió utilizando un modelo de división de frecuencia, donde se configuró el *Timer_1* para interrumpir el sistema a una frecuencia de 8KHz. Dentro de esta rutina de atención existe un contador para cada señal, el cual es decrementado una vez por interrupción y cuando llega a cero se genera un cambio en el nivel de la señal correspondiente. Este proceso periódico genera un tren de pulsos en el pin, el cual representa la frecuencia.

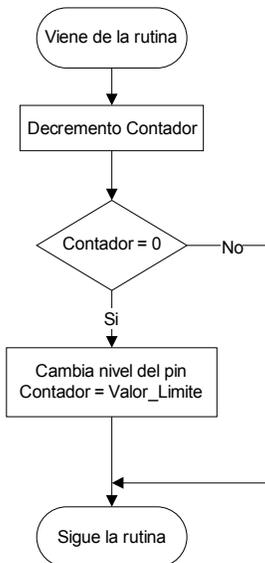


Figura 59. Diagrama de flujo para la generación de frecuencias

El valor límite que se carga al contador se obtuvo mediante un análisis de las frecuencias necesarias para representar las revoluciones por minuto. Con ello se generaron tablas donde se obtuvo el número de interrupciones necesarias (a 40MHz) para generar dichas frecuencias. Este valor límite es cambiado internamente (aplicando una ecuación) cada vez que el usuario desea cambiar, en este caso, las revoluciones por minuto mediante el panel de control.

```

else if(Button_Number==11){ //TH Impeller
  if(AC_ON != 0){ //Ventilador encendido
    If(TH_Fan_RPM < 5000) TH_Fan_RPM = TH_Fan_RPM + 100;
    Cont_BackUp = Numerador5/TH_Fan_RPM; // y = 480340 / x
    TH_Fan = Cont_BackUp;

    *Se despliega valor en pantalla*

  }else{//Ventilador Apagado
    if(AC_Arranque_Tiempo < 59) AC_Arranque_Tiempo=AC_Arranque_Tiempo+1;
    Cont_BackUp = Numerador10*AC_Arranque_Tiempo; // y = 1066* x
    AC_Arranque = Cont_BackUp;

    *Se despliega valor en pantalla*

  }
}

```

También es importante mencionar que el sistema presenta una operación ligeramente diferente cuando se trabaja en estado estable apagado, pues aquí se da opción de variar el tiempo de encendido de los ventiladores, no su velocidad de giro, como si se hace en estado estable encendido.

5.16 Generación de señales del FLEX

El sistema FLEX está basado en modulación de frecuencia, esto implica que las señales enviadas al SMC son frecuencias proporcionales a niveles de voltaje, corriente, entre otros. Estas señales incluyen doce para el PDU y tres ventiladores.

Entre estas señales se incluye el control de las fuente AC y DC. Para leer estas señales se conectaron estos pines a las interrupciones externas *INT_3* e *INT_4*, las cuales incrementan un contador independiente cada vez que se da un cambio en sus entradas. Por otro lado, utilizando el *Timer_1* se genera una ventana de tiempo de 1 segundo, luego de la cual se monitorean estos contadores para comprobar la presencia/ausencia de esta señal de control.

Al igual que en el sistema UltraFLEX existen secuencias de arranque para las fuentes, así como para los ventiladores. De igual manera aparecen subrutinas de incremento y decremento de señales, las cuales son llamadas por las *INT_0* e *INT1*.

Para generar las frecuencias se utilizó el mismo modelo usado para generar las frecuencias de los ventiladores. Se configuró el *Timer_2* a una frecuencia de 99KHz, este se utilizó para generar las frecuencias de las señales *V0*, *V1* y *V2*. El *Timer_3* se configuró a una frecuencia de 100.5KHz y se utilizó para generar las frecuencias de las señales *I1* e *I2*. Por último el *Timer 4* se configuró a una frecuencia de 50KHz y sirvió para generar las frecuencias de las señales *Vab*, *Vbc* y *Vac*.

En relación a los ventiladores se utilizó el mismo sistema del UltraFLEX, con la ligera diferencia en las frecuencias que se deben generar, pues la relación pulsos/rev varía en algunos de ellos.

5.17 Generación de señales del microFLEX

El sistema microFLEX trabaja la mayoría de las señales con cambios en el nivel lógico del voltaje. Sin embargo tiene la particularidad de contar con dos señales de corriente analógica, las cuales fue necesario simular.

Con respecto al control de las señales digitales se mantuvo el mismo formato utilizado para los demás sistemas, donde existe una rutina para incrementos de variables y otra para decrementos. En cada una de estas se limitó el rango de variación de las señales, esto basado en la información recopilada del sistema.

Los ventiladores, que en este sistema se generan a través del USM, se reproducen utilizando la misma técnica de división de frecuencias utilizada en otros sistemas.

Por último se tiene la fuente de corriente, la cual fue explicada en el apartado de descripción de hardware. En la tabla 3 se muestra la conexión de pines entre los potenciómetros y el MCU.

Tabla 3. Conexión entre los potenciómetros digitales y el MCU

Señal	Pin del MCU
CS POT 1	RD8
SCK POT 1	RG6
SO POT 1	RG8
CS POT 2	RG12
SCK POT 2	RG13

SO_POT_2	RG14
----------	------

Luego mediante una comunicación *SPI* se le envió los comandos necesarios (según está descrito en la hoja de datos) para realizar un cambio en su valor.

Capítulo 6. Análisis de resultados

El propósito de este capítulo es mostrar los resultados obtenidos tanto de montaje como de funcionamiento del sistema simulador. Se comienza mostrando el prototipo montado en *wire wrap*, así como su conexión a una tarjeta SMC. Luego se muestran resultados de las pruebas ejecutadas, así como los resultados estadísticos de las muestras tomadas. Por último se realiza un análisis de los resultados obtenidos.

6.1 Resultados

La figura 60 muestra una fotografía frontal del sistema prototipo montado en *wire wrap*. Se pueden apreciar los conectores utilizados, el panel de control elaborado con los *encoders*, la pantalla LCD, la lógica adicional y el kit de desarrollo utilizado.

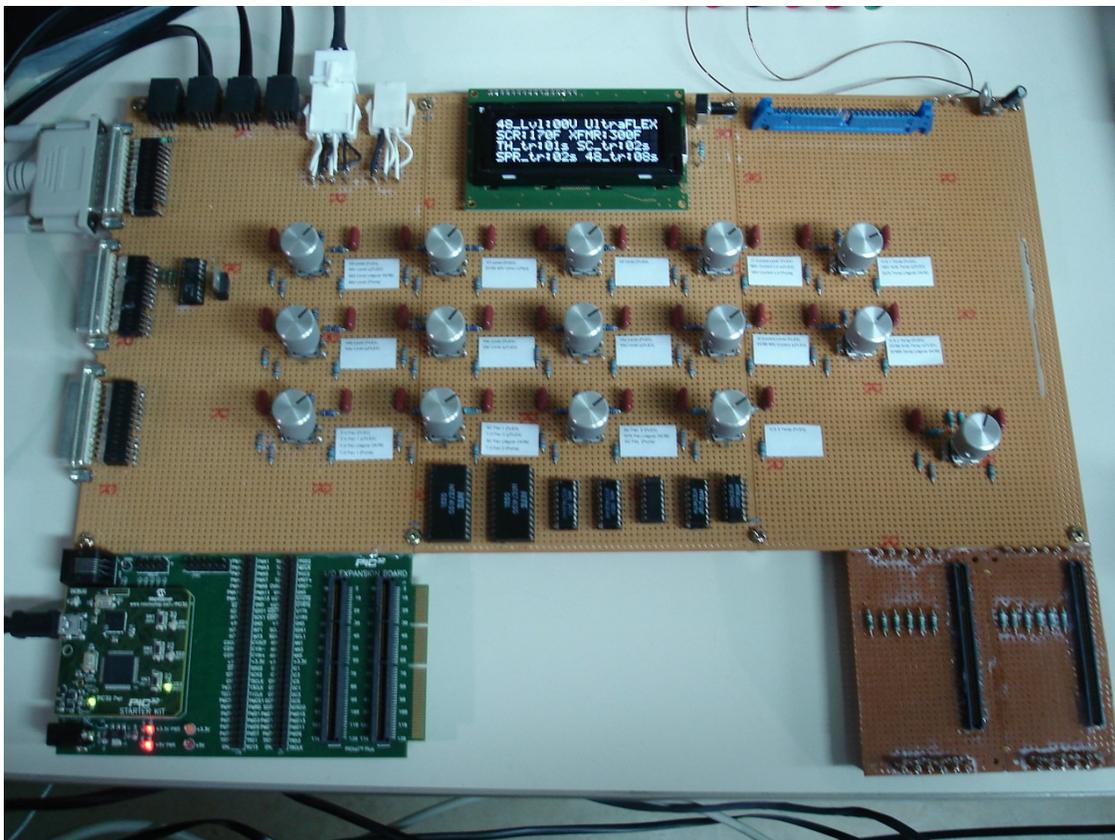


Figura 60. Sistema prototipo del simulador

La figura 61 por su parte muestra una vista más completa, en esta se puede apreciar la conexión del sistema simulador con el ensamble SMC de la plataforma UltraFLEX. Igualmente se puede apreciar el panel de control adquirido, el cual es utilizado para dar inicio a las secuencias de encendido o apagado de la etapa de pruebas.



Figura 61. Conexiones entre el sistema simulador y el SMC del UltraFLEX

Como se mencionó en el marco teórico existe un *software* desarrollado para el sistema, el cual toma los valores enviados por el SMC a través de la red Ethernet y los despliega en pantalla. Una imagen de la etapa utilizada de este *software* se muestra en la figura 62.

System Monitors	Slot	Monitor	Time	Lower Limit	Measured Value	Upper Limit	Units	State	Nominal
<input type="checkbox"/> System Mode	SMC 0	Local_MSV	05/19 03:05:02 PM	-5.477	-5.247	-4.519	Volts	On	52.0%
<input checked="" type="checkbox"/> Support Cabinet	SMC 1	Local_PSV	05/19 03:05:02 PM	4.837	5.11	5.304	Volts	On	16.9%
<input type="checkbox"/> Option Monitors	SMC 2	M10V_MON	05/19 03:05:02 PM	-10.254	-8.278	-6.825	Volts	On	15.3%
<input type="checkbox"/> 1.HSD-M	SMC 3	P10V_MON	05/19 03:05:02 PM	6.825	8.735	10.254	Volts	On	11.4%
<input type="checkbox"/> 2.HSS-6400	SMC 4	200mV_REF	05/19 03:05:02 PM	0.164	0.19	0.224	Volts	On	-13.3%
<input type="checkbox"/> 3.HSD-I	SMC 5	25V_REF	05/19 03:05:02 PM	2.431	2.5	2.57	Volts	On	-0.7%
<input type="checkbox"/> 4 Turbo-Base	SMC 6	1.25V_REF	05/19 03:05:02 PM	1.199	1.234	1.269	Volts	On	0.0%
<input type="checkbox"/> 5 Turbo-Frame	SMC 7	LA703_P12	05/19 03:05:02 PM	11.347	11.826	12.673	Volts	On	-27.8%
<input type="checkbox"/> 6.GigaDigHD2	SMC 8	SMCTH_P5V	05/19 03:05:02 PM	4.77	5.319	5.672	Volts	On	21.7%
<input type="checkbox"/> 7.GigaDigHD1	SMC 9	PSV_TH_Loss	05/19 03:05:02 PM	0	0.115	9.042	Amps	On	-97.5%
<input type="checkbox"/> 8.AVGG	SMC 10	SMCTH_M5V	05/19 03:05:02 PM	-5.672	-5.318	-4.519	Volts	On	-38.6%
<input type="checkbox"/> 14.HexVS	SMC 11	LA703_P5	05/19 03:05:02 PM	4.728	4.984	5.28	Volts	On	-7.2%
<input type="checkbox"/> 16.DC-30	SMC 12	LA703_M15	05/19 03:05:02 PM	-16.304	-14.916	-14.023	Volts	On	21.7%
<input type="checkbox"/> 18.DCIOBoard	SMC 13	LA703_M5	05/19 03:05:02 PM	-5.613	-5.126	-4.912	Volts	On	-38.9%
<input type="checkbox"/> 21.VSM	SMC 14	SMC_SC_M5V	05/19 03:05:02 PM	-5.477	-5.243	-4.519	Volts	On	-51.1%
<input type="checkbox"/> 22.BBAC-15	SMC 15	SMC_SC_P5V	05/19 03:05:02 PM	4.837	5.116	5.304	Volts	On	19.5%
<input type="checkbox"/> 24.SupportBoard	SMC 16	24V_P_GOOD	05/19 03:05:02 PM	1.999	2.552	2.999	Volts	On	10.6%
<input type="checkbox"/> 25.SupportBoard	SMC 17	PSV_SC_ISE	05/19 03:05:02 PM	0	1.794	3.005	Amps	On	19.4%
	SMC 18	3.3V_PPGA	05/19 03:05:02 PM	3.011	3.295	4.584	Volts	On	65.2%
	SMC 19	BOARD_TEMP	05/19 03:05:02 PM	0	29.545	65.051	De...	On	-9.2%
	SMC 20	HUMIDITY	05/19 03:05:01 PM	0.989	34.402	73.012	%RH	On	-7.2%
	SMC 21	SCIFan_J4_Cable	05/19 03:05:01 PM	0	0.021	1.949	Volts	On	-97.8%
	SMC 22	SCIFan_J4_Alarm	05/19 03:05:01 PM	0	0.02	1.949	Volts	On	-97.9%
	SMC 23	SCIFan_J4_RPM	05/19 03:05:01 PM	432	1298.597	1.296E+09	RPM	On	-100.0%
	SMC 24	SC2Fan_J5_Cable	05/19 03:05:01 PM	0	0.019	1.949	Volts	On	-98.1%
	SMC 25	SC2Fan_J5_Alarm	05/19 03:05:01 PM	0	0.019	1.949	Volts	On	-98.1%
	SMC 26	SC2Fan_J5_RPM	05/19 03:05:01 PM	432	1298.597	1.296E+09	RPM	On	-100.0%
	SMC 27	ExpFan_J2_Cable	05/19 03:05:02 PM	0	1.929	2.299	Volts	On	47.9%
	SMC 28	ExpFan_J2_Alarm	05/19 03:05:02 PM	0	1.7	2.299	Volts	On	47.9%
	SMC 29	ExpFan_J2_RPM	No Data	13.183	No Data	8.639999...	RPM	On	-100.0%
	SMC 30	BLOWER_J3	05/19 03:05:02 PM	648	1300.551	5.184E+09	RPM	On	-100.0%
	SMC 31	PDU_48V_GOOD	05/19 03:05:02 PM	0	0	0	Logic	On	100.0%
	SMC 32	PDU_THERMAL	05/19 03:05:02 PM	1	1	1	Logic	On	100.0%
	SMC 33	CDU_COMM	05/19 03:05:02 PM	1	0	1	Logic	On	-100.0%
	SMC 34	EXT_TEMP1	05/19 03:05:02 PM	0	0	323.41	Kel...	On	-100.0%
	SMC 35	EXT_TEMP2	05/19 03:05:02 PM	0	0	323.41	Kel...	On	-100.0%
	SMC 36	5V_P_GOOD	05/19 03:05:02 PM	1.999	2.553	2.999	Volts	On	10.8%
	SMC 37	- Reserved -	05/19 03:05:02 PM	0	0	0	N/A	On	
	SMC 38	System_Subtype	05/19 03:05:02 PM	6	6	6	ID	On	
	SMC 39	- Reserved -	05/19 03:05:02 PM	0	0	0	N/A	On	

Slot	Monitor	Time	Fail Description	Lower Limit	Measured Value	Upper Limit	Units	State

Figura 62. Imagen tomada de la etapa de *software* IG-XL con el SMC del UltraFLEX

El sistema simulador se diseñó con el propósito de poder reproducir escenarios de fallo, por tanto una serie de pruebas que se realizó fue generar niveles de fallo en distintas señales, y verificar así que este cumple con el objetivo. El primer sistema simulado al que se realizaron pruebas fue al UltraFLEX. Las tablas 4 y 5 muestran los resultados obtenidos al simular el sistema en estado estable.

Tabla 4. Simulación en estado estable del sistema *UltraFLEX* con etapa de pruebas apagada

Etapa Simulada	Número monitorización	Nombre de la señal	Significado de la señal	Formato de la señal	Condición de fallo	Valor inducido	Acción esperada del SMC	Porcentaje de éxito (%)	Prueba Exitosa (S/N)
PDU	31	PDU_48V_Good	Estado de la fuente de 48VDC	Nivel Lógico TTL	48VDC > 5V	6V	Se muestra error en software y el sistema se induce a un EMO ⁴⁰	100	S

Tabla 5. Simulación en estado estable del sistema *UltraFLEX* con etapa de pruebas encendida

Etapa Simulada	Número monitorización	Nombre de la señal	Significado de la señal	Formato de señal	Condición de fallo	Valor inducido	Acción esperada del SMC	Porcentaje éxito (%)	Prueba Exitosa (S/N)
PDU	31	PDU_48V_Good	Estado de la fuente de 48VDC	Nivel Lógico TTL	48VDC < 40V	39V	Se muestra error en software, el sistema realiza una secuencia de apagado TSP ⁴¹ como respuesta al fallo	100	S
PDU	32	PDU_Thermal	Temperatura en zonas SCR y XFMR ⁴²	Nivel Lógico TTL	SCR_Temp > 190F	191F	Igual que en anterior.	100	S
					XFMR_Temp > 320F	321F		100	S
Test Head Impeller	30	Blower_J3	RPM de giro del ventilador	Pulsos TTL 1 pulso/rev	RPM < 648rpm	607.239rpm	Igual que en anterior.	100	S
Support Cabinet Fan 1	23	SC1Fan_J4_RPM	RPM de giro del ventilador	Pulsos TTL 2 pulso/rev	RPM < 432rpm	429.993rpm	Igual que en anterior.	100	S
Support Cabinet Fan 2	26	SC2Fan_J5_RPM	RPM de giro del ventilador	Pulsos TTL 2 pulso/rev	RPM < 432rpm	429.850rpm	Igual que en anterior.	100	S

⁴⁰ Parada de emergencia (EMO, por sus siglas en inglés)

⁴¹ Activación del sistema de pruebas (TSP, por sus siglas en inglés)

⁴² Existen dos sensores en el PDU, uno ubicado cerca del rectificador SCR y otro cerca del transformador para voltaje AC

Luego se comprobó su funcionalidad en el estado transitorio, esto pues también se debe simular un fallo en el encendido de algunas de las fuentes, así como de los ventiladores. Los resultados de estas pruebas se presentan en la tabla 6.

Tabla 6. Simulación del estado transitorio⁴³ del sistema *UltraFLEX*

Etapa Simulada	Número monitorización	Nombre de la señal	Significado de señal	Formato de señal	Condición de fallo ⁴⁴	Valor inducido ⁴⁵	Acción esperada del SMC	Porcentaje éxito (%)	Prueba Exitosa (S/N)
PDU	31	PDU_48V_Good	Estado de la fuente de 48VDC	Nivel Lógico TTL	Tiempo_ON >~ 8s	25s	Se detiene secuencia de arranque TSP y comienza secuencia de apagado. Software muestra variable de error	100	S
Test Head Impeller	30	Blower_J3	RPM de giro del ventilador	Pulsos TTL 1 pulso/rev	Tiempo_ON ⁴⁶ >~ 1s	21s	Igual que en anterior.	100	S
Support Cabinet Fan 1	23	SC1Fan_J4_RPM	RPM de giro del ventilador	Pulsos TTL 2 pulso/rev	Tiempo_ON >~ 2s	21s	Igual que en anterior.	100	S
Support Cabinet Fan 2	26	SC2Fan_J5_RPM	RPM de giro del ventilador	Pulsos TTL 2 pulso/rev	Tiempo_ON >~ 2s	21s	Igual que en anterior.	100	S

⁴³ Este estado está referido al arranque de las fuentes y ventiladores durante la secuencia de arranque TSP

⁴⁴ Los tiempos son una aproximación al tiempo de enciendo actual de los dispositivos

⁴⁵ Los tiempos aquí mostrados corresponden al tiempo al cual el SMC detiene la espera e induce el error

⁴⁶ En ventiladores se toma como tiempo de encendido el tiempo que le toma alcanzar la velocidad mínima

Para finalizar las pruebas al sistema UltraFLEX se procedió a tomar muestras de las RPM medidas por el SMC, para así determinar la confiabilidad del sistema (Apéndice A.1). Luego con los resultados obtenidos se realizó un análisis estadístico presentado a continuación.

La figura 63 muestra el histograma resultante al simular 1500rpm en el *Blower_J3*. La tabla 7 por su parte muestra el comportamiento estadístico obtenido.

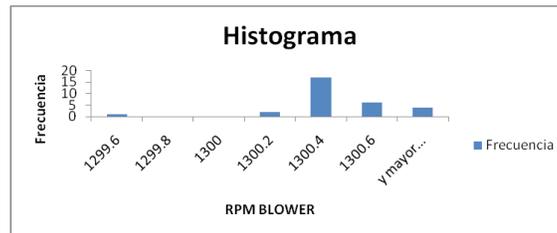


Figura 63. Histograma resultante al simular el blower a 1500rpm

Tabla 7. Comportamiento estadístico al simular el *Blower* a 1500rpm

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
1500	1300.382	0.412	1.333	-160.169

La figura 64 muestra el histograma resultante al simular 1500rpm en el *SC1_J4*. La tabla 8 por su parte muestra el comportamiento estadístico obtenido.

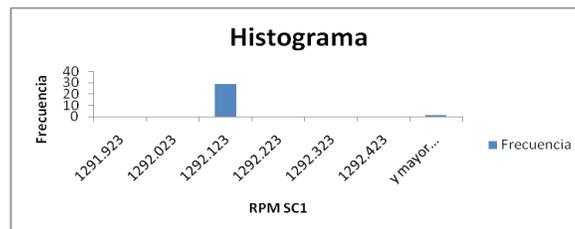


Figura 64. Histograma resultante al simular el SC1_J4 a 1500rpm

Tabla 8. Comportamiento estadístico al simular el SC1_J4 a 1500rpm

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
1500	1292.166	0.2355207	1.333	-292.814

La figura 65 muestra el histograma resultante al simular 1500rpm en el *SC2_J4*. La tabla 9 por su parte muestra el comportamiento estadístico obtenido.

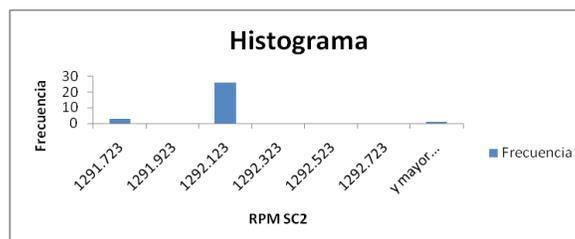


Figura 65. Histograma resultante al simular el SC2_J4 a 1500rpm

Tabla 9. Comportamiento estadístico al simular el SC2_J4 a 1500rpm

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
1500	1291.994	0.852	1.333	-80.0461

Una vez que se obtuvo resultados de la simulación del sistema UltraFLEX, se procedió a realizar pruebas similares a la simulación del sistema FLEX. Las tablas 10 y 11 muestran los resultados obtenidos a pruebas en estado estable.

Tabla 10. Simulación en estado estable del sistema *FLEX* con etapa de pruebas apagada

Etapa Simulada	Número monitorización	Nombre de la señal	Significado de la señal	Formato de la señal	Condición de fallo Sistema Apagado	Valor inducido	Acción esperada del SMC	Porcentaje éxito (%)	Prueba Exitosa (S/N)
PDU	31	PDU_V0	Nivel voltaje fuente V0	Frecuencia 10mV/Hz	$V0 > 5.027V$	5.935V	Se muestra error en software y el sistema se induce a un EMO ⁴⁷	100	S
PDU	36	PDU_VAB	Nivel voltaje fuente VAB	Frecuencia 25mV/Hz	$VAB < 180.013V$	177.669V	Igual que en anterior.	100	S
					$VAB > 240.017V$	245.124V		100	S
PDU	38	PDU_VBC	Nivel voltaje fuente VBC	Frecuencia 25mV/Hz	$VBC < 180.013V$	174.337V	Igual que en anterior.	100	S
					$VBC > 240.017V$	245.124V		100	S
PDU	37	PDU_VAC	Nivel voltaje fuente VAC	Frecuencia 25mV/Hz	$VAC < 180.013V$	177.016V	Igual que en anterior.	100	S
					$VAC > 240.017V$	244.447V		100	S
PDU	39	PDU_FREQ	Frecuencia de voltaje de entrada	Frecuencia 1Hz/Hz	$FREQ < 46.006Hz$	40Hz	Igual que en anterior.	100	S
					$FREQ > 64.094Hz$	70.129Hz		100	S

⁴⁷ Parada de emergencia (EMO, por sus siglas en inglés)

Tabla 11. Simulación en estado estable del sistema *FLEX* con etapa de pruebas encendida

Etapa Simulada	Número monitorización	Nombre de la señal	Significado de la señal	Formato de la señal	Condición de fallo	Valor inducido	Acción esperada del SMC	Porcentaje éxito (%)	Prueba Exitosa (S/N)
PDU	31	PDU_V0	Nivel voltaje fuente V0	Frecuencia 10mV/Hz	V0 < 45.216V	41.704V	Se muestra error en software, el sistema realiza una secuencia de apagado TSP ⁴⁸	100	S
					V0 > 55.024V	57.187V		100	S
PDU	34	PDU_V1	Nivel voltaje fuente V1	Frecuencia 10mV/Hz	V1 < 45.198V	41.862V	Igual que en anterior.	100	S
					V1 > 54.997V	57.335V		100	S
PDU	35	PDU_V2	Nivel voltaje fuente V2	Frecuencia 10mV/Hz	V2 < 45.198V	41.878V	Igual que en anterior.	100	S
					V2 > 54.997V	57,365V		100	S
PDU	36	PDU_VAB	Nivel voltaje fuente VAB	Frecuencia 25mV/Hz	VAB < 180.013V	174.008V	Igual que en anterior.	100	S
					VAB > 240.017V	246.215V		100	S
PDU	38	PDU_VBC	Nivel voltaje fuente VBC	Frecuencia 25mV/Hz	VBC < 180.013V	174.558V	Igual que en anterior.	100	S
					VBC > 240.017V	245.203V		100	S
PDU	37	PDU_VAC	Nivel voltaje fuente VAC	Frecuencia 25mV/Hz	VAC < 180.013V	174.206V	Igual que en anterior.	100	S
					VAC > 240.017V	246.598V		100	S
PDU	32	PDU_I1	Nivel corriente fuente I1	Frecuencia 15mA/Hz	I1 > 175A	186.824A	Igual que en anterior.	100	S
PDU	33	PDU_I2	Nivel corriente fuente I2	Frecuencia 15mA/Hz	I2 > 175A	186.404A	Igual que en anterior.	100	S
PDU	39	PDU_FREQ	Frecuencia de voltaje de entrada	Frecuencia 1Hz/Hz	FREQ < 46.006Hz	40.000Hz	Igual que en anterior.	100	S
					FREQ > 64.094Hz	70.129Hz		100	S
Test Head Impeller	30	BLOWER	RPM de giro ventilador	Pulsos TTL 1 pulso/rev	RPM < 940.363rpm	898.228rpm	Igual que en anterior.	100	S
Support Cabinet Fan	23	SCFan_RPM	RPM de giro ventilador	Pulsos TTL 3 pulso/rev	RPM < 616.428rpm	495.997rpm	Igual que en anterior.	100	S

⁴⁸ Activación del sistema de pruebas (TSP, por sus siglas en inglés)

Spare Fan 1	26	SPR1FanRPM	RPM de giro ventilador	Pulsos TTL 3 pulso/rev	RPM < 868rpm	803.207rpm	Igual que en anterior.	100	S
-------------	----	------------	------------------------	------------------------	--------------	------------	------------------------	-----	---

Posteriormente se realizaron pruebas de estado transitorio, donde se variaron los tiempos de arranque de la fuente CD y los ventiladores.

Tabla 12. Simulación del estado transitorio⁴⁹ del sistema *FLEX*

Etapa Simulada	Número monitorización	Nombre de la señal	Significado de la señal	Formato de señal	Condición de fallo ⁵⁰	Valor inducido ⁵¹	Acción esperada del SMC	Porcentaje éxito (%)	Prueba Exitosa (S/N)
PDU	31	PDU_V0	Nivel voltaje fuente V0	Frecuencia 10mV/Hz	Tiempo_ON >~ 8s	19s	Se detiene secuencia de arranque TSP y comienza secuencia de apagado. Software muestra variable de error	100	S
Test Head Impeller	30	BLOWER	RPM de giro ventilador	Pulsos TTL 1 pulso/rev	Tiempo_ON ⁵² >~ 2s	22s	Igual a la anterior	100	S
Support Cabinet Fan	23	SCFan_RPM	RPM de giro ventilador	Pulsos TTL 3 pulso/rev	Tiempo_ON >~ 2s	22s	Igual a la anterior	100	S
Spare Fan 1	26	SPR1FanRPM	RPM de giro ventilador	Pulsos TTL 3 pulso/rev	Tiempo_ON >~ 2s	22s	Igual a la anterior	100	S

⁴⁹ Este estado está referido al arranque de las fuentes y ventiladores durante la secuencia de arranque TSP

⁵⁰ Los tiempos son una aproximación al tiempo de encendido actual de los dispositivos

⁵¹ Los tiempos aquí mostrados corresponden al tiempo al cual el SMC detiene la espera e induce el error

⁵² En ventiladores se toma como tiempo de encendido el tiempo que le toma alcanzar la velocidad mínima

Para finalizar la etapa de pruebas de la simulación del sistema FLEX se siguió un procedimiento igual al utilizado en los ventiladores del UltraFLEX. Con la diferencia que para este sistema existe una cantidad mayor de señales que se debía comprobar. El apéndice A.2 muestra los valores obtenidos, aquí se muestra el análisis estadístico de estos resultados.

La figura 66 muestra el histograma resultante al simular 42V en V0. La tabla 13 por su parte muestra el comportamiento estadístico obtenido.

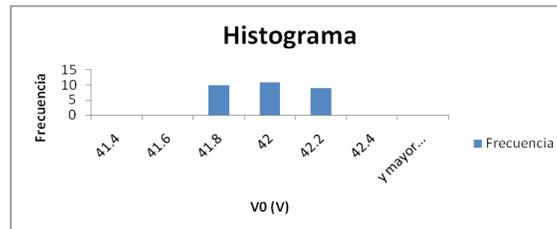


Figura 66. Histograma resultante al simular 42V en V0

Tabla 13. Comportamiento estadístico al simular 42V en V0

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
42	41.867	0.171	1.333	1.074

La figura 67 muestra el histograma resultante al simular 48V en V1. La tabla 14 por su parte muestra el comportamiento estadístico obtenido.

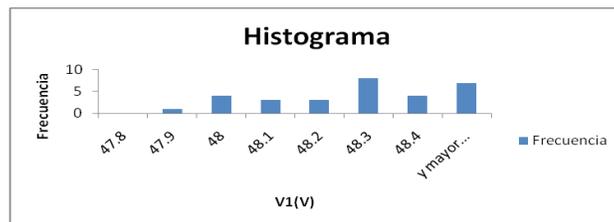


Figura 67. Histograma resultante al simular 48V en V1

Tabla 14. Comportamiento estadístico al simular 48V en V1

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
48	48.264	0.219	1.333	0.932

La figura 68 muestra el histograma resultante al simular 57V en V2. La tabla 15 por su parte muestra el comportamiento estadístico obtenido.

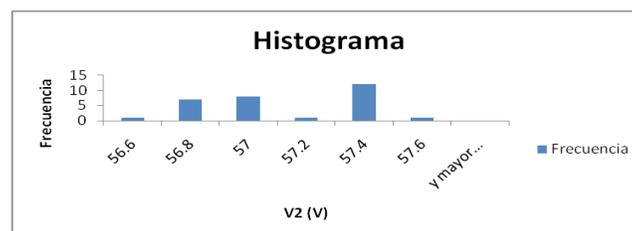


Figura 68. Histograma resultante al simular 57V en V2

Tabla 15. Comportamiento estadístico al simular 57V en V2

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
57	57.038	0.307	1.333	1.292

La figura 69 muestra el histograma resultante al simular 173V en VAB. La tabla 16 por su parte muestra el comportamiento estadístico obtenido.

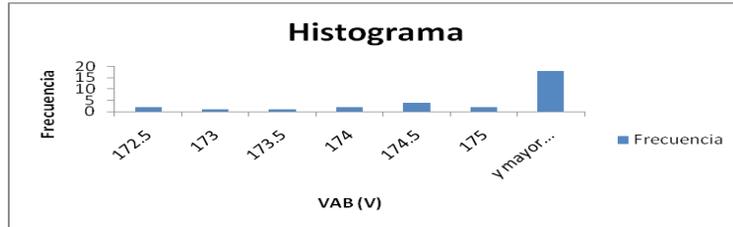


Figura 69. Histograma resultante al simular 173V en VAB

Tabla 16. Comportamiento estadístico al simular 173V en VAB

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
173	175.661	1.943	1.333	0.877

La figura 70 muestra el histograma resultante al simular 208V en VAC. La tabla 17 por su parte muestra el comportamiento estadístico obtenido.

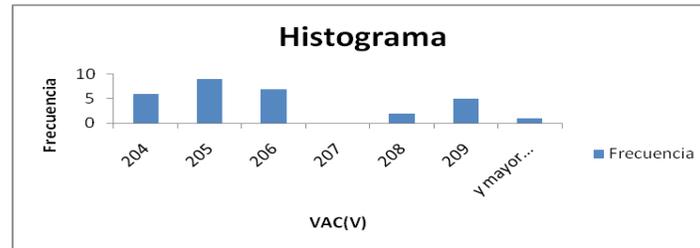


Figura 70. Histograma resultante al simular 208V en VAC

Tabla 17. Comportamiento estadístico al simular 208V en VAC

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
208	205.345	2.247	1.333	0.939

La figura 71 muestra el histograma resultante al simular 247V en VBC. La tabla 18 por su parte muestra el comportamiento estadístico obtenido.

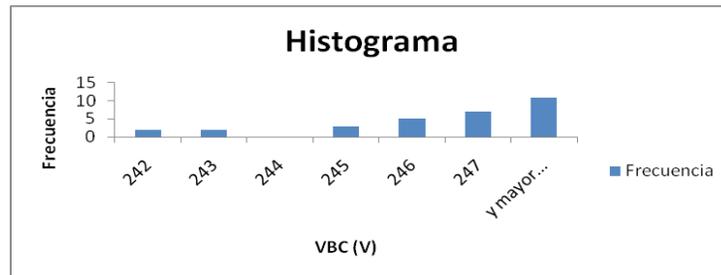


Figura 71. Histograma resultante al simular 247V en VBC

Tabla 18. Comportamiento estadístico al simular 243V en VBC

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
247	246.986	3.141	1.333	1.332

La figura 72 muestra el histograma resultante al simular 105A en I1. La tabla 19 por su parte muestra el comportamiento estadístico obtenido.

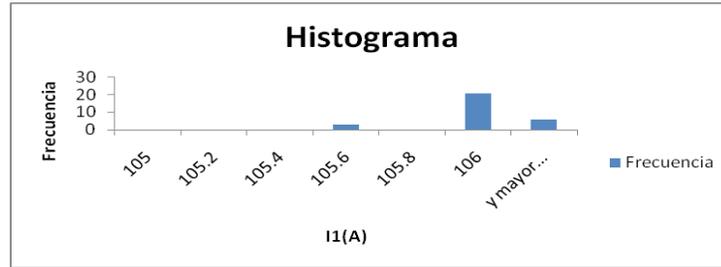


Figura 72. Histograma resultante al simular 105A en I1

Tabla 19. Comportamiento estadístico al simular 105A en I1

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
105	105.92	0.176	1.333	-0.409

La figura 73 muestra el histograma resultante al simular 185 en I2. La tabla 20 por su parte muestra el comportamiento estadístico obtenido.

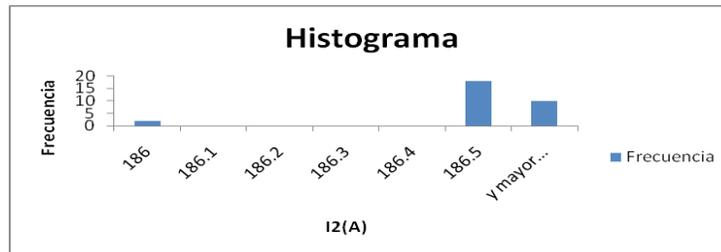


Figura 73. Histograma resultante al simular 185A en I2

Tabla 20. Comportamiento estadístico al simular 185A en I2

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
185	186.544	0.299	1.333	-0.388

La figura 74 muestra el histograma resultante al simular 50Hz en FREQ. La tabla 21 por su parte muestra el comportamiento estadístico obtenido.

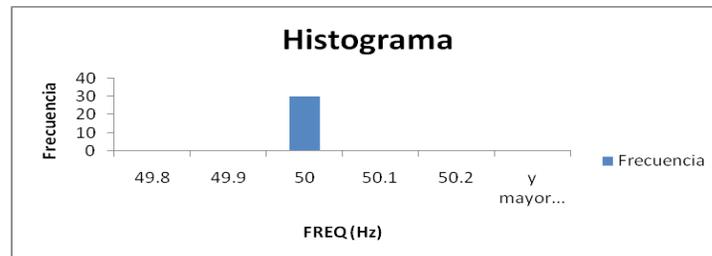


Figura 74. Histograma resultante al simular 50Hz en FREQ

Tabla 21. Comportamiento estadístico al simular 50Hz en FREQ

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
50	50	0	∞	∞

La figura 75 muestra el histograma resultante al simular 900rpm en el *Blower*. La tabla 22 por su parte muestra el comportamiento estadístico obtenido.

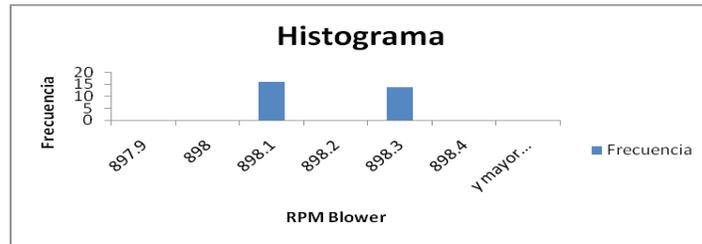


Figura 75. Histograma resultante al simular el blower a 900rpm

Tabla 22. Comportamiento estadístico al simular el *Blower* a 900rpm

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
900	898.144	0.079	1.333	-6.497

La figura 76 muestra el histograma resultante al simular 600rpm en el *SC_Fan*. La tabla 23 por su parte muestra el comportamiento estadístico obtenido.

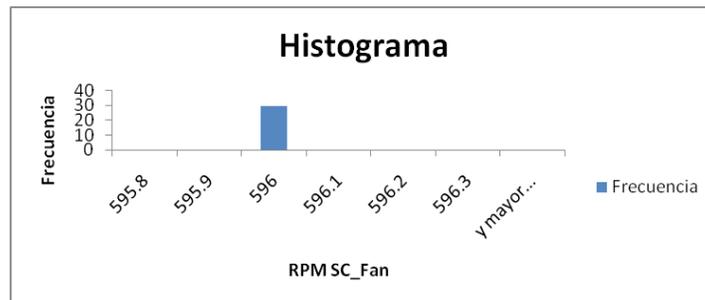


Figura 76. Histograma resultante al simular el SC_Fan a 600rpm

Tabla 23. Comportamiento estadístico al simular el SC_Fan a 600rpm

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
600	595.994	0	∞	∞

La figura 77 muestra el histograma resultante al simular 800rpm en el *SPR1_Fan*. La tabla 24 por su parte muestra el comportamiento estadístico obtenido.

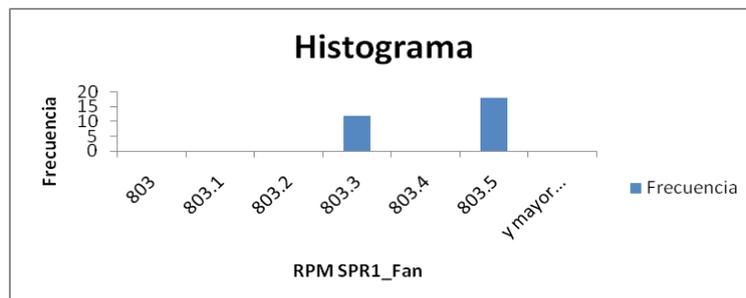


Figura 77. Histograma resultante al simular el SPR1_Fan a 800rpm

Tabla 24. Comportamiento estadístico al simular el SPR1_Fan a 800rpm

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
800	803.355	0.123	1.333	-7.759

Luego de recopilar los datos de la simulación del FLEX se continuó con el sistema microFLEX. Las tablas 25 y 26 muestran los resultados obtenidos a pruebas en estado estable.

Tabla 25. Simulación en estado estable del sistema *microFLEX* con etapa de pruebas apagada

Etapa Simulada	Número monitorización	Nombre de la señal	Significado de la señal	Formato de señal	Condición de fallo	Valor inducido	Acción esperada del SMC	Porcentaje éxito (%)	Prueba Exitosa (S/N)
PDU	32	48VTH_AC_FAULT	Estado del voltaje AC que alimenta la instrumentación	Nivel Lógico TTL	VAB_input < 185V	184V	Se muestra error en software y el sistema se induce a un EMO ⁵³	100	S
					VBC_input < 185V	184V		100	S
					VAC_input < 185V	184V		100	S
PDU	33	48VTH_48V_FAULT	Estado de la fuente de 48VDC de la instrumentación	Nivel Lógico TTL	48VDC_Inst > 5V	6V	Igual que anterior.	100	S
PDU	34	48VTH_TEMP_FAULT	Temperatura del ambiente	Nivel Lógico TTL	48VTH_Temp > 80°C	81°C	Igual que anterior.	100	S
PDU	38	48V_PHASE_LOSS	Ausencia-presencia de las fases	Nivel Lógico TTL	VAB_input < 185V	184V	Igual que anterior.	100	S
					VBC_input < 185V	184V		100	S
					VAC_input < 185V	184V		100	S
PDU	35	48V_DC90_AC_FAULT	Estado del voltaje AC que alimenta el DC90	Nivel Lógico TTL	VAB_input < 185V	184V	Igual que anterior.	100	S
					VBC_input < 185V	184V		100	S
					VAC_input < 185V	184V		100	S
PDU	36	48V_DC90_48V_FAULT	Estado de la fuente de 48VDC del DC90	Nivel Lógico TTL	48V_DC90 > 5V	6V	Igual que anterior.	100	S
PDU	37	48V_DC90_TEMP	Temperatura del ambiente	Nivel Lógico TTL	48VTH_Temp > 80°C	81°C	Igual que anterior.	100	S

⁵³ Parada de emergencia (EMO, por sus siglas en inglés)

Tabla 26. Simulación en estado estable del sistema *microFLEX* con etapa de pruebas encendida

Etapa Simulada	Número monitoreo	Nombre de la señal	Significado de la señal	Formato de la señal	Condición de fallo	Valor inducido	Acción esperada del SMC	Porcentaje éxito (%)	Prueba Exitosa (S/N)
PDU	32	48VTH_AC_FAULT	Estado del voltaje AC que alimenta la instrumentación	Nivel Lógico TTL	VAB_input < 185V	184V	Se muestra error en software, el sistema realiza una secuencia de apagado TSP	100	S
					VBC_input < 185V	184V		100	S
					VAC_input < 185V	184V		100	S
PDU	33	48VTH_48V_FAULT	Estado de la fuente de 48VDC de la instrumentación	Nivel Lógico TTL	48VDC_Inst < 45V	44V	Igual que anterior.	100	S
					48VDC_Inst > 54V	54V		100	S
PDU	34	48VTH_TEMP_FAULT	Temperatura del ambiente	Nivel Lógico TTL	48VTH_Temp > 80°C	81°C	Igual que anterior.	100	S
PDU	38	48V_PHASE_LOSS	Ausencia-presencia de las fases	Nivel Lógico TTL	VAB_input < 185V	184V	Igual que anterior.	100	S
					VBC_input < 185V	184V		100	S
					VAC_input < 185V	184V		100	S
PDU	35	48V_DC90_AC_FAULT	Estado del voltaje AC que alimenta el DC90	Nivel Lógico TTL	VAB_input < 185V	184V	Igual que anterior.	100	S
					VBC_input < 185V	184V		100	S
					VAC_input < 185V	184V		100	S
PDU	36	48V_DC90_48V_FAULT	Estado de la fuente de 48VDC del DC90	Nivel Lógico TTL	48V_DC90 < 45V	44V	Igual que anterior.	100	S
PDU	37	48V_DC90_TEMP	Temperatura del ambiente	Nivel Lógico TTL	48V_DC90_Temp > 80°C	81°C	Igual que anterior.	100	S
USM	30	TestHead_Fan1	RPM de giro del ventilador	Pulsos TTL 3 pulso/rev	RPM < 799.203rpm	603.853rpm	Igual que anterior.	100	S
USM	31	TestHead_Fan2	RPM de giro del ventilador	Pulsos TTL 3 pulso/rev	RPM < 799.203rpm	604.581rpm	Igual que anterior.	100	S

Seguidamente se realizaron pruebas del arranque de las fuentes de CD y ventiladores.

Tabla 27. Simulación del estado transitorio⁵⁴ del sistema *microFLEX*

Etapa Simulada	Número monitorización	Nombre de la señal	Significado de la señal	Formato de señal	Condición de fallo ⁵⁵	Valor inducido ⁵⁶	Acción esperada del SMC	Porcentaje éxito (%)	Prueba Exitosa (S/N)
PDU	33	48VTH_48V_FAULT	Estado de la fuente de 48VDC de la instrumentación	Nivel Lógico TTL	Tiempo_ON <~ 8s	13s	El sistema detiene el proceso de encendido y comienza un proceso de apagado, y muestra la variable que causó el error	100	S
PDU	36	48V_DC90_48V_FAULT	Estado de la fuente de 48VDC del DC90	Nivel Lógico TTL	Tiempo_ON <~ 8s	14s	Igual anterior.	100	S
USM	30	TestHead_Fan1	RPM de giro del ventilador	Pulsos TTL 3 pulso/rev	Tiempo_ON ⁵⁷ <~ 2s	>1min	Igual anterior.	100	S
USM	31	TestHead_Fan2	RPM de giro del ventilador	Pulsos TTL 3 pulso/rev	Tiempo_ON <~ 2s	>1min	Igual anterior.	100	S

⁵⁴ Este estado está referido al arranque de las fuentes y ventiladores durante la secuencia de arranque TSP

⁵⁵ Los tiempos son una aproximación al tiempo de encendido actual de los dispositivos

⁵⁶ Los tiempos aquí mostrados corresponden al tiempo al cual el SMC detiene la espera e induce el error

⁵⁷ En ventiladores se toma como tiempo de encendido el tiempo que le toma alcanzar la velocidad nominal

Por último se realizaron pruebas a las señales de los ventiladores y de las corrientes. La figura 78 muestra el histograma resultante al simular 700rpm en el TH1_Fan. La tabla 28 por su parte muestra el comportamiento estadístico obtenido.

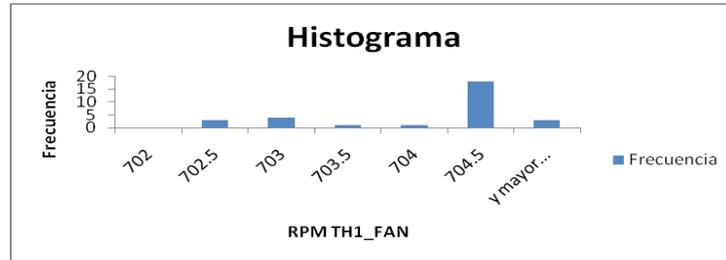


Figura 78. Histograma resultante al simular el TH1_Fan a 700rpm

Tabla 28. Comportamiento estadístico al simular el TH1_Fan a 700rpm

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
700	703.991	0.829	1.333	-0.271

La figura 79 muestra el histograma resultante al simular 1800rpm en el TH2_Fan. La tabla 29 por su parte muestra el comportamiento estadístico obtenido.

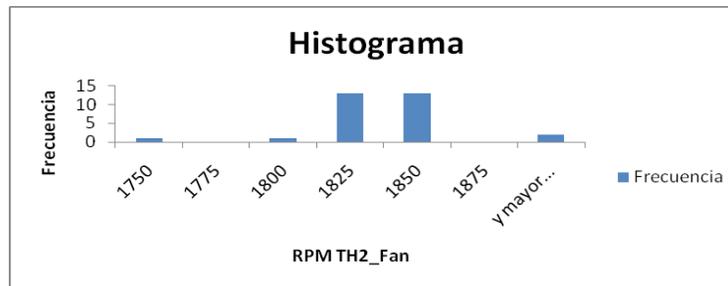


Figura 79. Histograma resultante al simular el TH2_Fan a 1800rpm

Tabla 29. Comportamiento estadístico al simular el TH2_Fan a 1800rpm

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
1800	1824.726	29.188	1.333	1.051

La figura 80 muestra el histograma resultante al simular 105A en 48V_I. La tabla 30 por su parte muestra el comportamiento estadístico obtenido.

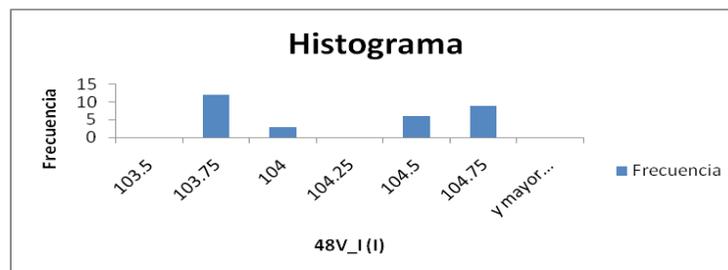


Figura 80. Histograma resultante al simular 105A en 48V_I

Tabla 30. Comportamiento estadístico al simular 105A en 48V_I

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
105	104.134	0.411	1.333	0.631

La figura 81 muestra el histograma resultante al simular 105A en DC90V_I. La tabla 31 por su parte muestra el comportamiento estadístico obtenido.

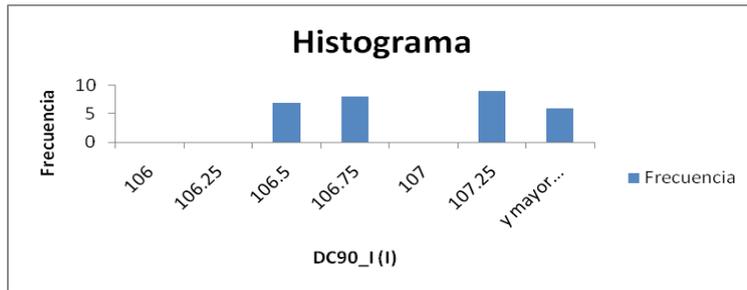


Figura 81. Histograma resultante al simular 105A en DC90V_I

Tabla 31. Comportamiento estadístico al simular 105A en DC90V_I

Valor esperado	Media	Desviación estándar	C _P	C _{PK}
105	106.909	0.413	1.333	-0.207

6.2 Análisis de resultados

Como se pudo observar en los resultados se realizaron varios tipos de pruebas al sistema. Con respecto a las pruebas de simulación de fallos es posible rescatar el buen porcentaje de éxito que se logró. Esto pues cada prueba realizada tuvo un 100% de éxito, lo cual demuestra como los diferentes ensambles del SMC no observaron ningún cambio al conectar el simulador en vez de una plataforma real.

Esto se comprobó pues en Teradyne Costa Rica se cuenta con un sistema UltraFLEX, el cual está en funcionamiento constante. De esta forma es posible observar su comportamiento e interacción con la tarjeta SMC, de manera que es posible comparar su funcionamiento con el del sistema simulador implementado.

En relación al UltraFLEX, las pruebas de fallos resultaron todas positivas, sin embargo es notorio el fallo que se registró entre la medición de las RPM de los ventiladores y el valor que se esperaba (razón por la cual el CPK obtenido). Para esto fue necesario verificar entonces si la frecuencia emitida por el MCU era correcta, lo cual se hizo y resultó correcta.

Seguidamente se cambió el ciclo de trabajo de la señal, aumentando el mismo con la intención de brindar un pulso mayor, por tanto un mayor tiempo al SMC para leer este; sin embargo la lectura seguía presentando el mismo error. De ahí se recurrió al asesor de la empresa en busca de respuestas, luego de lo cual se llegó a la conclusión que existía un fallo en la etapa del SMC del sistema que monitoriza esas frecuencias, el cual se convirtió en una tarea futura para el ingeniero Díaz.

El sistema FLEX por su parte también presentó satisfactorios resultados en la simulación de escenarios de fallos, ya que el SMC detectaba los mismos y actuaba correctamente. También se logró conocer, gracias al simulador, un aproximado real de los tiempos de espera del SMC durante la etapa de transición entre estado apagado y encendido de las fuentes del PDU.

Con respecto al análisis estadístico de sus señales se puede ver como los coeficientes C_{PK} no se encuentran dentro de lo esperado (>1) para algunas de las señales. Para explicar esto debe tenerse en cuenta el recorrido que tiene la señal.

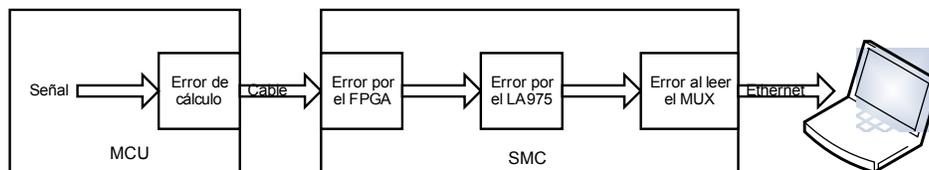


Figura 82. Flujo de paso de las señales

Como se observa en la figura 82, debido al modelo utilizado para generar las frecuencias existe un error en la señal desde el momento que sale del microcontrolador, esto por error de cálculo del microcontrolador y redondeo de operaciones internas realizadas. Luego la señal debe pasar primero por un FPGA a la entrada del SMC. En este paso es posible la pérdida esporádica de pulsos, lo cual genera pequeños errores en la lectura de la misma.

Seguidamente debe ser leída por el SCN (LA975) y luego enviada al SN, el cual finalmente envía mediante el protocolo Ethernet los datos al computador para ser desplegados por el software IG-XL. Todo este trayecto es una fuente de error, aunque sea mínima, a contemplar al momento de realizar la lectura en el computador.

Con respecto a las desviaciones estándar obtenidas se aprecia un rango de valores aceptable, lo que permite que la mayoría de los coeficientes C_P se mantengan en valores también aceptables (>1). Sin embargo es importante mencionar la presencia de fluctuaciones constantes en la señal, estas debidas a saturaciones del microcontrolador por cantidades acumuladas de tareas en momentos específicos del programa. Para mejorar esto se hace necesario buscar alternativas que permitan menos tareas al MCU, ya sea realizar procesos fuera del mismo o colocar otro MCU trabajando en paralelo por ejemplo.

En cuanto a la simulación del sistema microFLEX se obtuvieron resultados satisfactorios (al igual que en los otros sistemas), en lo que se refiere a reproducción de escenarios de fallos. Con respecto a la corriente no se simuló el fallo pues se descubrió que el SMC de este sistema no tenía un límite de fallo establecido.

La simulación de ventiladores y corrientes por su parte mostraron valores no muy buenos en cuanto a coeficientes C_P y C_{PK} . En relación a los valores de los ventiladores se justifica mediante el mismo diagrama de la figura 82, donde se contemplan errores tanto de cálculo como de pérdidas de información en el trayecto de entrada de la señal al SMC.

Por tanto el error en las corrientes se debe a errores introducidos por el potenciómetro digital, esto debido a inexactitud en su valor resistivo debido a desacoples del integrado en el sistema. De igual forma la conexión del amplificador operacional introduce otro factor de error, pues este cuenta con un pequeño *offset* ($\sim 1mV$) en su salida, el cual varía ligeramente el valor final emitido en la resistencia de 158Ω a la entrada del SMC.

En términos generales los resultados obtenidos se encuentran dentro de rangos aceptables, y lo más importante a rescatar es el cumplimiento de su objetivo principal al permitir simular un sistema correctamente, y con ello poder realizar depuraciones a los ensambles SMC.

Si bien es cierto el tiempo de validación logrado al implementar el sistema simulador no se puede medir concretamente, se puede hablar de una reducción real de aproximadamente un 50% de tiempo.

Capítulo 7. Conclusiones y recomendaciones

7.1 Conclusiones

- Se comprobó que es posible simular la conexión eléctrica entre el SMC y la plataforma correspondiente.
- Se determinó que la solución propuesta consume muchos recursos del microcontrolador cuando se simula el sistema FLEX, esto debido a la generación de gran cantidad de frecuencias.
- Se comprobó experimentalmente que el sistema simulador es capaz de reproducir escenarios de error para depurar el SMC.

7.2 Recomendaciones

- Se recomienda buscar alternativas de solución que permitan consumir menos recursos del microcontrolador para mejorar así la estabilidad del sistema.
- Se recomienda añadir una interfaz de software al simulador de manera que se brinde más flexibilidad al mismo.
- Se recomienda llevar el sistema a un montaje en circuito impreso, de manera que presente un acabado profesional y más estable.

Bibliografía

Manuales y Hojas de datos

1. *UltraFLEX Service Manual*. Boston, Massachusetts: Teradyne Inc, 2008.
2. *FLEX: Signals Solutions*. Boston, Massachusetts: Teradyne Inc, 2006.
3. *microFLEX: Signals Solutions*. Boston, Massachusetts: Teradyne Inc, 2007.
4. Robert Broadbent. *949-975-03 Schematics*. Boston, Massachusetts: Teradyne Inc, 2009.
5. Rath & Strong. *Six Sigma Pocket Guide*. Lexington, Massachusetts. 2006.
6. Microchip. *MPLAB C32 C Compiler User's Guide*. EEUU. 2007.
7. Microchip. *PIC32 Peripheral Libraries for MPLAB C32 Compiler*. EEUU. 2007.
8. Texas Instruments. *SN74148 8-Line to 3-Line Priority Encoder*. Texas, EEUU. 2004.
9. Microchip. *MPC41010 Single Digital Potentiometer with SPI™ Interfase*. EEUU. 2003.
10. Panasonic. *11mm Square GS Encoders*. EEUU. 2008.

Apéndices

Apéndice A.1 Valores obtenidos en simulación de ventiladores del sistema UltraFLEX

Nombre de la señal	Condición de fallo	Valor Inducido	Muestra 1	Muestra 2	Muestra 3	Muestra 4	Muestra 5	Muestra 6	Muestra 7	Muestra 8	Muestra 9	Muestra 10	
Blower_J3	RPM < 648rpm	600rpm	520.064	520.220	520.168	519.803	520.116	520.168	520.116	520.064	520.064	520.325	
			520.116	520.012	520.325	519.959	520.272	519.855	520.168	520.064	520.064	520.064	
			520.168	520.168	520.168	520.481	520.168	519.959	520.116	520.064	520.064	520.168	
		1500rpm	1300.22 5	1300.22 5	1300.12 5	1300.22 5	1300.55 1	1300.55 1	1301.20 4	1300.22 5	1299.24 8	1300.22 5	1300.225
			1301.20 4	1300.22 5	1300.12 5	1300.22 5	1300.22 5	1300.22 5	1300.22 5	1300.22 5	1300.87 8	1300.22 5	1300.551
			1300.55 1	1300.22 5	1300.22 5	1300.55 1	1300.22 5	1300.22 5	1300.22 5	1300.22 5	1300.22 5	1300.55 1	1301.531
SC1Fan_J4_RPM	RPM < 432rpm	400rpm	343.857	343.857	343.857	343.857	343.857	343.857	343.949	343.857	343.857	343.675	
			343.766	343.857	343.584	343.857	343.493	343.949	343.857	343.857	343.857	343.857	
			343.857	343.766	343.766	343.857	343.949	343.949	343.857	343.857	343.857	343.766	
		1500rpm	1292.12 3	1292.123									
			1292.12 3	1292.123									
			1292.12 3	1292.12 3	1292.12 3	1292.12 3	1292.12 3	1292.12 3	1293.41 3	1292.12 3	1292.12 3	1292.12 3	1292.123
SC2Fan_J5_RPM	RPM < 432rpm	400rpm	343.857	343.857	343.857	343.675	343.949	343.857	343.857	343.857	343.857	343.857	
			343.766	343.857	343.857	343.675	343.857	343.949	343.857	343.766	343.857	343.857	
			343.857	343.857	343.857	343.857	343.766	343.857	343.857	343.857	343.857	343.949	
		1500rpm	1292.12 3	1292.12 3	1292.12 3	1292.12 3	1292.12 3	1292.12 2	1289.55 3	1292.12 3	1292.12 3	1292.12 3	1292.123
			1289.55 2	1292.12 3	1292.123								
			1292.12 3	1290.83 6	1292.12 3	1292.12 3	1292.12 3	1292.12 3	1292.12 3	1292.12 3	1294.70 5	1292.12 3	1292.123

Apéndice A.2 Valores obtenidos en simulación de variables del sistema FLEX

Nombre de la señal	Condición de fallo	Valor inducido	Muestra 1	Muestra 2	Muestra 3	Muestra 4	Muestra 5	Muestra 6	Muestra 7	Muestra 8	Muestra 9	Muestra 10	
PDU_V0	V0 < 45.216V V0 > 55.024V	42	41.925	42.117	41.893	42.021	41.830	41.830	41.672	41.862	41.672	41.704	
			41.672	41.641	41.862	42.053	41.893	41.893	42.117	41.641	42.053	41.893	
			42.085	41.641	41.893	42.117	42.085	41.862	41.672	42.085	41.735	41.610	
		48	48.128	48.045	48.594	48.254	48.296	48.254	48.003	48.339	48.045	48.423	
			48.594	48.045	48.045	48.339	48.296	48.212	48.636	48.212	48.296	48.296	
			48.423	48.296	48.594	48.594	48.339	48.423	48.128	48.003	48.296	48.296	
		57	57.424	57.305	56.717	56.659	56.717	57.424	57.424	57.424	57.424	57.069	57.187
			57.242	56.776	57.010	57.010	57.010	56.601	56.659	56.659	57.424	57.069	
			57.069	56.659	56.834	57.010	56.486	57.128	57.424	57.424	57.069	56.893	
PDU_V1	V1 < 45.198V V1 > 54.997V	42	41.862	41.862	41.893	41.641	41.798	41.672	41.862	41.720	41.862	41.862	
			41.704	41.641	41.862	41.657	41.830	41.688	41.846	42.085	41.830	42.069	
			42.053	41.735	41.862	41.641	42.069	41.862	41.862	41.767	42.069	41.641	
		48	48.423	48.275	47.878	47.982	48.212	48.594	48.296	47.982	48.149	48.191	
			48.296	48.212	48.296	48.296	48.381	48.594	48.296	48.191	48.445	48.003	
			48.722	48.381	47.982	47.920	48.594	48.086	48.045	48.360	48.318	48.530	
		57	56.630	56.717	57.365	56.601	56.717	57.394	57.394	56.747	56.630	56.834	
			57.394	57.394	57.484	57.010	57.098	56.717	57.010	57.394	56.630	56.630	
			57.098	56.630	57.187	56.601	56.863	57.010	56.659	56.717	57.454	56.747	
PDU_V2	V2 < 45.198V V2 > 54.997V	42	41.878	42.133	41.783	41.657	41.704	41.862	41.641	42.117	41.735	41.767	
			41.641	41.798	41.657	41.688	41.862	41.814	41.688	41.862	42.085	41.767	
			41.862	41.625	41.878	41.672	42.069	41.641	41.704	42.069	42.085	41.862	
		48	48.003	48.572	48.275	48.275	48.594	48.594	48.296	48.003	48.107	48.423	
			48.170	48.066	48.275	48.275	48.275	48.170	48.423	48.423	48.296	48.636	
			48.296	48.086	48.572	48.594	48.275	48.402	48.296	48.296	48.572	48.296	
		57	56.601	56.747	57.305	56.515	57.365	56.601	57.216	56.863	57.365	57.394	
			56.951	57.246	57.574	56.630	56.951	56.980	57.394	57.276	57.216	57.365	
			56.630	56.659	57.157	56.992	56.980	56.659	56.863	56.980	57.276	57.394	

Apéndice A.2 Continuación. Valores obtenidos en simulación de variables del sistema FLEX

Nombre de la señal	Condición de fallo	Valor inducido	Muestra 1	Muestra 2	Muestra 3	Muestra 4	Muestra 5	Muestra 6	Muestra 7	Muestra 8	Muestra 9	Muestra 10	
PDU_VAB	VAB < 180.013V VAB > 240.017V	173	175.110	175.555	172.274	172.489	174.447	178.042	179.196	177.699	175.444	174.337	
			177.130	178.042	174.118	173.790	177.585	177.357	173.354	172.596	179.196	177.699	
			175.000	177.699	173.899	175.444	174.668	176.002	175.778	174.447	175.890	175.555	
		208	205.270	201.383	204.511	208.051	209.946	204.209	201.972	208.051	208.207	207.894	
			207.271	202.654	203.608	205.118	204.511	203.308	205.423	206.035	205.423	205.423	
			205.493	204.511	208.051	205.423	208.051	207.738	204.360	203.010	207.894	204.209	
		247	247.095	245.341	246.654	250.907	247.095	245.124	245.996	246.875	247.095	247.095	247.095
			247.316	244.690	247.095	246.875	247.095	244.906	246.875	250.000	246.654	246.434	
			247.982	246.654	246.875	245.124	245.341	247.095	247.316	250.907	246.434	244.906	
PDU_VAC	VAC < 180.013V VAC > 240.017V	173	174.889	174.778	172.489	175.110	174.778	173.028	174.889	172.920	175.444	172.596	
			174.555	175.000	175.555	173.028	174.337	175.110	174.447	174.778	177.699	173.137	
			175.000	174.118	177.699	172.920	174.558	178.157	174.558	174.118	175.667	177.585	
		208	208.521	204.663	207.738	205.576	205.118	201.383	208.679	205.576	204.209	204.209	
			204.996	208.051	204.814	204.360	210.106	205.423	208.051	205.576	203.308	205.882	
			207.894	201.383	208.051	202.267	203.908	205.270	204.360	204.966	201.530	204.511	
		247	246.654	246.434	245.996	246.215	246.434	244.906	245.341	253.437	246.215	250.679	
			245.124	246.875	244.690	243.827	247.316	241.695	245.777	246.434	246.875	247.095	
			247.095	244.690	247.982	245.777	250.907	244.690	247.095	246.434	242.756	246.654	
PDU_VBC	VBC < 180.013V	173	174.228	174.889	175.444	178.964	172.489	175.890	174.668	175.555	177.471	178.042	

	VBC > 240.017V		174.778	177.243	174.668	175.667	177.927	173.354	175.22 1	178.387	175.778	177.471
			177.243	173.354	177.813	174.778	174.228	178.272	175.22 1	177.471	175.000	174.447
		208	208.364	203.908	205.118	206.189	210.106	204.059	209.94 6	204.209	203.758	208.364
			210.266	203.908	208.364	204.059	205.576	205.423	204.20 9	210.746	205.118	204.966
			205.729	204.663	208.679	208.521	208.836	205.423	208.52 1	205.729	203.758	208.679
		247	250.907	241.695	244.906	246.215	245.777	245.559	241.90 7	251.821	246.434	246.434
			250.679	251.363	245.559	251.363	242.970	246.875	247.09 5	246.434	244.906	247.316
			247.095	246.434	245.996	245.341	246.875	253.205	242.75 6	247.095	244.906	253.669

Apéndice A.3 Valores obtenidos en simulación de variables del sistema microFLEX

Nombre de la señal	Condición de fallo Sistema Encendido	Valor emitido Deseado	Muestra 1	Muestra 2	Muestra 3	Muestra 4	Muestra 5	Muestra 6	Muestra 7	Muestra 8	Muestra 9	Muestra 10	
TestHead_Fan1	RPM < 799.203rpm	700	703.859	704.353	702.873	704.353	704.353	704.353	704.353	704.353	705.344	702.380	
			704.353	702.873	704.353	703.366	704.353	704.353	704.353	704.353	704.848	704.353	702.380
			704.353	702.873	704.353	704.353	702.873	704.353	704.353	704.353	704.353	705.344	704.353
		1800	1813.743	1833.638	1826.958	1813.743	1833.638	1833.638	1826.958	1826.958	1826.958	1823.636	1813.743
			1833.638	1825.958	1826.958	1820.326	1833.638	1826.958	1826.958	1826.958	1836.996	1823.636	1813.743
			1833.638	1826.958	1813.743	1797.491	1823.636	1826.958	1826.958	1836.996	1813.743	1826.958	
TestHead_Fan2	RPM < 799.203rpm	700	705.344	704.353	702.873	704.353	704.848	704.848	704.848	704.848	704.353	703.859	
			704.353	703.859	702.873	704.353	704.848	704.848	704.353	704.848	704.353	703.859	
			704.353	702.873	704.353	704.353	704.848	704.848	704.353	702.380	703.859	704.353	
		1800	1817.028	1823.636	1826.958	1707.743	1836.996	1813.743	1826.958	1836.996	1836.996	1836.996	1830.291
			1823.636	1820.326	1826.958	1823.636	1826.958	1826.958	1826.958	1892.452	1823.636	1830.291	
			1823.636	1820.326	1797.491	1823.636	1807.207	1826.958	1826.958	1892.452	1823.636	1820.326	
48VTH_CURRENT	48V_I > 223.922A	105	104.497	104.551	104.497	104.551	104.497	103.731	103.731	103.731	103.786	103.677	
			104.497	104.551	104.606	104.551	104.551	103.731	103.731	103.786	103.786	103.677	
			104.551	104.497	104.606	104.497	104.551	103.731	103.677	103.731	103.731	103.731	
		145	146.110	146.164	146.164	146.329	146.329	145.126	145.180	145.344	145.290	144.961	
			146.110	146.329	146.164	146.329	146.329	145.235	145.180	145.235	145.290	145.235	
			146.164	146.164	146.329	146.329	146.329	145.235	145.344	145.235	144.961	145.344	
48V_DC90_CURRENT	DC90_I > 223.922A	105	107.504	107.122	107.122	107.122	107.504	106.684	106.346	106.739	106.356	106.684	
			107.122	107.122	107.504	107.122	107.122	106.356	106.465	106.684	106.356	106.684	
			107.122	107.122	107.504	107.504	107.504	106.356	106.739	106.684	106.684	106.356	
		145	149.719	149.938	149.774	149.774	149.883	148.680	148.899	149.063	148.625	148.844	
			149.719	149.774	149.774	149.774	149.883	148.680	148.899	148.844	148.625	149.063	
			149.938	149.774	149.774	149.883	149.774	148.680	149.063	148.844	148.844	148.844	

Apéndice A.4 Tabla de variables del sistema UltraFLEX SC & HC

Señal	Significado	Formato de la señal	Dirección de la señal	Conector del SMC
TSP_ON	Inicia una secuencia TSP ON	Activo en Bajo TTL	Panel → SMC	J10 – Pin 1
TSP_OFF	Inicia una secuencia TSP OFF	Activo en Bajo TTL	Panel → SMC	J10 – Pin 3
LED_Anode	Ánodo del TSP LED	TTL	SMC → Panel	J10 – Pin 5
LED_Cathode	Cátodo del TSP LED	TTL	SMC → Panel	J10 – Pin 6
Switched_AC_Energized	Solicitud de arranque de fuente AC	Activo en Alto TTL	SMC → PDU	J11 – Pin 1
48VDC_Energized	Solicitud de arranque de fuente DC	Activo en Alto TTL	SMC → PDU	J11 – Pin 13
48VDC_Power_Good	Voltaje 48VDC arriba de los 40VDC	Activo en Bajo TTL	PDU → SMC	J11 – Pin 19
Thermal_Fault	Activa si el sensor SCR está sobre los 190F o el sensor XFMR está sobre los 320F	Activo en Bajo TTL	PDU → SMC	J11 – Pin 22
TH_Fan_In	TH Blower Fan RPM	Frecuencia 1pulso-rev 50% duty cycle	Impeller → SMC	J3 – Pin 1
SC_Fan_In	SC Fan RPM	Frecuencia 2pulso-rev 50% duty cycle	Fan → SMC	J4 – Pin 1
SPR_Fan_In	SPR Fan RPM	Frecuencia 2pulso-rev 50% duty cycle	Fan → SMC	J5 – Pin 1
EMO	Emergency Off attention	Relay, normalmente cerrado	SMC → EMO loop	J1 – Pin 1 (In) J1 – Pin 2 (Out)

Apéndice A.5 Tabla de variables del sistema UltraFLEX HD

Señal	Significado	Formato de la señal	Dirección de la señal	Conector del SMC
TSP_ON	Inicia una secuencia TSP ON	Activo en Bajo TTL	Panel → SMC	J10 – Pin 1
TSP_OFF	Inicia una secuencia TSP OFF	Activo en Bajo TTL	Panel → SMC	J10 – Pin 3
LED_Anode	Ánodo del TSP LED	TTL	SMC → Panel	J10 – Pin 5
LED_Cathode	Cátodo del TSP LED	TTL	SMC → Panel	J10 – Pin 6
48VDC_Energized	Solicitud de arranque de fuente AC	Activo en Alto TTL	SMC → PDU	J11 – Pin 13
Fan Speed Control 1	Pulsos que simbolizan instrumentos detectados	Pulsos TTL	SMC → PDU	J11 – Pin 2
48V_Current_Monitor	Provee un voltaje a una resistencia 158Ω proporcional a la carga	Voltaje Analógico	PDU → SMC	J11 – Pin 5
48VDC_Power_Fault	Falla en fuente DC	Activo en Alto TTL	PDU → SMC	J11 – Pin 19
TH1_Fan_In	TH1 Blower Fan RPM	Frecuencia 1pulso-rev 50% duty cycle	Impeller → SMC	J3 – Pin 1
TH2_Fan_In	TH2 Blower Fan RPM	Frecuencia 1pulso-rev 50% duty cycle	Impeller → SMC	J4 – Pin 1
SC_Fan_In	SC Fan RPM	Frecuencia 2pulso-rev 50% duty cycle	Fan → SMC	J5 – Pin 1
EMO	Emergency Off attention	Relay, normalmente cerrado	SMC → EMO loop	J1 – Pin 1 (In) J1 – Pin 2 (Out)

Apéndice A.6 Tabla de variables del sistema FLEX

Señal	Significado	Formato de la señal	Dirección de la señal	Conector del SMC
TSP_ON	Inicia una secuencia TSP ON	Activo en Bajo TTL	Panel → SMC	J10 – Pin 1
TSP_OFF	Inicia una secuencia TSP OFF	Activo en Bajo TTL	Panel → SMC	J10 – Pin 3
LED_Anode	Ánodo del TSP LED	TTL	SMC → Panel	J10 – Pin 5
LED_Cathode	Cátodo del TSP LED	TTL	SMC → Panel	J10 – Pin 6
48VDC_Pwr_ON	Solicitud para encender fuente DC	15Khz (+/-2%), 5V	SMC → PDU	J11 – Pin 13
K1_ON	Solicitud para encender fuente AC	15Khz (+/-2%), 5V	SMC → PDU	J11 – Pin 1
V0	Frecuencia proporcional al voltaje	5V, squarewave, 10 mV/Hz 0V – 100Hz (-0Hz,100Hz) 48V – 4.9KHz (± 100 Hz) 100V – 10.1 KHz (±100Hz)	PDU → SMC	J11 – Pin 16
V1	Frecuencia proporcional al voltaje	5V, squarewave, 10 mV/Hz 0V – 100Hz (-0Hz,+100Hz) 48V – 4.9KHz (± 100 Hz) 100V – 10.1 KHz (±100Hz)	PDU → SMC	J11 – Pin 3
V2	Frecuencia proporcional al voltaje	5V, squarewave, 10 mV/Hz 0V – 100Hz (-0Hz,+100Hz) 48V – 4.9KHz (± 100 Hz) 100V – 10.1 KHz (±100Hz)	PDU → SMC	J11 – Pin 18
Vab	Frecuencia proporcional al voltaje	5V, squarewave, 25 mV/Hz 0V – 100Hz (-0Hz, 100Hz) 208V – 8.42 KHz (±100Hz) 250V – 10.1 KHz (±100Hz)	PDU → SMC	J11 – Pin 19
Vac	Frecuencia proporcional al voltaje	5V, squarewave, 25 mV/Hz 0V – 100Hz (-0Hz,+100Hz) 208V – 8.42 KHz (±100Hz) 250V – 10.1 KHz (±100Hz)	PDU → SMC	J11 – Pin 8
Vbc	Frecuencia proporcional al voltaje	5V, squarewave, 25 mV/Hz 0V – 100Hz (-0Hz, 100Hz) 208V – 8.42 KHz (±100Hz) 250V – 10.1 KHz (±100Hz)	PDU → SMC	J11 – Pin 21
I1	Frecuencia proporcional a la corriente	5V, squarewave, 15 mA/Hz 0A – 100Hz (-0Hz,+200Hz) 130A – 8.77 KHz (±200Hz) 150 A – 10.1 KHz(±200Hz)	PDU → SMC	J11 – Pin 5
I2	Frecuencia proporcional a la corriente	5V, squarewave, 15 mA/Hz 0A – 100Hz (-0Hz,+200Hz) 130A – 8.77 KHz (±200Hz) 150 A – 10.1 KHz(±200Hz)	PDU → SMC	J11 – Pin 7
Maint	Código de mantenimiento	Digit 1 (0.6S on, 0.5S off) 1 Fan failure 2 Overtemperature 1S off between digits Digit 2 (0.6S on, 0.5S off) 1-10 Failed item number 2S between trouble codes	PDU → SMC	J11 – Pin 10
Freq	Frecuencia proporcional a la frecuencia de la línea de AC	5V, squarewave 50Hz ± 3Hz – 50Hz (± 1%) 60Hz ± 3Hz – 60Hz (± 1%)	PDU → SMC	J11 – Pin 22
TH_Fan_In	TH Blower Fan RPM	Frecuencia 1 pulso-rev 50% duty cycle	Impeller → SMC	J3 – Pin 1
SC_Fan_In	SC Fan RPM	Frecuencia 3 pulso-rev 50% duty cycle	Fan → SMC	J4 – Pin 1
SC_Fan_In	SC Fan RPM	Frecuencia 3 pulso-rev 50% duty cycle	Fan → SMC	J5 – Pin 1
EMO	Emergency Off attention	Relay, normalmente cerrado	SMC → EMO loop	J1 – Pin 1 J1 – Pin 2

Apéndice A.7 Tabla de variables del sistema microFLEX

Señal	Significado	Formato de la señal	Dirección de la señal	Conector del SMC
TSP_ON	Inicia una secuencia TSP ON	Activo en Bajo TTL	Panel → SMC	J10 – Pin 1
TSP_OFF	Inicia una secuencia TSP OFF	Activo en Bajo TTL	Panel → SMC	J10 – Pin 3
LED_Anode	Ánodo del TSP LED	TTL	SMC → Panel	J10 – Pin 5
LED_Cathode	Cátodo del TSP LED	TTL	SMC → Panel	J10 – Pin 6
48V_ON	Solicitud arranque 48V	PhotoMOS closure	SMC → PDU	J11 – Pin 13
48VDC_Interlock	Control 48V ON	Down via pull-down resistor on SMC	SMC → PDU	J11 – Pin 19
DC90_48V_ON	Solicitud arranque DC90 48V	PhotoMOS closure	SMC → PDU	J11 – Pin 2
DC90_48V_Interlock	Control DC90 48V ON	Down via pull-down resistor on SMC	SMC → PDU	J11 – Pin 15
AC_ON	Solicitud arranque AC	Relay closure	SMC → PDU	J11 – Pin 1
48V_Ovr_Tmp	Ambiente tmp excediendo 85°C ± 5°C	Activo en Alto TTL	PDU → SMC	J11 – Pin 3
48V_Phase_Loss	Caída de una fase	Activo en Alto TTL	PDU → SMC	J11 – Pin 7
48V_Output_Fault	Regulación fuera del 5%	Activo en Alto TTL	PDU → SMC	J11 – Pin 8
48V_AC_Pwr_Fail	Caída de una fase	Activo en Alto TTL	PDU → SMC	J11 – Pin 21
Output_I_Monitor	Corriente de carga de fuente de 48VDC	100µA per Ampere	PDU → SMC	J11 – Pin 5
DC90_Ovr_Tmp	Ambiente tmp excediendo 85°C ± 5°C	Activo en Alto TTL	PDU → SMC	J11 – Pin 5
Dc90_48V_Output_Fault	Regulación fuera del 5%	Activo en Alto TTL	PDU → SMC	J11 – Pin 16
DC90_48V_AC_Pwr_Fail	Caída de una fase	Activo en Alto TTL	PDU → SMC	J11 – Pin 22
Dc90_Output_I_Monitor	Corriente de carga de fuente de DC90 48VDC	100µA per Ampere	PDU → SMC	J11 – Pin 18
Fan0_Tach	T.H Fan1 RPM's	Frecuencia 3 pulso-rev 50% duty cycle	USM → SMC	J24 – Pin 31
Fan0_State	Control T.H Fan 1	Activo en Alto TTL	SMC → USM	J24 – Pin 35
Fan1_Tach	T.H Fan 2 RPM's	Frecuencia 3 pulso-rev 50% duty cycle	USM → SMC	J24 – Pin 32
Fan1_State	Control T.H Fan 2	Activo en Alto TTL	SMC → USM	J24 – Pin 36
USM_Present	Notifica presente del USM	Activo en Bajo TTL	USM → SMC	J24 – Pin 25
EMO	Emergency Off attention	Relay, normalmente cerrado	SMC → EMO loop	J1 – Pin 1 J1 – Pin 2

Apéndice A.8 Ecuaciones de cálculo de CP y CPK

Para el cálculo de C_P se utilizó la siguiente ecuación:

$$C_P = (USL - LSL)/6S_T \quad (1)$$

Donde :

S_T : Desviación Estándar
USL: límite superior especificado
LSL: límite inferior especificado

Para el cálculo de C_{PK} se utilizó la siguiente ecuación:

$$C_{PK} = \text{Mínimo } \{CPU, CPL\} \quad (2)$$

Donde:

$$CPU = (USL - \bar{X})/3S_T \quad (3)$$

Y:

$$CPL = (\bar{X} - LSL)/3S_T \quad (4)$$

Para los cálculos de los límites superior e inferior se utilizó el valor esperado $\pm 4S_T$.