

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica

**Desarrollo de una plataforma de prueba para un circuito
integrado de uso específico de ultra baja potencia mediante
instrumentación definida por software**

Informe de Proyecto de Graduación para optar por el título de
Ingeniero en Electrónica con el grado académico de Licenciatura

Minor Coto Chavarría

Cartago, 25 de junio, 2013

Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía he procedido a indicar las fuentes mediante las respectivas citas bibliográficas. En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



Minor Coto Chavarría

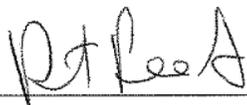
Cartago, 25 de junio de 2013

Céd: 1-1262-0148

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería Electrónica
Proyecto de Graduación
Tribunal Evaluador

Proyecto de Graduación defendido ante el presente Tribunal Evaluador como requisito para optar por el título de Ingeniera en Electrónica con el grado académico de Licenciatura, del Instituto Tecnológico de Costa Rica.

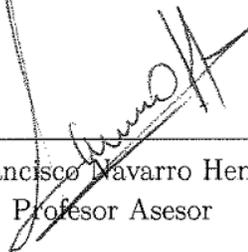
Miembros del Tribunal



M.Sc. Roberto Pereira Arroyo
Profesor Lector



Dr. Alfonso Chacón Rodríguez
Profesor Lector



Lic. Francisco Navarro Henríquez
Profesor Asesor

Los miembros de este Tribunal dan fe de que el presente trabajo de graduación ha sido aprobado y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica.

Cartago, 25 de junio de 2013

Resumen

Este informe describe el proceso del desarrollo de una plataforma de pruebas para un circuito integrado de uso específico (ASIC) de ultra bajo consumo, destinado a la creación de una red de sensores para el reconocimiento electrónico de patrones de disparos como medio para la detección temprana de caza ilegal en bosques protegidos. La etapa de verificación y caracterización del ASIC permitirá definir si es requerido algún ajuste en el diseño, así como verificar optimizaciones realizadas en proyectos de graduación anteriores.

La plataforma se dimensionó y diseñó para ser escalable tanto en hardware como en software, para permitir a futuros usuarios modificar o expandir el sistema a necesidad. El sistema permite generar señales de polarización, referencia y estímulo tanto de tensión como de corriente, asegurándose de establecer límites para asegurar la integridad del dispositivo bajo prueba (DUT), además de permitir la visualización en tiempo real de las variables adquiridas, el respaldo de la información y el análisis de datos.

Fue necesario dimensionar y seleccionar el equipo de medición para cumplir con especificaciones de precisión, exactitud y escalabilidad. Las rutinas de software permiten configurar el hardware, definir parámetros y visualizar los resultados de la prueba. Se diseñó un circuito impreso tomando en cuenta consideraciones para evitar efectos parásitos y dar continuidad a las técnicas de blindaje de los equipos de National Instruments.

El uso del blindaje adecuado representa la clave para poder realizar mediciones en el orden de sub-nano amperios.

Palabras clave: Plataforma de automatizada de pruebas (ATE), caracterización de semiconductores, EMI, RFI, blindaje, corrientes de fuga, amplificador operacional de transconductancia (OTA), capacitancia parásita.

Abstract

This report shows the design process followed in the development of a test platform for an ultra-low power application specific integrated circuit (ASIC). This integrated circuit is intended to be used in the pattern recognition of gunshots, as part of a wireless sensor network for the early alarm of illegal hunting on protected forests. The test and characterization of this ASIC will allow designers to determine if adjustments are required to meet design specifications and to verify the result of previous optimizations in similar graduation projects.

The platform was designed to be scalable (both hardware and software) to allow users modify or expand the system to necessity. It is possible to generate voltage or current signals for biasing, reference, or stimulus; and to set limits to ensure the integrity of the device under test (DUT). The software displays important information in real time and allows the user to save data to digital files and to apply data analysis.

It was necessary to dimension and select the instruments to accomplish accuracy, precision, and scalability aspects. The software routines allow the user to configure the hardware, define test parameters and to visualize the test results. A custom printed circuit board was designed to avoid stray effects and to match with the shielding techniques of National Instrument's devices.

Proper shielding represents the key to achieve measurements in the order of sub-nano amps.

Keywords: Automated test platform (ATE), semiconductor characterization, EMI, RFI, shielding, current leakage, operational transconductance amplifier (OTA), stray capacitance.

a mi madre, mi hermana y mi novia...

Agradecimientos

Este proyecto no hubiese sido posible sin el apoyo y colaboración de muchas personas, a todos les doy mi más cordial agradecimiento; no obstante quiero mencionar a algunas personas que destacaron.

En primer lugar siempre a Dios por permitirme culminar esta importante etapa en mi vida, y por la enorme bendición de colocar en mi camino personas que me han apoyado incondicionalmente.

A los profesores Dr. Alfonso Chacón, al M.Sc. Roberto Pereira y al MBA. Francisco Navarro por su colaboración, consejos y constantes acotaciones que ayudaron a encaminar este proyecto.

A Berny por la disposición de brindarme siempre datos oportunos. Amigos y compañeros del ITCR que durante la carrera se volvieron pilares en el desarrollo de esta campaña. A mi compañero de proyecto, Esteban Rivel, por ayudarme a probar el blindaje de mi aplicación con sus constantes emisiones EMI y RFI, y demás acotaciones a este proyecto.

A todas las personas de NI-CR, por su cálido acogimiento y en especial al equipo de AEs. Quiero agradecer a Jessica y Giuseppe por brindarme la oportunidad y los recursos necesarios para finiquitar este proyecto. En especial quiero agradecer a mi mentor Esteban Baradín por su interés mostrado y esos “300 segundos” que ayudaron a solventar tantas dudas.

...a todos infinitas gracias...!!!

Minor Coto Chavarría

Cartago, 25 de junio de 2013

Índice general

| | |
|---|-----------|
| Índice de figuras | iii |
| Índice de tablas | v |
| 1 Introducción | 1 |
| 1.1 Problema existente e importancia de la solución | 1 |
| 1.2 Generalidades del problema | 2 |
| 1.3 Plataforma escalable | 2 |
| 1.4 Solución seleccionada | 3 |
| 2 Meta y objetivos | 5 |
| 2.1 Meta | 5 |
| 2.2 Objetivo general | 5 |
| 2.3 Objetivos específicos | 5 |
| 3 Marco Teórico | 7 |
| 3.1 Instrumentación definida por software: Definición, diferencias y ventajas . | 7 |
| 3.2 Equipo de pruebas automatizado (ATE) | 8 |
| 3.3 Corrientes de fuga y capacitancias parásitas | 9 |
| 3.4 Líneas y anillos guarda | 10 |
| 3.5 Mediciones de 4-hilos | 11 |
| 3.6 Interferencias RFI/EMI | 11 |
| 3.7 Efectos debidos a los materiales | 13 |
| 4 Solución propuesta | 15 |
| 4.1 Hardware de Medición | 15 |
| 4.2 Módulo de medición | 16 |
| 4.2.1 Circuito Impreso | 16 |
| 4.3 Software | 18 |
| 4.3.1 Rutinas de Configuración y Análisis de Resultados | 18 |
| 4.4 Conclusiones del capítulo | 18 |
| 5 Resultados y Análisis | 21 |
| 5.1 Unidad OTA | 21 |
| 5.2 Fuente SBCS | 22 |

| | | |
|----------|--|-----------|
| 5.3 | Filtro GmC | 24 |
| 5.4 | Unidad de Cálculo | 25 |
| 5.5 | Filtro Haar | 26 |
| 6 | Conclusiones | 29 |
| 7 | Recomendaciones | 31 |
| | Bibliografía | 33 |
| | Apéndices | 33 |
| A | Circuito Impreso | 37 |
| B | Descripción de Pines | 41 |
| C | Esquemáticos de los Circuitos de Medición | 43 |
| D | Imágenes del Sistema Implementado | 45 |
| E | Lista de Abreviaciones | 49 |

Índice de figuras

| | | |
|-----|---|----|
| 3.1 | Comparación entre un dispositivo tradicional y uno basado en software . . . | 8 |
| 3.2 | Estructura de un cable coaxial | 9 |
| 3.3 | Modelo de capacitancia parasita y resistencia de fuga en un conductor coaxial eléctrico | 9 |
| 3.4 | Arquitectura de la tecnología de línea guarda, implementada en un cable triaxial. | 10 |
| 3.5 | Implementación de un anillo de guarda en un PCB. | 11 |
| 3.6 | Esquema de la medición a 4 hilos. | 12 |
| 3.7 | Capacitancia parasita creada entre la Jaula de Faraday y el DUT. | 12 |
| 3.8 | Conductor blindado de par trenzado. | 13 |
| 3.9 | Descripción gráfica del efecto triboeléctrico (izquierda) y del efecto electroquímico (Derecha) | 13 |
| 4.1 | Plataforma PXI de la compañía NI de 9 ranuras con controlador integrado. | 16 |
| 4.2 | Técnica de blindaje de pistas implementado en el desarrollo del PCB (rojo: pistas en capa inferior, verde: pistas en capa superior, amarillo: traslape de capas). | 17 |
| 4.3 | Panel frontal para la rutina de prueba de la unidad Filtro Haar. | 19 |
| 5.1 | Gráfico G_m vs V_{in} para la unidad OTA | 21 |
| 5.2 | Gráfico de transconductancia. | 22 |
| 5.3 | Salida de corriente duales de cada fuente de corriente SBCS (verdes: SBCS1, azules: SBCS2). | 22 |
| 5.4 | Salida de corriente de referencia para cada fuente de corriente SBCS (verde: SBCS1, azul: SBCS2). | 23 |
| 5.5 | Respuesta del Filtro G_mC ante una señal sinusoidal de 50mV a 600Hz. . . | 24 |
| 5.6 | Respuesta del Filtro G_mC ante un barrido de frecuencia 1Hz hasta 1000Hz | 25 |
| 5.7 | Offset de los coeficientes de salida para todo el espectro de frecuencia probado. | 25 |
| 5.8 | Respuesta de la unidad de cálculo ante un barrido de tensión. A la izquierda manteniendo 2 de las entradas a nivel de V_{mid} . A la derecha, aplicando la misma señal a las tres entradas. | 26 |
| 5.9 | Respuesta de la unidad completa ante una entrada CD de 1.8V para una frecuencia de reloj de 7kHz. | 26 |
| A.1 | Diagrama de pistas de la capa superior | 38 |

| | | |
|-----|--|----|
| A.2 | Diagrama de pistas de la capa inferior | 39 |
| A.3 | Diagrama de distribución de componentes en el PCB | 40 |
| B.1 | Descripción de pines del ASIC | 41 |
| C.1 | Diagrama esquemático del circuito de medición de la unidad OTA. | 43 |
| C.2 | Diagrama esquemático del circuito de medición de la unidad SBCS. | 43 |
| C.3 | Diagrama esquemático del circuito de medición de las unidades Filtro GMC y Unidad de Cálculo. | 44 |
| C.4 | Diagrama esquemático del circuito de medición de la unidad Filtro Haar. | 44 |
| D.1 | Implementación del sistema. | 45 |
| D.2 | Hardware de medición. | 46 |
| D.3 | Circuito integrado bajo prueba (ASIC). | 47 |

Índice de tablas

| | | |
|-----|---|----|
| 5.1 | Valores de salida de cada una de las salidas duales de la unidad SBCS. . . | 23 |
| 5.2 | Resumen de porcentajes de variación para cada canal de la unidad SBCS. . | 23 |
| 5.3 | Niveles de tensión de salida y offset para el filtro GmC ante una señal de entrada sinusoidal de 50mV a 600Hz. | 24 |

Capítulo 1

Introducción

En esta sección se muestra al lector una introducción al contexto en que se desarrolla el proyecto, así como una descripción del problema a resolver y la importancia de hacerlo. Se da una premisa de la solución seleccionada para ayudar al lector a tener una idea general de la solución para que pueda analizar con detalle el contenido de capítulos posteriores.

1.1 Problema existente e importancia de la solución

El Laboratorio de Diseño de Circuitos Integrados (DCILab), de la escuela de Ingeniería Electrónica del ITCR se encuentra desarrollando un circuito integrado de uso específico (ASIC, por sus siglas en inglés), con la intención de ser integrado en una red de sensores para el cuidado de los recursos naturales en áreas protegidas tales como parques nacionales, refugios de vida silvestre u otros similares. La razón de la creación de esta solución surge debido a un proyecto de investigación en el cual se plantea el uso de recursos electrónicos para la detección temprana de amenazas de caza y tala furtiva. Debido a que se trata de áreas extensas y que no se cuenta con material humano ni los recursos económicos suficientes para asegurar la protección del área en su totalidad, se propone esta solución que tiene entre otras ventajas un alto grado de confiabilidad, ser de bajo costo y no requerir mantenimiento frecuente.

El desarrollo del ASIC se encuentra en una de sus etapas finales, el diseño del mismo fue realizado por [3] y optimizado por [2, 6, 5, 1, 9] en proyectos de graduación similares al presente. Recientemente el circuito fue fabricado por la empresa MOSIS. La etapa siguiente es la prueba y caracterización del mismo, la cual busca verificar el diseño y el correcto funcionamiento del circuito integrado. Debido a que recientemente el ITCR y NI firmaron un acuerdo de cooperación, se propuso realizar el presente proyecto con soluciones de la empresa y en las instalaciones de la misma.

1.2 Generalidades del problema

Parte esencial del desarrollo de este proyecto es la prueba del ASIC de ultra-bajo consumo de potencia diseñado para el proyecto de investigación de protección de áreas protegidas. Esta etapa culminará el proceso de diseño del CI y confirmará el funcionamiento y el desempeño del dispositivo. Esta etapa es esencial debido a que permite contrastar los valores obtenidos teóricamente ó mediante simulaciones, y como se mencionó anteriormente verificar que las optimizaciones realizadas en proyectos de graduación similares cumplieron su objetivo.

1.3 Plataforma escalable

Actualmente el DCILab no cuenta con una plataforma de pruebas especializada para los circuitos integrados diseñados para proyectos de investigación ó graduación. Una plataforma de este tipo ayudaría a investigadores y estudiantes a verificar el diseño y funcionamiento de los circuitos integrados diseñados de forma rápida y confiable. Más importante aún, es que generalmente la caracterización de un circuito integrado requiere la adquisición masiva de datos y pruebas que requieren una cantidad de configuraciones (barridos en frecuencia o tensión), este tipo de pruebas requieren de una gran cantidad de tiempo por parte del usuario y son propensas a que se generen errores por parte del mismo; estas pruebas pueden ser automatizadas con dicha plataforma.

Lo más importante al realizar la prueba y caracterización de un CI es proveer datos confiables, para lograr esto es necesario manejar aspectos de precisión y exactitud para obtener el mayor grado de confiabilidad posible.

Plataformas de prueba como la propuesta existen en versiones industriales, y son utilizadas por fabricantes de circuitos integrados a grandes escalas, con precios que superan por mucho el presupuesto de la escuela, lo que lo hace un equipo difícil de adquirir por la misma.

Por lo tanto en el presente proyecto se pretende crear una plataforma de pruebas para un ASIC que sea escalable y eficiente, capaz de trabajar con circuitos integrados de señal mixta para su caracterización. Además, debe existir la posibilidad de automatizarse para la obtención masiva de datos.

Para realizar la caracterización de un CI se requiere que los instrumentos sean precisos, se requieren instrumentos para estimular las entradas y visualizar las salidas, otros para polarizar los mismos o generar fuentes de referencia, tanto de tensión como de corriente. Por lo tanto, haciendo una recapitulación de la cantidad de instrumentos necesarios para realizar las pruebas, se utilizaría una gran cantidad de dispositivos, espacio, costos y tiempo. Esta última variable es de fundamental importancia para un investigador o desarrollador, ya que el tiempo necesario para establecer una plataforma podría aprovecharse en realizar más pruebas o la optimización del circuito.

Por lo tanto parte de los resultados finales de este proyecto serán específicos para la prueba del ASIC y otros serán escalables para futuras aplicaciones.

1.4 Solución seleccionada

La principal restricción propuesta para el desarrollo de esta plataforma es en cuanto escalabilidad, ya que la misma debe ser capaz de modificarse para realizar la prueba de versiones posteriores del ASIC o de otros completamente distintos. Si bien el ASIC actual es analógico en su mayor parte, el sistema debe poderse ampliar a circuitos digitales.

La solución al problema consistió en 3 partes principales: hardware (instrumentos), software y el módulo de medición. Como se mencionó anteriormente el hardware y software (al menos parte del mismo) deben ser aplicables a futuras versiones, por lo que el dimensionamiento de la plataforma es crucial para asegurar este objetivo. Para el desarrollo de las rutinas se utilizó LabVIEW, este lenguaje de programación permite realizar rutinas (VI) que luego pueden ser importadas en otros proyectos como sub-VI, la intención es que puedan ser utilizados para generar futuras aplicaciones reduciendo significativamente el tiempo de desarrollo de la nueva aplicación.

El módulo de medición consiste básicamente de un circuito impreso y su respectivo blindaje, optimizados para evitar efectos parásitos y ruido. El desarrollo del circuito impreso se realizó mediante el software Multisim y Ultiboard, estos permiten generar el diagrama esquemático y a partir del mismo generar el layout.

Tanto la aplicación principal (VI principal) como el circuito impreso son específicos para la prueba del ASIC mencionado. Para otros circuitos integrados deberán utilizarse los sub-VI mencionados anteriormente para generar una nueva interfaz y rutina principal, además de un nuevo módulo de medición.

Capítulo 2

Meta y objetivos

2.1 Meta

Realizar la verificación y caracterización de un circuito integrado de uso específico (ASIC) diseñado en el DCILab de la escuela de Ingeniería Electrónica del ITCR.

2.2 Objetivo general

Desarrollar una plataforma de pruebas para la verificación y caracterización de un circuito integrado de uso específico (ASIC) diseñado en el DCILab de la escuela de Ingeniería Electrónica del ITCR, mediante el uso de hardware y software de la empresa National Instruments (NI).

Indicador: La plataforma debe ser capaz de verificar y caracterizar el 100% de los circuitos que conforman el ASIC.

2.3 Objetivos específicos

- Determinar el hardware de NI capaz de cumplir con los requisitos para la medición, generación de señales y polarización del ASIC establecidos en las especificaciones de diseño.

Indicador: El hardware debe ser capaz de medir una corriente de $330\text{pA} \pm 10\text{pA}$, generar una corriente de $2.0\text{nA} \pm 0.1\text{nA}$, generar/adquirir señales analógicas con una tasa de muestreo de al menos 10 veces la frecuencia de la variable a adquirir/generar.

- Desarrollar bajo ambiente de programación LabVIEW las rutinas de control del hardware e interfaz de usuario, que permitan la caracterización y prueba del ASIC, así como el respaldo de información y análisis de datos.

Indicador: Las rutinas deben permitir configurar el hardware y los parámetros de tensión ó corriente y sus respectivos límites, generación de señales de prueba, el almacenamiento de los datos medidos en archivos CSV, así como desplegar información en gráficos en tiempo real.

- Desarrollar un circuito impreso (PCB) y su respectivo chasis que cumpla con las condiciones necesarias para evitar corrientes parásitas y ruido por efectos electromagnéticos.

Indicador: Las corrientes por efectos parásitos deben ser inferiores a 10pA (3% de la magnitud de la menor variable a medir).

Capítulo 3

Marco Teórico

3.1 Instrumentación definida por software: Definición, diferencias y ventajas

El concepto de instrumentación virtual se deriva de los sistemas de medición distribuida, en los cuales mediante una computadora, es posible adquirir información desde un instrumento a través de un protocolo de comunicación estándar (RS-232, GPIB, VXI, PXI entre otros). En versiones antiguas de este tipo de sistemas, los instrumentos eran capaces de compartir información con una computadora u otro instrumento, pero estaban diseñados para realizar un proceso en específico, por ejemplo: analizadores de espectro, osciloscopios, generadores de funciones entre otros. Si bien con muchos de estos instrumentos se pueden realizar diversas pruebas o mediciones, no pueden ser reconfigurados para realizar otra función aparte de aquellas para el cual el fabricante lo dispuso, por lo que si se necesitaba cambiar la tarea debía cambiarse también el instrumento. La nueva generación de dispositivos aprovecha las altas capacidades de procesamiento y tecnologías de transferencia de información de plataformas comerciales (inclusive se incluye una computadora empotrada en el dispositivo), integran software de alta productividad, una plataforma de sincronización e instrumentos modulares. Con esto se logra obtener una plataforma configurable a necesidad del usuario, maximizar las capacidades de los buses de información, un ahorro significativo en espacio y costo al compartir recursos tales como fuentes de poder, dispositivos de despliegue de información, sistemas de enfriamiento, entre otros. Una configuración como la descrita anteriormente se muestra en la figura 3.1 donde se resaltan las principales diferencias entre un instrumento tradicional y uno basado en software. En la misma figura puede notarse la inexistencia de un bloque de instrucciones máquina de propósito específico (firmware), característica que da el nombre y define a estos instrumentos. Debido a que un programa de computadora puede ser modificado fácilmente, brinda la flexibilidad por la que son característicos estos instrumentos y por lo que están ganando popularidad en su campo. Aunado a esto, la interfaz de usuario es igualmente configurable y el hardware encargado de realizar las mediciones o generar

señales es modular, por lo que instrumentos basados en software facilitan la adquisición, análisis, almacenamiento y presentación de la información. [7]

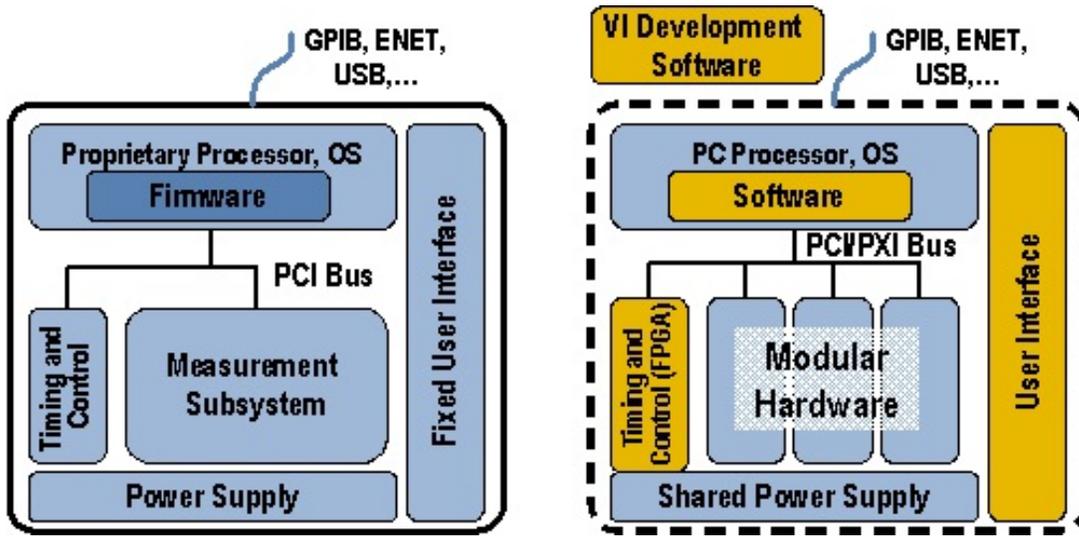


Figura 3.1: Comparación entre un dispositivo tradicional y uno basado en software

3.2 Equipo de pruebas automatizado (ATE)

Básicamente un *equipo de pruebas automatizado* (ATE por sus siglas en inglés) es cualquier equipo que pueda realizar pruebas a un dispositivo de forma tan automatizada como sea posible, con el fin de reducir el tiempo de verificación. Estos dispositivos generalmente son utilizados en la post-producción de circuitos integrados para definir si estos cumplen con los parámetros establecidos de calidad o funcionalidad. Es deseable que el proceso de verificación tenga el menor costo y duración posible, de lo contrario los costos de producción se incrementan y se retrasa el lanzamiento al mercado de dicho dispositivo. No obstante por más que se desee reducir costos o tiempo, el proceso de verificación no puede ser omitido debido a que ningún proceso de fabricación es exento a fallas.

Un ATE puede categorizarse como “dedicados”, si están destinados a realizar pruebas de parámetros específicos o a dispositivos específicos; y de “propósito general” si pueden ser utilizados para medir una gran variedad de parámetros o para diferentes dispositivos. Además de esta categorización, el tipo de dispositivo al cual es destinado el ATE definirá el tipo de recursos que este necesita para realizar las mediciones. Estos dispositivos pueden clasificarse como digitales, de memoria, análogos y de señal mixta. Como es de esperar un ATE digital, de memoria u análogo esta optimizado para realizar específicamente ese tipo de pruebas, un ATE de señal mixta debe ser capaz de trabajar con dispositivos de entada-salida tanto analógicos como digitales.

3.3 Corrientes de fuga y capacitancias parásitas

Las corrientes de fuga son ocasionadas por resistencias o capacitancias parásitas que se forman por efectos físicos implicados en la fabricación de un dispositivo. La diferencia de tensión entre 2 puntos da origen a estas corrientes, las cuales son de muy bajo orden debido a que el material que existe entre los 2 puntos en cuestión actúa como un aislante de resistencia elevada. En el caso de las capacitancias el material actúa como un dieléctrico. Un ejemplo típico es el de los cables coaxiales, donde el aislante actúa como dieléctrico para el conductor interno y la malla de blindaje (ver figura 3.2), igualmente este conductor conducirá una señal eléctrica, por lo que el aislante será actuará como una resistencia de muy alto valor. Virtualmente existirá una resistencia (o capacitor) en paralelo con el DUT (ver figura 3.3) que estará drenando corriente de la fuente y modificando el comportamiento esperado del DUT. Las corrientes de fuga toman importancia cuando se requieren mediciones muy precisas o la variable a medir está en el mismo orden.



Figura 3.2: Estructura de un cable coaxial

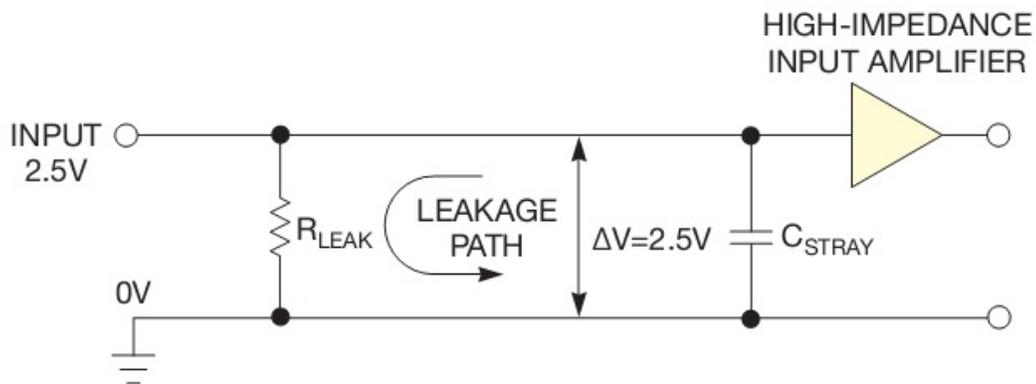


Figura 3.3: Modelo de capacitancia parásita y resistencia de fuga en un conductor coaxial eléctrico

Para minimizar la existencia de corrientes de fuga es recomendado el uso de aislantes

de buena calidad (Teflón, Sapphire, PET) en la construcción de conductores, así como reducir la humedad a la que se ven expuestos los conductores y el DUT, ya que los mismos tienden a absorber la humedad y variar sus características y capacidad de aislamiento, por lo que de no contarse de un ambiente controlado es recomendado el uso de desecantes. Además se recomienda el uso de líneas guarda, esta técnica será discutida en detalle posteriormente. [1]

3.4 Líneas y anillos guarda

Esta técnica ayuda a reducir considerablemente corrientes de fuga y capacitancias parasitas. La implementación de esta técnica difiere del dispositivo en cuestión ([1] explica en detalle en el capítulo 2.3.1), no obstante enfocándose en una SMU, esta línea está dada por el conductor central de un cable triaxial. La técnica de línea guarda se basa en transmitir la misma señal que viaja por el conductor interno, potenciada por un amplificador con ganancia unitaria de baja impedancia (seguidor de tensión). De esta manera la corriente que se genera entre el conductor interno y el central es prácticamente nula. Lo anterior descrito puede ejemplificarse en la figura 3.4, en la cual además puede observarse que sigue existiendo una corriente de fuga dada por R_G (entre el conductor externo y el central), no obstante este amplificador está energizado de forma independiente y la corriente drenada no afecta la medición.

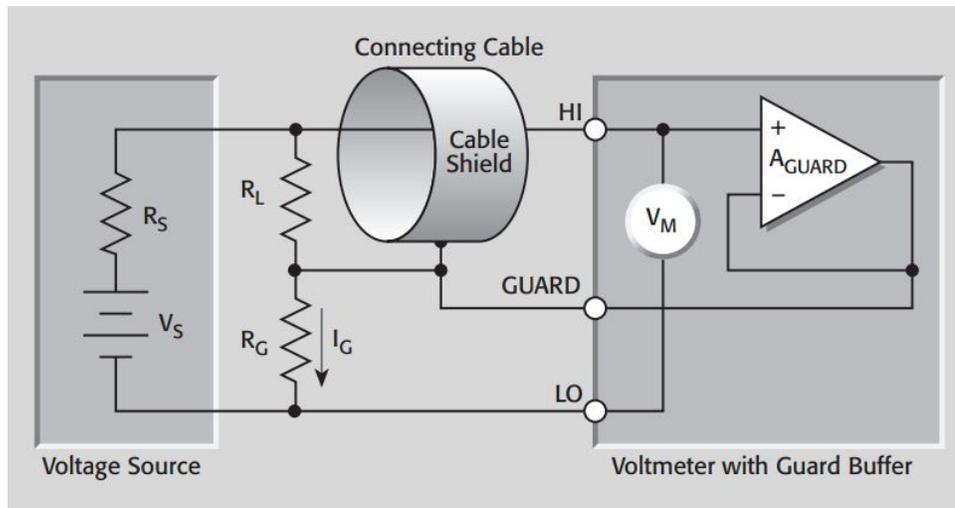


Figura 3.4: Arquitectura de la tecnología de línea guarda, implementada en un cable triaxial.

Esta técnica también es utilizada en circuitos impresos (PCB) y recibe el nombre de anillo guarda (Ver figura 3.5). Este anillo es conectado a la línea guarda del cable triaxial y cumple la misma función: evitar corrientes de fuga y capacitancias parasitas. Su implementación dificulta el diseño del PCB, pero es necesario para dar continuidad a la inversión de un conductor triaxial y para asegurar que no se presenten los efectos indeseados mencionados anteriormente.

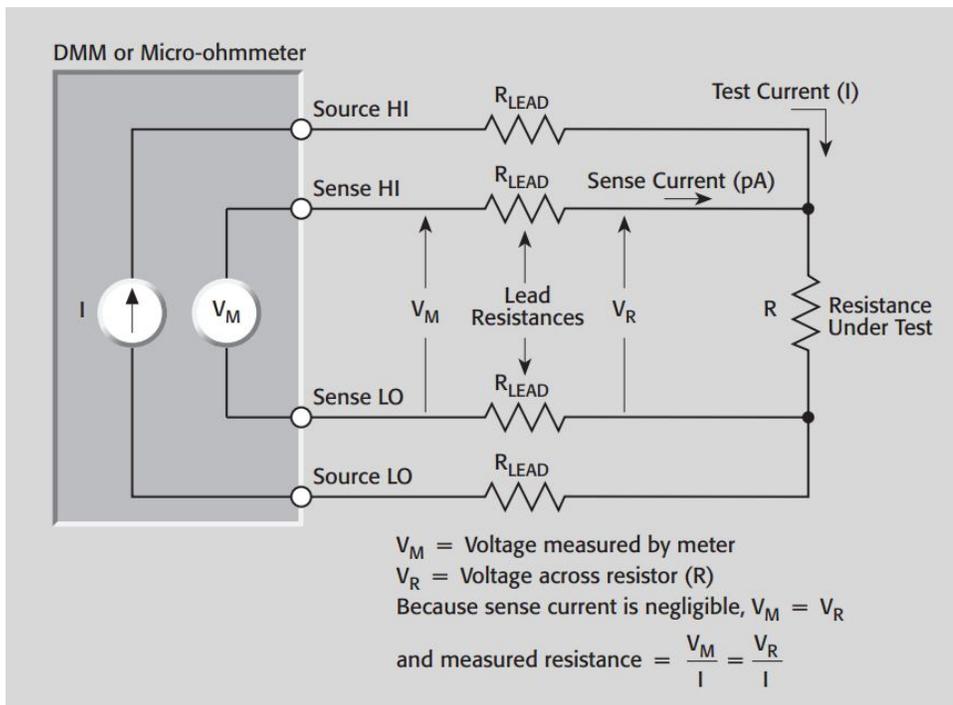


Figura 3.6: Esquema de la medición a 4 hilos.

de capacitancia por este efecto son mínimos (en el orden de los fF), pueden ser de gran importancia si se presentara una descarga electrostática (ESD), [3] adentra en el tema.

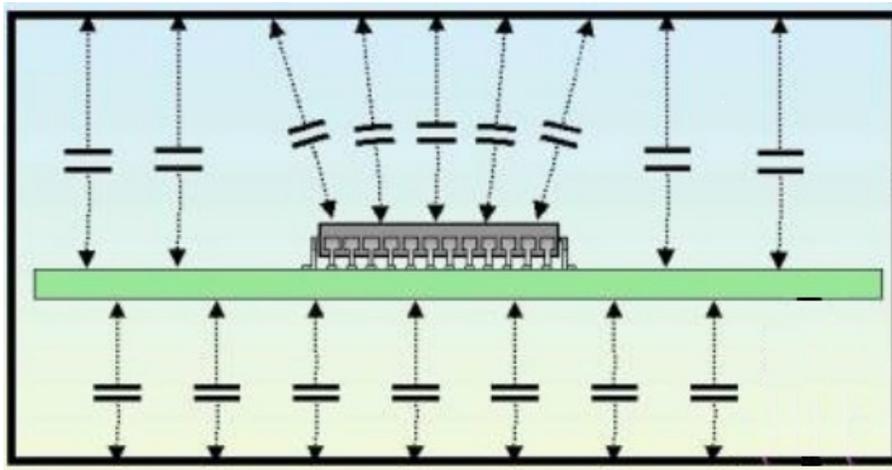


Figura 3.7: Capacitancia parasita creada entre la Jaula de Faraday y el DUT.

Existen otras buenas prácticas para evitar efectos electromagnéticos tales como el uso de pares trenzados para evitar interferencias debidas a campos magnéticos. Idóneamente es recomendado el uso de cables blindados de par trenzado, tal como el de la figura 3.8.

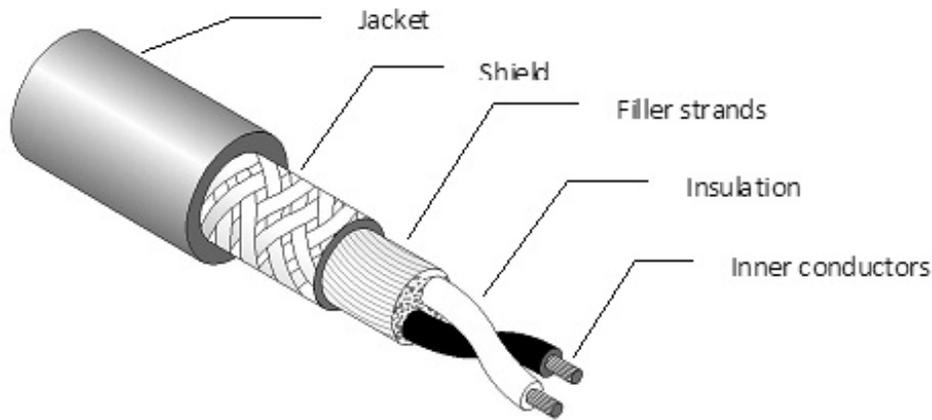


Figura 3.8: Conductor blindado de par trenzado.

3.7 Efectos debidos a los materiales

Existen una serie de efectos debidos a las características físicas y químicas de los materiales, estos efectos van más allá de los alcances de este proyecto. No obstante vale la pena mencionar 2 de los más relevantes: el efecto triboeléctrico y el efecto electroquímico. El primero se genera debido a la fricción entre 2 materiales, la cual crea una carga electrostática, ocasionando una corriente entre el conductor interno y el material en cuestión(Figura 3.9 A).

El efecto electroquímico se presenta generalmente en circuitos impresos, cuando residuos generalmente sólidos de los materiales de fabricación, tales como el Flux (un solvente utilizado para la limpieza del área y los componentes a soldar) u otros, se comportan como una resistencia o un capacitor parásito (Figura 3.9 B). Las corrientes de fuga debido a estas resistencias son de muy bajo orden (fA - nA), sin embargo cuando la señal a medir es de un orden similar, evitar estos efectos es crucial para asegurar la confiabilidad de la medición.

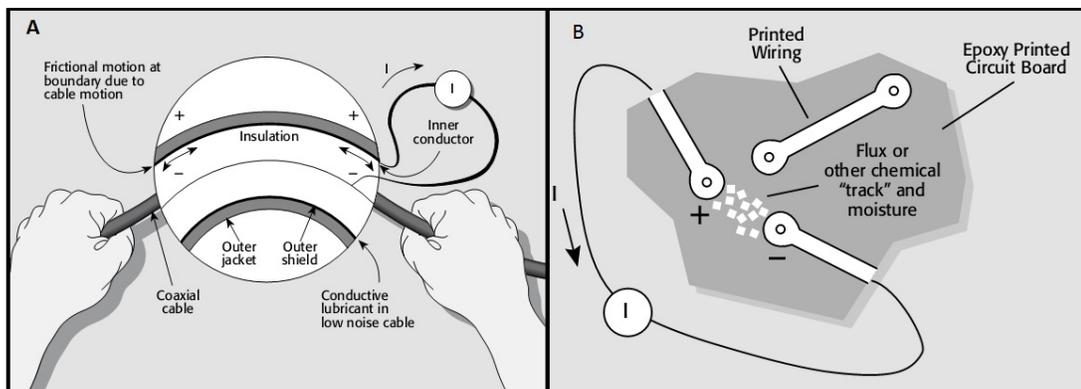


Figura 3.9: Descripción gráfica del efecto triboeléctrico (izquierda) y del efecto electroquímico (Derecha)

Capítulo 4

Solución propuesta

La solución propuesta consta esencialmente de 3 partes: Hardware de medición, Módulo de medición, Software. Cada una de las anteriores se describe con más detalle a continuación:

4.1 Hardware de Medición

Corresponde a los instrumentos requeridos para realizar la tarea propuesta, para lo cual fue necesario seleccionar dentro de la gran variedad de familias y módulos con los que cuenta la empresa National Instruments. Para la selección fue necesario tomar en cuenta todas las variables a medir y generar para las 5 unidades que conforman el ASIC. Conceptos como frecuencia de muestreo, resolución, exactitud, y capacidades tales como muestreo simultáneo, blindaje, acondicionamiento de señales, entre otros fueron los fundamentos para la selección de los mismos.

La empresa National Instruments cuenta con una gran variedad de familias de instrumentos, no obstante todas las características mencionadas anteriormente se encuentran disponibles en la plataforma PXI (ver figura 4.1), esta serie de instrumentos cuenta con la más alta capacidad de procesamiento y transmisión de datos, así como de todas las ventajas de la instrumentación virtual mencionadas anteriormente. Para esta gama se producen los instrumentos de mayor resolución y precisión, los cuales fueron requeridos para el desarrollo de esta aplicación.

Para la selección de los instrumentos se realizó una lista de variables a medir y generar para cada uno de los circuitos. El objetivo principal fue determinar la cantidad de fuentes, referencias, señales de estímulo analógicas, magnitudes máximas y mínimas, salidas analógicas, frecuencia máxima de operación, entre otros. Con esta lista de variables y la fundamentación en conceptos de adquisición de datos (teoremas de muestreo) se aseguró que los instrumentos seleccionados producirían una representación fiel de la variable a medir.



Figura 4.1: Plataforma PXI de la compañía NI de 9 ranuras con controlador integrado.

4.2 Módulo de medición

4.2.1 Circuito Impreso

Las compañías Keithley, Texas Instruments (TI), y National Instruments muestran una serie de consideraciones que deben ser tomadas en cuenta a la hora de realizar mediciones en el orden de los sub-nano amperios. Muchas de estas consideraciones se tomaron en cuenta en la selección de los instrumentos, no obstante, para asegurar la continuidad de las técnicas de blindaje y minimizar los efectos de pérdidas por efectos parásitos expuestos en la sección se diseñó un circuito impreso que cumpliera con tales características.

La figura 4.2 muestra un ejemplo de la implementación de blindaje en el circuito impreso, este se aplicó principalmente a las señales provenientes de la SMU debido a que se utilizaron para generar fuentes de referencia de tensión y corriente de muy bajo nivel para ciertos circuitos del ASIC, y a la vez como fuentes de polarización para otros (en pruebas distintas), por lo cual, las líneas de transmisión que transportan estas señales debieron extenderse por todo el circuito impreso convirtiéndose en unas de las señales más vulnerables a interferencias (ruido) y pérdidas.

Debido a que la intención de este proyecto es la caracterización de un circuito integrado, es necesario que las señales de referencia y estímulo sean aplicadas al dispositivo tan íntegras como sea posible, esto asegura que el comportamiento monitoreado corresponda

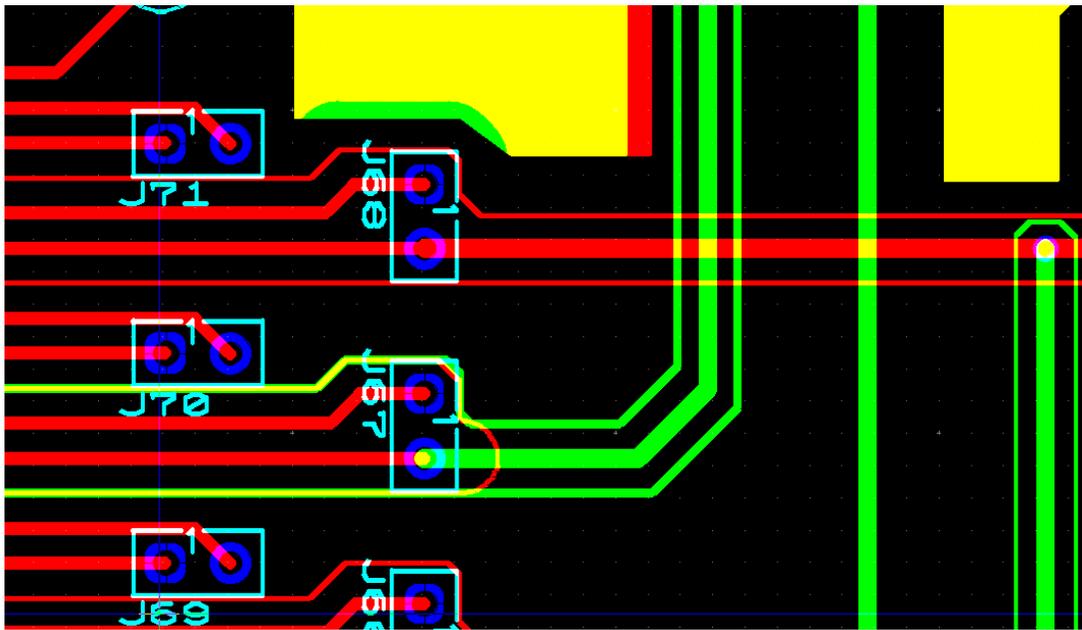


Figura 4.2: Técnica de blindaje de pistas implementado en el desarrollo del PCB (rojo: pistas en capa inferior, verde: pistas en capa superior, amarillo: traslape de capas).

exactamente a las condiciones de excitación en las que fue simulado el circuito. Aunado a esto, un aspecto importante en el desarrollo del ASIC es el consumo de potencia, para lo cual es de suma importancia conocer el la corriente de drenada de las fuentes de alimentación, por lo que la existencia de corrientes de fuga en estas líneas afectaría notablemente los resultados esperados. Es importante recordar que según en [8] las pérdidas por efectos parásitos mencionados en la sección pueden asimilarse al orden de las variables a medir, por lo que resulta de suma importancia velar por la integridad de estas señales.

En la sección anterior se expusieron las razones por la cual se seleccionó el módulo NI PXIe-4141, este módulo cuenta con terminales dedicados para las líneas guarda, por lo que las líneas de blindaje en el circuito impreso fueron conectadas a estas terminales para dar continuidad a la técnica de blindaje utilizado tanto en el módulo como en el cable (cable tri-axial). No obstante, por la gran cantidad conexiones requeridas para la interconexión de los circuitos, terminales de prueba e interruptores de selección, en ocasiones fue necesario el traslape entre líneas con señales distintas, en estos casos los cruces se realizaron en ángulos de 90° . Esta técnica es utilizada en líneas transmisión de cobre (generalmente en radiofrecuencia y redes) debido a que se minimiza el área de traslape, por consiguiente desde el punto de vista electromagnético y de campo eléctrico en los cuales los efectos de inducción electromagnética y capacitancia respectivamente son minimizados debido a que son proporcionales al área. [10]

Según [4] el retardo en la propagación de una señal en una línea de transmisión de cobre microstrip depende de la longitud del coeficiente dieléctrico ϵ_r del material. Por lo que para la línea de transmisión de mayor longitud de nuestro PCB, el retardo máximo es de 1.51ns, lo que representa un desfase entre señales máximo de $7.6164 \times 10^{-3}^\circ$, valor que es

despreciable para nuestra aplicación.

4.3 Software

4.3.1 Rutinas de Configuración y Análisis de Resultados

Para el desarrollo de las rutinas de configuración, medición, despliegue de resultados y almacenamiento de datos se utilizó el ambiente de programación gráfico LabVIEW, el cual acelera el proceso de desarrollo de rutinas de configuración de hardware, la adquisición de datos y mejora el aspecto de la interfaz de usuario mediante controles estilizados e indicadores intuitivos que facilitan la lectura o interpretación de la variable a medir.

El proceso de diseño de rutinas en LabVIEW no difiere de cualquier otro lenguaje de programación, es necesaria una adecuada estructuración del algoritmo a programar mediante diagramas de flujo, definir variables de entrada y salida, así como el tipo de datos.

El proceso de diseño de las rutinas comenzó a partir de la lista de variables generada para la selección del hardware, a partir de esta se generaron rutinas estándar de configuración de hardware, las cuales fueron utilizadas posteriormente como Sub-rutinas en los VI principales. Se generó una rutina principal por cada circuito a probar, los paneles frontales de las mismas muestran controles para permitir al usuario definir el cambio de parámetros para la realización de las pruebas, así como indicadores de datos en tiempo real de consumo de potencia y el despliegue de las señales monitoreadas.

4.4 Conclusiones del capítulo

Las pérdidas por el dieléctrico de los conductores son insignificantes para los niveles de tensión y corriente utilizados en esta aplicación.

Es importante notar que la contribución debido a fugas de corriente puede llegar a ser relevante debido a que la magnitud de las mismas es similar a la mínima corriente a medir.

El blindaje conductores es de fundamental importancia para evitar la interferencias EMI/RFI

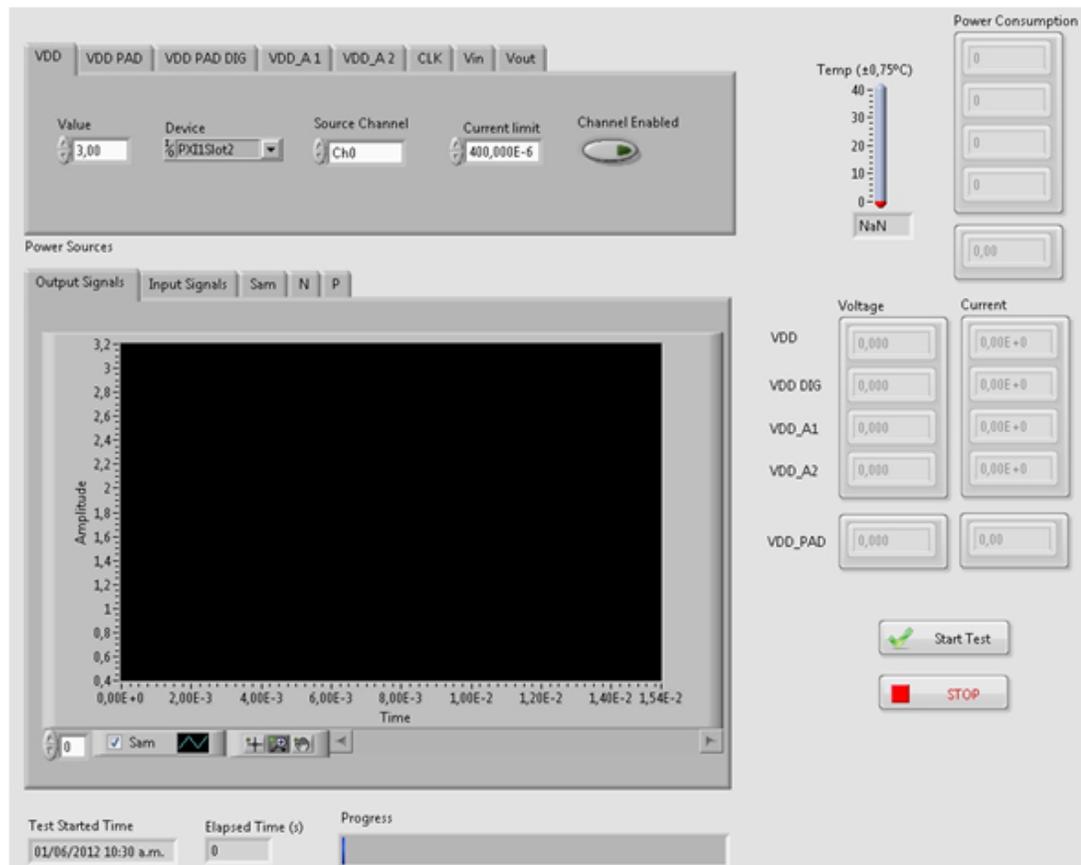


Figura 4.3: Panel frontal para la rutina de prueba de la unidad Filtro Haar.

Capítulo 5

Resultados y Análisis

5.1 Unidad OTA

Para la prueba de este circuito se utilizó el circuito de medición de la figura C.1, ante un barrido de tensión en una de sus entradas diferenciales se obtuvo la respuesta mostrada en la figura 5.1, a partir de esta curva se pudo generar la gráfica de transconductancia (figura 5.2) mediante la derivada de la misma.

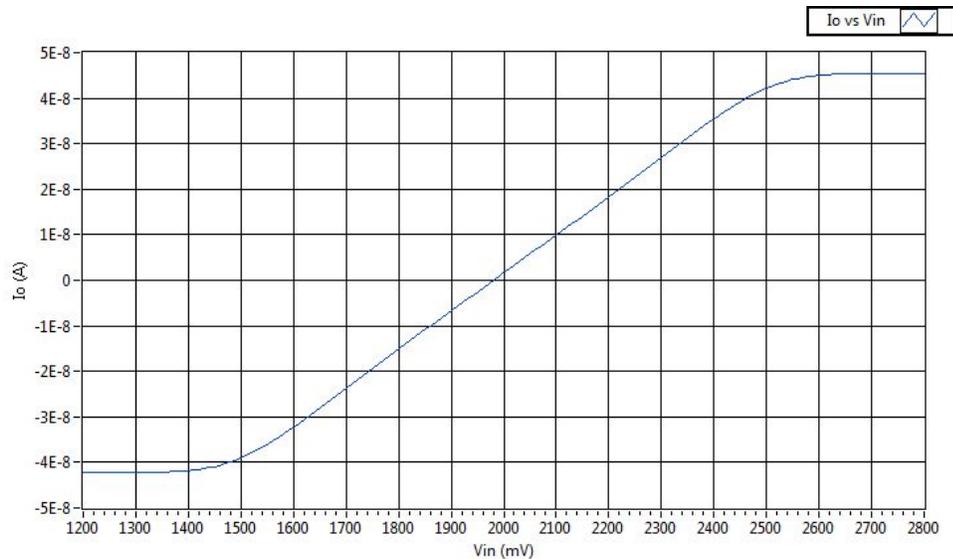


Figura 5.1: Gráfico G_m vs V_{in} para la unidad OTA

Ante estos resultados se determina que la respuesta para el rango lineal de la unidad es de aproximadamente 1V. Para el cálculo de la transconductancia se tomó como parámetro el 5% del valor obtenido para una tensión de entrada igual a la de referencia (2V). Ante dicha condición corresponde un valor de 84.38nS, lo cual representa -0.73% de error del valor propuesto por [5].

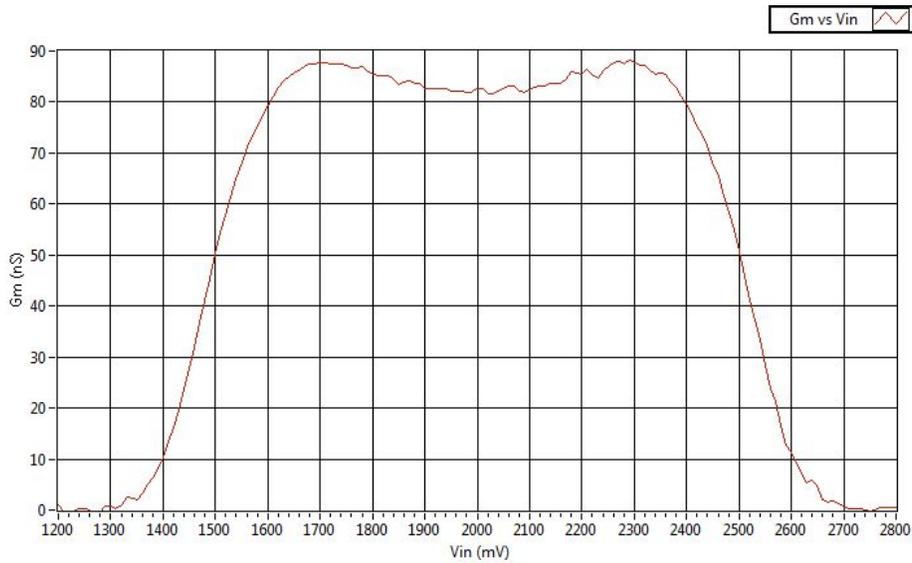


Figura 5.2: Gráfico de transconductancia.

5.2 Fuente SBCS

La figura 5.3 muestra las salidas de las 2 fuentes duales SBCS integradas en la unidad. Cada salida dual debía ser simétrica, no obstante puede observarse que existe offset respecto a cada salida de cada fuente y cada espejo de corriente para cada unidad. La diferencia de niveles en la corriente de referencia (Figura 5.4) puede explicar la diferencia en los niveles de salida mencionados anteriormente entre las fuentes SBCS1 y SBCS2. La corriente de salida es escala y copiada mediante un espejo de corriente, por lo que si la referencia difiere para cada fuente esta será escalada de forma errónea.[2]

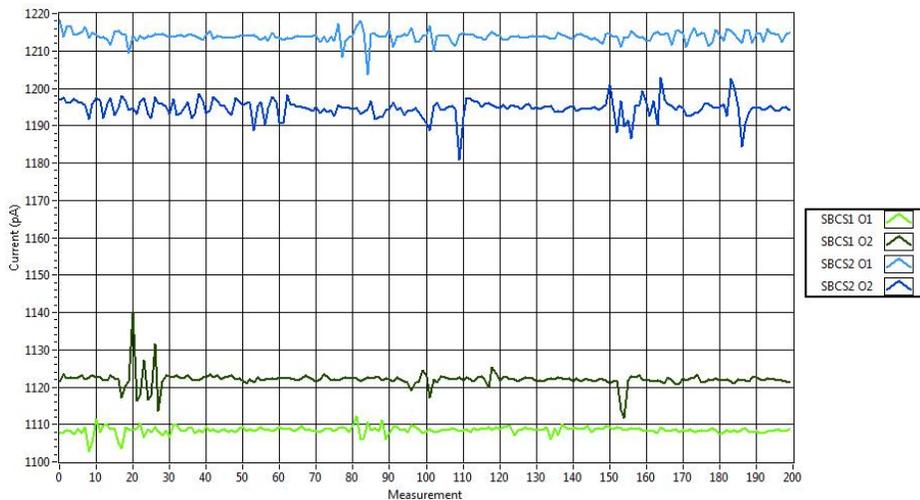


Figura 5.3: Salida de corriente duales de cada fuente de corriente SBCS (verdes: SBCS1, azules: SBCS2).

La tabla 5.1 muestra un resumen de los valores teóricos y experimentales, así como porcentajes de variación respecto a cada canal.

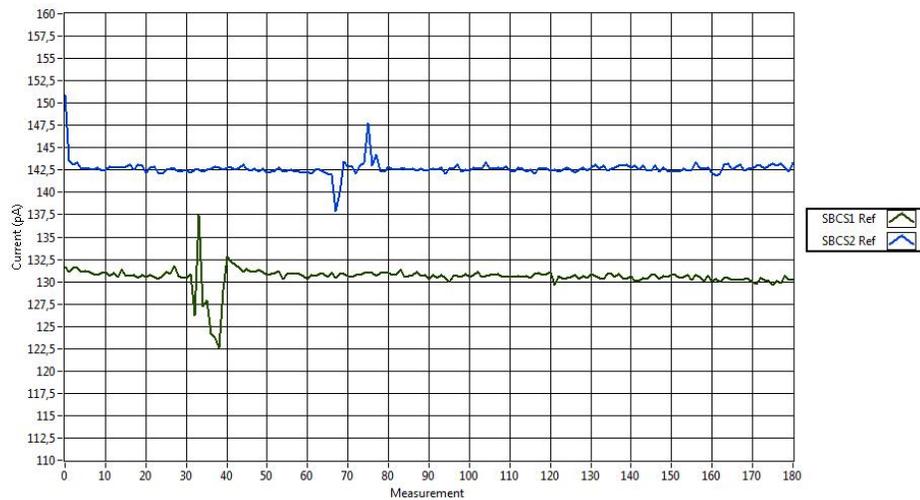


Figura 5.4: Salida de corriente de referencia para cada fuente de corriente SBCS (verde: SBCS1, azul: SBCS2).

| Fuente | I Ref (pA \pm 10pA) | Iout 1 (pA \pm 10pA) | Iout 2 (pA \pm 10pA) |
|--------|-----------------------|------------------------|------------------------|
| SBCS1 | 130,5 | 1108,5 | 1122,0 |
| SBCS2 | 142,4 | 1214,0 | 1195,0 |

Tabla 5.1: Valores de salida de cada una de las salidas duales de la unidad SBCS.

Para los parámetros de diseño los valores experimentales obtenidos representan un porcentaje de error entre el 40% y 50%, estos valores discrepan de los objetivos esperados por [2]. La tabla 5.2 muestra el resumen de los porcentajes de error para los valores experimentales.

| Fuente | Error | | |
|--------|--------|----------|----------|
| | Ref(%) | Iout1(%) | Iout2(%) |
| SBCS1 | -48,41 | -44,80 | -43,90 |
| SBCS2 | -43,71 | -39,31 | -40,27 |

Tabla 5.2: Resumen de porcentajes de variación para cada canal de la unidad SBCS.

Ambas fuentes presentaron problemas de arranque, aún cuando el diseño propuesto debía corregir este problema. Para lograr que las fuentes iniciaran fue necesario polarizar y reinicializar el sistema en repetidas ocasiones, además, no se observó un patrón en el tiempo de inicio de la misma, razón por la cual no se proporciona este valor.

5.3 Filtro GmC

La figura 5.5 muestra los coeficientes de detalle 3, 4 y 5 para una señal de estímulo sinusoidal de 50mV de magnitud, un offset de 2.0V y una frecuencia de 600Hz. La intención de esta prueba es poder comparar respecto a las simulaciones la magnitud y offset de los coeficientes, los cuales son resumidos en la tabla 5.3.

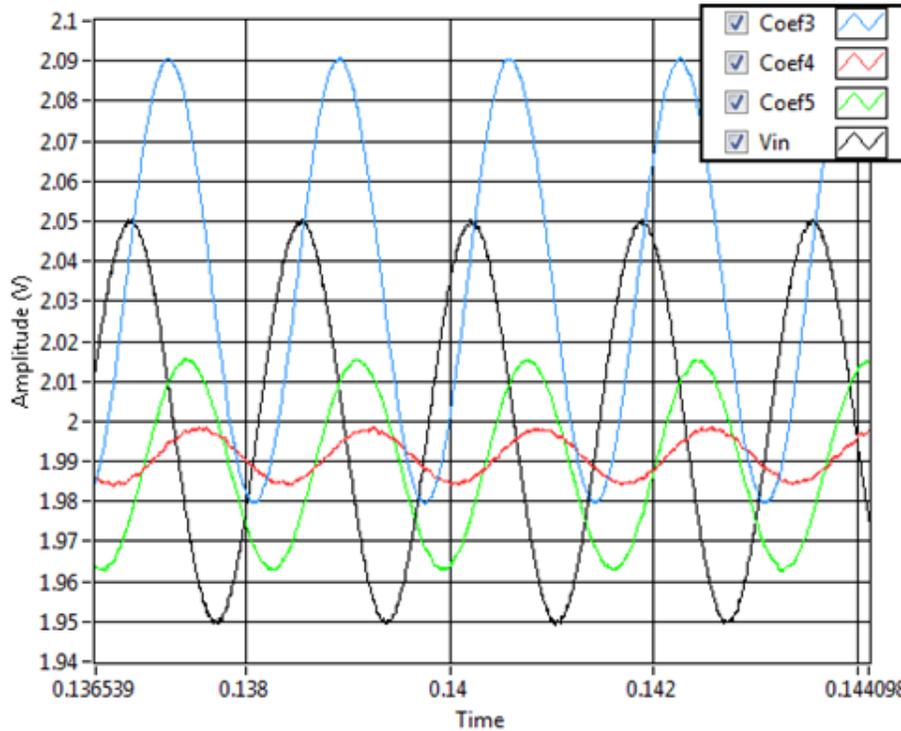


Figura 5.5: Respuesta del Filtro GmC ante una señal sinusoidal de 50mV a 600Hz.

| Señal | Amplitud (mV) | Offset (mV) |
|-------|---------------|-------------|
| Coef3 | 56,14 | 34,63 |
| Coef4 | 7,74 | -8,72 |
| Coef5 | 26,88 | -11,09 |

Tabla 5.3: Niveles de tensión de salida y offset para el filtro GmC ante una señal de entrada sinusoidal de 50mV a 600Hz.

La figura 5.6 muestra la respuesta en frecuencia de la unidad filtro GmC. Mientras que en la figura 5.7 puede observarse que el offset es constante para todo el rango de frecuencias probadas. El parámetro utilizado para definir la frecuencia máxima fue la Distorsión Armónica Total de la salida, para cual se utilizó un valor del 10%.

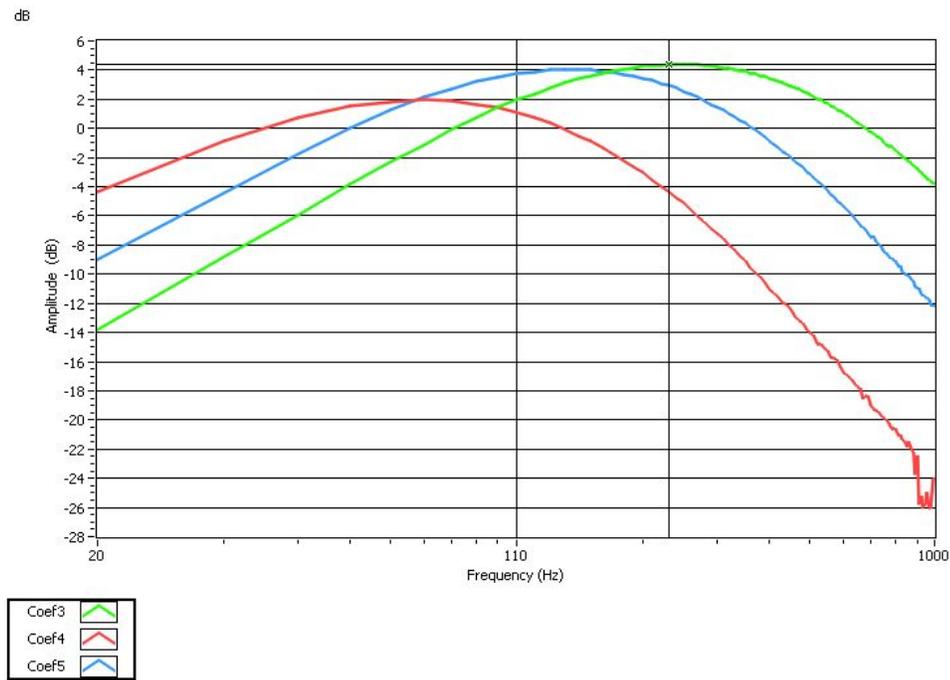


Figura 5.6: Respuesta del Filtro GmC ante un barrido de frecuencia $1Hz$ hasta $1000Hz$

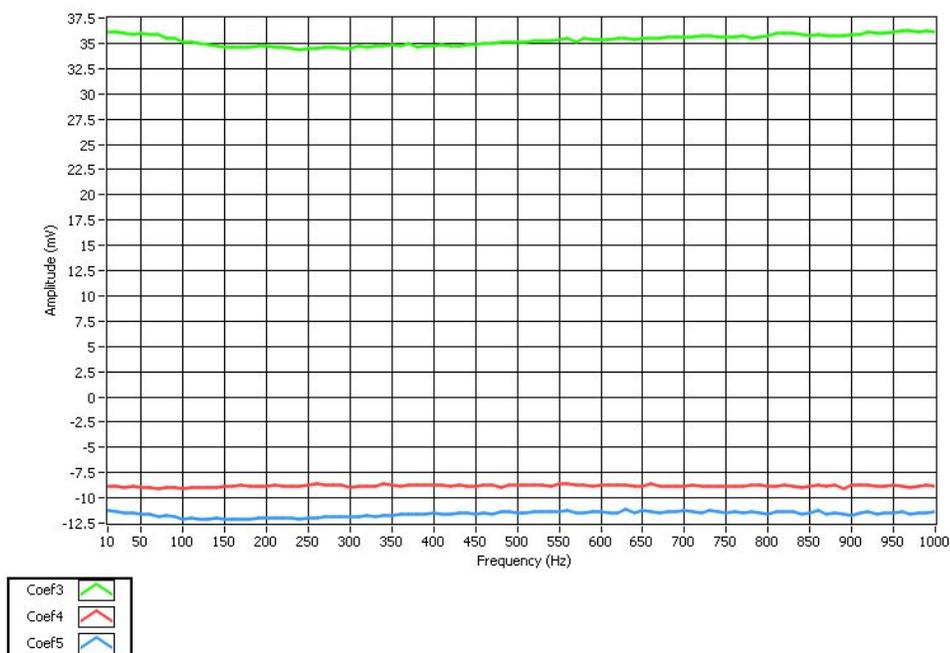


Figura 5.7: Offset de los coeficientes de salida para todo el espectro de frecuencia probado.

5.4 Unidad de Cálculo

La respuesta de la unidad de cálculo se obtuvo mediante el circuito de medición expuesto en la figura C.3, aplicando un barrido de tensión a las entradas coef3, coef4 y coef 5. Para el gráfico mostrado a la izquierda, se aplicó una la señal de prueba a una entrada mientras las restantes se encuentran fijas a un valor de offset (V_{mid}). Para la respuesta de la dere-

cha, todas las entradas reciben la misma señal de prueba. El resultado puede observarse en la figura 5.8, de la cual puede determinarse que el rango lineal es aproximadamente de $980mV$ y $750mV$ respectivamente.

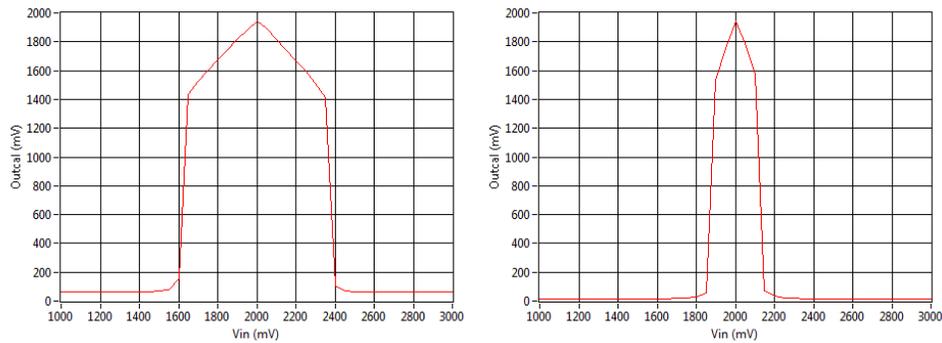


Figura 5.8: Respuesta de la unidad de cálculo ante un barrido de tensión. A la izquierda manteniendo 2 de las entradas a nivel de V_{mid} . A la derecha, aplicando la misma señal a las tres entradas.

5.5 Filtro Haar

Para la prueba del filtro HAAR se utilizó la topología de prueba propuesta por [9]. En la práctica se demostró que es necesario utilizar un seguidor de tensión en la salida de “Sam phi” para evitar cargar esta salida, al igual que el resto de las salidas de esta etapa. Puede observarse en la figura 5.9 que los coeficientes P y N muestran interferencia debida a las señales de reloj.

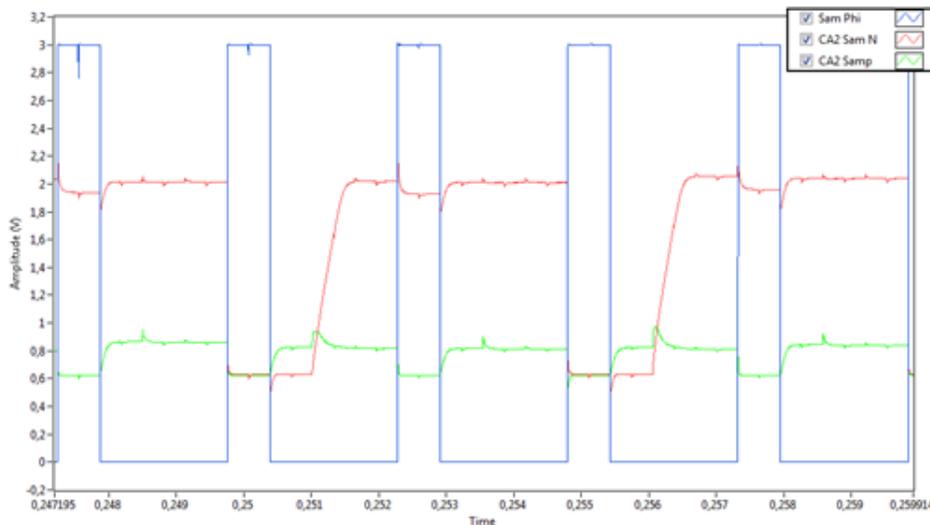


Figura 5.9: Respuesta de la unidad completa ante una entrada CD de $1.8V$ para una frecuencia de reloj de $7kHz$.

Todas las pruebas sub-secuentes mostraron el mismo patrón para los coeficientes P y N tanto para las pruebas con entradas CD como para entradas sinusoidales.

Se observó que la magnitud del ruido presente en los coeficientes de salida es proporcional a la frecuencia del reloj.

Capítulo 6

Conclusiones

- El hardware de National Instruments seleccionado fue capaz de proporcionar todas las señales requeridas para la medición y generación de señales para la prueba del circuito integrado bajo prueba y permitirá la escalación y adaptación del sistema para futuras versiones del ASIC u otros circuitos integrados.
- Aun cuando el costo y complejidad de la implementación es elevado, el blindaje resulta ser un factor determinante en la medición de variables de bajo nivel.
- Las especificaciones de sensibilidad y exactitud de los instrumentos dependen de factores ambientales y el tiempo transcurrido desde su calibración.
- El software de diseño LabVIEW permite la configuración avanzada de los instrumentos, así como la programación de interfaz de usuario y rutinas auxiliares de una forma intuitiva y eficaz.

Capítulo 7

Recomendaciones

- Un diseño orientado a pruebas que integre la técnica de Líneas Guarda en sus salidas (tal como el amplificador operacional INA116) ayudaría a asegurar la integridad de la señal a través del PCB. Además, se adaptaría a las técnicas de blindaje utilizada por la mayoría de instrumentos de alta precisión.
- Para obtener las mejores condiciones de precisión de los instrumentos se recomienda el calentamiento previo de los mismos al menos una hora antes de realizar las mediciones. Aunado a esto, los mismos cuenta con la propiedad de auto-calibración, lo cual aplica un coeficiente de compensación para asegurar resultados similares a la calibración de fabrica.
- Los instrumentos utilizados presentan las mejores condiciones de precisión cuando trabajan entre un rango de temperatura respecto a la de calibración, por lo que para asegurar la repetitividad de las mediciones y la precisión del instrumento respetar estos límites es esencial. Aunado a esto como se mencionó en el marco teórico la humedad juega un efecto importante para las mediciones, por lo que de no encontrarse en una habitación con ambiente controlado es necesario el uso de desecantes.
- Si bien se tomaron en cuenta todas las recomendaciones acerca de blindaje para evitar pérdidas por efectos parásitos y ruido en el circuito impreso, una optimización adecuada sería desarrollar un circuito impreso optimizado para cada unidad, debido a que para cumplir con todos los requerimientos de todos los circuitos es necesario extender las señales por todo el circuito impreso, lo cual expone las señales a todos los efectos mencionados.

Bibliografía

- [1] Dave Porras Alvarado. *Diseño de una unidad de cálculo utilizada en la detección de disparos de armas de fuego*. ITCR, 22 de junio del 2011.
- [2] Berny Dinarte Caravaca. *Diseño de una fuente de corriente auto-polarizada de ultra-baja potencia, independiente de la tensión de alimentación y la temperatura para circuitos integrados analógicos*. ITCR, 19 de noviembre del 2010.
- [3] Alfonso Chacón. *Circuitos integrados de bajo consumo para la detección y localización de disparos de armas de fuego*. Universidad Mar del Plata, Mayo 2009.
- [4] Analog Devices. *Microstrip and stripline design*, 2009. URL <http://www.analog.com/static/imported-files/tutorials/MT-094.pdf> [visitado el 25 de Enero del 2012].
- [5] José Andrés Ibarra García. *Diseño de un filtro analógico para la detección de disparos de armas de fuego usando amplificadores operacionales de transconductancia*. ITCR, 23 de junio del 2011.
- [6] Frank Nicaragua Guzmán. *Diseño de un amplificador operacional de transconductancia para la implementación de filtros analógicos utilizados en la detección de disparos de armas de fuego*. ITCR, junio del 2010.
- [7] National Instruments. *About virtual instrumentation*, 2009. URL <http://zone.ni.com/devzone/cda/tut/p/id/2964> [visitado el 25 de Enero del 2012].
- [8] Keithley. *Low-level measurements handbook*, 2004. URL http://www.keithley.com/knowledgecenter/knowledgecenter_pdf/LowLevMsHandbk.pdf [visitado el 25 de Enero del 2012].
- [9] Esteban Baradín Méndez. *Diseño de una unidad de preprocesamiento de señales impulsivas basada en un filtro Haar*. ITCR, 22 de junio del 2011.
- [10] Matthew N. O. Sadiku. *Elementos de Electromagnetismo*. Alfaomega, 2006.

Apéndices

Apéndices A

Circuito Impreso

El circuito impreso se realizó mediante la técnica de Ataque Químico o "Etching" en una placa fotosensible de doble cara y 1/32 pulgadas (0.79375mm) de espesor. Los componentes utilizados son de tipo superficial (SMT por sus siglas en inglés) debido a que para esta tecnología se fabrican los componentes más precisos. Además, el uso de estos componentes permite una huella mucho menor que un circuito diseñado comparado con la tecnología de agujeros pasantes (through-hole).

La capa superior (Figura A.1) alberga la mayor cantidad de componentes debido a que en esta se encuentran todos los conectores que le permiten al usuario enrutar y configurar el circuito a probar. Por consiguiente, la capa inferior (Figura A.2) contiene la mayor cantidad de interconexiones entre el zocalo principal y conectores.

La figura A.3 corresponde al diagrama de distribución de componentes, y tiene como fin mostrar al usuario la ubicación de un conector específico requerido para la reconfiguración del circuito de prueba con base en el esquemático. Las marcas de agua en esta figura concuerdan con la distribución de pines de la figura B.1.

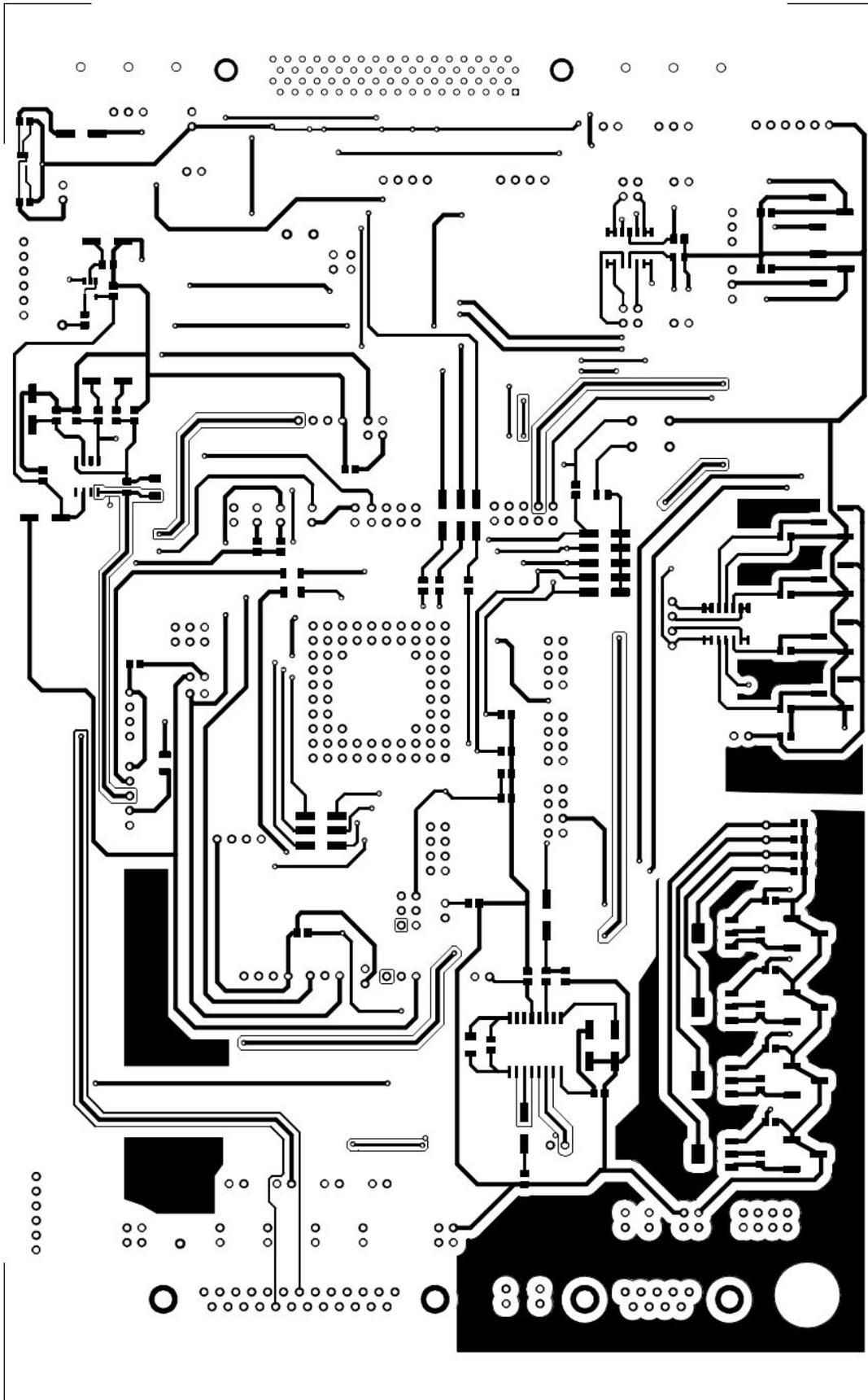


Figura A.1: Diagrama de pistas de la capa superior

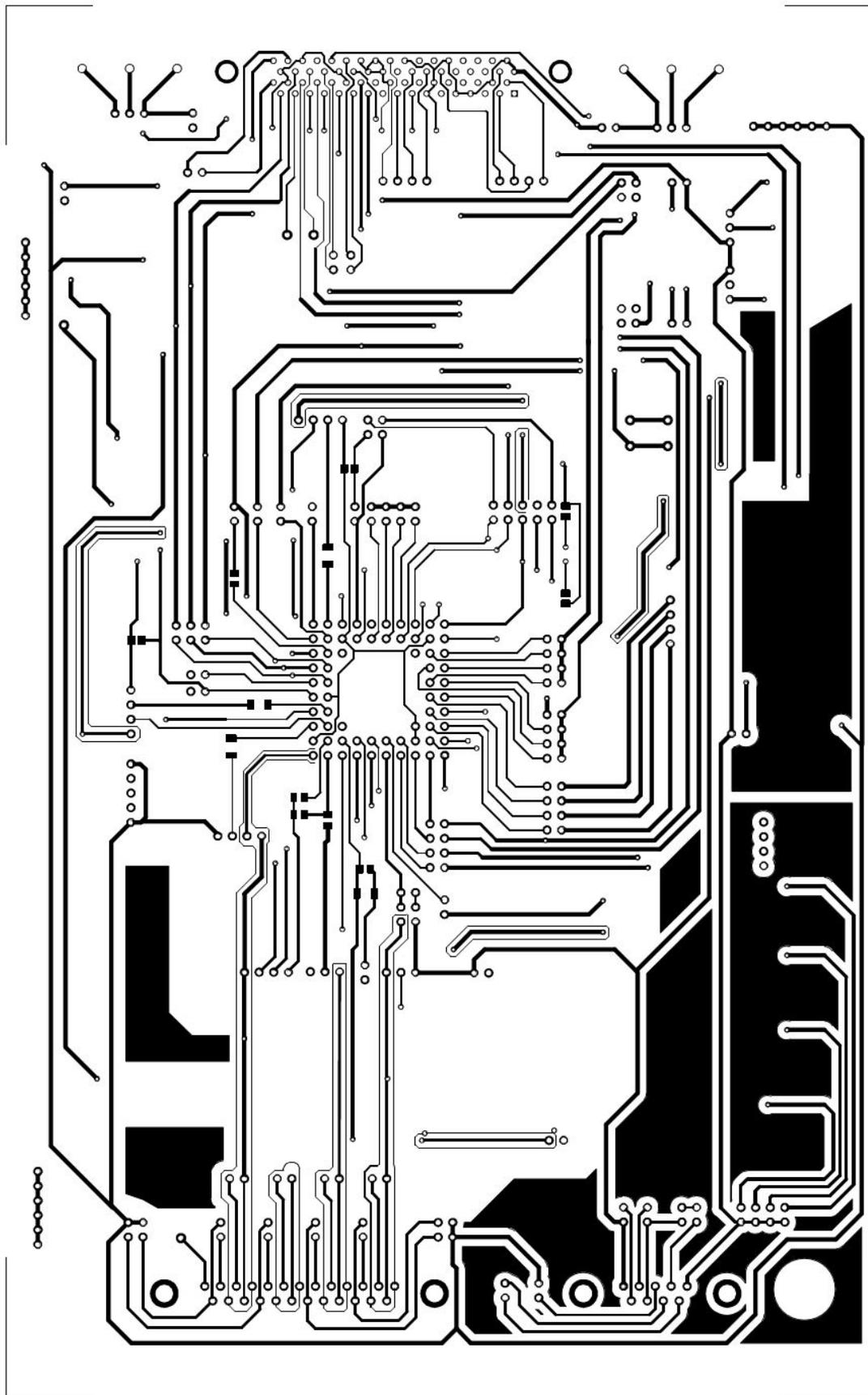


Figura A.2: Diagrama de pistas de la capa inferior

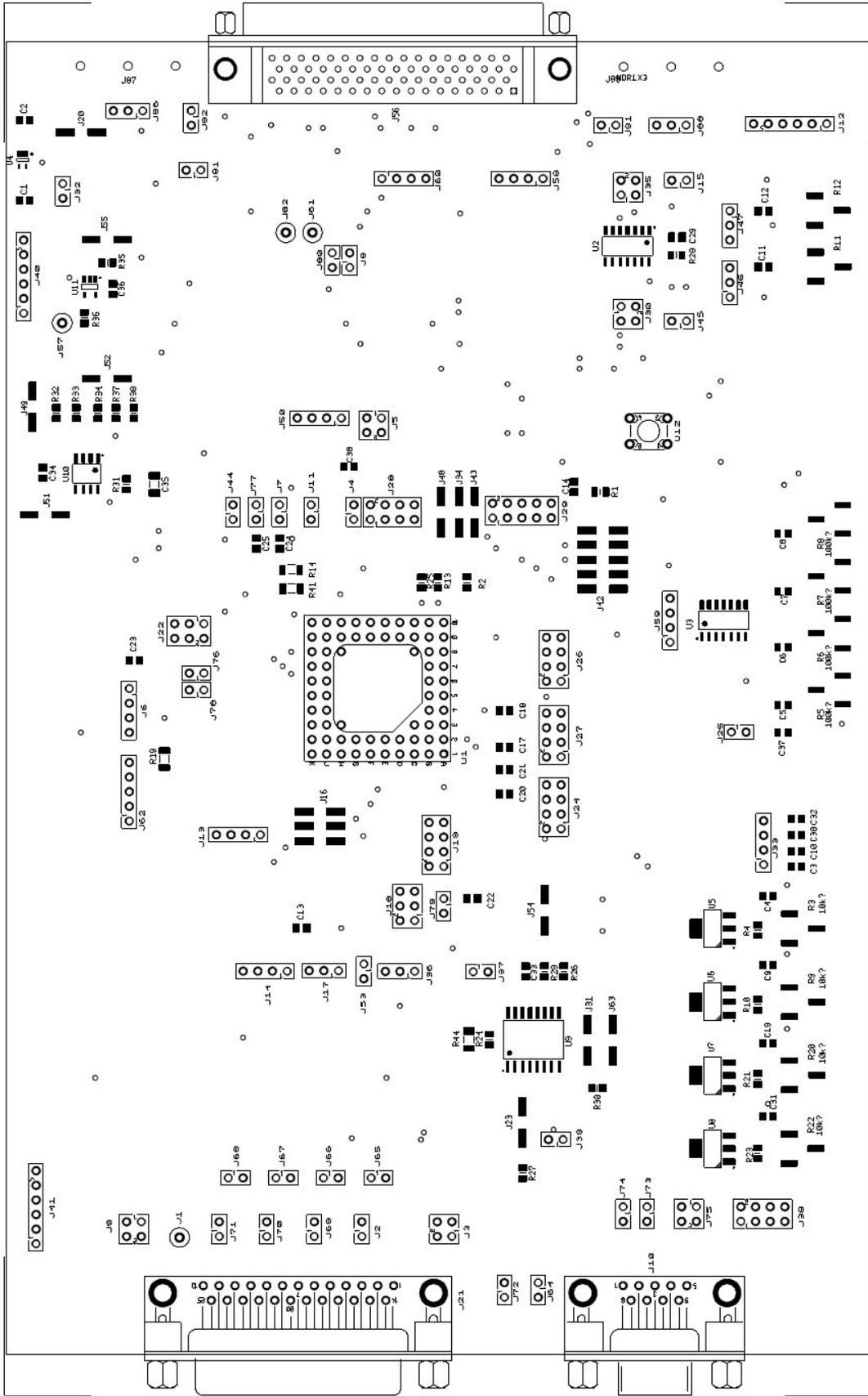


Figura A.3: Diagrama de distribución de componentes en el PCB

Apéndices B

Descripción de Pines

| Pin # | Unidad | Pin por Unidad | Pin PGA | Nombre del Pin |
|-------|----------------|----------------|---------|----------------|
| 1 | Calculo | 1P1 | A1 | VDD |
| 2 | | 1P2 | C2,C3 | GROUND |
| 3 | | 1P3 | B1 | OUT_CALC |
| 4 | | 1P4 | C1 | RECT5 |
| 5 | | 1P5 | D2 | RECT4 |
| 6 | | 1P6 | D1 | RECT3 |
| 7 | | 1P7 | E1 | VDD_Isd |
| 8 | | 1P8 | E2 | V_REF |
| 9 | | 1P9 | F1 | C5 |
| 10 | | 1P10 | F2 | C4 |
| 11 | | 1P11 | G1 | C3 |
| 12 | | 1P12 | G2 | B |

| Pin # | Unidad | Pin por Unidad | Pin PGA | Nombre del Pin |
|-------|-------------|----------------|---------|----------------|
| 20 | SBCS | 3P1 | K3 | IOUT_1 |
| 21 | | 3P2 | J4 | IOUT_2 |
| 22 | | 3P3 | K4 | IREF |
| 23 | | 3P4 | K5 | VDD_PAD |
| 33 | | 3P5 | K10 | VDD |
| 34 | | 3P6 | H5 | GROUND |
| 35 | | 3P7 | J10 | I_OUT_1 |
| 36 | | 3P8 | H10 | I_OUT_2 |
| 37 | | 3P9 | G3 | I_REF_SBC |
| 38 | | 3P10 | G10 | VDD_PAD |

| Pin # | Unidad | Pin por Unidad | Pin PGA | Nombre del Pin |
|-------|-----------------|----------------|---------|----------------|
| 13 | OTA 86ns | 2P1 | H1 | VDD |
| 14 | | 2P2 | H2 | IC_OT1A |
| 15 | | 2P3 | J1 | V_OT1A |
| 16 | | 2P4 | J2 | V_OT1A |
| 17 | | 2P5 | K1 | B1_OT1A |
| 18 | | 2P6 | J3 | B2_OT1A |
| 19 | | 2P7 | K2 | GROUND |

| Pin # | Unidad | Pin por Unidad | Pin PGA | Nombre del Pin |
|-------|-------------------|----------------|---------|----------------|
| 24 | Filtro GMC | 4P1 | J5 | GROUND |
| 25 | | 4P2 | K6 | VDD_PAD |
| 26 | | 4P3 | J6 | V_COEF_4 |
| 27 | | 4P4 | K7 | V_COEF_5 |
| 28 | | 4P5 | J7 | V_COEF_3 |
| 29 | | 4P6 | K8 | L_REF_PAD |
| 30 | | 4P7 | J8 | V_IN |
| 31 | 4P8 | K9 | V_REF | |
| 32 | 4P9 | J9 | VDD | |

| Pin # | Unidad | Pin por Unidad | Pin PGA | Nombre del Pin |
|-------|--------------------|----------------|---------|----------------|
| 39 | Filter HAAR | | | N/C |
| 65 | | | | N/C |

| Pin # | Unidad | Pin por Unidad | Pin PGA | Nombre del Pin |
|-------|--------------------|----------------|---------|-----------------|
| 40 | Filter HAAR | 5P1 | F9 | SAMPHI |
| 41 | | 5P2 | E10 | SAM_CD_3 |
| 42 | | 5P3 | E9 | SAM_CD_4 |
| 43 | | 5P4 | D10 | SEL_SAM_CD5_PAD |
| 44 | | 5P5 | D9 | VDD |
| 45 | | 5P6 | C10 | VDD_PAD_DIG |
| 46 | | 5P7 | C9 | RESET |
| 47 | | 5P8 | B10 | CLK |
| 48 | | 5P9 | B9 | GROUND |
| 49 | | 5P10 | A10 | C42_SAMP |
| 50 | | 5P11 | B8 | C42_SAMP_N |
| 51 | | 5P12 | A9 | CD3_P |
| 52 | | 5P13 | A8 | CD3_N |
| 53 | | 5P14 | B7 | CD4_P |
| 54 | | 5P15 | A7 | CD4_N |
| 55 | | 5P16 | A6 | CD5_P |
| 56 | | 5P17 | B6 | CD5_N |
| 57 | | 5P18 | A5 | VDD_A |
| 58 | | 5P19 | B5 | VREF_PDOWN |
| 59 | | 5P20 | A4 | VREF_NUP |
| 60 | | 5P21 | B4 | VREF_PUP |
| 61 | | 5P22 | A3 | VREF |
| 62 | | 5P23 | B3 | VMIID |
| 63 | | 5P24 | A2 | VIN |
| 64 | 5P25 | B2 | VDD_PAD | |

Figura B.1: Descripción de pines del ASIC

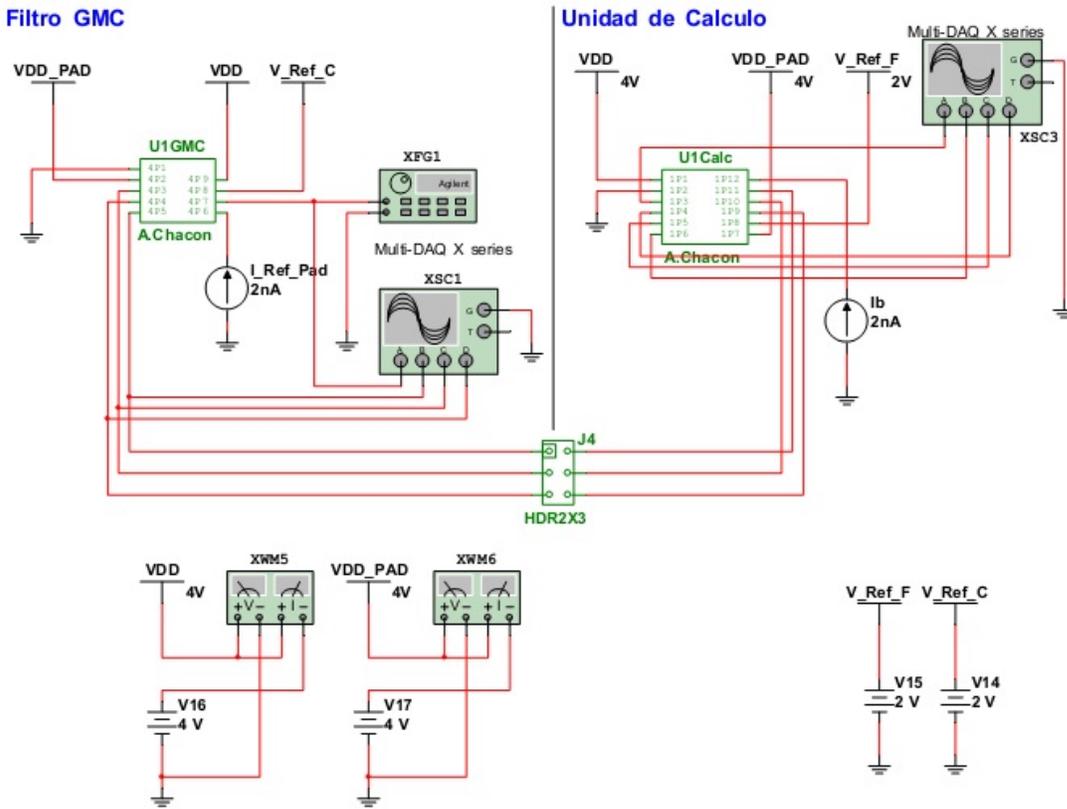


Figura C.3: Diagrama esquemático del circuito de medición de las unidades Filtro GMC y Unidad de Cálculo.

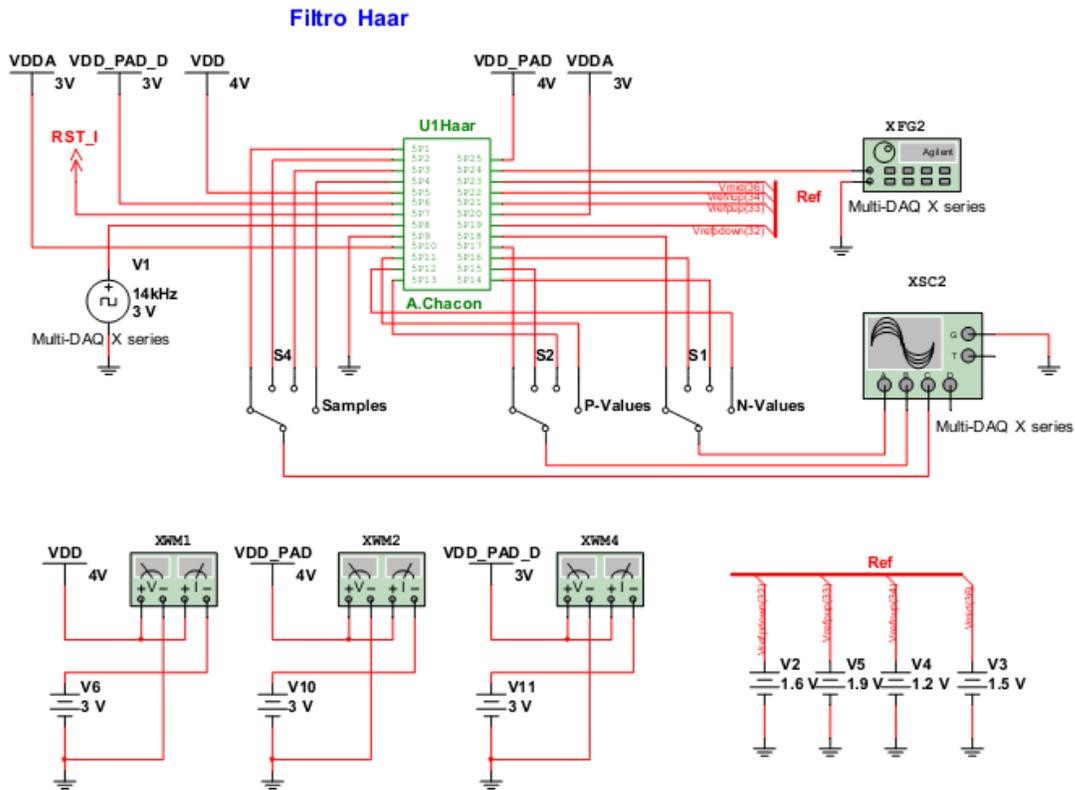


Figura C.4: Diagrama esquemático del circuito de medición de la unidad Filtro Haar.

Apéndices D

Imágenes del Sistema Implementado

El sistema de pruebas implementado en su totalidad es mostrado en la figura D.1. En la misma se muestra, a la izquierda la plataforma PXI con los distintos módulos de medición, en el centro el bloque de terminales y a la derecha el blindaje que contiene el circuito de medición. El circuito de medición puede observarse con más detalle en la figura D.2, en la misma se observan los pines de conexión y configuración (pin headers) utilizados para enrutar las señales según fuese requerido. Por último, la figura D.3 muestra el circuito integrado bajo prueba (ASIC) en la parte inferior del PCB.

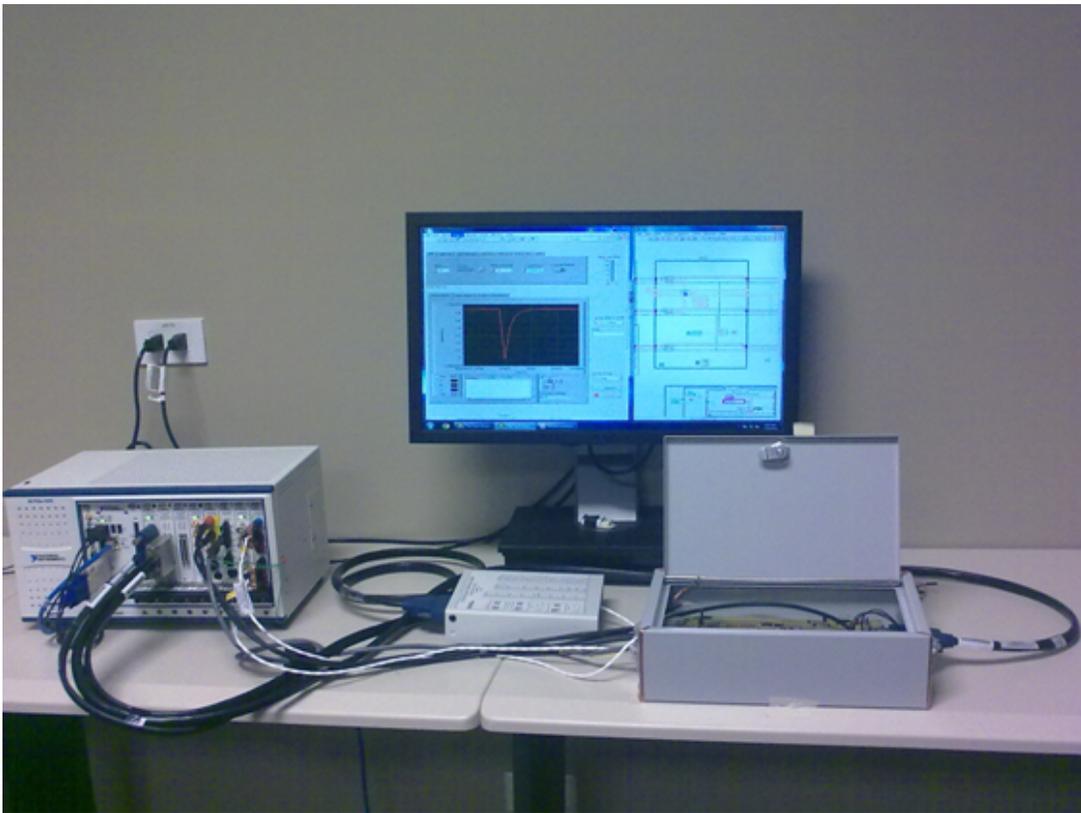


Figura D.1: Implementación del sistema.

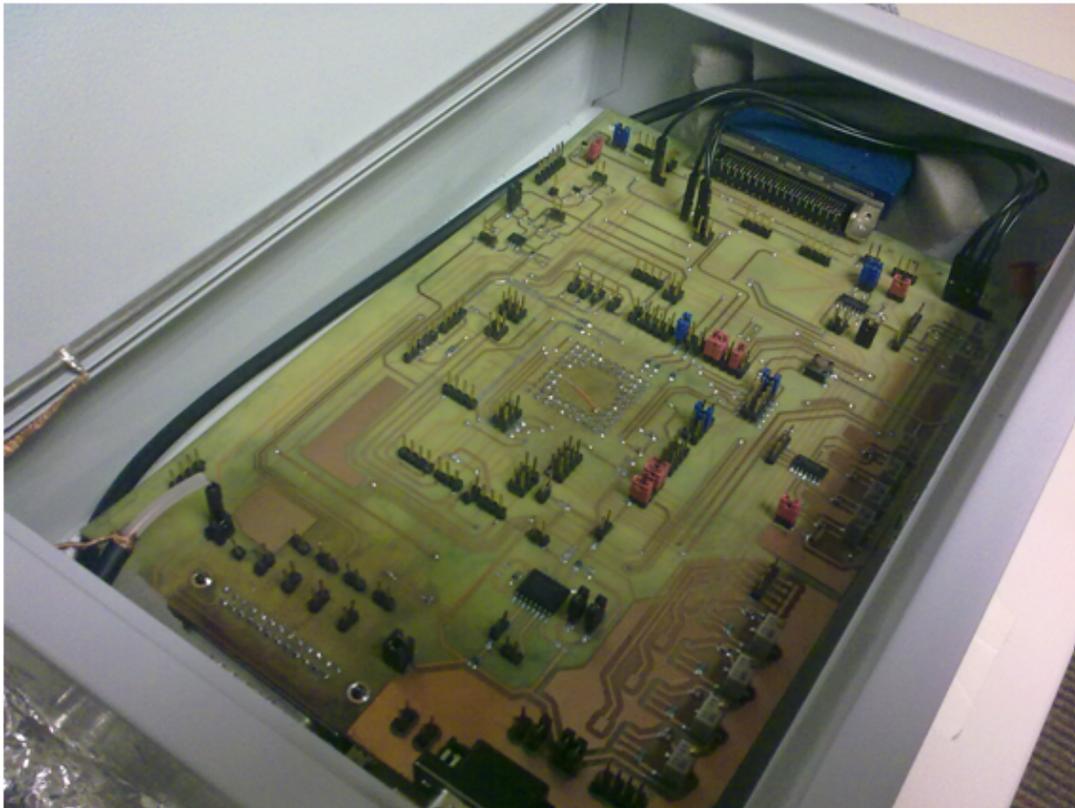


Figura D.2: Hardware de medición.



Figura D.3: Circuito integrado bajo prueba (ASIC).

Apéndices E

Lista de Abreviaciones

ASIC Application Specific Integrated Circuit
ATE Automated Test Equipment
DUT Device Under Test
IC Integrated Circuit
NI National Instruments
OTA Operational Transconductance Amplifier
PCB Printed Circuit Board
SBCS Self Biased Current Source
VI Virtual Instrument

