

**Instituto Tecnológico de Costa Rica**

**Escuela de Ingeniería en Electrónica**



**Detección de fallas en el funcionamiento de las tarjetas LA-800 y LA-911 de Teradyne de Costa Rica**

**Informe de Proyecto de Graduación para optar por el título de Ingeniero en Electrónica con el grado académico de Licenciatura**

**Fabián Bahamondes Soto**

**Cartago, Octubre de 2007**

**INSTITUTO TECNOLÓGICO DE COSTA RICA**  
**ESCUELA DE INGENIERÍA ELECTRÓNICA**  
**PROYECTO DE GRADUACIÓN**  
**TRIBUNAL EVALUADOR**

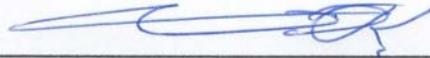
Proyecto de Graduación defendido ante el presente Tribunal Evaluador como requisito para optar por el título de Ingeniero en Electrónica con el grado académico de Licenciatura, del Instituto Tecnológico de Costa Rica.

**Miembros del Tribunal**



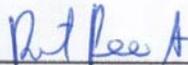
---

Ing. Arnoldo Rojas Coto  
Profesor lector



---

Ing. Miguel Hernández Rivera  
Profesor lector



---

Ing. Roberto Pereira Arroyo  
Profesor asesor

Los miembros de este Tribunal dan fe de que el presente trabajo de graduación ha sido aprobado y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica

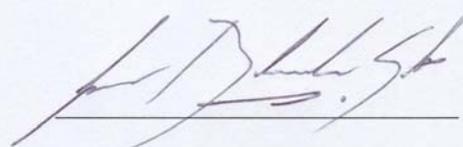
Cartago, Miércoles 28 de Noviembre de 2007

Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía, he procedido a indicar las fuentes mediante las respectivas citas bibliográficas.

En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.

Cartago, 4 de Octubre de 2007



Fabián Bahamondes Soto  
Céd: 1-1367-0431

## RESUMEN

En el presente documento se expondrá el proyecto desarrollado en el Centro de Reparación de la empresa Teradyne Inc. ubicado en Costa Rica. El problema abordado con este proyecto fue la incapacidad de detección de errores en las tarjetas LA-800 y LA-911, que son parte del sistema de prueba de circuitos integrados *Catalyst*, el cual se repara en Teradyne Costa Rica. La incapacidad de detección de daños en estas tarjetas tiene como consecuencia la pérdida completa de una tarjeta que podría ser reparable, y por lo tanto un gasto monetario que podría evitarse si la tarjeta se reparara.

La importancia de encontrar una manera viable de detectar los daños que se presentan en estas tarjetas radica en el ahorro que significa repararlas en vez de desecharlas. El Centro de Reparación de Costa Rica ha entrado en una creciente necesidad de disminuir sus costos de operación, ya que otros centros de reparación de Teradyne ubicados en el sudeste asiático están realizando el mismo trabajo que se lleva a cabo acá, y con costos menores. Esta situación obliga a Teradyne Costa Rica a buscar opciones para hacer competitivo el costo de su trabajo.

El enfoque de solución que se dio al problema expuesto fue el desarrollo de un sistema que pruebe los componentes de las tarjetas LA-800 y LA-911, por medio de pruebas funcionales y de la verificación de los parámetros especificados por el fabricante de cada componente. El sistema se comunica con el usuario por medio de una PC y le muestra gráficamente los componentes dañados en cada tarjeta, para que éste pueda reemplazarlos y repararla.

**Palabras clave:** Catalyst, Test Head, uWPort, Motherboard, pruebas funcionales, pruebas In-Circuit, cama de clavos, FPGA, LabVIEW.

## ABSTRACT

This document will explain all the issues related with the project developed in the Teradyne Inc. Repair Center located in Costa Rica. The problem that was faced with this project was the impossibility of detecting errors in the boards LA-800 and LA-911, which are part of the *Catalyst* IC test system. This system is repaired in Teradyne Costa Rica. The impossibility of detection of damages in these boards has as a consequence the total loss of a board that might be repairable, and hence, that might be avoidable if the board were repaired.

The importance of finding a feasible way for detecting the damages in these boards lies in the savings that represent to repair a board instead of scrapping it. Teradyne's Costa Rica Repair Center has entered in a growing need to lower its operational costs, due to the low operative cost of the repair centers that Teradyne has in South Asia. This situation pushes Teradyne Costa Rica to explore new options in order to make its work cost competitive.

The solution to the problem was approached by the development of a system that tests all of the components of the boards LA-800 and LA-911. This was achieved with the use of functional tests and the verification of the manufacturer parameters for each component. The system communicates with the user with a PC interface and it shows graphically the damaged components in each board, so that the user can be able to replace those components and repair the board.

**Keywords:** Catalyst, Test Head, uWPort, Motherboard, functional test, In-Circuit test, bed of nails, FPGA, LabVIEW.

## **DEDICATORIA**

Dedico este trabajo a mis padres, ya que gracias a ellos soy quien soy y estoy donde estoy en este momento. Nada en el mundo sería suficiente para expresar la gratitud y el amor que siento por ellos.

A ustedes, con mi mayor esfuerzo y con mucho amor... Infinitas gracias por estar siempre conmigo...

## **AGRADECIMIENTO**

Agradezco a todas las personas que me ayudaron a llevar este proyecto a buen término, en especial a los ingenieros Iván Ureña y Edgar Brenes por su asistencia técnica y su apoyo en el tiempo que estuve en Teradyne.

También agradezco a los grandes amigos que hice en mi etapa universitaria, por estar siempre conmigo, en las buenas y en las malas, y hacer de esta etapa, la mejor de mi vida.

## INDICE GENERAL

Capítulo 1: Introducción .....	12
1.1 Problema existente e importancia de su solución .....	12
1.2 Solución seleccionada .....	14
Capítulo 2: Meta y objetivos .....	16
2.1 Meta .....	16
2.2 Objetivo General .....	16
2.3 Objetivos Específicos .....	16
Capítulo 3: Marco Teórico .....	17
3.1 Descripción del sistema o proceso a mejorar .....	17
3.1.1 Descripción general del sistema de prueba Catalyst .....	17
3.1.2 Descripción general de la opción uWAVE6000 .....	19
3.1.3 Port Module (uWPort) .....	21
3.1.4 Controlador del Port Module .....	23
3.2 Antecedentes Bibliográficos .....	31
3.2.1 Generación automática de patrones de prueba (ATPG) .....	31
3.2.2 In-Circuit Test .....	32
3.2.3 Prueba de Sistema .....	36
Capítulo 4: Procedimiento metodológico .....	37
4.1 Reconocimiento y definición del problema .....	37
4.2 Obtención y análisis de información .....	37
4.3 Evaluación de las alternativas y síntesis de una solución .....	38
4.4 Implementación de la solución .....	39
4.5 Reevaluación y rediseño .....	41
Capítulo 5: Descripción detallada de la solución .....	42
5.1 Análisis de soluciones y selección final .....	42
5.1.1 Solución propuesta #1: Prueba Funcional Completa .....	42
5.1.2 Solución propuesta #2: Pruebas Funcionales por Componente .....	44
5.1.3 Elección de propuesta a implementar .....	46
5.2 Descripción del hardware .....	46
5.2.1 Ensamble mecánico de cama de clavos .....	47
5.2.2 Fuente de Alimentación .....	49
5.2.3 Tarjeta de acople Fuente-Mux/Demux-Motherboard .....	54
5.2.4 Tarjeta de Multiplexación/Demultiplexación .....	55
5.2.5 Bloque de conexión National Instruments CB-68LPR .....	65
5.2.6 Tarjeta de adquisición de datos (DAQ) National Instruments PCI-6221 .....	66
5.2.7 Computador .....	67
5.3 Descripción del software .....	68
5.3.1 Interfaz gráfica con el usuario .....	68
5.3.2 Programación de los algoritmos de prueba .....	74
Capítulo 6: Análisis de Resultados .....	87
Capítulo 7: Conclusiones y Recomendaciones .....	96
7.1 Conclusiones .....	96
7.2 Recomendaciones .....	96
Capítulo 8: Bibliografía .....	97
Capítulo 9: Apéndice .....	99

## INDICE DE FIGURAS

Figura 1 Sistema de prueba Catalyst .....	18
Figura 2 Arquitectura de la opción de Fuente de Microondas del sistema uWAVE6000.....	19
Figura 3 Arquitectura de la opción VNA del sistema uWAVE6000.....	20
Figura 4 Conexiones físicas del uWPort .....	22
Figura 5 Diagrama de bloques del Quadport.....	23
Figura 6 Línea de alimentación de las bobinas de los relays del controlador .....	25
Figura 7 Líneas de tensión para el control de la temperatura del Módulo RF .....	25
Figura 8 Interfaz del FPGA.....	26
Figura 9 Circuito de control de los relays .....	27
Figura 10 Conexión de cuatro de los relays del controlador .....	27
Figura 11 Conversión de las señales del FPGA a salidas de colector abierto .....	28
Figura 12 Circuito de Interfaz con el Measure Bus.....	29
Figura 13 Circuito para la conversión de las señales del Trigger Bus de ECL a TTL.....	29
Figura 14 Aspecto del controlador LA-911 .....	30
Figura 15 Aspecto del controlador LA-800 .....	31
Figura 16 Sistema de pruebas In-Circuit .....	32
Figura 17 Dimensiones y características de un Pogo Pin de la compañía Solarbotics .....	33
Figura 18 Ejemplo de un circuito digital.....	35
Figura 19 Diagrama de bloques de la solución propuesta #1 .....	43
Figura 20 Diagrama de bloques de la solución propuesta #2 .....	45
Figura 21 Diagrama de bloques del hardware de la solución implementada .....	47
Figura 22 Vistas superior y lateral del ensamble mecánico con el Motherboard.....	48
Figura 23 Ensamble mecánico de cama de clavos .....	49
Figura 24 Estructura interna de la fuente de alimentación .....	52
Figura 25 Circuito de la fuente de alimentación del sistema .....	53
Figura 26 Circuito de la Tarjeta de acople Fuente-Mux/Demux-Motherboard .....	54
Figura 27 Tarjeta de acople Fuente-Mux/Demux-Motherboard.....	55
Figura 28 Señales de los conectores de 26 pines en la tarjeta Mux/Demux .....	56
Figura 29 Conexiones de los bloques de conexión de tornillo WAGO .....	57
Figura 30 Distribución de componentes en la tarjeta Mux/Demux .....	57
Figura 31 Circuito demultiplexor de las salidas analógicas de la tarjeta de adquisición .....	58
Figura 32 Circuito multiplexor de las salidas analógicas del Motherboard .....	60
Figura 33 Circuito de distribución de I/Os digitales del DAQ .....	62
Figura 34 Circuito de conversión de señales TTL a ECL .....	63
Figura 35 Tarjeta Mux/Demux .....	64
Figura 36 Bloque conector CB-68LPR .....	65
Figura 37 Cable para conexión del DAQ con el bloque, NI SH68-68-D1 .....	65
Figura 38 Tarjeta de adquisición de datos NI PCI-6221 .....	66
Figura 39 Cuadro inicial de la interfaz gráfica del sistema de prueba .....	69
Figura 40 Revisión del estado de las líneas de alimentación .....	69
Figura 41 Interfaz principal de pruebas .....	70
Figura 42 Mensaje con instrucciones de interpretación de resultados .....	71

Figura 43	Opción para selección del modo de prueba .....	71
Figura 44	Selección de unidad funcional para probar .....	72
Figura 45	Opción de prueba de componente individual .....	72
Figura 46	Apariencia del cuadro <i>Board Test</i> mientras se corre una prueba .....	73
Figura 47	Indicadores de prueba finalizada .....	73
Figura 48	Estructura de evento usada en la programación de la interfaz .....	74
Figura 49	Instancia de subVI desde la estructura de evento de la interfaz gráfica...	75
Figura 50	Diagrama de estados del algoritmo de medición de líneas de alimentación .....	76
Figura 51	Diagrama de estados del algoritmo de prueba de los drivers de los relays .....	78
Figura 52	Diagrama de bloques de la prueba de los convertidores ECL a TTL .....	79
Figura 53	Diagrama de estados del algoritmo de prueba de los CIs digitales.....	81
Figura 54	Diagrama de estados del algoritmo de prueba del CI U6 del Motherboard, DG-412.....	83
Figura 55	Tiempos de operación, rebote y liberación del relay EA2-5 con respecto a la potencia aplicada .....	85
Figura 56	Diagrama de estados del algoritmo de prueba de los relays.....	86
Figura 57	Forma adecuada para sujetar la tarjeta al ensamble mecánico .....	90
Figura 58	Tensión alcanzada por el contacto 1 del relay K1 de cinco diferentes Motherboards con respecto al tiempo que el sistema de prueba permaneció encendido.....	93
Figura 59	Representación gráfica del Motherboard y el estado de los componentes en la interfaz con el usuario .....	94
Figura 60	Conexión del bus I <sup>2</sup> C.....	100

## INDICE DE TABLAS

Tabla 1	Función de los componentes de la opción de VNA del sistema uWAVE6000	20
Tabla 2	Conexiones físicas del uWPort.....	21
Tabla 3	Ubicación de las líneas HPWR en los conectores de los controladores.....	25
Tabla 4	Salidas de la interfaz del Measure Bus .....	29
Tabla 5	Requerimientos de alimentación de los componentes del Motherboard .....	50
Tabla 6	Requerimientos de alimentación de los componentes de la tarjeta de Multiplexación/Demultiplexación .....	50
Tabla 7	Requerimientos de alimentación de los componentes de la tarjeta de acople Fuente-Mux/Demux-Motherboard .....	50
Tabla 8	Lista de materiales de la fuente de alimentación.....	53
Tabla 9	Lista de materiales de la tarjeta de acople .....	55
Tabla 10	Selección de canales 2 o 6 con las líneas de control CANOUT .....	59
Tabla 11	Señales por canal de cada multiplexor/demultiplexor.....	61
Tabla 12	Lista de materiales de la tarjeta Mux/Demux.....	64
Tabla 13	Características técnicas de la tarjeta de adquisición NI PCI-6221 .....	66
Tabla 14	Características del computador utilizado en el sistema.....	68
Tabla 15	Rango de tensión aceptable para cada línea de alimentación del Motherboard.....	76
Tabla 16	Parámetros tomados en cuenta para el diseño de la prueba .....	77
Tabla 17	Tabla de verdad de una compuerta NAND de dos entradas .....	78
Tabla 18	Voltajes asignados a las entradas del DG-412 para la prueba.....	82
Tabla 19	Parámetros del relay EA2-5 utilizados en la prueba .....	84
Tabla 20	Caracterización de los errores de funcionamiento que podrían presentar los componentes probados por el sistema .....	91

## Capítulo 1: Introducción

El presente proyecto se realizó en la compañía Teradyne de Costa Rica. Esta es una empresa estadounidense que se dedica al diseño y manufactura de Equipo Automático de Prueba o ATE (Automatic Test Equipment, por sus siglas en inglés), el cual es utilizado por compañías relacionadas con el campo de la electrónica para hacer pruebas a los equipos que producen. La empresa tiene cuatro grandes divisiones: *Broadband Test*, *Assembly Test*, *Semiconductor Test* y *Vehicle Diagnostic*, las cuales se organizan por los productos que desarrollan y distribuyen.

La división *Semiconductor Test* construye equipo de prueba para compañías de desarrollo y manufactura de circuitos integrados de diversas tecnologías, como Lógica, RF, Analógica, Potencia, Señal Mixta y Memorias. Esta división representa el 80% del trabajo de Teradyne.

La planta de Teradyne que se encuentra en Costa Rica es parte de la división *Semiconductor Test* y se encarga de reparar las tarjetas dañadas de los diferentes equipos de esta división que la empresa vende a otras compañías. Los equipos que Teradyne vende y que posteriormente presentan daños, reciben soporte técnico por parte de los expertos de Teradyne, denominados *Fill Engineers*, quienes revisan estos equipos en el lugar donde se encuentren instalados. Si el equipo dañado se encuentra dentro del período de garantía, o presenta daños en el momento de su instalación, Teradyne cubre el costo de reponer las partes dañadas. Cuando los *Fill Engineers* detectan fallas en una tarjeta específica del equipo que estén revisando, la extraen del mismo y la envían a los Centros de Servicio que Teradyne tiene en diferentes partes del mundo, entre ellos el de Costa Rica. En los Centros de Servicio, la tarjeta con fallas se repara, se calibra y cuando está lista retorna a los Centros de Almacenamiento de Stock, donde permanece hasta que se sea necesario utilizarla como repuesto para otro equipo.

### 1.1 Problema existente e importancia de su solución

Uno de los equipos para prueba de circuitos integrados que produce la división *Semiconductor Test* de Teradyne es el **Catalyst**. Este aparato provee cobertura a una amplia gama de aplicaciones de semiconductor, dentro de las cuales están xDSL, wireless/RF, redes y administración de energía [2]. Internamente, el Catalyst está compuesto de varios sistemas, cada uno de los cuales se utiliza para realizar pruebas a un tipo específico de circuito integrado. Para las pruebas de los circuitos integrados wireless/RF, el Catalyst incluye un sistema llamado **μWAVE6000**, el cual puede ser configurado para gran cantidad de pruebas, desde aplicaciones RF altamente específicas hasta pruebas extensivas para integrados SOC (system on a chip, por sus siglas en inglés) de tecnología inalámbrica.

El sistema μWAVE6000 está compuesto de varias tarjetas. Una de éstas es el μWPort (microwave port), que se encarga de comunicar el μWAVE6000 con el circuito integrado que se requiere probar y viceversa. Asimismo, el μWPort se

compone de dos secciones principales, el *Módulo RF*, que es la sección encargada de transmitir y recibir las señales RF desde y hacia el integrado de prueba, y el *Motherboard*, que es la sección encargada de controlar el funcionamiento del Módulo RF. El Módulo RF es la parte más cara de la tarjeta, con un costo aproximado de \$21.000, y es producido por una compañía externa a Teradyne llamada Anritsu. El Motherboard es construido por Teradyne y su costo máximo es de \$800.

El  $\mu$ WPort es una de las tarjetas que pueden presentar fallas dentro del Catalyst, y que son enviadas a Costa Rica para ser reparadas. En el Centro de Reparación no se realizan reparaciones al  $\mu$ WPort, solamente se revisa y se calibra. Si en la revisión se encuentran fallos en el Módulo RF, la tarjeta se envía a Anritsu y esta compañía se encarga de la reparación y la devuelve al Centro de Reparación de Teradyne. El Módulo RF no se repara en Teradyne porque las especificaciones técnicas necesarias para repararlo pertenecen a Anritsu y son confidenciales. Si el  $\mu$ WPort no presenta daños, o una vez que Anritsu lo devuelve reparado, los técnicos de Teradyne lo someten a un proceso de calibración, al final del cual lo dejan listo para ser reutilizado.

En el caso de que durante la revisión del  $\mu$ WPort los técnicos determinen que éste presenta un daño en el Motherboard, el procedimiento a seguir es reemplazar dicho Motherboard por uno nuevo, y desechar el dañado. Esto debido a que la compañía considera al Motherboard como un *consumible*, es decir, una tarjeta que no se repara y es desechada una vez que se descompone. Por esta razón, los técnicos de Teradyne no conocen el funcionamiento de esta sección del  $\mu$ WPort y no cuentan con un algoritmo para revisarla y repararla.

El no tener la capacidad de reparar los daños existentes en el Motherboard del  $\mu$ WPort trae diversas consecuencias para la compañía. La primera de ellas es monetaria, ya que el reponer cada tarjeta dañada por una nueva puede costar \$300 ó \$800. Existen dos precios diferentes debido a que hay dos tipos de  $\mu$ WPort: el Quad-Port y el Octo-Port, y cada uno utiliza un Motherboard diferente. El Octo-Port es el  $\mu$ WPort más utilizado y el que utiliza el Motherboard más caro, el de \$800.

Por otro lado, actualmente se cuenta con pocos Motherboards nuevos para reemplazar los que puedan presentar daños, por lo cual se hace necesario reparar los que se dañen. Esta necesidad produce que los técnicos, al no contar con un método formal de reparación de los Motherboards, utilicen su criterio de experto para tratar de arreglarlos cambiando componentes. En estos intentos de reparación se corre el riesgo de reemplazar componentes que no corrigen los daños de la tarjeta, y esto también tiene como consecuencia un desperdicio monetario y un gasto en vano del tiempo de trabajo de los técnicos.

El déficit de Motherboards buenos produce que también un déficit de  $\mu$ WPorts buenos y listos para mandar al Centro de Almacenamiento, y por lo tanto una deficiencia en la capacidad de Teradyne de suplir con repuestos a sus clientes de manera expedita, lo cual finalmente tiene como consecuencia la disconformidad del cliente y a gran escala, el deterioro de la imagen de la empresa.

Finalmente, el hecho de descartar completamente las tarjetas dañadas genera un problema en el manejo de desechos, ya que los componentes de estas tarjetas no son reutilizados, por lo cual los  $\mu$ WPorts con daños irreparables se almacenan en una bodega dentro de la compañía.

Por las razones anteriormente mencionadas se pretende desarrollar un sistema de pruebas para detectar fallas en el funcionamiento del Motherboard del  $\mu$ WPort. Si se implementa dicho sistema, la compañía percibiría los siguientes beneficios:

- Beneficio económico, ya que se cambiaría el costo de reemplazar el Motherboard completo (\$300 ú \$800) por el costo de reemplazar los componentes que estén dañados dentro del Motherboard, que podría ser aproximadamente de \$30 y \$50 como máximo por tarjeta.
- Ahorro de horas hombre y dinero en concepto de componentes al evitar que los técnicos realicen intentos fallidos de reparación de las tarjetas.
- Aumento en el Stock de  $\mu$ WPorts disponibles para ser reutilizados.
- Aumento en la satisfacción de los clientes al recibir una atención técnica más rápida y eficiente.
- Disminución en la cantidad de desechos producidos por la compañía, ya que se pasaría de desechar una tarjeta completa a desechar solamente los componentes dañados de la misma.

## 1.2 Solución seleccionada

Para el desarrollo de la solución al problema, Teradyne no propuso ninguna restricción técnica específica, sin embargo sí se plantearon algunos parámetros a considerar:

- Que el sistema a desarrollar tenga el mayor grado de autonomía posible sobre el proceso de prueba de la tarjeta, para minimizar el tiempo de atención que los técnicos dediquen a la reparación del Motherboard.
- Que el sistema de pruebas para el Motherboard le indique al operador qué partes de la tarjeta están descompuestas para que éste pueda reemplazarlas.
- Por disponibilidad del software, se indicó que era preferible pero no indispensable desarrollar la interfaz de usuario con LabVIEW.

La solución que se seleccionó para abordar el problema expuesto anteriormente, fue desarrollar un sistema que realice pruebas funcionales a los principales componentes del Motherboard, con el fin de determinar cuál componente presenta problemas de funcionamiento. Una vez realizadas las pruebas, el sistema indica al operador los

resultados obtenidos y los componentes posiblemente dañados. Se seleccionó este enfoque de la solución por ser el que mejor se adecuó a las características del problema y específicamente de la tarjeta a probar.

## **Capítulo 2: Meta y objetivos**

### **2.1 Meta**

Reducir en un 70% el número de Motherboards desechados anualmente en Teradyne Costa Rica por causa de daños reparables.

### **2.2 Objetivo General**

Crear el prototipo de un sistema electrónico que permita identificar los componentes de un Motherboard que presenten fallas en su funcionamiento.

### **2.3 Objetivos Específicos**

- a. Determinar las características de funcionamiento del  $\mu$ WPort y el papel que éste juega dentro del sistema  $\mu$ WAVE6000.
- b. Caracterizar y clasificar los errores de funcionamiento que se presentan en el Motherboard.
- c. Diseñar un sistema que permita realizar pruebas de funcionamiento a un Motherboard en revisión.
- d. Diseñar un proceso dentro del sistema anterior que permita detectar y clasificar los errores que se encuentren en un Motherboard en revisión.

## Capítulo 3: Marco Teórico

En el presente capítulo se tratarán los principales conceptos relacionados con el problema a resolver y con su solución. Se explicarán las características básicas del sistema de pruebas Catalyst, la opción de microondas uWAVE6000, del uWPort y del Motherboard. Posteriormente se presentarán los aspectos electrónicos que debieron tomarse en cuenta para la selección y el desarrollo de la solución.

### 3.1 Descripción del sistema o proceso a mejorar

#### 3.1.1 Descripción general del sistema de prueba Catalyst [19]

Catalyst es uno de los sistemas de prueba de señal mixta de Teradyne, el cual fue diseñado para cubrir las crecientes necesidades de los CIs (circuitos integrados) *super chip*. Este tipo de CIs integran sistemas digitales, memorias y sistemas analógicos en un mismo chip. El Catalyst es capaz de hacer pruebas a ASICs<sup>1</sup> avanzados de señal mixta en conjunto con VLSI<sup>2</sup> digitales y con modernos sistemas analógicos.

El sistema Catalyst puede ser configurado para contener un completo equipo de instrumentación, el cual incluye mediciones AC, DC, RF y módulos de medición digital y de medición de tiempo. Esta instrumentación combinada con software de gráficos avanzados permite llevar a cabo pruebas de alto volumen y alta velocidad para dispositivos tales como amplificadores operacionales, reguladores de tensión y convertidores digital/analógico.

Este sistema utiliza una arquitectura de computador dual, que dedica una computadora en conjunto con el *Mainframe* para la ejecución de pruebas, y usa otra computadora, basada en un sistema operativo UNIX<sup>TM</sup> avanzado y optimizado para otras funciones de usuario o de red, tales como la programación y el control de la computadora de pruebas. También puede ser utilizado con un máximo de dos *Test Heads* con capacidad de ejecución de pruebas en paralelo para incrementar el rendimiento de procesamiento.

La construcción física del sistema Catalyst se muestra en la Figura 1, donde se pueden apreciar sus partes principales, las cuales se enumeran a continuación:

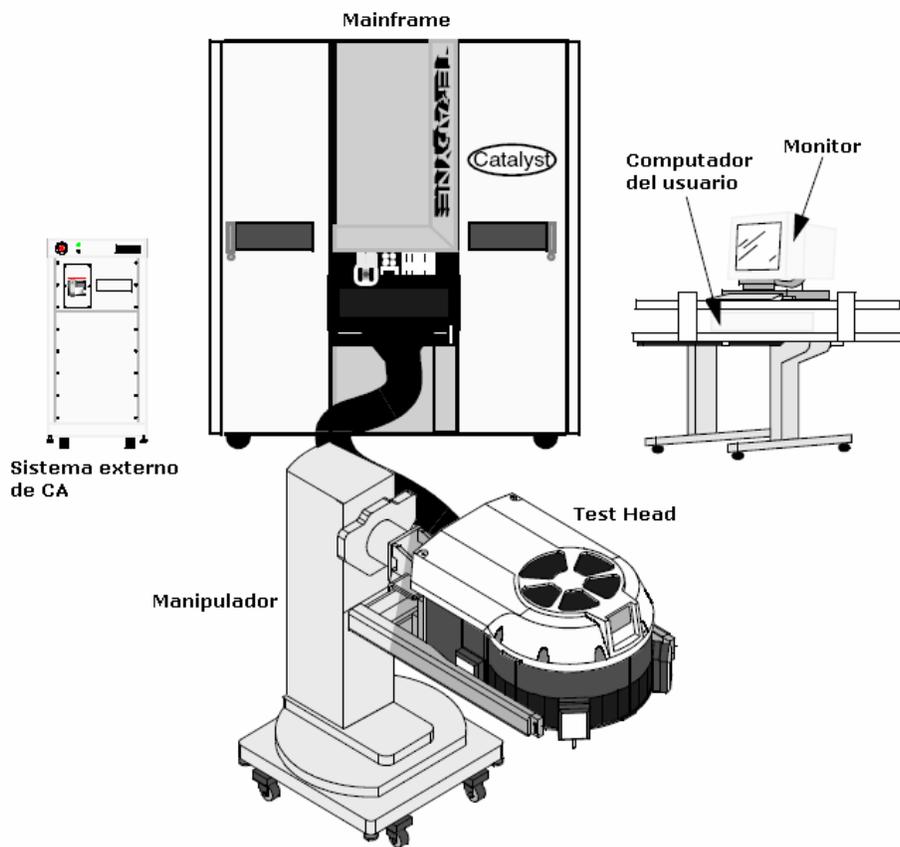
- *Sistema central de prueba (Mainframe)*. Esta sección contiene los sistemas de administración de energía, tanto en CD como en CA que permiten el funcionamiento general del sistema de pruebas. También provee espacio físico para colocar tarjetas adicionales que formen parte de las opciones de prueba del sistema. Además, dentro del Mainframe se encuentra una computadora que tiene la función de controlar el hardware del sistema de prueba y recibir configuraciones desde la computadora de usuario.

---

<sup>1</sup> Ver Apéndice A.1

<sup>2</sup> Ídem

- *Cabeza de prueba (Test Head)*. Es la interfaz del sistema con el dispositivo bajo prueba (DUT). Contiene las tarjetas de las diferentes opciones de prueba del sistema que tienen interacción con DUT, y que reciben y envían información al Mainframe.
- *Computadora del usuario*. Esta computadora contiene el software de manejo del sistema Catalyst. A través de ella, el usuario configura las pruebas que desee realizar y puede observar los resultados obtenidos de éstas.
- *Sistema externo de energía en corriente alterna*. Este sistema se encarga de la distribución de la energía eléctrica para la alimentación del Mainframe y el Test Head.



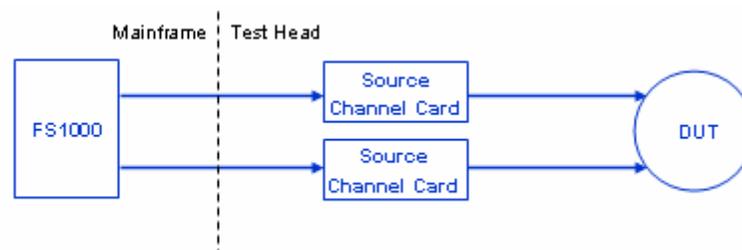
**Figura 1** Sistema de prueba Catalyst

El sistema Catalyst tiene diferentes opciones para prueba de CIs con gran variedad de aplicaciones diferentes, entre las cuales se incluye la opción de prueba de circuitos integrados de Microondas, uWAVE6000, que se comentará a continuación.

### 3.1.2 Descripción general de la opción uWAVE6000 [20]

El sistema uWAVE6000 es la opción de microondas de los sistemas de prueba A5, Catalyst y Tiger. Este sistema genera radiofrecuencias en el rango de 10MHz a 6GHz y se puede utilizar de dos maneras: como fuente de microondas o como analizador de vectores de red (VNA por sus siglas en inglés), el cual se utiliza para caracterizar redes o dispositivos, activos o pasivos, en términos de los parámetros de dispersión<sup>3</sup> (parámetros S).

En la opción de fuente de microondas, se utiliza un sintetizador de frecuencia FS1000 que se conecta a las tarjetas uWSource, y éstas se conectan directamente al dispositivo de prueba. La arquitectura básica de esta configuración se muestra en la Figura 2.

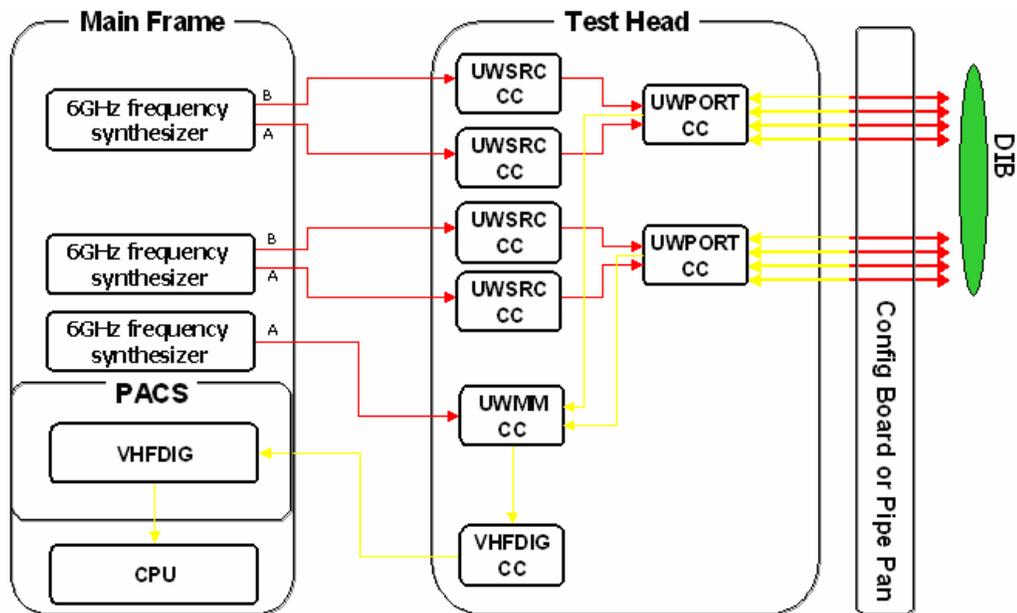


**Figura 2** Arquitectura de la opción de Fuente de Microondas del sistema uWAVE6000

La opción de VNA del uWAVE6000 está compuesta por sintetizadores de frecuencia FS1000, que se encuentran en el Mainframe, por las tarjetas uWSource, uWPort, uWMeasure Module y VHF Digitizer, que se encuentran dentro del Test Head, y la tarjeta de interfaz con el dispositivo bajo prueba, DIB por sus siglas en inglés. También se encuentra otro VHF Digitizer en el Mainframe, el cual forma parte del PACS (precision AC subsystem), que es el subsistema que provee la interfaz entre el sistema y las diferentes opciones del mismo. En la Figura 3 se muestra la arquitectura de la opción VNA del sistema uWAVE6000.

---

<sup>3</sup> Ver Apéndice A.1



**Figura 3** Arquitectura de la opción VNA del sistema uWAVE6000

En la Tabla 1 se muestra la función de cada uno de los componentes de la opción de VNA.

**Tabla 1** Función de los componentes de la opción de VNA del sistema uWAVE6000

Componente	Función
Sintetizador de Frecuencia FS1000	<ul style="list-style-type: none"> <li>Provee frecuencias desde 10MHz hasta 6GHz con una resolución de 2Hz.</li> <li>El Measure Module utiliza su salida como un oscilador local (LO).</li> </ul>
Source Channel	<ul style="list-style-type: none"> <li>Recibe la entrada RF del FS1000, ajusta los niveles de la señal y envía la señal al Port Module</li> </ul>
Port Module	<ul style="list-style-type: none"> <li>Recibe la entrada desde los VHF Source Channel Cards y provee cuatro u ocho conexiones de fuente y medición desde y hacia el DUT en el rango de 10MHz – 6GHz.</li> <li>Provee la frecuencia de entrada de 10MHz – 6GHz al Measure Module.</li> </ul>
Measure Module	<ul style="list-style-type: none"> <li>Convierte las frecuencias de 10MHz – 6GHz a una frecuencia intermedia (IF) para que pueda ser medida por el VHF Digitizer Channel Card.</li> <li>Se conecta al bus THADS para permitir al VHF Digitizer tener acceso a la IF de 50kHz a 10MHz.</li> <li>Se conecta directamente vía cable coaxial al VHF Digitizer para que este tenga acceso a la IF de 50kHz a 20MHz.</li> </ul>
VHF Digitizer	<ul style="list-style-type: none"> <li>Digitaliza la medición tomada.</li> </ul>

### 3.1.3 Port Module (uWPort) [20]

#### 3.1.3.1 Descripción General

El uWPort es un módulo del Test Head que se usa para proveer una interfaz bidireccional entre uno o dos uWSRC y el DUT. También se utiliza para crear la interfaz entre el DUT y el Measure Module. Cumple la función de conectar el VNA con el DUT. El Port Module, en conjunto con la fuente de microondas de onda continua (CW), provee mediciones escalares y vectoriales en el rango de 10MHz a 6GHz.

Además de las funciones de interfaz anteriormente mencionadas, el uWPort también:

- Provee una trayectoria de bajo ruido en la dirección de medición para mediciones de bajo nivel de potencia y para pruebas de “noise figure”.
- Provee un punto de intermodulación<sup>4</sup> para sumar dos uWSRCs, lo cual habilita la opción de pruebas de intermodulación de dos tonos sin necesidad de circuitería externa en el DIB.
- Tiene una estabilización de temperatura para evitar la deriva debida a la deriva de la temperatura<sup>5</sup> ambiente.

El numero de parte del uWPort en Teradyne es 803-596-0x, donde los últimos dos dígitos del numero definen la versión del Port Module. Las versiones QuadPort (proveen 4 canales de fuente y medición) para el A5 y el Catalyst tienen los sufijos 00 y 05 respectivamente. Las versiones Octoport (proveen 8 canales de fuente y medición) tienen los sufijos 02 para el A5, 07 para el Catalyst y 08 para el Tiger. El uWPort se compone de dos componentes, el RF Module (733-098-00, 733-124-00), que es la sección que se encarga del manejo de las señales RF, y el Motherboard (949-800, 949-911), que es la sección que controla el funcionamiento del RF Module.

#### 3.1.3.2 Conexiones físicas de los Port Modules

En la Tabla 2 y la Figura 4 se observan las conexiones para los dos tipos de uWPort.

**Tabla 2** Conexiones físicas del uWPort

Dispositivo	Jack de conexión Quadport	Jack de conexión Octoport
Source 1	J1	J1
Source 2	J2	J2
DIB canales 1-4	J3-J6 respectivamente	J3-J6 respectivamente
DIB canales 5-8	No disponible	J14-J17 respectivamente
Measure Module	J7	J7
Analog Backplane	Conector de 51 pines J1	Conector de 51 pines J1

<sup>4</sup> Ver Apéndice A.1

<sup>5</sup> Ídem

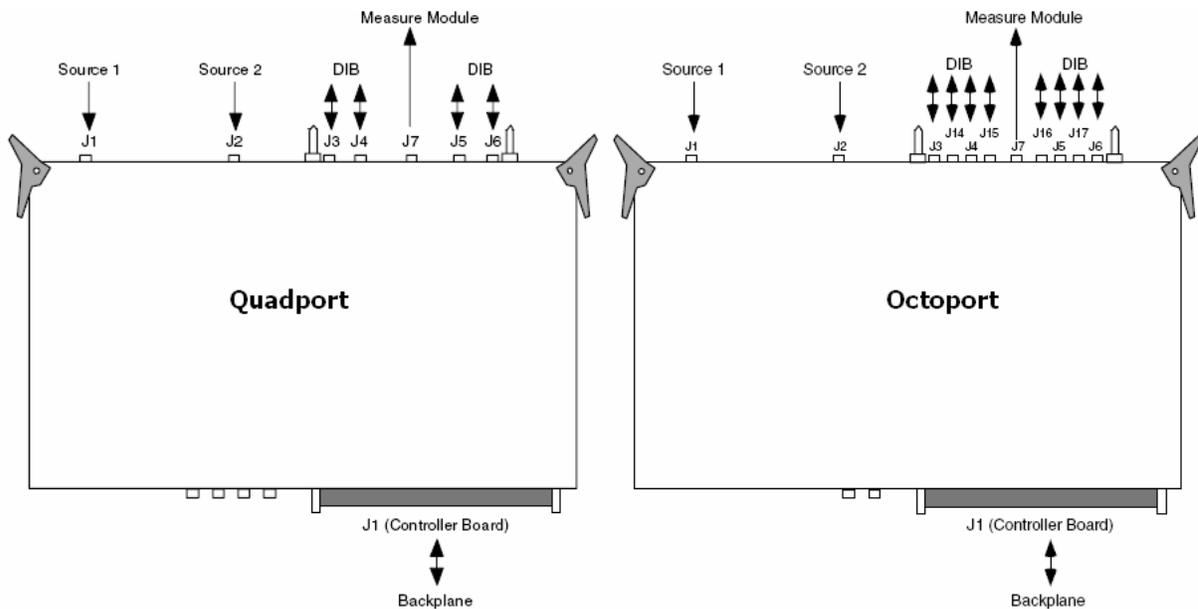


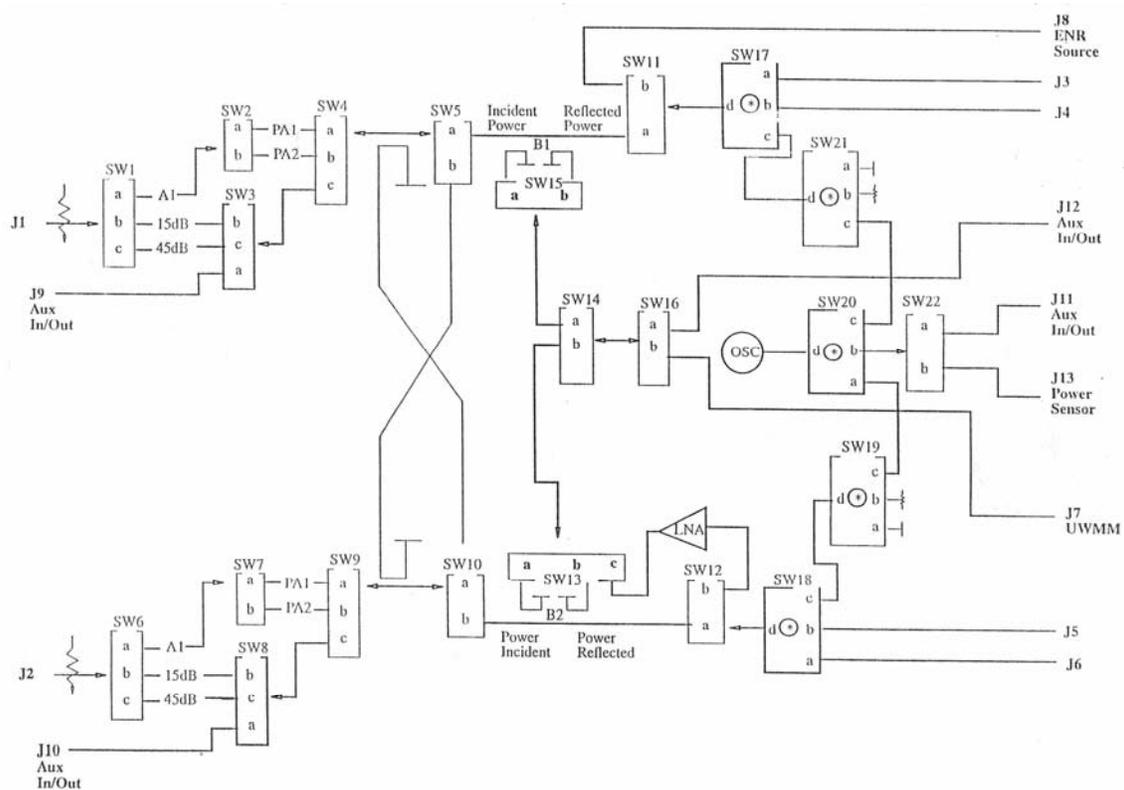
Figura 4 Conexiones físicas del uWPort

### 3.1.3.3 Esquema general de funcionamiento del Port Module

Como se observa en la Figura 5, donde se muestra el diagrama de bloques del Quadport, el uWPort tiene dos canales idénticos. En cada canal la señal del uWSRC pasa a través de un circuito de selección de ganancia hacia el puente de intermodulación. Por medio de comandos de software, la salida del puente de intermodulación pasa directamente hacia el reflectómetro<sup>6</sup> o se combina con la señal de entrada del otro puente y pasa hacia el reflectómetro en el otro canal. Si la señal del uWSRC #1 (J1) pasa directamente, sale por el uWPort A (J3) o el uWPort B (J4), y la señal del uWSRC #2 (J2) sale por el uWPort C (J5) o el uWPort D (J6). Si las señales fuente de entrada se combinan, el resultado se envía por el puerto especificado por el programa.

Los reflectómetros de puente dual proveen la capacidad de medir ondas incidentes y reflejadas usando el UWMM (Microwave Measure Module). El amplificador de bajo ruido (LNA) puede ser integrado dentro de la ruta de la señal entre uWPort C y D y el uWMM para mediciones de pequeña señal.

<sup>6</sup> Ver Apéndice A.1



**Figura 5** Diagrama de bloques del Quadport

### 3.1.4 Controlador del Port Module

Las tarjetas de control (conocidas como Motherboards) LA800 y LA911 controlan la operación del Port Module. La tarjeta LA800 ejecuta el control del Quadport y la LA911 ejecuta el control del Octoport. El funcionamiento de estas tarjetas es controlado por un microprocesador y proveen las siguientes características:

- Lógica de interfaz digital
- Conexiones a la Matriz de CD
- Conexiones al THADS (solamente el Motherboard LA800)
- Interfase TMS
- Trigger Bus

#### 3.1.4.1 Lógica de Interfase Digital

El Motherboard recibe señales de control y voltajes DC desde el backplane<sup>7</sup>, a través del conector de 51 pines J1, que se muestra en la Figura 4. La tarjeta utiliza las señales para controlar la selección de ruta, sincronización y la atenuación o amplificación.

<sup>7</sup> Ver Apéndice A.1

### **3.1.4.2 Conexiones a la Matriz**

Las tarjetas LA800 y LA911 proveen cuatro conexiones a las líneas de la Matriz CD<sup>8</sup> del Test Head para ser utilizadas en el DUT. Las líneas de la matriz se conectan al Subsistema CD<sup>9</sup> en el Mainframe.

### **3.1.4.3 Conexiones al THADS**

Estas conexiones solamente están disponibles en el controlador LA800, y proveen la conexión del Port Module con el bus THADS<sup>10</sup>. Este bus permite al Port Module acceder a la frecuencia intermedia (IF) que se envía desde el Measure Module al VHFDIG.

### **3.1.4.4 Trigger Bus**

El Motherboard del uWPort tiene conexión a seis líneas de trigger (TRIG1 a TRIG6). La conexión al Trigger Bus<sup>11</sup> habilita al uWPort para realizar mediciones de los parámetros S más rápidas y eficientes, al sincronizar el Port con un Digitizer, ya sea éste HF ó VHF. Por medio del control por software, el Port y el Digitizer se configuran como “clientes” del bus, con lo cual pueden ser inicializados al mismo tiempo utilizando un único comando de inicio. El Motherboard también contiene circuitería de sincronización, la cual ajusta la longitud de las capturas del parámetro S a su configuración óptima.

### **3.1.4.5 Circuitería del controlador [8]**

El controlador del uWPort contiene siete diferentes etapas de circuitería, cada una de las cuales representa una unidad funcional de la tarjeta:

- 1) Circuitos de alimentación

Esta etapa está compuesta básicamente de capacitores que estabilizan los valores de las líneas de alimentación. Para el caso de la línea de alimentación de las bobinas de los relays, también se incluye un diodo de protección, como se observa en la Figura 6.

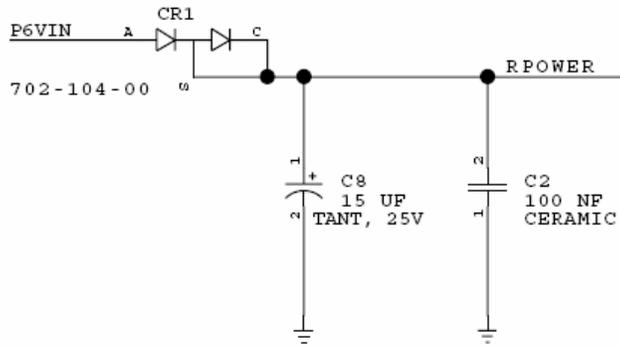
---

<sup>8</sup> Ver Apéndice A.1

<sup>9</sup> Ídem

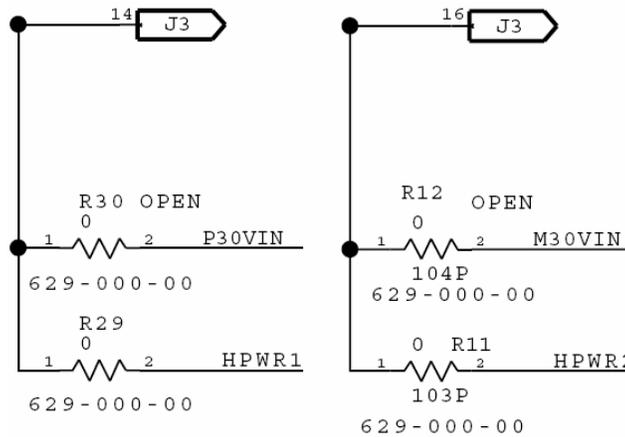
<sup>10</sup> Ídem

<sup>11</sup> Ídem



**Figura 6** Línea de alimentación de las bobinas de los relays del controlador

En esta etapa se incluyen dos líneas de tensión, que llevan +24V desde el Test Head al Módulo RF del uWPort y pasan por el Motherboard sin ser modificadas. Estas líneas se llaman HPWR1 y HPWR2 y cumplen la función de calentar el Módulo RF hasta que su temperatura alcance el rango entre 59 y 62°C, que es el rango nominal de temperatura de funcionamiento de este dispositivo. Las líneas entran al Motherboard por el conector J1 y salen por el conector J3. La Figura 7 muestra la conexión de estas líneas dentro del Motherboard.



**Figura 7** Líneas de tensión para el control de la temperatura del Módulo RF

Las conexiones de estas líneas en el conector J1 de los controladores LA-800 y LA-911 están ubicadas en pines diferentes, como se puede observar en la Tabla 3. Esta es otra de las diferencias entre estos dos controladores.

**Tabla 3** Ubicación de las líneas HPWR en los conectores de los controladores

Línea	Pin en J1		Pin en J3	
	LA-800	LA-911	LA-800	LA-911
HPWR1	A19, A22, B19, C19	A20, B20, C20	14	14
HPWR2	A20, B20, C20	A22, B22, C22	16	16

## 2) Interfaz del FPGA

Los controladores LA-800 y LA-911 tienen como CI principal un FPGA Actel A1020, el cual fue programado para recibir las señales del backplane y con ellas generar otras señales que permiten controlar el funcionamiento del Módulo RF del Port. Esta etapa se compone del FPGA, las señales que entran y salen de éste por los conectores J1, J2 y J3, un circuito RL para inicialización y la señal de reloj. Esta señal proviene también del backplane y tiene niveles de tensión ECL<sup>12</sup>. Para ser utilizada con el FPGA primero se convierte a niveles TTL con un convertidor de ECL a TTL MC10H125. El circuito de la interfaz con el FPGA se observa en la Figura 8.

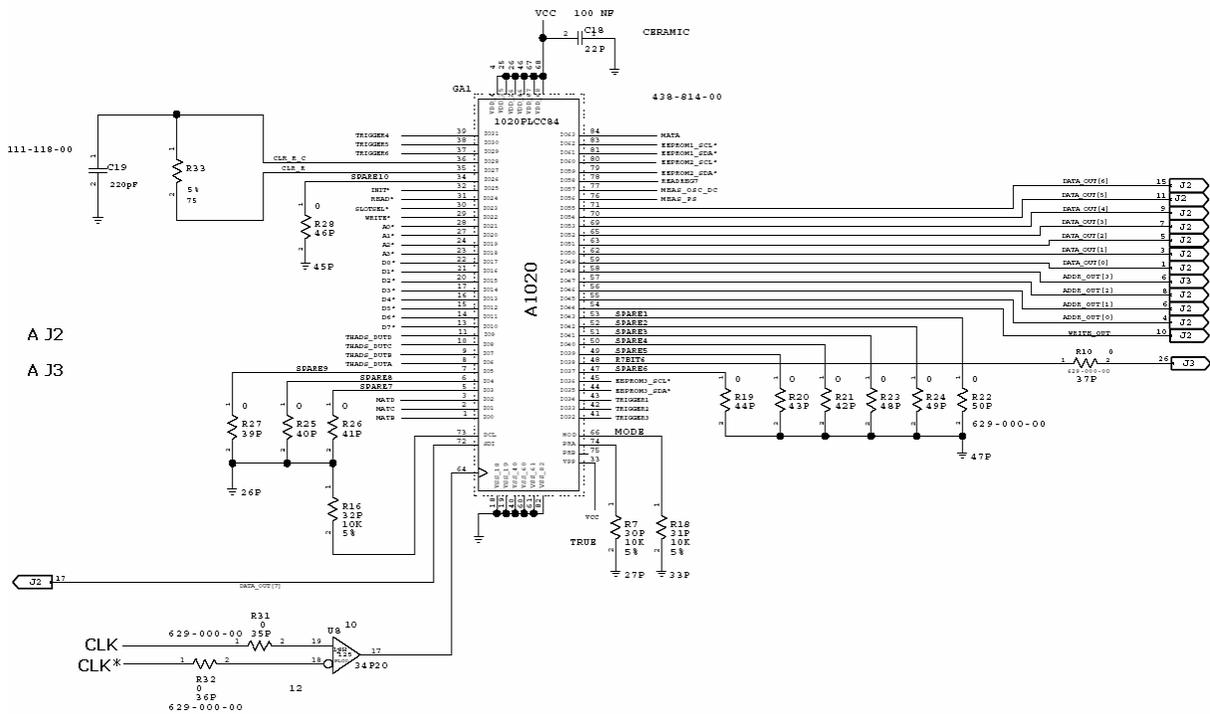
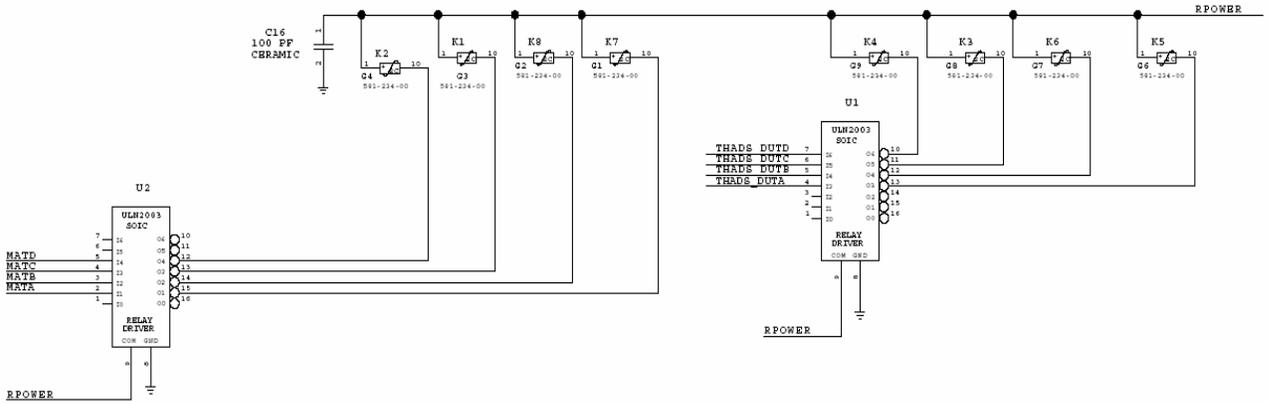


Figura 8 Interfaz del FPGA

## 3) Control de los relays de la matriz

Esta etapa del controlador está compuesta por dos integrados ULN2003 y por las bobinas de los relays del controlador. Estos integrados son un arreglo de 7 transistores Darlington[18] que sirven como driver para los relays, los cuales conectan el Módulo RF a la Matriz de CD del sistema o al THADS. Las señales de activación de los transistores provienen del FPGA. El circuito se muestra en la Figura 9.

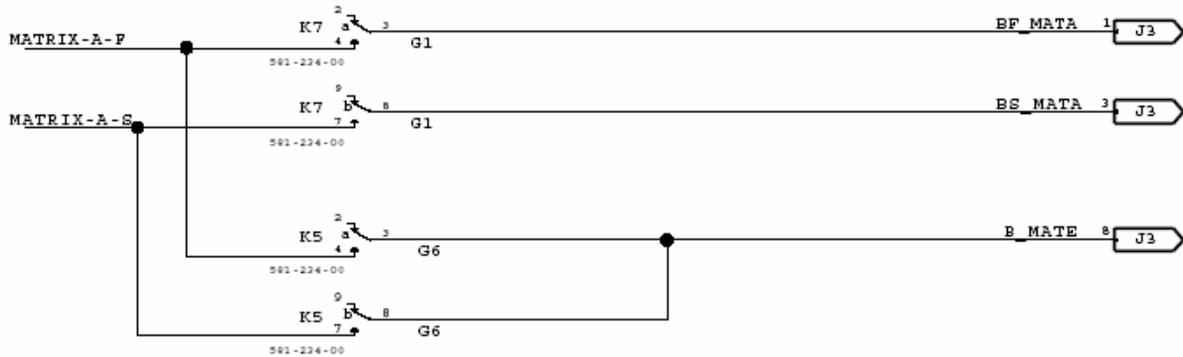
<sup>12</sup> Ver Apéndice A.1



**Figura 9** Circuito de control de los relays

4) Conexiones de la matriz

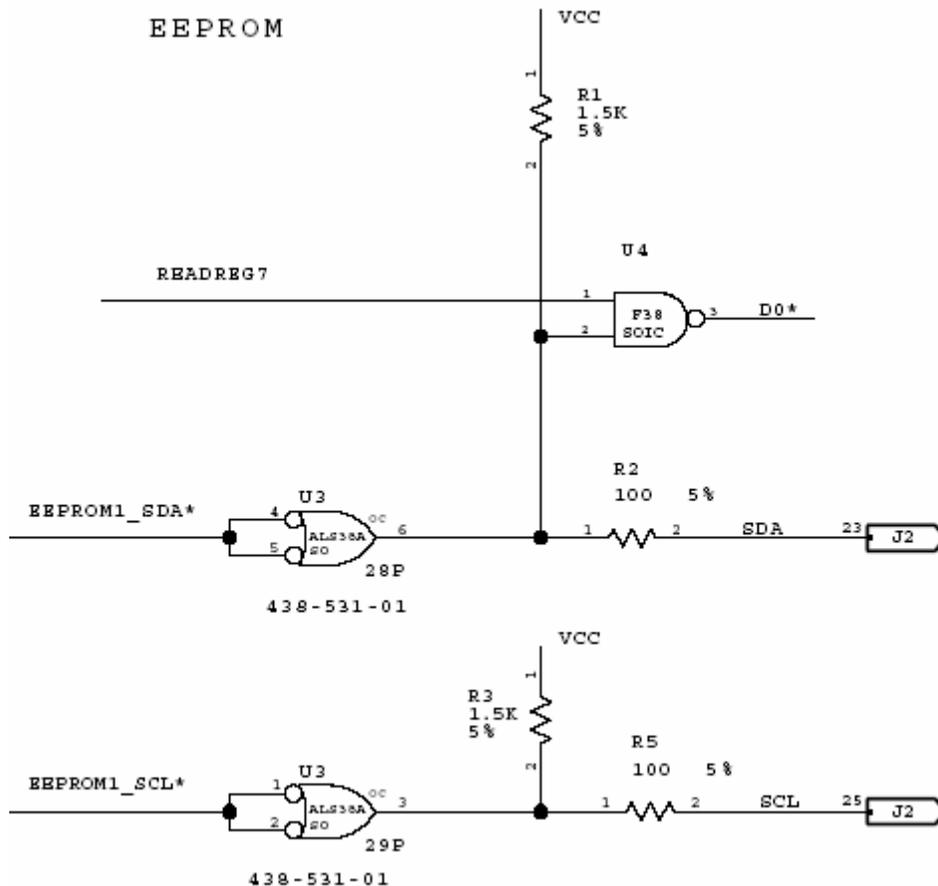
El circuito que conecta la Matriz CD del sistema con el Módulo RF del Port está constituido únicamente por los contactos metálicos de los ocho relays que tiene la tarjeta. Las señales de la matriz son *force*, la cual provee alimentación a algunos de los circuitos del módulo RF, y *sense*, que sirve como realimentación para el controlador de la matriz, para verificar que el valor de tensión que se envía por la línea *force* sea el indicado. Los relays utilizados en este circuito, EA2-5 de NEC, tienen doble contacto[14], por lo cual son 8 señales de control y 16 contactos. En el controlador LA-911 se utilizan los 16 contactos, mientras que en el controlador LA-911 se utilizan solo 12. Esta diferencia se debe a los cuatro canales adicionales que tiene el Octoport, el cual es controlado por la tarjeta LA-911. En la Figura 10 se observa la conexión de las líneas de la matriz con los relays y posteriormente con las señales del conector J3, que se conectan con el módulo RF.



**Figura 10** Conexión de cuatro de los relays del controlador

## 5) Interfaz con el bus I<sup>2</sup>C

Esta etapa del circuito consiste en la conversión de las señales I<sup>2</sup>C<sup>13</sup> del FPGA a salidas de colector abierto, ya que la comunicación I<sup>2</sup>C requiere que las líneas SCL y SDA usen salidas de colector abierto. Para convertir las salidas del FPGA a colector abierto, se utilizan las compuertas NAND 74F38 y 74ALS38 como inversores. Esta configuración se observa en la Figura 11.



**Figura 11** Conversión de las señales del FPGA a salidas de colector abierto

## 6) Interfaz con el Measure Bus

Esta etapa está compuesta únicamente del circuito integrado DG-412, que contiene cuatro interruptores analógicos de estado sólido controlados por señales digitales[9]. Las señales de control provienen del FPGA, y las señales de medición son las líneas diferenciales del Measure Bus, MEASLO y MEASHI, que se conectan al backplane, y las señales provenientes del módulo RF, +P\_SENS\_DC\_OUT, -P\_SENS\_DC\_OUT y +R\_OSC\_DC\_OUT.

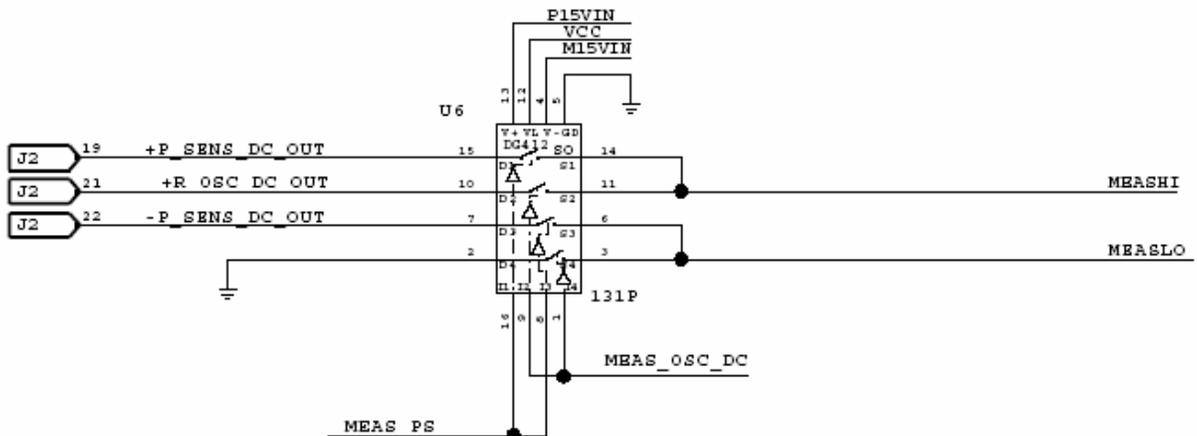
<sup>13</sup> Definición

La Tabla 4 muestra las combinaciones posibles de las señales de control y las salidas que se obtienen en el Measure Bus con estas combinaciones.

**Tabla 4** Salidas de la interfaz del Measure Bus

Control		Salidas	
MEAS_PS	MEAS_OSC_DC	MEASHI	MEASLO
0	1	+R_OSC_DC_OUT	GND
1	0	+P_SENS_DC_OUT	-P_SENS_DC_OUT

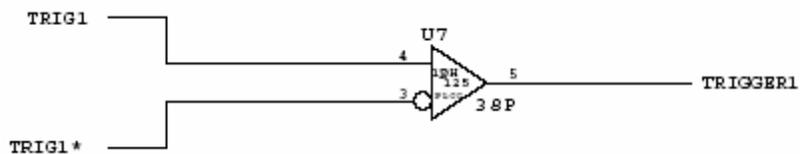
En la Figura 12 se muestra el circuito de la interfaz del Measure Bus con el módulo RF del Port.



**Figura 12** Circuito de Interfaz con el Measure Bus

#### 7) Interfaz con el Trigger Bus

Este circuito está compuesto únicamente por dos CIs MC10H125, los cuales convierten las señales del Trigger Bus de niveles de voltaje en lógica ECL a niveles de voltaje en lógica TTL. Esta conversión se realiza para que las señales del Trigger Bus puedan ser utilizadas por el FPGA, ya que este último funciona con lógica TTL. La Figura 13 muestra uno de los circuitos para la conversión de ECL a TTL

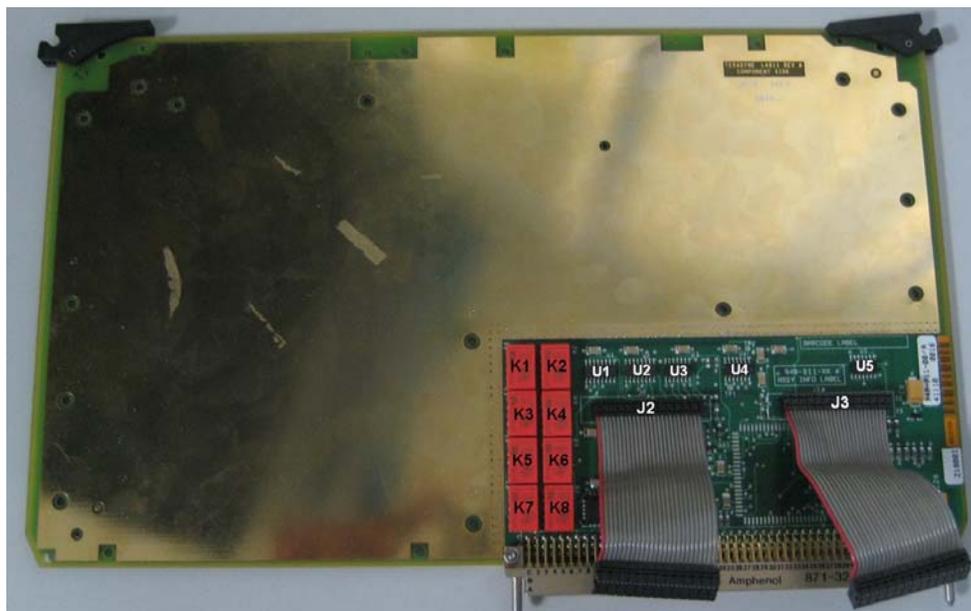


**Figura 13** Circuito para la conversión de las señales del Trigger Bus de ECL a TTL

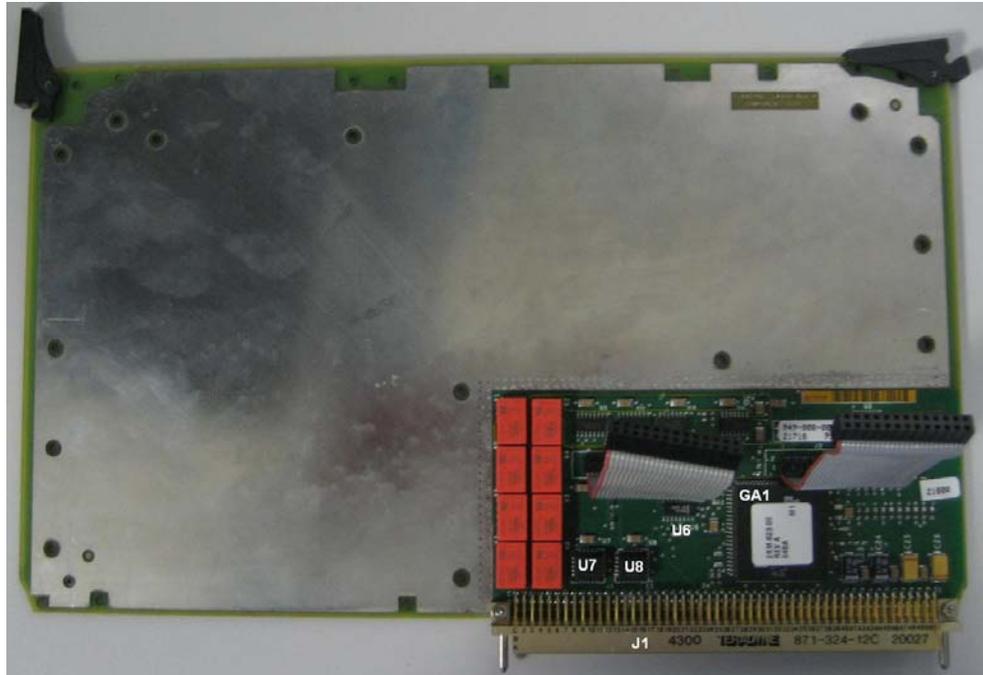
### 3.1.4.6 Aspecto físico del Controlador

La Figura 14 muestra una fotografía de la tarjeta LA-911. En esta se destacan los relays (K1... K8), los drivers (U1, U2), los integrados digitales (U3, U4, U5) y los conectores de 26 pines J1 y J2. Asimismo, la

Figura 15 muestra la fotografía del controlador LA-800, del cual se destacan los demás componentes importantes de la tarjeta: el interruptor analógico (U6), los convertidores ECL a TTL (U7, U8), el FPGA (GA1) y el conector de 153 pines, J1. Al comparar las dos tarjetas, se observa que físicamente son idénticas, lo que las diferencia es el color del plano donde se monta el Módulo RF, en la LA-911 es dorado y en la LA-800 es plateado.



**Figura 14** Aspecto del controlador LA-911



**Figura 15** Aspecto del controlador LA-800

## **3.2 Antecedentes Bibliográficos**

### **3.2.1 Generación automática de patrones de prueba (ATPG)[3]**

La generación automática de patrones de prueba, ATPG por sus siglas en inglés, es una tecnología de diseño electrónico automático que se utiliza para encontrar una secuencia de estímulos que cuando son aplicados a un circuito digital, permiten a los sistemas de prueba distinguir entre el funcionamiento correcto o defectuoso de dicho circuito. Los patrones generados son utilizados para probar dispositivos digitales después de su manufactura y en algunos casos para ayudar en la determinación de la causa de los fallos, lo cual se denomina como *Análisis de fallos*. La efectividad de esta técnica es medida por la cantidad de defectos modelados, o *modelos de fallo*, que son detectados y el número de patrones generados. Estas métricas generalmente indican la calidad de la prueba, la cual crece con la cantidad de detecciones, y el tiempo de aplicación de la prueba, el cual aumenta con el aumento de los patrones

#### **3.2.1.1 Fundamentos de la ATPG**

Un defecto es un error introducido en un dispositivo durante el proceso de manufactura. Un modelo de fallo es una descripción matemática de cómo un defecto altera el comportamiento de un diseño. Se dice que una falla es detectada por un patrón de pruebas si, cuando se aplica un patrón al diseño, cualquiera de los valores lógicos observados en una o más de las salidas primarias de un circuito difiere del diseño original.

La generación automática de patrones de prueba puede fallar en encontrar una prueba para una falla en particular en al menos dos casos. En el primero, la falla puede ser intrínsecamente indetectable, tal que no exista ningún patrón que pueda detectar dicha falla. El ejemplo clásico de esto es un circuito redundante, diseñado para que ninguna falla individual cause el cambio de la salida. En un circuito de este tipo, cualquier falla individual será inherentemente indetectable.

En el segundo caso, es posible que exista un patrón, pero el algoritmo no pueda encontrarlo. Debido a la naturaleza del algoritmo utilizado en esta técnica, habrán casos donde existan los patrones, pero la ATPG los descarta, ya que tomaría un tiempo extremadamente largo encontrarlos.

### 3.2.2 In-Circuit Test [5],[24]

In-Circuit Test es el término utilizado para describir las pruebas realizadas a un circuito impreso (PCB por sus siglas en inglés) utilizando un adaptador de prueba tipo “Cama de clavos” y equipo de prueba especial. La Figura 16 muestra una ilustración de un sistema de pruebas In-Circuit.

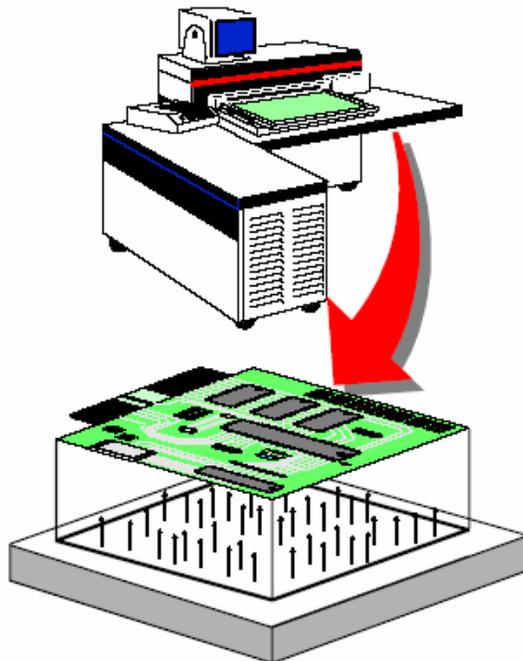
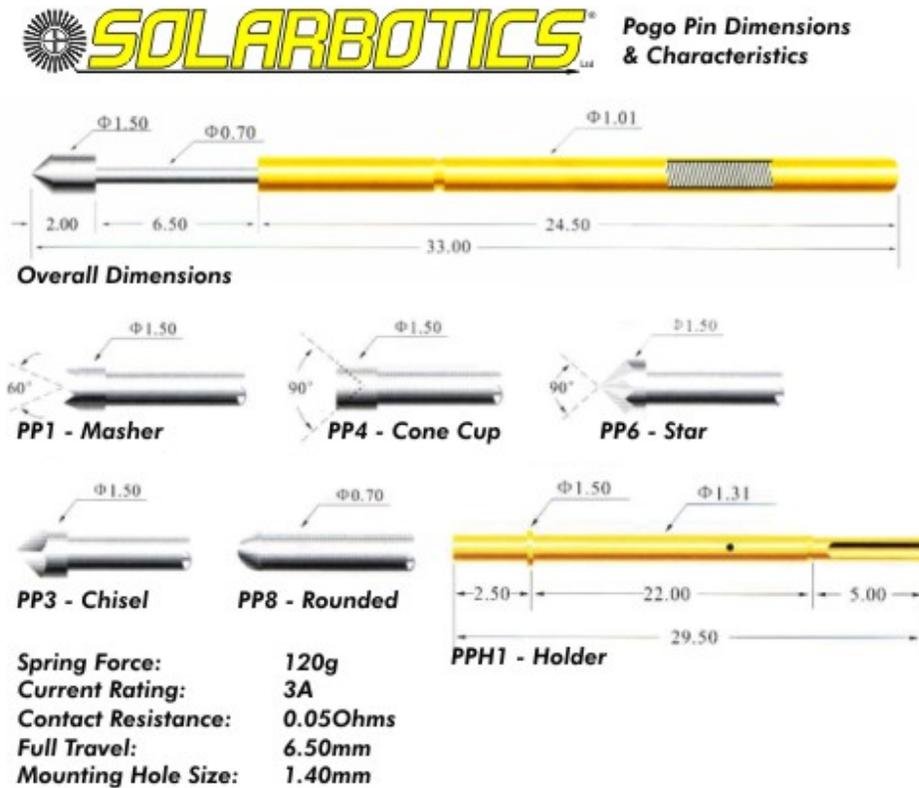


Figura 16 Sistema de pruebas In-Circuit

#### 3.2.2.1 Adaptador de prueba (Fixture) tipo Cama de Clavos [4]

Este estilo de fixture consiste en una gran cantidad de pines de conexión, conocidos como *pogo pins*, los cuales se insertan en agujeros en un plato acrílico. La ampliación de la Figura 16 muestra el plato y los pines del fixture, en el cual se monta la tarjeta de prueba. Los pogo pines se colocan en puntos específicos del plato, que se alinean para hacer contacto con puntos de prueba en un PCB. También se conectan a un sistema de prueba por medio de cables.

La Figura 17 muestra un pogo pin de la compañía Solarbotics, con sus especificaciones técnicas y diferentes tipos de cabezas, cada una de las cuales se construye para adaptarse a un tipo específico de superficie en el PCB.



**Figura 17** Dimensiones y características de un Pogo Pin de la compañía Solarbotics

La acción mecánica requerida para que los puntos de prueba del PCB tengan contacto con los pogo pines puede ejercerse por medio de presión o vacío. El sistema de vacío es más confiable, ya que disminuye la posibilidad de movimiento horizontal de los pines al presionar el PCB más uniformemente contra los pines. Este efecto tiene como consecuencia una disminución en la posibilidad de error en la lectura de las señales.

### 3.2.2.2 Funcionamiento de las pruebas In-Circuit [5]

Las pruebas In-Circuit consisten en dos fases: pruebas sin alimentación y pruebas con alimentación. Las pruebas sin alimentación revisan la integridad de los contactos físicos entre el pin de prueba y el punto de acceso en la tarjeta, esto seguido por pruebas de cortos y abiertos basadas en mediciones de impedancia.

Las pruebas con alimentación aplican estímulos a un dispositivo determinado, o a un grupo de dispositivos, conocido como *cluster*, y miden la respuesta de ese dispositivo o cluster. Otros dispositivos que se encuentran eléctricamente conectados al dispositivo bajo prueba son usualmente colocados en un estado seguro, proceso que se conoce como *guarding*. De esta manera, el probador es capaz de chequear la presencia, orientación y conexiones del DUT en la tarjeta. Actualmente, la secuencia de pruebas es la siguiente:

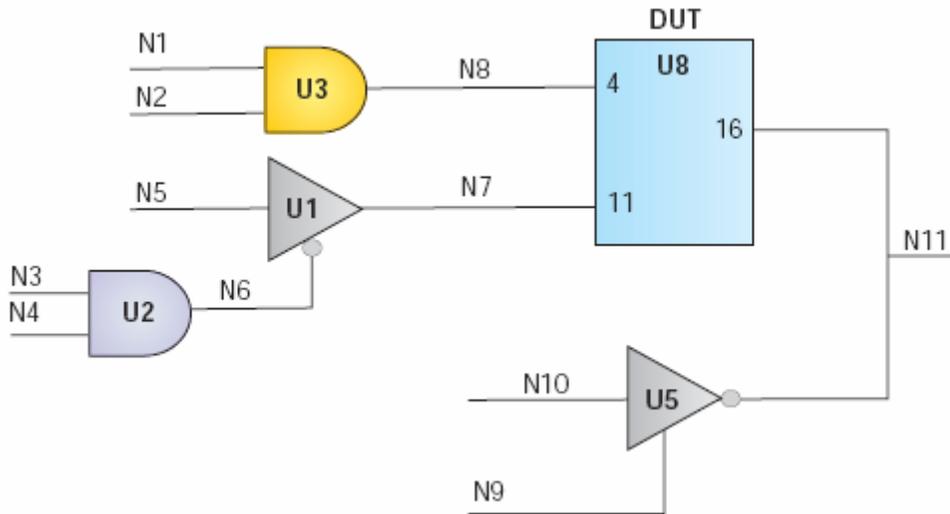
- Pruebas de cortos y abiertos
- Pruebas de posición y valor de los componentes analógicos
- Chequeo de soldaduras correctas en los circuitos integrados.
- Pruebas del correcto funcionamiento de componentes analógicos como reguladores y amplificadores operacionales.
- Pruebas de operación de componentes digitales y dispositivos *Boundary scan*.
- Pruebas *JTAG Boundary scan*.
- Programación de dispositivos flash y otros.

### 3.2.2.3 Backdriving [23]

Esta es la técnica que utilizan los probadores In-Circuit en circuitos digitales para aislar el componente que está siendo probado de los efectos eléctricos indeseables que producen los componentes que lo rodean.

En la prueba de un circuito digital, el probador aplica al DUT vectores de prueba digitales a los pines de entrada del dispositivo, y mide su salida para asegurarse de que responda como se espera. Para asegurarse de que el probador puede controlar las entradas del DUT, los controladores de las entradas digitales del DUT se diseñan como fuentes de corriente de baja impedancia, que pueden generar o recibir 600mA o más de corriente. Esta fuente de corriente fuerza momentáneamente los nodos en la tarjeta a los niveles lógicos requeridos por la prueba. La técnica de sobrecargar momentáneamente las salidas de un nodo a un estado lógico opuesto es lo que comúnmente se conoce como *backdriving*.

En el circuito de la Figura 18, si las entradas N1 y N2 están en bajo, entonces la salida de U3 (N8) estará en bajo también. Si durante la prueba de U8 se necesita poner el pin 4 en alto, entonces el controlador del estado del nodo N8 genera temporalmente corriente suficiente para cambiar el estado de la salida de U3 para que pueda alcanzarse un voltaje lógico alto en el pin 4 de U8.



**Figura 18** Ejemplo de un circuito digital

Para evitar conflictos de buses y minimizar el uso del backdriving, los probadores In-Circuit utilizan una técnica llamada *Disables*, en la cual los componentes con salidas Tri-State se controlan para poner su salida en alta impedancia durante la prueba en la que esta salida se conecte con un pin de entrada del DUT, como en el caso de U1 en la Figura 18, cuya salida puede ser puesta en alta impedancia si N3 o N4 se ponen en bajo. La desventaja de esta técnica es que solamente puede utilizarse con dispositivos con salidas Tri-State.

En la Figura 18, si los nodos N1 y N2 están en alto, entonces el nodo N8 permanece en alto también por la salida de U3. Durante la prueba, cualquier vector de prueba que necesite que N8 esté en bajo causará que el controlador del nodo N8 lo fuerce a ponerse en bajo mediante el suministro de una cantidad considerable de corriente. Si el estado lógico de la salida de U3 cambia de alto a bajo por un cambio en los nodos N1 o N2 mientras la salida es forzada, entonces la energía que estaba siendo usada para forzar la salida no se necesita más y se disipa en forma de un pico transitorio de voltaje en el nodo N8. Este pico puede dañar los componentes en el nodo cuando su magnitud es lo suficientemente grande como para violar las especificaciones de voltaje mínimo o máximo de los componentes. Inclusive, el pico puede hacer que la prueba falle, debido a que aparecerá como un breve cambio de estado lógico en la entrada del componente que está siendo probado.

Para prevenir este tipo de comportamiento, los probadores In-Circuit usan una técnica llamada *Inhibits*, por medio de la cual se previene, por ejemplo, el cambio de la salida de U3 durante la prueba de U8 manteniendo en bajo el estado lógico del nodo N1. Esto mantiene la salida de U3 en bajo y la inhibe de cambios mientras se prueba U8. Por medio de las técnicas de *Disable* e *Inhibits*, se logran pruebas digitales In-Circuit precisas, estables y repetibles, con lo cual se evitan fallas falsas durante las pruebas de producción.

El *Backdriving* se ha utilizado en las pruebas In-Circuit por más de 20 años, pero su uso siempre ha sido controvertido porque usualmente tiene como resultado flujos de

corriente que exceden los rangos aceptables de los componentes. De acuerdo con muchos estudios en la industria, el mal uso de la técnica de backdriving puede desgastar indebidamente los componentes digitales, o causarles daños permanentes.

#### **3.2.2.4 Limitantes de las pruebas In-Circuit [5]**

Aunque la técnica de In-Circuit Test es una herramienta muy poderosa para probar PCBs, tiene algunas limitaciones que se mencionan a continuación.

- Los componentes en paralelo solamente pueden ser probados como un único componente.
- A los componentes electrolíticos no es posible revisarles la polaridad.
- La calidad de los contactos eléctricos no puede ser probada.
- La calidad del In-Circuit Test solamente puede ser tan buena como lo permita el diseño del PCB. Si los diseñadores del PCB no proveen acceso a puntos de prueba en la tarjeta, entonces algunas pruebas no serán posibles.

#### **3.2.3 Prueba de Sistema [6]**

La Prueba de Sistema es una prueba hecha a un sistema completo e integrado con el fin de evaluar el cumplimiento de dicho sistema con los requerimientos especificados. La Prueba de Sistema forma parte de la categoría de “*pruebas de caja negra*”, y como tal, no requiere conocimiento del diseño interno, del código o la lógica.

Como regla, la prueba de sistema toma como su entrada todos los componentes integrados de software que hayan pasado exitosamente una *prueba de integración* y también el sistema de software, integrado con cualquier sistema de hardware aplicable. El propósito de la prueba de integración es detectar cualquier inconsistencia entre las unidades de software que son integradas juntas, llamadas ensamblajes, o entre cualquiera de los ensamblajes y el hardware. La prueba de sistema es un tipo de prueba más limitante, ya que busca detectar defectos tanto dentro de los “inter-ensamblajes” como dentro del sistema visto como un todo.

La prueba de sistema se hace al sistema completo contra las Especificaciones de Requerimientos Funcionales y/o las Especificaciones de Requerimientos del Sistema. Por otra parte, la prueba de sistema es una etapa de prueba investigativa, donde el objetivo es tener una actitud casi destructiva y probar no solo el diseño, sino también el comportamiento e incluso las expectativas creídas por el consumidor. También se pretende probar hasta, y más allá de los límites definidos en las especificaciones de los requerimientos de software o hardware.

Se podría ver a la prueba de sistema como una etapa final de prueba destructiva antes de la prueba de aceptación del usuario.

## **Capítulo 4: Procedimiento metodológico**

En este capítulo se describirán las diferentes etapas del diseño en ingeniería que se aplicaron durante el desarrollo del proyecto y que permitieron darle solución al problema planteado.

### **4.1 Reconocimiento y definición del problema**

Para la definición del problema se realizaron tres reuniones con el Ingeniero Roberto Varela, supervisor de reparación de Teradyne y asesor del proyecto. El Ingeniero Varela expuso la necesidad de la disminución de gastos en el área de Microondas del Centro de Reparación, y propuso la construcción de un sistema para detectar los daños del controlador del uWPort. Haciendo uso de la información obtenida en las reuniones, se precisó el problema existente y el planteamiento se presentó al Ing. Varela, el cual dio su aprobación.

La meta propuesta se planteó haciendo una proyección del porcentaje de tarjetas reparadas que haría rentable la inversión en la cual la empresa tuvo que incurrir para financiar el proyecto. Los objetivos se plantearon basándose en los problemas puntuales que era necesario resolver para poder darle solución al problema general.

Las restricciones generales para la propuesta de solución se definieron junto con el Ing. Varela en las reuniones anteriormente mencionadas. Sin embargo, durante la etapa de investigación del proyecto se encontraron restricciones de implementación que no habían sido consideradas inicialmente. Estas restricciones serán comentadas más adelante.

### **4.2 Obtención y análisis de información**

Las primeras seis semanas de trabajo en el proyecto fueron dedicadas exclusivamente a la recolección de información necesaria para entender en profundidad las características del uWPort y especialmente del Motherboard, todo esto con el objetivo de concretar la propuesta de solución. Esta información se obtuvo por medio de los manuales del sistema Catalyst disponibles en Teradyne. También se consultó al líder del área de uWAVE, el Ing. Luis Adrián Méndez, quien aportó datos sobre el proceso de revisión de los Ports y los problemas que se presentan con este proceso. Los técnicos del área también aportaron con sus experiencias diarias en el proceso de revisión.

La investigación de los aspectos físicos y electrónicos relacionados con el problema a resolver se llevó a cabo buscando información en Internet. Los libros de texto no fueron un recurso de información utilizado significativamente, ya que los aspectos que involucra el problema son muy específicos de una aplicación determinada, como los algoritmos de prueba de circuitos integrados, o tecnologías de seguridad para dispositivos programables, y fue sumamente difícil encontrar bibliografía al respecto. Por esta razón, se recurrió a Internet para conseguir documentos como papers o tutoriales, que proporcionaran la información necesaria.

Al interior de Teradyne se tuvo el problema de que la información encontrada sobre el Motherboard del uWPort fue sumamente escueta, además del impedimento de conseguir la programación del FPGA que contiene la tarjeta, ya que esta programación se tiene en Estados Unidos y a pesar de que se contactó al ingeniero encargado, Ing. Tony Zacconni, éste alegó no encontrarla. Este problema trajo como consecuencia el cambio de enfoque a la solución del problema, atrasos en el cronograma de trabajo y un cambio del cronograma, lo cual se ampliará posteriormente.

Por otra parte, se enfrentaron problemas con la confidencialidad de cierta información, ya que dentro de la empresa se trató de obtener detalles más profundos sobre la técnica de *backdriving*, la cual utilizan algunos dispositivos de prueba de Teradyne y de la cual no se encuentra información detallada ni en libros ni en Internet. El ingeniero encargado en Estados Unidos, el Ing. Allan Albee, fundamentó que no le era posible facilitar esos datos porque son información confidencial de la compañía.

Durante la búsqueda de información, se realizó un análisis de las características del problema a resolver, con el fin de determinar la factibilidad de la implementación de la solución planteada inicialmente. Debido a las limitantes que presentó la propuesta de solución inicial, se investigaron otras posibilidades para abordar el problema, y con el análisis de toda la información recavada se determinó la propuesta de solución a implementar.

### **4.3 Evaluación de las alternativas y síntesis de una solución**

Durante la etapa de planteamiento de las alternativas de solución, se llevó a cabo el siguiente procedimiento:

- a. Determinar las características de funcionamiento del Motherboard.
- b. Investigar las técnicas de prueba existentes que pudieran aplicarse a las características del Motherboard determinadas anteriormente.
- c. Plantear una propuesta de solución de acuerdo con la información encontrada.

Una vez planteada una propuesta de solución, su validez se verificó por medio de la comparación de las características físicas y electrónicas de dicha solución con las limitantes físicas y electrónicas del Motherboard. Si las características de la solución se adaptaban a las limitantes del Motherboard, dicha propuesta de solución se consideraba válida.

Si una propuesta no cumplía con las limitantes del Motherboard, se procedía a analizar la factibilidad de realizar modificaciones a ésta, con el objetivo de hacerla compatible con las características del Motherboard. Si se determinaba que era factible realizar modificaciones, se comenzaba nuevamente una etapa de investigación hasta obtener una nueva versión de la propuesta inicial, la cual

finalmente pasaba por el proceso de validación detallado anteriormente. Este procedimiento iterativo se continuaba hasta obtener una propuesta válida o hasta agotar las posibilidades de modificación y descartar completamente la alternativa de solución.

Con el objetivo de determinar cuál de las alternativas planteadas se iba a implementar, se realizó un análisis de las características de implementación de cada propuesta, evaluando su complejidad, recursos necesarios, costo de dichos recursos y tiempo aproximado de implementación. Finalmente se optó por la propuesta que presentó mejor viabilidad para ser implementada, considerando el análisis anterior.

#### **4.4 Implementación de la solución**

Una vez seleccionada la alternativa de solución a implementar, se prosiguió con la etapa de implementación, en la cual se siguieron los pasos que se detallan a continuación:

1. *Diseño del sistema.* En la etapa de elaboración de propuestas de solución se realizó un bosquejo de lo que podría ser la solución. En esta etapa, se concretó este bosquejo con diseños formales, tanto de la parte electrónica como de la parte mecánica del sistema.
2. *Definición de materiales.* Tanto para la parte mecánica como para la parte electrónica del sistema, la elaboración del diseño permitió la definición y búsqueda de los materiales más adecuados para cumplir con las especificaciones del diseño.
3. *Compra de materiales.* En este punto, se compraron los materiales definidos en el punto anterior. También se compraron servicios profesionales, para la construcción del ensamble mecánico del sistema y para la construcción de los circuitos impresos de la parte electrónica, ya que en ambos casos, el nivel de complejidad del trabajo requirió la búsqueda de especialistas en el tema.
4. *Construcción de las tarjetas electrónicas.* En el momento en que se contó con los circuitos impresos y los componentes que éstos llevaban, se procedió al ensamblaje de las tarjetas, es decir, a soldar los componentes y verificar que las conexiones concordaran con el diseño.
5. *Pruebas de funcionamiento iniciales.* Se verificó el funcionamiento tanto del ensamble mecánico como de las tarjetas electrónicas.
6. *Ensamble final del sistema.* En esta etapa se acoplaron las diferentes partes del sistema: el ensamble mecánico, las tarjetas electrónicas construidas y la interfaz de la tarjeta de adquisición utilizada.
7. *Programación del software.* El software para el manejo del sistema se desarrolló en LabVIEW y constó de tres etapas: la etapa de programación de los algoritmos de prueba para los diferentes componentes del Motherboard; la etapa de programación de la interfaz con el usuario, y la etapa final, en la cual se acopló la programación de las pruebas con la programación de la interfaz.

8. *Pruebas de funcionamiento del sistema.* En esta etapa se contó con la programación de los algoritmos de prueba y con la parte física del sistema ensamblada, por lo cual se procedió a realizar las pruebas de funcionamiento del sistema conectado en su totalidad. Por medio de estas pruebas, se pudo mejorar algunos aspectos de los algoritmos de prueba, para adaptarlos con mayor precisión a las características experimentales de las tarjetas. Asimismo, se pudo evaluar el desempeño del ensamble mecánico y detectar debilidades, así como las formas de combatir estas debilidades. En esta etapa se contó con la opinión de los técnicos del área de uWAVE, con el fin de adaptar el sistema a sus necesidades lo mejor posible.
9. *Afinamiento de detalles.* En esta etapa básicamente se mejoraron detalles de estética de la parte física del sistema, y se optimizó la interfaz con el usuario del software.
10. *Puesta en marcha del sistema.* Se buscó un lugar adecuado en la planta para dejar el sistema funcionando, se colocó el sistema en este lugar y se realizaron algunas pruebas para verificar que todo funcionaba con normalidad.
11. *Capacitación para el uso del sistema.* Finalmente, se entrenó a algunos de los técnicos del área de uWAVE para que aprendieran a utilizar el sistema. También se elaboró un manual de usuario, donde se explica el funcionamiento de las diferentes partes del mismo, el procedimiento para su uso, y los pasos a seguir en caso de que el sistema sufra una avería.

Durante la implementación de la alternativa de solución seleccionada no fue necesario modificar la propuesta inicial. Sin embargo, se detectaron errores en el diseño que llevaron a modificar dicho diseño y por consiguiente la implementación, tales como errores en las conexiones entre las diferentes tarjetas del sistema, que tuvieron como consecuencia la reconstrucción de uno de los circuitos impresos; o la omisión de una diferencia en la conexión de dos líneas en los dos modelos de Motherboard, lo cual condujo a deshabilitar una de las opciones de prueba para el Motherboard LA-800.

Para la evaluación de la propuesta de solución se probó el sistema con una docena de Motherboards aproximadamente, tanto LA-800 como LA-911. Se verificó si el sistema era capaz de detectar fallos en los diferentes componentes de las tarjetas, y cuando no se encontraron errores se modificó la programación de los algoritmos de prueba para que éstos esperaran una respuesta errónea de los componentes. De esta manera, si el sistema funcionaba correctamente, iba a detectar un error cuando el componente estaba bueno. Con estos procedimientos se verificó la validez de los algoritmos de prueba y el correcto funcionamiento del sistema físico.

Como se mencionó anteriormente, la difusión de los resultados del trabajo realizado en Teradyne se llevó a cabo mediante la capacitación de los técnicos del área de uWAVE y la elaboración de un manual de usuario. También se realizó una presentación final frente a diferentes ingenieros de la compañía, con el fin de dar a conocer el proyecto, sus implicaciones y los resultados obtenidos.

## 4.5 Reevaluación y rediseño

Aunque con la finalización del proyecto se cumplieron los objetivos planteados tanto en la empresa como en la universidad, es importante señalar que la solución implementada puede mejorarse sustancialmente.

Los criterios de mejora más relevantes que se podrían considerar son los siguientes:

- Búsqueda de alternativas más confiables en la implementación del ensamble mecánico del sistema, ya que éste por sus características tiende a ser muy frágil y a fallar con facilidad.
- Aumento en la rigurosidad de los algoritmos de prueba, con el fin de probar el funcionamiento de los componentes en condiciones más extremas.
- Búsqueda de alternativas que hagan el sistema totalmente automatizado, esto con el objetivo de que no se necesite remover componentes de la tarjeta para probarla.

## Capítulo 5: Descripción detallada de la solución

En el presente capítulo se presentarán las alternativas de solución consideradas para desarrollar el proyecto. Se analizarán sus características y se compararán para mostrar la razón por la cual se escogió la propuesta de solución implementada. Posteriormente se explicará con profundidad el funcionamiento de las diferentes partes del sistema implementado.

### 5.1 Análisis de soluciones y selección final

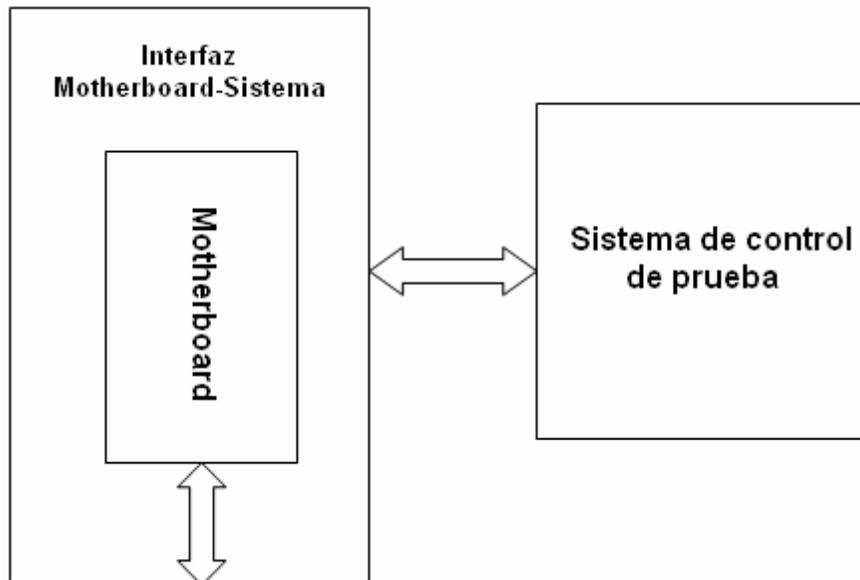
#### 5.1.1 Solución propuesta #1: Prueba Funcional Completa

Esta propuesta de solución consiste en realizar una prueba al Motherboard tomándolo como una unidad funcional. Para esto, se utilizan los fundamentos de la Prueba de Sistema, explicada en la sección 3.2.3 , ya que se ve al Motherboard como una *caja negra*, de la cual es necesario conocer sus parámetros de entrada y especificaciones de salida, con el objetivo de desarrollar una prueba efectiva.

Sin embargo, esta prueba difiere de la Prueba de Sistema en que se necesita conocer la estructura interna del Motherboard para poder detectar la locación de un posible fallo. Lo que se busca no es comprobar si la tarjeta está buena o mala, ya que todos los Motherboards que se prueben con el sistema se suponen malos; con este sistema se busca detectar dónde se encuentra el daño en la tarjeta, para poder repararla.

Al tener en cuenta las consideraciones anteriores, se propone el desarrollo de un sistema que simule las entradas del Motherboard como si éste se encontrara en operación normal dentro del Test Head del Catalyst. Además, el sistema debe procesar las respuestas del Motherboard ante los diferentes estímulos, detectar las respuestas anómalas y clasificar dichas anomalías, con base en el bloque funcional del Motherboard que podría haberlas causado. Con esta prueba, los fallos quedan encasillados en uno o varios bloques funcionales específicos, los cuales fueron explicados en la sección 3.1.4.5

En la Figura 19 se muestra el diagrama de bloques general de esta solución. Consiste en una interfaz de conexión entre el Motherboard y el sistema de prueba, la cual tiene las funciones de servir como base para la tarjeta que se esté probando y de establecer conexión entre los conectores de dicha tarjeta y las entradas y salidas del sistema de control. El sistema de control consiste en todo el hardware y software necesario para llevar a cabo la prueba.



**Figura 19** Diagrama de bloques de la solución propuesta #1

Esta propuesta presenta las siguientes ventajas:

- La interfaz entre el sistema de control y el Motherboard es simple, ya que solamente se requiere que se acople a los tres conectores del Motherboard. No se requiere ninguna conexión especial que complique el diseño de esta interfaz.
- Se requiere poco hardware para implementar esta solución: un sistema de alimentación, que pueda suplir al Motherboard y al sistema de control; y un sistema de control, que puede ser implementado con un kit de desarrollo que contenga un FPGA o un PIC.
- Una computadora no es imprescindible en el funcionamiento del sistema. Puede utilizarse una PC para desarrollar la interfaz con el usuario, pero esta interfaz podría también implementarse en un LCD, con el fin de disminuir costos.
- El costo de implementación del sistema resulta bajo debido a la simplicidad de los elementos físicos que lo componen.
- Con este sistema es posible simular las condiciones normales de operación de la tarjeta, con lo cual se logra desarrollar una prueba que arroja resultados muy confiables.

En contraste, la propuesta tiene también las siguientes desventajas:

- Aunque con la prueba se obtienen resultados confiables, se tiene la desventaja de que el sistema no es capaz de localizar la falla con precisión, es decir, se determina el bloque funcional defectuoso pero no el componente específico, lo cual lleva a la posibilidad reemplazar componentes innecesariamente.

- Se hace necesario conocer a fondo el funcionamiento del Motherboard, para poder detectar las anomalías en su respuesta; y del Módulo RF y del Test Head del sistema, con el objetivo de poder simular el “ambiente de trabajo” de la tarjeta de la manera más precisa posible.

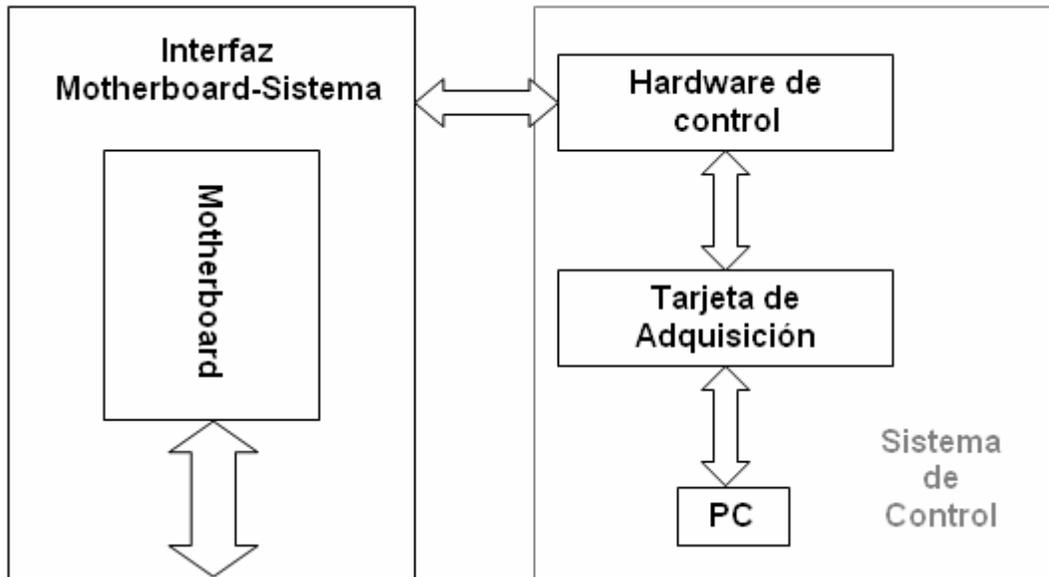
### **5.1.2 Solución propuesta #2: Pruebas Funcionales por Componente**

En esta propuesta se mantiene la idea de las pruebas funcionales, pero se cambia la visión de una prueba de sistema, por la visión de pruebas para cada componente dentro de la tarjeta, exceptuando los elementos pasivos como resistencias y capacitores, que no son tomados en cuenta dentro de la prueba.

Para la correcta ejecución de esta estrategia de solución es necesario extraer el FPGA presente en el Motherboard antes de comenzar las pruebas, ya que si éste no se retira de la tarjeta, los patrones de prueba pueden forzar voltajes en sus salidas y dañarlo. También existe la posibilidad de que el FPGA fuerce voltajes en las salidas del sistema de prueba y lo dañe. Las razones de este comportamiento se detallan en el Análisis de Resultados.

Debido a que en esta alternativa se prueban todos los componentes individualmente, es necesaria una interfaz entre el Motherboard y el sistema de control mucho más compleja que en la propuesta anterior, ya que por medio de los conectores de la tarjeta no es posible tener acceso a todas las señales requeridas para ejecutar las pruebas. Para abordar este problema, se propone el desarrollo de una interfaz tipo *Cama de Clavos*, idea que se toma de la técnica de In-Circuit Test, explicada en la sección 3.2.2 . El aumento de la cantidad de señales a tomar en consideración en la prueba tiene también un consecuente aumento en la complejidad del hardware de control.

La Figura 20 muestra el diagrama general de esta propuesta de solución, en la cual se observa que en el sistema de control se incluye una etapa exclusiva de hardware de control, que sirve para multiplexar las señales de salida del Motherboard y para demultiplexar las señales de entrada al mismo. Esta etapa se conecta al Motherboard por medio de la interfaz de cama de clavos. Además, se incluye la conexión con una computadora, que se encarga de gobernar el sistema de prueba por medio de una tarjeta de adquisición de datos.



**Figura 20** Diagrama de bloques de la solución propuesta #2

La inclusión de la tarjeta de adquisición de datos se hizo con la intención de restar complejidad a las etapas de hardware y software, además de sumar capacidad de procesamiento al sistema, debido a la gran cantidad de entradas y salidas tanto analógicas como digitales que puede manejar una tarjeta de adquisición de datos.

Las ventajas que presenta esta propuesta de solución son las siguientes:

- Detección precisa del punto donde se encuentra un daño en la tarjeta. El sistema indica únicamente el componente dañado, para que éste pueda ser reemplazado.
- Disminución de la complejidad del software gracias al uso de LabVIEW, que es un lenguaje gráfico de alto nivel.
- No es necesario conocer en profundidad el funcionamiento del Motherboard como una unidad, sino el de cada uno de los elementos más simples que lo componen.

Las desventajas encontradas en esta propuesta son las siguientes:

- Aumento en la complejidad de la interfaz entre el Motherboard y el sistema de control debido al aumento del número de señales que intervienen en la prueba.
- Disminución en la confiabilidad de las pruebas debido a la fragilidad de la interfaz de cama de clavos.
- Aumento de los costos de implementación debido a la complejidad del sistema y a la inclusión de una tarjeta de adquisición de datos y una PC.

- No es posible probar los elementos de la tarjeta a frecuencias límite debido a las limitantes de frecuencia que presenta el sistema operativo de la PC. El sistema operativo Windows permite retardos mínimos de 1ms entre acciones, por lo cual la mayor frecuencia alcanzable es 1kHz.
- Aumento en la complejidad de la utilización del sistema, al ser necesario remover el FPGA antes de probar el Motherboard.
- Imposibilidad de probar el funcionamiento del FPGA.
- Pérdida de autonomía de la prueba, debido a la necesidad de intervención de un técnico para remover el FPGA.

### **5.1.3 Elección de propuesta a implementar**

Al hacer una comparación entre las ventajas y desventajas de las dos propuestas expuestas anteriormente, se llega a la conclusión de que la solución más viable, y que presenta un mayor equilibrio entre ventajas y desventajas es la propuesta 1. Sin embargo, la propuesta elegida para ser implementada fue la propuesta 2.

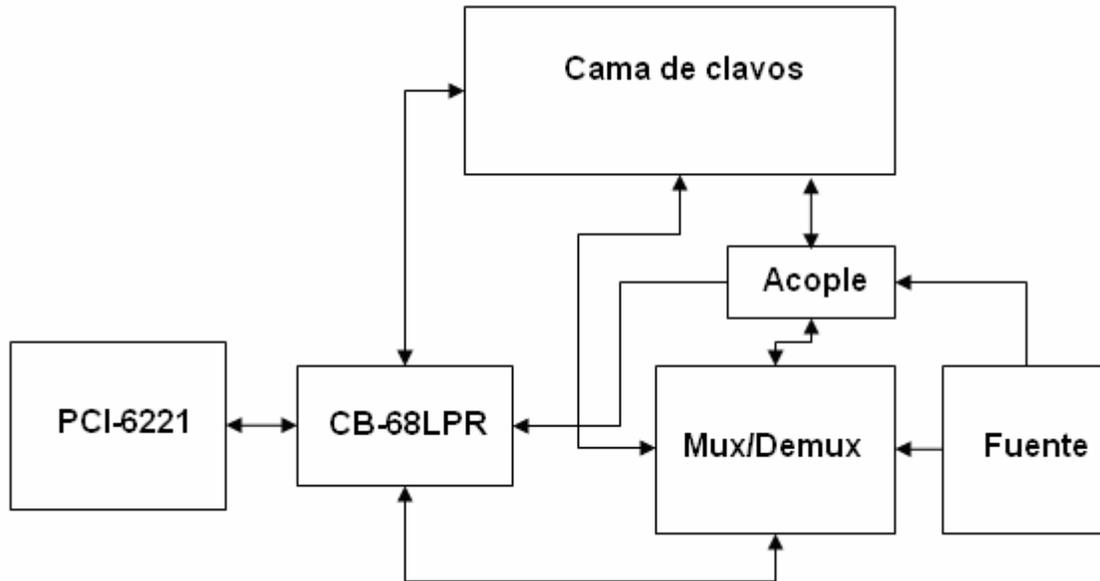
La elección de la propuesta 2 para ser implementada se debió a que una de las desventajas de la propuesta 1, la de la necesidad de conocer a fondo el funcionamiento del Motherboard, no fue posible de superar. La causa de esto fue que para conocer en profundidad el funcionamiento del Motherboard, es necesario contar con la programación del FPGA de la tarjeta, que es el elemento de control de todos los demás componentes de la misma, pero a pesar de los esfuerzos realizados, no fue posible encontrar dicha programación dentro de la compañía. Este aspecto forzó la escogencia de la propuesta que en el papel lucía más complicada y cara de implementar, con más desventajas que ventajas, pero que al final terminó siendo la única alternativa viable entre las dos alternativas que se formularon.

## **5.2 Descripción del hardware**

El hardware utilizado para la implementación del sistema de prueba incluye tanto elementos electrónicos como mecánicos y se puede dividir en siete unidades funcionales que se enumeran a continuación:

1. Ensamble mecánico de cama de clavos
2. Fuente de alimentación
3. Tarjeta de acople Fuente-Mux/Demux-Motherboard
4. Tarjeta de Multiplexación/Demultiplexación
5. Bloque de conexión National Instruments CB-68LPR
6. Tarjeta de adquisición de datos (DAQ) National Instruments PCI-6221
7. Computador

En la Figura 21 se muestra el diagrama de conexión de las unidades funcionales del hardware. El número de cada bloque corresponde con la numeración anterior para cada unidad.



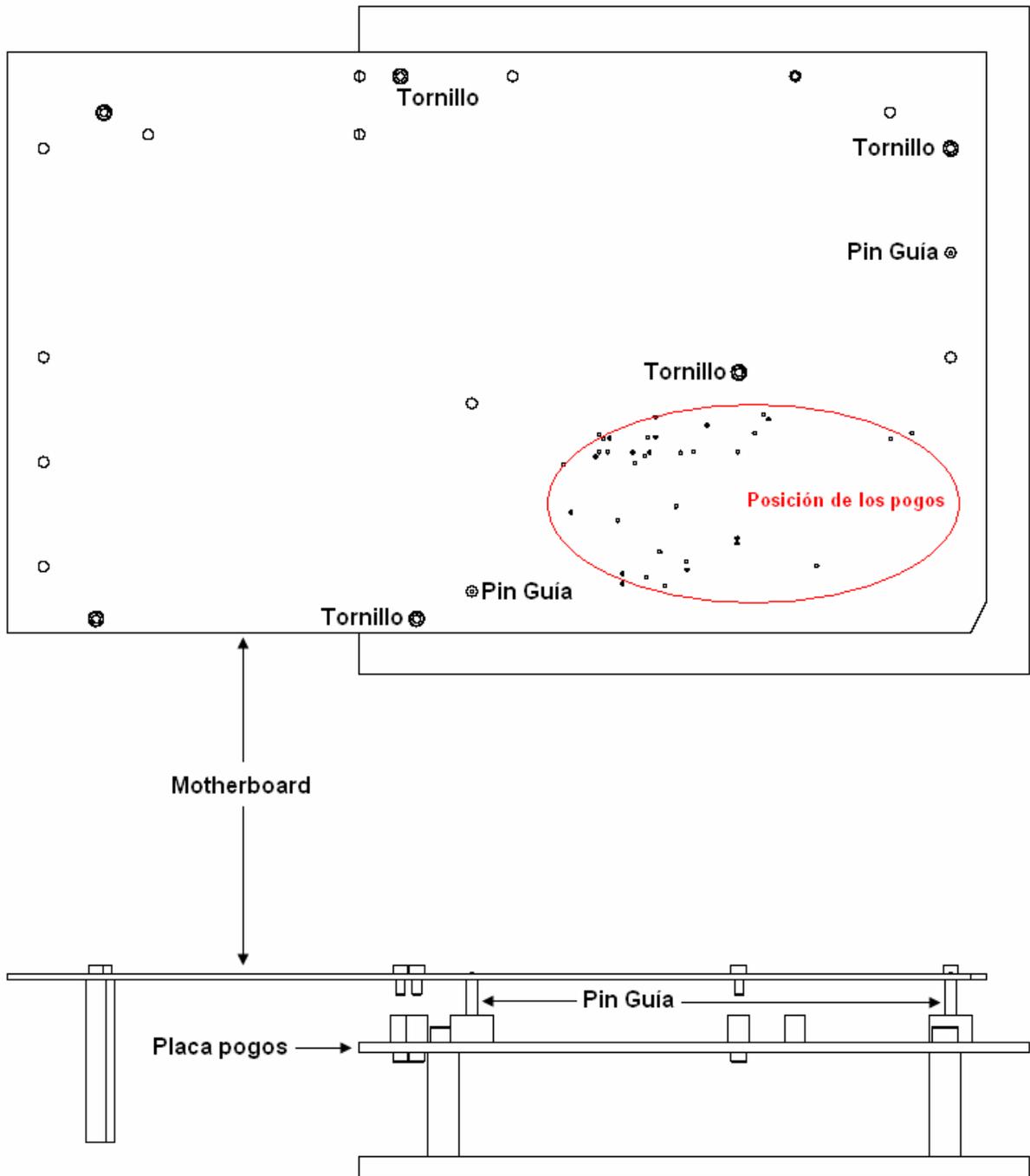
**Figura 21** Diagrama de bloques del hardware de la solución implementada

### 5.2.1 Ensamble mecánico de cama de clavos

Este ensamble se diseñó con el objetivo de establecer una conexión eléctrica con 38 puntos que no son accesibles a través de los tres conectores disponibles en el Motherboard. Estos puntos se conectan a entradas y salidas de los elementos de la tarjeta que se desea probar.

La estructura mecánica se diseñó con ayuda del Ing. Iván Ureña, ingeniero mecánico de Teradyne. Los pogo pines utilizados se consiguieron dentro de la compañía con la ayuda del Ing. Fernando Bonilla, Supervisor de Reparación de Teradyne, y se escogieron de forma tal que el diámetro de su cabeza no fuera mayor que el diámetro del punto de contacto, y que la geometría de la cabeza permitiera el mejor contacto posible.

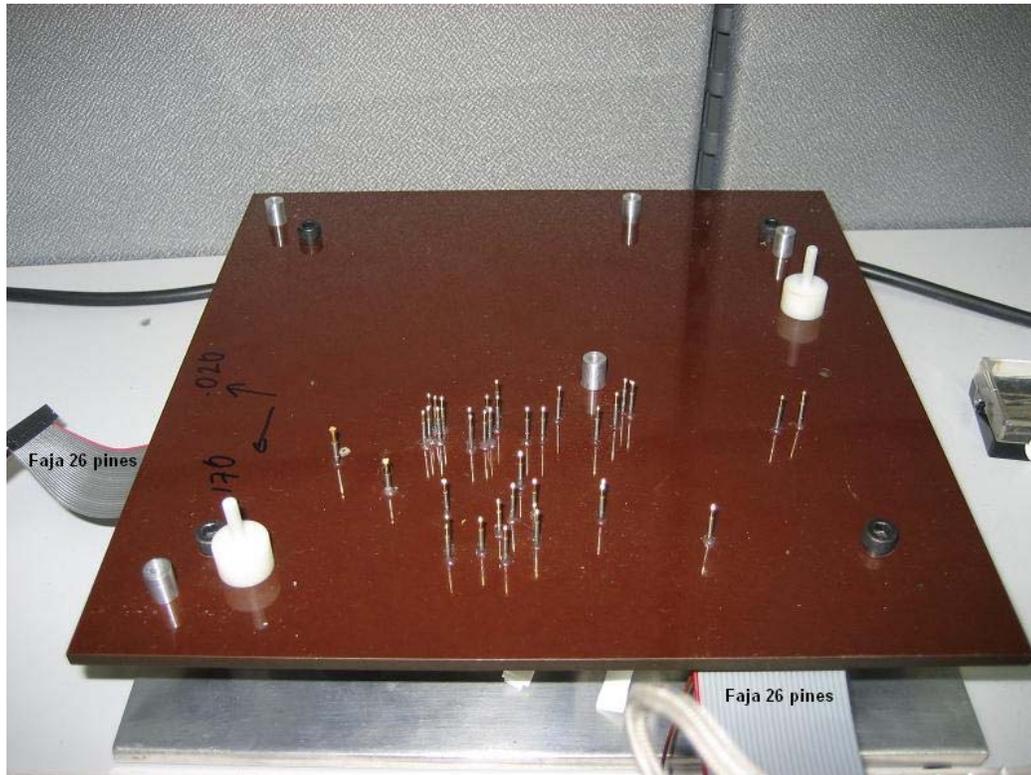
El diseño de la estructura mecánica se pensó para que el Motherboard se suspenda sobre los pogo pines de manera horizontal. Dos pines guías evitan que el Motherboard se mueva en el plano horizontal y con esto se consigue minimizar la posibilidad de que los pines se doblen cuando se está colocando la tarjeta en el ensamble. El Motherboard se sujeta al *fixture* con cuatro tornillos, como se observa en la Figura 22, donde se muestran las vistas superior y lateral del ensamble.



**Figura 22** Vistas superior y lateral del ensamble mecánico con el Motherboard

Para determinar la posición en la que debía colocarse cada pogo pin, se midió con un calibrador electrónico la posición de los puntos de conexión en el Motherboard. Los pogo pines se pegaron a la placa con una resina epóxica especial que se seca y endurece aplicándole luz ultravioleta. El uso de esta resina permitió una adecuada fijación de los pines.

Los cables que salían de los pogos se conectaron a dos fajas de 26 pines, una de éstas se conectó con la tarjeta de Multiplexación/Demultiplexación y la otra se conectó con el bloque de conexión CB-68LPR. La Figura 23 muestra el ensamble construido. Las fajas de conexión se pueden observar en la parte inferior derecha y lateral izquierda de la fotografía.



**Figura 23** Ensamble mecánico de cama de clavos

### 5.2.2 Fuente de Alimentación

Se diseñó una fuente de alimentación que provee de energía eléctrica tanto a las tarjetas del sistema como al Motherboard. Tiene 6 tensiones de salida:  $\pm 5V$ ,  $\pm 6V$  y  $\pm 12V$ , con una corriente de salida máxima de 2A, aunque cada fuente tiene capacidad de entregar como máximo 1A.

Las tensiones de salida se eligieron para cubrir los requerimientos de los componentes del Motherboard que el sistema prueba y los de las tarjetas del sistema. Las tablas 5, 6 y 7 muestran las tensiones de alimentación requeridas por los componentes de cada una de las tarjetas que utilizan la alimentación de esta fuente.

**Tabla 5** Requerimientos de alimentación de los componentes del Motherboard

Componente	Código de componente	Descripción	Tensiones de alimentación (V)
IC1, IC2	ULN2003	7 arreglos Darlington	+6
IC3, IC4, IC4	74ALS38, 74F38	4 compuertas NAND, 2 entradas, colector abierto	+5
IC6	DG412	4 interruptores analógicos	+5, ±15
IC7, IC8	MC10H125	4 convertidores ECL a TTL	+5,-5.2
K1... K8	EA2-5T	Relays	+6

**Tabla 6** Requerimientos de alimentación de los componentes de la tarjeta de Multiplexación/Demultiplexación

Componente	Código de componente	Descripción	Tensiones de alimentación (V)
IC1... IC5, IC8	CD4051	Mux/Demux analógico 8 canales	Vdd – Vee = +15 (max)
IC6, IC7	CD4067	Mux/Demux analógico 16 canales	Vdd – Vss = +15 (max)
IC9, IC10	MC10H124	4 convertidores ECL a TTL	+5,-5.2

**Tabla 7** Requerimientos de alimentación de los componentes de la tarjeta de acople Fuente-Mux/Demux-Motherboard

Componente	Código de componente	Descripción	Tensiones de alimentación (V)
IC1	LM324	4 Amplificadores operacionales 741	±18 (max)

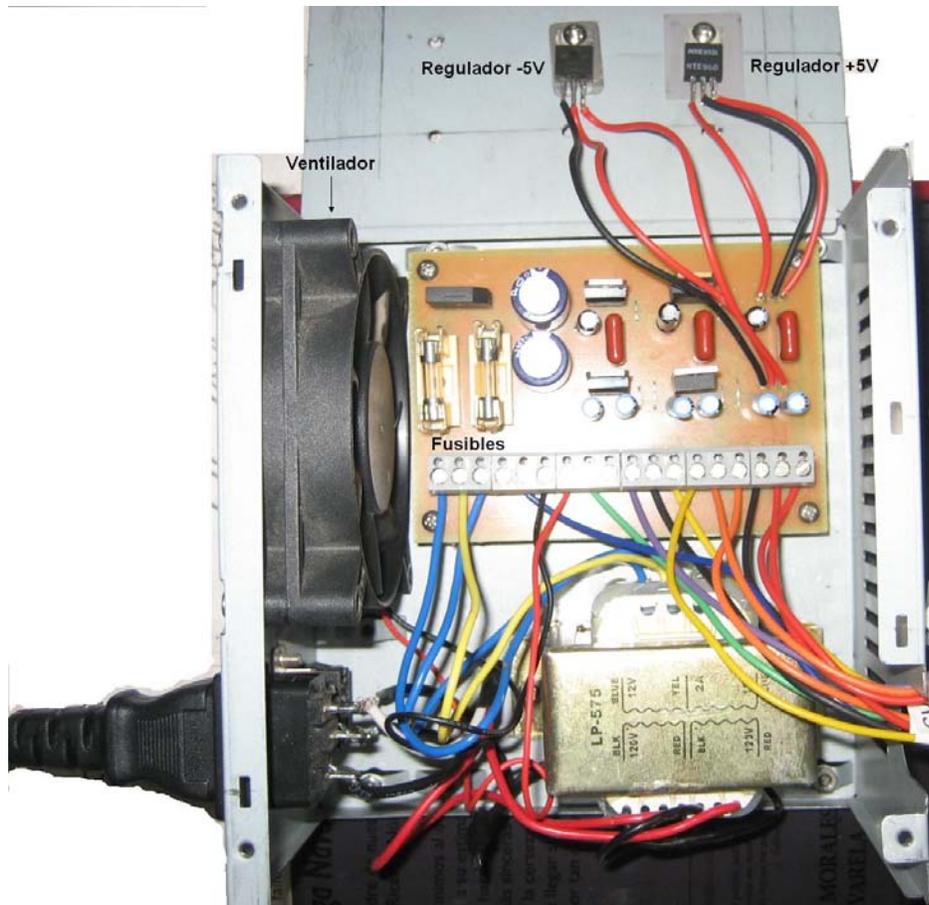
Al investigar más profundamente las características eléctricas de los componentes, se encontró que los convertidores de ECL a TTL, MC10H125 y de TTL a ECL, MC10H124 pueden funcionar con valores de la fuente de alimentación negativa que van desde -8V a 0V [16], [15]. Por esta razón, se decidió cambiar la fuente de -5.2V por una de -5V para poder utilizar un regulador de tensión fijo, LM7905 en vez de uno variable para ajustarlo a -5.2V. Esto simplifica el diseño de la fuente y previene desajustes indeseables en el valor de la línea de alimentación por la modificación errónea del valor de un potenciómetro.

Por otra parte, el diseño de una fuente de 15V con un regulador de tensión fijo LM7815 para +15V ó uno LM7915 para -15V requiere que el voltaje de entrada del regulador sea +23V ó -23V respectivamente [12],[13]. Para lograr este valor de entrada después de las etapas de reducción y rectificación y filtrado de la señal de 120Vrms de la red eléctrica, se requiere un transformador reductor con una tensión de salida de al menos 18Vrms. Como se necesita tanto la línea de +15V como la de -15V, se requiere un transformador de 120Vrms a 36Vrms con derivación central.

No fue posible conseguir un transformador con esta relación de reducción, por lo cual se investigaron las características del circuito integrado DG-412 que es el que necesita estos valores de alimentación, y se encontró que puede alimentarse con valores que van desde  $\pm 4.5V$  a  $\pm 20V$ [9]. Se decidió sustituir las líneas de  $\pm 15V$  por líneas de  $\pm 12V$ , utilizando reguladores fijos de  $+12V$  (LM7812) y  $-12V$  (LM7912). Estos reguladores requieren una tensión de entrada de  $+19V$  y  $-19V$  respectivamente [12], [13]. Se utilizó un transformador de  $120V_{rms}$  a  $24V_{rms}$  con derivación central, que permite tener un valor de tensión rectificada de  $\pm 17V$ , el cual es aceptable para utilizar los reguladores.

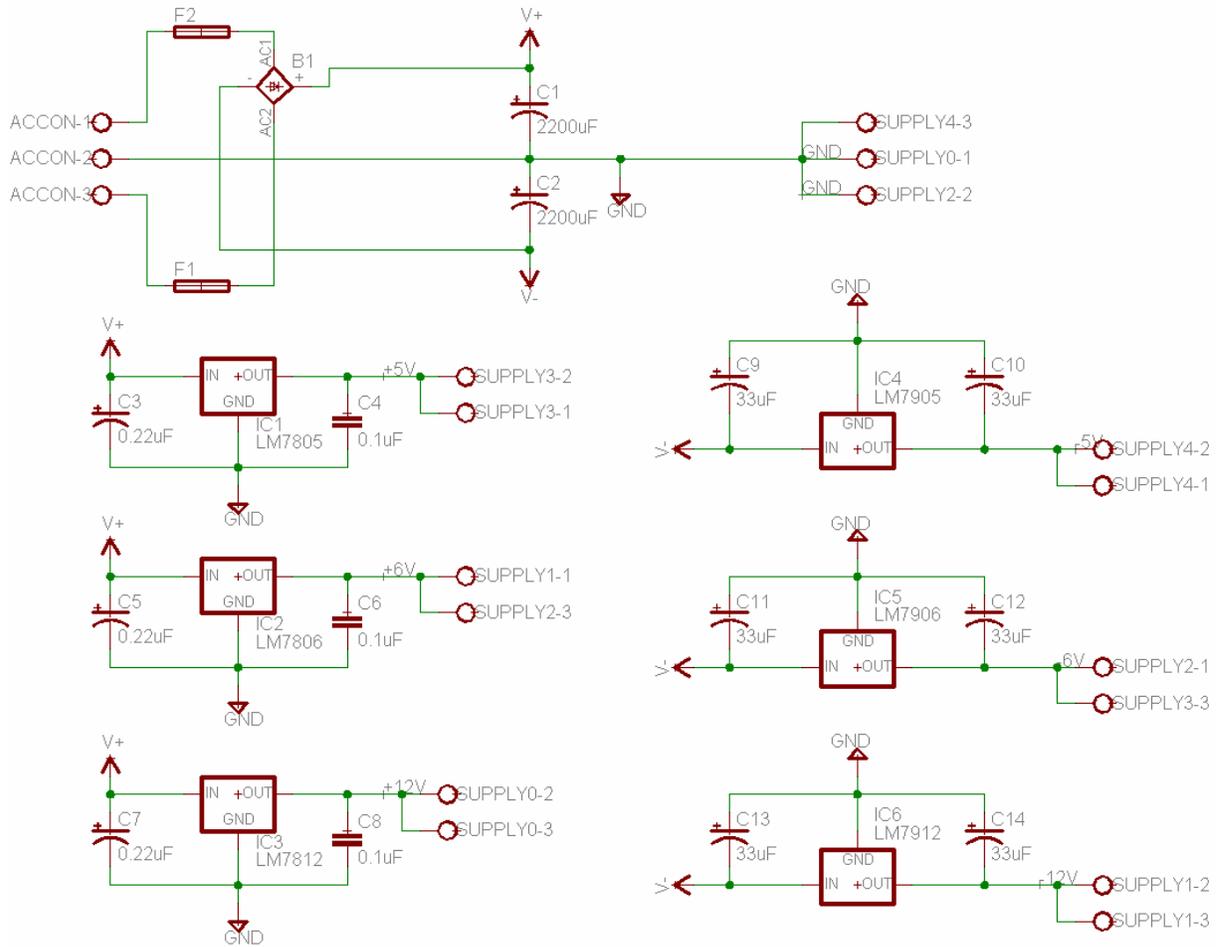
Los multiplexores analógicos CD4067 se utilizaron para multiplexar únicamente señales digitales, por lo que se utilizó la línea de  $+5V$  para alimentarlos. Los multiplexores CD4051 se utilizan para multiplexar y demultiplexar señales analógicas, por lo cual se alimentaron con una línea de  $+6V$  y otra de  $-6V$ . Esto permite tener señales de entrada y salida del multiplexor que pueden variar en el rango de  $\pm 6V$ . El CI de amplificadores operacionales, LM324 se utilizó para hacer un divisor de tensión de las líneas de  $+12V$  y  $-12V$ , por lo cual se alimentó también con estas líneas.

El diseño de las fuentes se realizó de acuerdo con los parámetros especificados en las hojas de datos de los reguladores. Se colocó un fusible de  $2A$  en la línea de alimentación positiva de los reguladores y otro en la negativa, con el fin de limitar la corriente de salida de la fuente, y proteger los reguladores de un corto circuito. No se consideró el uso de disipadores para los reguladores, pero fue necesario disipar el calor generado por los reguladores de  $+5V$  y  $-5V$ , entonces se utilizó la tapa metálica de la fuente como disipador. Los reguladores se pegaron a la tapa con un aislante eléctrico. Posteriormente se colocó un ventilador de  $12V/100mA$ , que ayudó a mantener baja la temperatura interna de la fuente y de los componentes. En la Figura 24 se observa la fuente internamente, y los componentes comentados.



**Figura 24** Estructura interna de la fuente de alimentación

En la Figura 25 se muestra el diagrama eléctrico de la fuente de alimentación. Los conectores ACCON se conectan a las líneas del secundario del transformador. Los demás conectores, denominados SUPPLY## son las salidas de la fuente, que se conectan al sistema.



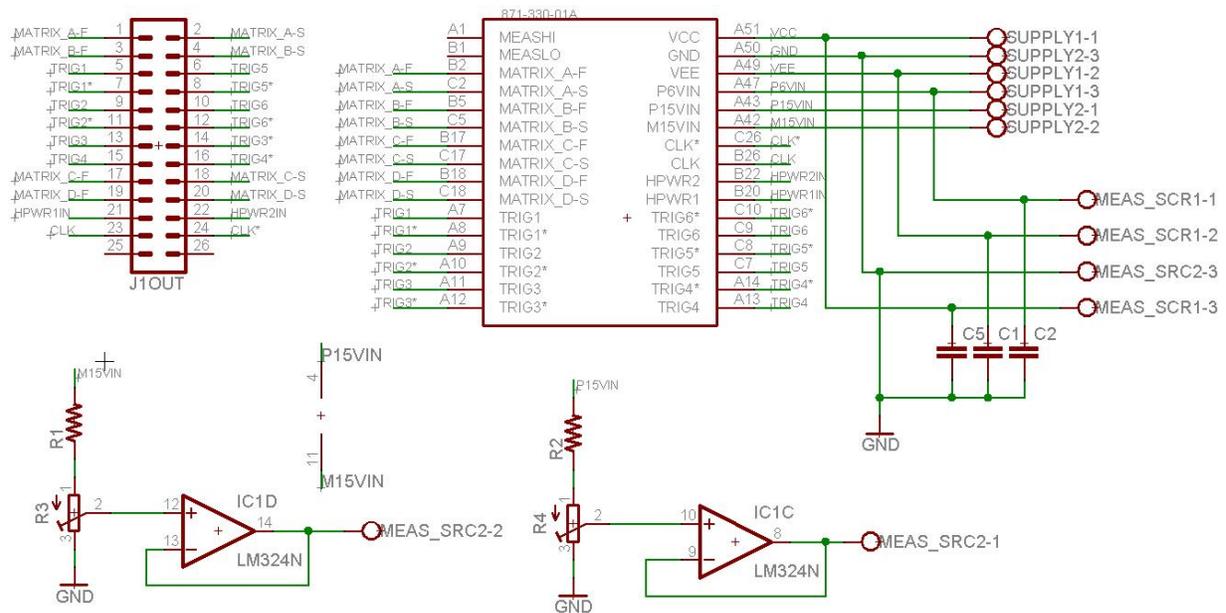
**Figura 25** Circuito de la fuente de alimentación del sistema

**Tabla 8** Lista de materiales de la fuente de alimentación

Cantidad	Valor/Serie	Descripción del componente
1	120V to 24V, 2A	Transformador con derivación central
1	12V, 100mA	Ventilador
6	W237-3E	Conectores de tornillo WAGO
1	100V, 2A	Rectificador de onda completa
2	2200µF/35V	Capacitor electrolítico
3	0.22µF/16V	Capacitor electrolítico
3	0.1µF/100V	Capacitor cerámico
6	33µF/16V	Capacitor electrolítico
2	2A	Fusibles
1	LM7805	Regulador de tension +5v, 1A
1	LM7806	Regulador de tension +6v, 1A
1	LM7812	Regulador de tension +12v, 1A
1	LM7905	Regulador de tension -5v, 1A
1	LM7906	Regulador de tension -6v, 1A
1	LM7912	Regulador de tension -12v, 1A

### 5.2.3 Tarjeta de acople Fuente-Mux/Demux-Motherboard

Esta tarjeta se utiliza para conectar el Motherboard con la fuente de alimentación y la tarjeta de Multiplexación/Demultiplexación por medio del conector J1. Además de su función de “puente”, esta tarjeta sirve como punto de medición de los voltajes de alimentación del Motherboard. Para cumplir este fin, la tarjeta conecta todas las líneas de alimentación con el bloque de conectores CB-68LPR, el cual se conecta directamente con la tarjeta de adquisición.



**Figura 26** Circuito de la Tarjeta de acople Fuente-Mux/Demux-Motherboard

En la Figura 26 se observa el circuito de esta tarjeta. El conector de 26 pines se conecta con la tarjeta de Multiplexación/Demultiplexación. Los conectores con nombre SUPPLY#\_# se conectan con la fuente de alimentación y proveen de energía al Motherboard, mientras que los conectores con nombre MEAS-SCR#\_# se utilizan para la medición de las líneas de alimentación y se conectan al bloque CB-68LPR. Los capacitores C1, C2 y C3 eliminan ruido de las líneas de alimentación para mejorar la medición.

La medición de las líneas de  $\pm 12V$  debe hacerse disminuyendo primero la amplitud de la señal, ya que la tarjeta de adquisición puede medir solamente señales en el rango de  $\pm 10V$ [10]. Si este valor se excede, se corre el riesgo de dañar la tarjeta. Por esta razón, las líneas de  $\pm 12V$  se pasan por un divisor de tensión formado por una resistencia y un potenciómetro. La salida se toma entre el pin 2 del potenciómetro y tierra, y se pasa por un amplificador operacional en configuración seguidor de tensión con el objetivo de no cargar el divisor y modificar la medición.

Se ajusta un valor de tensión menor a 10V y la proporción de este voltaje con respecto a los 12V de la línea se toma en cuenta para el procesamiento de la medición con el software del sistema. La Tabla 9 muestra la lista de materiales necesarios para construir esta tarjeta y en la Figura 27 se observa la tarjeta terminada.

**Tabla 9** Lista de materiales de la tarjeta de acople

Cantidad	Valor/Serie	Descripción de parte
3	0.1uF, 100V	Capacitor cerámico
1	LM324	4 operacionales 741
1	-	Faja 26 pines, 3"
4	W237-3E	Conectores de tornillo WAGO
1	153 pin	Conector Amphenol. TPN 871-330-01 <sup>a</sup>
2	5.1k, ¼W	Resistencia
2	10k/TRIMM3296X	Potenciómetro Trimpot



**Figura 27** Tarjeta de acople Fuente-Mux/Demux-Motherboard

#### 5.2.4 Tarjeta de Multiplexación/Demultiplexación

La tarjeta de Multiplexación/Demultiplexación se encarga de maximizar los recursos de la tarjeta de adquisición NI PCI-6221. El objetivo es poder utilizar dos salidas analógicas, una entrada analógica y tres I/Os digitales de la tarjeta de adquisición para generar o medir 60 señales del Motherboard entre entradas y salidas, analógicas o digitales. La tarjeta de Multiplexación/Demultiplexación cumple las siguientes funciones específicas en el sistema:

- Demultiplexa las dos salidas analógicas de la tarjeta de adquisición en once entradas analógicas del dispositivo bajo prueba (DUT).
- Multiplexa 14 salidas analógicas del DUT en una entrada analógica de la tarjeta de adquisición.

- Demultiplexa dos salidas digitales de la tarjeta de adquisición en 17 entradas digitales del DUT.
- Multiplexa 18 salidas digitales del DUT en 2 entradas digitales de la tarjeta de adquisición.
- Convierte las señales digitales provenientes de la tarjeta de adquisición en niveles TTL a niveles ECL que se envían como entradas al DUT para probar los circuitos integrados convertidores de ECL a TTL, MC10H125 (U7 y U8 del Motherboard).

La conexión de esta tarjeta con los demás elementos del sistema se realiza por medio de conectores de 26 pines, en el caso de la conexión con la tarjeta de acople y la cama de clavos. En la Figura 28 se pueden apreciar los cuatro conectores de 26 pines de esta tarjeta. El conector J1 se conecta con la tarjeta de acople, los conectores J2 y J3 con los conectores J2 y J3 del Motherboard respectivamente, y el conector POGOS se conecta con una de las fajas de 26 líneas de la cama de clavos. Todos los conectores anteriores utilizan fajas de 26 líneas para establecer la conexión entre tarjetas.

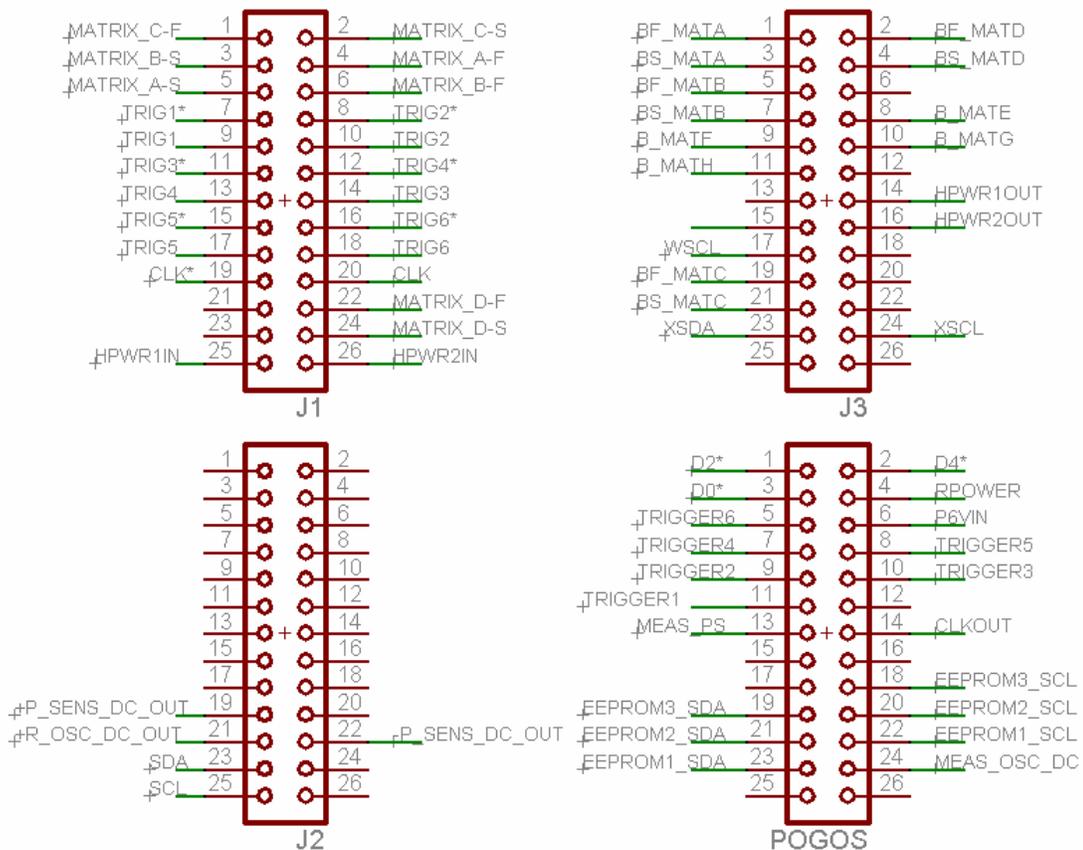
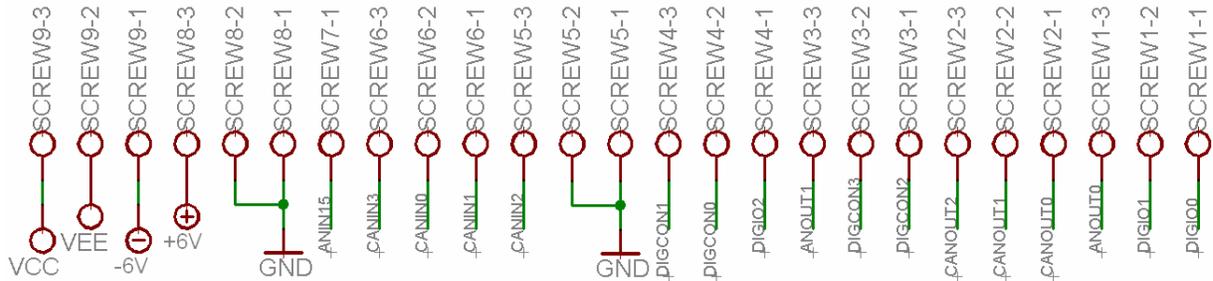


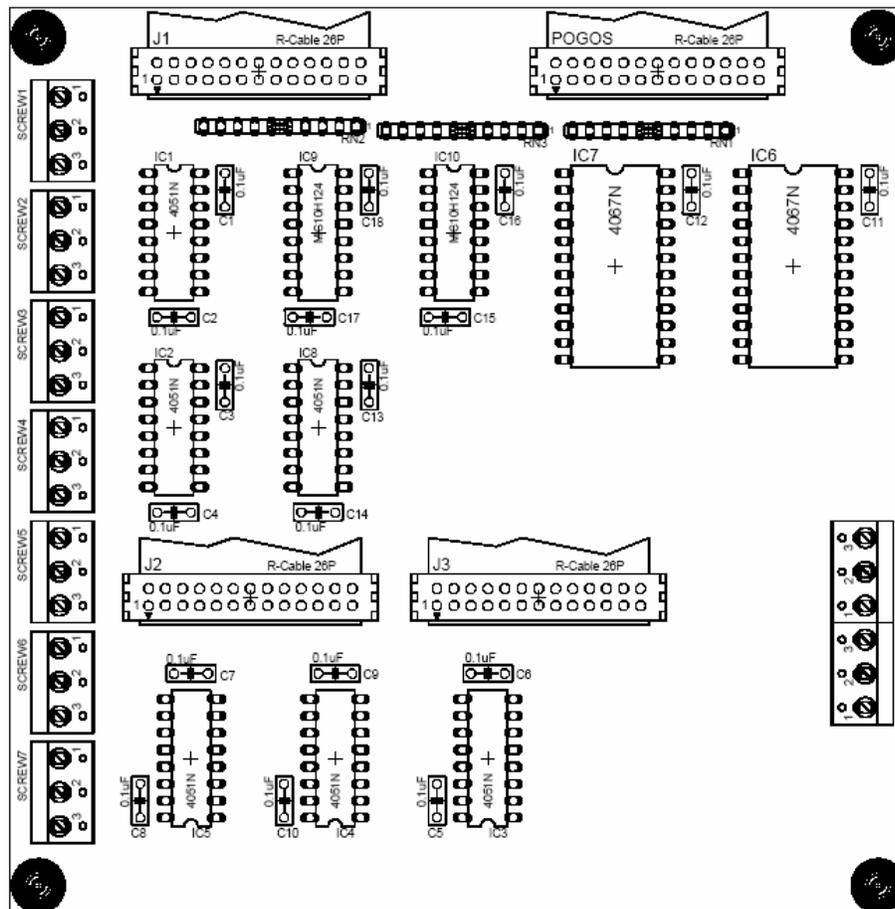
Figura 28 Señales de los conectores de 26 pines en la tarjeta Mux/Demux

La tarjeta cuenta con bloques conectores de tornillo WAGO, los cuales sirven como terminales para los cables de conexión de esta tarjeta con el bloque de conectores CB-68LPR y con la fuente de alimentación. En la Figura 29 se muestran las conexiones de estos bloques. Los bloques SCREW8 y SCREW9 se conectan con la fuente de alimentación, mientras que los demás se conectan con el bloque conector CB-68LPR.



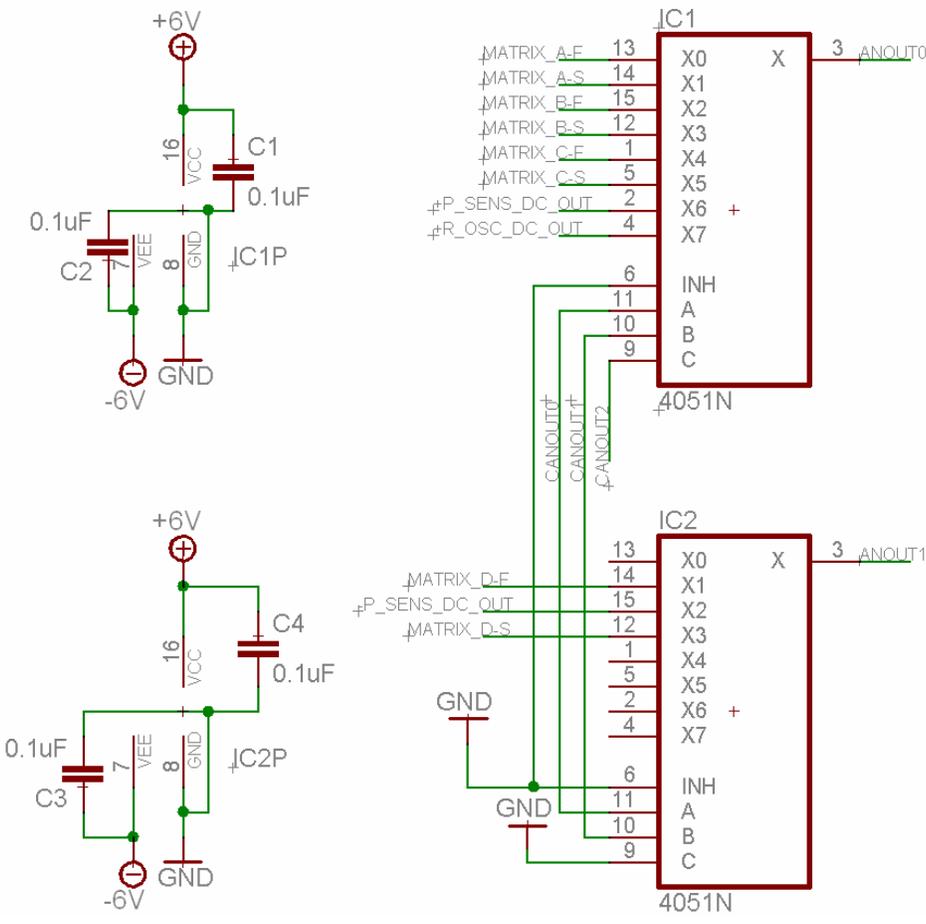
**Figura 29** Conexiones de los bloques de conexión de tornillo WAGO

En la Figura 30 se muestra la distribución de los componentes en la tarjeta. Se pueden observar los conectores de 26 pines y los bloques de conectores de tornillo.



**Figura 30** Distribución de componentes en la tarjeta Mux/Demux

La Figura 31 muestra el circuito utilizado para demultiplexar las salidas analógicas de la tarjeta de adquisición. Se utilizan dos demultiplexores analógicos CD4051, los cuales conectan su entrada a uno de ocho canales de salida, dependiendo del valor de las señales de control, CANOUT[0:2], que también provienen de la tarjeta de adquisición. Se escogió utilizar este dispositivo debido a que maneja señales analógicas y a que tiene una conexión explícita a tierra (GND), aparte de la conexión de alimentación negativa (Vee) y la de alimentación positiva (Vcc)[21]. Esta característica lo diferencia del otro demultiplexor utilizado en esta tarjeta, el CD4067, que tiene 16 canales analógicos pero no tiene una conexión explícita a tierra, solamente una conexión para un voltaje positivo (Vdd) y otro negativo (Vss)[22]. Con la conexión explícita a tierra se logra conectar la referencia del integrado a la tierra de todo el sistema y se evitan tierras virtuales o flotantes que puedan afectar la precisión de las mediciones tomadas con la tarjeta de adquisición.



**Figura 31** Circuito demultiplexor de las salidas analógicas de la tarjeta de adquisición

Ambos demultiplexores se controlan con las mismas señales de control, y por medio del software se escoge cuál de las salidas de la tarjeta se va a utilizar; esto permite la utilización de la mínima cantidad de líneas de control posible y por consiguiente el “ahorro” de recursos de la tarjeta de adquisición.

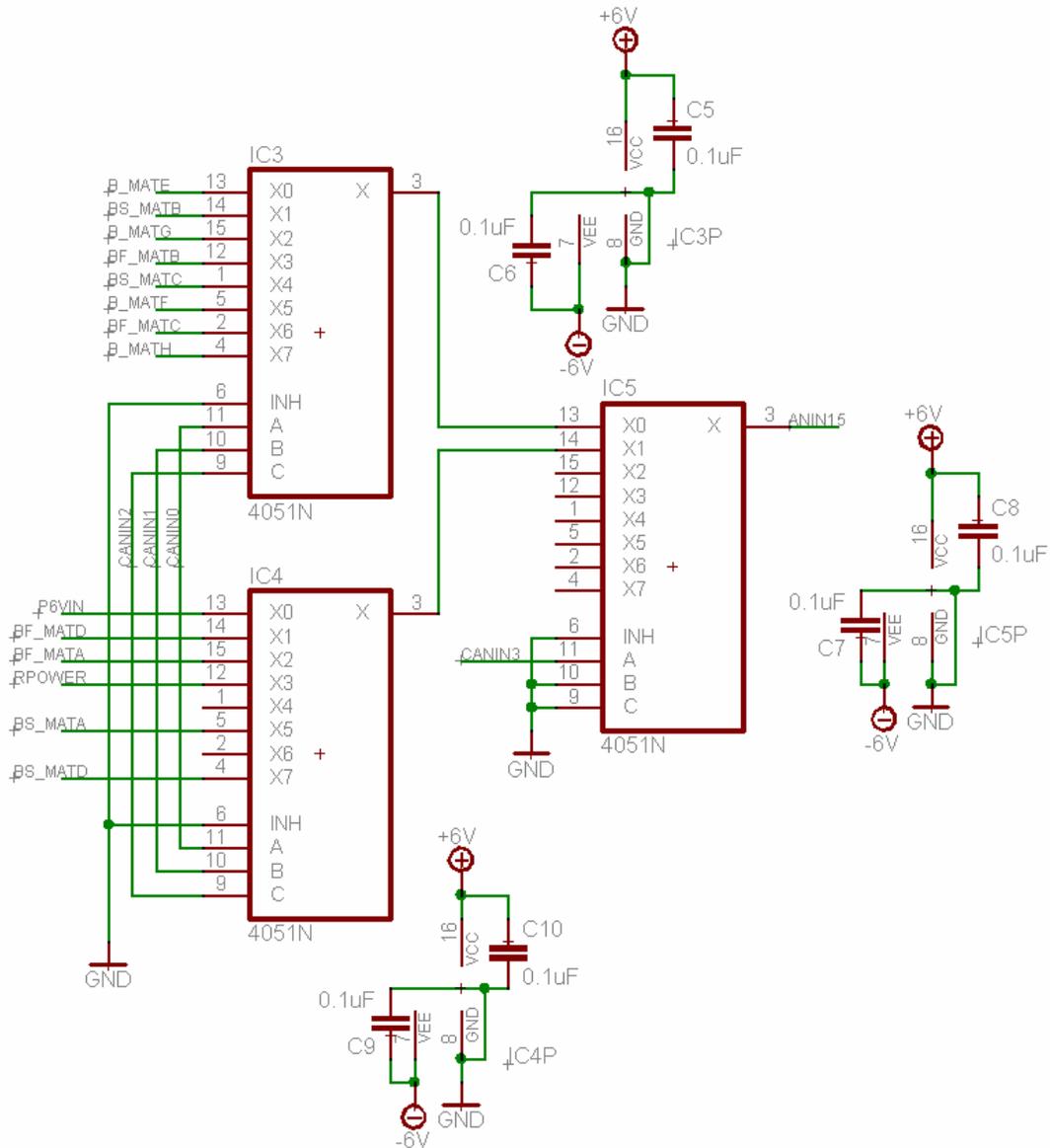
Si se requiere utilizar dos salidas analógicas al mismo tiempo, las dos se colocan en demultiplexores distintos pero de manera que puedan ser seleccionadas al mismo tiempo. Tal es el caso de las señales +P\_SENS\_DC\_OUT y -P\_SENS\_DC\_OUT, que se utilizan al mismo tiempo para probar el U6 del Motherboard: la primera está conectada al canal 6 del IC1, y la segunda al canal 2 del IC2. Debido a que la línea de control 'C' del IC2 está conectada a tierra, la señal CANOUT2 se ignora y es posible seleccionarlas al mismo tiempo, ya que los valores lógicos de CANOUT0 y CANOUT1 son los mismos para la selección del canal 2 o el canal 6, como se observa en la Tabla 10.

**Tabla 10** Selección de canales 2 o 6 con las líneas de control CANOUT

Línea de Control	Valor lógico de las líneas de control	
	Selección de canal 6	Selección de canal 2
CANOUT0	0	0
CANOUT1	1	1
CANOUT2	1	0

Con respecto a la alimentación de estos dispositivos, se alimentan con  $\pm 6V$  y se conecta un capacitor de 0.1uF entre cada línea de tensión y tierra para evitar caídas en el tensión de las líneas.

En la Figura 32 se muestra el circuito utilizado para multiplexar 14 salidas analógicas del Motherboard, con el objetivo de medirlas utilizando una única entrada analógica de la tarjeta de adquisición (DAQ). Se escogieron 14 señales que no se utilizaran al mismo tiempo en una prueba. En este caso, los CIs CD4051 se utilizan como multiplexores y se controlan con 4 salidas digitales del DAQ, CANIN[0:3].



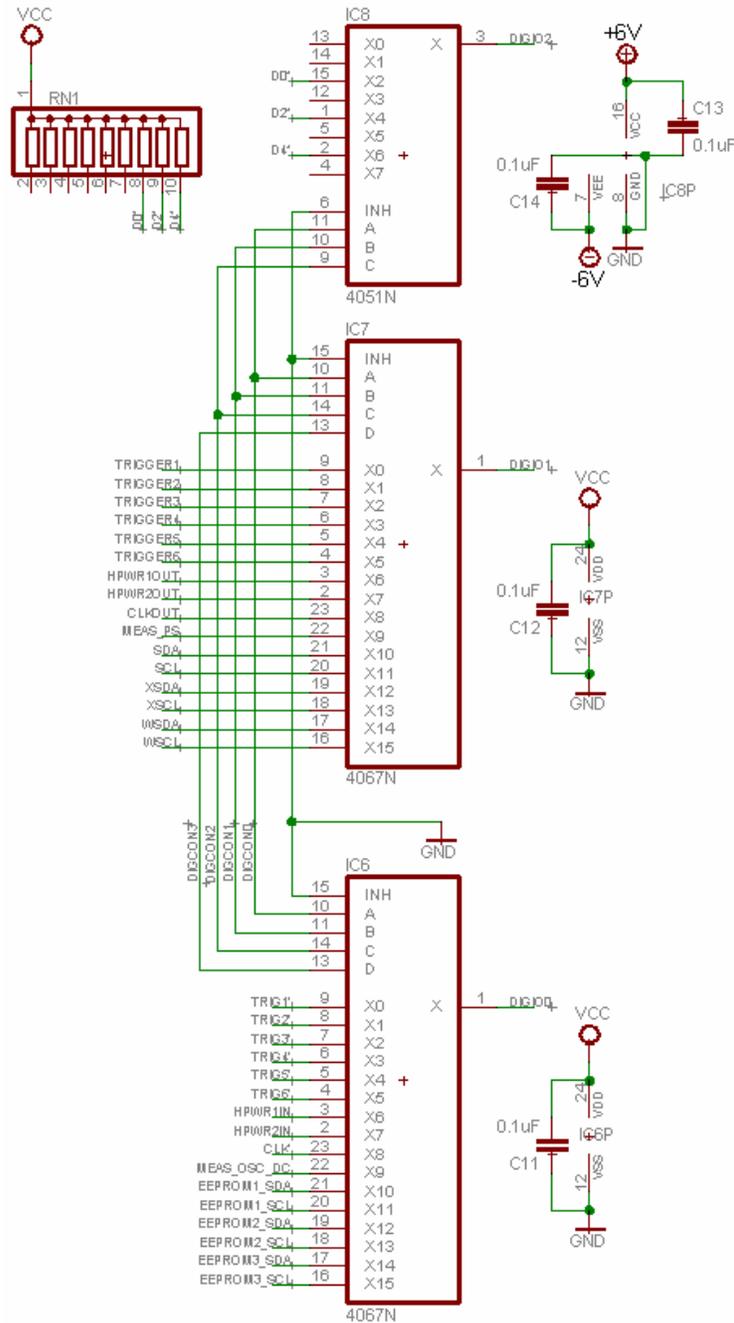
**Figura 32** Circuito multiplexor de las salidas analógicas del Motherboard

La Figura 33 muestra la circuitería implementada para la distribución de tres I/Os digitales del DAQ. Se utilizan dos Multiplexores/Demultiplexores analógicos de 16 canales CD4067 y uno de 8 canales CD4051. En este caso se utilizó el dispositivo de 16 canales por dos razones: la primera por la gran cantidad de señales, lo que hace que si se utilizan integrados con menos canales, como el CD4051, la cantidad de integrados necesarios para realizar la misma función aumente. Se necesitarían 3 integrados CD4051 para hacer la misma función que uno CD4067. La segunda razón es porque todas las señales son digitales y como este CI no tiene una conexión explícita a tierra, para utilizarlo sin tener problemas de referencia en las mediciones, se conecta el pin de alimentación negativo a tierra y el positivo a Vcc, como se puede observar en el circuito. Con esta conexión las mediciones del DAQ se hacen con referencia a tierra.

Se utiliza un integrado CD4051 para multiplexar tres salidas digitales del Motherboard en una entrada digital del DAQ, ya que utilizar un CD4067 para este fin representa un desperdicio de recursos del integrado y de espacio en el impreso. Los tres integrados se controlan por medio de las mismas líneas de control, pero los CD4067 necesitan cuatro líneas (DIGCON[0:3]) y el CD4051 solamente tres (DIGCON[0:2]). En este caso, las señales que tienen el mismo número de canal en integrados distintos se utilizan al mismo tiempo en las pruebas correspondientes. Por ejemplo, la señal en el canal 0 de IC6, TRIG1' se utiliza como entrada en la prueba de los convertidores MC10H125, al mismo tiempo que la señal TRIGGER1 del canal 0 de IC7 se utiliza como salida de esta prueba. En las pruebas con señales digitales, siempre se utilizan dos de los tres I/Os digitales del DAQ al mismo tiempo. La elección de cual par de señales utilizar se hace por medio del software. En la Tabla 11 se muestran las señales por canal que maneja cada I/O del DAQ. En la columna de DIGIO2, las señales se repiten debido a que el CD4051 solamente tiene tres líneas de control, lo cual hace que la cuarta línea no afecte el direccionamiento de este integrado, y los canales se activen tanto para DIGCON3 = 0 como para DIGCON3 = 1.

**Tabla 11** Señales por canal de cada multiplexor/demultiplexor

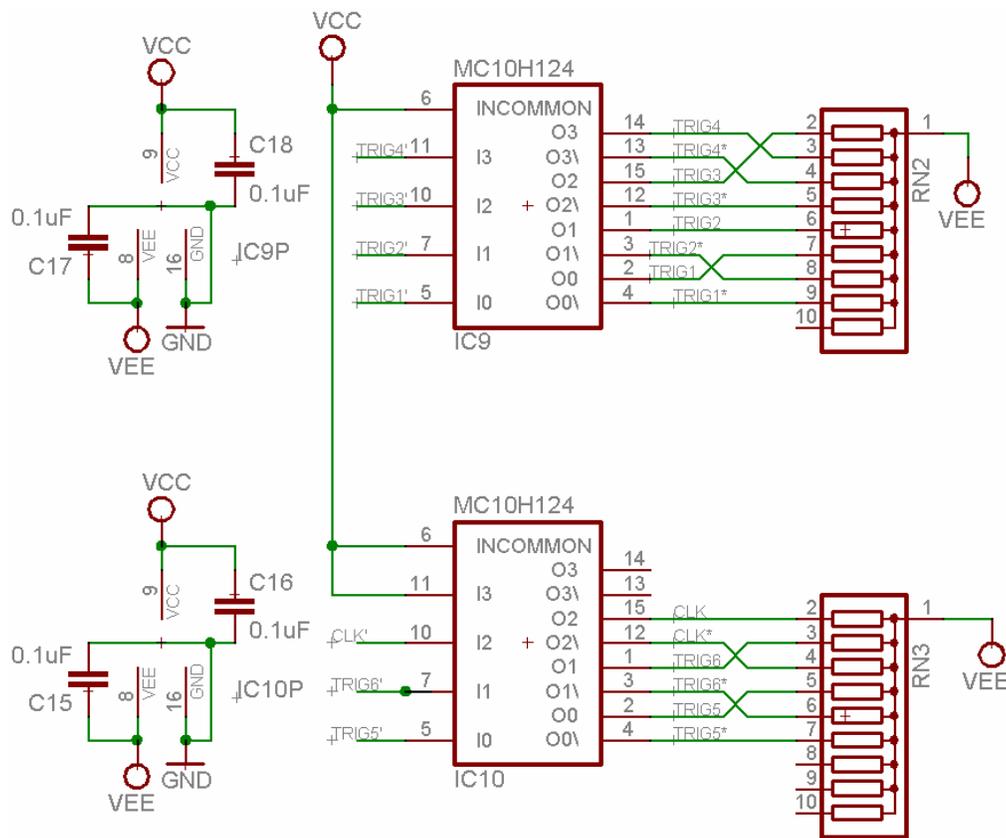
Líneas de Control DIGCON[0:3]	I/Os DAQ		
	DIGIO0	DIGIO1	DIGIO2
0	TRIG1'	TRIGGER1	
1	TRIG2'	TRIGGER2	
2	TRIG3'	TRIGGER3	D0*
3	TRIG4'	TRIGGER4	
4	TRIG5'	TRIGGER5	D2*
5	TRIG6'	TRIGGER6	
6	HPWR1in	HPWR1out	D4*
7	HPWR2in	HPWR2out	
8	CLK'	CLKout	
9	MEAS_OSC_DC	MEAS_PS	
10	EEPROM1_SDA	SDA	D0*
11	EEPROM1_SCL	SCL	
12	EEPROM2_SDA	XSDA	D2*
13	EEPROM2_SCL	XSCL	
14	EEPROM3_SDA	WSDA	D4*
15	EEPROM3_SCL	WSCL	



**Figura 33** Circuito de distribución de I/Os digitales del DAQ

Las señales D0\*, D1\* y D2\* son salidas del circuito integrado U4 del Motherboard. Este CI es un 74F38, el cual contiene 4 compuertas NAND con salida de colector abierto. Este tipo de salida necesita una resistencia de *pull-up* para funcionar, y en el caso de U4, esa resistencia no se encuentra dentro del Motherboard. Por esta razón, el diseño del circuito mostrado en la Figura 33 incluye una red de resistencias de 1kΩ (RN1 en la figura) conectada a Vcc, tres de las cuales se conectan a las señales D0\*, D1\* y D2\* y de esta manera se obtienen los valores de tensión TTL esperados de estas señales.

En la Figura 34 se muestra el circuito utilizado para la conversión de señales TTL a ECL. Se utiliza un convertidor TTL a ECL MC10H124, el cual puede convertir cuatro señales y tiene dos salidas por señal convertida, una funciona como buffer, es decir, la señal no es invertida, y la otra como inversor, se invierte el valor lógico de la señal de entrada[16]. Se decidió utilizar este CI porque es el complemento del MC10H125, que es el convertidor ECL a TTL que se encuentra en el Motherboard. Las salidas de este CI son de emisor abierto, por lo cual es necesario conectarles una resistencia de *pull-up* para obtener los valores lógicos deseados. Se utilizaron redes de resistencias de  $270\Omega$ , que se conectaron a Vee (-5V) y a su vez a cada salida de los integrados, como se observa en la figura. Se utilizó este valor de resistencia debido a que es el recomendado en las notas de aplicación para el uso de circuitos integrados de tecnología ECL[17].

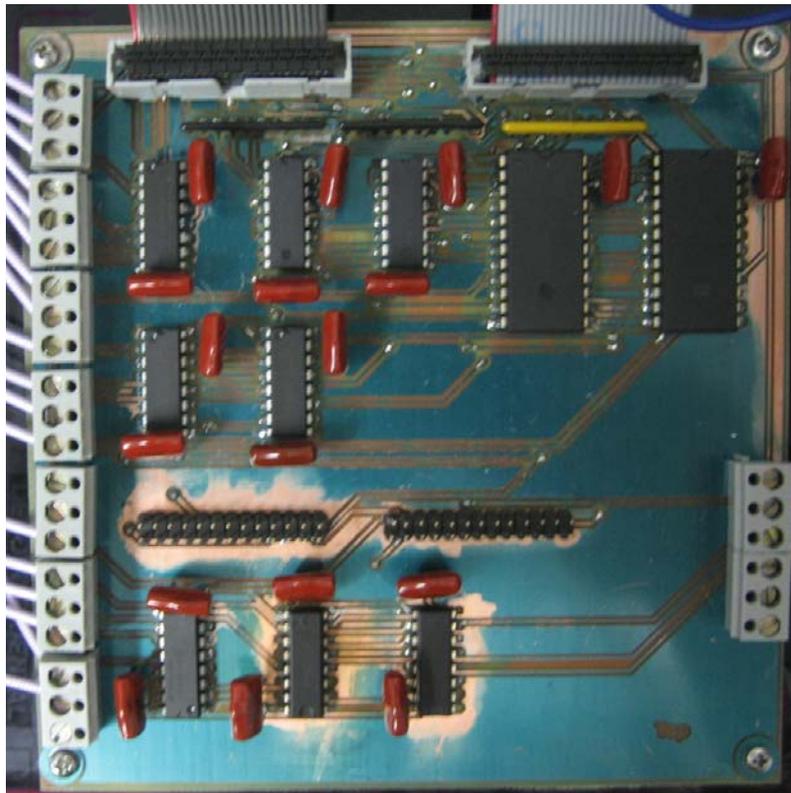


**Figura 34** Circuito de conversión de señales TTL a ECL

En la Tabla 12 se muestra la lista de materiales utilizados para construir esta tarjeta, y en la Figura 35 se muestra la tarjeta terminada.

**Tabla 12** Lista de materiales de la tarjeta Mux/Demux

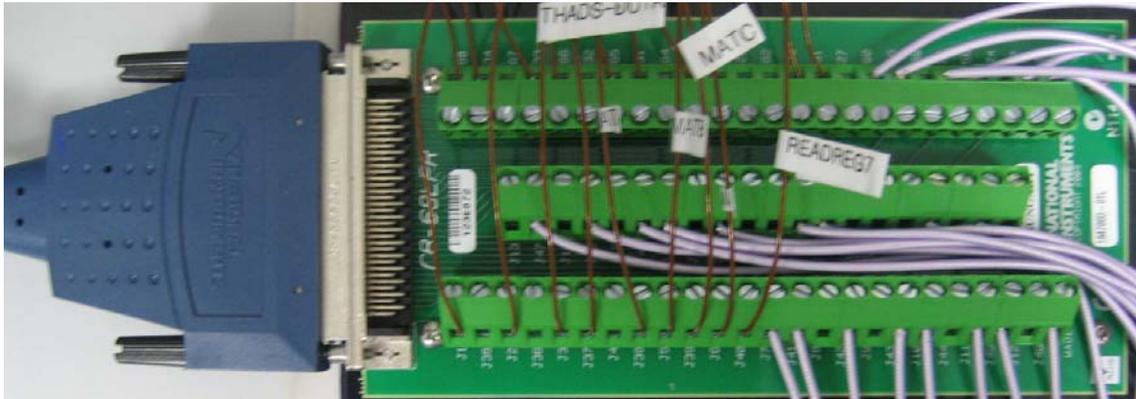
Cantidad	Valor/Serie	Descripción de parte
18	0.1uF/100V	Capacitor cerámico
6	CD4051	Multiplexor/Demultiplexor analógico de 8 canales
2	CD4067	Multiplexor/Demultiplexor analógico de 16 canales
2	MC10H124	Convertidor de TTL a ECL
4	26 pines, 2 líneas	Male connector
2	26 líneas, 9"	Faja J2, J3
1	1k $\Omega$	Red de resistencias
2	270 $\Omega$	Red de resistencias
9	W237-3E	Conectores de tornillo WAGO



**Figura 35** Tarjeta Mux/Demux

### 5.2.5 Bloque de conexión National Instruments CB-68LPR

Este bloque es construido por National Instruments especialmente para conectarse con las tarjetas de adquisición que tienen conectores de 68 pines. Consiste de 68 conectores de tornillo, que permiten una conexión sencilla de la tarjeta con las señales de entrada/salida en el lugar de aplicación del DAQ. En la Figura 36 se muestra una fotografía del bloque con los cables de las señales conectados.



**Figura 36** Bloque conector CB-68LPR

Este bloque de conexión sirve como puente entre el DAQ y la cama de clavos, la tarjeta de acople y la tarjeta Mux/Demux.

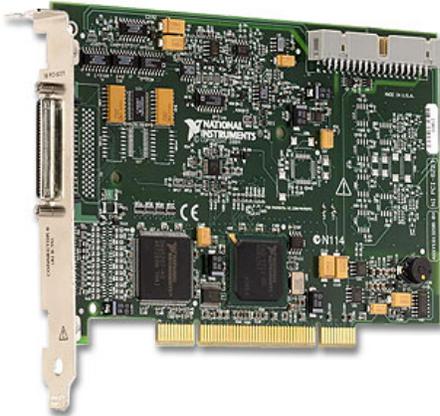
Para conectar el bloque con la tarjeta de adquisición se utilizó el cable SH68-68-D1 de National Instruments. Este es un cable blindado de 2m y 34 pares de cable cruzado con terminales tipo hembra en ambos extremos. El cable se muestra en la Figura 37.



**Figura 37** Cable para conexión del DAQ con el bloque, NI SH68-68-D1

### 5.2.6 Tarjeta de adquisición de datos (DAQ) National Instruments PCI-6221

Esta es la parte principal del hardware del sistema. Se encarga de generar las señales de entrada de las pruebas realizadas al Motherboard, así como de medir la respuesta del Motherboard a dichas entradas. Se comunica con el computador para recibir las especificaciones de los patrones que debe generar, y para enviarle los datos de las respuestas recibidas del Motherboard. En la Figura 38 se muestra la tarjeta de adquisición.



**Figura 38** Tarjeta de adquisición de datos NI PCI-6221

Las características técnicas más relevantes de la tarjeta se muestran en la Tabla 13.

**Tabla 13** Características técnicas de la tarjeta de adquisición NI PCI-6221[11]

Característica	Valor
Tipo de Bus	PCI
Entradas Analógicas	16
Resolución de las entradas analógicas (bits)	16
Velocidad máxima de muestreo (kS/s)*	250
Rango máximo de entrada analógica (V)	±10
Salidas analógicas	2
Resolución de las salidas analógicas (bits)	16
Velocidad máxima de actualización de salida analógica (kS/s)*	833
Rango de salida analógico (V)	±10
I/Os digitales	24

\*kS/s = miles de muestras por segundo

Los aspectos tomados en cuenta para la elección de esta tarjeta de adquisición son los siguientes:

- *Disponibilidad de entradas y salidas analógicas.* Esto disminuye la cantidad y complejidad de hardware externo, ya que no se requieren convertidores digital/analógico para generar señales analógicas y analógico/digital para medirlas. También se evita el uso de salidas digitales para controlar los convertidores y la implementación de un protocolo de comunicación entre la tarjeta de adquisición y los convertidores.

- *Cantidad de entradas y salidas analógicas e I/Os digitales disponibles.* Esto disminuye la cantidad de hardware externo que se necesita para manejar la totalidad de las entradas y salidas del Motherboard, como multiplexores y demultiplexores.
- *Precio y capacidad con respecto a dispositivos similares.* La tarjeta de adquisición PCI-6229, que es la tarjeta inmediatamente superior a la PCI-6221 duplica la cantidad de entradas analógicas, salidas analógicas e I/Os digitales de esta última, pero cuesta \$825, mientras que la tarjeta PCI-6221 cuesta \$550[1] y aunque el costo de la implementación del hardware externo es más cara con el PCI-6221, el precio de esta implementación (\$200 aproximadamente) y el costo de la tarjeta juntos no superan el costo de la tarjeta PCI-6229. Por otra parte, la tarjeta inmediatamente inferior a la PCI-6221 es la PCI-6221 pero de 37 pines, cuyo costo es el mismo de la tarjeta de 68 pines pero el precio de los accesorios como el bloque conector y el cable disminuye. Esta tarjeta solamente se diferencia con la de 68 pines en que tiene 10 I/Os digitales en vez de 24, característica que la hace no utilizable, pues con 16 entradas analógicas y 2 salidas analógicas disponibles se necesitan al menos 7 líneas de control para los multiplexores y demultiplexores de las señales analógicas del Motherboard, de acuerdo con el diseño realizado. Esto se debe a que las pruebas diseñadas para el Motherboard requieren 21 salidas y 11 entradas del DUT. La cantidad de señales de control necesarias hacen que solamente queden tres I/Os digitales disponibles para controlar 44 señales digitales del Motherboard, lo cual es imposible, ya que para multiplexar o demultiplexar 44 señales se requieren al menos 6 líneas solamente para el control.

### 5.2.7 Computador

El computador cumple diversas funciones dentro del sistema:

- Se utiliza para la implementación de la interfaz con el usuario del sistema.
- Contiene la tarjeta de adquisición de datos, a la cual le indica la forma en que tiene que generar y adquirir los datos necesarios para llevar a cabo las pruebas al DUT. Se comunica con dicha tarjeta por medio de la programación desarrollada con LabVIEW.
- Se encarga de analizar los resultados de las pruebas para determinar si un componente está dañado. Este análisis se lleva a cabo gracias a la programación desarrollada con LabVIEW.

Las características del computador utilizado se resumen en la Tabla 14.

**Tabla 14** Características del computador utilizado en el sistema

<b>Característica</b>	<b>Valor</b>
Microprocesador	Intel Celaron 2.40GHz
Disco duro	30GB
Memoria RAM	480MB
Software utilizado	Windows XP, LabVIEW 7.2

### **5.3 Descripción del software**

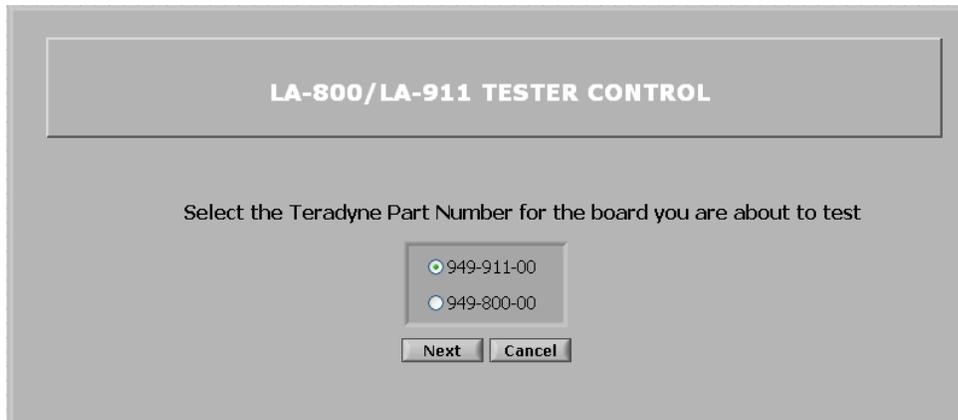
La totalidad del software del sistema se desarrolló en LabVIEW, lo cual permitió un gran ahorro de tiempo en programación debido al alto nivel de este lenguaje gráfico. Además, el uso de LabVIEW hizo posible la comunicación de manera eficiente con la tarjeta de adquisición, ya que los métodos para la administración de este dispositivo ya están implementados dentro del lenguaje y son muy sencillos de utilizar.

La programación se divide en dos secciones principales: la primera es la interfaz con el usuario, que le permite a éste manipular el sistema de prueba de acuerdo a su conveniencia, y posteriormente visualizar el estado de la tarjeta bajo prueba. La segunda sección está compuesta por la programación de los algoritmos de prueba. Estos algoritmos se encargan de controlar el funcionamiento de la tarjeta de adquisición de datos de acuerdo con las características de cada prueba en particular, y además cada uno hace uso de las mediciones realizadas por la tarjeta para determinar el estado del dispositivo que pretende probar.

#### **5.3.1 Interfaz gráfica con el usuario**

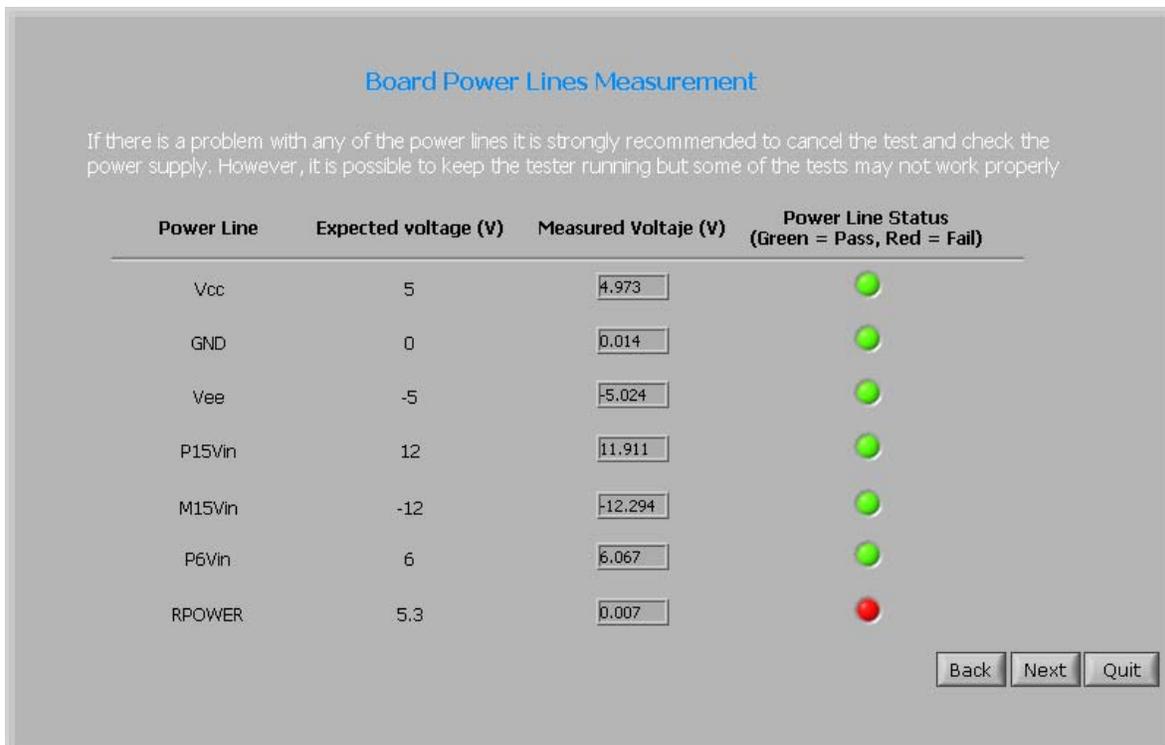
La interfaz gráfica del programa se diseñó buscando la simplicidad en su utilización, tratando de minimizar la posibilidad de interpretaciones erróneas de la información recibida del sistema o la confusión en el momento de escoger el tipo de prueba que se desee llevar a cabo. Se desarrolló en su totalidad en inglés, ya que es posible que el sistema sea utilizado por personas extranjeras que no comprenden el idioma español.

La Figura 39 muestra el cuadro inicial del programa. Simplemente presenta la opción de escoger la tarjeta que se desea probar, entre la LA-911 (949-911-00) y la LA-800 (949-800-00). Si se presiona *Next*, el programa continúa su ejecución, y si se presiona *Cancel*, el programa se cierra.



**Figura 39** Cuadro inicial de la interfaz gráfica del sistema de prueba

Al presionar *Next*, aparece un nuevo cuadro en el programa, llamado *Board Power Lines Measurement*, el cual se muestra en la Figura 40. En ese momento, la tarjeta de adquisición procede a medir la tensión de las líneas de alimentación del Motherboard. Esta medición es desplegada en el cuadro, y si el voltaje de cualquiera de estas líneas está fuera de un rango predeterminado en la programación de la prueba, puede haber un problema con la fuente de alimentación que afecte posteriormente las pruebas al Motherboard. Si esto sucede, el indicador del estado de la línea cambia de color, de verde a rojo. Los tres botones de este cuadro permanecen deshabilitados hasta que la tarjeta de adquisición haya terminado las mediciones y el estado de las líneas de alimentación haya sido analizado.

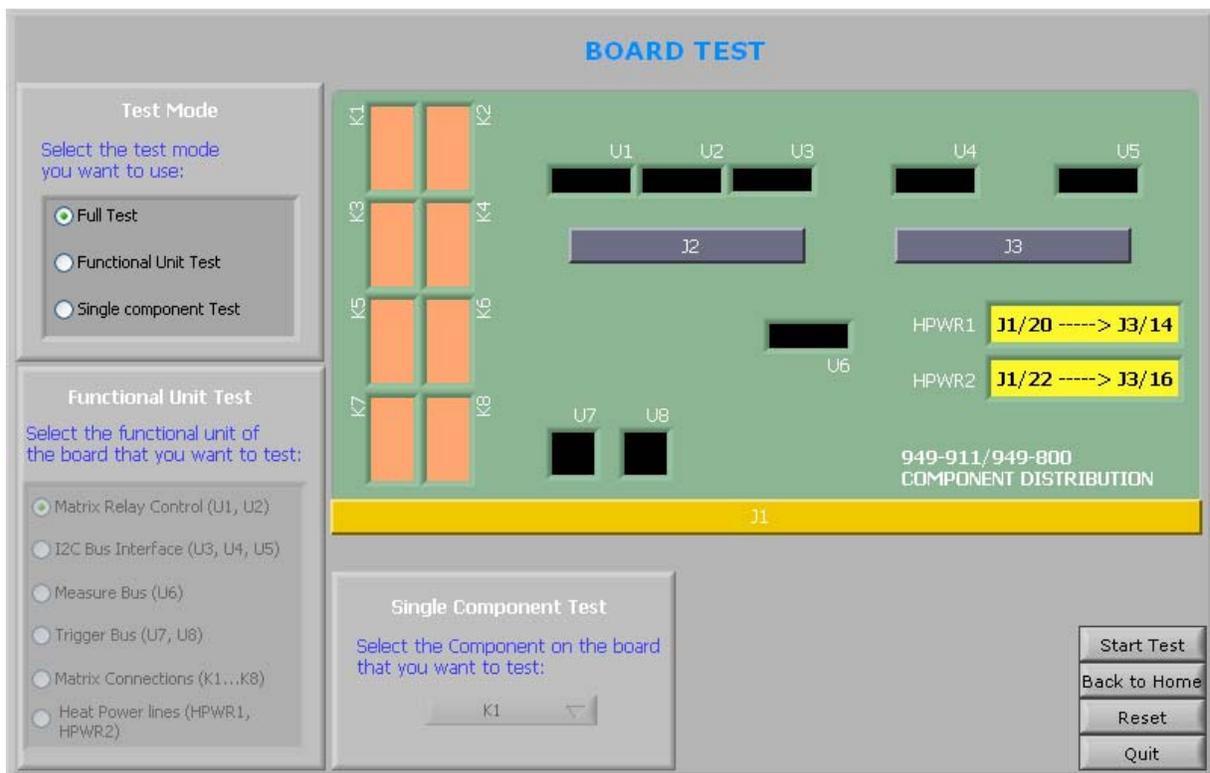


**Figura 40** Revisión del estado de las líneas de alimentación

En el caso del fallo de la línea RPOWER, si ésta falla y la línea P6Vin pasa la prueba, tal como se muestra en la figura anterior, quiere decir que el diodo que hay entre estos puntos en el Motherboard (CR1) se encuentra dañado. Este diodo se muestra en la Figura 6.

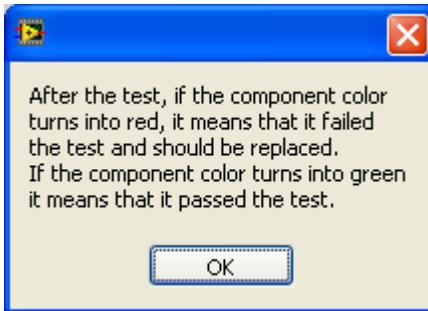
En este cuadro se encuentran tres botones disponibles: *Back*, que permite retornar al cuadro de inicio; *Next*, que permite continuar con el programa, y *Cancel*, que termina el programa.

El siguiente cuadro del programa, llamado *Board Test*, es la interfaz que permite seleccionar las pruebas que se le van a hacer al Motherboard, y además muestra el estado de los componentes probados. Incluye un dibujo que representa la distribución de los componentes en el Motherboard: relays, CIs y conectores. Las líneas HPWR se representan con dos bloques a la derecha del dibujo, como se observa en la Figura 41.



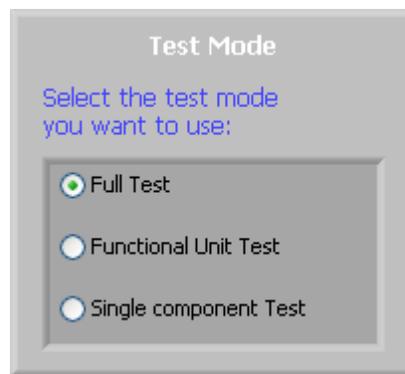
**Figura 41** Interfaz principal de pruebas

En el momento en el que aparece el cuadro *Board Test* también aparece un mensaje que indica al usuario del sistema la manera en que deben ser interpretados los resultados de las pruebas. Este mensaje se muestra en la Figura 42 y especifica que si el color del indicador del componente probado cambia a rojo después de la prueba, ese componente está dañado y debe ser reemplazado. Si el color del componente cambia a verde, quiere decir que está bueno y puede seguir utilizándose.



**Figura 42** Mensaje con instrucciones de interpretación de resultados

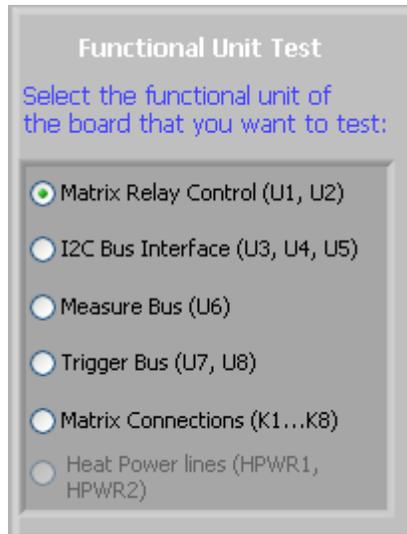
Es posible escoger entre tres modos de prueba, por medio de la opción de selección que se presenta en la parte superior izquierda del cuadro, la cual se muestra en la Figura 43.



**Figura 43** Opción para selección del modo de prueba

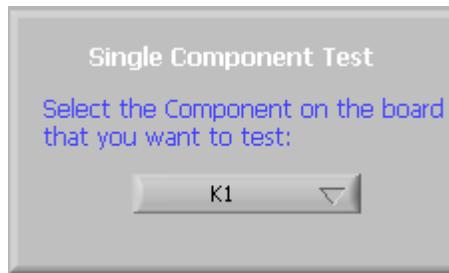
Los tres modos de prueba que se pueden realizar con el sistema son los siguientes:

- **Full Test:** se prueban todos los relays y CIs de la tarjeta bajo prueba. Si el Motherboard bajo prueba es un LA-911, también se prueba la continuidad de las líneas HPWR1 y HPWR2. Al escoger este modo, se deshabilitan las opciones para escoger una unidad funcional o un componente específico.
- **Functional Unit Test:** en este modo de prueba se revisa el estado de las unidades funcionales de la tarjeta, explicadas en la sección 3.1.4.5. Cuando se selecciona este modo de prueba se habilita la opción para elegir la unidad funcional que se desea probar, la cual se muestra en la Figura 44, y se deshabilita la opción para escoger un componente específico. En la opción de selección, cada unidad funcional especifica entre paréntesis los componentes que se prueban al escoger la prueba de dicha unidad. Si se está probando el Motherboard LA-800, la opción de prueba de la continuidad de las líneas HPWR aparece deshabilitada, como se observa en la figura.



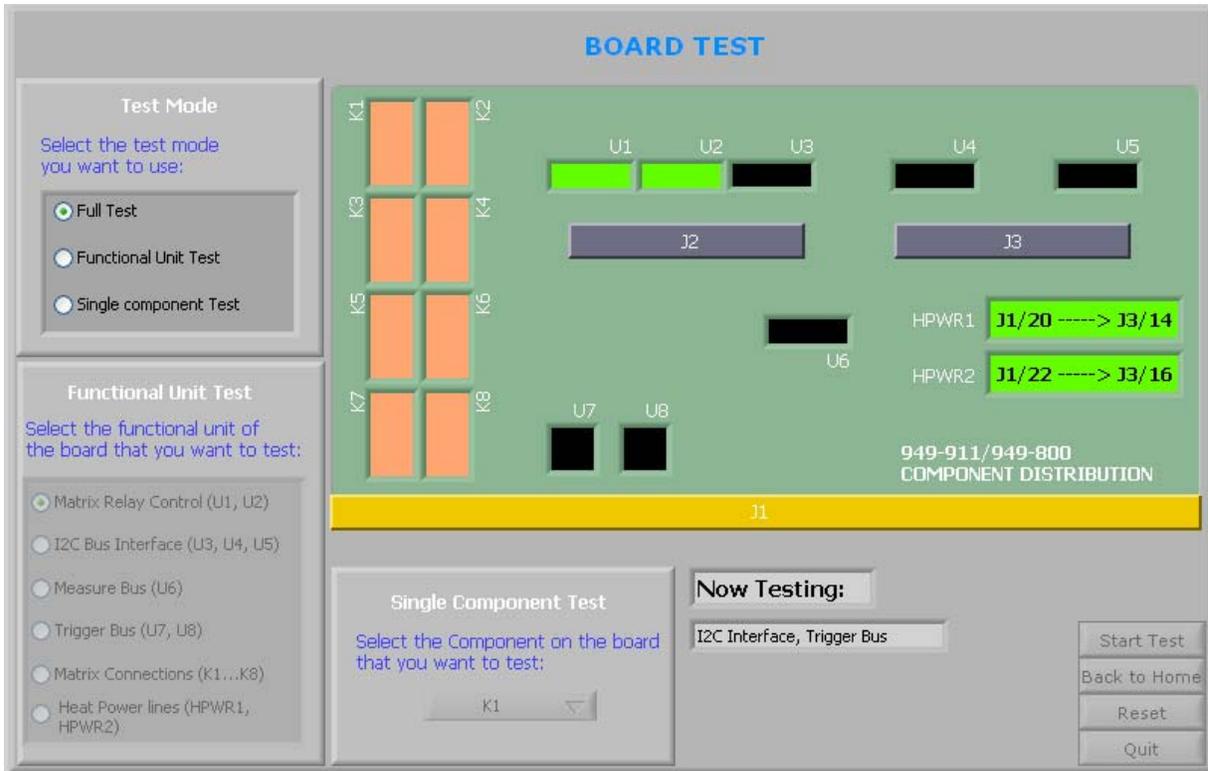
**Figura 44** Selección de unidad funcional para probar

- **Single Component Test:** este modo de prueba permite probar un componente a la vez. Al escoger este modo de prueba, se habilita la opción para seleccionar el componente que se quiere probar y se deshabilita la opción para escoger una unidad funcional. La opción para escoger un componente específico se muestra en la Figura 45.



**Figura 45** Opción de prueba de componente individual

Para la ejecución de la prueba escogida es necesario presionar el botón *Start Test*. Una vez presionado, la prueba inicia y se deshabilitan todos los botones. Al lado de los botones aparece un mensaje llamado “*Now Testing:*”, que indica el componente o unidad funcional que se está probando. Los indicadores de los componentes cambian de color en el momento en que los componentes son probados. La Figura 46 muestra la apariencia del programa mientras se corre una prueba.



**Figura 46** Apariencia del cuadro *Board Test* mientras se corre una prueba

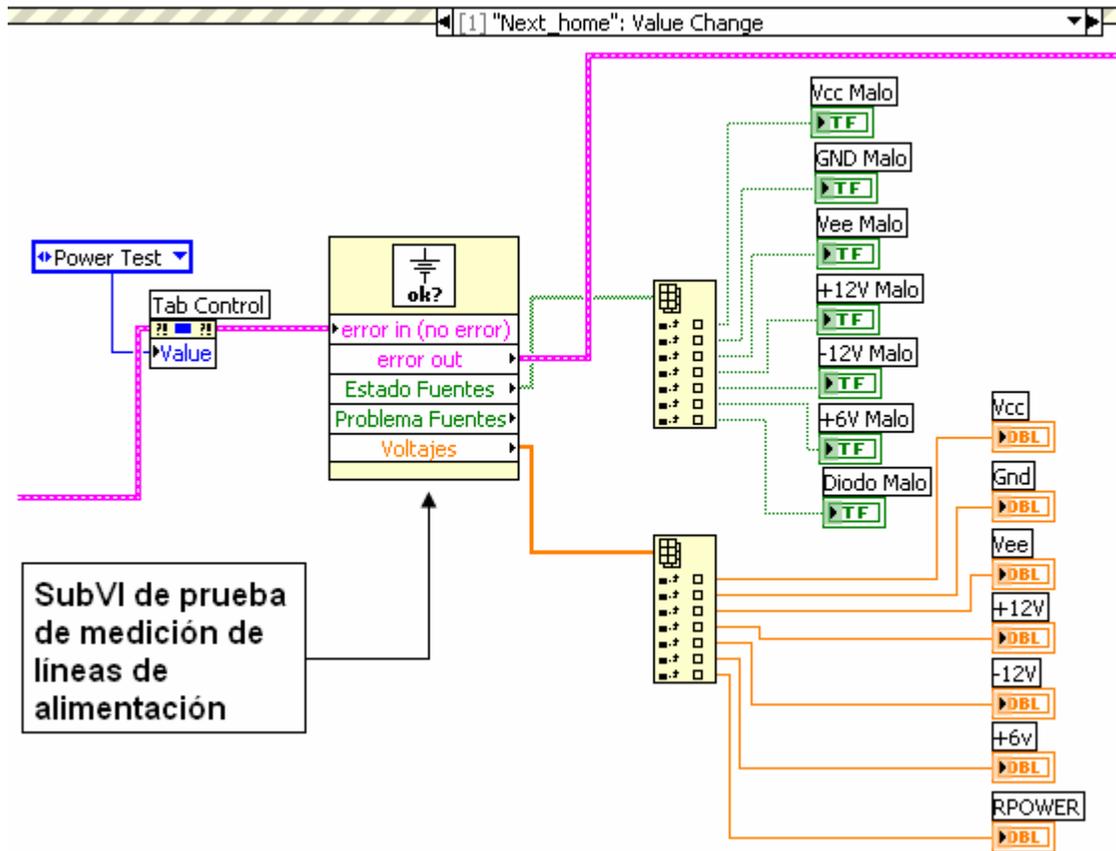
Cuando la prueba finaliza, el mensaje *Now Testing* indica que la prueba finalizó (*Test Finished*) y el botón *Reset* se habilita, como se muestra en la Figura 47. Si se presiona el botón, el cuadro *Board Test* vuelve a su estado inicial: los indicadores de los componentes cambian su color al predeterminado, los demás botones se habilitan y el mensaje *Now Testing* desaparece.



**Figura 47** Indicadores de prueba finalizada

En este punto puede presionarse *Start Test* para iniciar una nueva prueba, *Back to Home* para volver al cuadro inicial del programa, donde se escoge el modelo de la tarjeta que se va a probar, o *Quit* para cerrar el programa.





**Figura 49** Instancia de subVI desde la estructura de evento de la interfaz gráfica

Todos los algoritmos de prueba fueron programados siguiendo una arquitectura de programación basada en una máquina de estados. Cada uno de los cinco algoritmos desarrollados para las pruebas del Motherboard se describe a continuación:

### 5.3.2.1 Prueba de las líneas de alimentación del Motherboard

Esta prueba verifica que los voltajes de las líneas de alimentación que proveen de energía al Motherboard estén dentro de un rango aceptable. Con esta prueba se verifica el estado de la fuente de alimentación, factor fundamental para tener resultados confiables de las pruebas que se realicen. Además, se prueba el estado del diodo CR1 de la tarjeta, el cual es parte del sistema de alimentación de la misma, como se observa en la Figura 6.

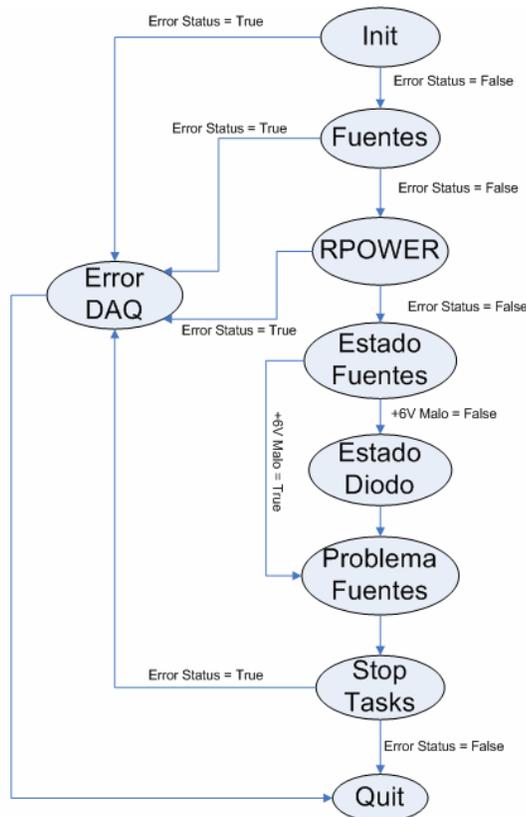
Los rangos de tensión aceptable para cada línea de alimentación se definieron de acuerdo con los parámetros establecidos en las hojas de datos de los reguladores de tensión utilizados. Para el caso del diodo, su estado se verificó midiendo la caída de tensión entre la línea de +6V y la línea RPOWER. El rango aceptable de esta caída de tensión se obtuvo empíricamente, al medir varias tarjetas con el sistema, ya que no fue posible encontrar las especificaciones técnicas del diodo. Los rangos de tensión se especifican en la Tabla 15.

**Tabla 15** Rango de tensión aceptable para cada línea de alimentación del Motherboard

Línea de alimentación	Voltaje Mínimo (V)	Voltaje Máximo (V)
Vcc	4.75	5.25
GND	-0.2	0.2
Vee	-5.25	-4.75
P15Vin	11.4	12.6
M15Vin	-12.6	-11.4
P6Vin	5.7	6.3
RPOWER	5.05	5.55
Vdiodo (P6Vin – RPOWER)	0.65	0.75

**Funcionamiento del programa:** el algoritmo inicialmente activa las funciones de la tarjeta de adquisición para medir el voltaje de las líneas de alimentación. Una vez realizada la medición, los voltajes son comparados con el mínimo y máximo aceptables, y si se encuentran dentro del rango, entonces la línea de alimentación correspondiente funciona correctamente. Los resultados, tanto los valores de los voltajes como el estado de las líneas (true = mala, false = buena) son almacenados en arreglos que se utilizan como salidas del subVI.

En la Figura 50 se muestra el diagrama de estados de la máquina programada para realizar la medición de las líneas de alimentación.



**Figura 50** Diagrama de estados del algoritmo de medición de líneas de alimentación

### 5.3.2.2 Prueba de los drivers de los relays

Con esta prueba se verifica el estado de los CIs U1 y U2 del Motherboard, ULN2003, que son arreglos de 7 transistores Darlington y se utilizan como drivers de los relays de la tarjeta.

Los parámetros de prueba se definieron después de analizar las características de salida del ULN2003 y los requerimientos del bobinado del relay EA2-5, con ayuda de sus respectivas hojas de datos.

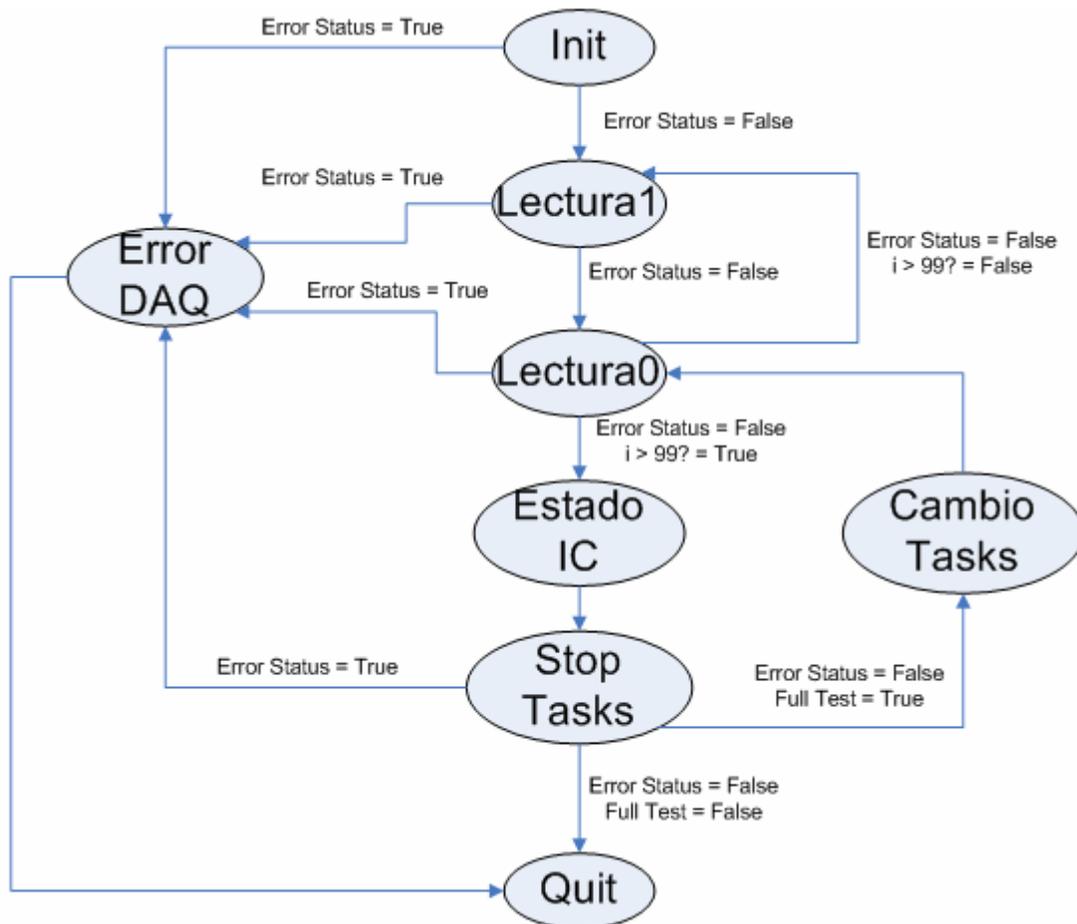
Por medio de este análisis se determinó que la prueba de los drivers debía comprobar que la tensión de salida de los transistores Darlington en saturación lograra poner al relay en operación, o sea, hacerlo conmutar, y que la tensión de salida en corte lograra sacar de operación al relay, o sea, volver el contacto a su estado inicial. En la Tabla 16 se muestran las características de los dispositivos que fueron tomadas en cuenta para el diseño de la prueba. Con base en estos parámetros, se decidió diseñar una prueba que verifique que cuando el transistor Darlington esté en saturación, la tensión de salida de éste no exceda los 1.6V, y que cuando el transistor esté en corte, el voltaje del bobinado del relay no exceda los 0.5V

**Tabla 16** Parámetros tomados en cuenta para el diseño de la prueba [14],[18]

Parámetro	Dispositivo	
	EA2-5	ULN2003
Voltaje de activación (V)	3.75	-
Voltaje de desactivación (V)	0.5	-
Voltaje máximo de saturación (V)	-	1.6

**Funcionamiento del programa:** el programa recibe de la interfaz de usuario como parámetro el integrado que se quiere probar, puede ser U1, U2 o ambos. Dependiendo de la elección, se configura la tarjeta de adquisición para direccionar las entradas y salidas del sistema. Inicialmente se mide la tensión de la línea RPOWER para utilizarla como una constante en la prueba. Posteriormente el programa entra en un ciclo de 100 iteraciones en el cual la tarjeta de adquisición hace que los transistores del CI pasen de estado de corte a saturación y viceversa, y mide sus voltajes de salida. Cuando las mediciones están listas, la PC compara los voltajes de cada transistor con los valores predefinidos como aceptables y determina si el integrado pasó o falló la prueba, asignando un valor booleano de **false** si el CI no presentó errores, o **true** si los presentó. Se crea un arreglo booleano de 100 elementos, uno por cada medición realizada, el cual finalmente se lee para buscar errores. Si se encuentra un error, se designa el integrado como dañado.

En la Figura 51 se muestra el diagrama de estado que se utilizó para la programación de esta prueba.



**Figura 51** Diagrama de estados del algoritmo de prueba de los drivers de los relays

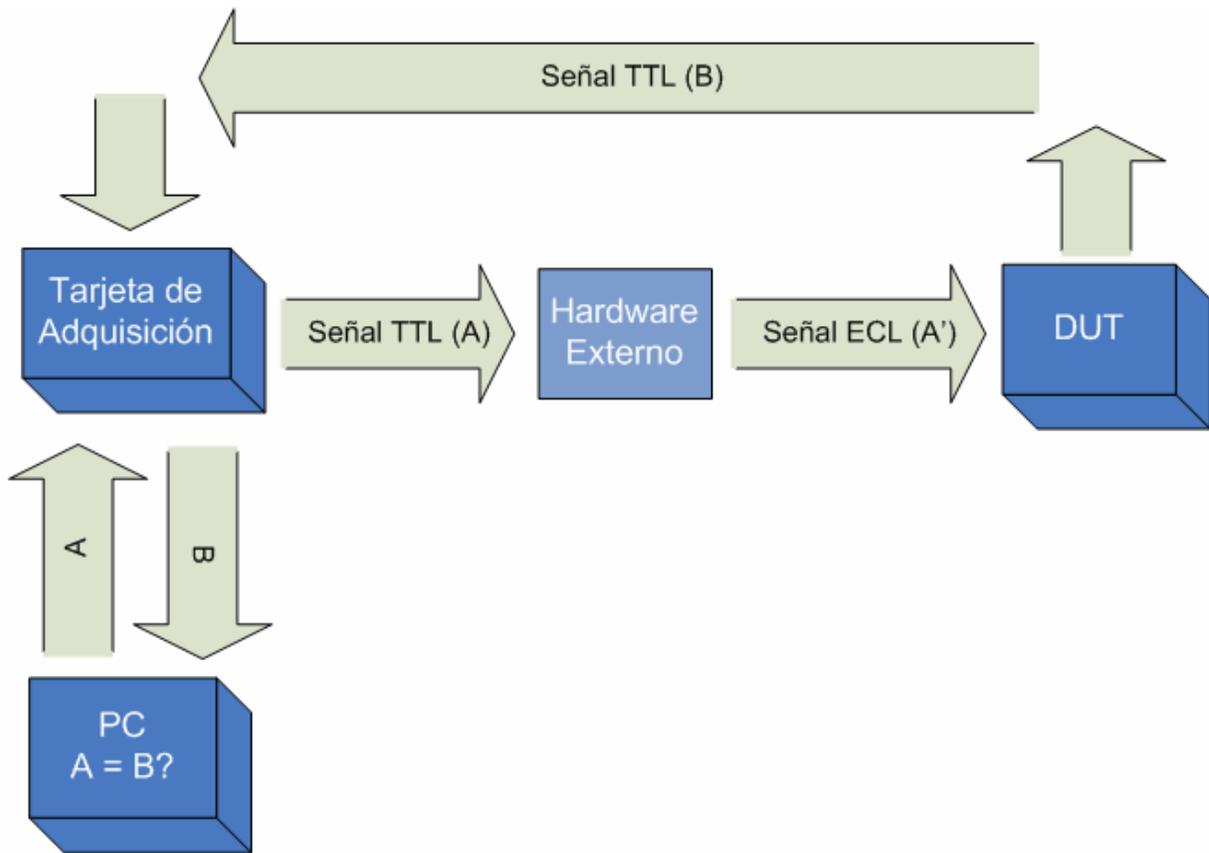
### 5.3.2.3 Prueba de los circuitos integrados digitales

Esta prueba se diseñó con el objetivo de verificar el funcionamiento de los CIs digitales del sistema: U3, U4 y U5, que son compuertas lógicas NAND. Se realiza una prueba funcional, en la cual cada compuerta del CI bajo prueba recibe como entrada la tabla de verdad correspondiente a una compuerta NAND, que se muestra a continuación. Se mide la respuesta de la compuerta y se compara con el valor esperado. Si la medición y el valor esperado son iguales, la compuerta está buena, si no, se considera dañada y debe reemplazarse el CI que la contiene.

**Tabla 17** Tabla de verdad de una compuerta NAND de dos entradas

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Gracias al diseño del sistema, es posible probar con este mismo algoritmo los CIs U7 y U8, que son convertidores de TTL a ECL. Esto es posible debido a que, como se mencionó en la sección 5.2.4, en el hardware del sistema se incluyó una sección que convierte las señales TTL provenientes de la tarjeta de adquisición, en señales ECL que sirven de entrada para U7 y U8. Lo anterior permite que los convertidores se puedan probar como si fueran buffers TTL, los cuales a su salida reflejan el valor de su entrada. El procedimiento se ilustra en la Figura 52: desde el computador se envía información a la tarjeta de adquisición, para que ésta envíe una señal digital TTL, llamada **A** al DUT. Por medio del hardware externo, esta señal se cambia a voltajes ECL (**A'**), y en el DUT el CI bajo prueba vuelve a convertir la señal a voltajes TTL, y se obtiene una señal llamada **B**. En este punto, la tarjeta de adquisición mide la señal **B** y retorna la información al computador, que compara la señal recibida, **B**, con la señal enviada, **A**. Si **B** es el mismo valor lógico que **A**, quiere decir que el CI está bueno, de lo contrario, está dañado.

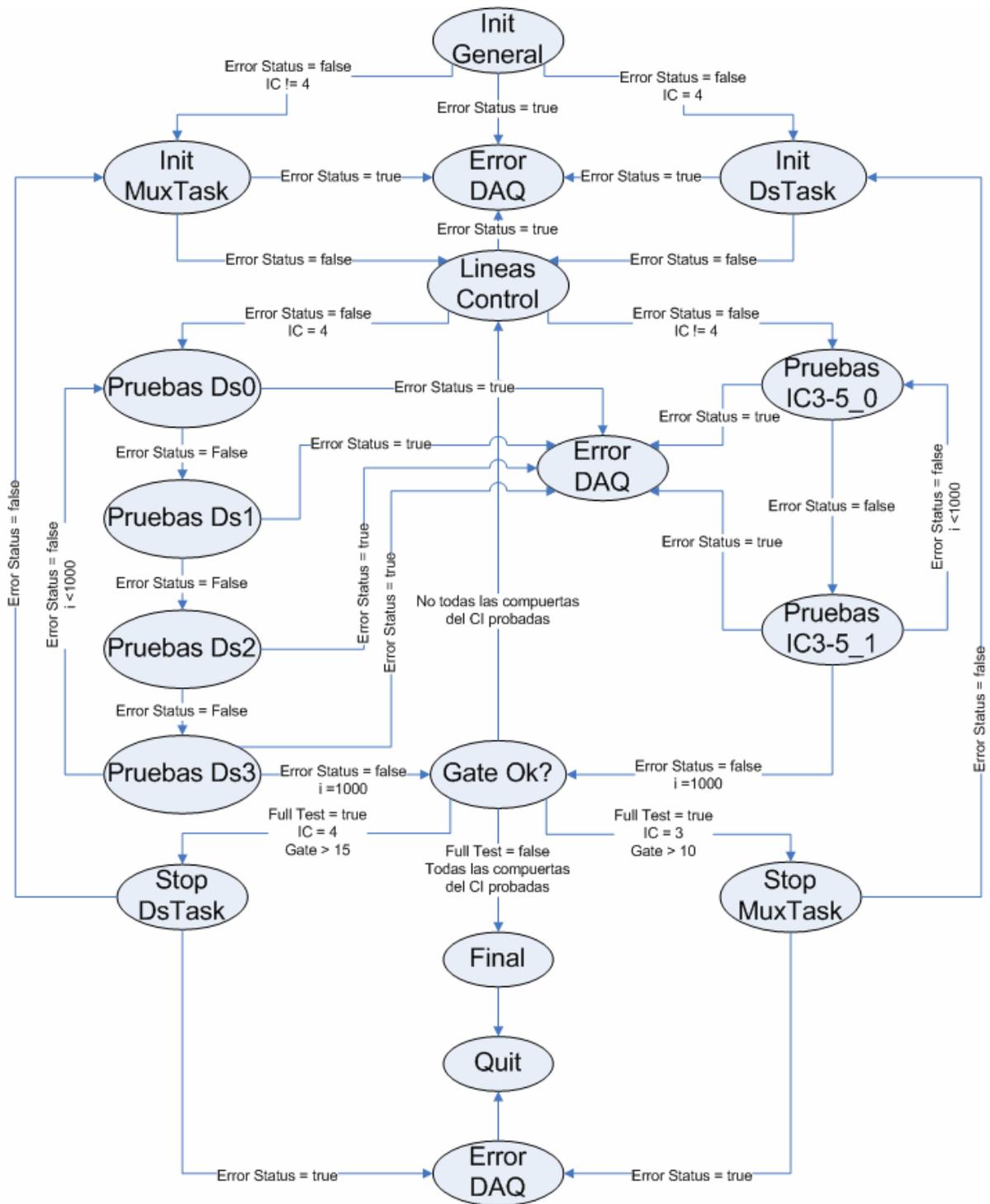


**Figura 52** Diagrama de bloques de la prueba de los convertidores ECL a TTL

Por otra parte, un corto circuito entre dos puntos, visto desde su “función lógica” puede considerarse también un buffer, ya que si en uno de los puntos se pone un ‘1’ lógico, en el otro punto se mide un ‘1’ lógico también. Lo mismo para el caso del ‘0’ lógico. Si lo anterior no se cumpliera, es sencillo deducir que los dos puntos no están en corto circuito.

Por esta razón, el algoritmo de prueba para los circuitos integrados digitales se aplicó también para medir la continuidad de las líneas HPWR1 y HPWR2. Se consideraron como si fueran buffers y si su función lógica no se cumple, quiere decir que están dañadas, es decir, que hay un abierto que debe ser reparado.

**Funcionamiento del programa:** inicialmente se recibe como parámetro el CI que se quiere probar, puede elegirse entre un CI específico, la continuidad de una de las líneas HPWR o la prueba a todos los componentes. Posteriormente, se configuran los tasks de la tarjeta de adquisición, para escoger el direccionamiento correcto de los datos mediante el hardware externo, para generar las señales de entrada al Motherboard y para medir las señales de salida. Posteriormente se realiza una prueba a cada compuerta del integrado, la cual consiste en una iteración en la que se toman 1000 mediciones de la salida de la compuerta con respecto al valor esperado de acuerdo con los valores de las entradas. Los resultados de cada comparación se guardan en un arreglo booleano, donde el valor **true** significa que no se obtuvo la respuesta esperada de la compuerta ante una combinación de entrada específica, y el valor **false** significa que la compuerta funcionó correctamente. Al final de la iteración se buscan fallos dentro del arreglo de resultados y si se encuentra al menos uno, se considera que la compuerta se encuentra dañada. El proceso se repite para todas las compuertas del CI, y si se encuentra alguna compuerta dañada, se indica que el CI está dañado y debe reemplazarse. Para el caso de la prueba de todos los integrados el proceso es el mismo, pero cuando se termina la verificación de un CI, se cambia el direccionamiento del hardware externo para acoplarse al siguiente dispositivo que se pruebe. Además, se reinician las variables del programa para poder volver a utilizarlas. Finalmente se obtiene un arreglo de siete variables booleanas, una por cada componente probado (U3, U4, U5, U7, U8, HPWR1, HPWR2), cuyo valor es **true** si el componente está dañado o **false** si el componente está bueno. En la Figura 53 se muestra el diagrama de estados seguido para programar la máquina de estados con la cual funciona esta prueba.



**Figura 53** Diagrama de estados del algoritmo de prueba de los CIs digitales

### 5.3.2.4 Prueba del CI de interruptores analógicos DG-412

Con esta prueba se verifica el funcionamiento del CI U6 del Motherboard, DG-412, el cual es utilizado por el Measure Bus del sistema para medir señales DC provenientes del Módulo RF, como se explicó en la sección 3.1.4.5. La prueba diseñada para determinar el estado de este CI es funcional, se concentra en evaluar la capacidad de conmutación de los interruptores y las pérdidas en la salida del CI por efecto de la resistencia de encendido entre el gate y el source del interruptor.

Esta prueba consiste en la medición del voltaje de salida de los interruptores del CI y la comparación con el voltaje de entrada. Se programó un ciclo en el cual se hace a los interruptores conmutar entre abierto y cerrado repetidamente, y cada vez que se cierran, se mide la tensión de salida. Todas las mediciones tomadas se guardan en un arreglo, el cual es leído al final del ciclo para comparar todos los valores medidos con los valores esperados y de esta forma determinar el estado del CI. Con este método se comprueba que los interruptores estén conmutando correctamente, y que las pérdidas de señal en el dispositivo sean despreciables.

Los interruptores no se pueden activar todos a la misma vez, ya que como se observa en la Figura 12, se producirían choques de señales en las líneas de salida. Para evitar este inconveniente, los interruptores se activan de dos en dos, siguiendo la lógica de control que se muestra en la Tabla 4, donde solamente una línea de control está activa a la vez y de esta manera se logra activar dos interruptores cuyas salidas no chocan, debido a que se conectan, una a la línea MEASLO y otra a la línea MEASHI. Esta característica de la prueba permite realizar dos mediciones al mismo tiempo y así disminuir la duración de la prueba, que duraría el doble si los interruptores se midieran de uno en uno.

**Funcionamiento:** esta prueba comienza con la inicialización de los tasks necesarios para la generación, adquisición y direccionamiento de datos, además de la inicialización de las variables utilizadas en el programa. Se definen tres voltajes arbitrariamente, los cuales se utilizarán para probar los interruptores. Estos voltajes se muestran en la Tabla 18.

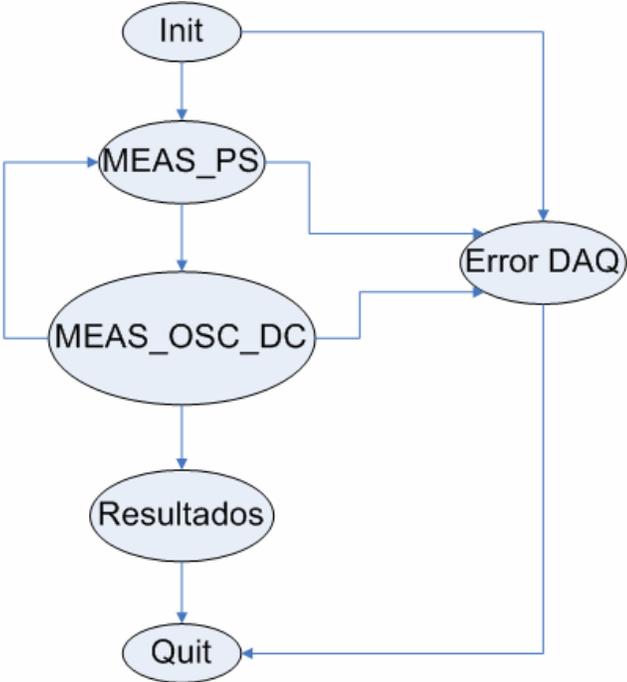
**Tabla 18** Voltajes asignados a las entradas del DG-412 para la prueba

Línea	Tensión asignada (V)
+P_SENS_DC_OUT	5.38
+R_OSC_DC_OUT	3.76
-P_SENS_DC_OUT	4.91

Posteriormente, se comienza el ciclo de conmutación y medición de los interruptores. En la primera parte del ciclo, se miden los interruptores conectados a las líneas +P\_SENS\_DC\_OUT y -P\_SENS\_DC\_OUT. Las mediciones realizadas se guardan en un arreglo y se continúa con la segunda parte del ciclo, en la cual se activan los interruptores conectados a las líneas +R\_OSC\_DC\_OUT y GND. Igual que en el caso anterior, se toman mediciones y se guardan en el arreglo.

El ciclo anterior comprende 500 iteraciones. Cuando se termina, el arreglo se divide en cuatro subarreglos, cada uno de los cuales representa un interruptor del CI. Con todas las mediciones que contiene cada subarreglo, se calcula un promedio aritmético y éste se compara con el valor de tensión que se le asignó al interruptor respectivo. Si la diferencia entre el valor medido y el valor esperado es menor a 1mV, se considera que el interruptor está en buen estado. Si no es así, el interruptor se considera dañado, y por consiguiente también el CI. El resultado de la prueba se almacena en una variable booleana de salida, la cual es **false** si el CI está bueno y **true** si está dañado. Finalmente, los tasks activos se detienen, se pone la tarjeta de adquisición en reset y se termina la prueba.

En la Figura 54 se muestra el diagrama de la máquina de estados desarrollada para la implementación de la prueba.



**Figura 54** Diagrama de estados del algoritmo de prueba del CI U6 del Motherboard, DG-412

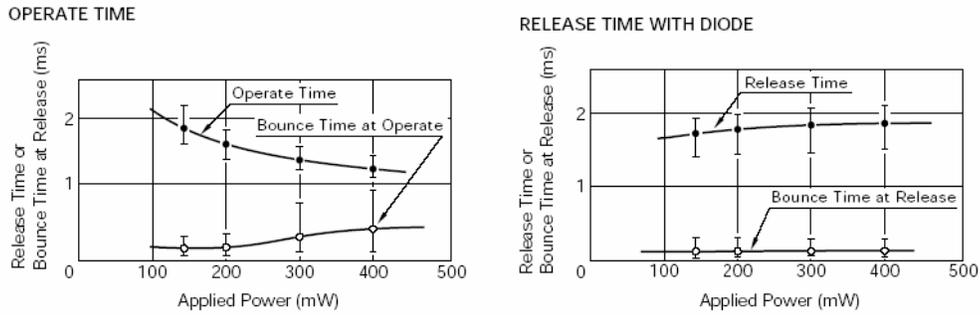
### 5.3.2.5 Prueba de funcionamiento de los Relays

Este algoritmo de prueba pretende verificar el correcto funcionamiento de los relays del Motherboard, EA2-5, fabricados por la compañía NEC. Para el diseño de la prueba se tomaron en cuenta distintos parámetros del relay como la resistencia del bobinado, su resistencia de contacto, el tiempo de operación, el tiempo de rebote y el tiempo de liberación del contacto. En la Tabla 19 se muestran estos parámetros.

**Tabla 19** Parámetros del relay EA2-5 utilizados en la prueba [14]

Parámetro	Valor
Resistencia del bobinado ( $\Omega$ )	178
Resistencia de contacto ( $m\Omega$ )	50
Tiempo de operación (ms)	2
Tiempo de rebote (ms)	< 1
Tiempo de liberación con diodo (ms)	1

En la prueba no se verificó que los relays cumplieran con los valores expuestos en la tabla, sino que los parámetros fueron tomados en cuenta para diseñar una prueba funcional. Las características medidas en la prueba funcional fueron, primero la capacidad del relay para conmutar, en la cual se involucra indirectamente el estado de la resistencia del bobinado, ya que si el bobinado funciona, es posible hacer conmutar al relay. Segundo, la relación del voltaje de entrada del relay con el voltaje de salida, para determinar si las pérdidas debidas a la resistencia del contacto eran despreciables. Para este caso se pensó en que el aumento de la resistencia de contacto aumenta también la pérdida de tensión, que se refleja en las salidas. Las mediciones de voltaje de salida del relay se hicieron dando un tiempo de espera después de la conmutación, para evitar el estado transitorio provocado por la acción mecánica del contacto. El tiempo de espera escogido para poder probar al relay en su frecuencia máxima de conmutación fue de 2ms después de la activación o desactivación del contacto. Este tiempo se decidió tomando el peor caso del tiempo de operación y el tiempo de liberación mas el tiempo de rebote del contacto, basándose en la información de la Figura 55, en la cual se observa que el peor tiempo de operación mas el tiempo de rebote dan aproximadamente 2ms, al igual que el peor tiempo de liberación con el tiempo de rebote.



**Figura 55** Tiempos de operación, rebote y liberación del relay EA2-5 con respecto a la potencia aplicada [14]

**Funcionamiento:** en primera instancia se inicializan las variables y los tasks de generación, adquisición y direccionamiento de datos. Las señales de salida de los multiplexores y de entrada de los demultiplexores del hardware externo se seleccionan dependiendo del relay que se vaya probar. Se activa una salida analógica de la tarjeta de adquisición con +6V en corriente directa, la cual se utilizará como señal de entrada para los relays. Posteriormente se comienza un ciclo en el cual se conmutan los contactos del relay entre abierto y cerrado y se mide su tensión de salida. Al finalizar este ciclo, se verifica el estado de los contactos comparando los valores medidos con el valor esperado para cada contacto y la desviación aceptable de los datos, que son parámetros que se determinaron empíricamente. Si las mediciones no cumplen con los parámetros establecidos para la comparación, se clasifica el relay como dañado, y en el caso contrario se clasifica como bueno. Este resultado se guarda en un arreglo de 8 variables booleanas que indican el estado de los relays, donde **false** significa que el relay está bueno y **true** significa que está dañado. Finalmente, se detienen todos los tasks y se reinicia la tarjeta de adquisición. En la Figura 56 se muestra el diagrama de estados seguido para la programación del algoritmo de prueba de los relays.



## Capítulo 6: Análisis de Resultados

En el presente capítulo se comentarán los resultados obtenidos durante la realización del proyecto, tanto en la etapa de diseño como en la etapa de implementación. Dichos resultados se analizarán y se determinará su impacto en el alcance de los objetivos planteados.

El desarrollo de este proyecto se inició con un error importante, que fue cifrar todos los objetivos por alcanzar en la posibilidad de concreción de una única propuesta de solución, que es la primera de las soluciones explicadas en el Capítulo 5, la Prueba Funcional Completa. El no contar con una solución alternativa tuvo como consecuencia un retraso de aproximadamente un mes en el cronograma de trabajo propuesto inicialmente, y también introdujo la necesidad de un cambio en el enfoque de la solución, ya que una prueba funcional completa no fue una opción viable por las razones expuestas en el Capítulo 5.

El nuevo enfoque dado a la segunda solución propuesta, el de probar la funcionalidad de los componentes del Motherboard individualmente, produjo que el cumplimiento de uno de los objetivos específicos del proyecto, *“Determinar las características de funcionamiento del uWPort y el papel que éste juega dentro del sistema uWAVE6000”*, dejara de ser relevante para lograr el cumplimiento del objetivo general. Esto debido a que la prueba del funcionamiento de cada componente del Motherboard solamente requiere que se conozca el funcionamiento de ese componente específico, y no del Motherboard ni del uWPort como unidades funcionales. Se decidió sin embargo, terminar la investigación del funcionamiento del uWPort con el fin de comprender mejor el entorno en el cual funciona el Motherboard dentro del Catalyst.

En la propuesta de solución implementada se consideró inicialmente la posibilidad de verificar el funcionamiento del FPGA presente en la tarjeta. Como no fue posible encontrar el código programado en el FPGA, se investigaron diferentes técnicas utilizadas para probar este tipo de dispositivo que pudieran ejecutarse sin necesidad de contar con su programación. Se encontraron dos opciones:

- La primera consiste en realizar una “relectura” de la cadena de bits con la cual se configuran las compuertas del dispositivo al momento de su programación [26], y la lectura resultante compararla con una cadena de bits de referencia, tomada de un FPGA programado y sin daños. Si se encuentran diferencias entre las dos cadenas, se puede suponer que el FPGA bajo prueba está dañado.
- La segunda consiste en definir un patrón de prueba que permita verificar el estado de las conexiones internas del FPGA [25]. Con este patrón se reprograma el FPGA, se prueba y si está en buenas condiciones se vuelve a programar con su código original.

Sin embargo, ninguna de las opciones anteriores fue desarrollada, debido a que el FPGA fue fabricado con la tecnología *Antifuse* [7]. Esta tecnología es utilizada en dispositivos que contienen información que se desea mantener segura y por ende se encarga de limitar casi totalmente la posibilidad de aplicación de *ingeniería inversa*<sup>14</sup> en dichos dispositivos. La tecnología Antifuse impide que el FPGA sea “releído” después de haber sido programado, razón por la cual se descartó la primera opción. Tampoco es posible reprogramar el FPGA una vez que ha sido programado, por lo cual se descartó la segunda opción de prueba. Debido a este inconveniente se decidió probar los demás componentes de la tarjeta, y si no se encuentra ninguno con daños entonces por descarte se deduce que el componente dañado es el FPGA.

Para la ejecución de las pruebas funcionales por componente, fue necesario estimular los CIs con señales digitales provenientes de las salidas del FPGA. Sin embargo, las salidas del FPGA no se pueden variar si no se cuenta con la programación del mismo. Por esta razón, se pensó en estimular las entradas de los CIs con señales provenientes de la tarjeta de adquisición, pero esta opción trae el problema de tener que forzar las salidas del FPGA, es decir, ponerlas en ‘1’ lógico si están en ‘0’ o viceversa. La técnica utilizada para forzar las salidas de un CI a cambiar de estado es el *backdriving*, que se detalló en el Capítulo 3.

Aunque esta es una técnica muy utilizada en pruebas *In Circuit*, puede conllevar a posteriores daños del CI al que se le aplica, si el control del tiempo de exposición y de la magnitud de la corriente no se lleva a cabo correctamente. Se realizó una investigación para encontrar los circuitos que se utilizan comúnmente para implementar el *backdriving*, con el fin de utilizar un circuito confiable que minimizara las posibilidades de dañar el FPGA, pero no fue posible hallar estos circuitos debido a que las compañías de equipo automático de prueba, que son las que los desarrollan, manejan esta información dentro de un ámbito de confidencialidad. Inclusive dentro de Teradyne fue imposible conseguir información detallada respecto a estos circuitos, por la misma razón. Al encontrar esta nueva limitante, se consideraron dos opciones: la primera fue diseñar un circuito para la implementación del *backdriving*, y la segunda fue remover el FPGA del Motherboard antes de utilizar el sistema de prueba.

La primera opción tiene la ventaja de que no requiere la manipulación de la tarjeta por parte de los técnicos antes de utilizar el sistema de prueba, lo cual le da mayor autonomía al sistema y disminuye el tiempo que tarda el proceso de prueba. Como desventajas presenta el aumento de la circuitería del sistema, el tiempo adicional en el desarrollo del proyecto, necesario para el diseño y la implementación, y el riesgo inherente de dañar el FPGA.

---

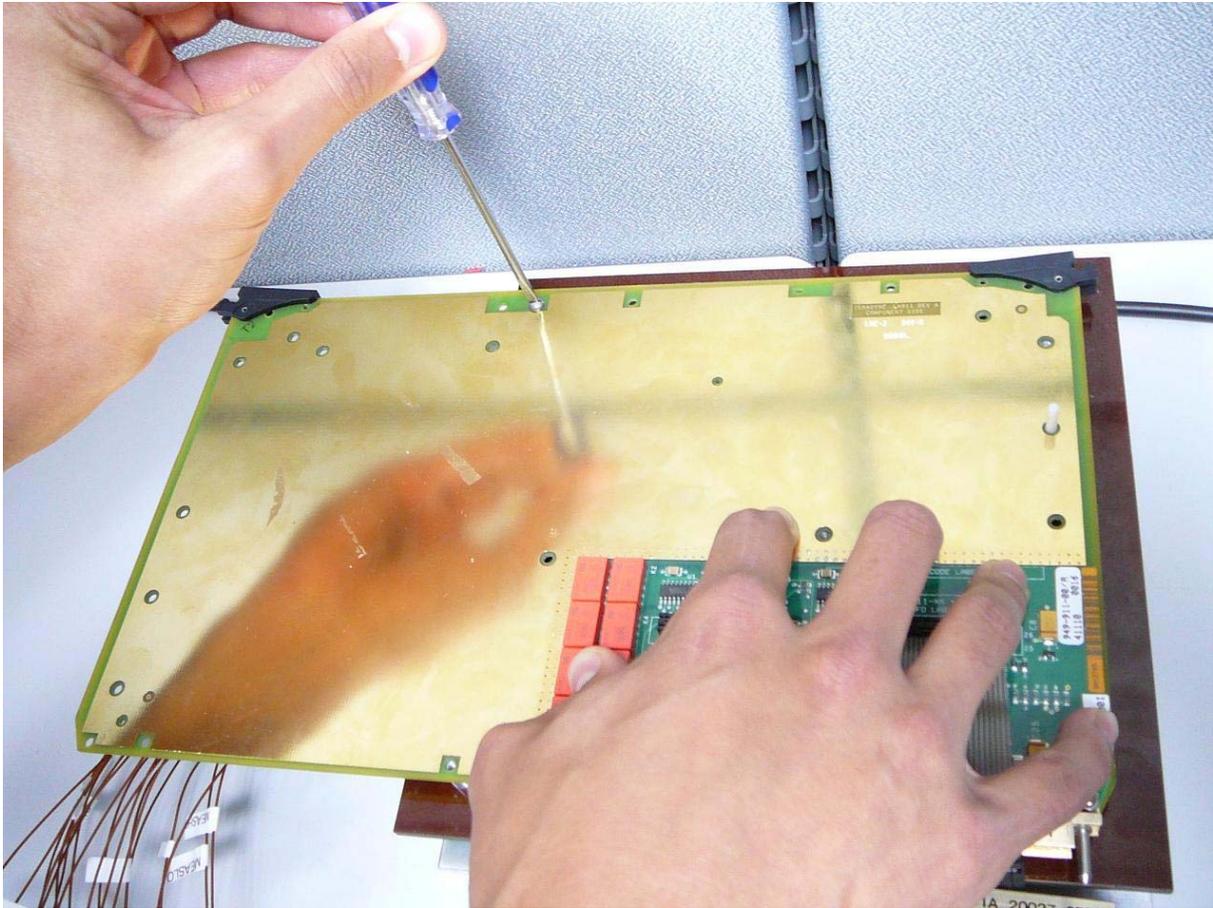
<sup>14</sup> Ver Apéndice A.1

La segunda opción tiene la ventaja de que se elimina cualquier riesgo de dañar el FPGA por medio del sistema, ya que éste se retira del Motherboard antes del inicio de las pruebas. También representa un ahorro en el tiempo de implementación del sistema, y la disminución de circuitería adicional a la tarjeta de adquisición, ya que no se requieren circuitos de *backdriving*. Como desventaja presenta la necesidad de remover el FPGA de la tarjeta antes de realizar las pruebas, ya que esto le quita autonomía al sistema de prueba, aumenta el tiempo total del proceso de prueba del Motherboard e introduce el riesgo de dañar el FPGA al exponerlo a temperaturas elevadas durante el proceso de desoldadura y soldadura del CI.

Las opciones anteriores se discutieron con el asesor en la empresa, Ing. Roberto Varela y con el profesor asesor, Ing. Roberto Pereira y se determinó que la extracción del FPGA de la tarjeta antes de probarla era la opción más viable, ya que de esta manera se evita dañar un FPGA que podría haber estado bueno. Influyó en la decisión el hecho de que el tiempo que tardan los técnicos en retirar el componente de la tarjeta y volverlo a poner es aproximadamente 10 minutos, lapso corto que no genera mayores retrasos en el trabajo de los técnicos en sus demás labores. Además, todos han sido entrenados en las técnicas del proceso de soldadura de componentes delicados, lo cual disminuye la posibilidad de dañar el FPGA por tiempo prolongado de exposición al calor durante la soldadura. También fue un factor importante en la toma de la decisión, el tiempo adicional que requeriría en el desarrollo del proyecto el diseño e implementación del circuito de control del *backdriving*, ya que por necesidades de la empresa, era deseable contar con el sistema listo a más tardar en el mes de Julio.

La implementación de las pruebas para el resto del sistema se llevó a cabo en tres etapas: la primera consistió en la construcción del hardware adicional a la tarjeta de adquisición, tanto las tarjetas electrónicas como el ensamble mecánico. La segunda etapa abarcó la programación de los algoritmos de prueba y la tercera consistió en la programación de la interfaz con el usuario y la verificación del funcionamiento del sistema en conjunto.

En la etapa de construcción del hardware se encontró una debilidad importante del ensamble mecánico. En el momento de colocar la tarjeta en el ensamble, la presión que se ejerce sobre la tarjeta para sujetarla no es uniforme, y esto provoca que algunos pogo pines se doblen ligeramente y dejen de hacer contacto con los puntos de prueba. Si esto sucede, se obtienen resultados erróneos de las pruebas. Para minimizar las posibilidades de que se presente este problema, en el manual de usuario que se entregó a la compañía se recomienda suspender la tarjeta sobre el ensamble con mucho cuidado y tratar de sujetar los tornillos con una mano y ejercer una presión uniforme sobre la tarjeta con la otra mano, tal como se muestra en la Figura 57.



**Figura 57** Forma adecuada para sujetar la tarjeta al ensamble mecánico

A pesar de la existencia del punto débil del ensamble que se explicó anteriormente, se comprobó la validez del diseño mecánico implementado al lograr que el sistema de prueba hiciera contacto con los puntos de entrada y salida de las señales del Motherboard que no eran accesibles desde los conectores de la tarjeta.

El hardware diseñado para el acople entre el Motherboard y la tarjeta de adquisición se implementó directamente en circuitos impresos, lo cual tuvo un impacto positivo en el proyecto debido a que no fue necesario invertir tiempo en probar los circuitos en protoboard para luego realizar el impreso, pero tuvo un impacto negativo cuando hubo que hacer modificaciones al diseño durante las pruebas de implementación, ya que se tuvo que alterar el circuito impreso o volver a hacer la tarjeta desde cero, lo cual significó una pérdida de tiempo de varios días o inclusive de una semana entera. La verificación del funcionamiento del hardware se llevó a cabo con ayuda de LabVIEW y la tarjeta de adquisición. Estas herramientas se utilizaron para programar pequeños algoritmos con los que se pudiera detectar algún error funcional en el hardware. La utilización de estos recursos para la prueba del funcionamiento del hardware representó un ahorro de tiempo importante ya que evitó el diseño y la construcción de circuitería adicional dedicada exclusivamente a verificar el funcionamiento del sistema, como indicadores tipo LED, displays, o circuitos generadores de señal.

Una vez comprobado el correcto funcionamiento del hardware del sistema, se continuó con la programación de los algoritmos de prueba. El desarrollo de estos algoritmos, explicados en el Capítulo 5, se llevó a cabo después de determinar los errores de funcionamiento en que podían incurrir los componentes que se prueban con el sistema. Con la caracterización de los errores fue posible diseñar algoritmos que se ajustaran a cada tipo de error, para poder detectarlos con precisión en el momento en que se presenten. Los errores evaluados en cada componente que prueba el sistema se muestran en la Tabla 20.

**Tabla 20** Caracterización de los errores de funcionamiento que podrían presentar los componentes probados por el sistema

Componente a probar	Posibles errores
U1, U2: Arreglos Darlington ULN2003	<ul style="list-style-type: none"> <li>▪ Salida permanentemente en corte o saturación.</li> <li>▪ Tensión de saturación o corte no cumple con las especificaciones del fabricante.</li> </ul>
U3, U4, U5: 4 Compuertas NAND, 74ALS38, 74F38	<ul style="list-style-type: none"> <li>▪ Estados lógicos de salida de las compuertas no coinciden con el valor esperado.</li> </ul>
U6: 4 Interruptores analógicos, DG412	<ul style="list-style-type: none"> <li>▪ Interruptores permanentemente cerrados o abiertos.</li> <li>▪ Diferencias significativas entre la tensión de entrada y la tensión de salida de los interruptores.</li> </ul>
U7, U8: 4 Convertidores ECL a TTL, MC10H125	<ul style="list-style-type: none"> <li>▪ Estados lógicos de salida de los convertidores no coinciden con el valor esperado.</li> </ul>
K1...K7: Relays de doble contacto	<ul style="list-style-type: none"> <li>▪ Contactos permanentemente abiertos o cerrados.</li> <li>▪ Diferencias significativas entre la tensión de entrada y la tensión de salida de los contactos.</li> <li>▪ Aumento en el tiempo de conmutación de los contactos</li> </ul>

En el proceso de programación de los algoritmos de prueba se incluyó una etapa de verificación de la validez de éstos por medio de la técnica de *prueba y error*. Se hizo uso del hardware del sistema para probar los algoritmos directamente en las tarjetas LA-800 y LA-911 que se destinaron a revisión. Se buscó inicialmente comprobar que los algoritmos detectaran cuando un componente estaba en buen estado, y posteriormente comprobar que los componentes dañados fueran detectados.

En el caso del algoritmo para probar los CIs con salidas digitales, se verificó que éstos respondieran adecuadamente a la tabla de verdad con que fueron estimulados, y si respondían correctamente, entonces se cambiaban los parámetros del algoritmo para esperar respuestas erróneas de los CIs. De esta manera el algoritmo debería clasificar como dañados, CIs que se sabía que estaban buenos, y se comprobaría su validez, tanto en la detección de integrados en buen estado como en la detección de integrados dañados.

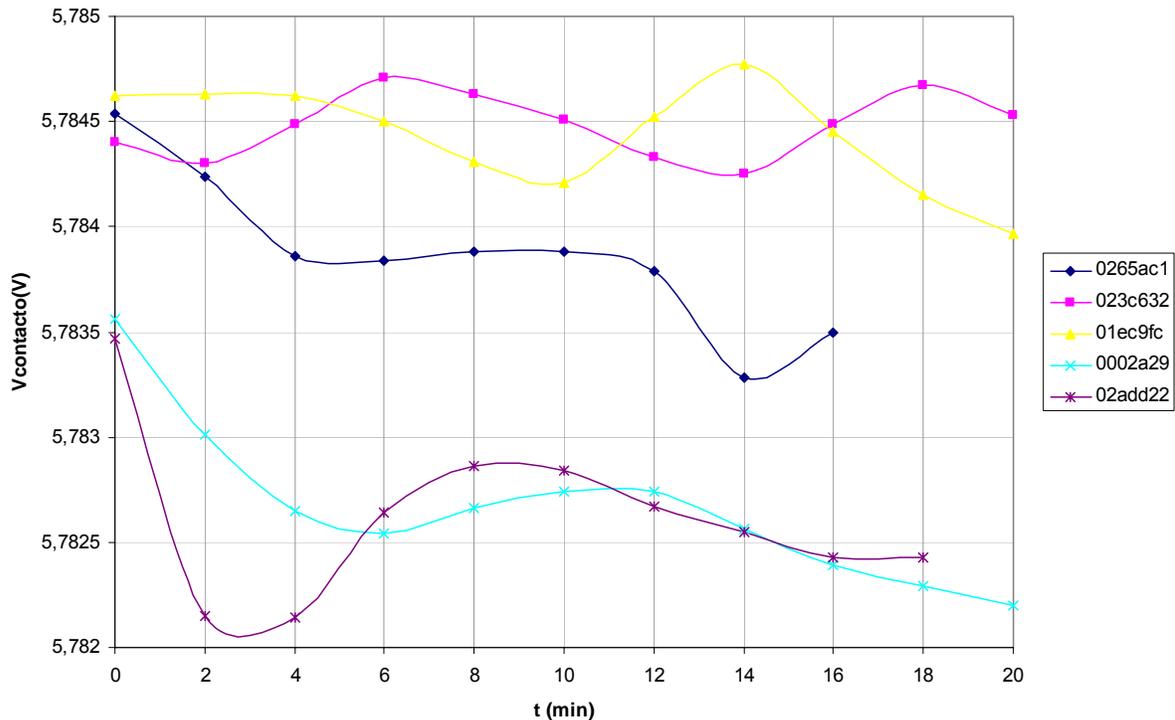
Las pruebas realizadas a los integrados digitales con este algoritmo permitieron verificar que funcionaba correctamente y no fue necesario el mejoramiento o modificación del algoritmo para lograr los resultados esperados.

Para la verificación de la validez del algoritmo de prueba de los CIs con transistores Darlington, ULN2003, se comprobó que el algoritmo pudiera detectar los integrados en buen estado de varias tarjetas. En el momento en el que se encontró un integrado dañado, se analizaron las mediciones obtenidas de los transistores de ese integrado, para corroborar que estuviera realmente dañado y que los parámetros dispuestos para discernir entre un transistor en buen estado y uno dañado fueran correctos. Al analizar los resultados obtenidos en las pruebas donde se encontraron integrados dañados, se determinó que los errores fueron producidos por señales que fueron medidas erróneamente debido al fallo en los contactos del ensamble mecánico. Al arreglar el ensamble y probar nuevamente los integrados, se comprobó que éstos se encontraban en buen estado. Durante las pruebas no fue posible encontrar ningún integrado ULN2003 en mal estado, pero los errores producidos por el ensamble posibilitaron simular errores en los integrados, y de esta manera se verificó que el algoritmo programado funcionara adecuadamente.

La verificación de la validez del algoritmo de prueba del CI de interruptores analógicos DG412, se realizó también probando que éste reconociera cuando un CI estaba funcionando correctamente, de acuerdo con los parámetros de clasificación explicados en el Capítulo 5. En este caso, los problemas con las conexiones eléctricas entre el ensamble mecánico y el Motherboard bajo prueba también permitieron simular situaciones de error, las cuales a su vez permitieron comprobar que el algoritmo programado detectaba correctamente los errores del CI.

Finalmente, el algoritmo de prueba del funcionamiento de los relays se sometió a la técnica de prueba y error para depurarlo. Más que el mejoramiento del algoritmo, en esta etapa se buscó ajustar los parámetros utilizados por el algoritmo para determinar si el relay bajo prueba funciona correctamente. Se tomaron gran cantidad de mediciones con los relays de siete diferentes tarjetas, con los contactos cerrados, y con estas mediciones se obtuvo un promedio de la tensión que alcanzaban los contactos al cerrarse, y el rango de variación de la tensión con respecto al tiempo que permanecía el sistema encendido. Estas mediciones se realizaron debido a que se detectó que el sistema de prueba no lograba un equilibrio térmico, y esta *deriva de temperatura* afectaba la estabilidad de la tensión alcanzada por los contactos. Como ejemplo de las mediciones tomadas se incluye la Figura 58, donde se observa la variación del voltaje de uno de los contactos del relay K1 de cinco diferentes Motherboards con respecto al tiempo. También se observa que en 20 minutos de tener encendido el sistema, la tensión alcanzada por el contacto en las diferentes tarjetas osciló entre 5.785V y 5.782V, por lo cual estos dos voltajes fueron utilizados como límites para determinar el correcto funcionamiento del contacto K1 cerrado.

Si el promedio de los voltajes medidos en este contacto durante la prueba es mayor o menor que los límites anteriores, se considera que el relay puede estar dañado. Se realizaron pruebas con los parámetros ya ajustados y fue posible detectar tanto relays en buen estado como relays en mal estado, con lo cual se verificó la validez de la prueba para implementarla en el sistema final.

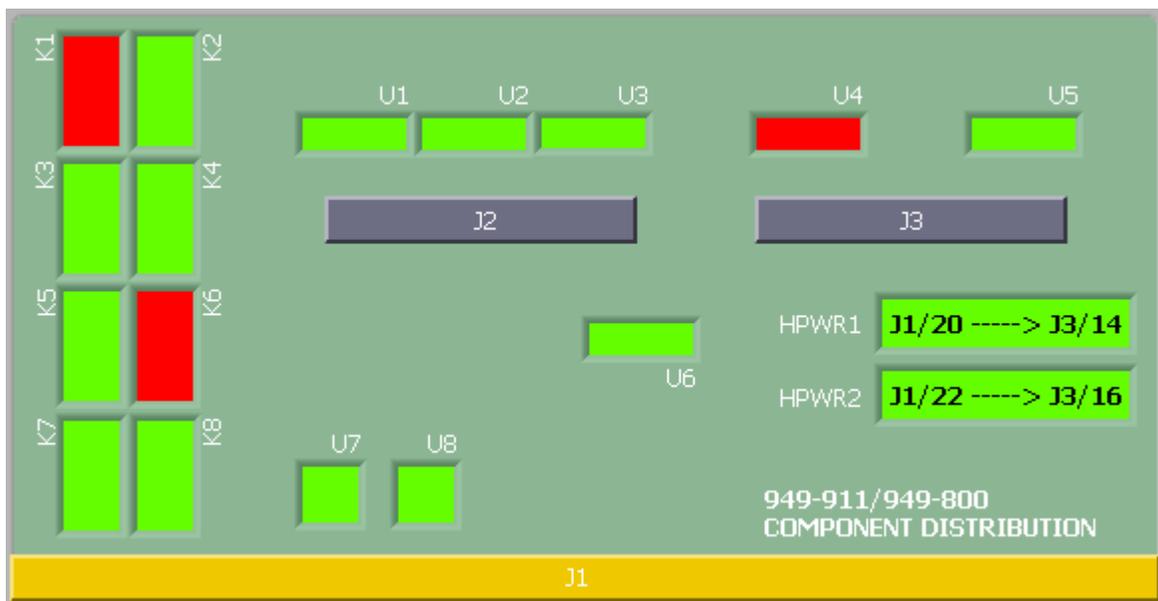


**Figura 58** Tensión alcanzada por el contacto 1 del relay K1 de cinco diferentes Motherboards con respecto al tiempo que el sistema de prueba permaneció encendido

También se detectó que las mediciones tomadas son válidas solamente para la temperatura del cuarto donde se estaban realizando las pruebas, cuya temperatura estaba aproximadamente entre 22 y 24°C. Esto se comprobó debido a que el sistema se movió a un cuarto con aire acondicionado con una temperatura de aproximadamente 17°C y todos los voltajes aumentaron lo suficiente como para salirse de los rangos definidos, y esto provocó que la prueba determinara que todos los relays de las tarjetas estaban dañados, aunque en realidad no lo estaban. Por esta razón, en el manual de usuario del sistema se especificó un rango de temperatura aceptable para realizar las pruebas. Este rango se definió entre 22 y 24°C, que fue el rango de temperatura en el que se mantuvo siempre el cuarto de prueba, y la temperatura aproximada a la que se mantiene el piso de reparación en Teradyne.

Se presume que este comportamiento no es inherente a los relays, ya que al disminuir la temperatura, los contactos tienen una mejor conductividad. Se observó un comportamiento similar al poner un ventilador en la fuente de alimentación, por lo cual se piensa que este efecto puede provenir de alguna variación de la tensión de alimentación del Motherboard debida al cambio de temperatura ambiente.

Una vez que se comprobó la validez de todos los algoritmos de prueba, se procedió al desarrollo de la interfaz gráfica del software, donde las diferentes pruebas se pusieron en conjunto. Se buscó desarrollar una interfaz de uso sencillo para el usuario, que lo guiara a lo largo del proceso de prueba y cuyos resultados fueran de fácil interpretación. Por esta razón se decidió presentar los resultados en forma gráfica, por medio de un dibujo que simulara la distribución de los componentes en el Motherboard, y la utilización del color verde para denotar que un componente está en buen estado y el rojo para denotar que un componente está dañado, como se muestra en la Figura 59.



**Figura 59** Representación gráfica del Motherboard y el estado de los componentes en la interfaz con el usuario

El sistema terminado se probó con varias tarjetas, con el fin de verificar que funcionaba correctamente. También se consultó a los técnicos del área de uWAVE, los usuarios finales del sistema, sobre su opinión con respecto al mismo, tanto en su parte de software como de hardware y se recibieron comentarios positivos, con lo cual se corroboró la conformidad de los usuarios con el sistema.

Durante las pruebas realizadas no se encontraron tarjetas dañadas, pero posterior a la entrega del sistema a la empresa, los técnicos utilizaron lo utilizaron para revisar un Motherboard malo y encontraron un relay dañado, el cual fue reemplazado y esto solucionó el problema que presentaba la tarjeta. Con este hecho se comprobó la

funcionalidad del sistema y se pudo reparar un Motherboard que iba a ser desechado.

Aunque el sistema funcionó de manera exitosa, se detectaron algunas debilidades adicionales a las anteriormente comentadas que es importante considerar:

- *El sistema no prueba todos los componentes del Motherboard.* Los componentes pasivos (resistencias, capacitores) y el FPGA, además de la continuidad de las pistas del impreso no fueron tomados en cuenta en la prueba, a pesar de que éstos pueden ser fuentes de error en la tarjeta. La omisión de estos elementos se debió (exceptuando el FPGA, cuya omisión se explicó anteriormente) al considerable aumento de la complejidad del sistema, tanto mecánica como electrónicamente si se incluían, ya que sería necesario el acceso a gran cantidad de puntos de prueba en la tarjeta.
- *El sistema no prueba los componentes en condiciones extremas.* Aunque la validez de las pruebas realizadas a los componentes se verificó experimentalmente, ningún componente fue probado en condiciones rigurosas tanto de temperatura como de frecuencia de operación, que son factores que podrían afectar el rendimiento de los componentes. Este tipo de pruebas no se realizaron debido a que se requeriría el uso de hardware más sofisticado que el utilizado, y un sistema mecánico más complejo, con el que se pudiera controlar la temperatura de operación del sistema. Ambas alternativas aumentan el costo y la complejidad del proyecto, y por ende el tiempo necesario para concluirlo.
- *El sistema es poco portable.* Debido al uso de la tarjeta de adquisición, para utilizar el sistema con otro computador, es necesario remover la tarjeta del computador donde se encuentra instalada e instalarla en otro.

Sin embargo, a pesar de los puntos débiles del sistema, se logró cumplir y superar las expectativas que la empresa generó en torno al proyecto. Los aspectos débiles son mejorables y permiten darle un final abierto al proyecto y un enfoque de mejoramiento a futuro.

## Capítulo 7: Conclusiones y Recomendaciones

### 7.1 Conclusiones

- Se determinó que la propuesta de solución basada en la prueba funcional del Motherboard no era factible de implementar.
- Se determinó que las características de funcionamiento del  $\mu$ WPort y el papel que éste juega dentro del sistema  $\mu$ WAVE6000 no eran relevantes en el marco de la solución implementada.
- Se determinó que la caracterización de los problemas de funcionamiento que pueden presentar los componentes probados, permitió el desarrollo de los algoritmos utilizados para determinar el estado de dichos componentes.
- Se comprobó experimentalmente que el sistema diseñado e implementado permite determinar el funcionamiento adecuado o erróneo de los circuitos integrados y relays de un Motherboard en revisión, de acuerdo con los parámetros medidos en cada caso.
- Se comprobó experimentalmente, por medio del método de prueba y error, la validez de los algoritmos de prueba diseñados y programados para determinar el estado de los componentes probados con respecto a los parámetros medidos.

### 7.2 Recomendaciones

- Se recomienda crear una base de datos de referencia que incluya el código fuente de los dispositivos programables de las tarjetas que se prueban en la empresa.
- Se recomienda mejorar el sistema de sujeción de la tarjeta bajo prueba al ensamble mecánico, para disminuir la probabilidad de fallo en las conexiones del ensamble con el Motherboard bajo prueba.
- Se recomienda el diseño y la implementación de pruebas que verifiquen el funcionamiento de los componentes bajo las condiciones extremas especificadas por el fabricante de cada componente.
- Se recomienda la búsqueda e implementación de alternativas para verificar el funcionamiento del Motherboard sin tener que remover el FPGA antes de probarlo.
- Se recomienda la búsqueda e implementación de una solución para la inestabilidad de temperatura que sufre el sistema de prueba, y que afecta las pruebas de los relays.

## Capítulo 8: Bibliografía

### Páginas Web

1. Products and Services. *NI PCI-6221* [en línea]. National Instruments Webpage. < <http://sine.ni.com/nips/cds/view/p/lang/en/nid/14132>> [Consulta: Abril, 2007]
2. Teradyne. *Teradyne - Semiconductor Test – Catalyst Home Page* [en línea]. Teradyne Inc. <<http://www.teradyne.com/catalyst/>> [Consulta: Diciembre de 2006].
3. Wikipedia. *Automatic Test Pattern Generation* [en línea]. Wikipedia, the Free Encyclopedia <[http://en.wikipedia.org/wiki/Automatic\\_test\\_pattern\\_generation](http://en.wikipedia.org/wiki/Automatic_test_pattern_generation)> [Consulta: Marzo, 2007]
4. Wikipedia. *Bed of Nails Tester* [en línea]. Wikipedia, the Free Encyclopedia <[http://en.wikipedia.org/wiki/Bed\\_of\\_nails\\_tester](http://en.wikipedia.org/wiki/Bed_of_nails_tester)> [Consulta: Julio, 2007]
5. Wikipedia. *In Circuit Test* [en línea]. Wikipedia, the Free Encyclopedia <[http://en.wikipedia.org/wiki/In\\_circuit\\_test](http://en.wikipedia.org/wiki/In_circuit_test)> [Consulta: Julio, 2007]
6. Wikipedia. *System Testing* [en línea]. Wikipedia, the Free Encyclopedia <[http://en.wikipedia.org/wiki/System\\_testing](http://en.wikipedia.org/wiki/System_testing)> [Consulta: Julio, 2007]

### Manuales y Hojas de datos

7. Actel Semiconductor (2007). *ACT<sup>TM</sup> 1 Series FPGAs*. Actel Semiconductor. Estados Unidos de América.
8. Lonks, Aaren. *Port Module Controller Schematics*. Boston, Massachussets: Teradyne Inc, 1983.
9. MAXIM (2001). *Improved, Quad, SPST Analog Switches DG411, DG412, DG413*. MAXIM. Estados Unidos de América.
10. National Instruments (2006). *DAQ M Series. M Series User Manual. NI 622x, NI 625x and NI 628x Devices*. National Instruments. Estados Unidos de América.
11. National Instruments (2006). *Low Cost M Series Multifunction DAQ-16 Bit, 250KS/s, up to 80 analog inputs*. National Instruments. Estados Unidos de América.
12. National Semiconductor (2006). *LM340/LM78XX Series 3-Terminal Positive Regulators*. National Semiconductor. Estados Unidos de América.

13. National Semiconductor (2006). *LM79XX Series 3-Terminal Negative Regulators*. National Semiconductor. Estados Unidos de América.
14. NEC (1999). *Miniature Signal Relay EA2 Series*. NEC. Japón
15. On Semiconductor (2006). *Quad MECL to TTL Translator MC10H125*. On Semiconductor. Estados Unidos de América.
16. On Semiconductor (2004). *Quad TTL to MECL Translator with TTL Strobe Input MC10H124*. On Semiconductor. Estados Unidos de América.
17. On Semiconductor (2007). *Termination of ECL devices with EF (Emitter Follower) OUTPUT Structure*. On Semiconductor. Estados Unidos de América
18. ST Semiconductor (2006). *ULN200XA/XD1 Seven Darlington Array*. ST Semiconductor. Estados Unidos de América.
19. Teradyne Inc. *Catalyst physical and operational description*. In Signals Integrated Online Documentation. Estados Unidos de Norteamérica, 2000.
20. Teradyne Inc. *uWAVE6000 Microwave Manual*. In Signals Integrated Online Documentation. Estados Unidos de Norteamérica, 2000.
21. Texas Instruments (2000). *CD4051B, CD4052B, CD4053B. CMOS Analog Multiplexers/Demultiplexers with logic level conversion*. Texas Instruments. Estados Unidos de América.
22. Texas Instruments (2000). *CD4067B, CD4097B types CMOS Analog Multiplexers/Demultiplexers*. Texas Instruments. Estados Unidos de América.

## Artículos

23. Albee, Alan. *Backdrive Current-Sensing Techniques Provide ICT Benefits*. Westford Massachussets: Teradyne Inc, Assembly Test Division. Febrero, 2002.
24. Bennetts, R. *Boundary-Scan Tutorial*. Reino Unido: ASSET InterTech Inc. 2002.
25. Mehdi Baradaran Tahoori y Subhashish Mitra. *Application-Independent Testing of FPGA Interconnects*. In IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. Vol 24, No. 11, November 2005.
26. Sundararajan, P. McMillan S. y Guccione, S. *Testing FPGA devices using JBits*. San José, California: Xilinx Inc. 2001.

## Capítulo 9: Apéndice

### A.1 Glosario

**ASIC:** Circuito Integrado de Aplicación Específica; Application Specific Integrated Circuit, por sus siglas en inglés.

**VLSI:** Very Large Scale Integration por sus siglas en inglés. Circuitos integrados con más de 100.000 transistores.

**Parámetros de dispersión:** Son parámetros utilizados en radiofrecuencia para medir los coeficientes de transmisión y reflexión de los sistemas.

**Intermodulación:** Es el resultado de dos señales de radiofrecuencia de diferentes frecuencias ( $f_1$ ,  $f_2$ ) que se mezclan, formando señales adicionales con frecuencias que no son armónicas de ninguna de las señales de entrada. Los productos de intermodulación más altos aparecen en  $f_1 + f_2$  ó  $f_1 - f_2$  (intermodulación de segundo orden) y los más bajos en  $2f_1 - f_2$  ó  $2f_2 - f_1$  (intermodulación de tercer orden).

**Deriva de temperatura:** Es la variación de la temperatura en un sistema o dispositivo en un tiempo prolongado.

**Reflectómetro:** Es un dispositivo pasivo que se utiliza en el campo de radiofrecuencia. Acopla parte de la potencia de transmisión de una línea de transmisión en un monto conocido a través de otro puerto, normalmente utilizando dos líneas de transmisión puestas lo suficientemente juntas para que la energía a través de una se acople a la otra. Contiene detectores calibrados en ambos lados de la línea auxiliar, o un par de detectores independientes orientados de manera que se pueda medir la potencia eléctrica que fluye en ambas direcciones en la línea principal.

**Backplane:** placa o circuito impreso que contiene ranuras o zócalos, a los cuales se conectan tarjetas de expansión.

**Matriz CD:** es una matriz de conexiones que permite conectar el Subsistema CD del Test Head con las diferentes tarjetas para proveerles alimentación.

**Subsistema CD:** sistema de alimentación de Corriente Directa del Test Head.

**THADS:** son las siglas en inglés para Sistema de Distribución Analógica del Test Head (Test Head Analog Distribution System). Es el sistema de distribución de datos que se utiliza dentro del Test Head del Catalyst. Este sistema permite a dos tarjetas del Test Head comunicarse sin necesidad de pasar a través del DIB.

**Trigger Bus:** Es un bus del Test Head que se encuentra conectado entre el subsistema CD y otra instrumentación para pasar datos y comunicar el probador con el DUT. Consiste en seis señales diferenciales ECL blindadas en el backplane del

Test Head. Las señales de estas líneas son pulsos asíncronos de duración variable. El bus está diseñado para manejar frecuencias de hasta 25MHz y tiene una impedancia controlada de 50 ohms.

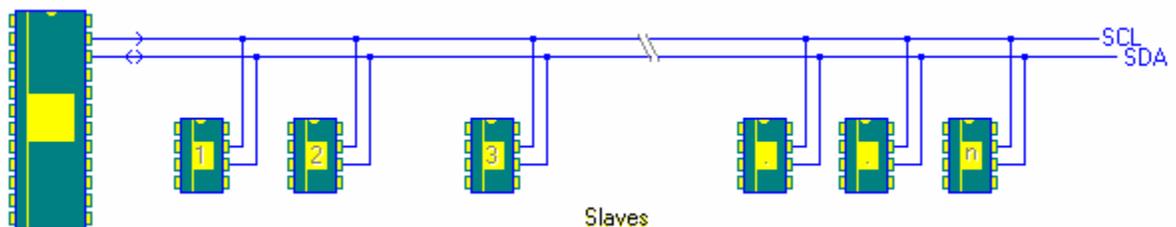
**ECL:** (Emitter-coupled logic). La lógica de emisor acoplado es una familia lógica en la cual la corriente es dirigida a través de transistores para llevar a cabo funciones lógicas. La lógica ECL también es llamada comúnmente “lógica de modo de corriente”.

La característica principal de la lógica ECL es que los transistores están siempre en la región activa y por esta razón pueden cambiar de estado con muy alta velocidad. Su mayor desventaja es que los transistores siempre están drenando corriente, lo cual significa que los circuitos requieren mucha potencia. La mayor parte de esta potencia se disipa como calor.

**I<sup>2</sup>C:** (Inter IC). Es un protocolo de bus serial que consiste en dos señales activas y una conexión a tierra. Las señales activas, SDA (Serial Data) y SCL (Serial Clock) son ambas bidireccionales.

Cada dispositivo que se conecta al bus tiene su dirección única, sin importar si es un procesador, una memoria o un ASIC. Cada uno de estos integrados puede actuar como transmisor y/o receptor, dependiendo de la funcionalidad.

El I<sup>2</sup>C es un bus multi-master, lo cual significa que más de un CI capaz de iniciar una transferencia de datos puede ser conectado a él. Las especificaciones del protocolo I<sup>2</sup>C dicen que el CI que inicia la transferencia de datos en el bus es considerado el *Bus Master*. Consecuentemente, en ese momento, todos los otros CIs son esclavos (*Bus Slaves*). Este tipo de conexión se muestra en la Figura 60.



**Figura 60** Conexión del bus I<sup>2</sup>C

**Ingeniería Inversa:** es el proceso en el cual se desarma un producto y se analiza en detalle su funcionamiento, usualmente con la intención de construir un nuevo dispositivo que haga la misma función sin copiar nada directamente del original.