

INSTITUTO TECNOLÓGICO DE COSTA RICA

ESCUELA DE INGENIERÍA ELECTRÓNICA



LÍNEAS AÉREAS COSTARRICENSES S.A.

LACSA

“Conversión electrónica de sistema trifásico de 60 Hz a sistema trifásico senoidal de 400 Hz, tensión constante a 115 voltios RMS por fase, para mantenimiento de equipos aeronáuticos de Aviónica”

**Informe de Proyecto de Graduación para optar por el Grado de Bachiller en
Ingeniería Electrónica**

Martín Calderón Vargas

CARTAGO, Diciembre del 2001

A mis queridos padres que a lo largo de mi vida me han acompañado y me han dado la oportunidad de superarme, a ellos de todo corazón.

A mis hermanos y hermanas que han estado siempre a mi lado brindándome su apoyo.

Y especialmente a Dios que me ha dado la vida, a María Santísima y a Don Bosco, quienes me han acompañado por siempre.

Agradecimiento

Durante el desarrollo de este proyecto he interactuado con diversas personas que me han brindado su apoyo, ayuda y amistad.

Quiero agradecer al Ing. Roy Goluboay Montoya, por darme la oportunidad de realizar mi proyecto de graduación en el Departamento de Aviónica, por la confianza que depositó en mí, la ayuda brindada, su preocupación e interés.

Al ingeniero Berny Gutiérrez que además de brindarme su conocimiento y experiencia en el área de potencia, me brindó su ayuda y amistad; a la ingeniera Ana Mena por su amistad, ayuda y compañerismo. Al resto de compañeros, ingenieros y técnicos de Aviónica quienes con su amistad me hicieron sentir como un miembro más del Departamento, les estaré por siempre agradecido.

Por último, quiero agradecer al personal del Departamento de Electrónica, especialmente a los profesores quienes de una u otra forma permitieron la realización y conclusión de mis estudios.

Resumen

En el departamento de Aviónica de las Líneas Aéreas Costarricenses (LACSA) se hace uso de una corriente trifásica senoidal de 400 Hz con una tensión constante de $115 V_{RMS}$, para dar mantenimiento correctivo y preventivo a los equipos de aviación por cuanto estos trabajan a dicha corriente.

La obtención de esta señal para aparatos eléctricos de mediana potencia (10 amperios por fase) se ha realizado por medio de generadores de diesel móviles que dan servicio a las aeronaves del Grupo TACA a lo largo del Aeropuerto; provocando inconvenientes en la reparación de diversos sistemas (especialmente hornos y cafeteras) en Aviónica debido a la dependencia existente entre el uso de los generadores y que estos no se encuentren utilizados en otras labores de mantenimiento.

En este proyecto se diseñó un sistema de conversión de la energía eléctrica de 60 Hz suministrada por la compañía eléctrica, para obtener una señal trifásica senoidal de 400 Hz y $115 V_{RMS}$ por medio de una tarjeta electrónica controladora. El sistema desarrollado presenta un rectificador trifásico de onda completa de 6 pulsos para la obtención de la potencia requerida, un inversor trifásico de puente conformado por 6 módulos de medio puente de IGBTs, logrando con la ayuda de comparadores y ondas de referencia las tres ondas senoidales de 400 Hz; además de gate drivers que logran el control independiente de los IGBT y aísla el bloque de potencia y el de control; obteniendo finalmente como resultado un sistema de conversión eficiente y de bajo costo con el cual se pueda obtener la señal senoidal y la potencia requerida.

Palabras claves: inversor, IGBT, rectificador trifásico, gate driver, puente, medio puente

Abstract

Avionics's Department of Líneas Aéreas Costarricenses (LACSA) use three-phase, 400 Hertz of 115 V_{RMS} power, to give corrective and preventive maintenance to the flying devices.

The signal for medium power electrical devices (10 amperes by phase) has been obtained with a mobile diesel generators that give service to the Grupo TACA's airships along the Airport, causing inconveniences in the repairing of diverse systems (specially ovens and coffee makers) with the use of generators because don't use in other maintenance workings.

A electrical power conversion system of 60 Hertz to a three-phase sinusoidal of 400 Hertz and 115 V_{RMS} was designed using a control electronic card. The developed system presents a 6 pulses three-phase full-wave rectifier, obtaining the required power and three-phase bridge inverter conformed by 6 half-bridge inverter (IGBT modules), achieved with comparators and reference waves, the three 400 Hertz sinusoidal waves and gate drivers witch give the IGBT's independent control and isolate the power block from the control one; obtaining an efficient and low cost conversion system obtaining the sinusoidal sign and the required power.

Keywords: inverter, IGBT, three-phase rectifier, gate driver, bridge, half bridge

ÍNDICE GENERAL

Capítulo 1	Introducción	13
1.1	Descripción de la empresa	13
1.2	Definición del problema y su importancia	15
1.3	Objetivo general	17
1.4	Objetivos específicos	18
Capítulo 2	Antecedentes	19
2.1	Estudio del problema a resolver	19
2.2	Requerimientos de la empresa	24
2.3	Solución propuesta	25
2.3.1	Explicación de módulos	27
2.3.1.1	Rectificación	27
2.3.1.2	Inversión	27
2.3.1.3	Referencia	27
2.3.1.4	Comparación	28
2.3.1.5	Control	28
2.3.1.6	Transformación	28
Capítulo 3	Procedimiento metodológico	29
3.1	Etapa correspondiente al diseño del sistema	29
3.2	Etapa de implementación de los controladores	30
3.3	Etapa de implementación de los comparadores	30
3.4	Etapa de implementación del rectificador	31
3.5	Etapa de generación de ondas de referencia	31
3.6	Etapa de implementación del inversor trifásico	32
3.7	Etapa de pruebas	33

Capítulo 4 Descripción del hardware utilizado	34
4.1 Rectificación	34
4.2 Controlador	34
4.3 Comparador	35
4.4 Referencia	36
4.5 Inversión	38
4.6 Circuitos de protección	41
4.6.1 Frecuencia	42
4.6.2 Voltaje	44
4.6.3 Habilitación	45
Capítulo 5 Análisis y resultados	46
5.1 Explicación del diseño	46
5.1.1 Rectificación	46
5.1.2 Control	50
5.1.3 Referencia	62
5.1.4 Comparación	70
5.1.5 Inversión y transformación	77
5.1.6 Circuitos de protección	85
5.1.6.1 Frecuencia	85
5.1.6.2 Voltaje	88
5.1.6.3 Habilitación	92
5.2 Alcances y limitaciones	96

Capítulo 6 Conclusiones y recomendaciones	98
6.1 Conclusiones	98
6.2 Recomendaciones	100
Bibliografía	103
Apéndices	105
Apéndice 1: Cálculo de componentes para frecuencia de 400Hz	105
Apéndice 2: Cálculo de divisor de tensión en realimentación	106
Apéndice 3: Divisores de tensión en circuito de sobre/baja frecuencia	107
Apéndice 4: Filtro Butterworth paso bajo	108
Apéndice 5: Obtención de elementos del convertidor frecuencia/voltaje	109
Apéndice 6: Divisores de tensión del circuito de protección de voltaje	112
Apéndice 7: Obtención del voltaje RMS de una señal senoidal	114
Apéndice 8: Diseño de figuras y software	115
Apéndice 9: Tarjeta de control realizada	117
Apéndice 10: Glosario	118
Anexos	122
Anexo 1: Características de la serie de rectificadores MDD 95	122
Anexo 2: Recomendaciones para el comparador LM311	123
Anexo 3: Diagrama de bloques del MAX038	125
Anexo 4: Recomendaciones para el MAX038	126
Anexo 5: Circuito interno del CM75DU-24H	127
Anexo 6: Características del módulo CM75DU-24H	128
Anexo 7: Recomendaciones para el uso del CM75DU-24H	129

Anexo 8:	Características de la tarjeta driver	130
Anexo 9:	Características del gate driver M57959L	131
Anexo 10:	Características de diferentes gate driver	132
Anexo 11:	Circuito de la tarjeta gate driver	133
Anexo 12:	Circuito de sincronización del MAX038	134
Anexo 13:	Convertidor de frecuencia a voltaje LM2907	135
Anexo 14:	Sample and Hold HA3-5330-5	136
Anexo 15:	Amplificador operacional LM301A	137

ÍNDICE DE FIGURAS

Figura 1.1	Motor y generador de 400 Hz y 115 V_{RMS}	16
Figura 2.1	Inversor de doce IGBT	23
Figura 2.2	Diagrama de bloques del sistema desarrollado	25
Figura 2.3	Señal trifásica senoidal de 400 Hz	26
Figura 4.1	Modificación del CM75DU-24H	39
Figura 4.2	Tarjeta gate driver ensamblada para el control de IGBT	40
Figura 5.1	Rectificador trifásico de onda completa	47
Figura 5.2	Señal de salida del rectificador sin filtro	48
Figura 5.3	Diagrama eléctrico del rectificador secundario	49
Figura 5.4	Diagrama eléctrico del primer controlador	51
Figura 5.5	Salidas del primer controlador	55
Figura 5.6	Diagrama eléctrico del segundo controlador	57
Figura 5.7	Salidas del segundo controlador	58
Figura 5.8	Diagrama eléctrico del tercer controlador	59
Figura 5.9	Salidas del tercer controlador	60
Figura 5.10	Salidas de los controladores	61
Figura 5.11	Parámetros de salida del primer controlador	61
Figura 5.12	Diagrama eléctrico del primer bloque de referencia	63
Figura 5.13	Delta senoidal de referencia	64
Figura 5.14	Señal senoidal y cuadrada del bloque de referencia	65
Figura 5.15	Diagrama eléctrico del segundo bloque de referencia	66
Figura 5.16	Diagrama eléctrico del tercer bloque de referencia	67
Figura 5.17	Señal trifásica senoidal de los bloques de referencia	68
Figura 5.18	Señal senoidal del primer bloque de referencia	69
Figura 5.19	Señal senoidal del segundo bloque de referencia	69
Figura 5.20	Señal senoidal del tercer bloque de referencia	69
Figura 5.21	Diagrama eléctrico del primer bloque comparador	71
Figura 5.22	Salida del flip flop de comparación 1	72
Figura 5.23	Entrada al gate driver 1 y 4	73

Figura 5.24	Entradas a la tarjeta driver 1 y 2	74
Figura 5.25	Diagrama eléctrico del segundo comparador	75
Figura 5.26	Diagrama eléctrico del tercer comparador	76
Figura 5.27	Diagrama eléctrico del circuito de potencia	78
Figura 5.28	Interface entre los controladores y drivers	80
Figura 5.29	Señal de salida del primer transformador sin filtro	81
Figura 5.30	Señal de salida del primer transformador con filtro	82
Figura 5.31	Parámetros de la señal del transformador 1	82
Figura 5.32	Señal de salida del segundo transformador sin filtro	83
Figura 5.33	Señal de salida del segundo transformador con filtro	83
Figura 5.34	Señal de salida del tercer transformador sin filtro	84
Figura 5.35	Señal de salida del tercer transformador con filtro	84
Figura 5.36	Circuito de protección contra variaciones de frecuencia	86
Figura 5.37	Circuito de protección contra variaciones de voltaje	89
Figura 5.38	Circuito de apagado del inversor	93

ÍNDICE DE TABLAS

Tabla 4.1	Selección de formas de onda	36
Tabla 4.2	Ancho de pulso de salida de multivibradores	45

CAPÍTULO 1

INTRODUCCIÓN

1.1 Descripción de la empresa

Líneas Aéreas Costarricenses (LACSA) pertenece a la alianza de aerolíneas Centroamericanas del Grupo TACA, conformada por AVIATECA, LACSA, NICA, TACA Internacional y TACA de Honduras, desde finales de la década de los años 80, periodo en el cual TACA Airlines entró en un periodo de fortalecimiento y consolidación administrativa operacional, con la adquisición de capital de las aerolíneas bandera de cada uno de los países centroamericanos, con el objetivo de mejorar la posición competitiva gracias a las economías de escala que solo como grupo se pueden aprovechar.

Fundada en 1931 con una guacamaya (ave representativa centroamericana) como logotipo, el Grupo TACA adoptó una nueva identidad corporativa con la presencia de 5 guacamayas volando juntas en su nuevo logotipo.

El departamento de Aeromantenimiento, nacido en 1983 debido a la demanda de servicios técnicos en el campo de la aviación comercial a nivel centroamericano, ofrece los servicios de mantenimiento con chequeos mayores “C” y “D” para aeronaves A300, A320, B727, B737, B757 y B767 del grupo y otras aerolíneas. También se ofrecen los servicios de taller en las áreas de Aviónica, ruedas y frenos, equipo de emergencia, metrología, compuestos, compuertas de avión y motor, hidráulicos, neumáticos, plásticos e interiores y overhaul asientos.

Manteniendo cierta autonomía en sus operaciones, la compañía LACSA posee la misión de transportar pasajeros y carga dentro de América de una manera rápida y confiable, manteniendo los más altos estándares de seguridad aérea.

El departamento de mantenimiento e ingeniería de la compañía LACSA, conformado por aproximadamente 200 empleados, posee la responsabilidad y misión de mantener los aviones aeronavegables el mayor tiempo posible brindando un mantenimiento rápido y efectivo que se apegue totalmente a los requerimientos del fabricante de las aeronaves y a los exigidos por la Federal Aviation Administration (F.A.A).

El taller de Aviónica de LACSA, ubicado en el Aeropuerto Internacional Juan Santamaría, se encuentra bajo la supervisión de la Gerencia de Mantenimiento de LACSA. Este taller se encarga de reparar y probar las unidades de los aviones que así lo requieren.

Entre las principales funciones del taller de aviónica se encuentran:

- a. Reparar las fallas en instrumentos de precisión, arrancadores, indicadores: Neumáticos, hidráulicos, mecánicos, magnéticos o electrónicos. También reparación de unidades de piloto automático, sistemas de navegación y otros similares.
- b. Reparar, mantener e instalar accesorios y componentes tales como luces de emergencia, baterías, hornos y otros de similar naturaleza.
- c. Inspeccionar la calidad y estimar los costos de los trabajos de mantenimiento y reparación de equipo.
- d. Hacer investigaciones sobre sistemas, equipos e instrumentos novedosos a fin de modificar o ajustar los equipos de la compañía.
- e. Programar las actividades de mantenimiento correctivo y preventivo de instalaciones y equipo electrónico.
- f. Calibrar los instrumentos de medición utilizados para la reparación de los sistemas de los aviones, con el propósito de mantener la licencia de la F.A.A.
- g. Diseñar bancos de trabajo para llenar las necesidades del taller.

1.2 Definición del problema y su importancia

Con el objetivo de obtener una mayor eficiencia en los diferentes equipos eléctricos y electrónicos de las aeronaves, estos se han diseñado para funcionar a una corriente trifásica senoidal, con un voltaje constante de 115 voltios RMS por fase y una frecuencia de 400 Hz.

Estos sistemas desarrollados para trabajar a 400Hz, a un mayor costo que similares desarrollados para funcionar a frecuencias comerciales (50 Hz ó 60 Hz), presentan la ventaja de su menor tamaño y masa, elemento de gran importancia en las labores de transporte aéreo de pasajeros y carga.

El adecuado mantenimiento de los diferentes equipos eléctricos y electrónicos (iluminación interior, equipos de cocina y navegación...) utilizados en los aviones de LACSA, requiere que en los talleres de aviónica se disponga de la misma energía eléctrica presente en las aeronaves.

El problema radica en las pérdidas económicas producidas por la ausencia de un sistema eléctrico o electrónico propio del taller de aviónica que pueda entregar la energía eléctrica trifásica senoidal de 400 Hz, con la potencia necesaria para dar el correcto mantenimiento preventivo y correctivo de los equipos de las aeronaves, por lo que se utilizan equipos dinámicos (motor de diesel y generador) propiedad de todo el Grupo TACA, como el mostrado en la figura 1.1.

La utilización de equipo del Grupo TACA limita el uso de los generadores por parte del taller de aviónica ya que estos se utilizan en las aeronaves o en otros procesos en las instalaciones del aeropuerto, lo que provoca atrasos y pérdidas económicas a la compañía debido a que se deben posponer tareas de mantenimiento de los equipos de las aeronaves hasta que los generadores móviles se encuentren disponibles.



Figura 1.1 Motor y generador de 400 Hz y 115 V_{RMS}

Al presentarse la necesidad de la utilización de estos generadores móviles de gran tamaño, el taller de aviónica debe realizar la solicitud de los mismos al personal respectivo de mantenimiento del Grupo TACA a través de los intercomunicadores, esperando que haya disponibilidad de los mismos y que estos sean transportados a las afueras del taller de aviónica, en donde se realiza la conexión de las terminales de salida del generador a un conjunto de bornes disponibles para tal fin.

Finalmente, aunque el sistema electrónico estático que brinda una solución adecuada al problema se encuentra disponible en el mercado, su alto valor adquisitivo no permite al taller de aviónica realizar tal inversión.

1.3 Objetivo general

Diseñar un prototipo electrónico capaz de realizar la conversión de energía trifásica senoidal de 60 Hz a un sistema trifásico senoidal de 400 Hz; con un voltaje de fase constante de 115 voltios RMS, por medio del cual se logre dar mantenimiento adecuado y pronto a los equipos eléctricos de las aeronaves.

1.4 Objetivos específicos

Los objetivos específicos alcanzados son los siguientes:

- a. Diseño del sistema de conversión de energía trifásica de 60 Hz a 400 Hz.
- b. Realización de los ajustes indicados por la empresa.
- c. Especificación de los componentes necesarios para la elaboración del sistema diseñado.
- d. Realización de los tres módulos de control del inversor trifásico.
- e. Implementación de los tres bloques de comparación de la señal de referencia con la señal obtenida en el inversor.
- f. Conexión entre los bloques de control y comparación
- g. Generación de la onda senoidal trifásica de 400 Hz, como referencia
- h. Implementación del rectificador trifásico de seis pulsos

CAPÍTULO 2

ANTECEDENTES

2.1 Estudio del problema a resolver

La obtención de la señal trifásica senoidal de 400Hz con tensión de 115 V_{RMS} constante de fase, debió tomar en consideración varios aspectos para el correcto funcionamiento de los diferentes módulos y bloques del sistema cuando estos se interrelacionaron entre sí; aspectos que se abarcan según las operaciones realizadas por los diferentes bloques.

Sin pertenecer a un bloque específico, se contó con un sistema de rectificación secundario para obtener los distintos voltajes con los que operaron los diferentes componentes electrónicos, proveyendo voltajes de $\pm 5V$ y $\pm 15V$. Este rectificador con su respectivo filtro además de proveer las tensiones adecuadas de funcionamiento permitió desacoplar con transformadores secundarios⁽¹⁾ el circuito de potencia con el sistema de control, esto por cuanto la señal de tierra debió ser compartida por ambos sistemas (potencia y control) para la correcta comparación de la señal de salida con señales de referencia.

El control adecuado de los elementos de potencia requirió el uso de una tarjeta controladora para cada módulo para garantizar el correcto funcionamiento de estos, suministrando adecuadas señales de gate⁽²⁾ (puerta) además de proporcionar un aislamiento entre la señal de control y el voltaje de los módulos duales a través de un optoacoplador.

⁽¹⁾ El término de transformadores secundarios se utiliza para diferenciar de los transformadores de potencia, referidos en adelante solamente como transformadores.

⁽²⁾ El gate ó puerta es la terminal con la que se controla el funcionamiento del IGBT

Es indispensable para el adecuado funcionamiento del sistema que en ningún momento en la operación del sistema, entren a conducir en el mismo instante dos IGBT de un mismo módulo dual, esto por cuanto se produciría un cortocircuito en el voltaje de salida del rectificador trifásico correspondiente a una tensión aproximada de 280 voltios DC.

Cada tarjeta driver⁽³⁾ (controlador) de los IGBT poseyó un circuito de monitoreo de cortocircuito conocido como detector de desaturación, el mismo debió detectar con un conjunto de componentes electrónicos la presencia de voltaje entre colector y emisor (V_{CE}) mayor del presentado cuando el IGBT se encontró en operación normal. En un correcto funcionamiento el V_{CE} debe permanecer bajo, al presentarse un cortocircuito el mismo aumenta debido al incremento de corriente; el monitoreo de este voltaje permite apagar el IGBT en unos cuantos nanosegundos. Aunque se dispuso de este circuito de desaturación fue recomendable el uso de un circuito alternativo que asegurara la no operación simultánea de dos IGBT de un mismo módulo en el instante en que dos IGBT salen de operación y los otros dos entran, debido a que el tiempo máximo que soporta un IGBT en cortocircuito corresponde a $10\mu s$.

El adecuado uso de los módulos duales requirió una serie de especificaciones dados por el fabricante debido a que las terminales de control de los IGBT son susceptibles a la estática que podría dañar los componentes; el fabricante proveyó una espuma conductiva colocada entre el gate y el emisor de cada IGBT para permitir la manipulación de los módulos con mayor comodidad cuando se realizó el montaje de los módulos.

⁽³⁾ El driver o controlador es una tarjeta utilizada para controlar el IGBT a través de su puerta (gate), se hace mención a este también como gate driver (controlador de puerta)

Para lograr el control independiente de cada señal senoidal se dispuso de tres transformadores de 60 Hz disponibles en el taller de aviónica. Otros métodos existentes permiten el control dependiente de las señales senoidales; el sistema realizado debió permitir el control independiente para asegurar el correcto funcionamiento aún cuando la carga conectada se llegue a encontrar desbalanceada.

El uso de transformadores de 60 Hz, no garantiza el funcionamiento del sistema a un largo plazo debido a que el sistema está diseñado para funcionar a 400 Hz, una frecuencia mayor podría influir en el deterioro de los aislantes del transformador debido a que estos se diseñaron para funcionar a una frecuencia de 50/60 Hz.

Se debió garantizar el desfase entre las señales de salida para obtener correctamente una señal trifásica con desfase de 120 grados; a su vez se debió proveer señales adecuadas que garantizaran que al funcionar un par de IGBT el otro par se encontrara apagado. La operación de las tarjetas drivers se dio con señales de control con nivel de voltaje bajo (0 voltios), entrando en funcionamiento con un tren de impulsos que permitieron la formación de una onda senoidal en la salida del inversor, sin embargo para la retroalimentación de la señal de salida se debió proveer de un sistema de comparación de ondas senoidales las cuales se debieron de encontrar, al igual que las señales de control de los gate drivers⁽⁴⁾, desfasadas 120 grados entre sí por lo cual se debió de proveer de un dispositivo que además de ofrecer la posibilidad de generar una señal senoidal de bajo voltaje, permitiera sincronizar esta señal con la señal de control del gate driver, de forma tal que al formarse el semiciclo positivo de la onda senoidal de la señal de salida de cualquiera de los tres senos del inversor, la onda de referencia correspondiente se encontrara en el mismo instante formando el semiciclo positivo de su señal.

⁽⁴⁾ El gate driver es el controlador de puerta del IGBT

La señal de control de los gate drivers permitió que en una configuración de puente formada por dos módulos duales (4 IGBTs); dos IGBTs contribuyeran a la formación del semiciclo positivo de la señal de salida, en tanto los otros dos IGBTs permitieron la formación del semiciclo negativo.

Para lograr la formación de tres señales senoidales a partir de una tensión DC, se realizó una configuración de puente inversor con 12 IGBTs, mostrada en la figura 2.1, en donde se observó que para la formación de una sola señal senoidal se dispone de 4 IGBTs, de tal forma que al conducir los IGBTs 1-4⁽⁵⁾, en el primario del transformador 1 (T1) se presentó un voltaje positivo en tanto que al conducir los IGBTs 2-3 se invirtió el voltaje en el transformador permitiendo la formación de un semiciclo negativo de una señal senoidal. La conmutación de los IGBT por el dispositivo de control y driver, permite que el voltaje primario del transformador no alcance los 280 voltios DC, sino que alcance un voltaje acorde a lo establecido por la señal de referencia.

La carga que presentó el transformador en su bobinado primario así como la carga que se colocó al mismo en el bobinado secundario permitió que el voltaje en el bobinado primario tuviera forma exponencial, al conmutar los IGBTs 1-4 de estado *on* a *off* la disminución de voltaje se realizó en forma exponencial permitiendo con un tren de impulsos de *on/off* la formación de una señal senoidal.

La comparación entre la señal de salida del inversor y las señales de referencia se realizó por medio de un elemento comparador analógico, el cual debió responder rápidamente ante los cambios dados en la señal producida respecto a la referencia. El sistema de comparación debió de proveer las señales adecuadas de voltaje para que junto con el sistema de control permitieran la conmutación del par de IGBT en funcionamiento.

⁽⁵⁾ La numeración IGBT 1-4, se traduce en IGBT 1 y 4

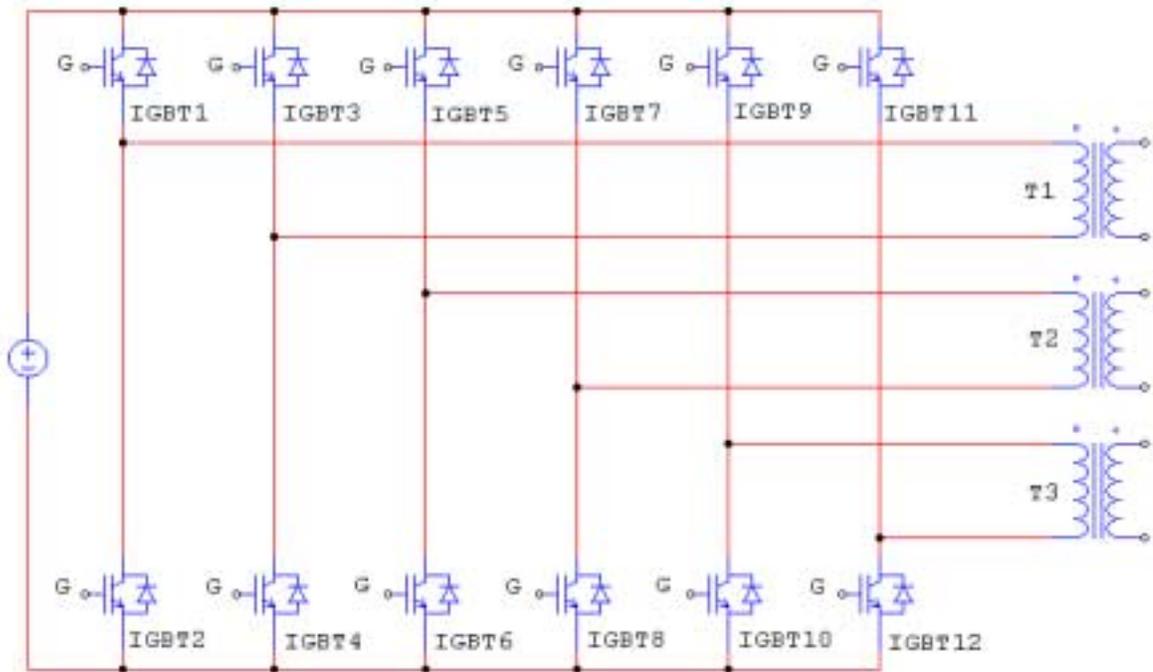


Figura 2.1 Inversor de doce IGBT

La señal de salida se logró comparar con la de referencia por medio de un divisor de tensión colocado en el bobinado secundario de cada transformador con respecto a tierra, esto con el fin de poseer una misma señal de referencia entre la señal formada en el inversor y la presente en el generador de onda senoidal. La comparación de la señal de referencia con el voltaje entre las terminales del bobinado primario del transformador no permitirían una adecuada comparación debido a la diferencia de referencias.

2.2 Requerimientos de la empresa

El departamento de aviónica de LACSA, solicitó los siguientes requerimientos para la elaboración del proyecto:

a. Desarrollar un sistema estático, y por tanto que no estuviera conformado por motores o generadores, con el cual se obtuviera una señal trifásica senoidal de 400 Hz a partir de una señal trifásica senoidal de 60 Hz.

b. El sistema debe entregar a las instalaciones del taller de aviónica una corriente trifásica senoidal, con voltaje constante de 115 voltios RMS por fase.

c. La amplitud de las señales senoidales de salida deben presentar un voltaje constante en cada una de sus diferentes fases, independientemente de la carga a alimentar y del balance de potencia existente entre las diferentes fases.

d. Poseer control independiente de cada una de las señales senoidales formadas por el sistema y por tanto de los tiempos de operación de cada uno de los IGBTs del inversor trifásico.

e. El sistema debe entregar un mínimo de 20 amperios por fase, obteniéndose una salida de potencia de aproximadamente 7000 watts.

2.3 Solución propuesta

La solución estuvo compuesta por tres módulos similares e interrelacionados entre sí para la formación y control de las tres diferentes ondas senoidales, cada uno de los cuales estuvo constituido por 4 bloques independientes y otros 2 bloques compartidos entre los tres módulos. La figura 2.2 muestra el diagrama de bloques del sistema desarrollado

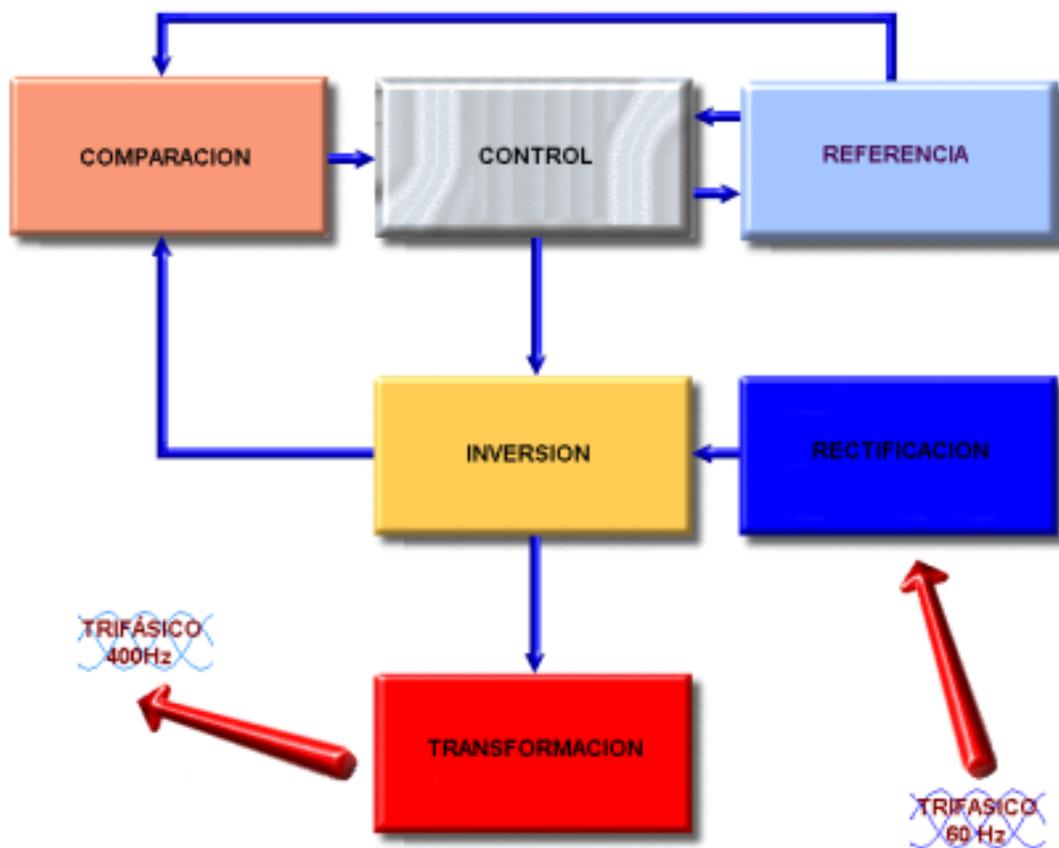


Figura 2.2 Diagrama de bloques del sistema desarrollado

Los 4 bloques independientes de cada módulo son: control, comparación, referencia y transformación, en tanto que los 2 bloques que comparten los tres módulos son rectificación e inversión.

Los bloques entre cada módulo se interrelacionaron entre sí para realimentar la señal de salida y modificarla basados en lo especificado por la empresa en la obtención de una señal trifásica de 115 voltios RMS constantes por fase a 400 Hz. Para lograr las tres señales senoidales se conmutan los IGBT del inversor trifásico de forma tal que se obtiene una señal similar a la mostrada en la figura 2.3, en donde cada señal senoidal está formada por una serie de levantamientos y caídas de voltaje (rizado) en forma exponencial dependiente de la carga colocada al transformador.

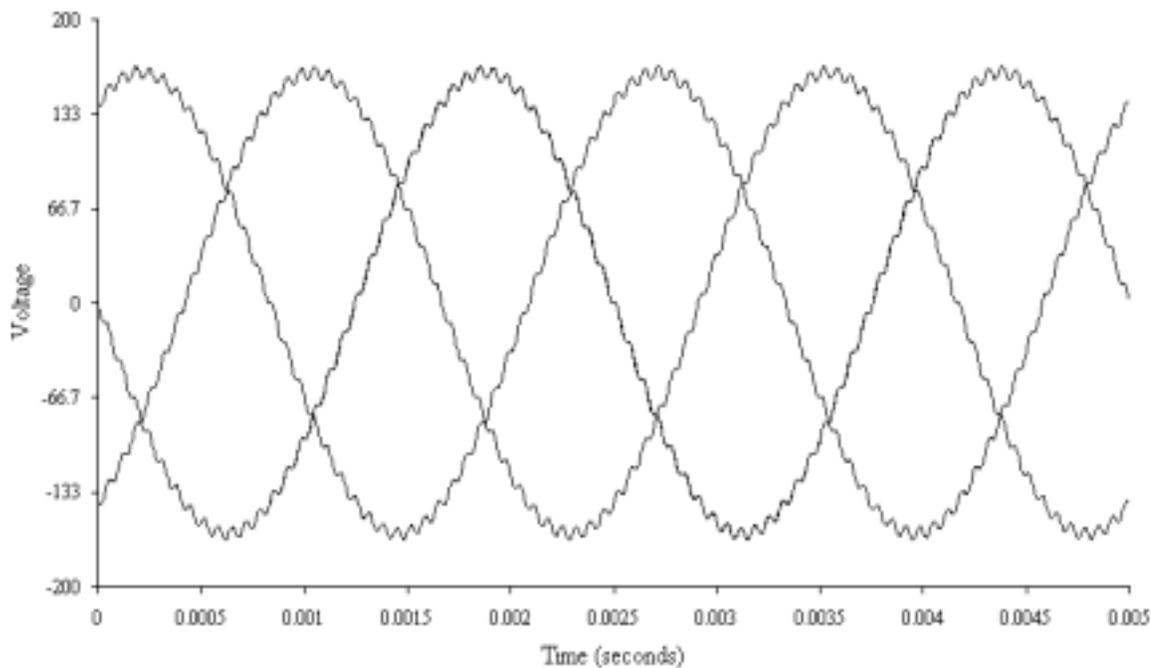


Figura 2.3 Señal trifásica senoidal de 400 Hz

2.3.1 Explicación de módulos

2.3.1.1 Rectificación

Este módulo realiza la rectificación de la señal trifásica de 60 Hz por medio de un rectificador trifásico con el cual se obtiene el suministro de potencia necesaria para el funcionamiento de los diferentes sistemas.

2.3.1.2 Inversión

Conformado por 12 IGBT, este módulo toma la señal rectificada para convertirla de nuevo en una señal trifásica a diferente frecuencia. Debido a que se requiere la obtención de una onda senoidal en cada fase a un voltaje lo más constante posible a 115 voltios RMS, se tiene una señal de control que conmuta el funcionamiento de los IGBT de forma tal que con la debida conmutación de estos se logre obtener una señal lo más cercana a un seno, evitando así la presencia de gran cantidad de armónicas.

2.3.1.3 Referencia

Para obtener la correcta sincronización entre las tres ondas senoidales, se dispone de tres señales cuadradas de 400 Hz desfasadas entre sí por 120 grados con un ciclo de trabajo del 50%, formadas en el módulo de control; estas tres señales permiten la formación de seis ondas senoidales de 400 Hz desfasadas 120 grados entre ellas, que se utilizan como referencia para cada una de las señales de corriente trifásica formadas en el inversor.

2.3.1.4 Comparación

Para la adecuada formación de una señal trifásica senoidal en el inversor, constante en amplitud y frecuencia, las tres ondas obtenidas en el inversor son comparadas con las señales senoidales de referencia para poder determinar si los IGBT deben conmutar su funcionamiento.

2.3.1.5 Control

Debido a que los IGBT del bloque inversor deben ser activados y desactivados en orden adecuado y sin fallos que puedan provocar un cortocircuito, este bloque define con ayuda del bloque comparador los lapsos de tiempo de funcionamiento de los 12 IGBT.

2.3.1.6 Transformación

Para realizar el control independiente de cada onda senoidal formada es necesario que la conexión de los IGBT que forman cada onda sean independientes de los otros IGBT, esto se logra con un puente inversor con 12 IGBT y tres transformadores.

Las tres ondas senoidales de salida del inversor entran al bobinado primario del transformador (de relación 1-1), el cual aísla la salida del inversor con la carga.

CAPÍTULO 3

PROCEDIMIENTO METODOLÓGICO

El procedimiento metodológico seguido para alcanzar los objetivos anteriormente mencionados fue el siguiente:

3.1 Etapa correspondiente al diseño del sistema

Para realizar un diseño adecuado que respondiera a los requerimientos de la empresa se conversó con un ingeniero de Aviónica el cual mencionó algunas recomendaciones en el diseño del sistema. Basados en estas recomendaciones se inició el proceso de análisis detallado del problema y la búsqueda de la solución adecuada, analizando no solo la recomendación dada en la formación de la señal senoidal de potencia, sino investigando otros medios empleados en la industria comercial, como lo son los variadores de frecuencia trifásicos y las UPS.

Analizando las posibles soluciones se desarrollaron simulaciones en software de diseño electrónico para determinar la validez, alcances y limitaciones tanto en potencia eléctrica como en recursos económicos de las diferentes opciones tomadas, logrando cambios significativos entre las primeras ideas formuladas, algunas de ellas presentando eficacia en la solución pero no eficiencia, seleccionando finalmente la propuesta presentada en este informe.

Con ideas claras de la solución a desarrollar se presentó la solución en forma general al departamento para discutir su viabilidad y limitantes económicas, discutido este punto se procedió a la adquisición de los componentes necesarios para implementar la solución diseñada.

3.2 Etapa de implementación de los controladores

Adquiridos algunos componentes electrónicos se procedió como primer paso al desarrollo de los circuitos de control del inversor trifásico, formado inicialmente por una etapa de formación de señales cuadradas de 400 Hz y otra etapa de desfase entre las señales cuadradas complementarias (desfasadas 180°) para asegurar la no conducción al mismo instante de dos IGBT de un mismo módulo; sin embargo, aún cuando esta última etapa se encontraba ya implementada se decidió eliminarla por cuanto se encontró un medio más fácil de realizar este retraso en el cambio de niveles de bajo a alto y viceversa en las señales de 400 Hz.

Realizado el circuito en su totalidad se procedió a determinar su validez, alcanzado adecuados valores de frecuencia, ciclo de trabajo, desfases y tiempos requeridos de sincronización; sin embargo este bloque tuvo que modificarse debido a dificultades presentadas en la sincronización entre estas señales cuadradas y las ondas senoidales de referencia.

3.3 Etapa de implementación de los comparadores

Realizado el bloque de control se procedió al desarrollo de los comparadores encargados de monitorear el voltaje de salida del inversor trifásico para que junto al bloque de control se lograra el control independiente de los módulos de IGBT presentes en el inversor.

Se realizaron pruebas del bloque en forma aislada para determinar el correcto funcionamiento del mismo para después unirlo al bloque de control y determinar la validez de ambos bloques por medio de pruebas, simulando eléctricamente las variaciones de salida del inversor trifásico por medio de una señal triangular y la señal senoidal de referencia con dos niveles constantes de voltaje.

Las pruebas realizadas demostraron el funcionamiento adecuado de ambos bloques, en tiempos y niveles de voltaje.

3.4 Etapa de implementación del rectificador

El inicio del rectificador trifásico se dio con la realización de un prototipo de rectificador trifásico de baja potencia utilizando diodos de baja corriente (1 amperio) y una señal trifásica de 400 Hz y $115 V_{RMS}$, tomada del power supply de baja potencia presente en el taller de Aviónica.

La señal trifásica de 60 Hz a rectificar fue suministrada por la compañía eléctrica, para lo cual se dispuso de un disyuntor termomagnético (breaker) de protección y cableado que garantizara el suministro de 20 amperios por fase, finalmente se realizó el montaje del rectificador con sus respectivos disipadores de calor y se realizaron las pruebas necesarias que garantizaran la correcta obtención de la señal de 6 pulsos.

3.5 Etapa de generación de ondas de referencia

Inicialmente este bloque se encontraba diseñado con unos generadores de señal diferentes a los utilizados, sin embargo se encontró que el mismo fabricante no recomendaba dichos dispositivos para nuevos diseños, por lo que se decidió adquirir otros generadores.

La generación de las ondas senoidales de referencia se realizó con gran dificultad debido a que el circuito presentado por el fabricante no producía los resultados esperados ni en forma ni en sincronía, por lo que se realizaron pequeñas variaciones que resultaron de gran importancia en la formación de las señales.

El principal problema presentado fue la sincronización entre las señales provenientes del bloque de control y las ondas senoidales formadas en el dispositivo generador, debido a la falta de información suministrada por el fabricante en donde se omitía la relación directa entre el filtro externo y la frecuencia de sincronía.

Debido a estos problemas se tuvo que realizar variaciones en el diseño del bloque de referencia y control para lograr la correcta sincronización entre las señales cuadradas que definen los periodos de funcionamiento de los IGBT y las ondas de referencia.

3.6 Etapa de implementación del inversor trifásico

El inicio de esta etapa estuvo conformado por el montaje de las tarjetas controladoras de puerta (gate driver), para lo cual se obtuvo los diferentes componentes necesarios recomendados por el fabricante y el circuito impreso diseñado por el mismo.

La implementación del inversor trifásico no se realizó en su totalidad, sino únicamente el inversor de una fase, conformado por dos módulos de IGBT (4 IGBT), con el cual se pudo obtener la señal senoidal aproximada en un transformador de baja potencia.

3.7 Etapa de pruebas

Las pruebas en la obtención de la onda senoidal y por tanto del funcionamiento del sistema de control en su totalidad se realizó con transformadores de baja potencia de relación 1/10; para ello el primario del transformador fue conectado a los módulos de IGBT, este a su vez al driver y a una fuente de poder de 15 voltios DC.

La presencia de un divisor de tensión en el secundario del transformador permitió realizar la comparación entre señales, lográndose obtener una señal senoidal con alto contenido de rizado, por lo que se realizaron pruebas con distintos filtros RC con los cuales se logró obtener en forma aproximada la señal senoidal, demostrándose el funcionamiento y la eficiencia del sistema

CAPÍTULO 4

DESCRIPCIÓN DEL HARDWARE UTILIZADO

Con el fin de lograr un mayor entendimiento del hardware utilizado en el desarrollo del sistema, se presenta el desglose del mismo acorde a los diferentes bloques existentes en el sistema.

4.1 Rectificación

El rectificador trifásico estuvo conformado por tres módulos de diodos de la serie MDD 95 de IXYS específicamente módulos MDD 95-12N1, cada uno de ellos conformado por dos diodos en una configuración de medio puente y una capacidad de 120 amperios y 1200 voltios, permitiendo la entrega de corriente necesaria al módulo inversor con un aislamiento de voltaje de 3600 voltios. El anexo 1 muestra las características de la serie de módulos MDD 95.

4.2 Controlador

Compuesto por componentes electrónicos digitales secuenciales y combinacionales de lógica TTL, que en conjunto lograron obtener tres ondas cuadradas de 400 Hz, desfasadas entre sí en 120°. La obtención de los 400 Hz de señal cuadrada se logró por medio de tres contadores 7493 en cascada, como divisores de una frecuencia de 1MHz, proveniente de un oscilador de salida TTL.

4.3 Comparador

El bloque comparador utilizó comparadores LM311 conectados entre sí, formando un sistema capaz de definir si la señal de salida del sistema se encontró en un rango de $115 \pm 5 V_{RMS}$, ya fuera para el semiciclo positivo de la señal senoidal ó para el negativo.

El LM311 está diseñado para operar en una amplitud mayor de voltajes de las alimentaciones estándar de amplificador operacional $\pm 15V$, descendiendo hasta la alimentación de 5 V. Tanto la entrada como la salida del LM311 pueden aislarse de la tierra del sistema, y la salida puede impulsar cargas referidas a tierra, alimentación positiva o negativa, estas características son alcanzadas con la aplicación de una señal de referencia o tierra en la terminal 1 del dispositivo, en tanto que en la terminal de salida se coloca la carga con uno de sus extremos al voltaje de operación deseado hasta los 40 voltios.

El comparador LM311, si bien no es el más rápido en su tipo (tiempo de respuesta de $200ns$), posee la ventaja de que es menos propenso a oscilaciones (ruido), que sus similares diseñados en un tiempo de respuesta menor. Para lograr un adecuado rendimiento del comparador, se debió seguir una serie de recomendaciones dadas por el fabricante para evitar oscilaciones cerca del punto de cruce, las mismas se enlistan en el anexo 2.

4.4 Referencia

La onda senoidal de referencia se logró a través de un generador de formas de onda de alta frecuencia y baja distorsión, MAX038 del fabricante MAXIM. Su frecuencia de salida puede ser controlada sobre un rango de 0.1 Hz a 20 MHz, a través de un voltaje de referencia interno de 2.5 voltios y un resistor y capacitor externo. El ciclo de trabajo puede ser variado sobre un ancho rango aplicando un control de señal por medio de un voltaje de $\pm 2.3V$.

Las formas de onda senoidales, triangulares y cuadradas pueden ser seleccionadas en la salida seleccionando un código apropiado mostrado en la tabla 4.1, a través de dos terminales de entrada (A0 y A1) compatible con TTL. La onda de salida para todas las formas de onda corresponde a una señal de $2V_{pp}$, simétrica con respecto a tierra.

Tabla 4.1 Selección de formas de onda

A0	A1	Forma de onda
X	1	Senoidal
0	0	Cuadrada
1	0	Triangular

El dispositivo posee la cualidad de ofrecer una terminal por medio del cual el oscilador interno se puede sincronizar con una señal de reloj TTL externa, permitiendo controlar la fase de la señal generada con respecto a una externa.

El MAX030 alimentado con voltajes de $\pm 5V \pm 5\%$, logró la oscilación a través de la carga y la descarga de un capacitor externo, logrando variaciones de frecuencia por medio de la siguiente relación:

$$F(\text{MHz}) = I_{IN}(\mu\text{A}) \div C_F(\text{pF})$$

$$F(\text{MHz}) = V_{IN} \div [R_{IN} \times C_F(\text{pF})]$$

En donde la corriente I_{IN} es referida como la corriente que fluye desde un voltaje de referencia interno de 2.5 V (V_{IN}), hacia la terminal I_{IN} del dispositivo a través de una resistencia externa R_{IN} . En tanto el capacitor C_F corresponde a un elemento externo colocado entre las terminales COSC y GND. La disposición de estos elementos y su relación con los elementos internos del generador se muestran en el anexo 3.

La selección de los resistores y capacitores externos debió seguir una serie de recomendaciones dadas por el fabricante, enlistadas en el anexo 4 pero mostradas aquí para una mayor comprensión.

El resistor R_{IN} debe ser de película de metal con 1% de tolerancia o mejor, en tanto que los capacitores deben ser seleccionados para un bajo coeficiente de temperatura, recomendándose capacitores de cerámica NPO. El voltaje en la terminal COSC es una señal triangular que varía entre 0V y $-1V$, a través del capacitor externo C_F , el cual se recomienda no sea polarizado, de serlo la terminal negativa debe ser conectada a COSC y la positiva a GND.

Se deben de conectar todas las terminales de tierra directamente a esta, en tanto que las terminales de alimentación $V+$ y $V-$ debieron ser conectadas a tierra con un capacitor de $1\mu F$ de cerámica o en su defecto un capacitor de $1\mu F$ de tantalio en paralelo con un capacitor de $1nF$ de cerámica (opción montada en el circuito realizado).

El ciclo de trabajo es controlado por medio de la terminal DADJ, la cual colocada a 0 voltios alcanza un ciclo de trabajo del 50%. El funcionamiento óptimo es logrado con corrientes I_{IN} entre $10\mu A$ y $400\mu A$, corrientes fuera de este rango no son recomendadas.

Dos amplificadores operacionales LM1458 (NTE778A) fueron colocados a la terminal de salida de los generadores. El LM1458 corresponde a un amplificador operacional dual de propósito general que comparten la alimentación de $\pm 15V$, pero cuya operación es totalmente independiente el uno del otro, los cuales poseen la característica de que no necesitan ser compensados en frecuencia lo que simplifica su montaje a diferencia del LM741.

4.5 Inversión

El puente de inversión fue realizado con módulos duales, cada módulo consistió de dos IGBT con un diodo en antiparalelo en una configuración de medio puente. Los IGBT poseen ventajas de los BJT y de los MOSFET, tienen una alta impedancia de entrada y son controlados por voltaje al igual que los MOSFET y bajas pérdidas de conducción en estado activo como los BJT. Los módulos utilizados correspondieron a los CM75DU-24H de POWEREX, con una capacidad de voltaje de 1200 voltios y 75 amperios.

La figura 4.1⁽⁶⁾ muestra la disposición de los elementos dentro del módulo dual, en donde se observan las terminales de control (gate y emitter), así como las terminales de salida (C1, E2 y C2E1); un resumen de las características del módulo se muestra en el anexo 6.

⁽⁶⁾ Se muestra la figura debido a que la proporcionada por el fabricante y mostrada en el anexo 6 es incorrecta. La figura corresponde a una modificación de la suministrada por POWEREX Inc. La misma se observa en el anexo 5, con otras consideraciones.

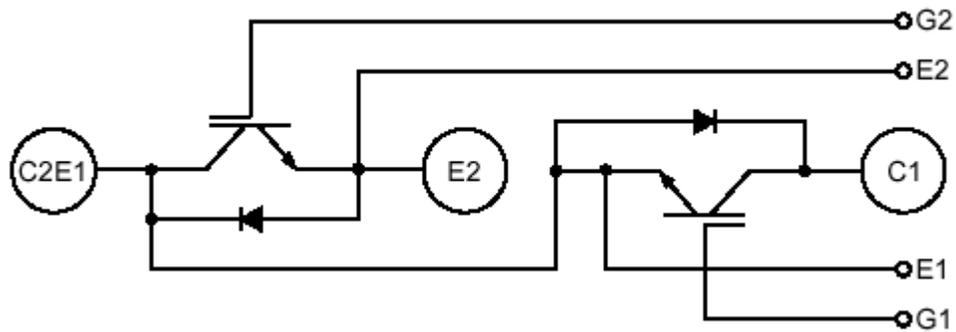


Figura 4.1 Modificación del CM75DU-24H

Con el fin de ofrecer una adecuada información y conocimiento de los módulos utilizados, se detallan las consideraciones de uso dadas por el fabricante (esta misma información se presenta en el anexo 7, con las hojas de datos en inglés suministradas por el fabricante):

- a. Nunca tocar las terminales de gate durante el ensamble y mantener la espuma conductiva en su lugar hasta que las conexiones permanentes sean realizadas a las terminales de gate y emisor. Siempre aterrizar las partes que sean colocadas en las terminales de gate durante la instalación. En general las precauciones estándar de ESD, aplicables a MOSFETs deben ser seguidas.
- b. Usar una estación de trabajo aterrizada, con pisos aterrizados y correa de pulsera aterrizada cuando se manipulan los dispositivos.
- c. Nunca instalar los dispositivos en sistemas conectados a potencia.
- d. Usar puntas de soldadura de hierro aterrizadas cuando se solden las terminales de gate.

El control de cada módulo se realizó a través de una tarjeta universal para módulos duales conocida como BG2B de POWEREX, mostrada en la figura 4.2; cada tarjeta estuvo formada por dos convertidores DC-DC M57145L-01, dos gate driver M57959L ambos de POWEREX y un conjunto de componentes que permitieron el adecuado funcionamiento de la tarjeta y por tanto del módulo de IGBTs. El anexo 8 muestra un resumen de las características ofrecidas por la tarjeta, así como sus partes constitutivas.



Figura 4.2 Tarjeta gate driver ensamblada para el control de IGBT

Cada módulo dual poseyó salidas a los emisores y a los gate, para permitir el control de los mismos a través de las tarjetas gate driver. Aún cuando los componentes de la tarjeta BG2B los propuso el fabricante, se escogió entre los propuestos el gate driver M57959L con detector de desaturación contra corto circuito, cuyas características se mostraron en el anexo 9; a partir de este gate driver se pudo escoger la resistencia R_G a utilizar por medio de la relación dada por el fabricante:

$$R_{G(MIN)} = (V_{CC} + V_{EE})/I_{OP}$$

En donde V_{CC} y V_{EE} correspondieron a voltajes de alimentación del driver M57959L, en tanto la corriente I_{OP} correspondió a la corriente de salida, datos mostrados en el anexo 10 en donde además se presenta la recomendación realizada por el fabricante para la utilización de estos driver con módulos IGBT de la serie H, para tensiones de 600V y corrientes de 150 A.

Aún con la relación para la obtención del valor mínimo de resistencia de gate, el fabricante recomienda que se encuentre entre 4.2Ω y 42Ω (mínimo y máximo) para el módulo CM75DU-24H, escogiendo una resistencia de 22Ω . El anexo 11 mostró el circuito modificado dado por el fabricante, tal y como se realizó, tomando las consideraciones de la ausencia de los capacitores 3 y 7 opcionales y utilizados para ajustar el tiempo de la protección de corto circuito en el M57959L.

Otras modificaciones realizadas correspondieron al uso de diodos de silicio UF4004 en lugar de los MUR1100E recomendados por el fabricante, la diferencia entre ambos correspondió al voltaje V_{RRM} , en el primer caso de 400 voltios y en el segundo caso a 1000 voltios, la escogencia se realizó con la consideración de que este voltaje debió ser mayor al V_{CE} , que en este caso fue menor a los 300 V. A su vez el optoacoplador NEC PS2501 fue sustituido por el ISP817-3.

4.6 Circuitos de protección

Sin formar parte concreta del proyecto sino como una opción solicitada por parte de la empresa se diseñaron dos circuitos de protección, uno para frecuencia y otro para voltaje, de tal forma que al salir estos dos parámetros de los rangos establecidos por la empresa se pueda producir el apagado del sistema de potencia para asegurar las distintas cargas conectadas al sistema. Se presenta la descripción de los componentes relevantes que los componen según el circuito, divididos en tres partes: protección contra variaciones de frecuencia, contra variaciones de voltaje y el circuito de deshabilitación del circuito de potencia.

4.6.1 Frecuencia

El componente de mayor relevancia lo constituyó un convertidor de frecuencia a voltaje LM2907N-8 de National Semiconductors (anexo 13), diseñado para utilizar un mínimo de elementos externos y una gran versatilidad. Este convertidor posee dos etapas internas, la primera corresponde a un amplificador diferencial manejando un flip-flop a su salida, una de las entradas del amplificador está directamente conectada a la tierra interna del circuito y posee una terminal exterior para la conexión de la tierra del circuito. La otra terminal del amplificador corresponde a la señal de entrada, la misma debe ser conectada a una resistencia para limitar la corriente que fluirá en el amplificador. La segunda etapa corresponde a una “bomba de carga” donde la frecuencia es convertida a un voltaje DC, para hacer esto se requiere un capacitor de tiempo, un resistor externo y un integrador ó filtro capacitivo.

Cuando la etapa de entrada cambia de estado, el capacitor de tiempo es cargado o descargado linealmente entre dos voltajes diferenciados en $V_{CC}/2$. Así en un medio ciclo de la frecuencia de entrada o un tiempo igual a $1/f_{IN}$ el cambio en la carga del capacitor es igual a $V_{CC}/2 \times C_1$. La cantidad de corriente desde ó hacia el capacitor es:

$$i_C = C_1 \times \frac{V_{CC}}{2} \times 2f_{IN} = V_{CC} \times f_{IN} \times C_1$$

La salida de esta etapa posee un espejo de corriente en la resistencia de carga R_1 conectada a tierra, de forma tal que si los pulsos de corriente son integrados con un capacitor, entonces $V_O = i_C \times R_1$, y la ecuación de conversión total es:

$$V_O = V_{CC} \times f_{IN} \times C_1 \times R_1$$

El tamaño de C_2 es dependiente únicamente de la cantidad de voltaje de rizado y el tiempo de respuesta; respecto a la escogencia de R_1 y C_1 se debieron tomar en cuenta ciertas limitaciones para lograr un óptimo funcionamiento. El capacitor de tiempo provee compensación interna para la “bomba de carga” y debe ser mayor que 500 pF para una operación precisa. Valores pequeños pueden causar un error de corriente en R_1 , especialmente a bajas temperaturas. Respecto al valor de R_1 se tiene que la corriente de salida es internamente definida de tal forma que la relación V_O/R_1 debe ser menor o igual a este valor. Si R_1 es muy grande, se puede presentar una corriente muy pequeña. También el rizado en el voltaje de salida debe ser considerado, afectado por el valor de C_2 y R_1 , una expresión que describe el contenido de rizado en la terminal 3 para una única combinación de R_1C_2 es la siguiente:

$$V_{\text{rizado}} = \frac{V_{CC}}{2} \times \frac{C_1}{C_2} \times \left(1 - \frac{V_{CC} \times f_{IN} \times C_1}{I_2} \right)_{pp}$$

Donde se observa que el valor de R_1 es independiente del voltaje de rizado, sin embargo la respuesta de tiempo o el tiempo que toma V_O para estabilizarse en un nuevo voltaje incrementa cuando el valor de C_2 aumenta, existiendo un compromiso entre rizado, tiempo de respuesta y linealidad.

Una consideración final define la máxima frecuencia de entrada, en términos de los valores de C_1 y I_2 , por medio de la siguiente relación:

$$f_{MAX} = \frac{I_2}{C_1 \times V_{CC}}$$

Otro elemento utilizado en el diseño de este circuito, correspondió a un amplificador operacional de propósito general LM301 (anexo 15), que presenta un rendimiento mejorado respecto a estándares industriales. Este amplificador ofrece características que hacen que su aplicación sea casi a prueba de equivocaciones: protección contra sobrecarga en la entrada y salida, libertad de oscilaciones y compensación con un capacitor de 30 pF. Posee ventajas sobre los amplificadores compensados intencionalmente, en que la compensación de frecuencia puede ajustarse a la medida de una aplicación particular.

4.6.2 Voltaje

El circuito de protección contra variaciones de voltaje tuvo como componente principal un elemento de muestreo y retención (Sample and Hold), en este caso en particular un HA3-5330-5 de Intersil, cuyas principales características son mostradas en el anexo 14.

Este dispositivo es un amplificador de rápido muestreo (650 ns), diseñado principalmente para trabajar con convertidores analógico-digital, una de sus principales características lo constituye la presencia de un capacitor interno de muy bajo valor (90pF) para almacenar el voltaje muestreado; la señal de muestreo es lograda a través de la terminal 8 (\bar{S}/H), en donde por medio de un pulso negativo de 650 ns o mayor se logra cargar el capacitor de 90 pF al valor de tensión de entrada; un valor positivo en la terminal de habilitación permite mantener la señal muestreada en la terminal de salida.

Este dispositivo es sensible a la carga electrostática, por lo que se deben de tomar las medidas necesarias para este tipo de dispositivos.

4.6.3 Habilitación

En su configuración se utilizaron tres multivibradores monoestables: LM555, SN74121 y el SN74123 redispensible. Los periodos de tiempo en que sus salidas permanecen en el estado no estable son definidos por los componentes externos colocados a ellos, como se muestra en la tabla 4.2.

Tabla 4.2 Ancho de pulso de salida de multivibradores

Multivibrador	Tiempo de salida
LM555	$1.1R_A C$
SN74121	$0.7R_T C_{ext}$
SN74LS123	$0.45R_T C_{ext}$

CAPÍTULO 5

ANÁLISIS Y RESULTADOS

5.1 Explicación del diseño

El diseño en conjunto estuvo conformado por tres módulos funcionales, uno para cada señal senoidal, sin embargo cada módulo estuvo constituido por una serie de bloques, algunos de ellos independientes del módulo y otros relacionados para los tres módulos. De esta forma los bloques de comparación, control, referencia y transformación fueron independientes de cada señal senoidal, significando esto que se encontraron tres bloques de control, referencia y comparación y tres transformadores. A diferencia otros dos bloques (rectificación e inversión) fueron compartidos por los tres módulos; de esta forma el rectificador trifásico suplió la energía necesaria para la formación de las tres señales y el puente inversor permitió la formación de las tres señales.

La explicación del diseño se realiza por bloques para lograr una adecuada comprensión y desarrollo del sistema en conjunto.

5.1.1 Rectificación

La rectificación se logró por medio de un puente rectificador trifásico de onda completa el cual generó componentes ondulatorias de seis pulsos en el voltaje de salida. La figura 5.1 muestra la disposición de los diodos y la conexión de los módulos entre sí para lograr la rectificación de onda completa. Los diodos están numerados en orden de secuencia de conducción (1-2, 2-3, 3-4, 4-5, 5-6, 6-1), cada uno de los cuales condujo durante 120° .

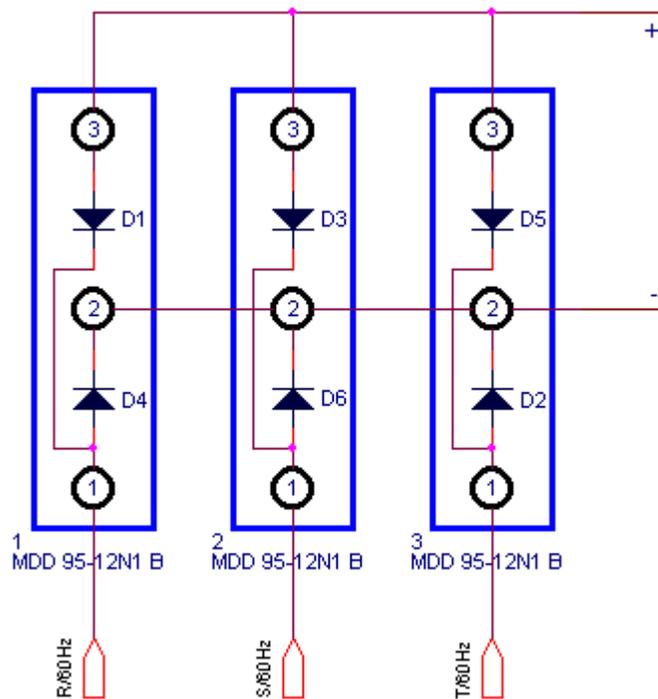


Figura 5.1 Rectificador trifásico de onda completa

El par de diodos conectados entre el par de líneas de alimentación que tuvieron la diferencia de potencial instantáneo más alto de línea a línea son los que condujeron. La ausencia de un capacitor de filtrado se debió a que el voltaje obtenido en el rectificador ($\approx 280 \text{ V}$) es mayor que el voltaje necesario para obtener los $115 \text{ V}_{\text{RMS}}$.

La figura 5.2 muestra la rectificación obtenida, en donde se observó que los mínimos no correspondieron a cero voltios, sino al voltaje presente en la intersección entre dos voltajes de línea RS, ST, TR, SR, TS ó RT, obteniéndose a la salida una señal de seis pulsos (máximos de los voltajes de línea) por periodo de señal.

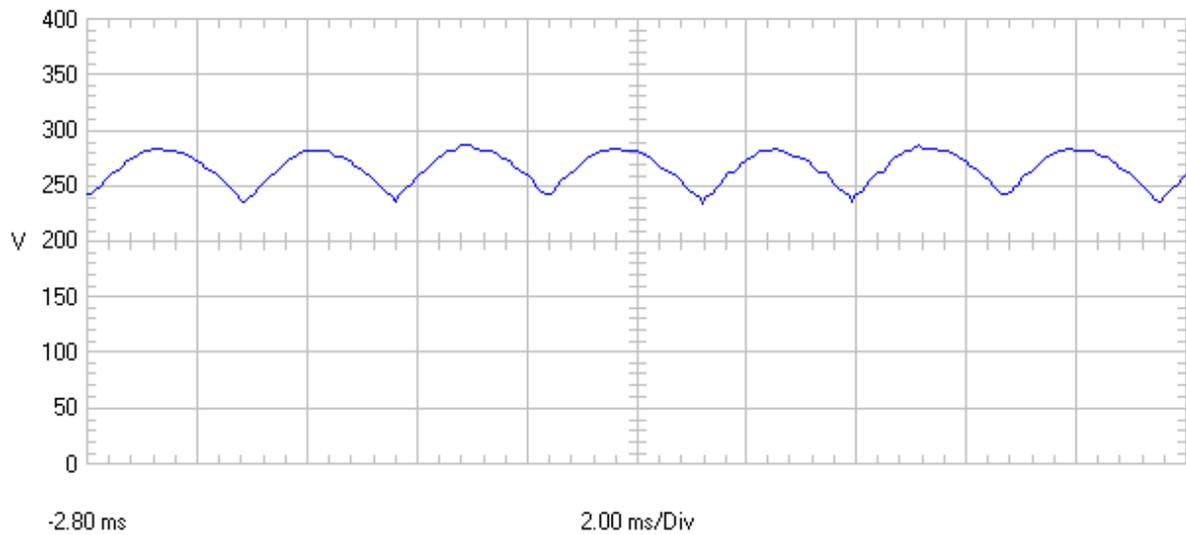


Figura 5.2 Señal de salida del rectificador sin filtro

Sin pertenecer específicamente al módulo de rectificación del sistema, se encontró un sistema rectificador secundario utilizado para suministrar los voltajes de operación de los sistemas de control, los cuales utilizaron voltajes de alimentación de $\pm 5V$ y $\pm 15V$ DC.

El sistema de rectificación mostrado en la figura 5.3 estuvo conformado por cuatro transformadores de 120V/5V-10V, dos de ellos para suministrar la tensión negativa y los otros dos para suministrar la tensión positiva. El uso de cuatro transformadores en vez de uno solo con derivación central, se debió a la presencia en el taller de aviónica de los primeros, la alimentación de los mismos (110 V) se toma de una de las líneas de entrada del rectificador trifásico.

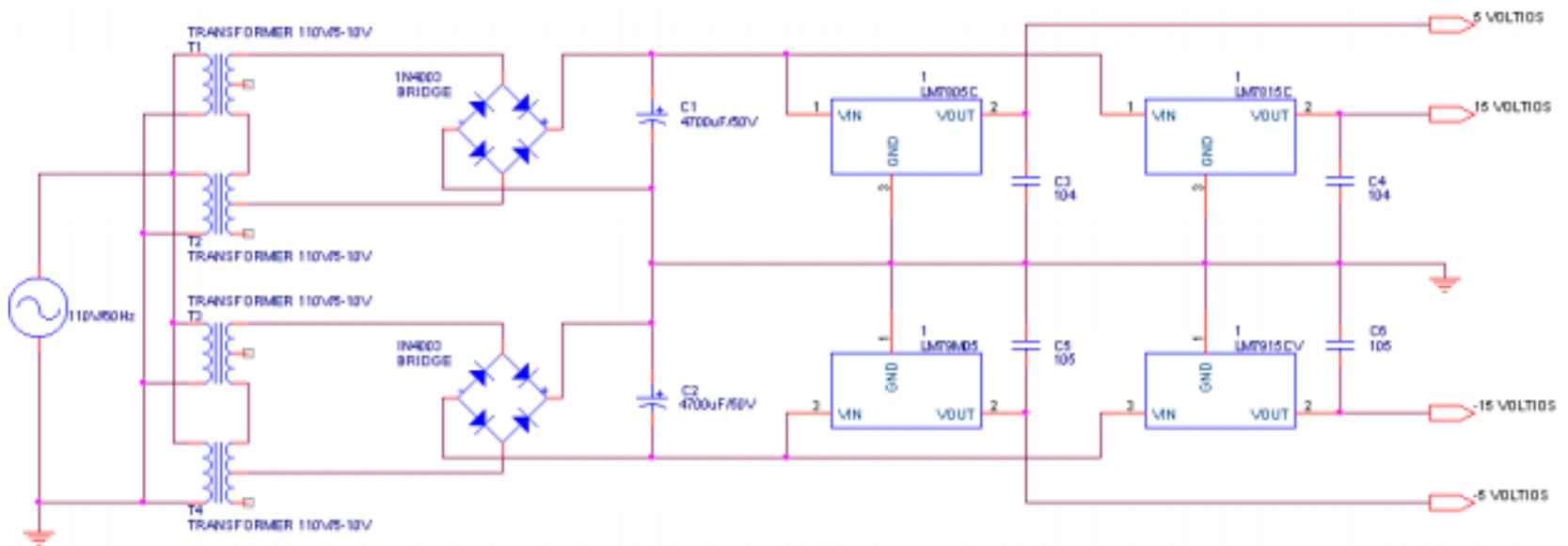


Figura 5.3 Diagrama eléctrico del rectificador secundario

La rectificación de las señales de $15 V_{RMS}$, obtenidas en cada par de transformadores se logró con un puente rectificador realizado con diodos de silicio de propósito general 1N4003, garantizando el suministro correcto de $\pm 5V$ y $\pm 15V$, por medio de reguladores de voltaje 7805, 7905, 7815 y 7915. A su vez se utilizaron capacitores de alto valor ($4700\mu F/50V$) con el fin de filtrar la señal rectificada y atenuar el ruido eléctrico que se produjo externamente por medio de aparatos eléctricos que se encontraron en el taller de aviónica.

5.1.2 Control

En conjunto este módulo estuvo conformado por tres bloques de control, uno para cada señal senoidal. La figura 5.4 muestra el bloque controlador de la primera señal senoidal. Debido a la similitud entre los tres controladores se entra en detalle únicamente en el primer controlador, mencionando solamente las partes relevantes del segundo y tercer controlador (figuras 5.6 y 5.8).

La lógica utilizada para obtener 400 Hz a partir de 1 MHz, proporcionados por un oscilador de salida TTL, se basó en tres contadores 7493 en cascada, utilizados en este caso como divisores de frecuencia.

Para el correcto inicio de los contadores en cero, así como de todos los demás componentes que intervinieron en la correcta formación de la señal de control de los IGBT y de la formación de las señales senoidales de referencia; se dispuso de un temporizador 555, presentando una conexión de disparo de 5 voltios por unos cuantos milisegundos cuando la señal de voltaje llegó a todos los componentes del sistema total (encendido del sistema). Esta señal proporcionada por el temporizador 555, dio una señal de clear a los contadores y a los flip flops JK 7476, en este último caso a través de un inversor debido a que la señal de clear en los flip flops fue activa en bajo y la señal de clear en los contadores fue activa en alto a través de R02.

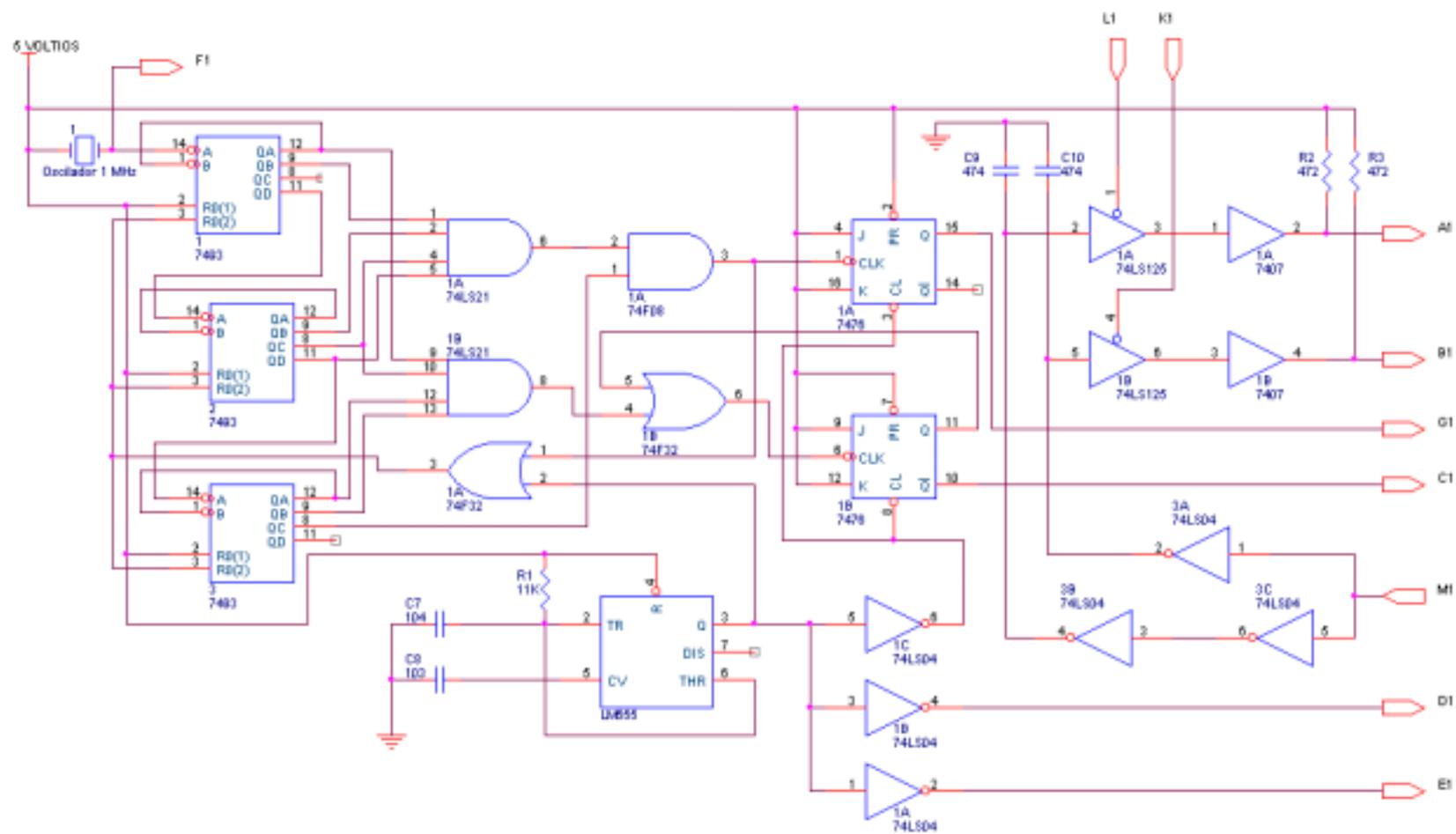


Figura 5.4 Diagrama eléctrico del primer controlador

El temporizador 555 presentó en su salida otros dos inversores, estos permitieron que las salidas de los flip flops JK 7476 de los otros dos controladores tornaran a nivel bajo con esta señal en el mismo instante en que lo hicieron los flip flops del primer controlador. La presencia de tres inversores en vez de uno solo que proporcionara la señal de clear a todos los flip flops, se presentó por razones de carga de los inversores con respecto a las entradas de los flip flops.

La obtención de los 400 Hz de onda cuadrada se realizó por medio de una lógica combinacional a la salida de los contadores, formada con una compuerta AND 74LS21 y una AND 74F08, de tal forma que al presentarse el número decimal 1250 (10011100010 binario) correspondiente a medio periodo de una señal de 400 Hz, se envió un pulso a través de la compuerta OR 74F32 que permitió que los contadores volvieran a cero y comenzaran de nuevo su conteo, hasta llegar de nuevo a 1250 μ s.

La señal presentada a intervalos de tiempo de 1250 μ s se obtuvo por medio de la señal de reloj de 1MHz con lo que se aseguró que cada variación en la salida del contador correspondió a 1 μ s, llegando a 1250 μ s cuando los tres contadores en cascada llegaron al número decimal 1250.

La señal de clear en los contadores en periodos de tiempo de 1250 μ s se realizó a través de la compuerta 74F32, la cual permitió a su vez el pulso inicial del temporizador 555; así la señal de clear de los contadores provino tanto del temporizador como de la lógica combinacional asociada (1250 μ s), a través de la compuerta OR 74F32.

Esta señal de salida a intervalos de 1250 μ s en la lógica combinacional se utilizó como señal de reloj en un flip flop JK, en modo de toggle. Así con cada pulso de reloj de 1250 μ s, las salidas del flip flop cambiaron su estado en forma alterna, formando así la señal de 400 Hz cuadrada, utilizada en los bloques de referencia.

Las tarjetas BG2B fueron activas en bajo, por lo que se debió de proporcionar una señal de 0 voltios para que estas entraran en funcionamiento. Con la presencia de 12 IGBT se aseguró el control independiente de cada señal senoidal en donde la formación de cada señal se realizó a través de la conmutación de 4 IGBT, 2 en los primeros 1250 μ s formando el semiciclo positivo y otros 2 en los siguientes 1250 μ s formando el semiciclo negativo, obteniéndose los 2500 μ s y por tanto 400 Hz de señal. Esta conmutación en el funcionamiento de los IGBT se logró con señales provenientes del bloque de referencia y utilizadas en este bloque como entrada a los buffer de tercer estado a través de una combinación de compuertas NOT; en donde para 1250 μ s una de sus salidas permaneció en alto y la otra en bajo, implicando dos IGBT apagados y los otros 2 IGBT en funcionamiento. Para el siguiente periodo de 1250 μ s, se dio un cambio en las entradas de los buffer, tornando a bajo la que se encontraba en alto, y a alto la que se encontraba en bajo, permitiendo una conmutación en los IGBT hasta otros 1250 μ s.

Las señales de habilitación de los buffer de tercer estado provinieron de los bloques de comparación, así cuando dos IGBT se encontraron en funcionamiento (entrada de buffer en bajo), se logró que estos fueran apagados sin que los otros dos IGBT entraran en funcionamiento. Al interrumpir su funcionamiento el voltaje en el transformador bajó en forma exponencial y recibió de nuevo energía eléctrica según fuera establecido en el módulo de comparación. La etapa final del bloque de control lo constituyeron dos buffer de colector abierto no inversores 7407, las salidas de los mismos correspondieron a la entrada de la tarjeta driver.

La señal senoidal fue formada con 4 IGBT en una configuración de puente inversor con 12 IGBT, así dos IGBT de un mismo módulo no debieron conducir al mismo tiempo por pequeño que este fuera, debido a que se produciría un cortocircuito.

El bloque controlador fue el responsable de evitar un cortocircuito por medio de un desfase de unos cuantos microsegundos en la conmutación de las entradas de los buffer de tercer estado, presentándose un retardo en la conmutación de los IGBT. Este retardo se logró con la presencia de dos capacitores de 470 nF en las salidas de la lógica de compuertas NOT, produciéndose un retardo de unos microsegundos en el cambio de nivel de las salidas; este intervalo de tiempo aseguró que en un periodo de tiempo pequeño las dos señales se encontraron en alto y por tanto los cuatro IGBT se encontraron apagados, de forma tal que al ser apagados dos IGBT los otros dos complementarios entraron en funcionamiento después de aproximadamente $20 \text{ }\mu\text{s}$, tiempo suficiente que aseguró que los dos anteriores IGBT salieron de operación, siendo que el tiempo que tardaron estos en conmutar de estado *on* a *off* estuvo definido por el fabricante en 250 nanosegundos.

La compuerta NOT 74LS04 se utilizó para invertir la señal cuadrada proveniente del bloque de referencia, en tanto los dos inversores 74LS04 en cascada se utilizaron para mantener la señal tal como provenía del bloque de referencia, permitiendo la formación de dos señales cuadradas de 400 Hz desfasadas 180° . De no existir esta lógica en cascada o de sustituirla por un buffer no inversor de colector abierto no se daría el correcto desfase entre el cambio de señales debido a que la carga y descarga del condensador asociado se vería afectada debido a las diferencias existentes entre la configuración de colector abierto y la de tótem pole. Más aún la utilización de compuertas NOT 7404 produjeron un resultado contrario, manteniéndose las dos señales cuadradas en bajo durante unos microsegundos lo que produciría un cortocircuito.

La señal obtenida para las salidas del primer controlador se muestra en la figura 5.5, en donde se observó que en un intervalo de tiempo ambas salidas de los buffer se encontraron en alto.

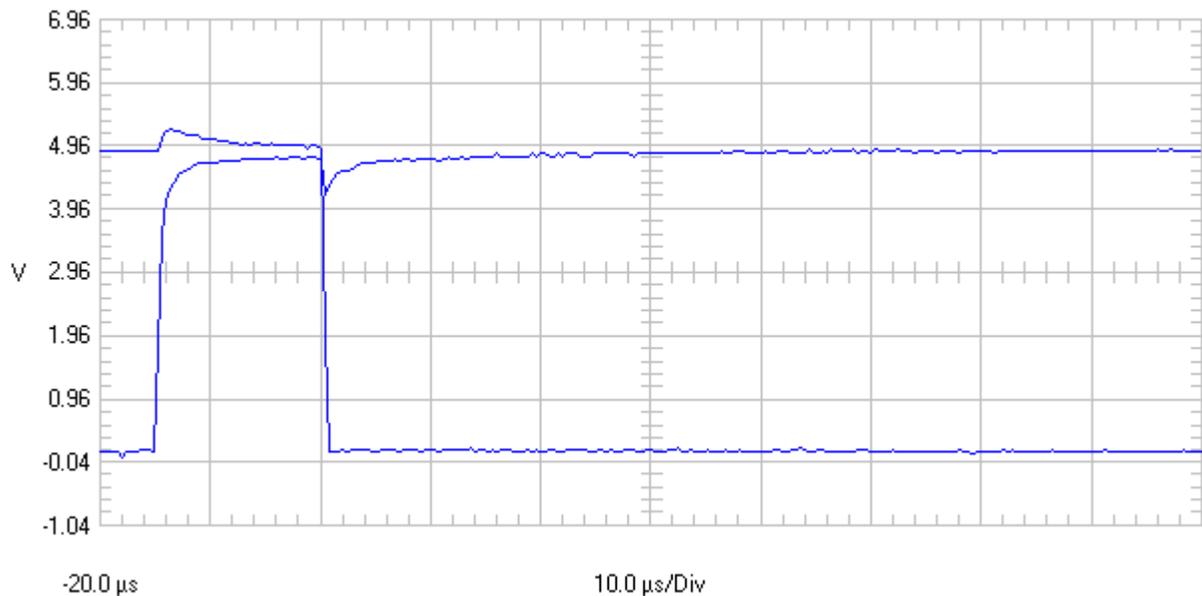


Figura 5.5 Salidas del primer controlador

Se contó además con una compuerta 74LS21 adicional de cuatro entradas, utilizada para producir un pulso TTL cuando los tres contadores llegaron al número de 833, correspondiendo en tiempo al mismo número en microsegundos y en grados a 120. La señal producida a través de esta lógica correspondió a un tren de pulsos, en donde el de importancia fue el primer pulso y en los primeros 833 μs después de que el sistema entró en funcionamiento. Este primer pulso entró como señal de reloj a un segundo flip flop JK en modo de toggle, de forma tal que permitió que su salida Q pasara de bajo a alto, debido a que anteriormente tornó a nivel bajo con la señal de clear inicial proveniente del temporizador 555.

Al tornar la salida no negada (Q) de nivel bajo a alto, se realimentó a través de una compuerta OR 74F32, asegurando que sin importar que se produjeran otros pulsos en la salida de la compuerta AND 74LS21 las salidas del flip flop no modificarían su estado.

La salida negada (\overline{Q}), utilizada para sincronizar los controladores 1 y 2 pasó de alto a bajo, lo que permitió que el segundo controlador entrara en operación 833 μ s (120 grados) después de entrar en funcionamiento el primer controlador, formándose el desfase requerido entre señales.

El segundo controlador mostrado en la figura 5.6 poseyó la misma lógica de diseño que el controlador anterior; se observó que la entrada de reloj del primer contador 7493 provino del oscilador de 1MHz. A diferencia del primer controlador, este no tuvo un temporizador 555 explícitamente en su diseño, sino que la señal de clear de los flip flops 7476 provino de la salida negada de un inversor, como se mencionó anteriormente.

La señal de activación de los contadores provino a través de una compuerta OR 74F32, en donde una de sus entradas correspondió a la señal proveniente del segundo flip flop del primer controlador, que se produjo 833 μ s (120°) después de que el primer controlador entró en funcionamiento. Esta señal se mantuvo en alto en los primeros 120°, para luego tornar a bajo, permitiendo el funcionamiento de los tres contadores. La otra entrada de esta compuerta se utilizó de igual forma que el primer controlador, brindando un medio, junto con la lógica combinacional formada por las compuertas AND 74LS21 y 74F08, para que los contadores tornaran a cero cada 1250 μ s. El segundo flip flop utilizado con el mismo objetivo del segundo flip flop del controlador anterior, brindó una señal de sincronización para el tercer controlador.

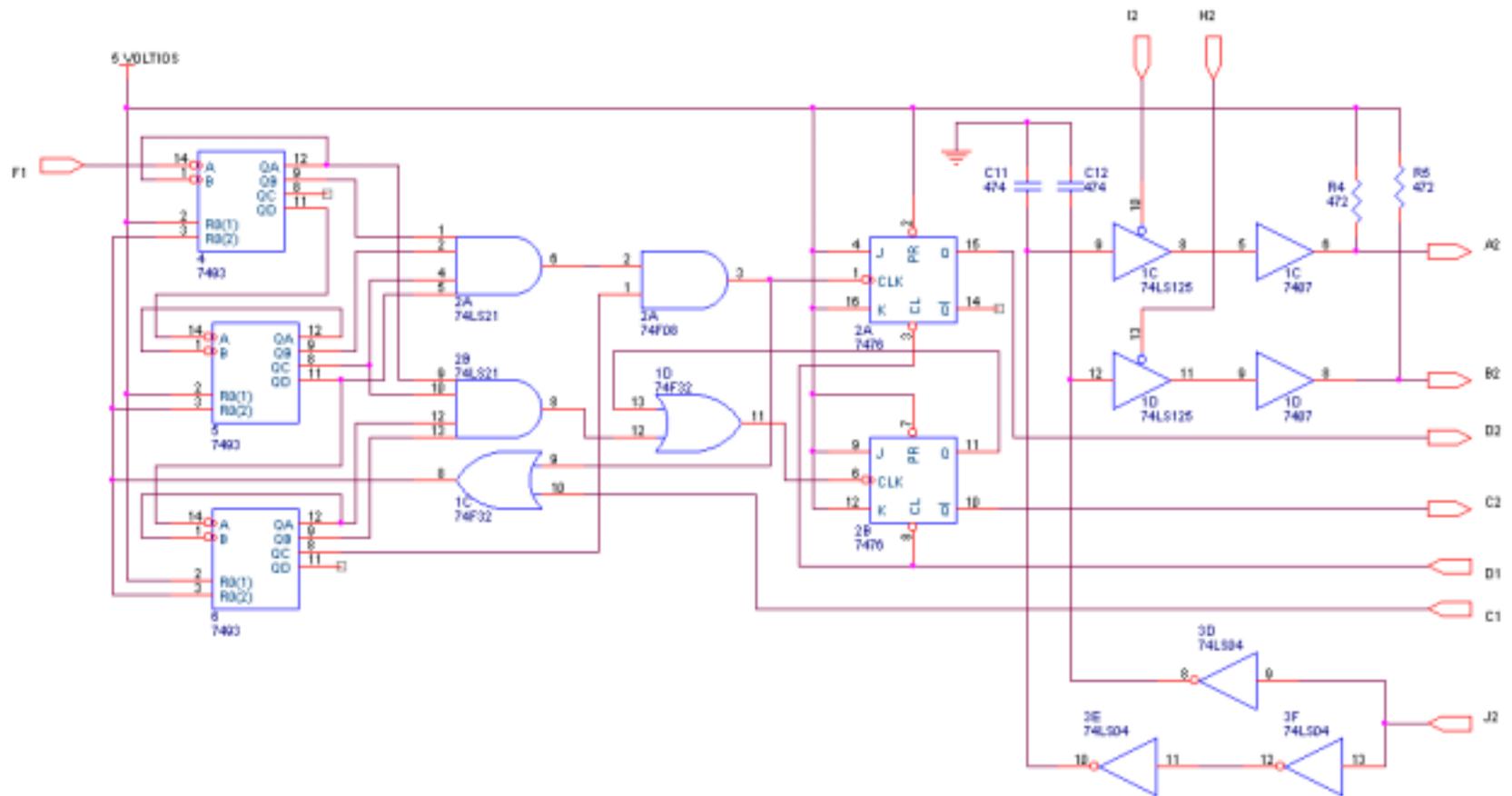


Figura 5.6 Diagrama eléctrico del segundo controlador

La figura 5.7 muestra las señales obtenidas en la salida del segundo controlador, en donde se observó la presencia de un intervalo de tiempo de aproximadamente 20 μs en los cuales ambas señales permanecieron en alto, lo que permitió un retraso entre la desactivación y puesta en funcionamiento de los pares de IGBT que formaron la segunda señal senoidal.

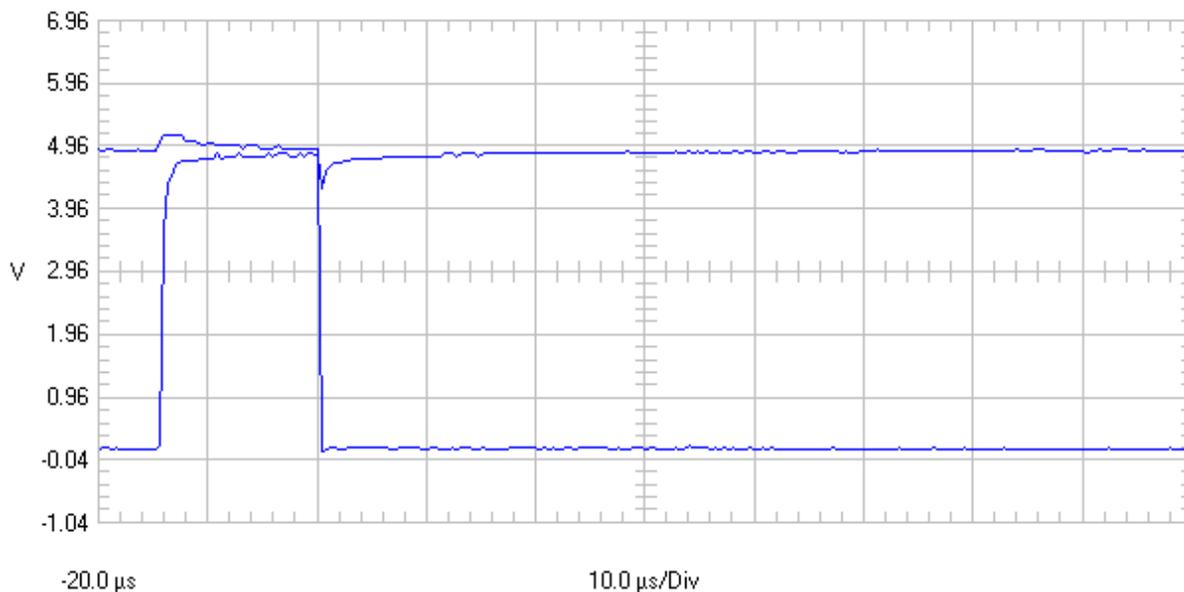


Figura 5.7 Salidas del segundo controlador

El tercer controlador, mostrado en la figura 5.8, trabajó con los mismos principios de los controladores anteriores, siendo que este entró en funcionamiento 833 μs (120°) después del segundo controlador y por tanto 1666 μs (240°) después del primer controlador. La operación de este controlador se realizó a través de la señal proveniente del flip flop del segundo controlador. A diferencia del primer y segundo controlador, este no presentó un segundo flip flop ni la lógica combinacional asociada a este debido a la inexistencia de un cuarto circuito que necesitara ser sincronizado en la función completa del sistema.

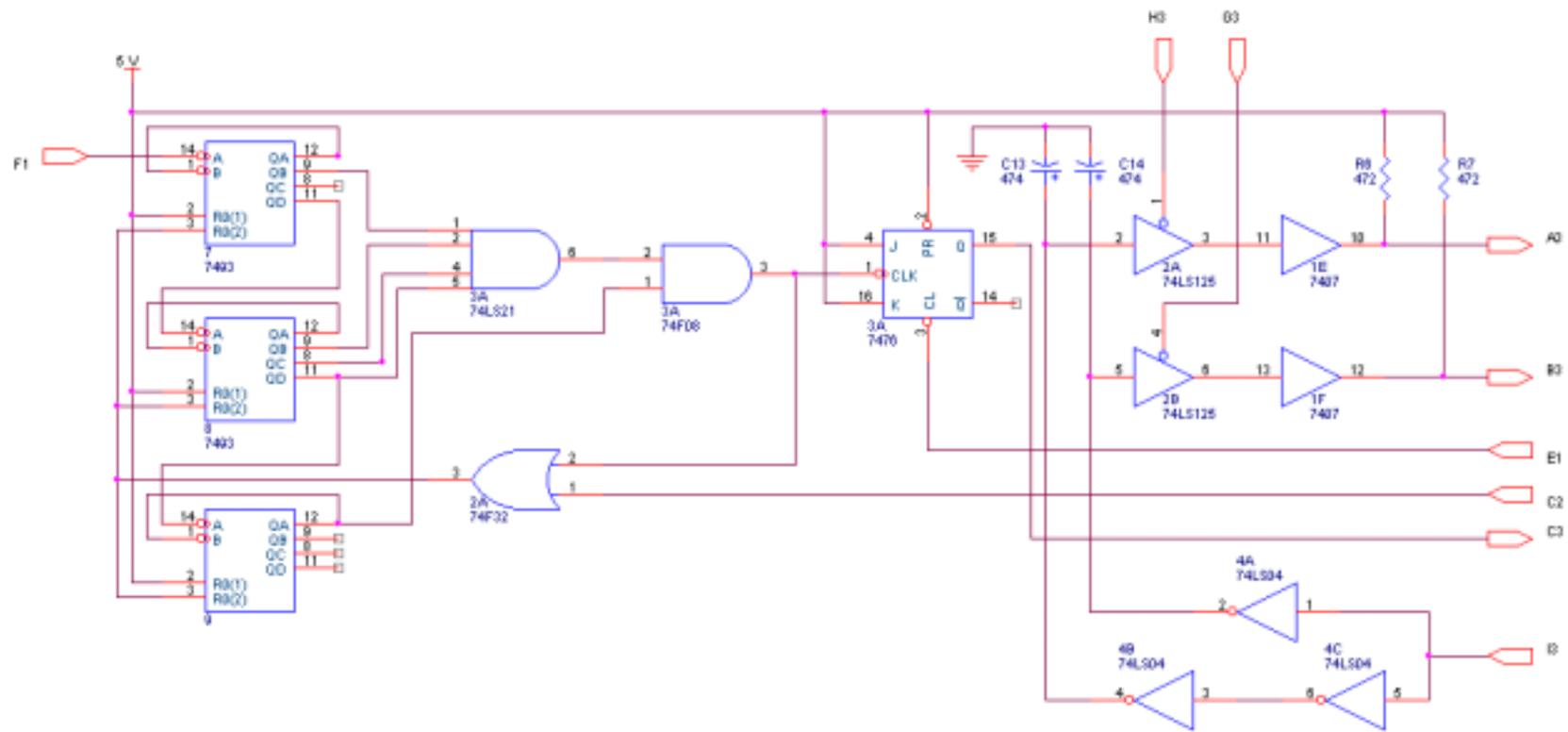


Figura 5.8 Diagrama eléctrico del tercer controlador

La figura 5.9 muestra las señales de salida de este controlador en donde se tuvo, al igual que los anteriores controladores, un intervalo de tiempo de aproximadamente $20 \mu\text{s}$ en que ambas señales se encontraron en alto.

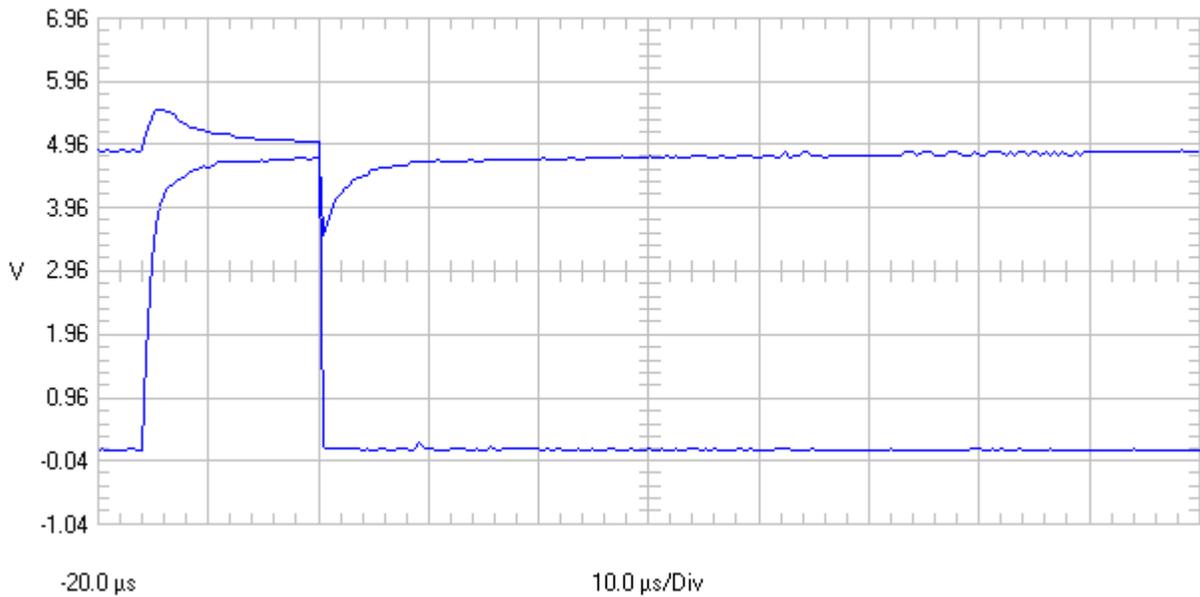


Figura 5.9 Salidas del tercer controlador

La figura 5.10 muestra las salidas de los tres controladores, utilizadas para sincronizar las señales senoidales en el bloque de referencia, en dicha figura se observa el desfase de 120° entre cada señal. Las mismas figuras permitieron confirmar la frecuencia de 400 Hz a un voltaje de 5 voltios y un ciclo de trabajo del 50% para cada una de las señales de salida, sin embargo este aspecto de ciclo de trabajo y frecuencia se muestra en forma explícita en la figura 5.11, que mostró estas mediciones a través del osciloscopio utilizado, la misma mostró un ciclo de trabajo positivo del 50.7% y una frecuencia de 399.9 Hz para el primer controlador.

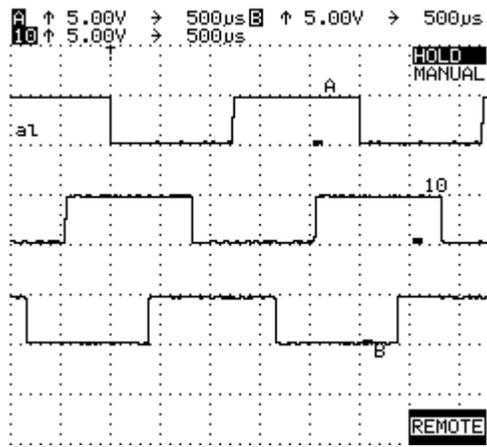


Figura 5.10 Salidas de los controladores

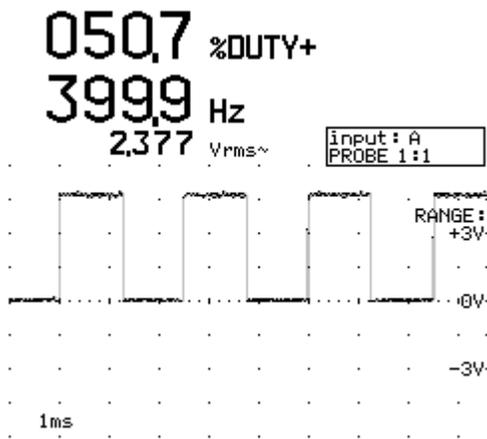


Figura 5.11 Parámetros de salida del primer controlador

5.1.3 Referencia

El módulo de referencia estuvo conformado por tres bloques, realizado cada uno por un generador de forma de onda, dos amplificadores operacionales y un detector de cruce por cero. La figura 5.12 muestra el primer bloque de referencia, asociado con el primer bloque de control. La configuración del generador de onda es tal que permitió la formación de una señal senoidal en su salida, seleccionada por medio de las terminales A0 y A1, además esta configuración permitió la sincronización de la señal senoidal con la señal de 400 Hz cuadrada formada en el bloque de control en la salida Q del primer flip flop. El circuito realizado correspondió con algunas modificaciones al aportado por el fabricante y mostrado en el anexo 12.

El capacitor C_{21} de $220\eta\text{F}$, se utilizó junto la resistencia R_{14} de $30.1\text{ K}\Omega$ de película de metal en serie con la resistencia variable de $10\text{ K}\Omega$, para la selección de la frecuencia de 400 Hz, según la relación mostrada en el apéndice 1. La utilización de otros componentes respondió a especificaciones del fabricante como se mencionó en el capítulo 4.

La señal senoidal formada se utilizó como entrada para dos amplificadores operacionales no inversores con diferente ganancia, formando a sus salidas dos señales senoidales en fase con diferente amplitud, logrando juntamente la presencia de una ventana de referencia utilizada en la comparación de la señal senoidal formada en el inversor.

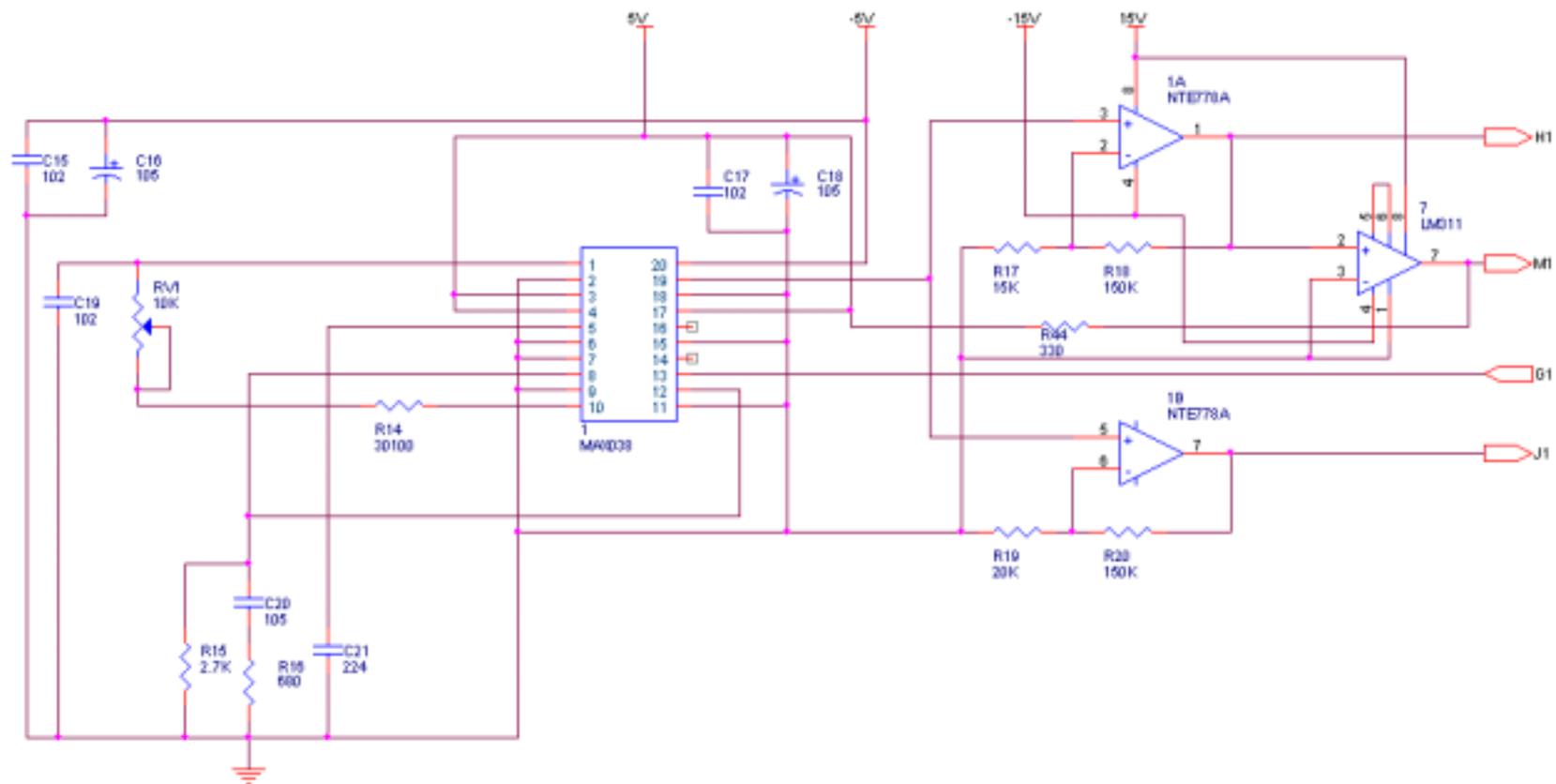


Figura 5.12 Diagrama eléctrico del primer bloque de referencia

La figura 5.13 muestra el delta de referencia obtenido en el bloque de referencia.

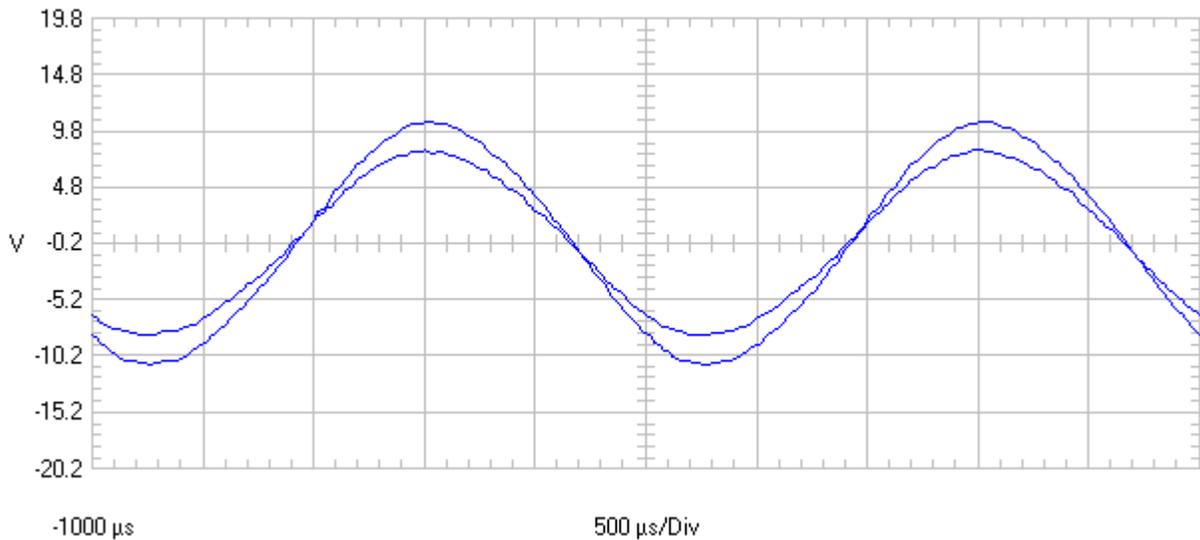


Figura 5.13 Delta senoidal de referencia

La salida del amplificador de mayor ganancia se utilizó como entrada para un detector de cruce por cero, formando una señal cuadrada de la misma frecuencia y ciclo de trabajo que la señal senoidal correspondiente; esta señal se formó por medio de la conmutación entre 5 V y 0 V en la salida del comparador LM311 debido a la diferencia de voltaje existente entre la terminal de entrada positiva y la negativa (conectada a tierra), así cuando la señal senoidal pasó del semiciclo negativo al positivo la salida del comparador tornó a 5 voltios, en tanto para el cambio del semiciclo positivo al negativo la salida del comparador tornó a 0 voltios; esta señal cuadrada es utilizada como entrada al bloque de control para conmutar los IGBT cada 1250 μ s.

La figura 5.14 muestra la señal senoidal formada en el amplificador de mayor ganancia junto con la señal cuadrada formada a la salida del detector de cruce por cero.

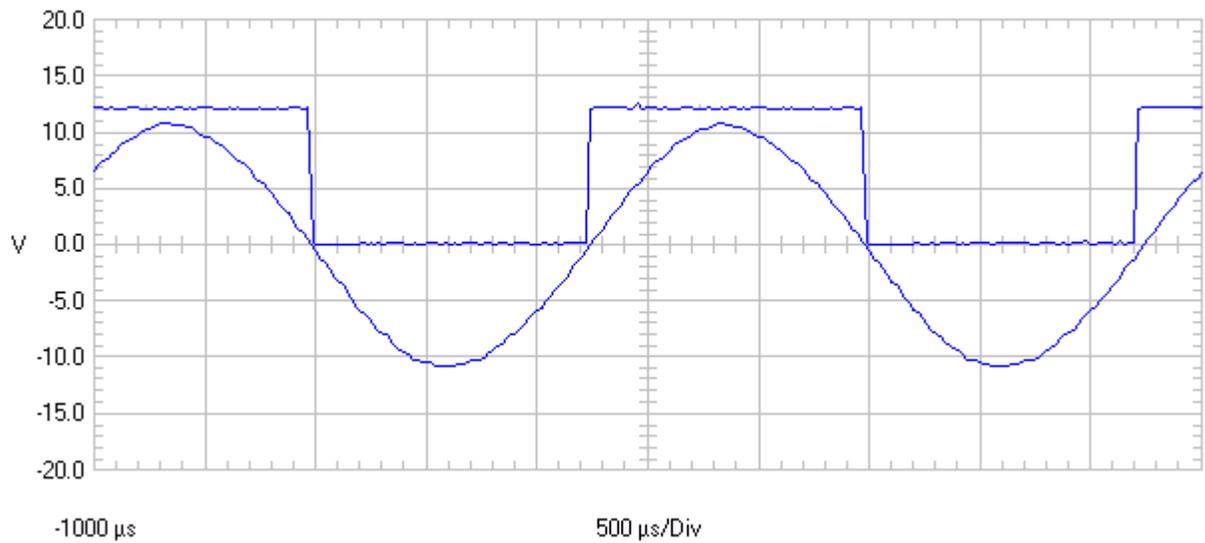


Figura 5.14 Señal senoidal y cuadrada del bloque de referencia

Las figuras 5.15 y 5.16 muestran los diagramas eléctricos del bloque de referencia 2 y 3, asociados con los bloques de control 2 y 3.

La correcta sincronización de las señales senoidales con las señales cuadradas provenientes de los bloques de control, permitió la formación de la señal trifásica senoidal de 400 Hz a utilizar como referencia y comparación en la formación de las señales senoidales de salida del sistema total.

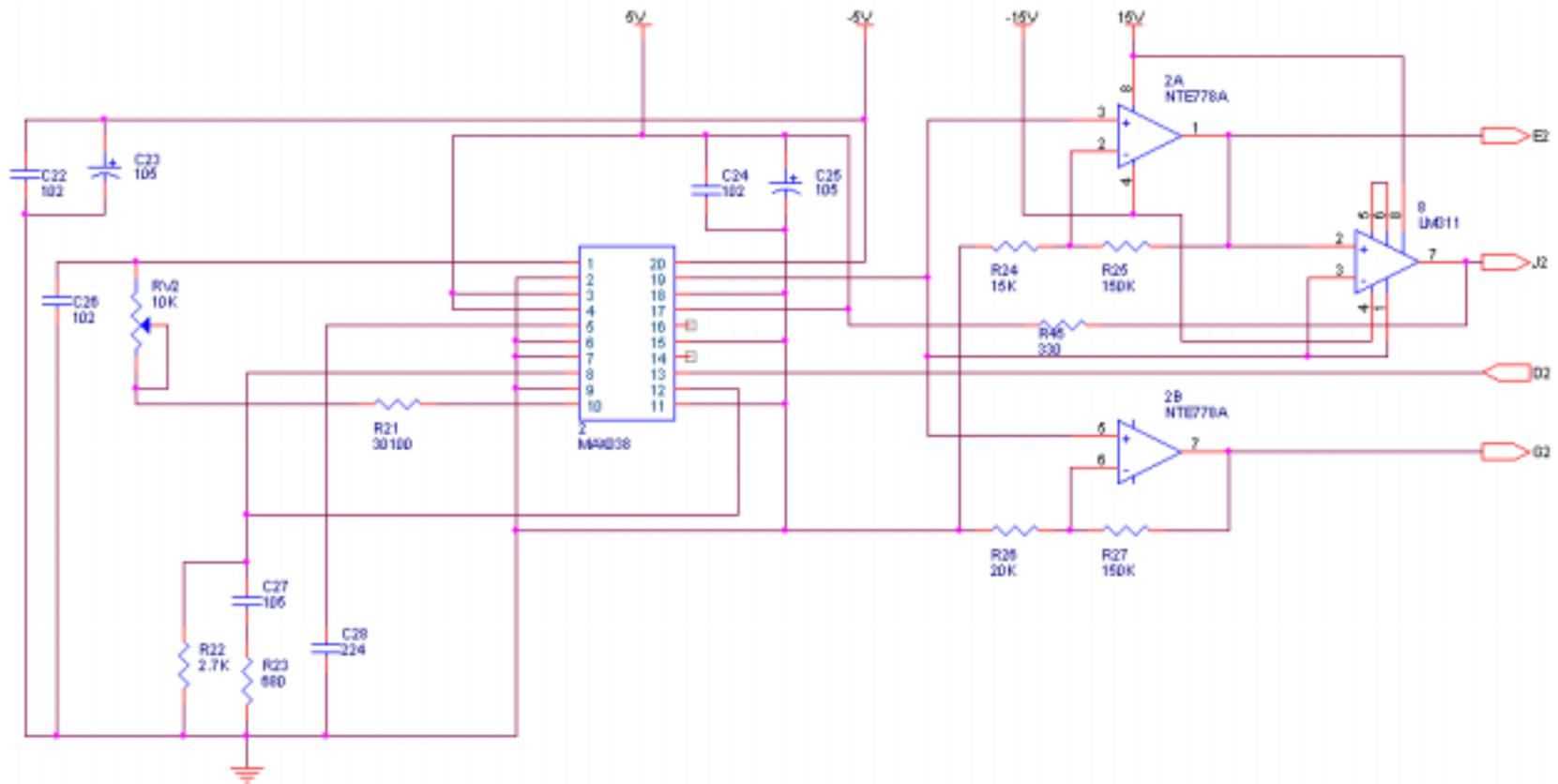


Figura 5.15 Diagrama eléctrico del segundo bloque de referencia

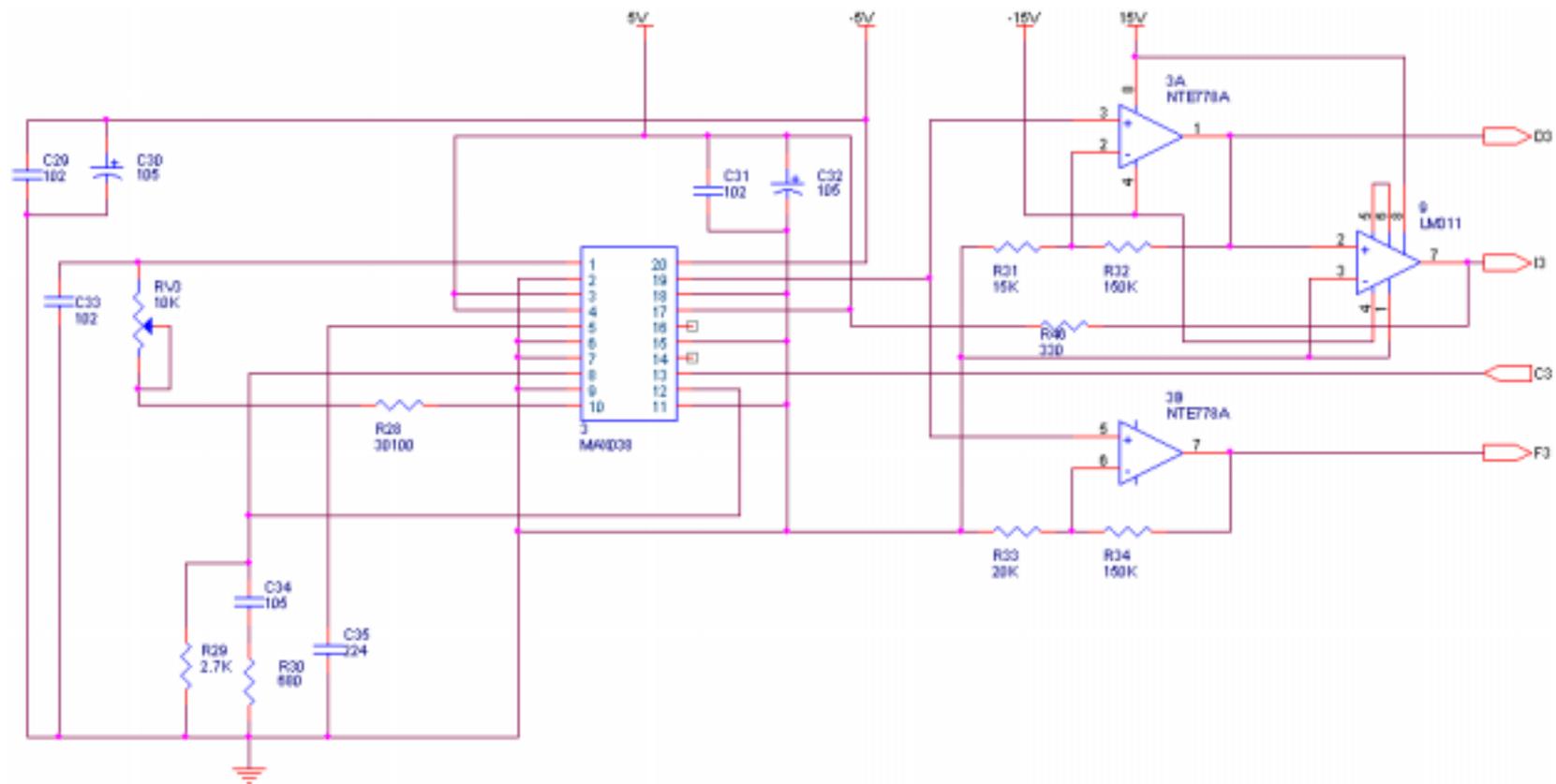


Figura 5.16 Diagrama eléctrico del tercer bloque de referencia

La figura 5.17 muestra las tres señales senoidales de los bloques de referencia, en donde se observa el correcto desfase de 120° entre las mismas.

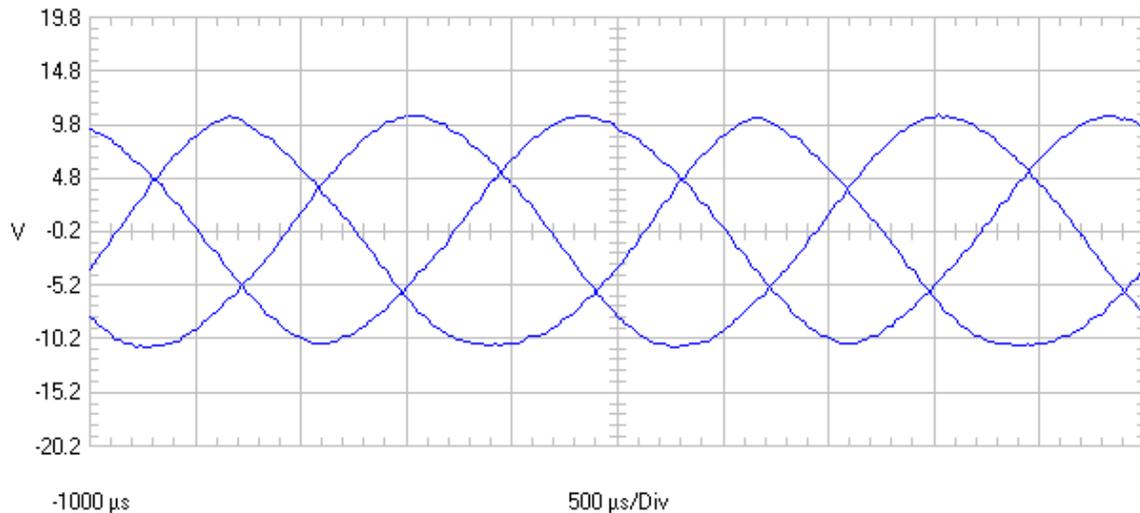


Figura 5.17 Señal trifásica senoidal de los bloques de referencia

En tanto las figuras 5.18, 5.19 y 5.20 muestran las tres señales senoidales separadamente, en las mismas se muestra la frecuencia, ciclo de trabajo y voltaje medio de las señales, se muestra en la figura 5.20 una diferencia de consideración respecto a las anteriores en cuanto al ciclo de trabajo y voltaje medio, en donde siendo que el ciclo de trabajo positivo es menor que el negativo se presenta un voltaje medio negativo.

Aún cuando los generadores MAX038 poseen una terminal para ajustar el ciclo de trabajo, no se pudo realizar tal ajuste debido a la distorsión considerable que causaba a la señal senoidal.

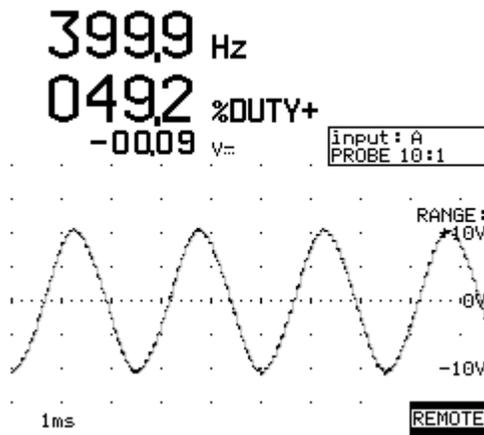


Figura 5.18 Señal senoidal del primer bloque de referencia

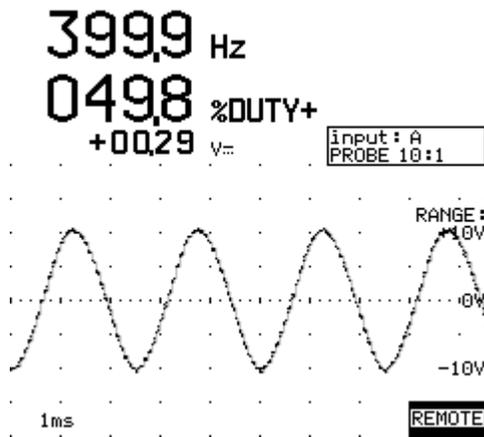


Figura 5.19 Señal senoidal del segundo bloque de referencia

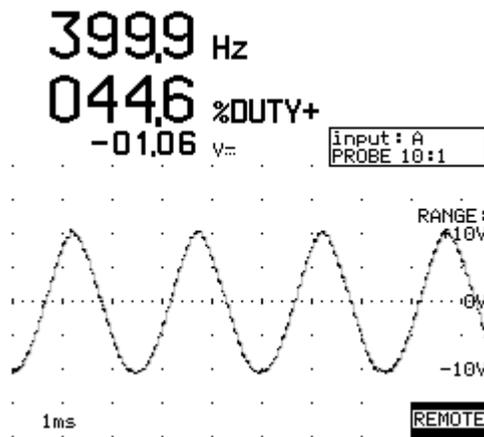


Figura 5.20 Señal senoidal del tercer bloque de referencia

5.1.4 Comparación

Asociado a los bloques de control y referencia se encontró un bloque de comparación, formado con dos comparadores LM311 en una configuración en la cual compartieron su terminal de entrada positiva, además de otros elementos que garantizaron la adecuada respuesta del bloque ante diferencias entre la señal de salida del inversor y la señal de referencia.

La figura 5.21 muestra el diagrama eléctrico del primer bloque comparador, debido a la similitud entre comparadores se entra en detalle únicamente en este.

Los comparadores LM311 tornaron a 5 V su salida a través de una resistencia de 470 Ω cuando la terminal de entrada positiva fue mayor que la negativa, en tanto tornaron a 0 V la salida a través de la terminal 1 del comparador conectada a tierra cuando se presentó el caso contrario.

La terminal negativa del primer comparador fue conectada a la señal de referencia senoidal mayor y la terminal negativa del segundo comparador a la señal de referencia senoidal menor, en ambos casos del primer bloque de referencia. En tanto las terminales positivas compartidas en ambos comparadores se utilizaron como entrada de la señal de voltaje formada en el transformador 1, siendo que la tensión del transformador fue comparada por medio de un divisor de tensión con las señales de referencia.

Cuando las dos salidas de los comparadores se encontraron en alto, la salida de la compuerta AND se encontró en alto, y a través de un inversor colocado en la terminal de PRESET del flip flop, permitió que la salida de este tornara a alto. Esta situación se dio cuando el voltaje en el transformador fue mayor que ambas señales de referencia.

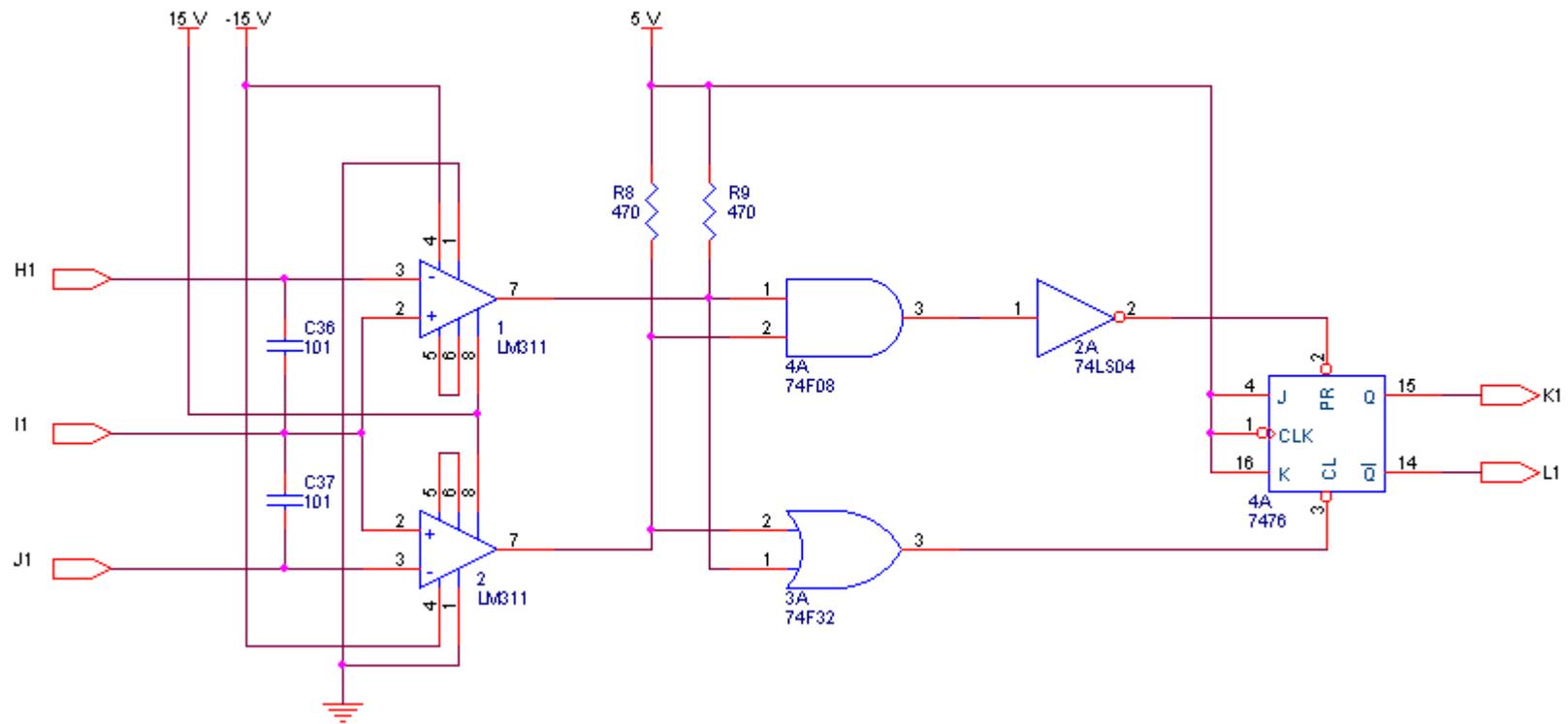


Figura 5.21 Diagrama eléctrico del primer bloque comparador

Cuando ambas terminales de salida de los comparadores se encontraron en bajo la salida del flip flop tornó a bajo debido a la presencia de un nivel bajo en la terminal de CLEAR a través de una compuerta OR, esta situación se dio cuando la tensión presente en el transformador fue menor que ambas señales de referencia. Cuando la tensión en el transformador se encontró entre ambas señales de referencia ambas salidas de CLEAR y PRESET se encontraron en alto y por tanto la salida del flip flop se mantuvo en su estado anterior.

La figura 5.22 muestra la simulación del funcionamiento de este bloque, para lo cual se utilizaron dos voltajes constantes como señales de referencia y una señal triangular en lugar del voltaje proveniente del secundario del transformador, esta simulación fue realizada de tal forma y a baja frecuencia para lograr una mejor comprensión del circuito comparador.

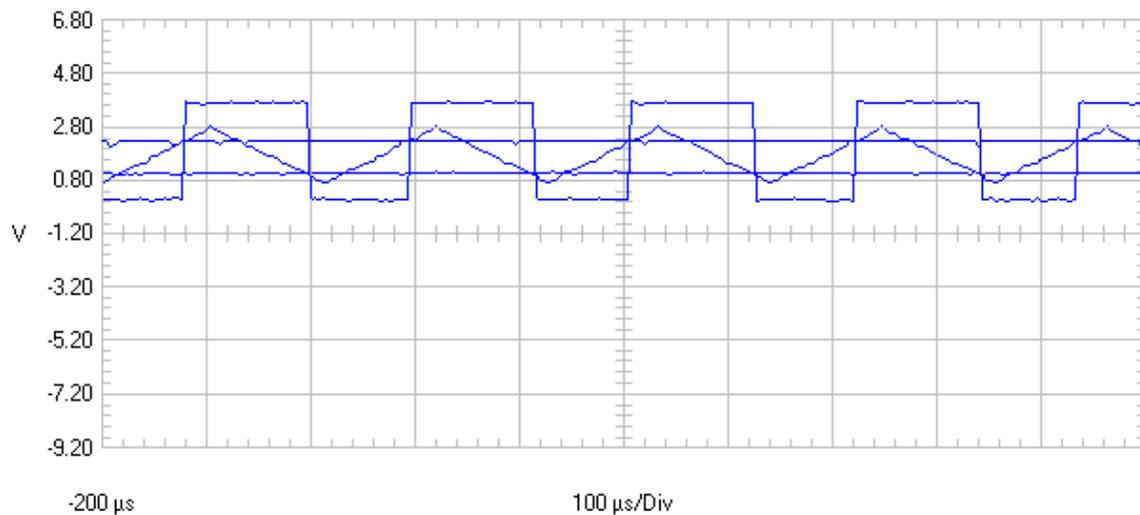


Figura 5.22 Salida del flip flop de comparación 1

Cuando la señal triangular superó ambos voltajes de referencia la salida positiva (Q) del flip flop JK colocado en modo de toggle tornó a alto permaneciendo en ese estado hasta que la señal triangular disminuyó a un voltaje menor que ambas señales de referencia, para lo cual la salida del flip flop tornó a bajo manteniéndose así hasta que de nuevo la señal triangular superó ambos voltajes de referencia.

Las terminales de salida del flip flop JK fueron conectadas a las terminales de habilitación de los buffer de tercer estado presentes en el bloque de control, de esta forma y juntamente con las señales cuadradas de 400 Hz presentes en las entradas de los 74LS125, se logró conmutar sus salidas dependiendo de la frecuencia de 400 Hz y del voltaje presente en el secundario del transformador respecto a la señal senoidal de ventana.

Permaneciendo en la simulación realizada la figura 5.23 muestra la relación entre las señales de referencia, la señal triangular y la salida del buffer de colector abierto 7407 (señal directa de control de la tarjeta driver).

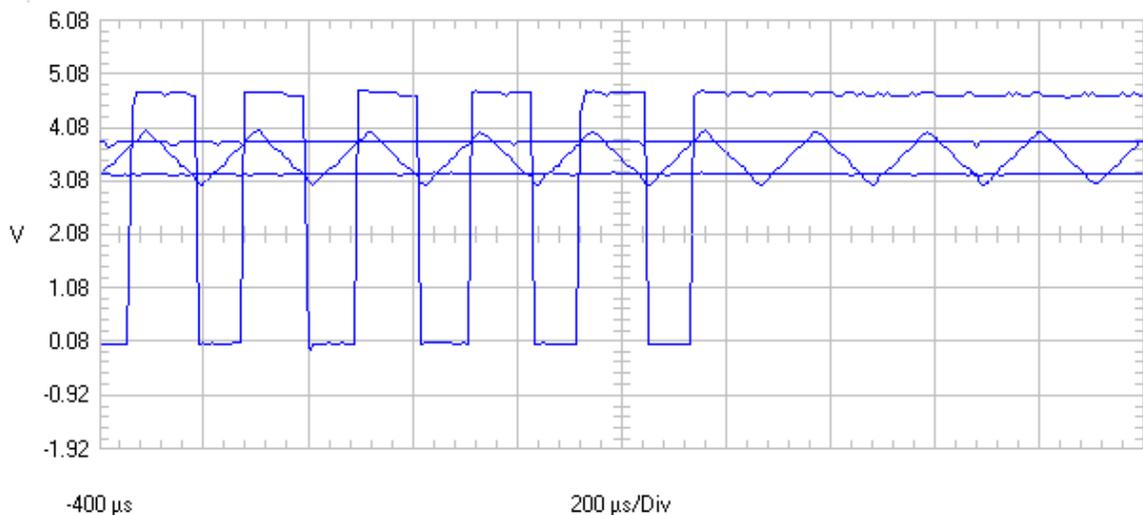


Figura 5.23 Entrada al gate driver 1 y 4

La señal triangular simuló la forma exponencial del voltaje en el transformador, de tal forma cuando esta tensión superó la señal de referencia los IGBT fueron apagados, disminuyendo el voltaje en el transformador hasta el punto en que este fue menor que la ventana de referencia momento en el cual los IGBT entraron de nuevo en funcionamiento y por tanto el voltaje en el transformador comenzó a aumentar, repitiéndose el comportamiento y formándose la señal senoidal. La figura 5.24 muestra ambas salidas de los buffer 7407 y entradas de los gate driver 1-4⁽⁷⁾ a la tarjeta BG2B 1 y 2⁽⁸⁾ (cada tarjeta estuvo compuesta por dos gate driver), en donde se observó el correcto desfase de 180° entre ambas señales, de forma tal que al permanecer una señal en alto y por tanto los respectivos IGBT apagados, la otra señal se encontró en bajo con conmutaciones producto de la comparación realizada.

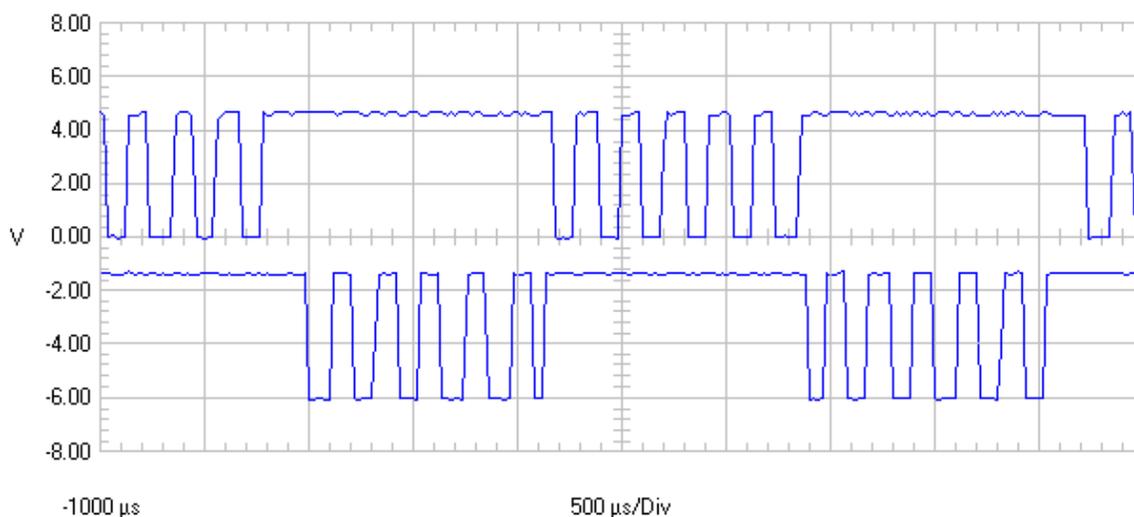


Figura 5.24 Entradas a la tarjeta driver 1 y 2

Las figuras 5.25 y 5.26 muestran los diagramas eléctricos de los comparadores 2 y 3 respectivamente, de los mismos se obtuvieron señales similares a las mostradas para el comparador 1.

⁽⁷⁾ La numeración de los gate driver hace referencia a la numeración de los IGBT

⁽⁸⁾ La numeración de las tarjetas BG2B hacen referencia al módulo dual de IGBT que controlan

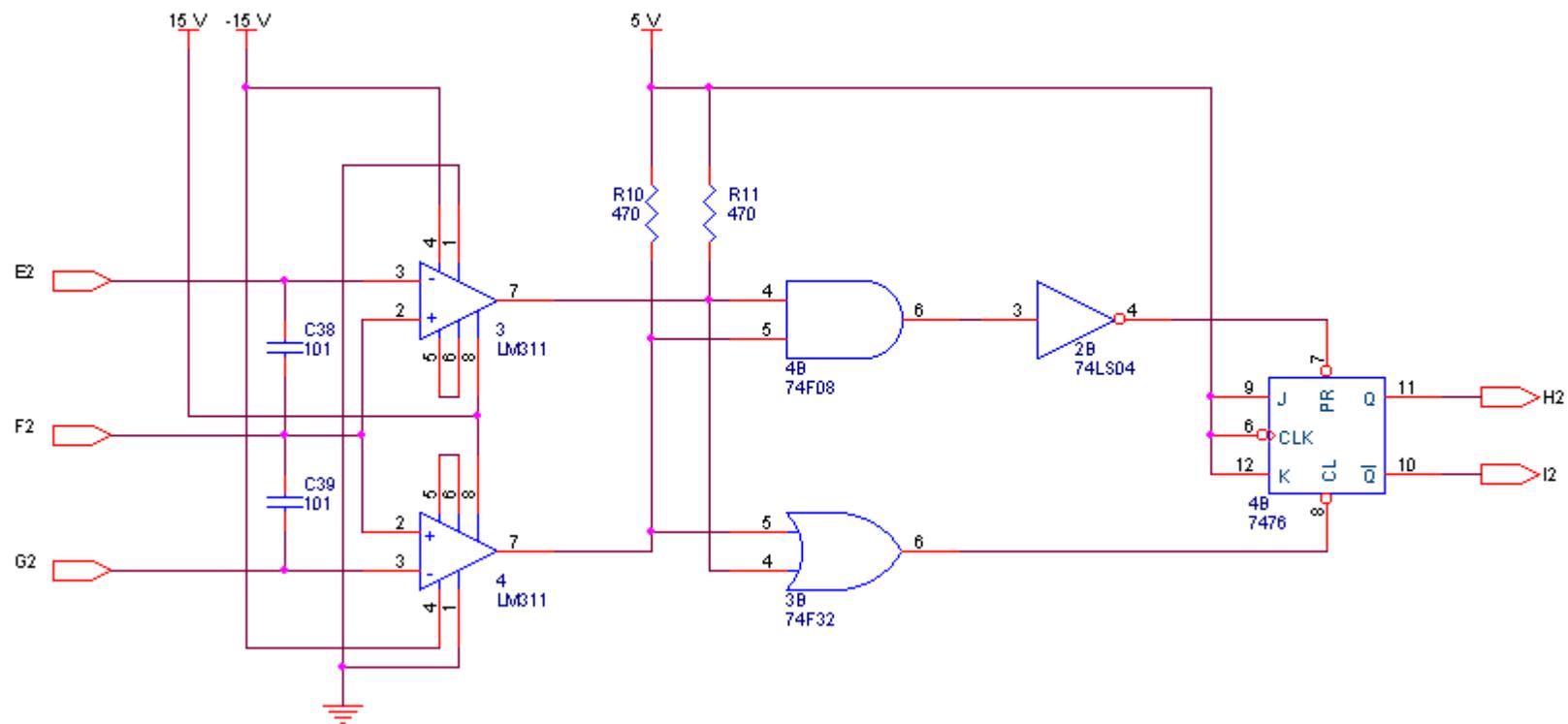


Figura 5.25 Diagrama eléctrico del segundo comparador

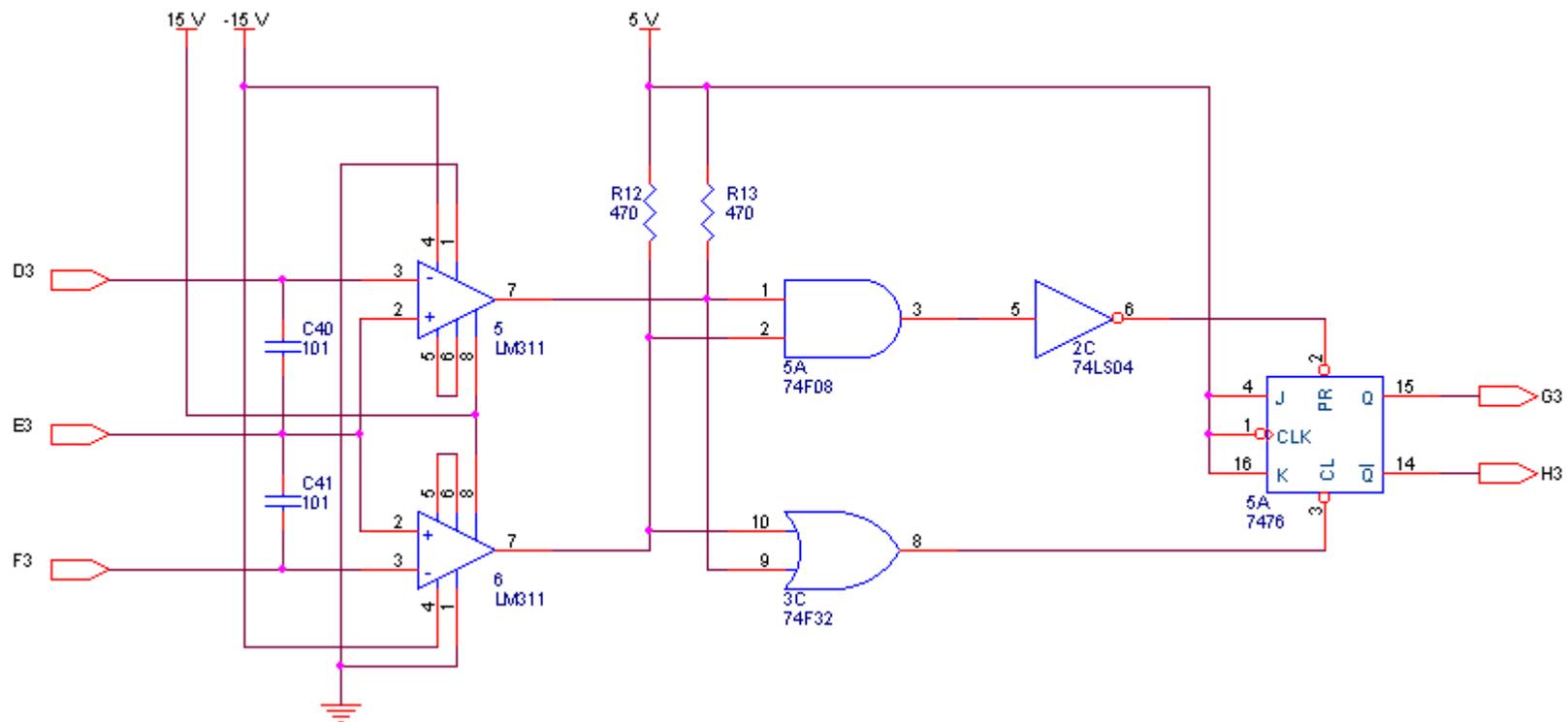


Figura 5.26 Diagrama eléctrico del tercer comparador

5.1.5 Inversión y transformación

La etapa de inversión mostrada en la figura 5.27, estuvo compuesta por 12 IGBT, dispuestos en una configuración de puente trifásico, permitiendo que grupos de 4 IGBT formaran una señal senoidal. Los extremos del primario del transformador 1 se conectaron a los puntos C2E1 de los módulos de IGBT, permitiendo un voltaje positivo en el transformador cuando se activaron los IGBT 1-4, en tanto se presentó un voltaje negativo cuando estos dejaron de conducir y entraron en funcionamiento los IGBT 2-3. De esta forma cuando los IGBT 1-4 estuvieron activos, la corriente fluyó en el primario del transformador a través de estos, en tanto cuando los IGBT 2-3 estuvieron activos se dio un cambio en el sentido de la corriente de los transformadores permitiendo una tensión negativa respecto a la anterior. La misma relación se presentó para los transformadores 2 y 3, con sus respectivos módulos de IGBT asociados.

En cada bobinado secundario se ubicó un divisor de tensión a tierra, de donde se tomó la tensión para ser comparada con las señales de referencia en el bloque de comparación, este divisor debió permitir una tensión tal que el voltaje de la resistencia variable a tierra se encontrara siempre entre las dos señales de referencia a fin de permitir una adecuada comparación y la formación de la señal senoidal. La conexión a tierra de este divisor se debió a la necesidad de una misma referencia entre la señal de referencia senoidal y la señal formada, con la consideración que los circuitos de potencia y control se encontraron desacoplados a través de los transformadores secundarios y de potencia, asegurando que la corriente del circuito de potencia no fluirá en el circuito de control debido al circuito abierto que se presentó. La obtención de las resistencias utilizadas en el divisor de tensión se observa en el apéndice 2.

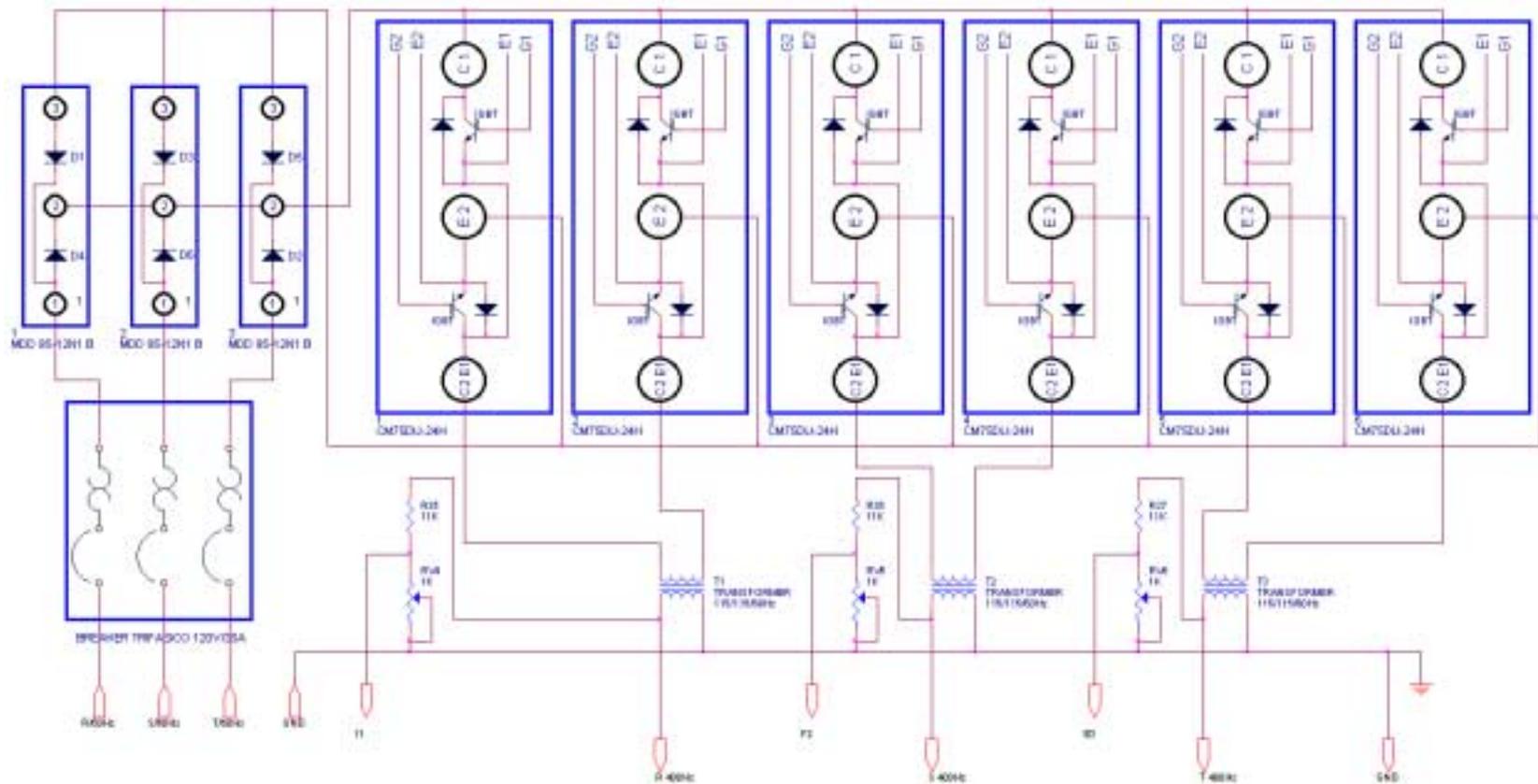


Figura 5.27 Diagrama eléctrico del circuito de potencia

Los bobinados secundarios presentaron una conexión estrella, permitiendo voltajes de fase iguales a los presentados en el primario ($115 V_{RMS}$) y un voltaje de línea de $\sqrt{3} \times 115$, logrando la entrega de la potencia suficiente a la carga debido a que cada transformador presentó una capacidad de 5KVA.

El rectificador fue alimentado por medio de un *breaker* trifásico con la señal de 60 Hz de la red eléctrica con capacidad de corriente de 30 A debido a que cada transformador no consume 20 amperios en el mismo instante.

La conexión entre los controladores y las tarjetas drivers se realizó por medio de los buffer 7407, como se muestra en la figura 5.28. La ausencia de resistencias⁽⁹⁾ en la salida de los buffer de colector abierto se debió a que estas se utilizaron únicamente con propósitos experimentales, de esta forma y debido a que los BG2B son activos en bajo no fue necesario el uso de resistencias que brindaran un medio de conexión a un nivel alto.

Los capacitores y resistencias externas de $11 K\Omega$ y $1 \mu F$, se utilizaron como filtro RC para remover el ruido en una señal falsa, dichos componentes se eligieron basados en las consideraciones dadas por el fabricante, respecto a que la constante de tiempo debió ser de aproximadamente $10 \mu s$.

⁽⁹⁾ Los circuitos eléctricos de control presentan las resistencias a las que se hace referencia.

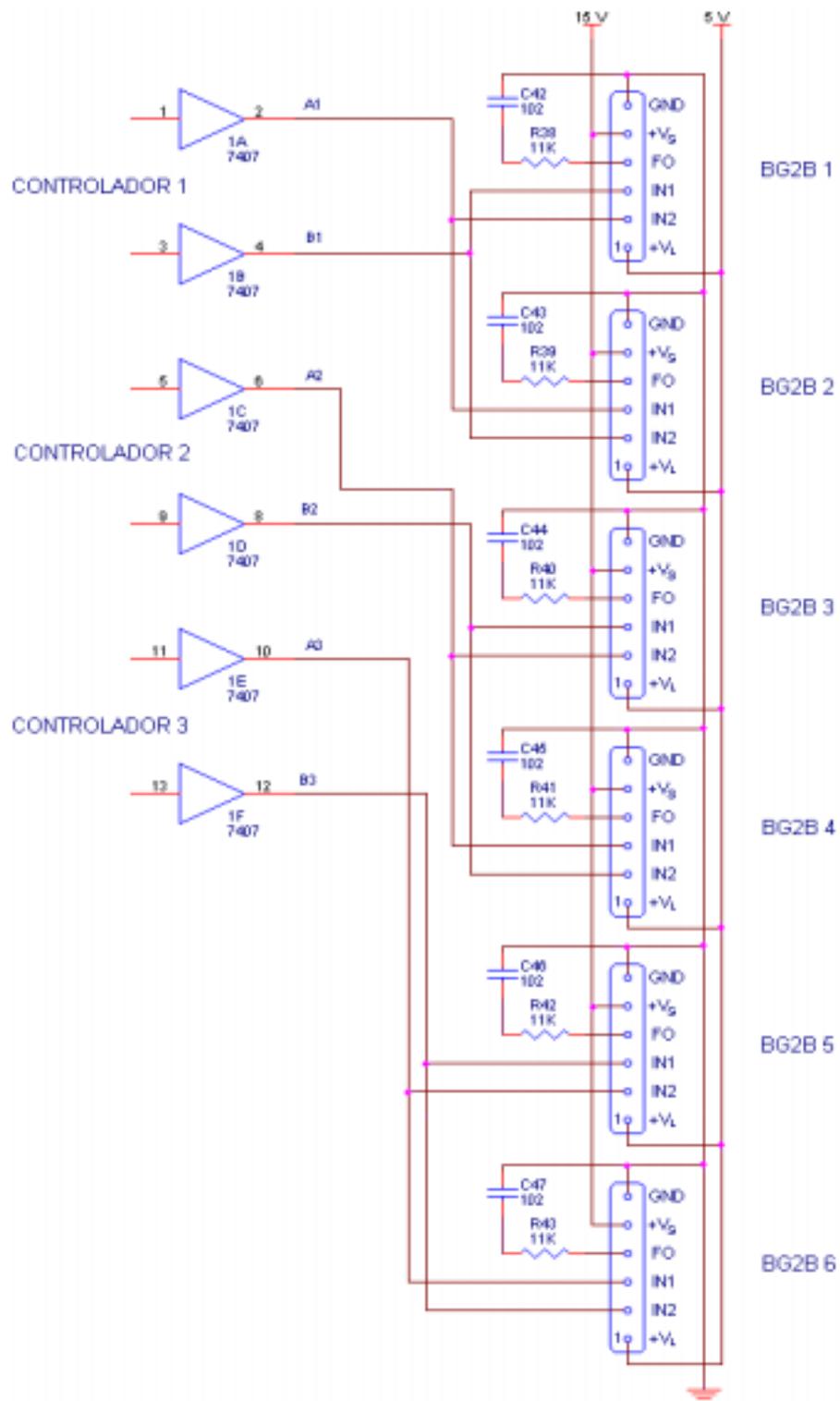


Figura 5.28 Interface entre los controladores y drivers

La figura 5.29 muestra la señal obtenida en el secundario del primer transformador respecto a la señal de referencia mayor para un prototipo de baja potencia, con la consideración de que la señal de referencia se encuentra en una resolución de 5V/div, en tanto la señal senoidal se encuentra a 50V/div. Se observa un alto rizado producto de las conmutaciones en los IGBT, sin embargo se aprecia la aproximación a la onda senoidal tanto en forma como en frecuencia.

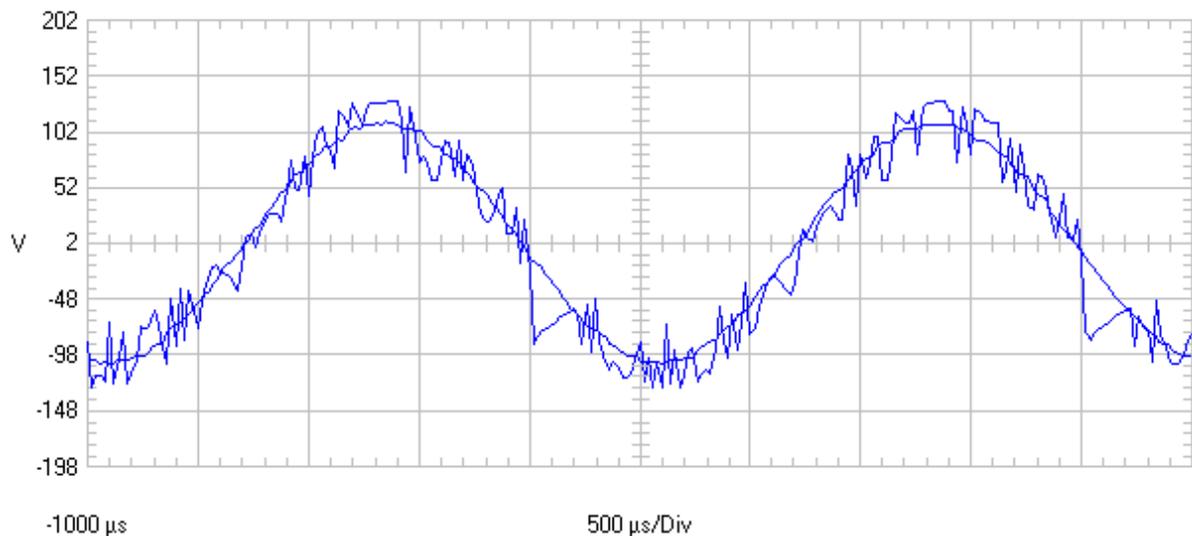


Figura 5.29 Señal de salida del primer transformador sin filtro

La situación presentada de rizado es posible de eliminar con la utilización de un filtro pasabajas de alta potencia, la figura 5.30 muestra la misma señal de salida del transformador con la utilización de un filtro RC a su salida, en dicha figura se aprecia sustancialmente la mejora de la señal a pesar de que el filtro utilizado correspondió a una prueba realizada y no al filtro real que debe de ser colocado.

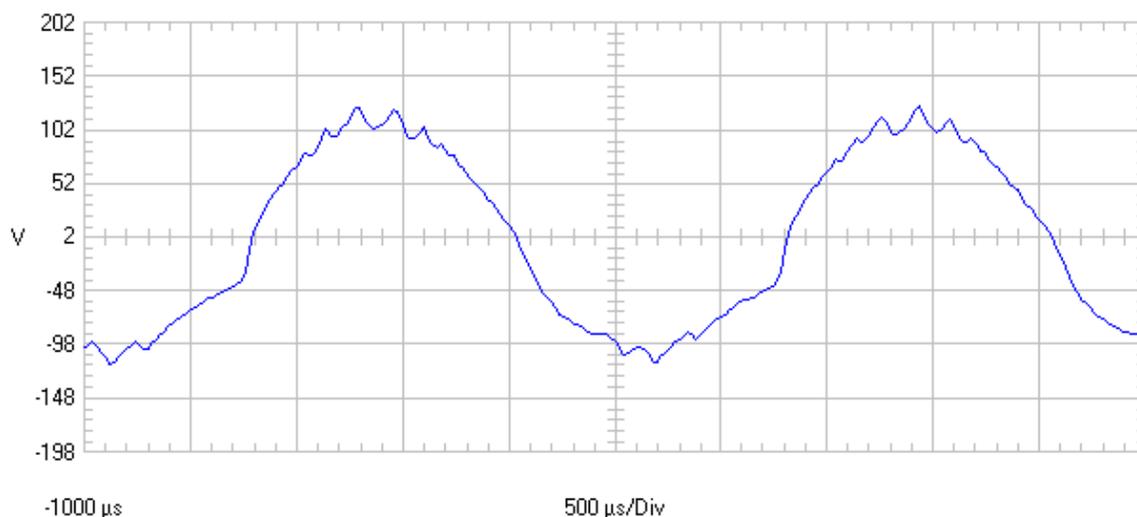


Figura 5.30 Señal de salida del primer transformador con filtro

La frecuencia de la señal y su ciclo de trabajo, se muestra en la figura 5.31, en donde se observa un ciclo de trabajo positivo de 50.6% y una frecuencia de 397.9 Hz.

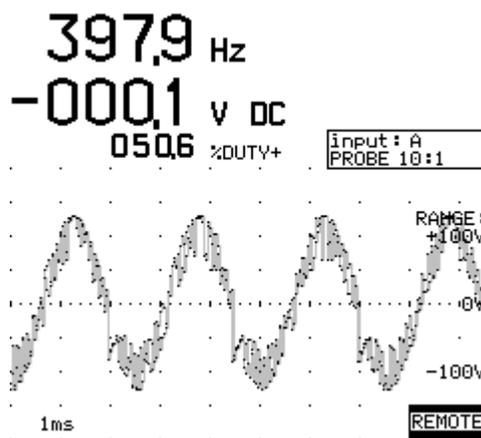


Figura 5.31 Parámetros de la señal del transformador 1

La figura 5.32 muestra la señal obtenida en el secundario del segundo transformador sin filtro RC y la 5.33 muestra la misma señal con la utilización de un filtro RC.

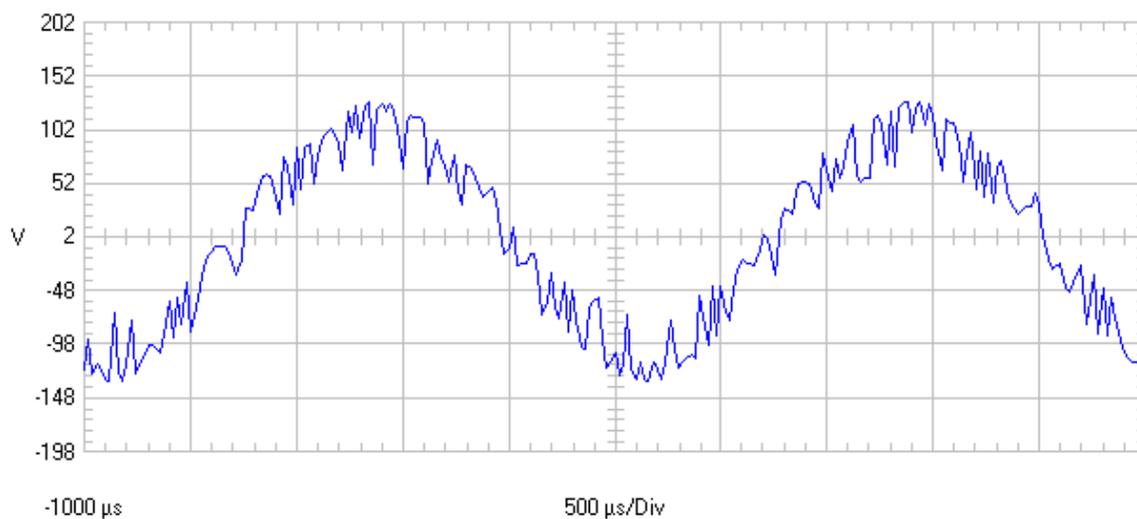


Figura 5.32 Señal de salida del segundo transformador sin filtro

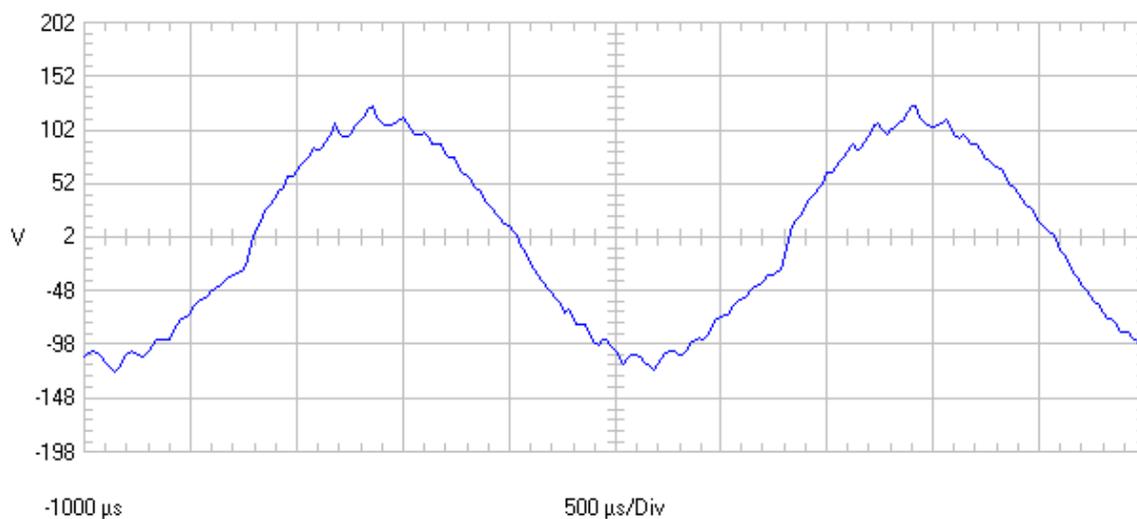


Figura 5.33 Señal de salida del segundo transformador con filtro

En tanto las figuras 5.34 y 5.35 muestra las mismas mediciones para el tercer transformador.

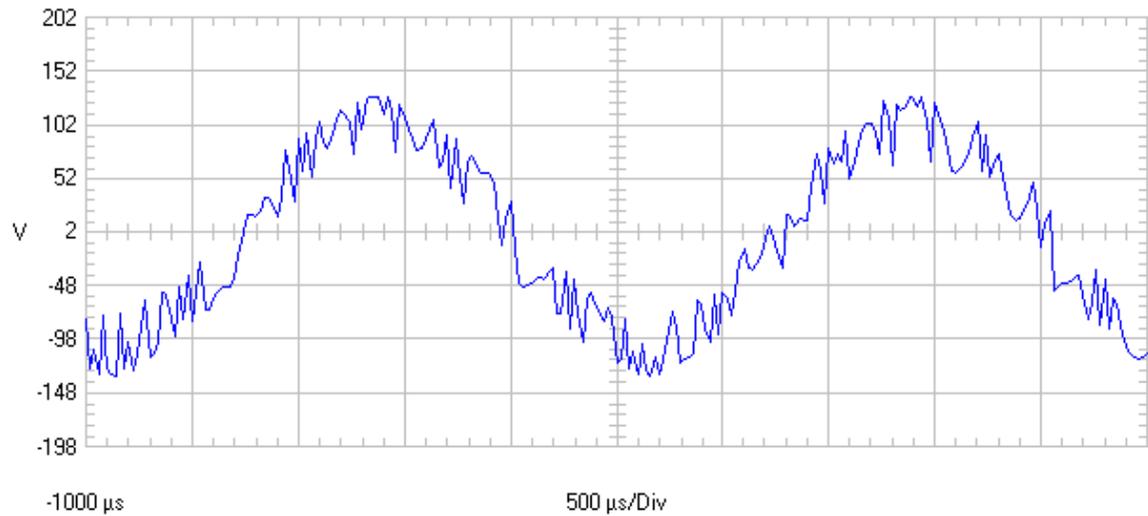


Figura 5.34 Señal de salida del tercer transformador sin filtro

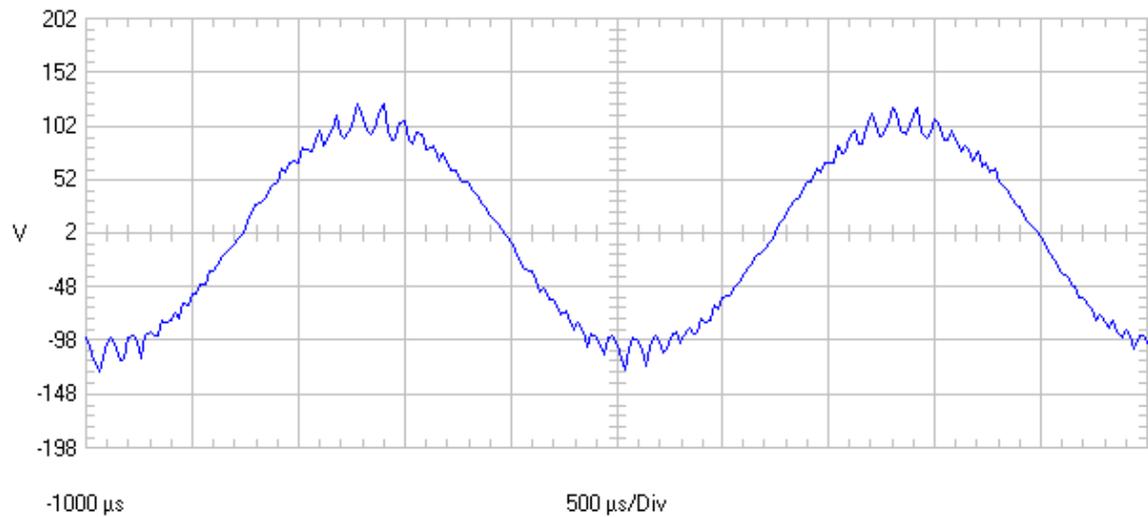


Figura 5.35 Señal de salida del tercer transformador con filtro

Las diferencias presentadas entre las señales con filtro entre el primer y segundo transformador en comparación con el tercer transformador se debió a la diferencia de filtros, en el primer y segundo caso se utilizó un filtro RC, con $R = 470$ y $C = 300 \text{ } \mu\text{F}$, en tanto para el tercer caso se utilizó un filtro RC con un valor resistivo igual a los anteriores y un capacitor de $100 \text{ } \mu\text{F}$.

5.1.6 Circuitos de protección

Para la protección del sistema de potencia y la carga colocada a la salida del sistema se diseñaron dos circuitos de protección (su implementación será en proyectos futuros), uno contra variaciones de frecuencia fuera del rango de $400 \pm 10 \text{ Hz}$ y otro contra voltaje en un rango fuera de $115 \pm 10 \text{ V}_{\text{RMS}}$. Un tercer circuito asociado a los dos de protección permite la deshabilitación de todos los IGBT del inversor trifásico.

5.1.6.1 Frecuencia

Aun cuando cada una de las ondas formadas en el inversor fueron obtenidas por medio de señales de referencia senoidales de 400 Hz que garantizan la correcta formación de las señales de salida, se diseñó un circuito de protección que monitorea la frecuencia de salida de los transformadores de potencia para verificar que se encuentra dentro del rango de frecuencia establecido ($400 \pm 10 \text{ Hz}$). La figura 5.36 muestra el diseño desarrollado correspondiente a la onda senoidal del primer transformador, circuitos similares con las correctas conexiones servirán para el monitoreo de las frecuencias de salida de las dos señales restantes, si se desea monitorear las tres señales.

La etapa de entrada del circuito la conforma un divisor de tensión colocado en el bobinado secundario del transformador de potencia, esto por cuanto se desea monitorear directamente la señal de alimentación en la carga. Este divisor de tensión se utiliza para obtener una señal con las mismas características que la señal en el transformador pero con menor amplitud. La selección de los valores resistivos es mostrada en el apéndice 3.

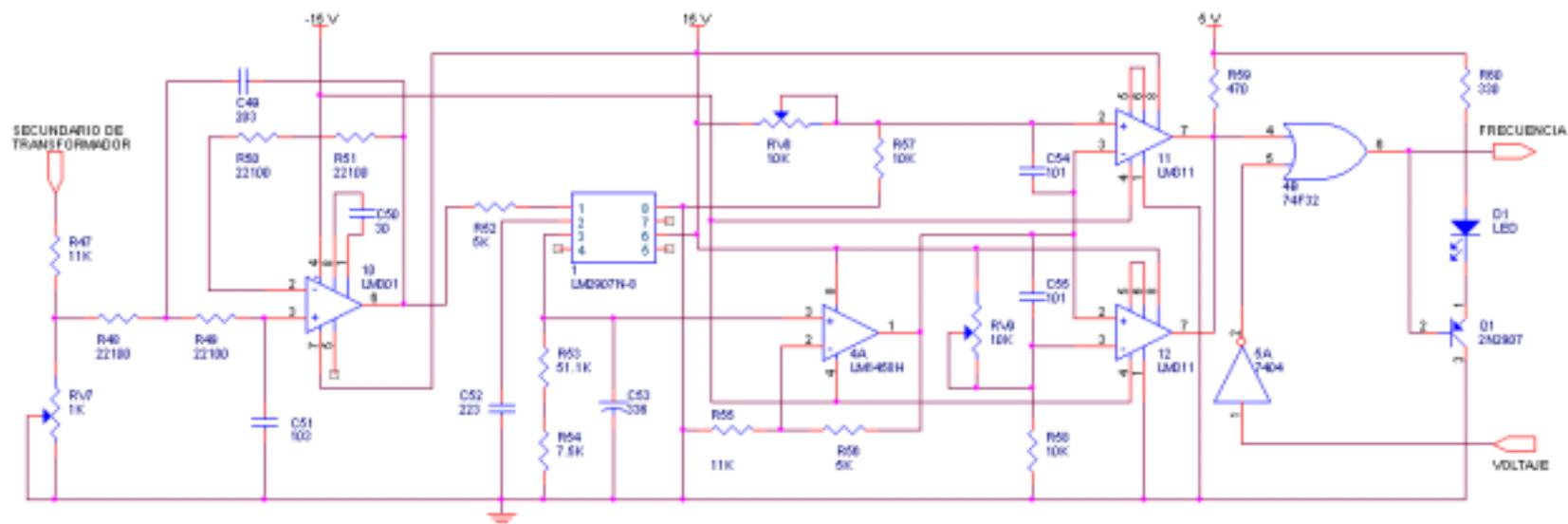


Figura 5.36 Circuito de protección contra variaciones de frecuencia

Formando parte de la etapa de entrada se encontró un filtro paso bajo Butterworth de -40dB/década , con una frecuencia de corte de 500 Hz, para asegurar que el monitoreo de frecuencia se realizará únicamente para señales menores a 500 Hz evitando que otras frecuencias presentes (ruido) interfieran en la lectura de frecuencia, el procedimiento de diseño se presenta en el apéndice 4.

El filtro Butterworth garantiza la presencia de la señal correcta de 400 Hz en la entrada del convertidor de frecuencia a voltaje (LM2907N-8), cuya salida de voltaje proporcional a la frecuencia de entrada es alimentada a un amplificador operacional no inversor, esto por cuanto la salida de voltaje del convertidor y las diferencias entre los rangos establecidos son de aproximadamente 190 mV, valor bajo que puede inducir a errores; la presencia del amplificador garantiza la existencia de un mayor rango de comparación. La obtención de los elementos externos del convertidor de frecuencia a voltaje se muestra en el apéndice 5.

La salida del amplificador operacional es alimentada a una etapa comparadora formada con dos comparadores LM311 en una configuración como detectores de ventana, de tal forma que cuando la salida del amplificador se encuentra entre 11.52 V y 10.96V (valores de tensión correspondientes a 410 Hz y 390 Hz), la salida de ambos amplificadores operacionales presentan en su salida un valor positivo de 5V, esto por cuanto la terminal positiva del comparador superior es mayor a la señal de salida del amplificador y la terminal negativa del comparador inferior es menor a la señal monitoreada (el cálculo de los valores resistivos de los divisores de tensión se muestra en el apéndice 3). Caso contrario ocurre cuando la señal monitoreada sale de cualquiera de esos rangos, en cuyo caso se presentará una salida de 0 voltios en ambos comparadores, debido a la conexión conjunta entre las terminales de salida.

Cuando la frecuencia se encuentra entre 390 Hz y 410 Hz, la salida de los comparadores es positiva al igual que la salida del circuito a través de una compuerta OR 7432, en caso de que la frecuencia salga de los rangos establecidos la salida de la compuerta OR tornará a bajo (la otra entrada se encuentra en bajo en operación normal), saturando el transistor PNP y por tanto encendiendo el LED que indica un fallo en frecuencia; respecto a la otra entrada de la compuerta OR se entrará en detalle después de analizar el circuito de protección contra voltaje.

5.1.6.2 Voltaje

Las señales de salida del inversor son formadas utilizando como referencia las señales senoidales de los generadores de onda MAX 038, en conjunto con una lógica de comparación y habilitación/deshabilitación de los IGBT; sin embargo se presenta un circuito secundario que apagará todos los IGBT del inversor si el valor de tensión RMS de las señales senoidales se encuentra fuera del rango de 115 ± 10 V_{RMS} establecido por Aviónica.

La figura 5.37 muestra el diseño del circuito, en donde se observa al igual que el circuito de protección de frecuencia un divisor de tensión presente en el secundario del transformador como etapa de entrada para lograr un valor de tensión adecuado (ver apéndice 6). La tensión de este divisor es conectada a la terminal negativa de un comparador LM311 en una configuración como detector de cruce por cero, de esta forma cuando la señal senoidal pasa por cero de un semiciclo negativo al positivo la señal comienza a ser mayor a cero voltios, de esta forma la terminal negativa del comparador será mayor que la terminal positiva colocada a tierra, así la salida del comparador será de cero voltios cuando se presente un semiciclo positivo y de 5 voltios para el semiciclo negativo.

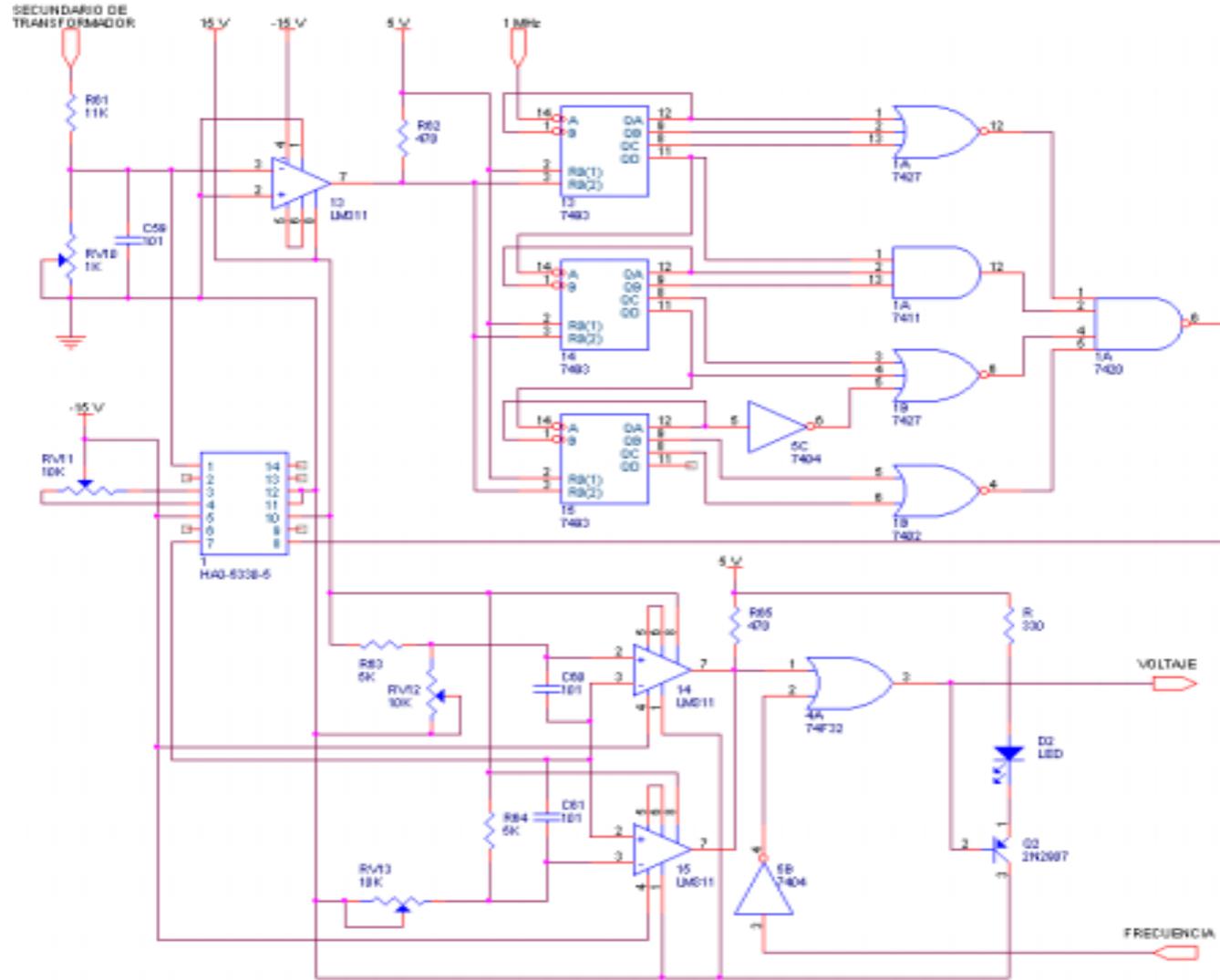


Figura 5.37 Circuito de protección contra variaciones de voltaje

Al detectarse el cruce por cero, en el cambio de un semiciclo negativo al positivo se presenta un nivel de cero voltios a la entrada de habilitación de tres contadores 7493, conectados en cascada con una frecuencia de reloj de 1 MHz. La salida de esta etapa de conteo está conformada por una lógica combinacional, que presentará un pulso negativo de 1 μ s cuando el conteo llega a 312 μ s (000100111000), correspondiente a 45° de la señal senoidal de 400 Hz. En este punto (45 grados) se presenta el valor RMS de la señal, como se muestra en el apéndice 7; así el pulso negativo de la lógica combinacional habilitará el dispositivo de muestreo y retención, permitiendo que se tome una muestra de la señal senoidal para ser comparada y determinar si el valor RMS se encuentra dentro o fuera del rango establecido. El pulso de 1 μ s es suficiente para realizar el muestreo siendo que el tiempo mínimo para realizar esta operación corresponde a 650 ns para el dispositivo utilizado. La configuración presente en la lógica combinacional permite que únicamente se presente este pulso para 45° después de detectarse el cruce por cero.

El muestreo se realiza a través del divisor de tensión presente en la entrada del circuito, la presencia de una resistencia variable de 10K con una alimentación de -15V, se utiliza para ajustar el nivel de cd (offset) de la señal de salida respecto a la señal de entrada, el ajuste del mismo se realizará con una señal de cero voltios a la entrada y la obtención del mismo valor a la salida.

La etapa de salida es igual a la del circuito para protección en frecuencia, presentándose dos comparadores en una configuración como detectores de ventana en un rango entre 7.07 V y 5.93 V, correspondientes respectivamente a 125 V_{RMS} y 105 V_{RMS} , (el cálculo de los valores resistivos de estos divisores de tensión se muestran en el apéndice 6). Cuando el voltaje muestreado se encuentra dentro del rango establecido la salida de los comparadores es de 5 V y por tanto la salida de la compuerta OR, de esta forma el LED permanece apagado por medio del transistor PNP en corte.

La utilización de la segunda entrada de la compuerta OR, tanto para el circuito de protección en frecuencia como el de voltaje se utiliza con la finalidad de que al presentarse un fallo en la frecuencia de las señales se encienda únicamente el LED de este circuito, en tanto al presentarse un fallo en el voltaje se encienda únicamente el LED del circuito respectivo; esto por cuanto al presentarse un fallo en la frecuencia el inversor dejará de funcionar y por tanto el voltaje monitoreado en el circuito de protección de voltaje comenzará a disminuir, esta situación encendería el LED de voltaje presentando un error debido a que los dos LEDs encenderían siendo que el fallo se presentó únicamente en la frecuencia. Al salir del rango de frecuencia la salida del circuito respectivo es de cero voltios, esta señal es alimentada a través de un inversor a la compuerta OR de la etapa de salida del circuito de protección de voltaje, lo que implicará una señal positiva en la base del transistor PNP permitiendo que el LED permanezca apagado aunque el voltaje de salida del inversor se encuentre en cero voltios (sistema apagado).

La misma lógica se aplica para el circuito de voltaje, esto por cuanto al presentarse una disminución en el voltaje el inversor trifásico dejará de funcionar y por tanto la frecuencia de salida será nula debido a la ausencia de señal, de no contarse con la etapa de salida en el circuito de frecuencia se encendería el LED indicando falsamente un fallo en frecuencia. La salida de cero voltios de “*voltaje*” servirá para mantener apagado el LED del circuito de frecuencia a través del inversor y la compuerta OR.

5.1.6.3 Habilitación

Conjuntamente con los circuitos de protección se encuentra un circuito que deshabilitará el sistema de inversor trifásico cuando se presente un fallo en frecuencia o voltaje, siempre y cuando la situación de inestabilidad perdure 800 ciclos (2 segundos) o más, evitando la desconexión del sistema de potencia cuando se presente una variación en frecuencia o voltaje fuera de los rangos establecidos en periodos pequeños de tiempo (menos de 2 segundos). El diagrama del circuito se muestra en la figura 5.38 en donde se observa que las entradas corresponden a las salidas de los circuitos de protección y una señal de reloj de 400 Hz (G1) proveniente de la terminal positiva (Q) del flip flop del circuito de control, en tanto la etapa de salida (buffer 74125 y 7407) corresponde a una modificación de la etapa de salida de los circuitos de control.

El funcionamiento del circuito es el siguiente: Al conectarse todo el sistema (potencia y control) se producirá un pulso de 5 voltios en el multivibrador 555 por un lapso de 1s (400 ciclos), este pulso permitirá que la salida del flip flop JK asociado torne su salida a un valor positivo de 5 V debido a la presencia de un pulso de cero voltios en la terminal PRESET proveniente de la inversión del pulso del 555 a través de una compuerta OR 74F32, debido a que la otra entrada proveniente del 74121 permanece en bajo (solo se activa al pulsar el PUSHBOTTON). La presencia de un nivel de voltaje de 5 V en cualquiera de las entradas de la compuerta NOR permitirá una salida de 0 voltios en su salida y por tanto la habilitación de los buffer de tercer estado provendrá únicamente de las señales del circuito de comparación (K1, L1; H2, I2; G3, H3).

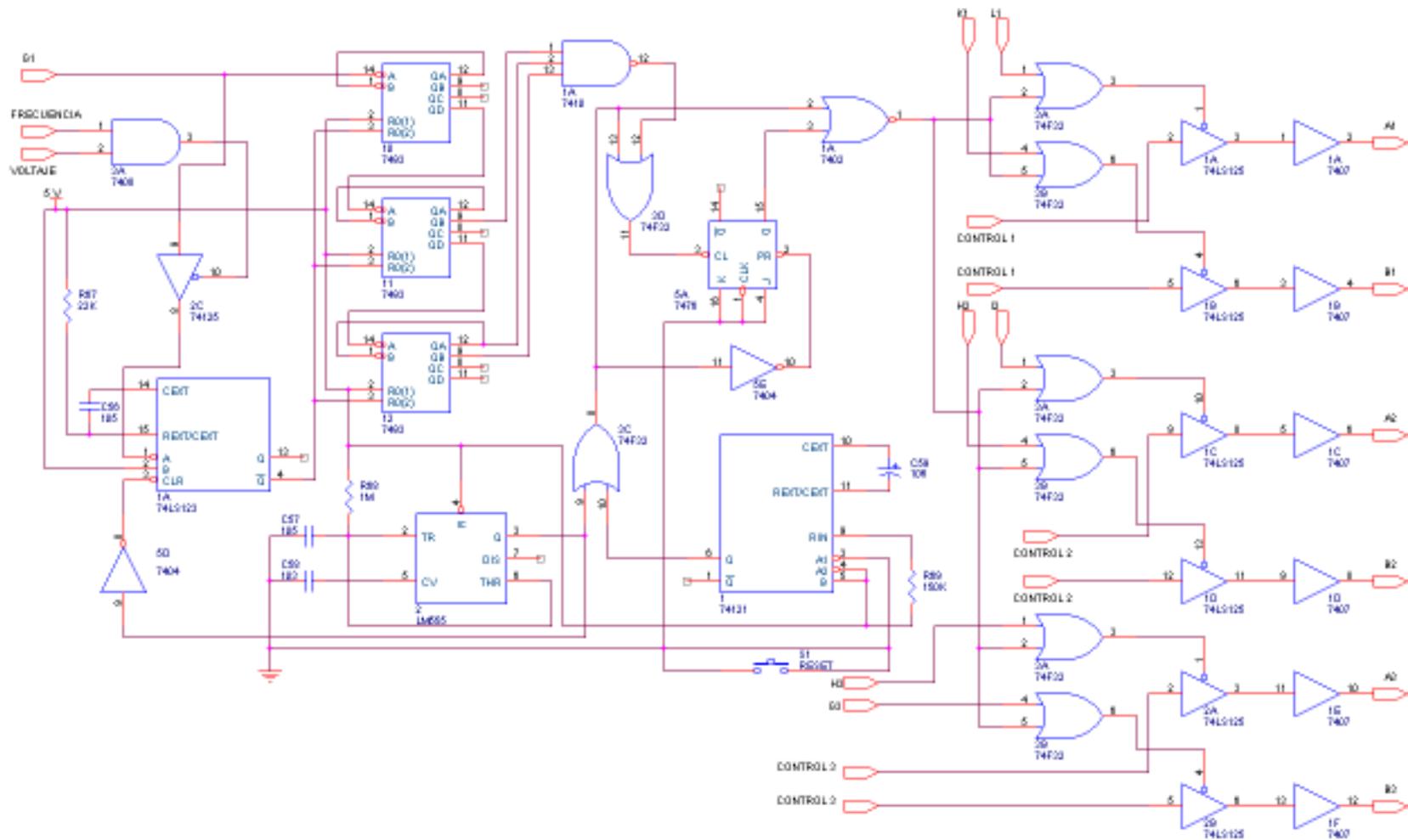


Figura 5.38 Circuito de apagado del inversor

Esta lógica de inicio permite que al encender el sistema el funcionamiento del inversor no dependa de la frecuencia y el voltaje de salida, esto por la inestabilidad propia del arranque del sistema en conjunto; al presentarse esta inestabilidad los circuitos de protección indicarán fallos tanto en frecuencia como en voltaje, el periodo presentado (1 s) ayudará a que el sistema no sea apagado y logre la estabilización; después de pasado 1 segundo la salida del 555 volverá a bajo y por tanto una de las entradas de la compuerta NOR, no así la salida del flip flop debido a que su salida no se ve afectada por el cambio de alto a bajo en la terminal PRESET, siempre y cuando no se produzca ninguna señal en la terminal CLEAR, proveniente de los contadores.

En operación normal la salida de la compuerta AND de entrada se encontrará en 5 voltios y por tanto deshabilitado el buffer de tercer estado 74125, al darse un fallo en frecuencia o voltaje la salida de la compuerta AND tornará a bajo permitiendo la salida de tercer estado del buffer y por tanto la presencia de una señal de 400 Hz en la salida de este y en la entrada del multivibrador redisparable 74LS123. Esta variación de 400 Hz en la salida del buffer permitirá redisparar pulsos de 10 ms (4 ciclos de 400 Hz) en el multivibrador 74LS123 (se encontraba inicialmente con una salida de nivel bajo debido a la señal de clear proveniente del 555), siempre y cuando la condición anómala de frecuencia o voltaje se mantenga, en caso contrario la salida de la compuerta AND tornará de nuevo a cinco voltios colocando en tercer estado el buffer deteniéndose los pulsos de 400Hz en la entrada del multivibrador redisparable.

Si la condición anómala se mantiene existirá un pulso de periodo constante en la entrada del multivibrador redisparable el cual mantendrá su salida negada (\bar{Q}) en cero voltios permitiendo que tres contadores 7493 colocados en cascada comiencen su conteo con una señal de reloj de 400 Hz.

Si la condición anómala es tal que los contadores llegan a 800 ciclos (2 segundos), se producirá un nivel de cero voltios en la terminal CLEAR del primer flip flop, esto por cuanto al llegar a 800 ciclos la compuerta NAND a la salida de los contadores produce un pulso negativo que lleva al flip flop a cero voltios debido al nivel bajo en la terminal CLEAR, y al nivel positivo presente en la terminal de PRESET debido a que la otra entrada de la compuerta OR se encontrará en bajo (estará en alto únicamente al encender el sistema por medio del pulso del 555 o a través del 74121). Con esta condición ambas entradas de la compuerta NOR se encuentran en bajo y su salida en alto, lo que colocará en tercer estado a los buffers y por tanto el apagado de los IGBT, debido a que estos son activos en bajo por medio de la tarjeta driver BG2B. Si antes de llegar a los 800 ciclos la condición de sobre/baja frecuencia o voltaje se elimina no se producirá el apagado de los IGBT evitándose que estos salgan de operación si la condición anómala es instantánea o menor a los 2 segundos.

Al darse el apagado de los IGBT, los respectivos LED indicarán si se presentó un fallo en voltaje o frecuencia; al corregirse la anomalía el operario deberá reiniciar el sistema por medio del PUSHBOTTON colocado en un multivibrador 74121, al presionar este se presentará un pulso de cero voltios en la terminal A1 lo que producirá un pulso positivo de 1s (400 ciclos) el cual colocará de nuevo al flip flop en estado PRESET permitiendo que los buffers salgan del tercer estado y el inversor vuelva a operar normalmente, este mismo pulso coloca en la terminal CLEAR del flip flop una señal positiva evitando disturbios si ambas terminales de CLEAR y PRESET permanecen en bajo.

5.2 Alcances y limitaciones

El desarrollo del sistema tuvo como propósito la formación de una señal trifásica de 400 Hz que pudiera entregar la suficiente potencia trabajar con sistemas eléctricos de los aviones que consumen aproximadamente 10 amperios por fase.

En este sentido el sistema alcanza a desarrollar la suficiente potencia necesaria no solo para operar un solo dispositivo eléctrico a la vez sino hasta dos, esto por cuanto las corrientes máximas que soportan los dispositivos de control superan los 30 amperios por fase (rectificador $I_{FRMS} = 2 \times 180A$, $I_{FAVM} = 2 \times 120A$, IGBT $I = 75A$). Sin embargo no es recomendable superar los 30 A por fase por cuanto el cable eléctrico de conducción en la parte de potencia está diseñado para operar a dicha corriente, al igual que el disyuntor termomagnético (*breaker*) trifásico utilizado para la alimentación y protección del sistema.

El sistema controla la frecuencia y voltaje en el transformador por medio de las referencias senoidales utilizadas y los comparadores incorporados, a esto se suma la protección contra cortocircuito presente en la tarjeta driver por medio del detector de desaturación, sin embargo el diseño de dos circuitos alternos de protección viene a apoyar el desempeño del sistema.

Aún cuando el sistema total no se pudo implementar con los transformadores de potencia, se pudo realizar un prototipo de baja potencia obteniéndose una salida en el transformador secundario superior a los 100 voltios, confirmando el adecuado funcionamiento y diseño del sistema de control, faltando únicamente ajustes en el circuito de potencia realizando la conexión entre el rectificador trifásico, el sistema de control y los transformadores de potencia.

Los circuitos de protección diseñados, aún cuando no fueran implementados presentan una limitante en el monitoreo de frecuencia y voltaje, esto por cuanto el sistema debe de operar aún cuando existan variaciones de 400 ± 10 y $115 \times 10 V_{RMS}$, sin embargo al darse la situación en que la frecuencia y el voltaje se mantienen al mismo tiempo al mínimo permitido (390 Hz y $105 V_{RMS}$) por dos segundos o más, se desactivará el sistema por cuanto se realizará una lectura errónea de voltaje debido a que esta se realiza $312 \mu s$ (45°) después de detectarse el cruce por cero del semiciclo negativo al positivo, esto suponiendo que se dispone de una señal de 400 Hz.

Al presentarse una señal de 390 Hz y $105 V_{RMS}$, después de $312 \mu s$ (45° en señal de 400 Hz) de detectarse el cruce por cero se tomará lectura errónea de un voltaje RMS equivalente a $103 V_{RMS}$ lo cual resulta falso. Aun con esta circunstancia se toma el sistema de protección como válido debido a su bajo costo y además que para presentarse el error expuesto se deben de mantener las condiciones extremas mínimas de voltaje y frecuencia en un mínimo de 800 ciclos.

Finalmente el apéndice 9 muestra la tarjeta de control realizada en donde se muestra explícitamente algunas de sus partes fundamentales para realizar futuros ajustes.

CAPITULO 6

CONCLUSIONES Y RECOMENDACIONES

6.1 Conclusiones

a. El rectificador trifásico de onda completa logra una rectificación tal que se producen seis pulsos de 60° cada uno.

b. En un rectificador trifásico de seis pulsos conducen en todo momento 2 diodos según las diferencias existentes en los voltajes de línea.

c. Las señales obtenidas a través del inversor pueden presentar dependencia o independencia entre ellas según la cantidad de dispositivos (como IGBT) utilizados en la conformación del mismo.

d. Un inversor trifásico de doce IGBTs logra la formación independiente de tres señales con la ayuda de tres transformadores utilizados para cerrar el lazo de corriente y como carga eléctrica del inversor.

e. Un inversor de puente conformado por cuatro IGBT permite la formación de cualquier señal eléctrica dependiendo del control de disparo que se realice en la operación de los IGBT.

f. La comparación entre la señal formada a la salida de un inversor de puente completo y dos señales senoidales de referencia en fase, con igual frecuencia y diferente amplitud, es un método eficiente para la formación de la señal senoidal en el inversor.

g. Las diferencias constructivas en los capacitores y resistencias varían considerablemente el desempeño de elementos electrónicos.

h. El tipo de material de capacitores y resistencias son de gran relevancia cuando estos se utilizan en dispositivos en los que la respuesta de frecuencia, filtrado y tiempos de operación y respuesta son considerables.

i. Los capacitores de cerámica brindan una mejor respuesta que similares de tantalio, mica y electrolíticos.

j. El uso de optoacopladores y transformadores brindan un medio útil y fácil en el aislamiento de señales de control y potencia.

k. Las capacitancias parásitas, efectos inductivos, ruido eléctrico o provocado por ondas de radio, provocan pequeñas diferencias de potencial en las distintas terminales de tierra (GND) de un circuito.

l. En dispositivos electrónicos en que la conexión a tierra es de gran relevancia se deben de conectar todas sus terminales de referencia a un mismo punto junto con las de los componentes electrónicos externos al dispositivo relacionados directamente con este.

6.2 Recomendaciones

Para garantizar el correcto funcionamiento a largo plazo del sistema desarrollado se presentan una serie de recomendaciones.

a. Acatar estrictamente las recomendaciones dadas por los fabricantes (anexos) para garantizar el adecuado funcionamiento de los distintos componentes, especialmente de aquellos sensibles a la estática.

b. Recordar, de realizar los circuitos de protección contra voltaje y frecuencia, que los IGBT son apagados pero que el sistema completo todavía presenta energía, por lo que se debe de evitar todo contacto con las terminales de potencia (rectificadores y entradas al inversor) sin los adecuados cuidados, asimismo la tarjeta controladora.

c. Todo el sistema de control fue desarrollado en una tarjeta wire wrap, la misma tiene como fin la realización de prototipos y circuitos de prueba en una forma sencilla, no así el montaje de circuitos finales como en un circuito impreso, por lo que se recomienda de manera pronta la realización del circuito impreso del sistema, debido a las siguientes razones:

c.1. El sistema de alambrado utilizado en la wire wrap es de fácil oxidación debido a la exposición de las conexiones con el medio ambiente, lo que no garantiza con el paso del tiempo un adecuado contacto entre las líneas de conexión y las bases de los circuitos integrados.

c.2. La cantidad de líneas de conducción presentan un sinnúmero de capacitancias parásitas y efectos inductivos que podrán influir negativamente en el funcionamiento total del sistema.

c.3 Las líneas de conexión al aire y tendidas una sobre otra son muy susceptibles al ruido, especialmente si el sistema se encuentra cercano a líneas de transmisión de alta corriente y tensión, afectando en los valores de tiempo y amplitud de las diferentes señales de control.

e. Colocar el circuito de control dentro de una caja o malla metálica para evitar los disturbios presentados por las ondas de radio presentes en el aeropuerto y especialmente en los sistemas de comunicación de Aviónica.

f. De realizar cambios en resistencias que estas sean de película de metal, y de cambiar capacitores que estos sean de cerámica, para evitar disturbios y conservar la precisión alcanzada.

g. Las resistencias colocadas en el divisor de tensión del bobinado secundario deben ser de una potencia superior a los 3 watts, esto por la cantidad de voltaje y corriente que circulará por las mismas, resistencias de baja potencia no permitirán el adecuado funcionamiento del sistema debido a que estas se quemarán si el voltaje es muy alto.

h. Colocar filtros en los bobinados secundarios de los transformadores de potencia para obtener en forma exitosa las señales senoidales sin distorsión. En vez de utilizar un solo filtro se podría utilizar una etapa de filtrado con dos de ellos en cascada, para poder filtrar con el segundo las señales que lograron atravesar el primer filtro.

i. En la etapa de entrada de los buffer de tercer estado de los bloques de control, compuesta por compuertas NOT, se recomienda siempre que se utilicen de la familia LS, debido a que las 7400 producen el efecto contrario al que se desea alcanzar, y en menor medida que estas sean ensambladas en Malaysia debido a que las mismas fabricadas en México producen un tiempo menor de desfase al de las primeras.

Entre las mejoras que se podrían realizar al sistema se encuentran:

a. La implementación de los circuitos de protección de voltaje y frecuencia, diseñados y mostrados en este informe.

b. La realización de sistemas de interface entre el sistema y el operario que muestre la frecuencia y tensión de cada una de las fases o del sistema en conjunto.

c. Búsqueda de los transformadores de 400Hz que garanticen la entrega de la potencia requerida a la carga, teniendo en cuenta que la modificación de los mismos podrán influir en los divisores de tensión colocados en los bobinados primarios, por lo que se recomienda, de hacerse el cambio, verificar estos divisores acorde a lo establecido en el apéndice 2.

BIBLIOGRAFÍA

1. National Semiconductor. Analog/Interface Databook. Winter 2000, 1 disco compacto, 8mm.
2. Rashid, Muhammad H. Electronica de potencia, circuitos, dispositivos y aplicaciones, 2 ed. México: Prentice Hall Hispanoamericana S.A., 1995
3. Maloney, Timothy J. Electrónica industrial moderna, 3 ed. México: Prentice Hall Hispanoamericana S.A., 1997
4. Dewan, S.B.; Straughen, A. Power semiconductors circuits, USA: John Wiley, 1995
5. Coughlin, R.; Driscoll, F. Amplificadores operacionales y circuitos integrados, 4 ed. México: Prentice Hall Hispanoamericana S.A., 1995.
6. Motto, E. Hybrid Circuits Simplify IGBT Module Gate Drive, Powerex Inc. USA.
Disponible en <http://www.pwr.com/pwr/app/PCIM99.pdf>
7. Powerex Inc. Driving IGBT Modules, USA.
Disponible en <http://pwr.com/pwr/app/Driving-IGBT-Modules.pdf>
8. Powerex Inc. Using IGBT Modules, USA.
Disponible en <http://pwr.com/pwr/app/UsingIGBTModules.pdf>
9. MAXIM. High-Frequency Waveform Generator, 2 ed. data Sheets, USA, 1996.
Disponible en <http://pdfserv.maxim-ic.com/pdf/MAX038.pdf>

10. MAXIM. Versatile Waveform Generator Operates from 0.1Hz to 20MHz. USA 2001.
Disponible en http://dbserv.maxim-ic.com/appnotes.cfm?appnote_number=650

11. Powerex Inc. BG2B-Universal Dual IGBT Module Gate Driver Board, Advanced Product Bulletin.
Disponible en <http://www.pwrx.com/pwrx/docs/bg2b.pdf>

12. IXYS. Diode Modules, data sheets, 2000, USA.
Disponible en <http://www.ixys.com>

13. Powerex Inc. M57959L Gate Driver, data sheets.
Disponible en <http://www.pwrx.com/pwrx/docs/m57959l.pdf>

14. Powerex Inc. M57145L-01 DC-to-DC Converter, data sheets.
Disponible en http://www.pwrx.com/pwrx/docs/m57145l_01.pdf

15. Powerex Inc. CM75DU-24H Dual IGBTMOD™ U-Series Module, data sheet.
Disponible en <http://www.pwrx.com/pwrx/docs/cm75du24h.pdf>

APÉNDICES

Apéndice 1: Cálculo de componentes para frecuencia de 400Hz

$$F(\text{MHz}) = I_{\text{IN}} \div C_{\text{F}}(\text{pF})$$

El fabricante recomendó una corriente I_{IN} cercana a $100 \mu\text{A}$ para frecuencias fijas.

Así:

$$R_{\text{IN}} = V_{\text{IN}} \div 100\mu\text{A} = 2.5 \text{ V} \div 100\mu\text{A} = 25000 \Omega$$

$$F(\text{Hz}) = 100\mu\text{A} \div C_{\text{F}}(\mu\text{F})$$

$$C_{\text{F}} = 0.25 \mu\text{F}$$

Valor de capacitancia no existente, por lo cual se eligió un valor de $0.22 \mu\text{F}$. Con este nuevo valor se tuvo:

$$F(\text{Hz}) = I_{\text{IN}}(\mu\text{A}) \div C_{\text{F}}(\mu\text{F})$$

$$I_{\text{IN}} = F(\text{Hz}) \times C_{\text{F}}(\mu\text{F}) = 400 \times 0.22\mu\text{F} = 88 \mu\text{A}$$

$$R_{\text{IN}} = 2.5 \text{ V} \div 88\mu\text{A} = 28409 \Omega$$

Con estas consideraciones teóricas se eligió una resistencia de 30100Ω de película de metal de 1% en serie con una resistencia variable de $10 \text{ K}\Omega$, de varias vueltas, para obtener el valor resistivo necesario para obtener los 400 Hz. Con estos valores se obtuvo la respuesta adecuada de frecuencia.

Apéndice 2: Cálculo de divisor de tensión en realimentación

El voltaje de salida del generador de función fue de $2 V_{pp}$, independientemente de la forma de onda. Obteniéndose en las salidas de los amplificadores operacionales no inversores dos señales senoidales, la mayor de $20V_{pp}$ y la otra de $15 V_{pp}$.

Para garantizar una adecuada comparación, el voltaje máximo a comparar se debió encontrar entre estos dos valores, y por tanto $17.5 V_{pp}$, en el mismo instante en que la salida del inversor tuvo $325 V_{pp}$ ($115 V_{RMS}$).

De esta forma y seleccionando una resistencia de precisión de $11 K\Omega$ en el divisor de tensión se tuvo lo siguiente:

$$17.5V_{pp} = \frac{325V_{pp} \times R}{R + 11K\Omega}$$

Despejando el valor de R se obtuvo un valor de 626Ω , por lo que se eligió una resistencia variable de $1 K\Omega$ de varias vueltas.

El valor máximo de referencia de $22 V_{pp}$ correspondió a un voltaje de fase en el transformador de $120 V_{RMS}$, mientras que el valor de referencia menor de $20 V_{pp}$, correspondió a un voltaje de $110 V_{RMS}$, de esta forma el voltaje formado en el inversor se encontró en un rango de $115 \pm 5 V_{RMS}$.

Apéndice 3: Divisores de tensión en circuito de sobre/baja frecuencia

La entrada del circuito de protección contra variaciones de frecuencia, lo constituye un divisor de tensión utilizado para dividir la señal senoidal del bobinado secundario del transformador de potencia.

Para una resistencia de precisión constante de $11\text{ K}\Omega$, tomando un voltaje máximo de entrada de 13 V , y suponiendo un voltaje máximo de salida del transformador de $125\text{ V}_{\text{RMS}}$, se tiene que:

$$13\text{V} = \frac{125 \times \sqrt{2} \times R}{11\text{K}\Omega + R}$$

Despejando el valor de R se obtiene un valor de $873\ \Omega$, por lo que se coloca una resistencia variable de precisión de $1\text{ K}\Omega$.

Respecto a los divisores de tensión en el comparador de ventana se debe de presentar una relación de comparación de $11.24 \pm 0.28\text{ V}$, eligiendo una resistencia de precisión de película de metal de $10\text{ K}\Omega$, se tiene para el valor máximo de voltaje a comparar:

$$11.52\text{V} = \frac{15\text{V} \times 10\text{K}\Omega}{R + 10\text{K}\Omega}$$

Despejando el valor de R se obtiene un valor de $3020\ \Omega$, por lo que se coloca una resistencia variable de $10\text{ K}\Omega$. Para el segundo divisor se obtiene para una resistencia fija de $10\text{ K}\Omega$, una segunda resistencia de $3686\ \Omega$, por lo que se coloca una resistencia variable de $10\text{ K}\Omega$.

Apéndice 4: Filtro Butterworth paso bajo

Seleccionando una frecuencia de corte de 500 Hz, correspondiente a una frecuencia angular (ω_c) de 3141 rad/s y un capacitor C_1 de 0.01 μF , se tienen las siguientes relaciones:

$$C_2 = 2C_1$$
$$C_2 = 0.02 \mu\text{F}$$

Obteniendo el valor de la resistencia de entrada por medio de la siguiente relación:

$$R_e = \frac{0.707}{\omega_c \times C_1} = \frac{0.707}{3141 \times 0.01 \mu\text{F}} = 22413 \Omega$$

Escogiendo un valor de 22100 Ω , se obtiene el valor de la resistencia de realimentación R_f , por medio de la siguiente relación:

$$R_f = 2R_e = 44200 \Omega$$

Seleccionándose dos resistencias en serie de 22100 Ω .

Apéndice 5: Obtención de elementos del convertidor frecuencia/voltaje

El voltaje de salida del convertidor de frecuencia responde a la siguiente relación:

$$V_O = V_{CC} \times f_{IN} \times C_1 \times R_1$$

Respecto a las corrientes de salida se tiene que por medio de un espejo de corriente $I_2 = I_3 = I_C$.

$$I_C = V_{CC} \times f_{IN} \times C_1$$

Este valor de corriente se encuentra entre $140 \mu\text{A}$ y $240 \mu\text{A}$, teniendo como valor típico $180 \mu\text{A}$, de esta forma:

$$180 \mu\text{A} = \frac{V_C}{R_1} = V_{CC} \times f_{IN} \times C_1$$

Para una frecuencia máxima de 500 Hz y con $V_{CC} = 15 \text{ V}$, se tiene:

$$C_1 = \frac{180 \mu\text{A}}{V_{CC} \times f_{IN}} = \frac{180 \mu\text{A}}{15 \times 500} = 24 \eta\text{F}$$

Siendo que este valor no es comercial, se escoge un valor de $22 \eta\text{F}$.

Respecto a los voltajes máximo V_{OH} y mínimo V_{OL} de salida, se tiene que:

$$V_{OH} = \frac{3}{4} V_{CC} - V_{BE} = \frac{3}{4} \times 15 - 0.7 = 10.55 \text{ V}$$

$$V_{OL} = \frac{1}{4} V_{CC} - V_{BE} = \frac{1}{4} \times 15 - 0.7 = 3.05$$

Seleccionando un voltaje de salida V_{OH} para la frecuencia de 500 Hz , se tiene:

$$I_C = 180 \mu\text{A} = \frac{V_{OH}}{R_1} = \frac{10.55\text{V}}{R_1}$$

Despejando R_1 se obtiene un valor de 58611Ω , escogiéndose dos resistencias en serie, de 51000Ω y 7500Ω , ambas de película de metal.

Con estos valores seleccionados se tiene para 500 Hz un voltaje de salida igual a:

$$V_o = V_{CC} \times f_{IN} \times C_1 \times R_1 = 15 \times 500 \times 22 \eta F \times 58600 = 9.7V$$

y una frecuencia máxima de entrada permisible de:

$$f_{MAX} = \frac{I_2}{C_1 \times V_{CC}} = \frac{180 \mu A}{22 \eta F \times 15V} = 545 \text{ Hz}$$

El valor de C_2 se elige según la cantidad de rizado pico-pico que se desea en la salida, en este caso se espera un rizado bajo, por lo que se elegirá un valor de C_2 alto según la siguiente relación:

$$V_{PP} = \frac{V_{CC}}{2} \times \frac{C_1}{C_2} \left(1 - \frac{V_{CC} \times f_{IN} \times C_1}{I_2} \right)$$

sustituyendo valores, se obtiene:

$$V_{PP} = \frac{4.4 \times 10^{-8}}{C_2}$$

En las dos ecuaciones anteriores se observa claramente la relación inversa entre el voltaje pico-pico de rizado en la salida, sin embargo un valor muy alto, que supondría un valor muy bajo en rizado incide en el tiempo de respuesta por la relación $R_1 \times C_2$.

De esta forma se elige un valor de $3.3 \mu F$ (capacitor de tantalio), así:

$$V_{PP} = \frac{4.4 \times 10^{-8}}{3.3 \times 10^{-6}} = 13 \text{ mV}_{PP}$$

En tanto el tiempo de respuesta, corresponderá a:

$$\tau = R_1 \times C_2 = 58600 \times 3.3 \times 10^{-6} = 193 \text{ ms}$$

$$5\tau = 0.966 \text{ s}$$

Correspondiendo a un valor menor al pulso inicial del 555 y del 74121 para permitir la estabilización del sistema.

Así para una relación de $400 \pm 10\text{Hz}$ se obtuvo una relación de voltajes de 7.73 ± 0.19 . Debido a la poca diferencia de voltajes en el rango de frecuencias establecido, se decidió colocar un amplificador operacional no inversor de ganancia 1.45 a la salida del convertidor de frecuencia/voltaje, como se observó en el circuito de respectivo y en el apéndice 3, obteniéndose una relación de $400 \pm 10\text{Hz} \approx 11.24 \pm 0.28 \text{ V}$ en la salida del convertidor de frecuencia/voltaje.

Apéndice 6: Divisores de tensión del circuito de protección de voltaje

La entrada máxima de voltaje especificada por el fabricante para el dispositivo Sample and Hold, corresponde a +20V para la entrada V+ y de -20V para la entrada V-, ambas respecto a las señales de referencia SUPPLY/SIG GND; sin embargo debido a que la entrada del Sample and Hold corresponde a la entrada de un detector de cruce por cero, cuya entrada máxima corresponde a un valor de $\pm 15V$, se eligió un valor de 10V como entrada para ambos dispositivos, de esta forma se obtienen las siguientes relaciones:

$$10 \text{ V} = 125 \times \sqrt{2}$$

En donde 125 corresponde al máximo valor de voltaje RMS en la salida del transformador de potencia. Eligiendo una resistencia constante de 11 K Ω , se obtiene que:

$$10 = \frac{125 \times \sqrt{2} \times R}{11\text{K}\Omega + R}$$

Despejando el valor de R, se obtiene un valor de 659 Ω , por lo que se coloca una resistencia variable de precisión de 1 K Ω .

De esta forma se obtiene que 6.50 V_{RMS} en la entrada del Sample and Hold corresponde a 115 V_{RMS} en la salida del transformador, obteniéndose una relación final de $115 \pm 10 \text{ V}_{\text{RMS}} \approx 6.50 \pm 0.57 \text{ V}_{\text{RMS}}$ en la entrada del Sample and Hold y el detector de cruce por cero.

El voltaje de comparación mayor en la entrada del comparador de ventana, correspondió a 7.07 V, de esta forma eligiendo una resistencia constante de 5 K Ω y un voltaje de 15 V, se tiene que:

$$7.07 = \frac{15V \times R}{R + 5K\Omega}$$

Despejando el valor de R se obtiene un valor de 4457 Ω , eligiendo una resistencia variable de 10 K Ω , en tanto para el voltaje de comparación menor se obtiene una resistencia de 3269 Ω .

Apéndice 7: Obtención del voltaje RMS de una señal senoidal

Para una onda senoidal se tiene que el voltaje RMS cumple la siguiente relación:

$$V_{\text{RMS}} = \frac{V_p}{\sqrt{2}}$$

En este caso $V_p = 115 \times \sqrt{2}$, en tanto el voltaje instantáneo es igual a:

$$V_i = V_p \text{sen} \omega \cdot t$$

para una frecuencia de 400 Hz, $\omega = 2\pi \times 400 = 800\pi$

De esta forma

$$V_i = 115 \times \sqrt{2} \times \text{sen} 800\pi t$$

Siendo que se desea obtener el voltaje RMS, se tiene que:

$$\frac{V_p}{\sqrt{2}} = 115 \times \sqrt{2} \times \text{sen} 800\pi t$$

$$\frac{1}{\sqrt{2}} = \text{sen} 800\pi t$$

Obteniéndose que el ángulo (α) donde se encuentra el valor RMS de una señal senoidal corresponde a:

$$\text{sen}^{-1}\left(\frac{1}{\sqrt{2}}\right) = \alpha$$

$$\text{sen}^{-1}\left(\frac{1}{\sqrt{2}}\right) = 45^\circ$$

Para este caso en que el periodo corresponde a 2500 μs se tiene que 45° corresponde a 312.5 μs , después de que la señal senoidal cruzó del semiciclo negativo al positivo.

Apéndice 8: Diseño de figuras y software

Figura 1.1 Lexar Media USB Family Driver (Foto digital)

Figura 2.1 SIMCAD

Figura 2.2 Paint

Figura 2.3 Electronics Workbench

Figura 4.1 Paint

Figura 4.2 Lexar Media USB Family Driver (Foto digital)

Figura 5.1 OrCAD Express for Windows

Figura 5.2 Fluke View Software⁽¹⁰⁾

Figura 5.3 OrCAD Express for Windows

Figura 5.4 OrCAD Express for Windows

Figura 5.5 Fluke View Software

Figura 5.6 OrCAD Express for Windows

Figura 5.7 Fluke View Software

Figura 5.8 OrCAD Express for Windows

Figura 5.9 Fluke View Software

Figura 5.10 Fluke View Software

Figura 5.11 Fluke View Software

Figura 5.12 OrCAD Express for Windows

Figura 5.13 Fluke View Software

Figura 5.14 Fluke View Software

Figura 5.15 OrCAD Express for Windows

Figura 5.16 OrCAD Express for Windows

Figura 5.17 Fluke View Software

Figura 5.18 Fluke View Software

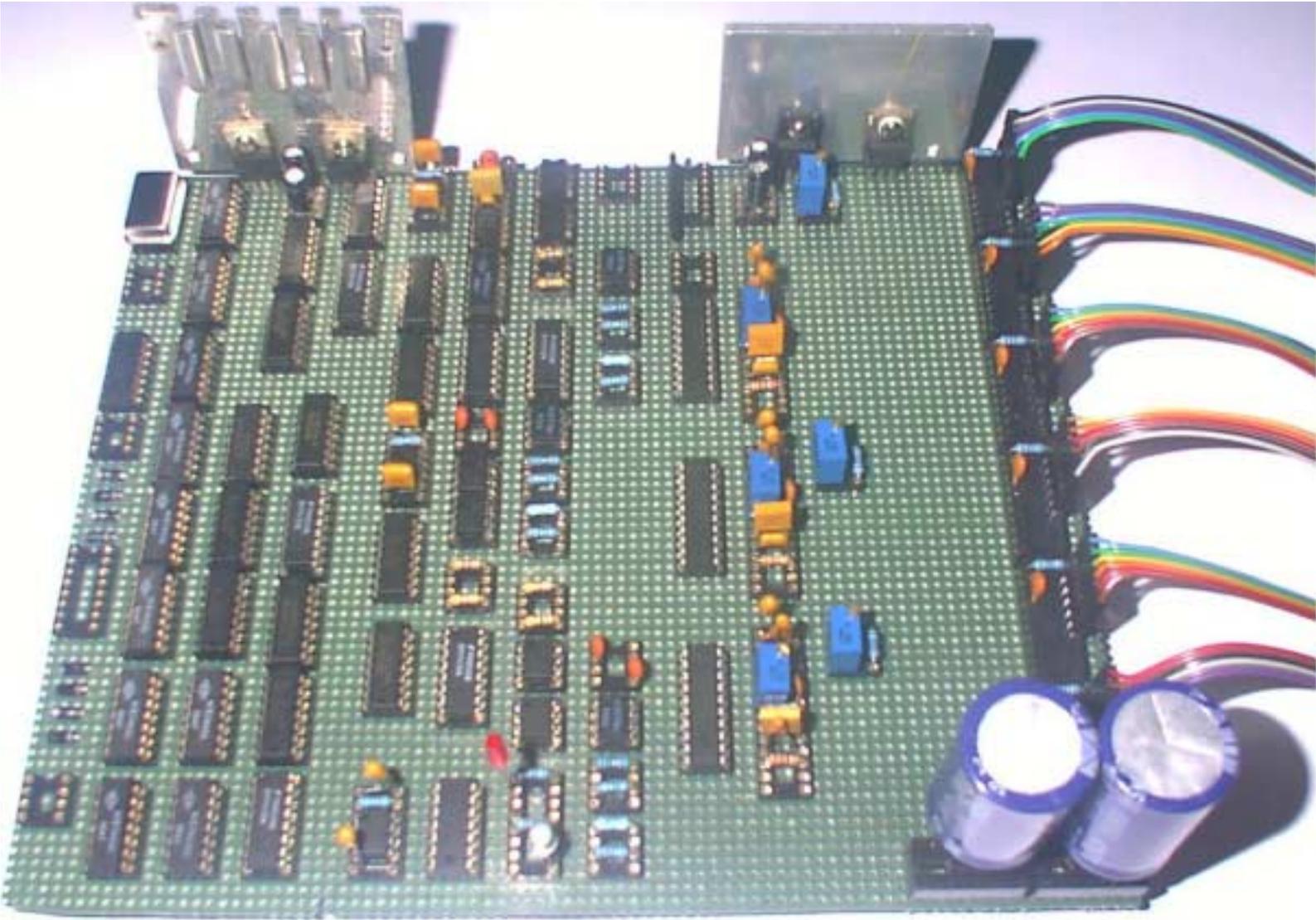
Figura 5.19 Fluke View Software

Figura 5.20 Fluke View Software

⁽¹⁰⁾ Fluke View Software correspondió al software de interfaz del osciloscopio utilizado

Figura 5.21 OrCAD Express for Windows
Figura 5.22 Fluke View Software
Figura 5.23 Fluke View Software
Figura 5.24 Fluke View Software
Figura 5.25 OrCAD Express for Windows
Figura 5.26 OrCAD Express for Windows
Figura 5.27 OrCAD Express for Windows
Figura 5.28 OrCAD Express for Windows y Paint
Figura 5.29 Fluke View Software
Figura 5.30 Fluke View Software
Figura 5.31 Fluke View Software
Figura 5.32 Fluke View Software
Figura 5.33 Fluke View Software
Figura 5.34 Fluke View Software
Figura 5.35 Fluke View Software
Figura 5.36 OrCAD Express for Windows
Figura 5.37 OrCAD Express for Windows
Figura 5.38 OrCAD Express for Windows

Apéndice 9: Tarjeta de control realizada





Circuito externo del generador de frecuencia, la resistencia variable es utilizada para regular la frecuencia de la señal pero especialmente en este caso en que la frecuencia es sincronizada con una señal externa, la resistencia variable es utilizada para ajustar el desfase de la señal respecto a las otras.



Divisor de tensión colocado en el bobinado secundario del transformador, con la resistencia variable se logra el ajuste tal que permita obtener $115 V_{RMS}$ en la salida del transformador. Para lograr el ajuste se deben de observar las señales de referencia y la señal de entrada al comparador para lograr que esta se encuentre entre el delta de referencia cuando la salida del transformador es de $115 V_{RMS}$.

Apéndice 10: Glosario

Armónicos: Señales de distinta frecuencia a la fundamental de una señal dada.

BJT: Bipolar Junction Transistor (Transistor de unión bipolar NPN, PNP)

Bobinado primario: Devanado de un transformador al cual se aplica la señal.

Bobinado secundario: Devanado de un transformador al cual se encuentra conectada la carga.

Capacitancia parásita: Medida de capacitancia entre dos superficies conductoras o cargadas.

Capacitor NPO: Capacitor que posee un bajo factor de disipación y presenta una gran estabilidad ante variaciones de temperatura, frecuencia y tiempo, son usados frecuentemente en precisión de tiempo, filtrado, selección de frecuencia y circuitos sintonizadores.

Colector abierto: Configuración de salida de circuitos digitales, en donde solamente se encuentra un transistor de salida con el colector del mismo como terminal de salida por lo que se debe de colocar una resistencia externa para la alimentación de corriente.

Desbalance: Situación presentada cuando las cargas de un sistema eléctrico de más de una fase (trifilar o trifásico) presentan distintas impedancias, lo que provoca una diferencia de corrientes (desbalance) en la carga.

Diodo antiparalelo: Diodo colocado entre el colector y el emisor de un transistor, en una configuración que presenta una polarización inversa cuando el transistor se encuentra en saturación, se utiliza para evitar daños en el transistor cuando una corriente de reversa se produce producto de la corriente producida al desconectar una carga inductiva colocada entre el colector o emisor del transistor y la fuente de alimentación.

ESD: Electrostatic Sensitive Devices (Dispositivos sensibles a la electrostática)

Gate: Terminal de puerta (gate) por medio de la cual se logra el control del IGBT.

Gate driver, tarjeta driver o driver: Tarjeta o chip utilizado para el control del IGBT, por medio de señales eléctricas en el gate del IGBT.

IGBT: Insulated Gate Bipolar Transistor; transistor de potencia que presenta ventajas de los BJT y de los MOSFET.

Inversor: Circuito capaz de pasar de una señal directa a una señal alterna.

Lógica combinacional: Lógica digital en que la salida de un circuito o dispositivo no depende de ningún valor anterior, por ejemplo cualquier compuerta lógica.

Lógica secuencial: Lógica digital en que la salida de un circuito o dispositivo depende del valor anterior, por ejemplo un flip flop.

Medio puente: Conexión de dos IGBT en donde el emisor de uno corresponde al colector del segundo, se utiliza para formar una señal pero dependiente de otros dispositivos que permitan cerrar el lazo de corriente.

Modo de toggle: Modo de operación de un flip flop JK cuando sus terminales J y K se encuentran siempre en nivel alto, en esta situación para cada señal de reloj se invierte la señal de salida del flip flop.

Offset: Nivel de voltaje dc presente en una señal alterna.

Optoacoplador, optoaislador: Encapsulado que contiene un LED infrarrojo, y un fotodetector, como un fototransistor (la base es sensible a la luz infrarroja en vez de una corriente eléctrica).

Puente: Conexión formada por cuatro IGBT, en donde se comparte los colectores de dos IGBT y los emisores de los otros dos IGBT, utilizado para formar una señal independientemente de otras debido a que el lazo de corriente se cierra entre estos cuatro elementos.

Rectificador: Circuito utilizado para pasar de una señal alterna a una directa.

Señal trifásica: Señal formada a su vez por tres señales de la misma clase, desfasadas entre sí por 120° .

Tótem pole: Configuración de salida de circuitos digitales constituidos por dos transistores, en donde el emisor del primer transistor corresponde al colector del segundo.

Transformador: Máquina eléctrica utilizada para tres funciones: Elevar o reducir el voltaje o corriente, actuar como dispositivo acoplador de impedancia, aislar una parte de una red de otra.

TTL: Transistor Transistor Logic; son dispositivos electrónicos formados por transistores que utilizan niveles de voltaje binarios para su operación, donde 0V establece un nivel lógico de cero y 5V establece un nivel lógico de uno.

UPS: Uninterrupted Power Supplies (Suplidor de potencia ininterrumpida)

Voltaje instantáneo: Voltaje presente en un instante de tiempo en una señal de voltaje.

Voltaje RMS: Raíz media cuadrática de la señal de voltaje, conocido también como valor efectivo de la señal.

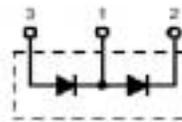
V_{RRM} : Recurrent Peak Reverse Voltage

ANEXOS

Anexo 1: Características de la serie de rectificadores MDD 95

Diode Modules

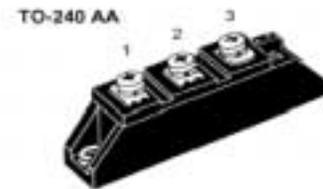
V_{RRM} V	V_{RSM} V	Type
900	800	MDD 95-08N1 B
1300	1200	MDD 95-12N1 B
1500	1400	MDD 95-14N1 B
1700	1600	MDD 95-16N1 B
1900	1800	MDD 95-18N1 B
2100	2000	MDD 95-20N1 B
2300	2200	MDD 95-22N1 B



$$I_{FRMS} = 2 \times 180 \text{ A}$$

$$I_{FAVM} = 2 \times 120 \text{ A}$$

$$V_{RRM} = 800\text{-}2200 \text{ V}$$



Symbol	Test Conditions	Maximum Ratings	
I_{FRMS}	$T_{vj} = T_{vjmax}$	180 A	
I_{FAVM}	$T_{vj} = 105^\circ\text{C}$; 180° sine	120 A	
I_{FRM}	$T_{vj} = 45^\circ\text{C}$; $V_{vj} = 0$	$t = 10 \text{ ms}$ (50 Hz), sine	2800 A
		$t = 8.3 \text{ ms}$ (60 Hz), sine	3300 A
	$T_{vj} = T_{vjmax}$; $V_{vj} = 0$	$t = 10 \text{ ms}$ (50 Hz), sine	2500 A
		$t = 8.3 \text{ ms}$ (60 Hz), sine	2750 A
jPd	$T_{vj} = 45^\circ\text{C}$; $V_{vj} = 0$	$t = 10 \text{ ms}$ (50 Hz), sine	39 200 A ² s
		$t = 8.3 \text{ ms}$ (60 Hz), sine	45 000 A ² s
	$T_{vj} = T_{vjmax}$; $V_{vj} = 0$	$t = 10 \text{ ms}$ (50 Hz), sine	31 200 A ² s
		$t = 8.3 \text{ ms}$ (60 Hz), sine	31 300 A ² s
T_{vj}		-40...+150 °C	
T_{vjmax}		150 °C	
T_{vj}		-40...+125 °C	
V_{RRM}	50/60 Hz, RMS $t = 1 \text{ min}$	3000 V-	
	$I_{RRM} < 1 \text{ mA}$ $t = 1 \text{ s}$	3600 V-	
M_4	Mounting torque (M5)	2.5-4/22-35 Nm/lb.in	
	Terminal connection torque (M5)	2.5-4/22-35 Nm/lb.in	
Weight	Typical including screws	90 g	

Features

- International standard package JEDEC TO-240 AA
- Direct copper bonded Al_2O_3 -ceramic base plate
- Planar passivated chips
- Isolation voltage 3600 V-
- UL registered, E 72873

Applications

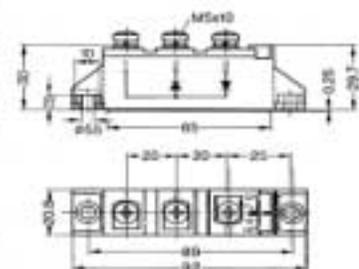
- Supplies for DC power equipment
- DC supply for PWM inverter
- Field supply for DC motors
- Battery DC power supplies

Advantages

- Space and weight savings
- Simple mounting
- Improved temperature and power cycling
- Reduced protection circuits

Symbol	Test Conditions	Characteristic Values	
I_s	$T_{vj} = T_{vjmax}$; $V_{vj} = V_{RRM}$	15 mA	
V_{vj}	$I_s = 300 \text{ A}$; $T_{vj} = 25^\circ\text{C}$	1.43 V	
V_{T0}	For power-loss calculations only	0.75 V	
r_T	$T_{vj} = T_{vjmax}$	1.95 mΩ	
Q_s	$T_{vj} = 125^\circ\text{C}$; $I_s = 50 \text{ A}$, -di/dt = 6 A/μs	170 μC	
I_{SM}		45 A	
$R_{th(j-c)}$	per diode; DC current per module	} other values see Fig. 6/7	0.26 K/W
			0.13 K/W
			0.46 K/W
			0.23 K/W
d_s	Creepage distance on surface	12.7 mm	
d_a	Strike distance through air	9.6 mm	
a	Maximum allowable acceleration	50 m/s ²	

Dimensions in mm (1 mm = 0.0394")



Data according to IEC 60747 and refer to a single diode unless otherwise stated.
IXYS reserves the right to change limits, test conditions and dimensions

Anexo 2: Recomendaciones para el comparador LM311

8.0 Application Hints

8.1 CIRCUIT TECHNIQUES FOR AVOIDING OSCILLATIONS IN COMPARATOR APPLICATIONS

When a high-speed comparator such as the LM111 is used with fast input signals and low source impedances, the output response will normally be fast and stable, assuming that the power supplies have been bypassed (with 0.1 μF disc capacitors), and that the output signal is routed well away from the inputs (pins 2 and 3) and also away from pins 5 and 6.

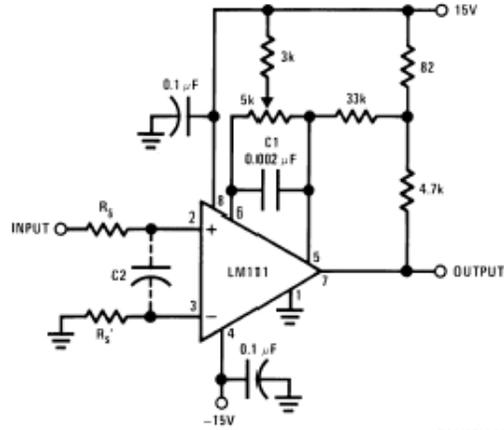
However, when the input signal is a voltage ramp or a slow sine wave, or if the signal source impedance is high (1 $\text{k}\Omega$ to 100 $\text{k}\Omega$), the comparator may burst into oscillation near the crossing-point. This is due to the high gain and wide bandwidth of comparators like the LM111. To avoid oscillation or instability in such a usage, several precautions are recommended, as shown in *Figure 1* below.

1. The trim pins (pins 5 and 6) act as unwanted auxiliary inputs. If these pins are not connected to a trim-pot, they should be shorted together. If they are connected to a trim-pot, a 0.01 μF capacitor C1 between pins 5 and 6 will minimize the susceptibility to AC coupling. A smaller capacitor is used if pin 5 is used for positive feedback as in *Figure 1*.
2. Certain sources will produce a cleaner comparator output waveform if a 100 pF to 1000 pF capacitor C2 is connected directly across the input pins.
3. When the signal source is applied through a resistive network, R_S , it is usually advantageous to choose an R_S of substantially the same value, both for DC and for dynamic (AC) considerations. Carbon, tin-oxide, and metal-film resistors have all been used successfully in comparator input circuitry. Inductive wirewound resistors are not suitable.
4. When comparator circuits use input resistors (eg. summing resistors), their value and placement are particularly important. In all cases the body of the resistor should be close to the device or socket. In other words there should be very little lead length or printed-circuit foil run between comparator and resistor to radiate or pick up signals. The same applies to capacitors, pots, etc. For example, if $R_S=10 \text{ k}\Omega$, as little as 5 inches of lead between the resistors and the input pins can result in oscillations that are very hard to damp. Twisting these input leads tightly is the only (second best) alternative to placing resistors close to the comparator.
5. Since feedback to almost any pin of a comparator can result in oscillation, the printed-circuit layout should be engineered thoughtfully. Preferably there should be a groundplane under the LM111 circuitry, for example, one side of a double-layer circuit card. Ground foil (or, positive supply or negative supply foil) should extend between the output and the inputs, to act as a guard. The foil connections for the inputs should be as small and compact as possible, and should be essentially surrounded by ground foil on all sides, to guard against capacitive coupling from any high-level signals (such as the output). If pins 5 and 6 are not used, they should be shorted together. If they are connected to a trim-pot, the trim-pot should be located, at most, a few inches away from the LM111, and the 0.01 μF capacitor should be installed. If this capacitor cannot be used, a shielding printed-circuit foil may be advisable between pins 6 and 7. The power supply bypass capacitors should be located within a couple inches of the LM111. (Some other comparators require the power-supply bypass to be located immediately adjacent to the comparator.)
6. It is a standard procedure to use hysteresis (positive feedback) around a comparator, to prevent oscillation, and to avoid excessive noise on the output because the comparator is a good amplifier for its own noise. In the circuit of *Figure 2*, the feedback from the output to the positive input will cause about 3 mV of hysteresis. However, if R_S is larger than 100 Ω , such as 50 $\text{k}\Omega$, it would not be reasonable to simply increase the value of the positive feedback resistor above 510 $\text{k}\Omega$. The circuit of *Figure 3* could be used, but it is rather awkward. See the notes in paragraph 7 below.
7. When both inputs of the LM111 are connected to active signals, or if a high-impedance signal is driving the positive input of the LM111 so that positive feedback would be disruptive, the circuit of *Figure 1* is ideal. The positive feedback is to pin 5 (one of the offset adjustment pins). It is sufficient to cause 1 to 2 mV hysteresis and sharp transitions with input triangle waves from a few Hz to hundreds of kHz. The positive-feedback signal across the 82 Ω resistor swings 240 mV below the positive supply. This signal is centered around the nominal voltage at pin 5, so this feedback does not add to the V_{OS} of the comparator. As much as 8 mV of V_{OS} can be trimmed out, using the 5 $\text{k}\Omega$ pot and 3 $\text{k}\Omega$ resistor as shown.

8.0 Application Hints (Continued)

8. These application notes apply specifically to the LM111, LM211, LM311, and LF111 families of comparators, and

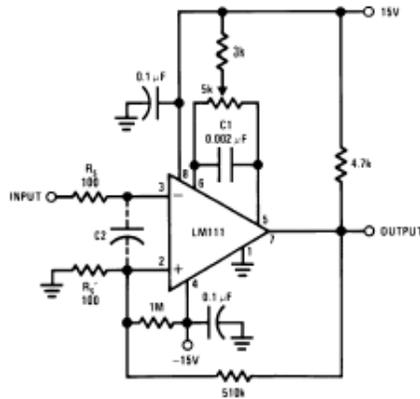
are applicable to all high-speed comparators in general, (with the exception that not all comparators have trim pins).



DS005704-29

Pin connections shown are for LM111H in the H08 hermetic package

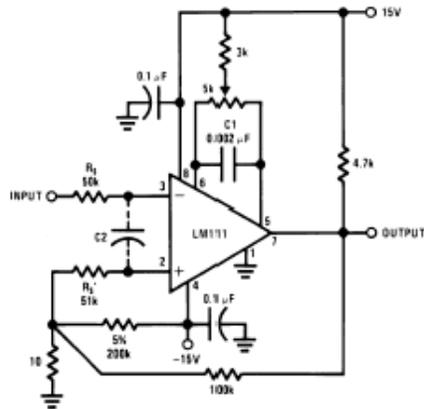
FIGURE 1. Improved Positive Feedback



DS005704-30

Pin connections shown are for LM111H in the H08 hermetic package

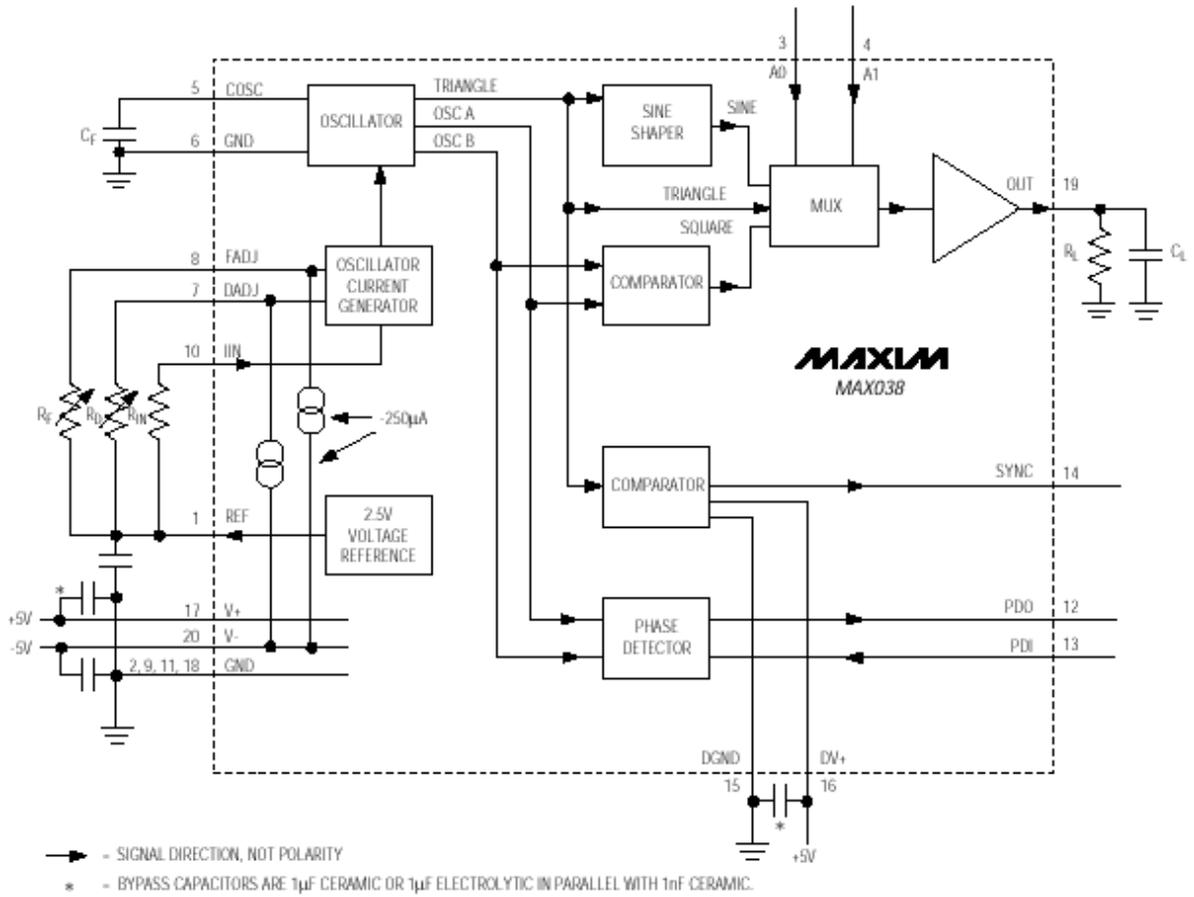
FIGURE 2. Conventional Positive Feedback



DS005704-31

FIGURE 3. Positive Feedback with High Source Resistance

Anexo 3: Diagrama de bloques del MAX038



Anexo 4: Recomendaciones para el MAX038

Selecting Resistors and Capacitors

The MAX038 produces a stable output frequency over time and temperature, but the capacitor and resistors that determine frequency can degrade performance if they are not carefully chosen. Resistors should be metal film, 1% or better. Capacitors should be chosen for low temperature coefficient over the whole temperature range. NPO ceramics are usually satisfactory.

The voltage on COSC is a triangle wave that varies between 0V and -1V. Polarized capacitors are generally not recommended (because of their outrageous temperature dependence and leakage currents), but if they are used, the negative terminal should be connected to COSC and the positive terminal to GND. Large-value capacitors, necessary for very low frequencies, should be chosen with care, since potentially large leakage currents and high dielectric absorption can interfere with the orderly charge and discharge of C_F . If possible, for a given frequency, use lower IIN currents to reduce the size of the capacitor.

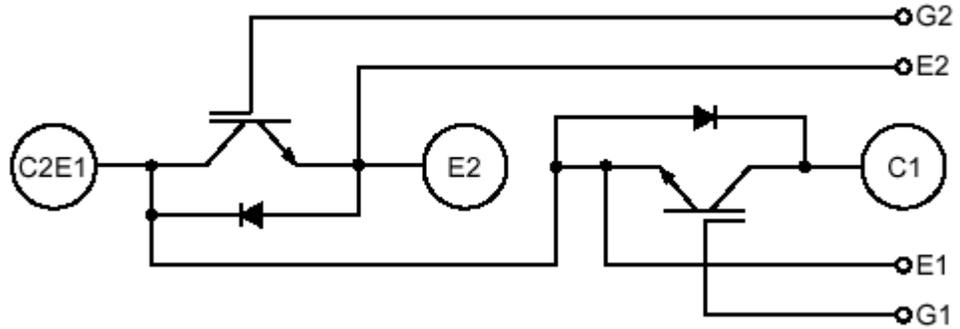
Layout Considerations

Realizing the full performance of the MAX038 requires careful attention to power-supply bypassing and board layout. Use a low-impedance ground plane, and connect all five GND pins directly to it. Bypass V_+ and V_- directly to the ground plane with $1\mu\text{F}$ ceramic capacitors or $1\mu\text{F}$ tantalum capacitors in parallel with 1nF ceramics. Keep capacitor leads short (especially with the 1nF ceramics) to minimize series inductance.

If SYNC is used, DV_+ must be connected to V_+ , $DGND$ must be connected to the ground plane, and a second 1nF ceramic should be connected as close as possible between DV_+ and $DGND$ (pins 16 and 15). It is not necessary to use a separate supply or run separate traces to DV_+ . If SYNC is disabled, leave DV_+ open. Do not open $DGND$.

Minimize the trace area around COSC (and the ground plane area under COSC) to reduce parasitic capacitance, and surround this trace with ground to prevent coupling with other signals. Take similar precautions with $DADJ$, $FADJ$, and IIN. Place C_F so its connection to the ground plane is close to pin 6 (GND).

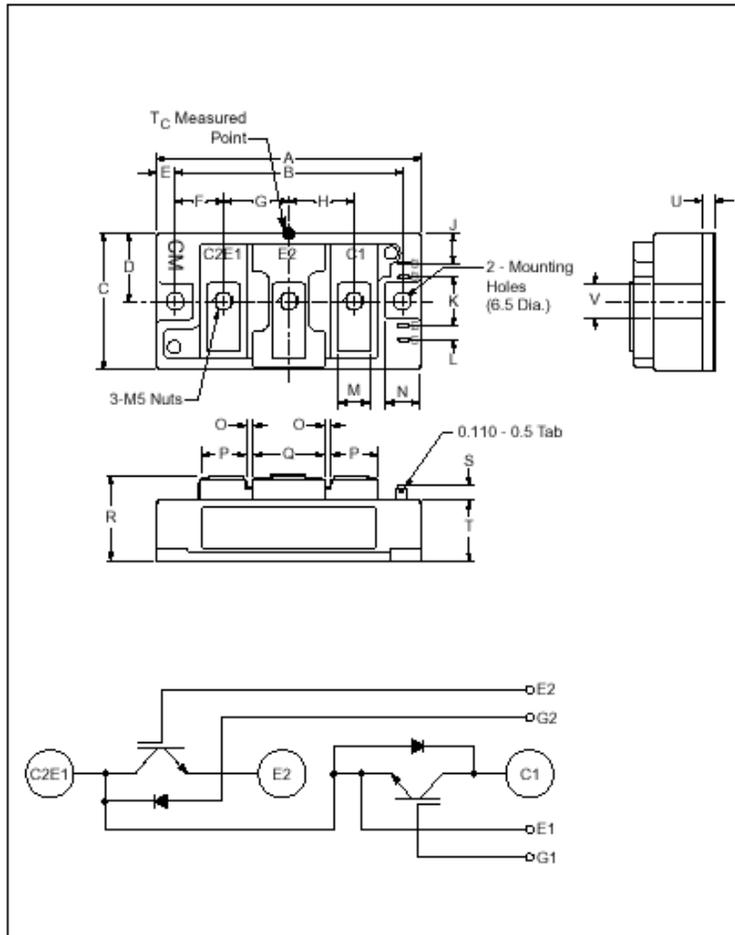
Anexo 5: Circuito interno del CM75DU-24H



La modificación se debió a la inversión entre las terminales G2 y E2 y la desconexión de E2 con el ánodo del diodo como se puede observar en el anexo 6. Cada IGBT trae impreso externamente el circuito correcto, como el mostrado en la figura.

Anexo 6: Características del módulo CM75DU-24H

Dual IGBTMOD™ U-Series Module 75 Amperes/1200 Volts



Outline Drawing and Circuit Diagram

Dimensions	Inches	Millimeters
A	3.7	94.0
B	3.15±0.01	80.0±0.25
C	1.89	48.0
D	0.94	24.0
E	0.28	7.0
F	0.67	17.0
G	0.91	23.0
H	0.91	23.0
J	0.43	11.0
K	0.71	18.0
L	0.16	4.0

Dimensions	Inches	Millimeters
M	0.47	12.0
N	0.53	13.5
O	0.1	2.5
P	0.63	16.0
Q	0.98	25.0
R	1.18 +0.04/-0.02	30.0 +1.0/-0.5
S	0.3	7.5
T	0.83	21.2
U	0.16	4.0
V	0.51	13.0



Description:

Powerex IGBTMOD™ Modules are designed for use in switching applications. Each module consists of two IGBT Transistors in a half-bridge configuration with each transistor having a reverse-connected super-fast recovery free-wheel diode. All components and interconnects are isolated from the heat sinking baseplate, offering simplified system assembly and thermal management.

Features:

- Low Drive Power
- Low $V_{CE(sat)}$
- Discrete Super-Fast Recovery Free-Wheel Diode
- Isolated Baseplate for Easy Heat Sinking

Applications:

- AC Motor Control
- Motion/Servo Control
- UPS
- Welding Power Supplies
- Laser Power Supplies

Ordering Information:

Example: Select the complete module number you desire from the table - i.e. CM75DU-24H is a 1200V (V_{CES}), 75 Ampere Dual IGBTMOD™ Power Module.

Type	Current Rating Amperes	V_{CES} Volts (x 50)
CM	75	24

Anexo 7: Recomendaciones para el uso del CM75DU-24H

4.7.3 Handling Precautions

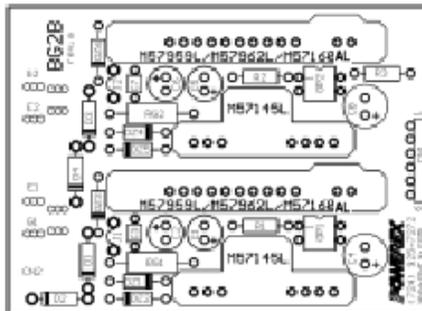
Since IGBT gates are insulated from any other conducting region, care should be taken to prevent static build up which could possible damage gate oxides. All ESD sensitive IGBT modules are shipped from the factory with conductive foam contacting the gate and emitter control terminals. Never touch the gate terminals during assembly and keep the conducting foam in place until permanent connections are made to the gate and emitter control terminals. Always ground parts touching gate terminals during installation. In general, standard ESD precautions applicable to MOSFETs should be followed.

Other handling precautions that should be observed are:

1. Use grounded work station with grounded floors and grounded wrist straps when handling devices.
2. Use a 100 Ω resistor in series with the gate when performing curve tracer tests.
3. Never install devices into systems with power connected to the system.
4. Use soldering irons with grounded tips when soldering to gate terminals.

Anexo 8: Características de la tarjeta driver

BG2B-Universal Dual IGBT Module Gate Driver Board



Description

BG2B is a fully isolated gate drive circuit board designed for use with dual IGBT modules. When the board is populated, gate drive is supplied by M57159L, M57959L, M57962L or M57160AL hybrid gate drivers to provide efficient switching of modules rated up to 400A. The hybrid gate drivers also provide protection against unexpected short circuit conditions. Isolated control power for the driver is supplied by a pair of onboard M57145L-01 regulated DC/DC converters. The fault feedback signals are also optically isolated. See application note "Hybrid Circuits Simplify IGBT Module Gate Drive" at our web site www.pwr.com.

Features

- Up to 5A Output Current
- 2500VRMS Isolation
- Direct Mounting to IGBT
- +15V to -8.5V Output Voltage Swing
- Wide Input Voltage Range +12V to +18V

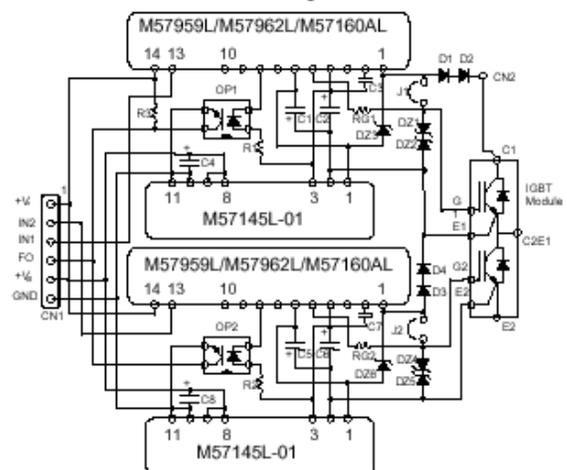
Applications Designed for use with the following Powerex Dual IGBT Modules

- CM75/100/150/200/300/400DU-12H/F
- CM50/75/100/150/200/300DU-24H/F

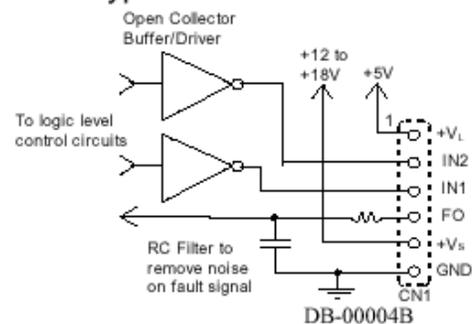
Rapid Design - Component List

Designation	Description	Value	Example Type
C1, C2, C5, C6	Power supply decoupling capacitors. Low impedance long life type.	82 μ F 35V	Panasonic FC EEUFC1V820
C4, C8	DC to DC converter input decoupling capacitor. Low impedance long life type	150 μ F 35V	Panasonic FC EEUFC1V151
C3, C7	Optional - For adjustment of short circuit protection trip time.	0 to 10nF 50V	muData HPE Series
R1, R2	Current limit for fault opto	4.7K 25W	
R3	Pull up for fault output	4.7K 25W	
RG1, RG2	Series gate resistor - See Powerex IGBT application notes	3 Ω to 100 Ω 0.5W to 1W	
D1, D2, D3, D4	Collector voltage detection diodes. V _{rrm} greater than IGBT V _{ces} rating.	1A, 1000V t _r < 100ns	Motorola MUR1100E
DZ1, DZ2, DZ4, DZ5	Gate protection zeners	17V, 0.5W	1N5247
DZ3, DZ6	Detect pin protection zener	30V, 0.5W	1N5258
OP1, OP2	Opto for fault signal isolation		NEC PS2501
CN1	MTA100 6 position right angle header with locking ramp		AMP 640457-6
CN2	1/4" Ring Lug on 2" Wire		AMP 34151
J1, J2	Insert when using M57160AL with F-Series IGBT modules and omit D1-D4, DZ1-DZ6		

Schematic Diagram



Typical Interface Circuit



Anexo 9: Características del gate driver M57959L

M57959L Gate Driver

Hybrid Integrated Circuit For Driving IGBT Modules

Description:

M57959L is a hybrid integrated circuit designed for driving n-channel IGBT modules in any gate amplifier application. This device operates as an isolation amplifier for these modules and provides the required electrical isolation between the input and output with an opto-coupler. Short circuit protection is provided by a built in desaturation detector. A fault signal is provided if the short circuit protection is activated.

Features:

- Built in high CMRR opto-coupler (V_{CMR} : Typical 30kV/ μ s, Min. 15kV/ μ s)
- Electrical Isolation between input and output with opto-couplers ($V_{ISO} = 2500$, V_{RMS} for 1 min.)
- TTL compatible input interface
- Two supply drive topology
- Built in short circuit protection circuit with a pin for fault output

Application:

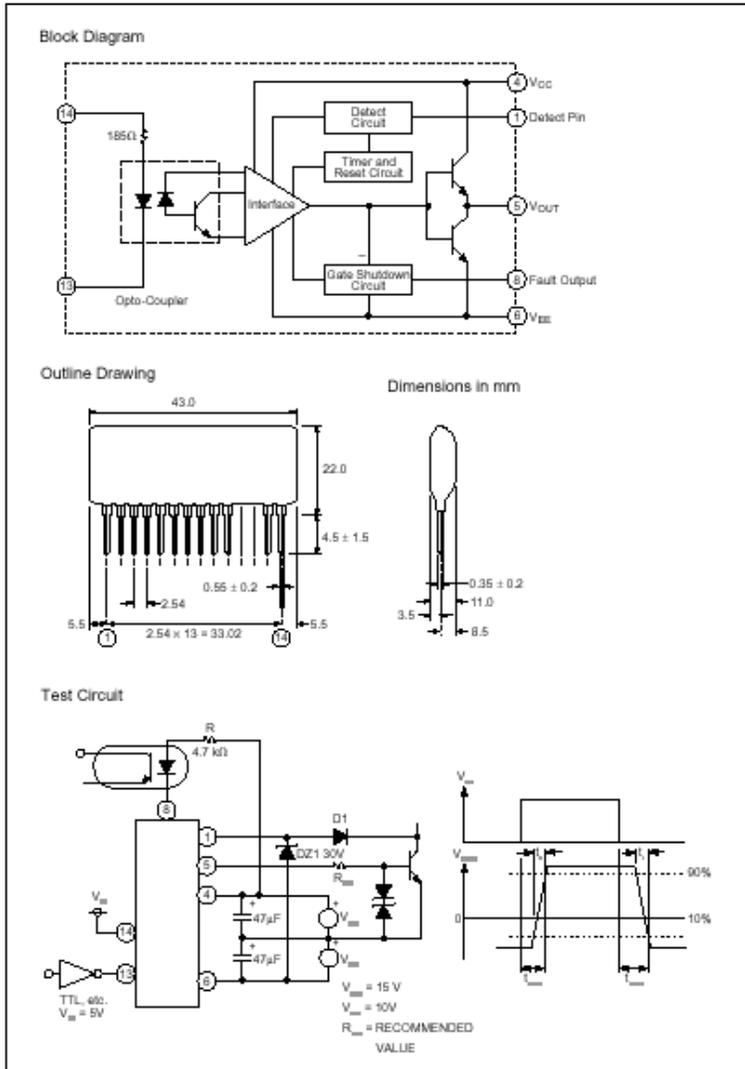
To drive IGBT modules for inverter, AC Servo systems, UPS, CVCF inverter, and welding applications.

Recommended Modules:

$V_{CES} = 600V$ Series
(up to 200A Class)

$V_{CES} = 1200V$ Series
(up to 100A Class)

$V_{CES} = 1400V$ Series
(up to 100A Class)



Anexo 10: Características de diferentes gate driver

Table 5.1 Recommended Gate Driver Applications

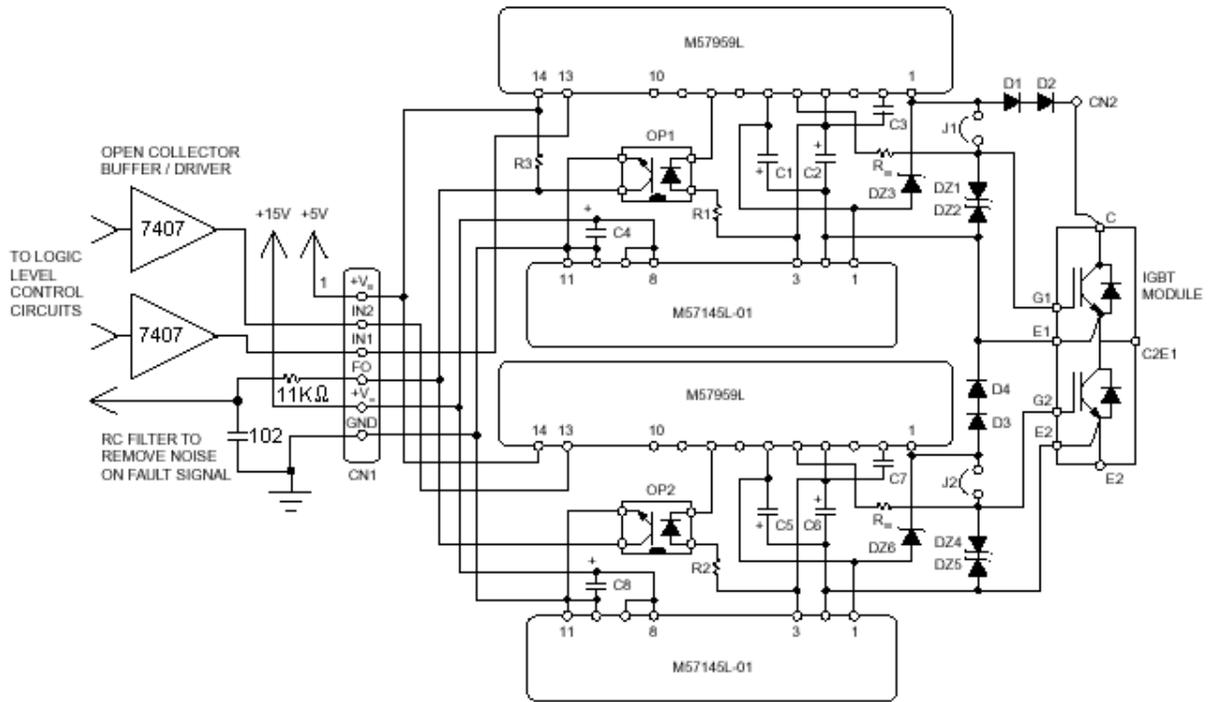
Type	Protection Scheme	Soft Shutdown	Output Current	Recommended Application (Module Type and Ratings)	Usable Application Range* (Module Type and Ratings)
M57957L	None	NA	+/-2.0A	600V up to 150A 1200V, 1400V, 1700V up to 75A U-Series, H-Series and K-Series	600V up to 300A 1200V, 1400V, 1700V up to 150A U-Series, H-Series and K-Series
M57958L	None	NA	+/-5.0A	600V up to 300A 1200V, 1400V, 1700V up to 150A U-Series, H-Series and K-Series	600V up to 600A 1200V, 1400V, 1700V up to 300A U-Series, H-Series and K-Series
M57159L-01	Desaturation Detection	Yes	+/-1.5A	600V up to 100A 1200V, 1400V, 1700V up to 50A U-Series, H-Series and K-Series	600V up to 300A 1200V, 1400V, 1700V up to 150A U-Series, H-Series and K-Series
M57959L	Desaturation Detection	Yes	+/-2.0A	600V up to 150A 1200V, 1400V, 1700V up to 75A U-Series, H-Series and K-Series	600V up to 300A 1200V, 1400V, 1700V up to 150A U-Series, H-Series and K-Series
M57962L	Desaturation Detection	Yes	+/-5.0A	600V up to 300A 1200V, 1400V, 1700V up to 150A U-Series, H-Series and K-Series	600V up to 600A 1200V, 1400V, 1700V up to 300A U-Series, H-Series and K-Series
M57962CL-01	Desaturation Detection	Adjustable	+/-5.0A	600V up to 300A 1200V, 1400V, 1700V up to 150A U-Series, H-Series and K-Series	600V up to 600A 1200V, 1400V, 1700V up to 300A U-Series, H-Series and K-Series
M57160AL-01	RTC Detection	Adjustable	+/-5.0A	600V up to 300A 1200V up to 150A F-Series	600V up to 600A 1200V up to 300A F-Series

*The usable range depends on the application's operating frequency. For highest switching efficiency with modules outside the recommended range a booster range can be added as shown in Section 5.7 to increase the peak output current.

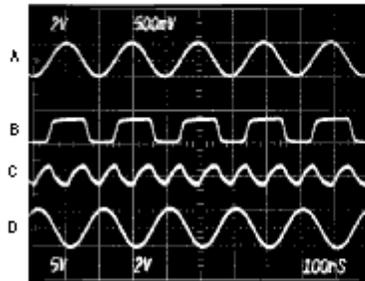
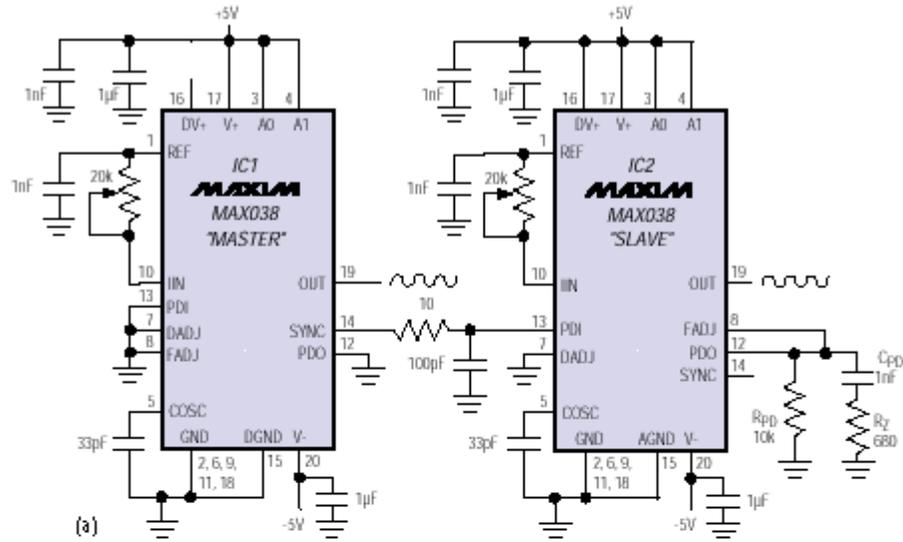
Table 5.2 Isolated DC-to-DC Converter Power Supplies

Type	Input Voltage	Output Voltages	Output Current	Isolation Voltage
M57145L-01	12V - 18V	1 x +15.8V/-8.2V	100mA	2500VRMS
M57994-01	10V - 32V	4 x +15V/-8.5V 1 x +15V/-15V	100mA 200mA	Primary to Secondary 2500VRMS Secondary to Secondary 1500 VRMS

Anexo 11: Circuito de la tarjeta gate driver



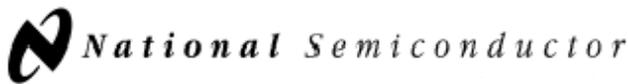
Anexo 12: Circuito de sincronización del MAX038



A = MASTER OUT, 2V/div
 B = PDI, 5V/div
 C = PDO, 500mV/div
 D = SLAVE OUT, 2V/div
 TIMEBASE = 50ns/div

(b)

Anexo 13: Convertidor de frecuencia a voltaje LM2907



June 2000

LM2907/LM2917 Frequency to Voltage Converter

General Description

The LM2907, LM2917 series are monolithic frequency to voltage converters with a high gain op amp/comparator designed to operate a relay, lamp, or other load when the input frequency reaches or exceeds a selected rate. The tachometer uses a charge pump technique and offers frequency doubling for low ripple, full input protection in two versions (LM2907-8, LM2917-8) and its output swings to ground for a zero frequency input.

The op amp/comparator is fully compatible with the tachometer and has a floating transistor as its output. This feature allows either a ground or supply referred load of up to 50 mA. The collector may be taken above V_{CC} up to a maximum V_{CE} of 28V.

The two basic configurations offered include an 8-pin device with a *ground referenced tachometer* input and an internal connection between the tachometer output and the op amp non-inverting input. This version is well suited for single speed or frequency switching or fully buffered frequency to voltage conversion applications.

The more versatile configurations provide differential tachometer input and uncommitted op amp inputs. With this version the tachometer input may be floated and the op amp becomes suitable for active filter conditioning of the tachometer output.

Both of these configurations are available with an active shunt regulator connected across the power leads. The regulator clamps the supply such that stable frequency to voltage and frequency to current operations are possible with any supply voltage and a suitable resistor.

Advantages

- Output swings to ground for zero frequency input

- Easy to use; $V_{OUT} = f_{IN} \times V_{CC} \times R1 \times C1$
- Only one RC network provides frequency doubling
- Zener regulator on chip allows accurate and stable frequency to voltage or current conversion (LM2917)

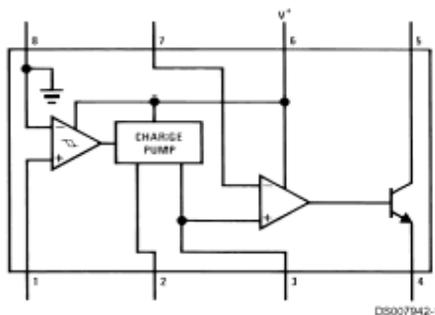
Features

- Ground referenced tachometer input interfaces directly with variable reluctance magnetic pickups
- Op amp/comparator has floating transistor output
- 50 mA sink or source to operate relays, solenoids, meters, or LEDs
- Frequency doubling for low ripple
- Tachometer has built-in hysteresis with either differential input or ground referenced input
- Built-in zener on LM2917
- $\pm 0.3\%$ linearity typical
- Ground referenced tachometer is fully protected from damage due to swings above V_{CC} and below ground

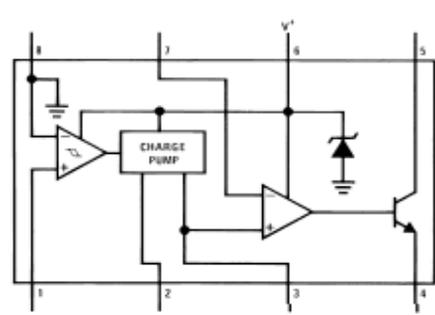
Applications

- Over/under speed sensing
- Frequency to voltage conversion (tachometer)
- Speedometers
- Breaker point dwell meters
- Hand-held tachometer
- Speed governors
- Cruise control
- Automotive door lock control
- Clutch control
- Horn control
- Touch or sound switches

Block and Connection Diagrams Dual-In-Line and Small Outline Packages, Top Views



Order Number LM2907M-8 or LM2907N-8
See NS Package Number M08A or N08E



Order Number LM2917M-8 or LM2917N-8
See NS Package Number M08A or N08E

Anexo 14: Sample and Hold HA3-5330-5



HA-5330

650ns Precision Sample and Hold Amplifier

The HA-5330 is a very fast sample and hold amplifier designed primarily for use with high speed A/D converters. It utilizes the Intersil Dielectric Isolation process to achieve a 650ns acquisition time to 12-bit accuracy and a droop rate of $0.01\mu\text{V}/\mu\text{s}$. The circuit consists of an input transconductance amplifier capable of producing large amounts of charging current, a low leakage analog switch, and an integrating output stage which includes a 90pF hold capacitor.

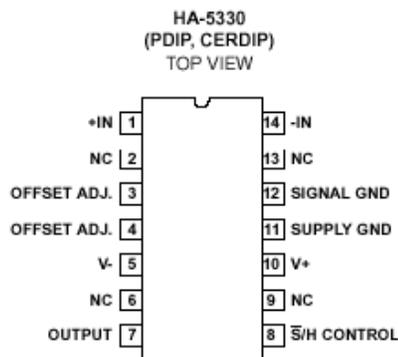
The analog switch operates into a virtual ground, so charge injection on the hold capacitor is constant and independent of V_{IN} . Charge injection is held to a low value by compensation circuits and, if necessary, the resulting 0.5mV hold step error can be adjusted to zero via the Offset Adjust terminals. Compensation is also used to minimize leakage currents which cause voltage droop in the Hold mode.

The HA-5330 will operate at reduced supply voltages (to $\pm 10\text{V}$) with a reduced signal range. The MIL-STD-883 data sheet for this device is available on request.

Ordering Information

PART NUMBER	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
HA1-5330-2	-55 to 125	14 Ld CERDIP	F14.3
HA1-5330-5	0 to 75	14 Ld CERDIP	F14.3
HA3-5330-5	0 to 75	14 Ld PDIP	E14.3

Pinout



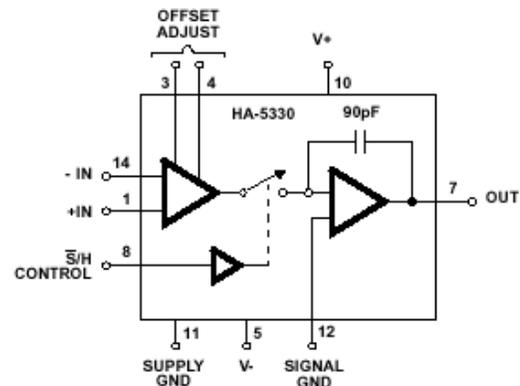
Features

- Very Fast Acquisition 500ns (0.1%) 650ns (0.01%)
- Low Droop Rate $0.01\mu\text{V}/\mu\text{s}$
- Very Low Offset 0.2mV
- High Slew Rate. 90V/ μs
- Wide Supply Range $\pm 10\text{V}$ to $\pm 20\text{V}$
- Internal Hold Capacitor
- Fully Differential Input
- TTL/CMOS Compatible

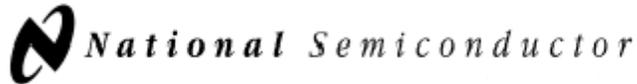
Applications

- Precision Data Acquisition Systems
- D/A Converter Deglitching
- Auto-Zero Circuits
- Peak Detectors

Functional Diagram



Anexo 15: Amplificador operacional LM301A



August 2000

LM101A/LM201A/LM301A Operational Amplifiers

General Description

The LM101A series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. Advanced processing techniques make possible an order of magnitude reduction in input currents, and a redesign of the biasing circuitry reduces the temperature drift of input current. Improved specifications include:

- Offset voltage 3 mV maximum over temperature (LM101A/LM201A)
- Input current 100 nA maximum over temperature (LM101A/LM201A)
- Offset current 20 nA maximum over temperature (LM101A/LM201A)
- Guaranteed drift characteristics
- Offsets guaranteed over entire common mode and supply voltage ranges
- Slew rate of 10V/ μ s as a summing amplifier

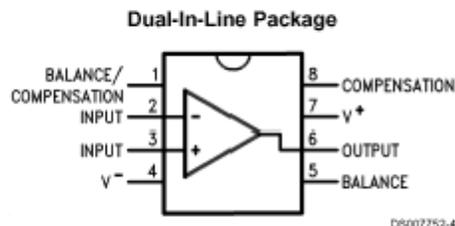
This amplifier offers many features which make its application nearly foolproof: overload protection on the input

and output, no latch-up when the common mode range is exceeded, and freedom from oscillations and compensation with a single 30 pF capacitor. It has advantages over internally compensated amplifiers in that the frequency compensation can be tailored to the particular application. For example, in low frequency circuits it can be over-compensated for increased stability margin. Or the compensation can be optimized to give more than a factor of ten improvement in high frequency performance for most applications.

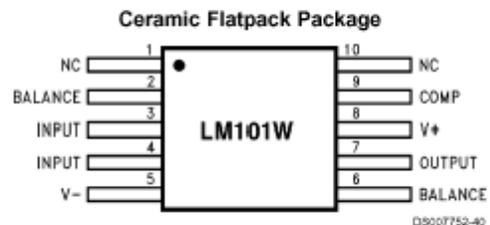
In addition, the device provides better accuracy and lower noise in high impedance circuitry. The low input currents also make it particularly well suited for long interval integrators or timers, sample and hold circuits and low frequency waveform generators. Further, replacing circuits where matched transistor pairs buffer the inputs of conventional IC op amps, it can give lower offset voltage and a drift at a lower cost.

The LM101A is guaranteed over a temperature range of -55°C to $+125^{\circ}\text{C}$, the LM201A from -25°C to $+85^{\circ}\text{C}$, and the LM301A from 0°C to $+70^{\circ}\text{C}$.

Connection Diagrams (Top View)



Order Number LM101AJ, LM101J/883 (Note 10),
LM201AN or LM301AN
See NS Package Number J08A or N08E



Order Number LM101AW/883 or LM101W/883
See NS Package Number W10A