

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería en Electrónica



Cibertec Internacional S.A.

*“Diseño preliminar de las etapas de Interfaz de Línea, Cancelación de Eco y
Procesamiento Digital de Señales para transmitir información de voz en
formato digital entre la Red Telefónica Pública Conmutada y la Red de
Transporte Internacional”*

**Informe de Proyecto de Graduación para optar por el Grado de Bachiller
En Ingeniería Electrónica**

Albin Muñoz Arrieta

Glen Duarte Quirós

Cartago, Noviembre de 2002

Resumen.

El F&F es una puerta de enlace (gateway) entre la Red Telefónica Pública Conmutada y la red de transporte internacional. Este proyecto, está siendo desarrollado por el Departamento de Investigación y Desarrollo de Cibertec Internacional.

El presente documento, aborda los aspectos fundamentales de los dispositivos de hardware que realizarán las tareas de Interfaz de Línea, Cancelación de Eco y Procesamiento Digital de Señales en dicho proyecto.

En el caso de la Interfaz de Línea, hace referencia al dispositivo encargado de hacer la interconexión entre un sistema de portadora digital y un bus TDM. Para lo anterior, se abarca el estudio de un Tranceiver/Framer: el PM4354. Previo a ello, se presenta un estudio introductorio de Sistemas de Portadora Digital E1 y T1, Sistemas de Codificación de Línea, Modulación de Pulsos Codificados (PCM), así como la Multiplexación por División de Tiempo (TDM).

Para la Cancelación de Eco, se efectuó un estudio tanto de este, como una descripción de la arquitectura de un cancelador eficiente. Posteriormente, se presenta el estudio de un ASIC de cancelación de eco de la Zarlink: el ZL50211.

En el caso del Procesamiento Digital de Señales, se hace una descripción de la arquitectura general de un procesador digital de señales. A partir de lo antes citado se realizó un análisis del TMS320C6201 basándose para ello en tres aspectos principales: CPU, Periféricos y Arquitectura de Memoria. Además se incluyen temas como la generación y detección de DTMF. Se hace referencia, a la compresión de voz, fundamentándose principalmente en la recomendación G.729 de la UIT, ésto tomando en consideración la posibilidad de migrar la plataforma a Voz sobre IP (VoIP).

Palabras Claves: TDM, PCM, VoIP, Framer, DSP, E1, T1, Eco, DTMF, G.729.

Abstract

The F&F is a gateway between the Public Switched Transport Network and the International Transport Network. This project is being development by the Research and Development Department of Cibertec International.

The present document approaches the fundamental aspects of the hardware devices that will make the tasks of Line Interface, Echo Cancellation and Digital Signal Processing in this project.

In the case of the Line Interface; it refers about the device that makes the interconnection between a digital carrier system and a TDM bus. For the last, the PM4354 : a Transceiver/Framer was studied .Previous, an introductory study of the digital carriers systems E1 and T1 , Line encoding systems, Pulse code modulation (PCM) and Time Division Multiplexing (TDM) is presented.

For echo cancellation; a study of the echo and a description of the architecture of an efficient echo canceller is made. Next, a study of an ASIC of echo cancellation of the Zarlink: the ZL50211, is presented.

In the case of the Digital Signal Processing a description of the general architecture of a Digital Signal Processor is made. From the previous thing; an analysis of the TMS320C6201, is made based on three main aspects: CPU, Peripheral and Architecture of Memory. In addition subjects like DTMF detection and Generation are approached. And a voice compression reference is made, based on the ITU - T G.729 recommendation, this mainly taking the possibility of the Voice over IP (VoIP) migration.

Keywords: TDM, PCM, VoIP, Framer, DSP, E1, T1, Eco, DTMF, G.729.

Dedicatoria

*“¡A mi madre...
... por tantos años de sacrificio
y de apoyo incondicional!
¡Te Amo!”*

Glen Duarte Quirós

Dedicatoria

A Dios; quien me mostró el Amor por el cual fueron guiados mis ayeres, por el cual se sostiene mi presente y se dispara mi futuro.

A mi Padre y mi Madre; quienes plantaron el bosque que me protegió antes de que se abrieran mis ramas.

A mi familia; donde volviere siempre, con la victoria al cinto o con mi espada rota... A mis hermanas: Lorena, Maritza y Carmen...A Gerardo...A mis sobrinos: Kendall, Andrés, Kevin y Daniela....Los amo.

A Priscilla; quien merece gran parte de este momento y quien aún ahora, dice creer en mí...Te amo.

A la Congregación Salesiana; que llevó el fuego del Infinito a mi hoguera.

A la Familia de Talleres de Oración y Vida; donde encontré la belleza del abandono y la contemplación; quienes me devolvieron al peregrinaje del Amor.

A EJE (Encuentro de Jóvenes en el Espíritu), mis muchachos: "Yo por ustedes estudio, por ustedes trabajo, por ustedes vivo, por ustedes estoy incluso dispuesto a dar la vida" Don Bosco.

A Marito, Steven, Alejandro, Fabian, Diego y Andreita; quienes creyeron de nuevo en mi llamado, aún estando herido de muerte... Dios los Bendiga.

A mis "compas" del TEC; porque mas allá de una carrera universitaria me llevo la certeza de que todo el conocimiento y la ambición no compran un momento de verdadera camaradería, ustedes saben quienes son.

A todos mis "sobrinos"; para siempre sean más.

Albin Giovanni Muñoz Arrieta

Agradecimiento

“A mis amigos por compartir tantos buenos momentos: Fabio, Marcela, Alban, Mario, Mauricio, Lester; a mis familiares por haber creído en mí en todo momento, a mi novia Isabel por su confianza y dedicación, al grupo de Taekwondo del TEC, a Geovany Quirós, Manuel Quirós y a todos aquellos que de alguna manera ayudaron a culminar mis estudios, el más sincero agradecimiento y que Dios los bendiga.”

Glen Duarte Quirós

Agradecimiento

A Dios; por enviarme esos ángeles, maestros de felicidad y donación, quienes no se escondieron detrás de coronas y alas; sino que se presentaron con su cariño, su mano dispuesta y su voluntad de amarme y enseñarme el amor.

A Lorena Muñoz Arrieta; por infundir en mí, desde su vida, un ideal no solo de profesional sino de ser humano, por escucharme mas allá de mis peculiaridades; por estar ahí.

A Maritza Muñoz Arrieta; por su preocupación y entrega de madre.

A Carmen Muñoz Arrieta, por su apoyo y sus palabras, por su visión amplia del mundo.

A Gerardo Martínez; por abrirme, junto con Maritza, las puertas de su hogar.

A Priscilla Agüero Castro; por tu amor y por mi amor, por nuestro amor.

A Mario Álvarez Román; mi muchacho, mi amigo y mi hermano.

A Andrea Barquero León, quien aceptó el desafío de mirar más allá de mis murallas.

A Claudia Quesada; por hablarme y por escucharme, por encontrarnos.

A los sacerdotes Giussepe Coró, Elías Calvo, Rómulo Gallegos y a los Ingenieros Nestor Lozano y Ángelo Leone; nunca sabrán lo que hicieron en mi vida.

A Kendall Martínez y a Andrés Hernández: es bueno poder llamarles hermanos y amigos.

A Esteban Rojas, Paulo Salazar y Manuel Jiménez, por alegrarse de mis progresos y no reprochar mis pasos en falso.

Por último, quiero extender un agradecimiento especial a Cibertec Internacional, por darme la oportunidad de trabajar en este proyecto. La experiencia adquirida durante los últimos meses ha sido de mucho provecho para mi carrera.

Albin Giovanni Muñoz Arrieta

ÍNDICE GENERAL

CAPÍTULO 1.....	1
INTRODUCCIÓN.....	1
1.1 DESCRIPCIÓN DE LA EMPRESA.....	1
1.1.1 Descripción general.....	1
1.1.2 Descripción del departamento donde se realizó el proyecto de graduación.....	4
1.2 DEFINICIÓN DEL PROBLEMA Y SU IMPORTANCIA.....	5
1.3 OBJETIVOS.....	6
1.3.1 Objetivo general.....	6
1.3.2 Objetivos específicos.....	7
CAPÍTULO 2.....	8
ANTECEDENTES	8
2.1 ESTUDIO DEL PROBLEMA A RESOLVER.....	8
2.2 MODULACIÓN DE PULSOS.....	8
2.2.1 Modulación de pulsos codificados (PCM).....	9
2.3 SISTEMA PORTADORA DIGITAL E1/T1.....	11
2.4 SISTEMA DE PORTADORA DIGITAL T1.....	12
2.4.1 Codificación de Línea para T1.....	12
2.4.1.1 AMI (Código de inversión de marca alterna).....	13
2.4.1.2 B8ZS (Binary 8 Zero Substitution).....	13
2.4.2 Trama Sencilla.....	14
2.4.3 Supertrama (D4).....	15
2.4.4 Supertrama extendida (ESF).....	16
2.4.5 Condiciones de alarma para D4 y ESF.....	18
2.5 SISTEMA DE PORTADORA DIGITAL E1.....	19
2.5.1 Medio físico para E1.....	19
2.5.2 Codificación de línea para E1.....	20
2.5.2.1 Codificación bipolar de alta densidad orden 3 (HDB3).....	20
2.5.3 La trama primaria.....	21
2.5.4 Alarmas para E1.....	25
2.5.4.1 Alarmas remotas.....	25
2.5.4.2 Pérdida de Sincronía de Multitrama (Multiframe Sync Loss).....	27
2.5.4.3 Alarma de Multitrama Distante.....	27
2.5.5 Señalización.....	27

2.6 CANCELACIÓN DE ECO.....	28
2.6.1 <i>¿Qué es el eco?</i>	28
2.6.2 <i>Causas del eco.</i>	29
2.6.2.1 Eco eléctrico.....	29
2.6.2.2 El eco acústico.....	30
2.6.3 <i>Dispersión del eco.</i>	30
2.6.4 <i>Causas del retardo en las redes de comunicación.</i>	30
2.6.5 <i>Cancelación de eco.</i>	31
2.6.6 <i>Arquitectura básica.</i>	31
2.6.6.1 Filtro adaptativo.....	32
2.6.6.2 Procesador No Lineal.....	32
2.6.6.3 Detector de tonos.....	32
2.6.7 <i>Características que debe tener un cancelador de eco de alta calidad.</i>	33
2.6.7.1 Eliminar la divergencia.....	33
2.6.7.2 Control de doble conversación.....	34
2.6.7.3 Prevención de Cortes.....	34
2.6.7.4 Evitar cambios molestos en el ruido de fondo.....	34
2.7 PROCESADOR DIGITAL DE SEÑALES (DIGITAL SIGNAL PROCESSOR: DSP).....	35
2.7.1 <i>¿Por qué se usa un DSP y no un microcontrolador?</i>	37
2.7.2 <i>Campos de aplicación de los DSP's.</i>	38
2.7.2.1 Aplicaciones en Telecomunicaciones.....	38
2.7.2.2 Aplicaciones de audio.....	39
2.7.3 <i>Características Básicas de la Arquitectura de un Procesador Digital de Señales (DSP)</i>	39
2.7.3.1 Aritmética de alta velocidad.....	40
2.7.3.2 Retraso (Delay).....	40
2.7.3.3 Array Handling.....	40
2.7.3.4 Interfaces de Entrada/Salida.....	41
2.7.4 <i>Arquitectura de Memoria.</i>	44
2.7.4.1 Arquitectura Harvard.....	45
2.7.4.2 Von Neumann.....	45
2.8 PROPIEDADES DE LAS SEÑALES DE VOZ.....	46
2.8.1 <i>Características de la Voz en el Dominio del Tiempo.</i>	47
2.8.2 <i>Características de la Voz en el Dominio de la Frecuencia.</i>	47
2.8.3 <i>Atributos de un Codificador de Voz (Speech Coder)</i>	48
2.8.3.1 Velocidad de Bit (Bit Rate).....	48
2.8.3.2 Calidad de Voz (Speech Quality).....	48
2.8.3.3 Retraso (Delay).....	48
2.8.3.4 Sensibilidad de Error de Canal (Channel Error Sensivity).....	49

2.9 RECOMENDACIÓN ITU-T G.729.....	49
2.9.1 Codificador G.729	50
2.9.2 Codificación G.729	51
2.9.3 Decodificación G.729	54
2.10 TONOS DUALES DE MULTIFRECUENCIA.....	55
2.10.1 Generación de tonos DTMF.....	56
2.10.1.1 Descripción del flujo de programa del generador del tono de DTMF	58
2.10.2 Generación de Tonos de DTMF multicanal.....	61
2.10.2.1 Detector de tonos DTMF	61
2.10.2.2 Descripción del flujo de programa del detector de DTMF.....	63
2.10.2.3 Detección del tono de DTMF multicanal.....	65
2.10.2.4 Requerimientos de velocidad y memoria.....	67
2.11 REQUERIMIENTOS DE LA EMPRESA	68
2.12 SOLUCIÓN PROPUESTA.....	69
CAPÍTULO 3.....	73
PROCEDIMIENTO METODOLÓGICO.....	73
CAPÍTULO 4.....	76
DESCRIPCIÓN DEL HARDWARE UTILIZADO	76
4.1 TRANSCIVER/FRAMER PM4354.....	76
4.1.1 Descripción general.....	77
4.1.2 Descripción General del Diagrama de Bloques del Framer PM-4354	78
4.1.2.1 Bloque de Unidad de Interfaz de Línea de Recepción (Receive LIU).	79
4.1.2.2 Bloque de Clock and Data Recovery (CDRC).....	79
4.1.2.3 Bloque de Atenuador de Jitter Digital de recepción (RJAT).....	80
4.1.2.4 Bloque de T1 Inband Loopback Code Detector (IBCD).....	80
4.1.2.5 Bloque de Detector de Violación de Pulso (PDVD).	80
4.1.2.6 Bloque de Alineación de Trama, Extracción de alarmas (T1/E1 –FRMR) T1-FRMR.	80
4.1.2.7 Bloque de Extractor de Señalización (SIGX)	81
4.1.2.8 Bloque de Receive Elastic Store (Rx-ELST).....	82
4.1.2.9 Bloque de Performance Monitor Counters (T1/E1-PMON)	82
4.1.2.10 Bloque de T1 Alarm Integrator (ALMI).....	83
4.1.2.11 Bloque de HDLC Receiver (RDLC).....	83
4.1.2.12 Bloque de Bit Oriented Code Detector (RBOC).....	83
4.1.2.13 Bloque de Controlador Serial por Canal (RPSC).....	84
4.1.2.14 Bloque de BRIF (Backplane Receive System Interface)	85
4.1.2.15 Bloque BTIF (Backplane Transmit System Interface).....	85

4.1.2.16 Bloque de Transmit Elastic Store (TX-ELST).....	85
4.1.2.17 Bloque de Controlador Serial por Canal (TPSC).....	85
4.1.2.18 Bloque de T1-XBAS/E1-TRAN.....	86
4.1.2.19 Bloque T1 Inband Loopback Code Generator (XIBC).....	87
4.1.2.20 Bloque de Pulse Density Enforcer (XPDE).....	87
4.1.2.21 Bloque de Bit Oriented Code Generator (XBOC).....	88
4.1.2.22 Bloque de HDLC Transmitter (TDPR).....	88
4.1.2.23 Bloque de Atenuador Digital de Jitter (TJAT).....	88
4.1.2.24 Bloque de Unidad de Interfaz de Línea de Transmisión (Transmit LIU).....	89
4.1.2.25 Bloque de Interfaz con el Microprocesador.....	89
4.1.2.26 Bloques de Puerto de Pruebas.....	90
4.1.2.27 Bloques de Síntesis y Distribución de Reloj(CSD).....	91
4.1.3 Modos de Recepción Maestros de Operación de Reloj.....	91
4.1.3.1 Full T1/E1.....	91
4.1.3.2 Nx64Kbit/s.....	92
4.1.3.3 Clear Channel.....	93
4.1.4 Modos de Recepción Esclavos de Operación de Reloj. (Receive Clock Slave).....	93
4.1.4.1 Full T1/E1.....	93
4.1.4.2 H-MVIP.....	94
4.1.4.3 Full T1/E1 with CCS H-MVIP.....	95
4.1.5 Modos de Transmisión Maestros de Operación de Reloj. (Transmit Clock Master).....	96
4.1.5.1 Full T1/E1.....	96
4.1.5.2 Nx64Kbit/s.....	97
4.1.5.3 Clear Channel.....	97
4.1.6 Modos de Transmisión Esclavos de Operación de Reloj (Transmit Clock Slave).....	98
4.1.6.1 Full T1/E1.....	98
4.1.6.2 Clear Channel.....	99
4.1.6.3 H-MVIP.....	99
4.1.6.4 Full T1/E1 with CCS H-MVIP.....	100
4.2 CANCELADOR DE ECO ZL50211.....	101
4.2.1 Características Generales.....	101
4.2.2 Arquitectura interna.....	102
4.2.2.1 Filtro adaptativo.....	104
4.2.2.2 Detector de doble conversación.....	104
4.2.2.3 Detector de Cambios de Trayectoria.....	105
4.2.2.4 Procesador No Lineal (PNL).....	105
4.2.2.5 Detector de tonos de deshabilitación.....	107
4.2.2.6 Detector de inestabilidad.....	107
4.2.2.7 Detector de señales de banda angosta.....	107

4.2.2.8 Filtro de cancelación de la componente CD.....	108
4.2.3 <i>Modos de Operación</i>	108
4.2.3.1 Modo Normal.....	108
4.2.3.2 Modo Back to Back.....	108
4.2.3.3 Modo Extended Delay (Modo extendido).....	108
4.2.4 <i>Estados Funcionales del cancelador de eco</i>	108
4.2.4.1 Mute.....	108
4.2.4.2 Estado bypass.....	109
4.2.4.3 Adaptación deshabilitada.....	109
4.2.4.4 Adaptación habilitada.....	109
4.3 DSP TMS320C6000.....	109
4.3.1 <i>CPU TMS320C62XX</i>	110
4.3.1.1 Bloques de fetch de programa, despacho de instrucciones y decodificación de instrucciones (Program fetch , Instruction dispatch, Instruction Decode).....	111
4.3.1.2 Paso de datos del CPU (Data Paths).....	111
4.3.1.3 Unidades Funcionales de los pasos de datos del CPU.....	113
4.3.1.4 Pasos Cruzados de Archivos de Registros (1X y 2X).....	114
4.3.1.5 Pasos de Memoria, Carga y Almacenamiento.....	114
4.3.1.6 Pasos de Direcciones de Datos.....	114
4.3.1.7 Registros de Control.....	115
4.3.1.8 Flujo de Proceso VLIW.....	116
4.3.2 <i>Periféricos TMS320C6201</i>	116
4.3.2.1 HPI.....	117
4.3.2.2 McBSPs.....	118
4.3.2.3 TIMERS.....	120
4.3.2.4 Interfaz de memoria externa (EMIF).....	121
4.3.3 <i>Arquitectura de Memoria de la Familia TMS320C6000</i>	126
4.3.3.1 Memoria interna.....	128
4.3.3.2 Accesos a la memoria de datos.....	128
4.3.3.3 Bus de periféricos.....	129
4.3.3.4 Interfaz de memoria externa (EMIF).....	130
CAPÍTULO 5.....	131
ANÁLISIS Y RESULTADOS.....	131
5.1 EXPLICACIÓN DEL DISEÑO.....	131
5.1.1 <i>F-EI/TI</i>	131
5.1.2 <i>F-VEC (Voice Echo Cancellation)</i>	134
5.1.3 <i>F-HI (Host Interface)</i>	136

5.1.4 F-PSU (<i>Power Supply Unit</i>).....	137
5.1.5 <i>Diagrama de bloques general del Proyecto F&F</i>	137
5.2 ALCANCES Y LIMITACIONES.....	140
5.2.1 <i>Investigación Teórica</i>	140
5.2.1.1 DSP y Generación/Detección de DTMF.....	140
5.2.1.2 Framers.....	140
5.2.1.3 Cancelador de Eco.....	140
CAPÍTULO 6.....	142
CONCLUSIONES Y RECOMENDACIONES.....	142
6.1 CONCLUSIONES.....	142
6.2 RECOMENDACIONES.....	146
CAPÍTULO 7.....	147
BIBLIOGRAFÍA.....	147
7.1 HOJAS DE DATOS.....	147
7.2 DOCUMENTOS EN FORMATO PDF.....	147
7.3 DIRECCIONES DE INTERNET.....	148
7.3.1 <i>DSP</i>	148
7.3.2 <i>EI-TI</i>	148

ÍNDICE DE FIGURAS

FIGURA 1.1 DIAGRAMA ORGANIZACIONAL DE LA EMPRESA	3
FIGURA 2.1 DIAGRAMA A BLOQUES SIMPLIFICADO DE UN SISTEMA PCM DE UNA DIRECCIÓN DE UN SOLO CANAL.....	9
FIGURA 2.2 EL CIRCUITO DE MUESTREO Y RETENCIÓN CONVIERTE LA SEÑAL EN UNA SEÑAL PAM.	10
FIGURA 2.3 EL CONVERTIDOR ANALÓGICO DIGITAL CONVIERTE LA SEÑAL PAM EN UN FLUJO DE DATOS BINARIOS SERIALES PARA TRANSMISIÓN.....	10
FIGURA 2.4 CÓDIGO DE LÍNEA AMI.....	13
FIGURA 2.5 LA TRAMA SENCILLA.....	14
FIGURA 2.6 SUPERTRAMA (D4).....	15
FIGURA 2.7 DISTRIBUCIÓN DE LAS TRAMAS EN UNA SUPERTRAMA.	15
FIGURA 2.8 DISTRIBUCIÓN EN UNA SUPERTRAMA EXTENDIDA.....	17
TABLA 2.4 USO DEL F BIT EN LA SUPERTRAMA EXTENDIDA.....	17
FIGURA 2.9 COMPARACIÓN DE LOS CÓDIGOS DE LÍNEA AMI Y HDB3.	21
FIGURA 2.10 DISTRIBUCIÓN DE LOS TIMESLOTS EN LA TRAMA PRIMARIA.	21
FIGURA 2.11 OPERACIÓN DEL TS0 SIN CRC-4 NFAS.	22
FIGURA 2.12 OPERACIÓN DEL TS0 SIN CRC-4 FAS.	23
FIGURA 2.13 OPERACIÓN DEL TS0 CON CRC-4.	23
FIGURA 2.14 OPERACIÓN DEL TS0 EN LAS TRAMAS PARES.....	24
FIGURA 2.15 OPERACIÓN DEL TS0 EN LAS TRAMAS PARES.....	24
FIGURA 2.16 ALINEAMIENTO DE MULTITRAMA.	24
FIGURA 2.17 TRANSMISIÓN DE LAS ALARMAS REMOTAS.....	26
FIGURA 2.18 CIRCUITO HÍBRIDO USADO PARA LA TRANSFORMACIÓN DE 2 A 4 HILOS EN LAS REDES PSTN.....	29
FIGURA 2.19 CANCELADOR DE ECO Y SUS PARTES.	33
FIGURA 2.20 CANCELADOR DE ECO EN UNA RED DIGITAL.	33

FIGURA 2.21	FORMATO DE PUNTO FLOTANTE.	37
FIGURA 2.22	SEÑALES DEL PUERTO SERIAL.....	42
FIGURA 2.23	ARQUITECTURA HARVARD.	45
FIGURA 2.24	ARQUITECTURA VON NEUMANN.....	46
FIGURA 2.25	DIAGRAMA DE FLUJO BÁSICO DE LA CODIFICACIÓN G.729.	53
FIGURA 2.26	DIAGRAMA DE BLOQUES BÁSICO DE LA DECODIFICACIÓN G.729.....	54
FIGURA 2.27	DIAGRAMA DE BLOQUES DEL PROCESO DE DECODIFICACIÓN PARA CADA SUBTRAMA DE 5MS.....	55
FIGURA 2.28	TECLADO NUMÉRICO PARA GENERACIÓN DE TONOS DTMF.....	56
FIGURA 2.29	OSCILADORES DIGITALES SINUSOIDALES DE SEGUNDO ORDEN.	57
FIGURA 2.30	COEFICIENTES Y CONDICIONES INDÍCIALES.	57
FIGURA 2.31	DIAGRAMA DE FLUJO DE LA IMPLEMENTACIÓN DE LA CODIFICACIÓN DTMF.	60
FIGURA 2.32	ALGORITMO DE GOERTZEL.....	62
FIGURA 2.34	COEFICIENTES DE LOS FILTROS PARA FILAS Y COLUMNAS Y SEGUNDOS ARMÓNICOS DE FRECUENCIA.....	63
FIGURA 2.35	DIAGRAMA DE LA IMPLEMENTACIÓN DE LA DECODIFICACIÓN DE TONOS DTMF.....	66
FIGURA 2.36	DIAGRAMA DE BLOQUES DEL EQUIPO F&F.....	71
FIGURA 4.1	DIAGRAMA DE BLOQUES GENERAL DEL TRANCEIVER/FRAMER PM 4354.	79
FIGURA 4.2	SEÑALES ASOCIADAS A LA INTERFAZ CON EL MICROPROCESADOR.....	89
FIGURA 4.3	MODO DE OPERACIÓN DE RELOJ MAESTRO DE RECEPCIÓN FULL T1/E1..	91
FIGURA 4.4	MODO DE OPERACIÓN DE RELOJ MAESTRO DE RECEPCIÓN NX64KBIT/S.	92
FIGURA 4.5	MODO DE OPERACIÓN DE RELOJ MAESTRO DE RECEPCIÓN CLEAR CHANNEL.	93
FIGURA 4.6	MODO DE OPERACIÓN DE RELOJ ESCLAVO DE RECEPCIÓN FULL T1/E1..	93
FIGURA 4.7	MODO DE OPERACIÓN DE RELOJ ESCLAVO DE RECEPCIÓN H-MVIP.....	94

FIGURA 4.8 MODO DE OPERACIÓN DE RELOJ ESCLAVO DE RECEPCIÓN FULL T1/E1 WITH CCS H-MVIP.....	95
FIGURA 4.9 MODO DE OPERACIÓN DE RELOJ MAESTRO DE TRANSMISIÓN FULL T1/E1.....	96
FIGURA 4.10 MODO DE OPERACIÓN DE RELOJ MAESTRO DE TRANSMISIÓN NX64KBIT/S.....	97
FIGURA 4.11 MODO DE OPERACIÓN DE RELOJ MAESTRO DE TRANSMISIÓN CLEAR CHANNEL.....	97
FIGURA 4.12 MODO DE OPERACIÓN DE RELOJ ESCLAVO DE TRANSMISIÓN FULL T1/E1.....	98
FIGURA 4.13 MODO DE OPERACIÓN DE RELOJ ESCLAVO DE TRANSMISIÓN CLEAR CHANNEL.....	99
FIGURA 4.14 MODO DE OPERACIÓN DE RELOJ ESCLAVO DE TRANSMISIÓN H-MVIP.....	99
FIGURA 4.15 MODO DE OPERACIÓN DE RELOJ ESCLAVO DE TRANSMISIÓN FULL T1/E1 WITH CCS H-MVIP.....	100
FIGURA 4.16 ARQUITECTURA DEL CANCELADOR DE ECO ZL50211.....	102
FIGURA 4.17 DIAGRAMA DE BLOQUES DE UN EVP DEL ZL50211.....	103
FIGURA 4.18 ELEMENTOS DE UN CANCELADOR DE ECO DEL ZL50211.....	104
FIGURA 4.19 DIAGRAMA DE BLOQUES GENERAL TMS320C62XX/C67XX.....	110
FIGURA 4.20 PASOS DE DATOS A Y B PARA UN DSP 'C6201.....	112
FIGURA 4.21 INTERFAZ HPI DEL DSP.....	117
FIGURA 4.22 DIAGRAMA DE BLOQUES DEL MCBSP.....	119
FIGURA 4.23 DIAGRAMA DE BLOQUES DE LOS TIMERS DEL 'C6201.....	120
FIGURA 4.24 DIAGRAMA DE BLOQUES DE LA INTERFAZ DE MEMORIA EXTERNA (EMIF).....	121
FIGURA 4.25 CONTADORES DE TIEMPO.....	125
FIGURA 4.26 MAPAS DE MEMORIA DEL C6201.....	127
FIGURA 4.27 MAPAS DE MEMORIA DEL C6201.....	127

FIGURA 4.28 CONEXIÓN DEL CONTROLADOR DE MEMORIA.....	129
FIGURA 5.1. DIAGRAMA DE BLOQUES DE LA TARJETA F-E1/T1	132
FIGURA 5.2 DIAGRAMA DE BLOQUES DE LA TARJETA F-VEC	135
FIGURA 5.3 DIAGRAMA DE BLOQUES GENERAL DEL PROYECTO F&F.....	138

ÍNDICE DE TABLAS.

TABLA 2.1 CARACTERÍSTICAS COMUNES ENTRE FORMATOS DE COMUNICACIÓN E1 Y T1.....	11
TABLA 2.2 CARACTERÍSTICAS QUE DIFERENCIAN FORMATOS DE COMUNICACIÓN E1 Y T1.....	12
TABLA 2.3 USO DEL F BIT EN LA SUPERTRAMA.....	16
TABLA 2.5 USO DEL F BIT EN LA SUPERTRAMA EXTENDIDA (CONTINUACIÓN).	18
TABLA 2.6 RESUMEN DE LAS REGLAS DE CODIFICACIÓN HDB3.	20
TABLA 2.7 RETARDO DE TRANSMISIÓN EN TRES MEDIOS DE TRANSPORTE USADOS EN USA.	30
TABLA 2.8 PARÁMETROS CELP	50
TABLA 2.9 VELOCIDAD Y MEMORIA REQUERIDA PARA EL CODIFICADOR DE DTMF.	67
TABLA 2.10 VELOCIDAD Y MEMORIA REQUERIDA PARA EL DECODIFICADOR DE DTMF.	68
TABLA 4.1 CARACTERÍSTICAS ADICIONALES DEL PNL MEJORADO.....	106
TABLA 4.2 OPERACIONES DE LAS UNIDADES FUNCIONALES DE UN CPU ‘C6201.....	113
TABLA 4.3 REGISTROS DE CONTROL DEL CPU ‘C6201.....	115
TABLA 4.4 DESCRIPCIÓN DE PINES DEL MCBSPS.....	118

CAPÍTULO 1.

INTRODUCCIÓN

1.1 Descripción de la empresa.

1.1.1 Descripción general.

Cibertec Internacional S.A., es una compañía multinacional fundada en 1979, que posee sus instalaciones distribuidas en diferentes puntos dentro y fuera del país. Su planta de ensamblaje, está ubicada en el Parque Industrial Zona Franca de Alajuela (SARET), las oficinas de Investigación y desarrollo están situadas en San José, mientras que las oficinas de ventas y finanzas se encuentran en Panamá.

Durante 20 años, Cibertec se ha dedicado a desarrollar productos de alta tecnología para la industria de las telecomunicaciones, llegando a ser la compañía líder en soluciones contra el fraude en el tráfico telefónico internacional. A la fecha, su principal producto es el TMSS (Telecommunication Traffic Management & Surveillance System), que ha sido desarrollado para prevenir diferentes tipos de fraudes en el servicio de larga distancia internacional y para asegurar los ingresos de las Operadoras Telefónicas alrededor del mundo.

Cibertec Int. Costa Rica no genera ventas, ya que es una empresa ensambladora de equipo de telecomunicaciones que transfiere su producción al costo a Cibertec Int. Panamá, siendo esta última, la que vende. La planta en Costa Rica, incluye en su presupuesto de operaciones costos de conversión, gastos de mantenimiento, instalación, materiales, partes locales y gastos extraordinarios para los proyectos programados a producirse durante el año.

Dentro de los clientes de la compañía Cibertec, se pueden citar algunos como AT&T International Network Operations (USA), Northern Telecom (Canadá), TELCOM (México) y Schlumberger (Francia), entre otros. Además, Cibertec ha instalado su equipo en más de 25 países dentro de los cuales están Brasil, Colombia, México, Cuba, Ucrania, Siria, Guatemala y Panamá.

Algunos de los premios que ha recibido la compañía por sus avances tecnológicos son: National Award for Electrical Engineering COOPIMERA en 1993, National Award for advances in exportation en 1992 y el premio en Ciencia y Tecnología Clodomiro Picado en 1985.

La principal instancia de Cibertec es su Junta Directiva, formada por los Ingenieros Juan Carlos Halphen, Bernal Thalman, Hernán Jiménez y el Licenciado Orlando Jiménez. Bajo este nivel de jerarquía, se encuentra la Gerencia General a cargo del señor Mario Carvajal y es desde aquí donde se dirigen los otros departamentos de la empresa.

La compañía, cuenta con aproximadamente 50 empleados distribuidos en 5 áreas principales: Gerencia General, Investigación y Desarrollo, Servicios Internacionales, Planta y Operaciones. A continuación, se detalla un esquema organizacional de estas áreas.

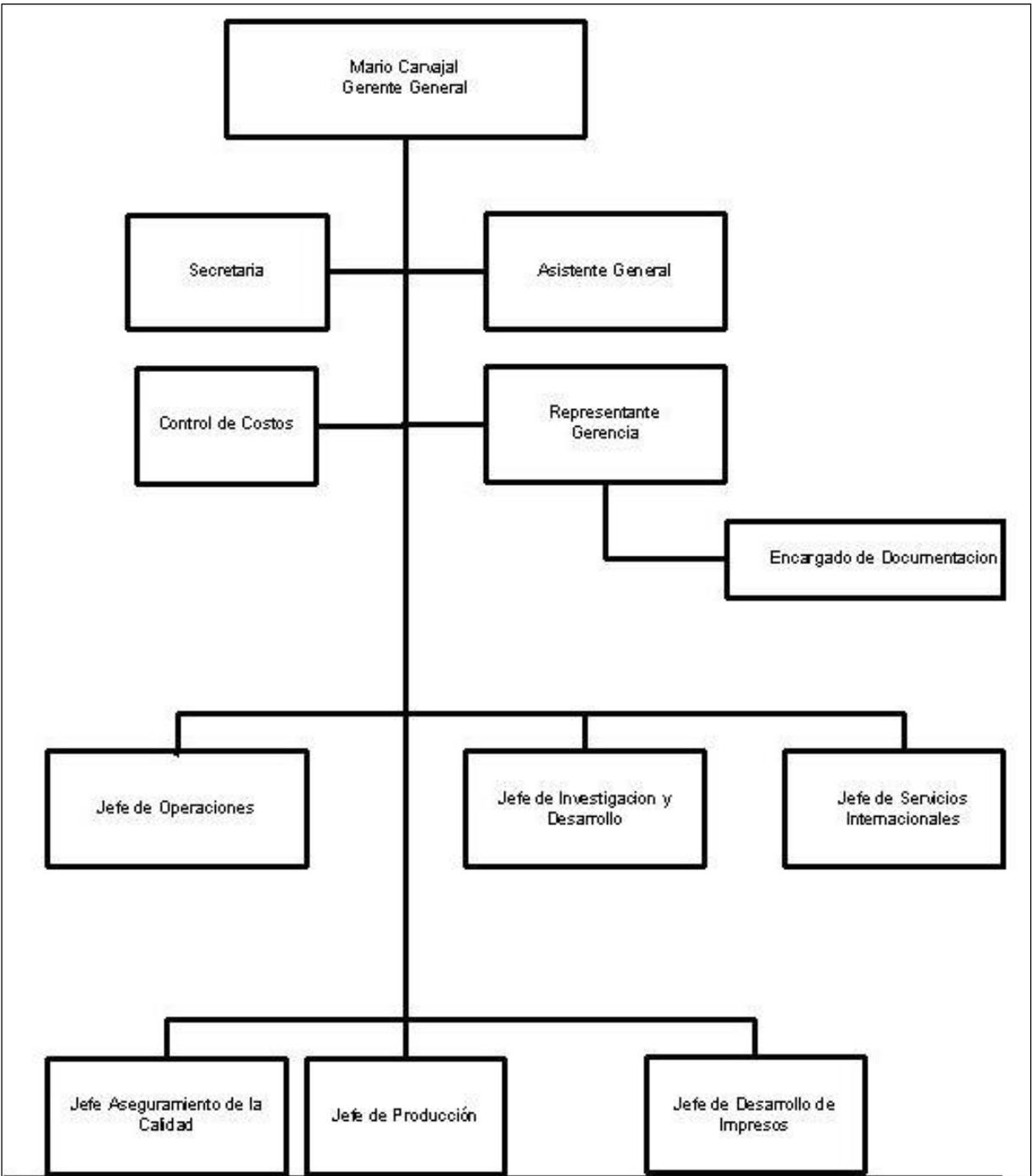


Figura 1.1 Diagrama organizacional de la empresa

1.1.2 Descripción del departamento donde se realizó el proyecto de graduación.

Cibertec Internacional cuenta con un Departamento de Investigación y Desarrollo, el cual sirve como plataforma para dar inicio a sus proyectos y asegurar el buen término de los mismos. Es un generador de tecnología, necesaria para satisfacer las necesidades de los clientes.

En éste sentido, Cibertec dedica una gran inversión a la investigación y al desarrollo; lo que a su vez, le ha permitido tener un considerable crecimiento y una gran proyección a nivel mundial.

Por medio de un proceso de investigación, análisis, cotización de partes, diseño y pruebas, se persigue mantener un alto nivel tecnológico en todas las aplicaciones. Esto, es parte de las políticas que la empresa implementa para lograr el fiel cumplimiento de su misión, la cual consiste en asegurar la satisfacción de los clientes, a partir del cumplimiento de normas de calidad mundial en los diferentes productos tecnológicos que se desarrollan. Además, por medio de los ciclos de desarrollo, se consigue mejorar el desempeño de los sistemas y agregar funciones más elaboradas.

Los encargados de hardware por su parte, se dedican casi exclusivamente a la investigación de nuevos circuitos de aplicación, mientras que los de software se ocupan de controladores, bases de datos y plataformas para las aplicaciones. Cabe mencionar, que el coordinador general de dicho Departamento es el Ingeniero Alejandro Tenorio, quien trabaja en Cibertec desde hace 8 años.

El personal de éste departamento, se encuentra instalado en las cercanías de la Universidad de Costa Rica y la rotonda de la Bandera en San José. Sin embargo, para ciertos procesos de prueba es necesario utilizar el laboratorio de Alajuela, por lo cual se requiere su movilización hasta la planta de SARET.

1.2 Definición del problema y su importancia

La comunicación global, es una necesidad absoluta del momento. La telefonía forma parte de dichas comunicaciones y es por ello, que se vuelve imperativo contar con enlaces telefónicos entre cualesquiera dos países del mundo.

Las personas, necesitan establecer comunicaciones telefónicas entre diferentes países diariamente para asuntos de negocios, personales u otros. Un gran obstáculo en dicho proceso, ***es el alto costo de las llamadas telefónicas internacionales***. Ésta, es la causa del por qué se desea desarrollar un equipo que permita solventar dicha problemática y hacer que las comunicaciones telefónicas internacionales se tornen más cómodas desde el punto de vista económico.

1.3 Objetivos

1.3.1 Objetivo general

Desarrollar la investigación para el diseño preliminar de las etapas de interfaz de línea, cancelación de eco y procesamiento digital de señales para transmitir información de voz en formato digital entre la red telefónica pública conmutada y la red de transporte internacional

1.3.2 Objetivos específicos

1. Comprender los formatos de transmisión E1 y T1.
2. Describir el algoritmo de Generación y Detección de Tonos Duales de Multifrecuencia (DTMF).
3. Comprender las normas utilizadas para la compresión de voz.
4. Resumir las características de la recomendación de codificación de voz UIT G729.
5. Enumerar las características generales del Framer PM-4354.
6. Definir los requerimientos que el sistema presenta al Framer PM-4354.
7. Determinar los modos de operación del Framer PM-4354.
8. Describir la arquitectura básica de un Cancelador de Eco.
9. Describir la arquitectura básica del cancelador de eco ZL50211.
10. Enumerar las características generales de un DSP adecuado para las necesidades de la aplicación.
11. Describir la arquitectura básica del DSP TMS320C6201.
12. Elaborar un diagrama de bloques básico del dispositivo a diseñar.
13. Presentar a la empresa una lista detallada de todos los dispositivos considerados en el desarrollo de este proyecto, tomando en cuenta inclusive aquellos que fueron desechados en alguna etapa previa de éste.
14. Resumir las características principales del dispositivo a diseñar.
15. Realizar un informe de especificaciones técnicas del dispositivo a diseñar.

CAPÍTULO 2.

ANTECEDENTES

2.1 Estudio del problema a resolver

La telefonía, es una de las áreas de la ingeniería cuya función es establecer, mantener y liberar las comunicaciones entre dos o más puntos distantes. Esta comunicación, puede ser analógica o digital y puede utilizar una técnica así como un medio de transmisión determinados.

En la presente investigación se desarrollan los temas fundamentales que se requieren para implementar una plataforma TDM para comunicación telefónica. Se presenta, una breve explicación de los sistemas de portadora digital y de la tecnología empleada para procesamiento de la información de las llamadas telefónicas.

La plataforma TDM, está compuesta por un chasis metálico en el que se colocarán las tarjetas frontales y el backpanel, además de las tarjetas E1/T1, cancelación de eco y detección de tonos DTMF las cuales son compatibles con bus H.110.

A continuación se hace una introducción a los tópicos fundamentales para la comprensión satisfactoria de la presente investigación.

2.2 Modulación de Pulsos.

Los cuatro métodos predominantes para convertir la información a pulsos son:

PWM (Modulación por ancho de pulso): El ancho de pulso es proporcional a la amplitud de la señal analógica. También es conocida como PDM, PLM.

PPM (Modulación por posición de pulso): La posición de un pulso constante, dentro de una ranura de tiempo prescrita, varía de acuerdo a la amplitud de la señal analógica.

PAM (Modulación de Amplitud de Pulsos): La amplitud de un pulso de ancho constante y posición constante, varía de acuerdo a la amplitud de la señal analógica.

PCM (Modulación de Pulsos Codificados): La señal analógica se prueba y se convierte a una longitud fija, número binario serial para transmisión. El número binario, varía de acuerdo a la amplitud de la señal analógica.

2.2.1 Modulación de pulsos codificados (PCM)

Es el único método de los anteriores, que se usa en un sistema de transmisión digital. A continuación, se muestra un diagrama de bloques simplificados de un solo canal de un sistema PCM de una dirección.

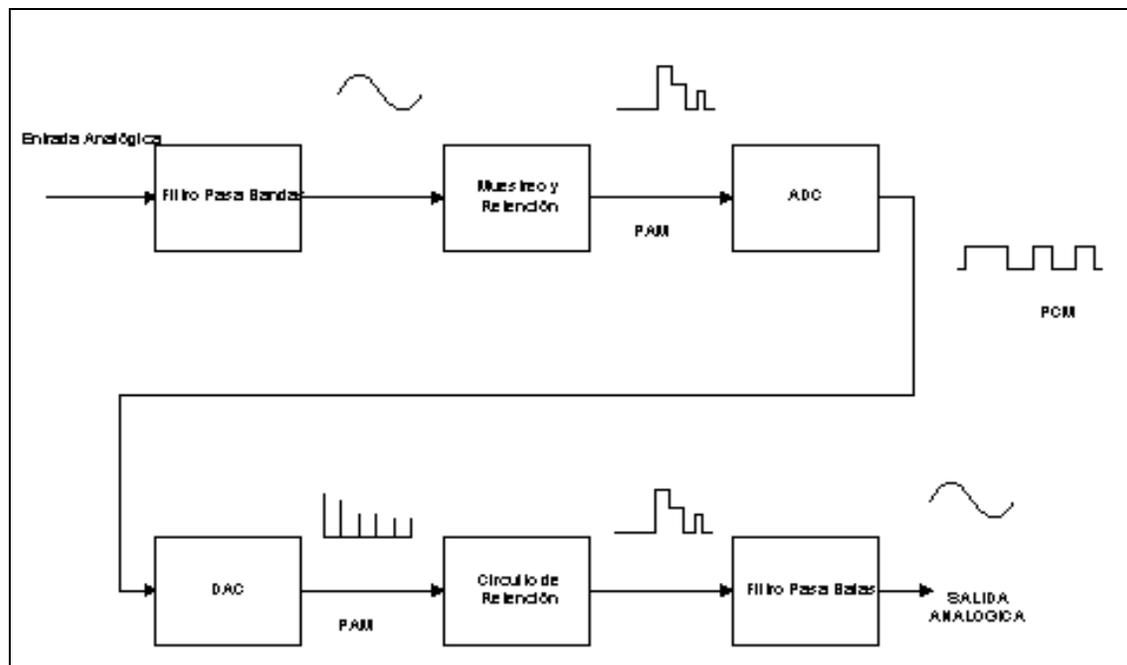


Figura 2.1 Diagrama a Bloques Simplificado de un sistema PCM de una dirección de un solo canal

Emisión

El filtro pasa bandas limita la señal analógica a la proporción de frecuencia de banda de voz estándar de 300 a 3000 Hz.

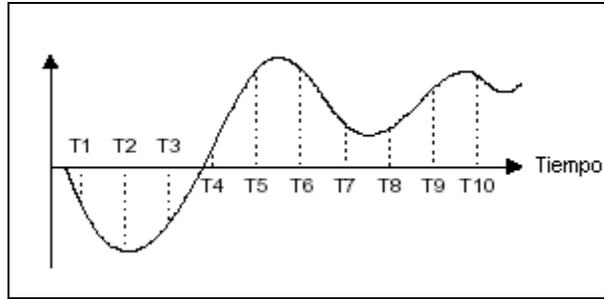


Figura 2.2 El circuito de muestreo y retención convierte la señal en una señal PAM.

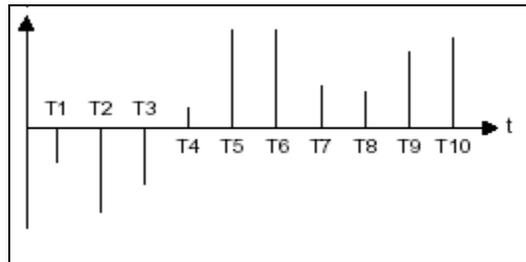


Figura 2.3 El convertidor analógico digital convierte la señal PAM en un flujo de datos binarios seriales para transmisión.

Recepción

El convertidor digital analógico convierte los datos seriales en una PAM.

El circuito de retención y el filtro pasa bajas, convierte la señal PAM a su forma analógica original.

Tasa de muestreo.

Debe recordarse el teorema de muestreo de Nyquist:

$$f_s \geq 2 f_a$$

f_a = frecuencia más alta que se debe muestrear.

f_s = frecuencia de muestreo.

Multiplexación por división de tiempo (TDM)

Con TDM, las transmisiones para fuentes múltiples ocurren sobre el mismo medio pero no al mismo tiempo, sino que se intercalan en el dominio del tiempo.

El tipo mas usado de modulación en TDM es el PCM.

2.3 Sistema portadora digital E1/T1

Una portadora digital, es un sistema de comunicación que utiliza pulsos digitales para codificar información en lugar de señales analógicas.

Hay dos sistemas principales, el T1 recomendado por ANSI y usados principalmente es Estados Unidos y Japón, y el E1 recomendado por la ITU-T, usado en Europa y en ciertos países no europeos.

En caso de E1, está actualmente definido en la recomendación CCITT G.704 (Synchronous Frame Structure) y G.732 (Characteristics of Primary PCM) que la suplementa.

A continuación, se muestra una tabla comparativa con algunas de sus características:

Tabla 2.1 Características comunes entre formatos de comunicación E1 y T1.

	Características	E1 y T1
A	Frecuencia de Muestreo	8 kHz
B	Número de muestras por canal telefónico	8000 por segundo
C	Tamaño de la trama PCM	$1/b = 125 \mu s$
D	Número de bits en cada palabra	8
E	Velocidad de bit de canal	$b * d = 64 \text{ kbits/s}$

Tabla 2.2 Características que diferencian formatos de comunicación E1 y T1.

	Características	E1	T1
F	Segmentos de compresión característica	A-law 13	μ -law 15
G	Número de timeslots por trama PCM	32	24
H	Número de bits por Trama PCM	$d \times g = 256$	$d \times g + 1^* = 193$ * significa bit adicional
I	Duración de un timeslot de 8 bits	$c \times d/h = 3.9 \mu s$	$c \times d /h = 5.2 \mu s$
J	Velocidad de la señal TDM	$b \times h = 2,048 \text{ Mbps}$	$b \times h = 1,544 \text{ Mbps}$

2.4 Sistema de Portadora Digital T1

T1 se usa para denominar un formato de portadora digital a una velocidad de 1.544 Mbps. La trama básica es de 24 canales digitales, los cuales soportan 64 kbps cada uno. Cada canal puede ser configurado para transmitir voz y datos. Éste, requiere un dispositivo de conexión digital (CSU/DSU customer switching unit/digital switching unit) para conectar a cuatro cables para portar la información.

El medio físico para transmisión de T1 es básicamente Cobre en 4 alambres, un par para RX (1+2) y un par para TX (4+5).

2.4.1 Codificación de Línea para T1

Establece como son puestos los bits en la línea (cable).

Es de nuestro interés la codificación AMI (Alternate Mark Inversion) y B8ZS (Binary 8 Zero Substitution).

2.4.1.1 AMI (Código de inversión de marca alterna)

Es una técnica de codificación de reloj sincrónica, la cual usa pulsos bipolares para representar valores de "1's" lógicos. Esto, previene la formación un valor de CD en la línea de transmisión, lo cual se considera una ventaja si el cable puede ser usado para llevar una pequeña corriente de DC que accione un equipo intermedio como un repetidor.

Cada "1" tiene diferente polaridad pero no mantiene densidad de unos.

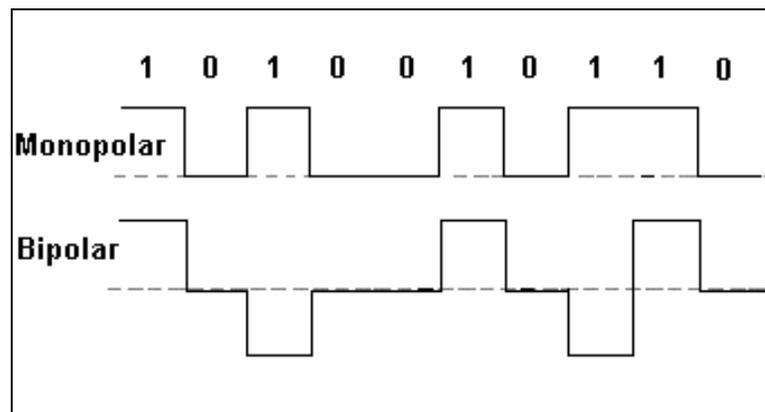


Figura 2.4 Código de línea AMI.

2.4.1.2 B8ZS (Binary 8 Zero Substitution)

Inserta dos unos sucesivos del mismo voltaje, designando una violación bipolar en una señal siempre que se transmitan ocho ceros consecutivos. El dispositivo que recibe la señal, interpreta la violación bipolar como "marca", la cual mide el tiempo que guardan como sincronización los dispositivos de transmisión y recepción. Ordinariamente, cuando son sucesivos se transmiten unos. Un "1" tiene un voltaje positivo y el otro tiene un voltaje negativo.

B8ZS se basa en el AMI. Todavía, se utiliza el AMI con el servicio Digital del dataphone, el cual es el más viejo servicio de los datos del uso que utiliza 64 canales de Kbps. El AMI sin embargo, requiere el uso de 8 Kbps de los 64 Kbps de cada canal para mantener la sincronización. En un circuito T1, hay 24 canales. Esta pérdida, significa que en la realidad solamente 56 Kbps están disponibles para la transmisión de datos. B8ZS, utiliza violaciones bipolares para sincronizar los dispositivos, una solución que no requiera el uso de pedacitos adicionales, que significa un circuito T1 que usa B8ZS puede utilizar los 64 Kbps para cada canal para los datos. B8ZS no es compatible con un equipo más viejo del AMI. La tecnología T1 se utiliza en los Estados Unidos y Japón. En Europa, existe una tecnología comparable llamada E1, que proporciona 32 canales en lugar de 24 y utiliza un esquema de codificación llamado HDB3 en sustitución de B8ZS.

Las violaciones Bipolares hacen dos unos en la misma polaridad.

Un servicio de 64 K es posible (Clear Channel).

2.4.2 Trama Sencilla.

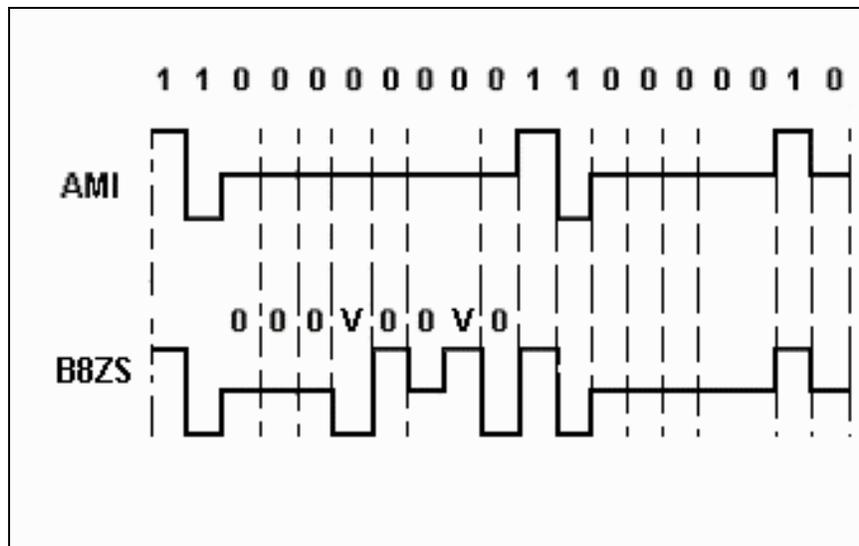


Figura 2.5 La trama Sencilla.

La trama simple es de 193 Bits que contiene:

- a) Un Bit sencillo para tramado (framing).
- b) 24 Time Slots (DSO's).

Cada DSO es de 8 bits a una velocidad de 64K por segundo. Las tramas, se repiten 8000 veces en un segundo dando un periodo de 125 microsegundos.

La velocidad máxima es de 1.536 Mbps: 8 kbps son usados tanto para el tramado (framing) como para la sincronización y 24 x 8 kbps para los canales.

2.4.3 Supertrama (D4).



Figura 2.6 Supertrama (D4).

Es un grupo de 12 tramas usado en el alineamiento de equipo para el tramado (Framing). El octavo bit de cada canal de voz es usado para señalización. Existen dos tipos de bits de trama: Terminal (Ft) y de Señalización (Fs)

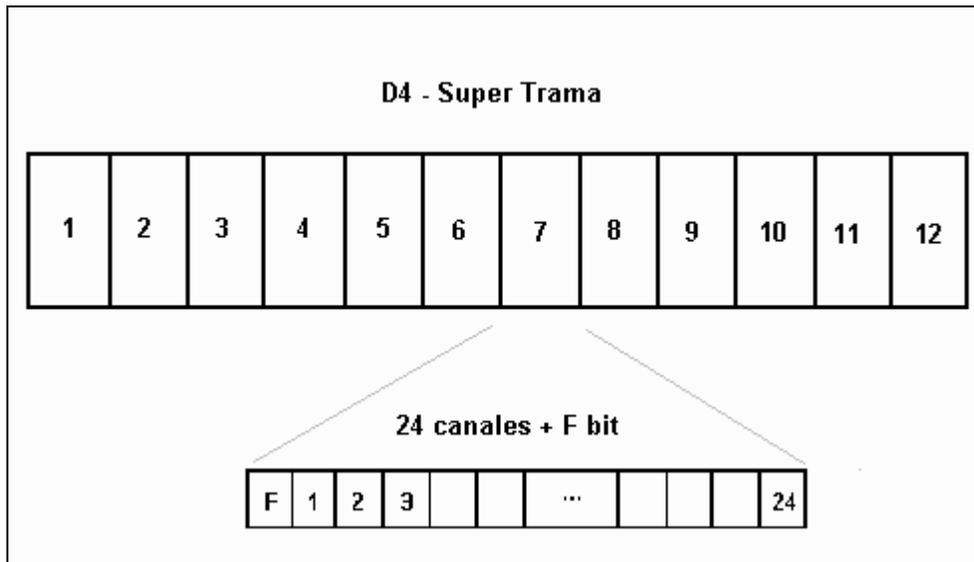


Figura 2.7 Distribución de las tramas en una supertrama.

Tabla 2.3 Uso del F bit en la supertrama.

Número de Trama	Uso Del Bit F	Valor
1	Ft	1
2	Fs	0
3	Ft	0
4	Fs	0
5	Ft	1
6	Fs	1
7	Ft	0
8	Fs	1
9	Ft	1
10	Fs	1
11	Ft	0
12	Fs	0

2.4.4 Supertrama extendida (ESF).

Es un grupo de 24 tramas, usado para alineamiento de trama.

Utiliza 64Kbps para mantenimiento de canal (Datalink -DL-), 2 Kbps para CRC-6 y 2 Kbps para tramado y sincronización (Frame Pattern Sync - FPS-).

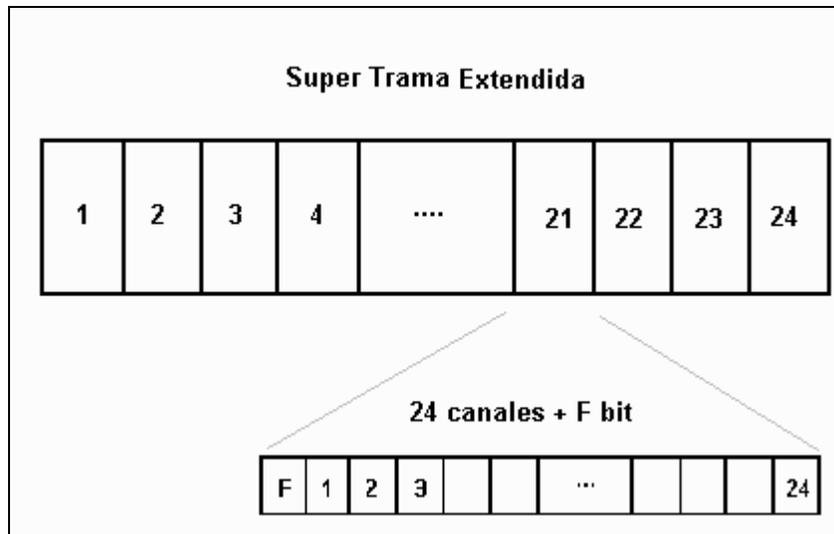


Figura 2.8 Distribución en una supertrama extendida.

Tabla 2.4 Uso del F bit en la supertrama extendida.

Número de Trama	Uso Del Bit F	Posibles valores
1	DL	1/0
2	CRC1	1/0
3	DL	1/0
4	FPS	0
5	DL	1/0
6	CRC2	1/0
7	DL	1/0
8	FPS	0
9	DL	1/0
10	CRC3	1/0
11	DL	1/0
12	FPS	1
13	DL	1/0
14	CRC4	1/0

Tabla 2.5 Uso del F bit en la supertrama extendida (continuación).

Número de Trama	Uso Del Bit F	Posibles valores
15	DL	1/0
16	FPS	0
17	DL	1/0
18	CRC5	1/0
19	DL	1/0
20	FPS	1
21	DL	1/0
22	CRC6	1/0
23	DL	1/0
24	FPS	1

2.4.5 Condiciones de alarma para D4 y ESF

AIS (alarm indication signal) CFA

El AIS, también se conoce como una señal de “keep alive” o “Blue Alarm”. Esto, consiste en una señal (no en trama) de puros unos enviados para mantener la continuidad de la transmisión. La señal de AIS CFA, es declarada cuando se da un estado AIS simultáneo a un RED CFA.

OOF (Out-Of-Frame) condition

La condición de OOF (Hacia fuera-De-Marco) ocurre siempre que la red o el equipo del DTE, detecte los errores en el patrón de trama entrante. Dependiendo del equipo, esto puede ocurrir cuando 2 de 4, 2 de 5, ó 3 de 5 bits de trama son erróneos. Un “reframe” hace un “clear” a la condición de OOF.

Red CFA (carrier failure alarm)

Ocurre después de la detección de la condición CONTINUA de OOF por 2,5 segundos. Este estado de alarma, es limpiado (se le hace un clear) cuando no hay condiciones de OOF al menos en 1 segundo. Algunos usos (servicios de AT&T DACS) no pueden limpiar el estado del CFA hasta 15 segundos de la condición de No OOF.

Yellow CFA (carrier failure alarm)

Cuando un equipo de Terminal/Network entra en un estado RED CFA, transmite una " Yellow Alarm" en la dirección opuesta. Una "Yellow Alarm", es transmitida fijando el bit #2 de cada timeslot en un 0 (cero) para aplicaciones de D4.

Para las aplicaciones de ESF, una " Yellow Alarm", es transmitida enviando un patrón repetitivo de 16-bits que consiste en 8 MARCAS (1) seguidas por 8 ESPACIOS (0) en los bits de Datalink. Esto se transmite por un MÍNIMO de 1 segundo.

Para D4, el tiempo de detección de "Yellow Alarm" es 335 ms (335 ms equivalen a 2680 tramas del tipo D4). Una condición de truncado, debe darse entre 335 a 1000 ms.

Para ESF, el tiempo de detección MÍNIMO es de 28 ms.

LOS (loss of signal)

Se declara una condición de LOS (Pérdida de señal), cuando no se han detectado pulsos en una ventana de pulsos de 175 +/-75 (100 a 250 tiempos de bit).

2.5 Sistema de portadora digital E1.

2.5.1 Medio físico para E1.

Existen Básicamente dos:

1. No balanceado de 120 ohmios
 - a) Cobre en 4 alambres.
Un par para RX (1+2).
Un par para TX (4+5).
2. Balanceado en 75 ohmios.
 - b) Coaxial con conector BNC.

Un cable para RX.

Un cable para TX.

2.5.2 Codificación de línea para E1.

Esta establece como los bits son puestos en la línea (cable).

Es de nuestro interés el HDB3 (High Density Bipolar 3) el cual, es usado para E1 éste también, mantiene cada 1 en diferente polaridad, usando violación Bipolar para mantener automáticamente la densidad de 1's.

2.5.2.1 Codificación bipolar de alta densidad orden 3 (HDB3)

El código HDB3, es una técnica que señala bipolar (es decir, confía en la transmisión de pulsos positivos y negativos). Se basa en la inversión alterna de la marca (AMI), pero lo amplía insertando códigos de la violación siempre que haya un funcionamiento de 4 o más 0. Esto y los códigos (más complejos) similares, han substituido a AMI en redes de distribución modernas.

Reglas de codificación HDB3

Las reglas de codificación siguen iguales que para el AMI, excepto que una secuencia de cuatro 0 consecutivos está codificando con un bit especial de "violación". Este bit, tiene la misma polaridad que el primer bit pasado, que fue enviado usando la regla de codificación del AMI.

Tabla 2.6 Resumen de las reglas de codificación HDB3.

Datos Transmitidos	Patrón Codificado HDB3
0	0
1	Inversión Alterna De la Marca (AMI)
0000	000V (tres 0 y una violación)
0000 0000	B00V B00V

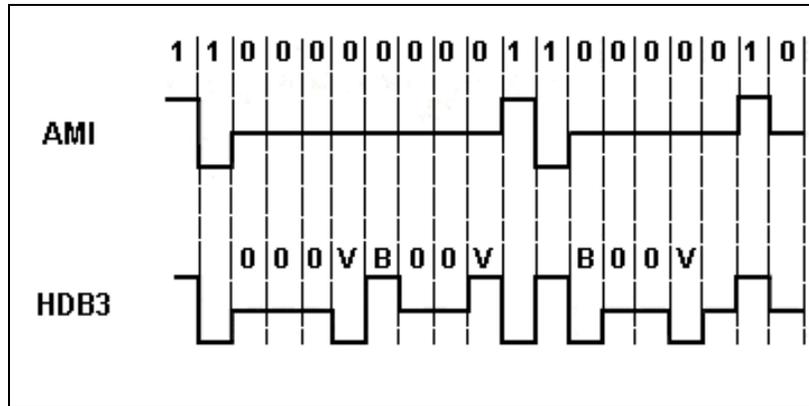


Figura 2.9 Comparación de los códigos de línea AMI y HDB3.

2.5.3 La trama primaria

La Trama estándar, consiste en 32 timeslots (ranuras de tiempo) de 8 bits cada una numeradas del 0 al 31 y llamadas de Ts0 hasta Ts31. El timeslot 0 es usado para: Sincronización, transporte de alarmas, uso de un carrier internacional.

El timeslot 16, puede ser usado para transmitir información de CAS (Channel Associated Signaling). La recomendación G.732 no define los estados de señalización, solo el transporte de los estados a través de una trama de G.732. Sin embargo, G.704 reconoce el requerimiento para CCS (Common Channel Signaling) y también permite el transporte transparente del timeslot 16.

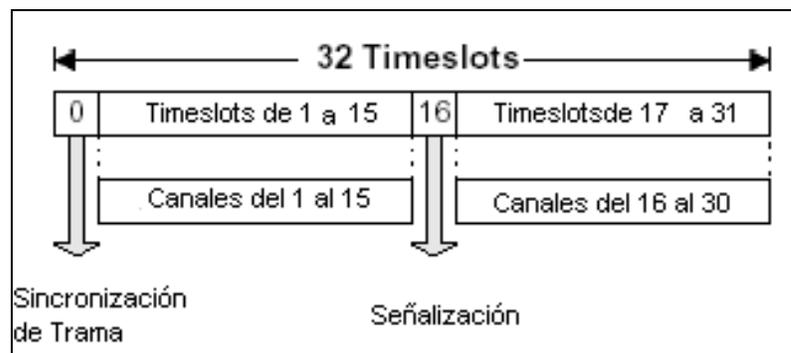


Figura 2.10 Distribución de los timeslots en la trama primaria.

Operación del timeslot 0.

En aplicaciones normales, no hay chequeo de error dentro de la especificación G.704. En dichos casos TS0 se puede usar para transportar Bits de usos Nacional e Internacional.

Sin embargo, G.704 describe una implementación opcional donde CRC-4 puede ser usado para dar detección de errores para tramas 0 a 15. Cuando este formato opcional es usado, los bits internacionales de las tramas pares son reemplazados con un bit de CRC-4. Los bits nacionales, son re-etiquetados como bits de repuesto (spare bits.)

Operación del TS0 sin CRC-4

Los lados emisores y receptores, están sincronizados a la trama PCM con ayuda del FAS (Señal de alineamiento de Trama), la cual se transmite en el timeslot 0 de las tramas pares y el NFAS (señal de no alineamiento de Trama) que se transmite en el timeslot 0 de las tramas impares.

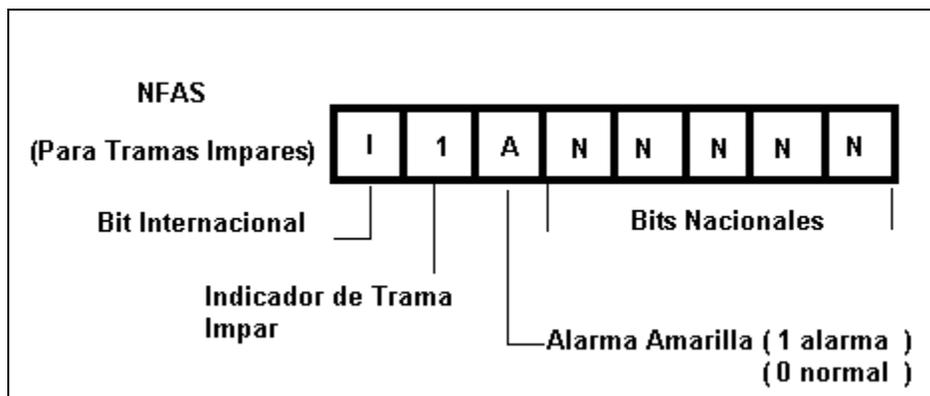


Figura 2.11 Operación del TS0 sin CRC-4 NFAS.

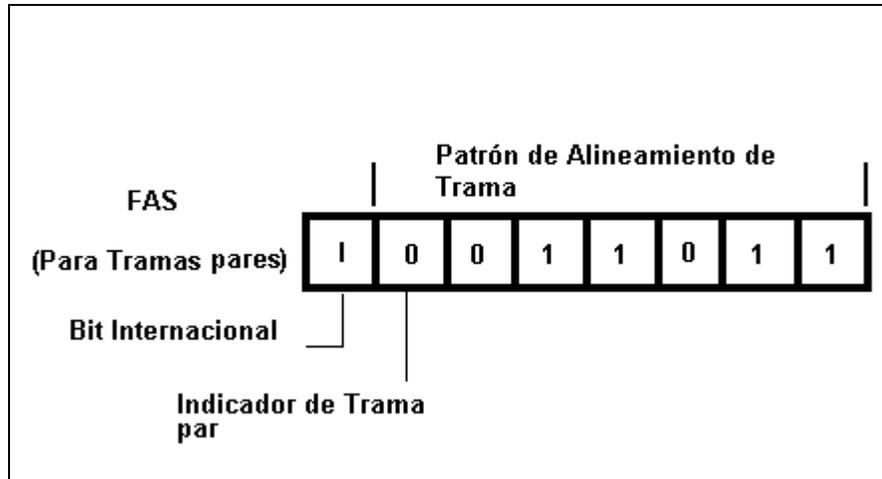


Figura 2.12 Operación del TS0 sin CRC-4 FAS.

Operación del TS0 con CRC-4

Los bits CRC en las tramas 0, 2, 4 y 6 dan detección de error para la sub-multitrama transmitida/recibida (tramas de 0 a 7). Los bits CRC en las tramas 8, 10,12 y 14 dan detección de error para la sub-multitrama transmitida/recibida previamente (tramas de 8 a 15).

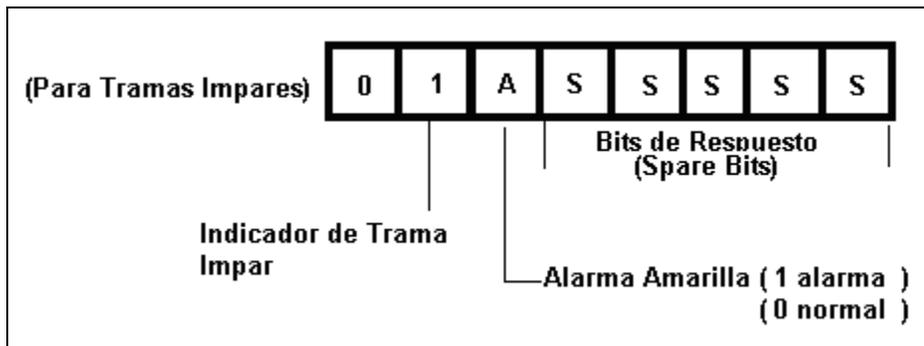


Figura 2.13 Operación del TS0 con CRC-4.

Tramas pares con CRC-4.

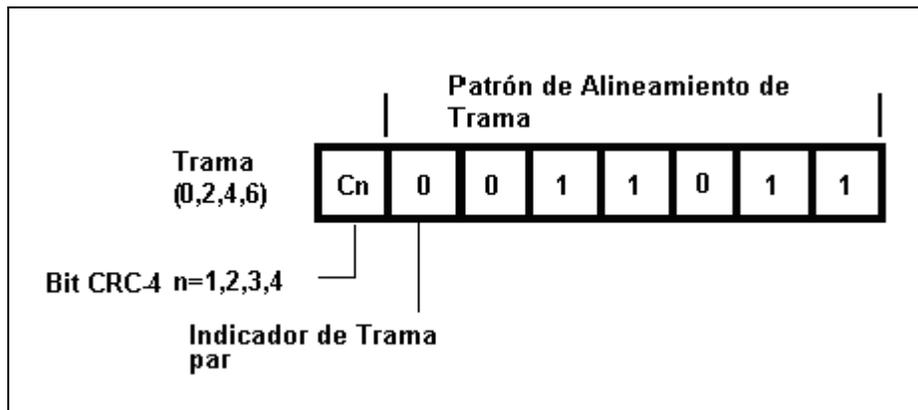


Figura 2.14 Operación del Ts0 en las tramas pares.

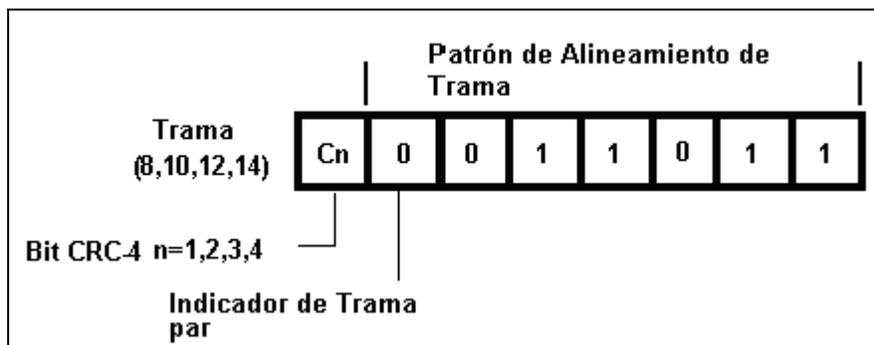


Figura 2.15 Operación del Ts0 en las tramas pares.

Alineamiento de multitrama con el TS16.

Cuando TS16 es usado para CAS, la trama cero es usada por el receptor para identificar la trama entrante. Específicamente, este patrón en TS0, en la trama 0 es llamado (MFAS)

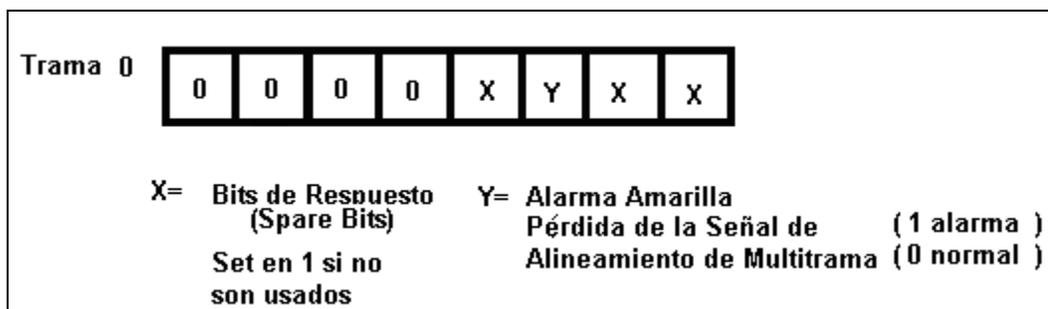


Figura 2.16 Alineamiento de multitrama.

Sincronización sin CRC

Entonces, debe haber tres condiciones para la sincronización:

1. Primero se recibe un FAS correcto en la trama 0.
2. Después, se recibe un NFAS correcto en la trama 1.
3. Por último, se recibe un FAS correcto en la trama subsiguiente.

CRC-4 (Cyclic Redundancy Check 4)

La Recomendación de la ITU-T G.704, especifica el uso de CRC-4 para sistemas de 2048Kbit/s. También, es conocida como PCM30C y PCM31C.

Sincronización de trama usando CRC-4

Un sistema utilizando CRC-4 hace 1000 CRC comparaciones cada segundo. Si el número de comparaciones incorrectas excede el 91.4 % el sistema sale de sincronía. La sincronización se lleva a cabo de la siguiente forma:

Sincronía Normal del sistema PCM

1. Primero, recibe un FAS correcto en la trama 0.
2. Después, se recibe un NFAS correcto en la trama 1.
3. Por último, se recibe un FAS correcto en la trama subsiguiente.

Sincronización de la multitrama CRC

El primer time slot del NFAS contenido en las tramas de la multitrama CRC, es chequeado para revisar la señal de alineación de multitrama 001011.

La sincronización de multitrama, se da cuando al menos 2 MFAS de CRC son recibidos correctamente en un periodo de 8 ms (4 CRC submultitramas). Entre dos MFAS de CRC correctos, debe de haber 2ms o un múltiplo de éste.

2.5.4 Alarmas para E1.

2.5.4.1 Alarmas remotas.

La transmisión PCM toma lugar en ambos sentidos de esa manera los mensajes de alarma son también transmitidos bidireccionalmente.

Se suponen dispositivos (multiplexores) en dos lugares A y B.

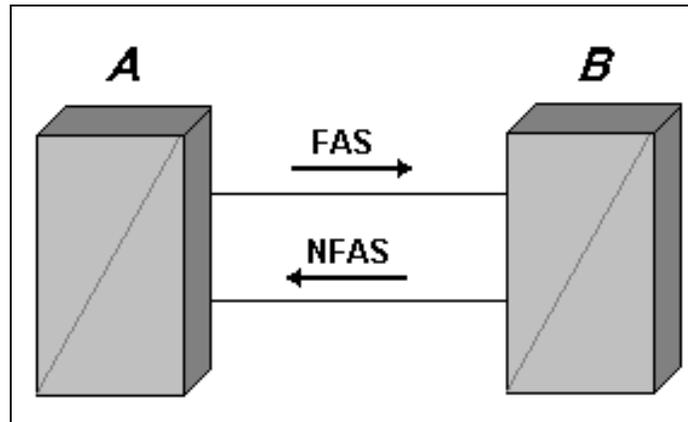


Figura 2.17 Transmisión de las alarmas remotas.

Indicación de Alarma Remota (RAI).

El NFAS es usado para transmitir información de servicio. El Bit 3 del NFAS indica una alarma remota. Si el Bit 3 es 0 significa que no existe una alarma.

Si el Bit 3 está en 1 puede indicar una de las siguientes situaciones:

- a) Fallo de la fuente de poder.
- b) Fallo del Codec.
- b) Fallo en la señal entrante de 2048k bits/s.
- c) Error de alineamiento de trama.
- d) Error en la razón de bit de alineamiento de trama ($> 1 \times 10^{-3}$).

En el punto B, constantemente se monitorea el FAS entrante para encontrar errores de Bit. El FAS, es recibido cada 250 microsegundos, es decir, 4000 veces por segundo. Si el resultado de la medición de errores de bits es menor o igual a 1×10^{-3} no existe problema. De lo contrario, se da una indicación de alarma remota o alarma distante (RAI).

Señal de indicación de alarma

En el punto A, se registra una indicación de alarma remota (RAI) por lo que se detiene la transmisión normal y se transmite una secuencia continua de 1 's. Esto, causa que en el punto B se muestre una señal de indicación de alarma (AIS). Esta señal de 1's, mantiene la recuperación de reloj en los regeneradores permitiendo que la sincronización sea hecha tan pronto como se elimine el RAI.

ITU – T define el AIS como más de 509 bits en 1 en un bloque de 512 bits (lo cual es una señal conteniendo menos de 3 ceros en un periodo de 2 tramas). Una señal con todos los bits en 1 excepto el FAS, es una AIS no válida y es declarada una pérdida de sincronía de trama (frame sync loss).

Pérdida de sincronía de trama (frame sync loss).

Es declarada en PCM30/31 si tres FAS incorrectos son recibidos o en el caso de PCM30C (PCM31C) si hay más de 914 errores de CRC en un segundo.

2.5.4.2 Pérdida de Sincronía de Multitrama (Multiframe Sync Loss).

Si la señalización de MFAS se pierde, entonces se declara una pérdida de sincronía de multitrama.

2.5.4.3 Alarma de Multitrama Distante.

Es declarada en una dirección si el bit 2 del NMFAS en la dirección opuesta es puesto en 1.

2.5.5 Señalización

Es usada para indicar estado: llamada entrante, estado del canal (fuera de servicio, disponible).

Existen dos tipos de señalización:

1. CAS (Señalización por canal asociado): la señalización está en la banda.

2. CCS (Señalización por canal común): se usa un timeslot para señalización (canal D) los mensajes significan enlaces y estados de llamada a 64 kbps

2.6 Cancelación de Eco.

En el proyecto de F&F, se requiere la utilización de una tarjeta de cancelación de eco para 256. Para conocer acerca de cómo se efectúa este proceso, es necesario saber primero que es el eco, cómo y por qué se produce y luego, lo que se hace para detectarlo y eliminarlo. Los párrafos siguientes, introducen al lector en estos temas con el fin de que comprenda la etapa de cancelación de eco que se integra al proyecto F&F.

2.6.1 ¿Qué es el eco?

El eco, es la repetición de un sonido causado por la reflexión de las ondas sonoras. Este es un problema que se presenta en las redes de comunicación que degrada la calidad de los servicios de voz y que se ha tratado de solucionar desde los años 50.

La percepción del eco, en una comunicación telefónica depende de dos factores: del retardo presente en la red y de la amplitud de la señal de eco. El factor más determinante, en este sentido, es el retardo punto a punto también llamado latencia, que consiste en el tiempo que tarda la información en llegar al destino desde el momento en que fue generada por el transmisor. El tiempo que toma la reflexión del eco, es aproximadamente el doble del retardo punto a punto sin embargo, en las redes actuales el retardo no es simétrico en ambas direcciones.

La sensibilidad del oído humano puede percibir eco con retardos de reflexión tan pequeños como 10 ms, sin embargo, este no llega a ser molesto en todos los casos, ya que en las conversaciones telefónicas se introduce una pequeña señal de eco, la cual es llamada "side tone" que une ambas conversaciones donde cada persona se puede escuchar a sí misma, con lo cual se pretende que la conversación se oiga más natural.

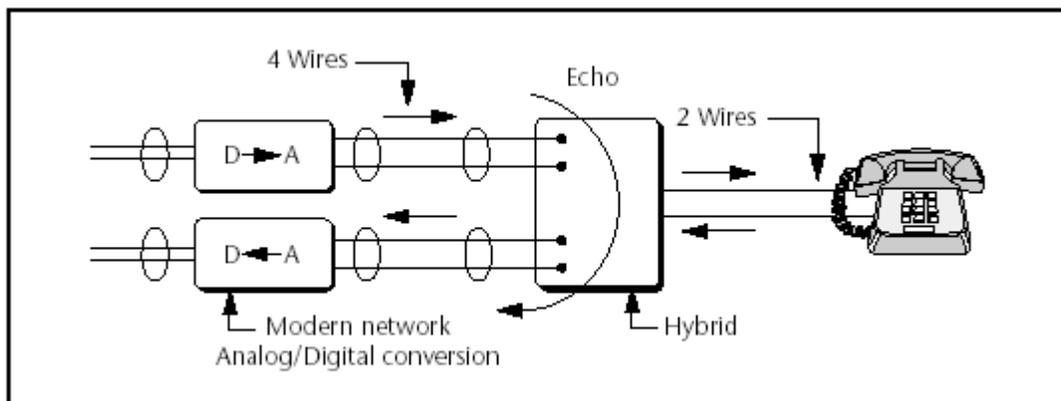
Dependiendo de la susceptibilidad de cada persona retardos de 30ms en la reflexión del eco podrían llegar a ser molestos. No obstante, cuando estos retardos superan los 50ms la mayoría de las personas perciben el eco en forma desagradable.

2.6.2 Causas del eco.

En las redes de telecomunicaciones hay dos tipos de eco: el eco eléctrico y el eco acústico.

2.6.2.1 Eco eléctrico.

Éste, es causado por desacople de impedancias en el lazo local, originado por el uso de cables con diferentes diámetros o por el uso de dispositivos para incrementar el alcance de las señales, entre otras causas. En la red PSTN la principal causa del eco eléctrico son los híbridos. Estos, son transformadores que unen las líneas de 2 hilos provenientes de las casas o de los edificios, con las líneas de 4 hilos provenientes de los troncales de las centrales locales.



Fuente: Octasic Semiconductor

Figura 2.18 Circuito híbrido usado para la transformación de 2 a 4 hilos en las redes PSTN.

Este circuito pasa la mayor parte de la señal de una sección a otra. Sin embargo, debido a la diferencia de impedancias entre las líneas de dos hilos y las de cuatro, se produce una onda reflejada en el sentido de transmisión que se convierte en eco.

El eco no es un problema significativo en llamadas locales, ya que la distancia entre los puntos de comunicación es relativamente corta y no produce retardos considerables. Por lo tanto, el eco eléctrico se convierte en un problema que disminuye la calidad de la comunicación en llamadas de larga distancia.

2.6.2.2 El eco acústico.

Éste es causado por problemas de acople acústico entre el altavoz y el micrófono de un teléfono, sin importar si el teléfono es alámbrico, inalámbrico o de manos libres. El eco, se da por mala calidad de los auriculares, por problemas de eco en el ambiente donde se realiza la llamada, o por cruce de la conversación en los auriculares.

2.6.3 Dispersión del eco.

La dispersión es una de las características del eco, cuyo valor puede ser medido dentro de la cola de eco. La dispersión, es la cantidad de tiempo en milisegundos desde que la persona habla hasta el final del eco.

La cola de eco, es proporcional al retardo punto a punto y su magnitud se determina a partir este retardo y del valor de la dispersión de eco.

2.6.4 Causas del retardo en las redes de comunicación.

En las redes PSTN la mayor parte del retardo, se debe al tiempo de propagación del medio de transporte al cual se le llama retardo de propagación o retardo de la red.

En la tabla 2.7 se muestran datos referentes al retardo de propagación en diferentes medios de transporte en USA.

Tabla 2.7 Retardo de transmisión en tres medios de transporte usados en USA.

Medio de transmisión	Retardo de transmisión en un sentido (ms)
Enlace local de Fibra	1
Enlace continental de Fibra	15
Enlace satelital	250

En las redes inalámbricas, la principal fuente de retardo es la transmisión inalámbrica y el procesamiento del retardo. En el caso de las redes de paquetes (Voice Over Packet Networks), hay otras fuentes significativas de retardo, entre ellas se puede mencionar el retardo por procesamiento (compresión, descompresión, empaquetado), retardo por conmutación y enrutamiento y el retardo por almacenamiento.

Por estas causas adicionales el eco que podría pasar desapercibido en una red conmutada, podría llegar a ser molesto en una red de paquetes. Debido a dicha razón, la conexión entre una red conmutada y una red de paquetes, requiere un excelente proceso de cancelación de eco.

2.6.5 Cancelación de eco.

Un cancelador de eco, es un dispositivo que detecta y remueve la señal de eco que se produce en un punto lejano de la red antes de que llegue al equipo local. En las redes conmutadas de larga distancia, los canceladores de eco se localizan en las centrales metropolitanas que establecen la comunicación con otros puntos distantes. Cuando el retardo de una llamada excede los límites aceptables, se debe proveer dos canceladores de eco colocados uno en cada extremo del enlace.

2.6.6 Arquitectura básica.

Un cancelador de eco consiste de tres componentes principales:

- c) Filtro adaptativo.
- d) Procesador no lineal.
- e) Detector de tonos.

2.6.6.1 Filtro adaptativo.

El filtro adaptativo esta compuesto por un estimador y de un sustractor de eco. El estimador, monitorea la sección de recepción y automáticamente genera un modelo matemático de la señal que crea el retorno del eco y hace la convolución de éste con el canal de voz. Esto produce un estimado del eco que luego es enviado al sustractor, el cual elimina la parte lineal del eco de la sección de transmisión

Se dice que el cancelador de eco, converge cuando se genera un estimado del eco en el filtro adaptativo, éste elimina la parte lineal del eco, sin embargo, después de que la señal pasa por el filtro, una porción eco sigue presente y se llama eco residual.

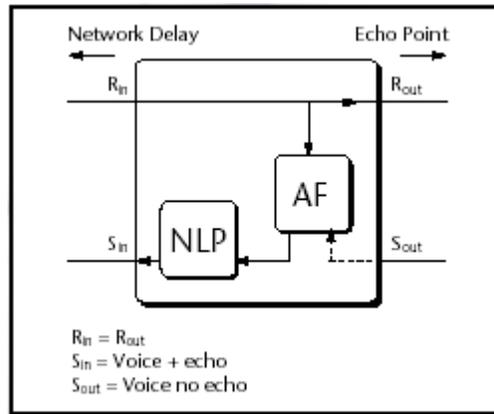
2.6.6.2 Procesador No Lineal.

Este procesador se encarga de evaluar el eco residual y de eliminar todas las señales que se encuentran por debajo de un umbral, reemplazándolas con una simulación de ruido de fondo que normalmente se llama ruido confortable.

2.6.6.3 Detector de tonos.

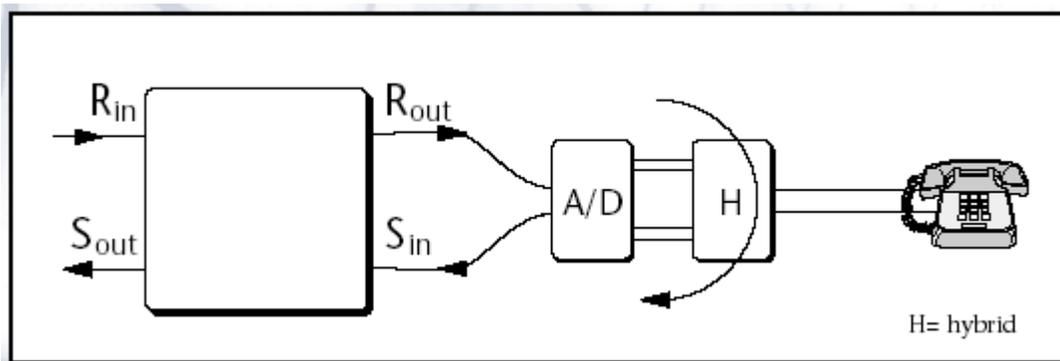
El cancelador de eco, tiene un detector de tonos que puede ser desconectado por un equipo remoto usando ciertos tonos. Por ejemplo, el proceso de cancelación se desactiva durante una transmisión de fax.

Las figuras 2.19 y 2.20, muestran un diagrama de un cancelador de eco donde se pueden ver las partes del mismo y la función que desempeñan en el proceso de cancelación de eco.



Fuente: Octasic Semiconductors.

Figura 2.19 Cancelador de eco y sus partes.



Fuente: Octasic Semiconductors.

Figura 2.20 Cancelador de eco en una red digital.

2.6.7 Características que debe tener un cancelador de eco de alta calidad.

Un cancelador de eco, debe presentar las siguientes características con el objetivo de mejorar la calidad de la comunicación:

2.6.7.1 Eliminar la divergencia

La divergencia, se da cuando el filtro adaptativo no puede encontrar un modelo matemático de la señal de eco. Esto se da debido a que algunos algoritmos matemáticos no funcionan bajo ciertas condiciones de la línea.

2.6.7.2 Control de doble conversación.

En una conversación típica, es común que ambas partes participen al mismo tiempo. Por ejemplo, cuando uno interrumpe al otro o cuando se hacen afirmaciones mientras la otra persona habla frases tales como aja, si, entre otras.

En este caso, el cancelador de eco debe eliminar el eco sin afectar la conversación. Para ello, el cancelador de eco debe detectar la doble conversación y distinguirla del ruido de fondo, debe detener el proceso de adaptación para evitar la divergencia. Para ello, debe hacer uso del último modelo de la señal para aproximar el estimado del eco durante la doble conversación.

Es importante, que la transición del estado de doble conversación al estado normal y viceversa sea liso para que la conversación no suene entrecortada.

2.6.7.3 Prevención de Cortes.

Los cortes se dan cuando en una llamada se remueven partes de la conversación en forma equivocada. Esto, se da por fallos de precisión del procesador no lineal (PNL), es decir, que no inicia o se detiene en el momento exacto o porque no puede responder lo suficientemente rápido. En este caso, el PNL reemplaza las palabras cortadas por ruido de fondo haciendo la conversación incomprensible. Sucede lo mismo cuando el PNL confunde el decaimiento del tono de voz al final de una oración con ruido de fondo.

2.6.7.4 Evitar cambios molestos en el ruido de fondo.

Cuando una persona habla, ella escucha ruido de fondo simulado pero cuando la otra persona empieza a hablar en el lado opuesto, la primera persona escucha el ruido de fondo natural. Si estos dos ambientes son diferentes, se pueden convertir en un factor distraente durante la conversación.

2.7 Procesador Digital de Señales (Digital Signal Processor: DSP)

Se requiere utilizar un procesador digital de señales para efectuar varias tareas de reconocimientos de señales y manipulación de las mismas en diversas aplicaciones. A continuación, se expone que es éste componente, por qué se eligió utilizar un DSP y no un microprocesador y cómo es que opera dicho elemento.

Un procesador digital de señales (DSP), es un CPU de propósito especial. Está diseñado, para permitir la ejecución de secuencias de instrucciones a grandes velocidades tales como desplazamiento y suma o multiplicación y suma, las cuales son muy comunes en algoritmos matemáticos complejos para procesamiento de señales.

Un DSP, es diferente de los procesadores normales los cuales a pesar de que pueden manejar grandes bloques de software no se usan en aplicaciones de tiempo real, ya que los procesadores normales trabajan un poco más lento siguiendo una línea operación, terminando una tarea antes de continuar con la siguiente. En cambio, los DSP's se usan en aplicaciones que requieren procesamiento en tiempo real, frecuentemente como parte de un equipo en el que desempeñan un grupo de tareas específicas.

Las principales características que se deben observar en un DSP, son la velocidad y la precisión. La precisión, es determinada por el tamaño de las palabras de la unidad de memoria y de la unidad aritmética. Mientras que la velocidad depende de muchos factores como los ciclos de tiempo por instrucción y la potencia del set de instrucciones soportada por la arquitectura.

Los DSP's, se clasifican por su rango dinámico, por la cantidad de números que pueden ser procesados en el curso de una aplicación y por el tipo de aritmética utilizada (punto fijo o punto flotante). Por ejemplo, un DSP de 32 bits tiene un rango dinámico mayor que uno de 24 bits, por otro lado los procesadores de punto flotante tienen un rango dinámico mayor que los de punto fijo.

El formato de punto fijo, es diferente del formato de enteros. Éste, se usa para representar números que están entre 0 y 1, mientras que con los enteros se representan números de cero en adelante.

El número binario 01010011 en formato de entero, representa el número 83 mientras que en formato de punto fijo equivale a 0,2020022.

Formato de entero: $01010011 = 2^6 + 2^4 + 2^1 + 2^0 = 83$

Formato de punto fijo: $01010011 = 2^{-1} + 2^{-3} + 2^{-6} + 2^{-7} = 0.6484375$

El tamaño de la fracción representado por el bit menos significativo se llama precisión y el tamaño del mayor número que se puede representar en el ancho de una palabra se llama rango dinámico.

En formato de punto fijo, si el número es muy grande se debe realizar un desplazamiento hacia la derecha para ajustarlo al ancho de la palabra perdiendo los bits menos significativos. Si por el contrario, el número es muy pequeño se debe realizar un desplazamiento a la izquierda para usar los bits más significativos de la palabra, esto se llama escalamiento.

El formato de punto flotante, tiene la característica de hacer el escalamiento de todos los números de modo que siempre se use el ancho disponible en la palabra, pero sin llegar al desbordamiento. El escalamiento en el formato de punto flotante, se realiza por medio de hardware.

Este formato tiene dos partes: la mantisa y el exponente. La mantisa es la parte que se parece al punto fijo, mientras que el exponente es la parte que permite mantener el control del desplazamiento del punto decimal. El punto decimal en este formato se encuentra ubicado después del segundo bit más significativo de la mantisa.

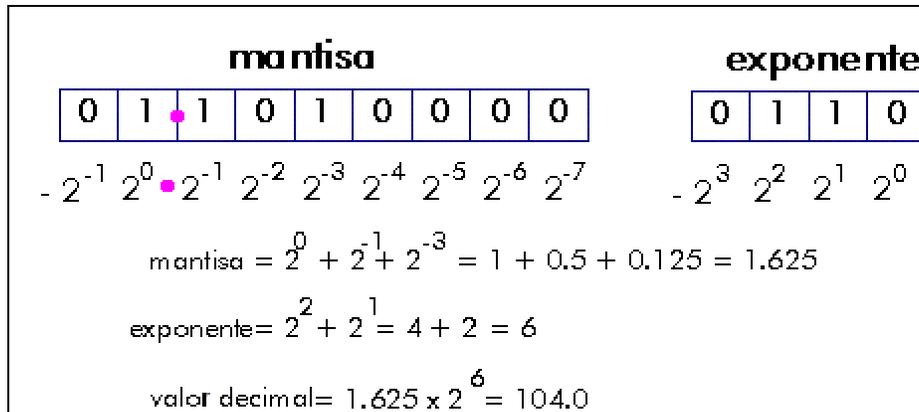


Figura 2.21 Formato de punto flotante.

La precisión en cada formato, está determinada por el ancho de la palabra en punto fijo y por el número de bits en la mantisa en punto flotante.

En un procesador de 32 bits de punto flotante, la mantisa generalmente es de 24 bits, esto significa que la precisión es la misma que la de un procesador de 24 bits de punto fijo. La ventaja del procesador de punto flotante, es que la precisión se mantiene incluso en los números pequeños.

2.7.1 ¿Por qué se usa un DSP y no un microcontrolador?

Hay varias consideraciones que se deben tomar en cuenta para determinar si es mejor usar un DSP en lugar de un procesador de propósito general (GPP). En primer lugar, se debe tener en cuenta el tipo de aplicación, ya que los DSP's están diseñados especialmente para trabajar en aplicaciones que requieren procesamiento en tiempo real, lo cual es una ventaja considerable con respecto a un procesador normal. Sin embargo, hay ciertas características que demuestran que un DSP tiene un mejor rendimiento en aplicaciones de tiempo real, que un microprocesador.

Los algoritmos para procesamiento de señales en tiempo real, requieren un número mayor de operaciones de multiplicación y acumulación. La arquitectura de los DSP's esta optimizada para realizar este tipo de cálculos, siendo más eficientes que un (GPP).

La tecnología de los DSP's, ha sido desarrollada a lo largo de mucho tiempo. Por lo tanto, es una tecnología probada, que hace que se reduzcan los riesgos y los costos por desarrollo.

El consumo de potencia en los DSP's, es menor que en los GPP. Esto es importante, ya que además de reducir el consumo energía prolonga la vida útil de los sistemas.

2.7.2 Campos de aplicación de los DSP's.

Las características de cada DSP determinan el rango de aplicaciones en que puede ser utilizado. Generalmente, los DSP's de 16 bits de punto fijo se usan en aplicaciones de sistemas de voz, ya que el rango de frecuencias de la voz es bastante pequeño. En aplicaciones que requieren un mayor ancho de banda como reproducción de sonido estero de alta fidelidad, se usan procesadores de 24 bits de punto fijo con ADC de 16 bits y para aplicaciones de procesamiento de imágenes, gráficos en 3D y simulaciones científicas, se emplean procesadores de 32 bits con aritmética de punto flotante.

2.7.2.1 Aplicaciones en Telecomunicaciones.

El procesamiento digital de señales en el área de las telecomunicaciones, se caracteriza porque las señales tienen una frecuencia de muestreo de 8KHz, cada 125 μ s. Esto implica, que todo el procesamiento que se le da a una muestra de la señal se debe completar en menos de 125 μ s, pero no obstante, el tiempo se reduce cuando varias señales se multiplexan en un mismo canal (en T1 el tiempo de procesamiento para un muestra se reduce a 5 μ s aproximadamente). En telecomunicaciones los requerimientos de procesamiento vienen dados por la cantidad de canales multiplexados.

2.7.2.2 Aplicaciones de audio.

El rango de las frecuencias de audio está entre 0 y 20KHz, con tasas de muestreo entre 44KHz y 49KHz. Comparado con aplicaciones de comunicaciones, el audio requiere un poder de procesamiento en tiempo real de 5 ó 6 veces mayor. En éste tipo de aplicaciones, lo importante es la calidad por eso, las señales se muestrean hasta con 16 bits de precisión y se prefiere usar unidades aritméticas de 24 bits.

Hay una gran cantidad de aplicaciones en la que se utilizan DSP's y todas ellas con sus requerimientos particulares. En cuanto a capacidad de procesamiento, las aplicaciones se pueden clasificar en tres grupos:

Bajo requerimiento: Se incluyen aquí, aplicaciones de Telecomunicaciones (T1-E1), audio y mediciones, sin implicar tiempo real e instrumentación (osciloscopios). Estas aplicaciones, pueden ser implementadas con un chip DSP.

Requerimiento medio: Sonar y video. Estas aplicaciones, se podrían realizar usando componentes integrados de alta densidad (VLSI) basados en arquitecturas de procesamiento en paralelo con DSP's.

Requerimientos altos: radar y mediciones de tiempo real (análisis espectral). Debido a la gran demanda de procesamiento en este tipo de aplicaciones, solo se podría utilizar arquitectura de procesamiento paralelo usando tecnología VLSI.

2.7.3 Características Básicas de la Arquitectura de un Procesador Digital de Señales (DSP)

La mayoría de DSP, comparten características Básicas, que pueden dividirse en las siguientes:

1. Especializadas en operaciones aritméticas de alta velocidad.
2. Transferencia de Datos desde y hacia el mundo real.
3. Arquitecturas de memoria de múltiple accesos.

Para realizar operaciones aritméticas de alta velocidad, los DSP necesitan unidades aritméticas especiales de alta velocidad.

2.7.3.1 Aritmética de alta velocidad

a) Suma y multiplicación

Esta requiere: hacer un fetch de dos operándos, realizar una adición y/o una multiplicación (por lo general ambas) y almacenar el resultado o mantenerlo para una repetición. Por lo general, se requieren adiciones y multiplicaciones juntas. Por esto, frecuentemente se tienen sumadores y multiplicadores en hardware, los cuales pueden ser usados en paralelo dentro de una instrucción simple.

2.7.3.2 Retraso (Delay)

Requiere sostener un valor intermedio para un uso posterior. Para esto, el DSP tiene gran cantidad de registros los cuales pueden ser usados para sostener valores intermedios. Los registros, pueden ser de punto fijo o punto flotante.

2.7.3.3 Array Handling

La generación de direcciones, es un factor importante entre la velocidad de los DSP y de sus operaciones especializadas.

Requiere:

1. Hacer un fetch de valores de locaciones de memoria consecutivos.

2. Copiar datos de memoria a memoria. Lo anterior, requiere que la operación de fetch de localizaciones de memoria consecutivas se haga eficientemente.

Por lo antes citado, un DSP tiene registros de direcciones (address registers) los cuales son usados para sostener las direcciones y pueden ser usados para generar la siguiente dirección de una manera eficiente.

La habilidad de generar nuevas direcciones eficientemente, es una característica básica de los DSP. Usualmente, la próxima dirección necesitada puede ser generada durante el fetch del dato o en la operación de almacenamiento y sin sobrecarga. Los DSP, tienen sets de operaciones para generación de direcciones:

Registro Indirecto (*rP): lee el dato apuntado por la dirección contenida en el registro rP.

Post-Incremento (*rP++): habiendo leído un dato, se post-incrementa en puntero de dirección al siguiente valor en el arreglo.

Post- decremento (*rP--): habiendo leído un dato, se postdecrementa en puntero de dirección valor previo en el arreglo.

Post-Incremento de registro (*rP++rl): habiendo leído un dato, se post-incrementa en puntero de dirección por la cantidad sostenida en el registro rl.

Bit invertido (Bit reversed / *rP++rlr): habiendo leído un dato, se post-incrementa en puntero de dirección al siguiente valor en el arreglo, como si los bits de dirección estuvieran en un orden reverso.

2.7.3.4 Interfaces de Entrada/Salida

A diferencia de un procesador de propósito general, un DSP tiene que tener interfaces con diferentes tipos de datos, algunos provienen del mundo real. El procesador, debe tener la capacidad de recibir y transmitir datos en tiempo real sin interrumpir sus operaciones matemáticas internas.

Hay tres fuentes de datos del mundo real:

1. Señales entrantes y salientes.
2. Comunicación con otro DSP del mismo tipo.
3. Comunicación con un sistema controlador de diferente tipo.

Estas múltiples rutas de comunicación, marcan una de las principales diferencias entre un DSP y un procesador de propósito general.

Señales Entrantes y Salientes

Son manejadas generalmente por los puertos seriales síncronos de alta velocidad. Los puertos seriales son baratos - teniendo solamente dos o tres alambres - y satisfacen bien las tasas de transferencias de datos de audio o de telecomunicaciones hasta 10 Mbit/s. La mayoría de convertidores analógicos digitales (ADC) se interconectan con los puertos seriales de alta velocidad de los DSP sin ninguna lógica que intervenga.

Un puerto serial síncrono, requiere solamente tres alambres: reloj, datos, y sincronía de la palabra. La adición de un cuarto alambre (sincronización de trama) y un estado de alta impedancia cuando no se hace ninguna transmisión, hace al puerto capaz del tratamiento de datos del TDM, que es ideal para las telecomunicaciones:

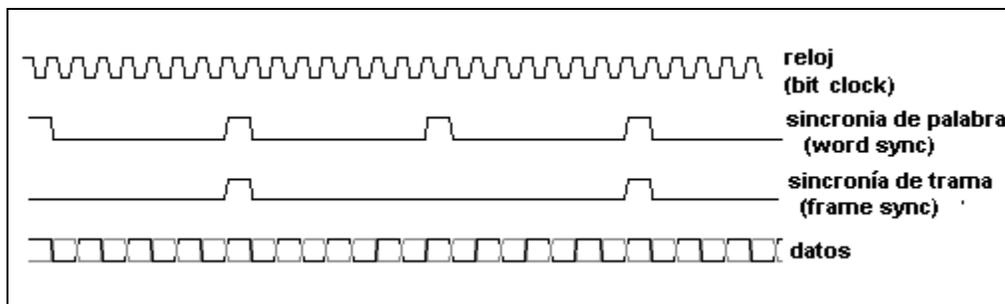


Figura 2.22 Señales del puerto serial.

Los DSP, tienen generalmente puertos seriales síncronos (que transmite reloj y los datos por separado) aunque algunos, tales como la familia de Motorola DSP56000, tienen puertos seriales asincrónicos (donde el reloj se recupera de los datos). La sincronización es versátil, con opciones generar el reloj serial del reloj del Chip de DSP o de una fuente externa. Los puertos seriales, pueden también utilizar relojes separados para recepción y transmisión, una característica en comunicación satelital donde los relojes son afectados por los cambios de Doppler.

El puerto serial usualmente opera bajo un DMA, (los datos puestos en el Puerto automáticamente son escritos en la memoria sin detener el DSP) con o sin interrupciones. Esto es usualmente posible al recibir y transmitir datos simultáneamente.

El puerto serial, ha dedicado instrucciones que hacen simple manipularlo porque es estándar al chip. Esto significa que muchos tipos de hardware de I/O, se pueden usar con poco o nada de cambio al código.

Puerto de Anfitrión (Host Port)

Mientras que las señales tienden a ser continuas, la comunicación del host tiende a una transferencia de datos en partes, por ejemplo descargar un Nuevo programa o poner nuevos coeficientes del filtro. Algunos DSP han dedicado "host ports", los cuales son diseñados para comunicarse con otro procesador de un diferente tipo o con un bus estándar.

El "host port" funcionará generalmente bajo un acceso directo de memoria (DMA), ya que los datos presentados en el puerto se escriben automáticamente en memoria sin parar el DSP - con o sin interrupciones. Es generalmente posible recibir y transmitir los datos simultáneamente.

Comunicación con otros DSP (Link Ports).

Es necesaria cuando una aplicación es excesiva para un solo DPS o donde muchos procesadores son necesitados para manejar múltiples streams de datos pero conectados entre sí. El Puerto de enlace, permite una vía sencilla de conectar varios DSP del mismo tipo.

El Puerto de enlace (Link Port), opera bajo un acceso directo de memoria (DMA) - datos presentados en el puerto se escriben automáticamente en memoria sin parar el DSP - con o sin interrupciones. Es generalmente posible recibir y transmitir los datos simultáneamente.

Los puertos de enlace (Link Ports), han dedicado instrucciones que los hacen simples de manejar. Aunque se utilizan a veces para señales I/O, esto no es siempre una buena idea, puesto que implica señales de muy de alta velocidad sobre muchos pines y puede ser duro para el hardware externo cumplir los requisitos de la sincronización.

2.7.4 Arquitectura de Memoria

Como se dijo anteriormente, dentro de las operaciones mas usuales en un DSP se encuentran la multiplicación y las adiciones. Éstas requieren:

1. Hacer un fetch a dos operándos.
2. Realizar la adición y/o multiplicación (usualmente ambas).
3. Almacenar el resultado o sostenerlo para una repetición.

Para hacer un fetch a dos operándos en un ciclo de instrucción simple, se necesita hacer dos accesos de memoria simultáneamente.

Y si además, se requiere almacenar el resultado y leer la instrucción; realmente se necesitan más de dos accesos a memoria por ciclo de instrucción. Por lo anterior, los DSP usualmente soportan múltiples accesos de memoria en el mismo ciclo de instrucción. No es posible, acceder dos direcciones de memoria diferentes simultáneamente sobre un bus sencillo de memoria.

Hay dos métodos para hacer lo anterior: la arquitectura Harvard y la Von Neumann Modificada.

2.7.4.1 Arquitectura Harvard

La arquitectura de Harvard, dedica un bus para hacer fetch a las instrucciones, y el otro para traer operándos. Esto es inadecuado para las operaciones de DSP, que implican generalmente por lo menos dos operándos. Las arquitecturas de DSP Harvard, permiten generalmente que el bus del programa sea utilizado también para el acceso de operándos. A menudo, es necesario traer tres cosas - la instrucción, más dos operándos - y la arquitectura Harvard, es inadecuada para hacer esto: por eso las arquitecturas de DSP Harvard generalmente, incluyen una memoria cache que se pueda utilizar para almacenar las instrucciones que serán reutilizadas, dejando ambos buses libres para traer operándos. Esta modificación de la arquitectura Harvard, a veces se llama arquitectura Harvard extendida o una arquitectura súper harvard (SHARC).

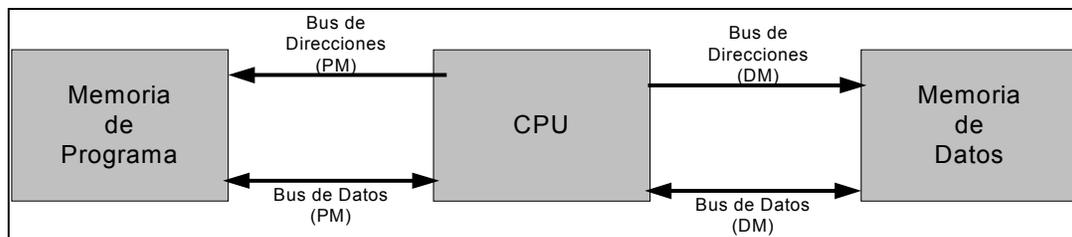


Figura 2.23 Arquitectura Harvard.

2.7.4.2 Von Neumann

Usa solo un bus sencillo de memoria. Requiere menos pines que la Harvard y es más simple de usar porque el programador, puede ubicar instrucciones y datos dondequiera a través de la memoria disponible. A pesar de ello, no permite accesos múltiples de memoria.

La arquitectura modificada Von Neumann, posibilita accesos de memoria múltiples por ciclo de la instrucción, haciendo funcionar el reloj de la memoria más rápidamente que el ciclo de la instrucción. Por ejemplo, el Lucent DSP32C funciona con un reloj de 80 MHz, éste es dividido por cuatro para dar 20 MIPS, pero el reloj de la memoria funciona en los 80 megaciclos completos cada ciclo de la instrucción se divide en cuatro estados de la máquina y un acceso de memoria se puede hacer en cada estado de la máquina, permitiendo un total de cuatro accesos de memoria por ciclo de la instrucción

En este caso, la arquitectura modificada Von Neuman, permite todos los accesos de memoria necesarios para la adición o la multiplicación: hace un fetch de la instrucción, de los dos operándos; y almacena el resultado.

Ambas arquitecturas, requieren cuidado del procesador con respecto a posición de memoria donde es ubicado el dato. Por ejemplo, en Harvard si los dos operándos están en el mismo banco de memoria, no van a poder ser accedados simultáneamente.

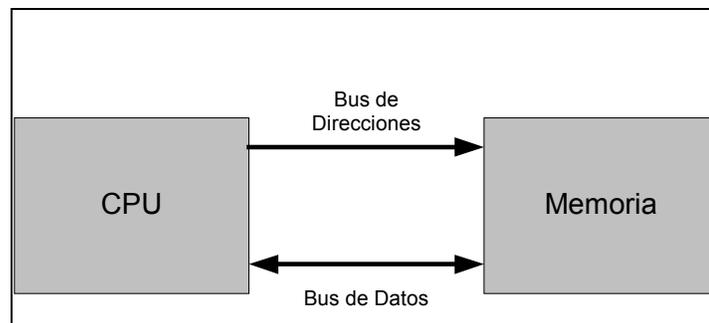


Figura 2.24 Arquitectura Von Neumann

2.8 Propiedades de las Señales de Voz

Tradicionalmente la voz se encuentra en un ancho de banda de 3.4 kHz. Para digitalizar la forma de onda analógica, ésta es muestreada bajo el criterio de Nyquist a una frecuencia de 8 kHz y posteriormente cambiada a PCM de 8 ó 16 bits (después de un proceso de cuantización y compresión/descompresión “companding”). En el caso de voz a 8 bits, esto da una velocidad de canal de 64 Kbps.

Tomando en cuenta El Teorema de Capacidad de Canal de Shannon, una SNR (razón señal a ruido P/G) de 30 dB y el ancho de banda(W) mencionado de 3.4 kHz; la velocidad de canal (C)mínima esta dada por :

$$C = W \cdot \log_2 \left(1 + \frac{P}{G} \right)$$

De la ecuación anterior, se rescata que la velocidad de canal mínima para un desempeño con mínimo error es de 34 kbps. Sin embargo, la ecuación de Shannon no toma en cuenta las redundancias en señales de voz.

Usando técnicas de predicción lineal, las redundancias de largo y corto término (short and long- term) pueden ser recuperadas para producir bajas velocidades de bits (low bit rate).

2.8.1 Características de la Voz en el Dominio del Tiempo

El dominio del tiempo, puede ser dividido ampliamente en segmentos con voz y segmentos sin voz. Los segmentos sin voz son aperiódicos y tienen apariencia de ruido, por lo tanto, pueden ser reemplazados por una fuente ruido gaussiano sin que el oído humano lo perciba.

Por otro lado, los segmentos con voz son periódicos y tienen correlaciones de corto y largo término (short and long term correlations). Correlaciones de corto término implican redundancias entre muestras adyacentes; mientras correlaciones de largo término sugieren periodicidad, por ejemplo, similitud entre ciclos de muestras secuenciales. Ambas formas de redundancia, pueden ser removidas usando un predictor para cada caso.

2.8.2 Características de la Voz en el Dominio de la Frecuencia

La región en la cual la mayoría la energía de la voz esta concentrada debajo de los 4 kHz, corresponde a las frecuencias resonantes de la zona de las vocales. Esta información, puede ser usada por el decodificador en pos-procesos para realzar esta región en la conversación sintetizada.

Por último, se debe mencionar que una señal puede hacerse imperceptible para el oído humano si está enmascarada por otra con una mayor energía y en el mismo rango de frecuencias.

2.8.3 Atributos de un Codificador de Voz (Speech Coder)

Éstos, son utilizados generalmente para optimizar el codificador acorde a la aplicación necesitada. Dentro de los principales atributo se mencionan:

2.8.3.1 Velocidad de Bit (Bit Rate)

Su reducción es la principal motivación de la codificación de voz, para el caso específico de G.729, este es de 8 kbps. El “bit rate” necesario, depende del canal de comunicación y de la aplicación específica.

2.8.3.2 Calidad de Voz (Speech Quality)

Es un atributo vital de los codificadores de voz, sin embargo la principal dificultad se centra en encontrar un criterio objetivo que correlacione la variedad de codificadores de voz y una señal de entrada. Existen pruebas subjetivas como la (MOS - mean opinión score), donde diferentes grupos de escuchas entrenados y no entrenados caracterizan la voz en una escala de 1 a 5.

2.8.3.3 Retrazo (Delay)

Es de especial importancia en comunicación “full duplex” en tiempo real.

El retraso del codificador, puede dividirse en cuatro componentes. Primero el retraso del algoritmo, específicamente para el caso de G.729 es de 15 ms. Como segundo componente se presenta el retraso de transmisión, el cual es el retraso del transporte de los parámetros codificados de una trama particular. El tercer componente es el de multiplexación, que se da en casos de canales de múltiples accesos. Por último, está el retraso computacional, que se relaciona al retraso de proceso de la trama. Este retraso, se refiere tanto a la codificación como a la decodificación.

El umbral de retraso (delay threshold) depende de la naturaleza de la aplicación.

2.8.3.4 Sensibilidad de Error de Canal (Channel Error Sensivity)

Se divide en dos tipos principales. El primero, es el error aleatorio, el cual usualmente se debe al ruido de canal. Está normalmente especificado por la tasa de bits de error (BER – bit error rate) y es limitado alrededor de un 1%.

Para contrarrestar los errores aleatorios, se debe alcanzar una razón señal a ruido suficiente. Además, se realiza la codificación del canal, que es diferente de la codificación de voz (codificación de fuente). La codificación del canal, es puesta en ejecución a menudo agregando redundancias a la información transmitida para hacerla más robusta contra error de canal.

El segundo tipo de error es el error, de explosión (burst error), que es más común en canales móviles y se presenta debido al mecanismo. Para evitar este error se han implementado esquemas de detección en G.729, un bit de paridad se inserta en el parámetro codificado (80 bits) para la detección de error.

2.9 Recomendación ITU-T G.729

El G.729 (CS-ACELP) de la ITU-T es un estándar internacional que se adapta muy bien a la compresión de los flujos estándar de 64 Kbps de los canales PCM usados típicamente para la transmisión de voz, consiguiendo un resultado tan bajo como 8 Kbps. Esta recomendación, contiene la descripción de un algoritmo para la codificación de señales de voz a 8 kbits/s usando CS – ACELP (Conjugate – Structure Algebraic - Code Excited Lineal Prediction).

El codificador CS – ACELP, está diseñado para operar con una señal digital que ha sido primero filtrada para ancho de banda telefónica (Recomendación G.712) de la señal analógica y posteriormente filtrada a 8000 Hz , seguida de una conversión a 16 bits PCM lineal para entrar al codificador.

2.9.1 Codificador G.729

Esta basado en CELP (Code Excited Lineal Prediction). Opera en una trama de 10 ms, la cual corresponde a 80 muestras a una velocidad de muestra de 8000 muestras por segundo. Para cada trama de 10ms, la señal de voz es analizada para extraer los parámetros del CELP se observan en la tabla 2.8.

Los parámetros del CELP son codificados y transmitidos. En el decodificador, éstos son usados para recuperar la excitación y la síntesis de los parámetros de los filtros. La voz, es reconstruida a través de filtros de síntesis de término corto. El filtro de síntesis de término corto, es basado en un filtro de predicción lineal de orden 10. El filtro de síntesis de término largo, es reconstruido e implementado en el llamado aproximación Adaptativa – “Codebook “(una tabla de residuos típicos de señales que es inicializada por el diseñador). Después de procesar la voz reconstruida, se mejora por medio de un filtro posterior.

Tabla 2.8 Parámetros CELP

Parámetro	Código	Subtrama 1	Subtrama 2	Total por Trama
Line Spectrum pairs	L0 , L1,L2,L3	-	-	18
Adaptive-Codebook Delay	P1,P2	8	5	13
Pitch – Delay Parity	P0	1	-	1
Fixed- Codebook Index	C1,C2	13	13	26
Fixed- Codebook Sign	S1,S2	4	4	8
Codebook gains (estación 1)	GA1,GA2	3	3	6
Codebook gains (estación 2)	GB1,GB2	4	4	8
Total	80			

Debe de notarse, que la trama de 10 ms es subdividida en dos subtramas de 5 ms. Todos los parámetros, excepto el LSPs (Line Spectrum Pairs) son codificados por cada subtrama. La razón para esta división, es prevenir la que la transición espectral de una trama a otra sea abrupta.

2.9.2 Codificación G.729

La señal de entrada es filtrada, con un filtro pasa alto y escalada en un bloque de preproceso. La señal preprocesada, sirve como entrada para un análisis subsiguiente.

La predicción lineal es hecha una vez en 10 ms para computar los coeficientes de predicción lineal (LP). Estos coeficientes, son convertidos en LSP (Line Spectrum pairs) y cuantizados (18 bits) por cuantización predictiva de vector de dos estaciones (VQ).

La señal de excitación es escogida usando un procedimiento de análisis por síntesis en el cual el error de la conversación original y la conversación reconstruida es minimizado acorde a una medición porcentual de distorsión carga. Esto, es hecho por filtrado a través de un filtro de peso porcentual, del cual los coeficientes son derivados de los coeficientes no cuantizados LP.

Los parámetros de excitación (fixed and adaptive codebook parameters), son determinados por subtramas de 5ms. Los coeficientes LP de filtro cuantizados y no cuantizados, son usados para la segunda subtrama, para la primera se usan coeficientes LP de filtro interpolados.

Un retraso de frecuencia de lazo abierto (open – loop pitch delay), es estimado uno por 10ms basado en el peso porcentual de la señal de voz $sw(n)$. Entonces, las operaciones son repetidas por cada subtrama.

La señal objetivo $x(n)$, es filtrada por computadora a través del filtro de síntesis de peso $W(z)/A(z)$. Después, es calculada la respuesta al impulso $h(n)$ del $W(z)$.

La búsqueda de frecuencia de lazo cerrado (closed loop pitch), es entonces hecha para encontrar P_1 , P_2 y sus ganancias, usando $x(n)$ y $h(n)$, buscando alrededor del retraso de frecuencia de lazo abierto (open loop pitch delay). Una frecuencia fraccional con una resolución de $1/3$ es usada.

La frecuencia (the pitch), es codificada con 8 bits para la primera subtrama (P_1) y diferencialmente con 5 bits para la segunda subtrama (P_2). La señal objetivo, es entonces primero actualizada, siendo usada en la búsqueda del "fixed codebook" para encontrar la excitación óptima. Un "codebook" algebraico con 17 bits (13 para Index y 4 para sign), es usado para la excitación del "fixed codebook". Con esto, las ganancias del "adaptive codebook" y de "fixed codebook" son vectores cuantizados usando 7 bits.

El diagrama de flujo siguiente muestra los pasos básicos de la codificación G.729.

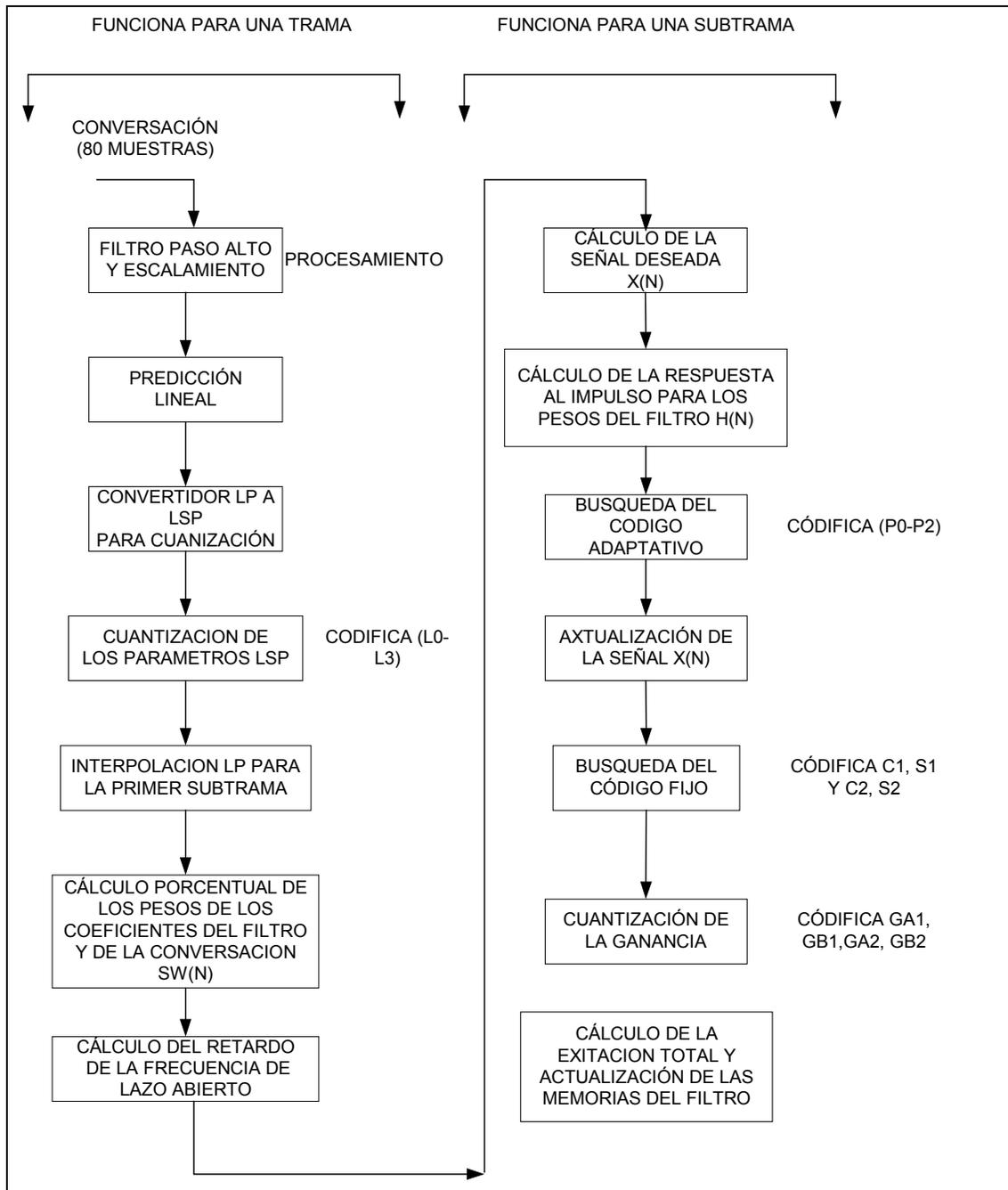


Figura 2.25 Diagrama de Flujo Básico de la codificación G.729.

2.9.3 Decodificación G.729

Primero los índices de los parámetros son extraídos del stream de bits recibidos. Esos índices, son decodificados para obtener los parámetros de codificación correspondientes a una trama de 10 ms. Estos parámetros son: los coeficientes LSP, los dos retrasos de frecuencia fraccionales (fractional pitch delays), los dos vectores fijos de “codebook” (fixed codebook vectors) y los dos sets de ganancias de codebook (adaptative/fixed-codebook gains).

Los LSP's son interpolados y convertidos a los coeficientes LP para cada subtrama. Para cada subtrama de 5 ms, las siguientes operaciones son repetidas:

La excitación es construida, agregando los vectores de “codebook” adaptativos y fijos y escalándolos por sus ganancias respectivas.

Después, la conversación es reconstruida, filtrando la señal de excitación construida a través de un filtro de síntesis LP.

Finalmente, la conversación reconstruida es pasada a través de una estación de post-proceso, la cual incluye un post-filtro adaptativo basado en filtros de síntesis de largo y corto término (long – and short– term), seguido de una etapa de filtro pasa alto y operación de escalamiento.

Los pasos anteriores se ilustran en las figuras 2.26 y 2.27.

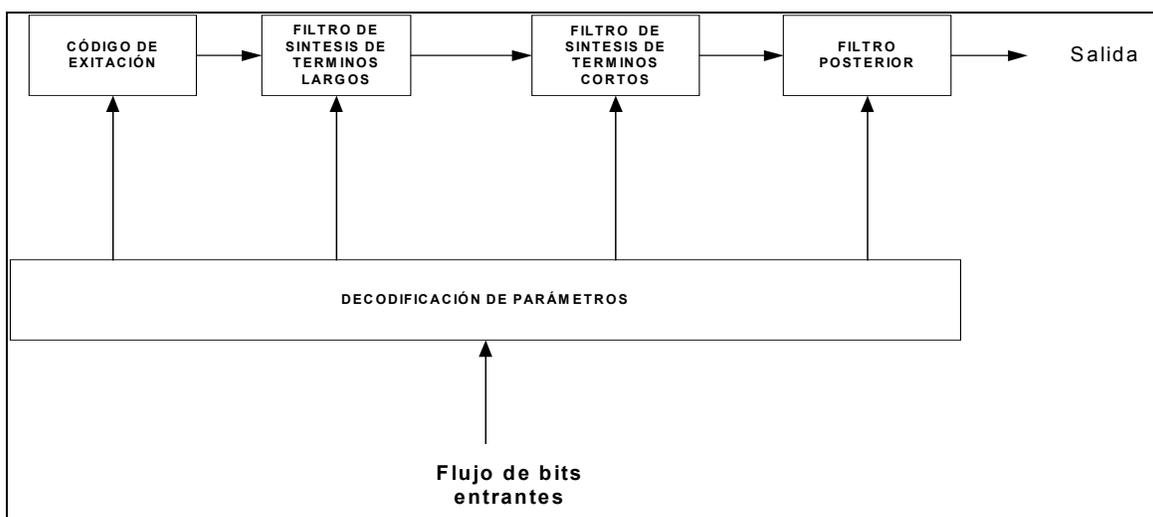


Figura 2.26 Diagrama de Bloques Básico de la Decodificación G.729

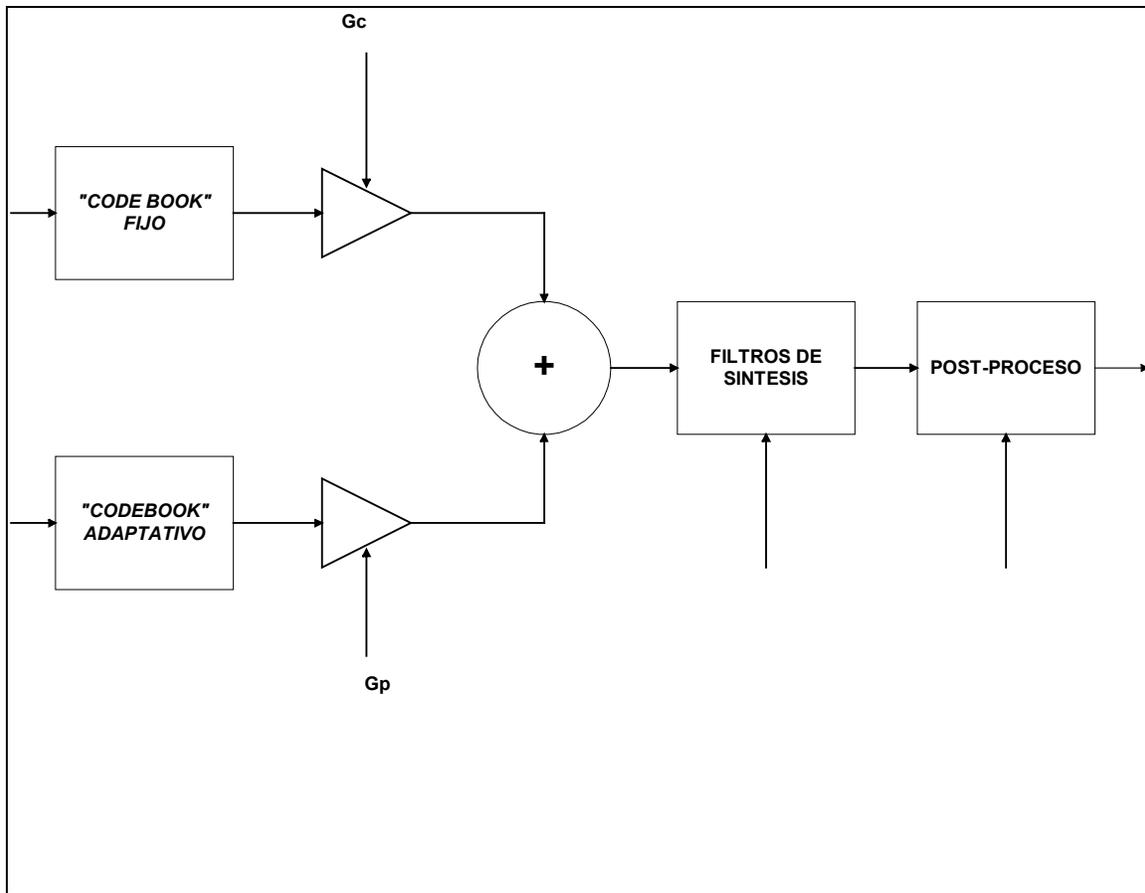
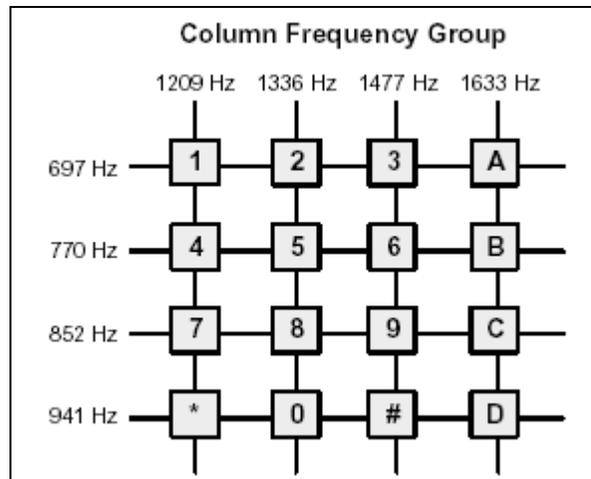


Figura 2.27 Diagrama de Bloques del Proceso de Decodificación para cada Subtrama de 5ms

2.10 Tonos Duales de Multifrecuencia.

Las siglas DTMF significan “Tonos Duales de Multifrecuencia” (dual tone multiple frequency). Un codec de DTMF, incorpora un codificador que traduce los movimientos o la información dominante del dígito presionado en el teclado del teléfono a señales duales del tono. Se puede ver también, como un decodificador que detecta la presencia y el contenido de información de las señales entrantes del tono de DTMF. Cada llave en el teclado numérico, es identificada únicamente por la frecuencia de su fila y su columna según lo demostrado en la figura 2.28. El esquema de generación y descifrado de DTMF, no es demasiado extenso y se puede ejecutar fácilmente por un DSP aprovechable incluso en otras tareas.

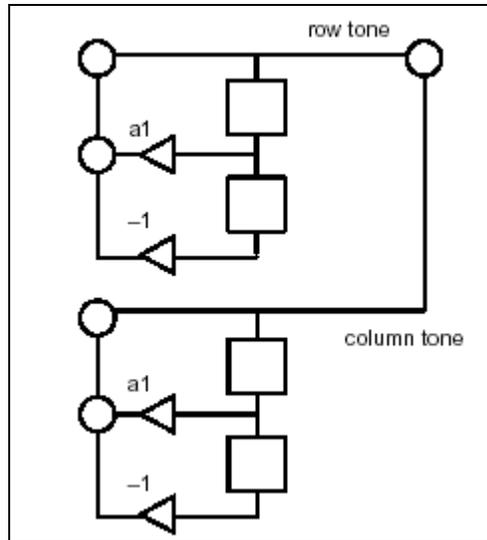


Fuente: DTMF54XX.pdf

Figura 2.28 Teclado numérico para generación de tonos DTMF.

2.10.1 Generación de tonos DTMF

La porción del codificador y la pieza de la generación del tono de un codec de DTMF, se basa en dos osciladores sinusoidales digitales programables de segundo orden; uno para el tono de la fila y otro para el tono de la columna. Dos osciladores en vez de ocho facilitan el código y reducen el tamaño del mismo. Por supuesto, para cada dígito que debe ser codificado, cada uno de los dos osciladores necesita ser cargado con el coeficiente apropiado y las condiciones iniciales antes de que la oscilación pueda ser iniciada. Como gama de frecuencias típica de DTMF se tiene un rango entre 700 hertzios a 1700 hertzios. Un índice de muestreo de 8 kHz para su implementación, nos pone en un área de trabajo segura de acuerdo a los criterios de Nyquist. La figura 2.29 exhibe el diagrama de bloque del par digital del oscilador.



Fuente: DTMF54XX.pdf

Figura 2.29 Osciladores digitales sinusoidales de segundo orden.

f/Hz	a1	y(-1)	y(-2)/A
697	0.85382	0	-0.52047
770	0.82263	0	-0.56857
852	0.78433	0	-0.62033
941	0.73911	0	-0.67358
1209	0.58206	0	-0.81314
1336	0.49820	0	-0.86706
1477	0.39932	0	-0.91680
1633	0.28424	0	-0.95874

Fuente: DTMF54XX.pdf

Figura 2.30 Coeficientes y condiciones iniciales.

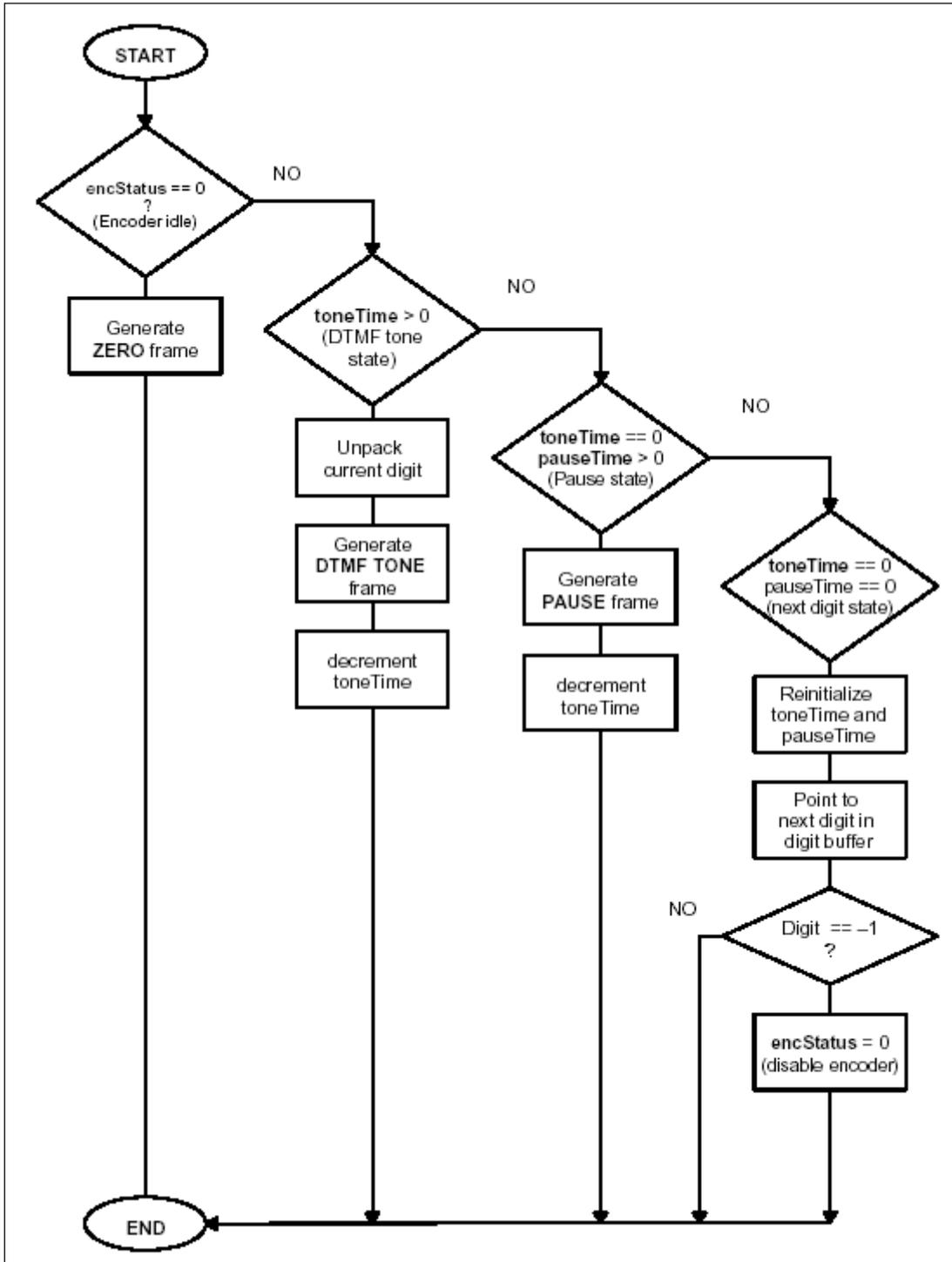
Las especificaciones de la duración de tonos de acuerdo a AT&T, indican lo siguiente: 10 dígitos/sec son la tarifa de datos máxima para las señales del tono del tacto. Para un espacio de tiempo de 100 milisegundos, la duración para el tono real es por lo menos 45 milisegundos y no más de 55 milisegundos. El generador del tono debe estar quieto durante el resto del tiempo de 100 milisegundos.

2.10.1.1 Descripción del flujo de programa del generador del tono de DTMF

Para la siguiente descripción del flujo del programa, es provechoso consultar simultáneamente el organigrama dado en la figura 2.31. Esencialmente, la serie de entradas del teclado numérico (dígitos), será traducida a una serie de tonos duales de cierta duración, que serán interrumpidos por pausas de cierta duración. Los tonos duales, permitirán más adelante al decodificador identificar los dígitos asociados. Las pausas, son también necesarias para discriminar entre dos o más dígitos idénticos introducidos sucesivamente.

El generador del tono de DTMF sigue una aproximación almacenada, que significa que los resultados de su ejecución serán colocados en una secuencia de datos continua. Cada marco (15 ms o 120 muestras de largo), contiene cualquier muestra del tono de DTMF o muestras de las pausas. El flujo de programa del generador del tono de DTMF, es controlado por un sistema de variables. La variable `encStatus`, refleja el estado actual del codificador. El codificador puede estar en modo ocioso (`encStatus = 0`) y no se utiliza para codificar dígitos, o bien, en modo activo (el `encStatus = 1`) y genera tonos de DTMF y pausas de cierta duración. La duración del tono y la duración de la pausa, serán monitoreadas con las variables `toneTime` y `pauseTime`. Al principio de cada proceso de codificación de los números de teléfono, las variables `toneTime` y `pauseTime` se inicializan con los valores deseados y se activa el codificador (`encStatus = 1`). El codificador, recupera el primer dígito del almacenador intermediario y lo desempaqueta.

El desempaquetado, significa que el dígito está mapeado de acuerdo a las características del tono de fila/columna y los indicadores se cargan, apuntando a las localizaciones del oscilador. El codificador entonces, genera los tonos DTMF de las tramas y por consiguiente, decrementa el toneTime. Cuando se alcanza la duración deseada del tono (toneTime = 0), el codificador comienza a hacer salir frames de pausa. Mientras que el codificador va decrementando el pauseTime con cada frame de pausa, alcanza la duración deseada de la pausa cuando pauseTime = 0. El codificador, apenas ha terminado de codificar el primer dígito en el almacenador intermediario del dígito y ahora continúa con el dígito siguiente. Tiene que reiniciar el toneTime antes de ir al ciclo siguiente de tone/pause. El codificador, reconoce la terminación del proceso de codificación del número de teléfono entero con un dígito igual al 1 en el almacenador intermediario del dígito y se cambia al estado IDLE (encStatus = 0).



Fuente: DTMF54XX.pdf

Figura 2.31 Diagrama de flujo de la implementación de la codificación DTMF.

2.10.2 Generación de Tonos de DTMF multicanal

El software, se escribe como funciones entrantes C-accesibles. Esto permite al usuario, instalar los detectores de varios canales del tono en C sin la adición de código adicional significativo. Para facilitar y estructurar los usos de varios canales, el código utiliza una estructura para sostener todas las variables e indicadores globales a varios arreglos para un solo canal. Todo lo que el usuario tiene que hacer, es definir una estructura para cada canal e inicializarla correctamente. Una llamada a la función DTMF Encode (DTMFENCOBJ), a la cual se pasa un indicador de la estructura definida que invocará el proceso de codificación.

2.10.2.1 Detector de tonos DTMF

La tarea de detectar tonos de DTMF en una señal entrante y de convertirlos en dígitos reales, es ciertamente más compleja que el proceso de codificación. El proceso el descifrar es naturalmente un proceso continuo, lo que significa que necesita buscar una secuencia de datos entrante en curso para la presencia de los tonos de DTMF continuamente.

Información espectral

El algoritmo de Goertzel, es la base del detector de DTMF. Este método, es una manera muy eficaz y rápida de extraer la información espectral de una señal de entrada. Este algoritmo, esencialmente utiliza los filtros de tipo two-pole IIR para computar con eficacia valores de DFT. Es una estructura recurrente, que funciona siempre en una muestra entrante a la vez con respecto al DFT (o FFT), que necesita un bloque de datos antes de poder comenzar a procesar. La estructura de IIR para el filtro de Goertzel, facilita el cómputo de la ecuación de diferencia, teniendo solamente un coeficiente verdadero. Para la detección real de la información de la magnitud del tono del DFT es suficiente. Después de cierto número de muestras N (equivalente a un tamaño de bloque de DFT), la salida del filtro de Goertzel converge hacia un valor DFT pseudo $vk(n)$, que se puede utilizar luego para determinar la magnitud cuadrática, (véase la figura 2.32, para una descripción matemática corta del algoritmo).

Goertzel Algorithm in short:

1. Recursively compute for $n = 0 \dots N$

$$v_k(n) = 2 \cos\left(\frac{2\pi}{N}k\right) \cdot v_k(n-1) - v_k(n-2) + x(n)$$

$$\text{where } v_k(-1) = 0 \quad v_k(-2) = 0$$

$$x(n) = \text{input}$$

2. Compute once every N

$$|X(k)|^2 = y_k(N)y_k^*(n)$$

$$= v^{2k}(n) + v^{2k}(N-1) - 2 \cos(2\pi f_k/f_s) v^{2k}(N) v^{2k}(N-1)$$

Fuente: DTMF54XX.pdf

Figura 2.32 Algoritmo de Goertzel.

El algoritmo de Goertzel, es mucho más rápido que un FFT verdadero, como solo algunos valores de las líneas espectrales son necesarios y solamente para esos valores hay filtros proporcionados. Las magnitudes ajustadas, son necesarias para 8 frecuencias de row/column y para sus 8 armónicos secundarios correspondientes. La información de los segundos armónicos, nos permitirá más adelante discriminar tonos de DTMF del habla o de la música. Cada filtro, se ajusta para coincidir lo más exactamente posible con las frecuencias reales de DTMF. Esto es también verdad para los segundos armónicos correspondientes. La excepción, son las frecuencias fundamentales de la columna. Cada frecuencia de la columna, tiene dos compartimientos de la frecuencia adjuntos, que se desvían $\pm 0.9\text{Hz}$ del centro.

El parámetro N. define el número de iteraciones recurrentes y también proporciona medios de ajustar la resolución de la frecuencia. La relación N a la anchura del lóbulo principal del compartimiento de la frecuencia, es decir, de la resolución de la frecuencia es:

$$\text{Lóbulo principal} = f_s/N$$

Los requisitos de la anchura de banda del reconocimiento de Bellcore hacen necesario otra vez el ajuste para $N=136$, que corresponde a una anchura del lóbulo principal de aproximadamente 58Hz.

1st Harmonics fs = 8 kHz			2nd Harmonics fs = 8 kHz		
DTMF frequency f/Hz	Detection freq bins at fk/Hz	Coefficient cos(2pi fk/fs)	2nd harm frequency f/Hz	Detection freq bin at fk/Hz	Coefficient cos(2pi fk/fs)
<i>rows</i>					
697	697	27980	1394	1394	15014
770	770	26956	1540	1540	11583
852	852	25701	1704	1704	7549
941	941	24219	1882	1882	3032
<i>columns</i>					
1209	1200 1218	19261 18884	2418	2418	-10565
1336	1327 1345	16525 16123	2672	2672	-16503
1477	1468 1486	13297 12872	2954	2954	-22318
1633	1624 1642	9537 9093	3266	3266	-27472

Fuente: DTMF54XX.pdf

Figura 2.34 Coeficientes de los filtros para filas y columnas y segundos armónicos de frecuencia.

2.10.2.2 Descripción del flujo de programa del detector de DTMF

La figura 2.35, es una muy buena guía para ayudarse a entender el proceso que se describirá en los párrafos siguientes. En ella, se muestra el diagrama de flujo de la implementación del proceso de decodificación de tonos de DTMF. En él, aparece el nombre de todas las variables que se han de utilizar en el programa para la detección de dichos tonos, así como los modos en los que se entra durante la ejecución del proceso.

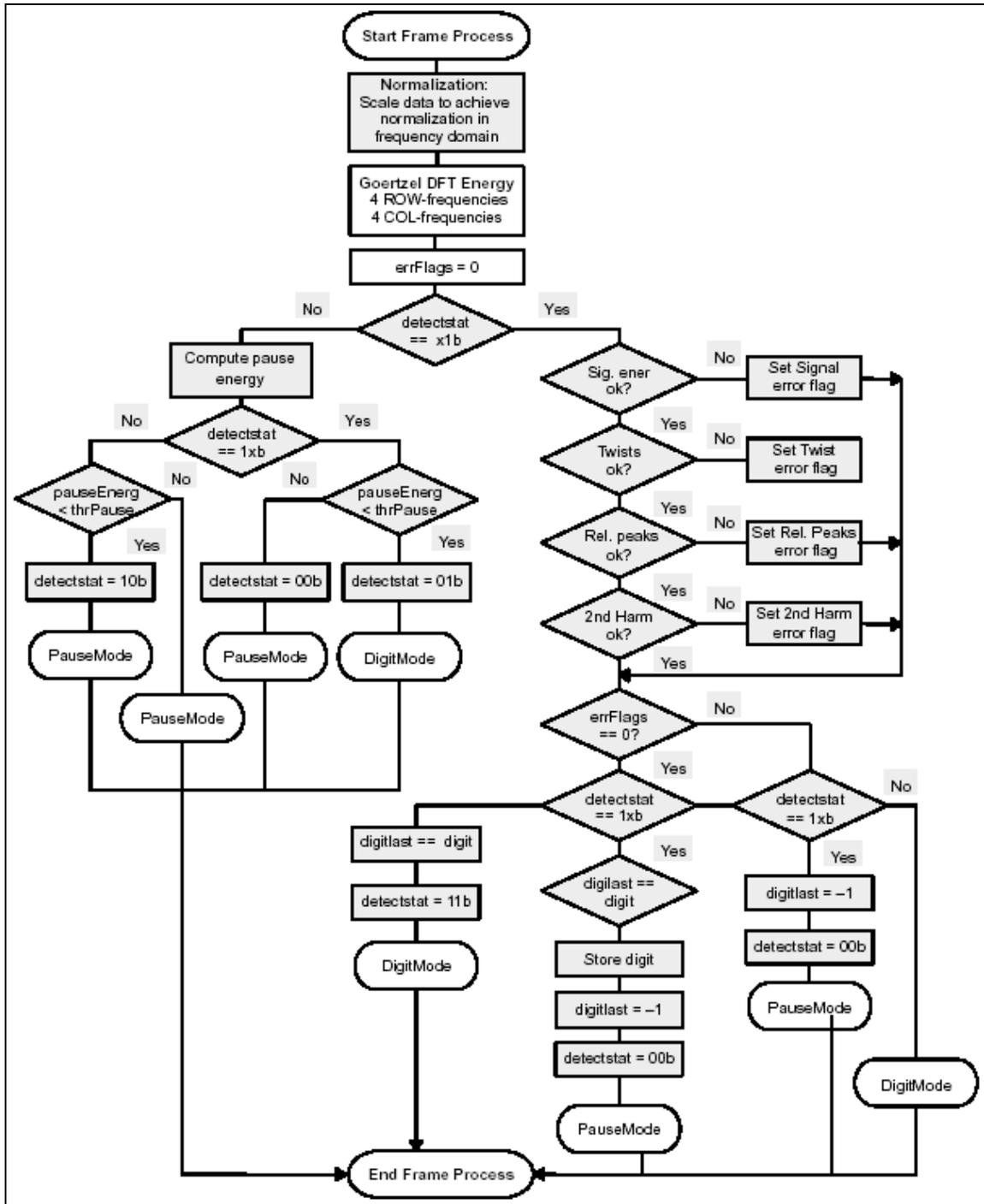
Una vez que el buffer de entrada se haya llenado de nuevos datos, el proceso de tramado puede comenzar. El contenido del almacenador intermedio de los datos de entrada se copia en un almacenador intermedio para procesarlos. Todas las funciones de detección entonces, se realizarán en el almacenador intermedio.

Para que el detector de DTMF funcione ante la presencia de un par fuerte de señal de marcado (350Hz/440Hz), un filtro anticipado especial ha sido diseñado para hacer muescas al componente de la señal de marcado, mientras que conservaba la señal de DTMF. La función de control de ganancia, es atenuar entradas de señal fuertes y proteger las funciones que tienen éxito contra el desbordamiento de los acumuladores. Entonces, los filtros de Goertzel se ejecutan para las 8 frecuencias fundamentales de DTMF, donde las frecuencias de la columna se representan con dos frecuencias cada una. Puesto que el control de ganancia precedente se asegura de que el desbordamiento no ocurra, la comprobación del desbordamiento fue removida y los lazos optimizados permiten una ejecución rápida. Los valores de la energía para los 8 tonos fundamentales de DTMF, se computan y se introducen en una plantilla de energía para terminar el algoritmo real de Goertzel. Para la siguiente ejecución, el estado de delay del filtro se inicializa a cero.

Los checks de validación del dígito, se invocan con la información recogida de la energía. La plantilla de la energía, primero busca picos de energía para la fila y la columna. Por lo tanto, el detector esencialmente funciona en dos modos: el modo de la detección de tono de dígito (tone/digit) o el modo de la detección de pausa. En el modo de la detección de tone/digit, el detector busca la presencia del tono de DTMF y ejecuta todas las pruebas de la validación del dígito. En el modo de detección de pausa, la detección del tono de DTMF es deshabilitada y el decodificador primero tiene que aguardar una señal de pausa. Ambos modos son controlados por la variable del detectstat. Los checks de validación del dígito, incluyen fuerza de la señal, reversa, picos relativos, los segundos armónicos y estabilidad del dígito. El cómputo de la información de la energía de los segundos armónicos, intencionalmente se ha hecho parte de las pruebas de la validación del dígito para computar los dos armónicos solamente cuando es necesario y solamente los dos que son necesarios. Con la terminación acertada de éstas pruebas, el dígito válido se almacena en el buffer intermediario de la salida del dígito.

2.10.2.3 Detección del tono de DTMF multicanal

El software, se escribe como funciones entrantes C-accesibles. Esto permite al usuario, instalar los detectores de varios canales de tono en C sin la adición de código adicional significativo. Para facilitar y estructurar la aplicación multicanal, el código utiliza una estructura para sostener todas las variables globales y los indicadores hacia varios arreglos para un solo canal. Todo lo que el usuario tiene que hacer, es definir una estructura para cada canal e inicializarla correctamente. Cuando el usuario llame la función DTMF Decode (DTMFDECOBJ) y pase un indicador a la estructura definida, la detección del tono de DTMF es llevada a cabo.



Fuente: DTMF54XX.pdf

Figura 2.35 Diagrama de la implementación de la decodificación de tonos DTMF.

2.10.2.4 Requerimientos de velocidad y memoria

La tabla 2.9 y la tabla 2.10, resumen los requisitos de velocidad y de memoria para la puesta en práctica del proceso de encoder/decoder de DTMF. Tanto el codificador como el decodificador, se han diseñado para una aplicación multicanal (usos de varios canales) y un solo DSP puede procesar una cantidad grande de ellos. La cantidad de MIPS para el codificador de DTMF es aproximadamente 0,15 MIPS. Por su parte, el decodificador de DTMF utiliza aproximadamente 0,8 MIPS. Estas especificaciones de la velocidad, incluyen todos procesos necesarios después de la finalización de la rutina del servicio de interrupción de recepción y no incluyen el proceso de servicio de la interrupción. Además, se asume una tasa de muestreo de 8 kHz. Para el decodificador de DTMF, la función crítica de Goertzel-DFT para la velocidad, tiene los 8 filtros codificados en línea para la ejecución rápida. Debido a un control de ganancia mejorado, el check típico del desbordamiento dentro de la rutina del Goertzel podría ser evitado, lo que mejora la velocidad del algoritmo. Adicionalmente, el cómputo de la información de la segunda armónica de energía, es reducido a solamente los dos componentes necesarios de la frecuencia que alcanzan la mejora adicional de velocidad. Sin embargo, para cumplir las especificaciones de Bellcore, algunas modificaciones al algoritmo directo de Goertzel tuvieron que ser hechas. Esto, incluye el esquema de traslape y ahorro combinado con los componentes adicionales de la frecuencia para los tonos de la columna. Dichas mejoras requirieron MIPS adicionales.

Tabla 2.9 Velocidad y memoria requerida para el codificador de DTMF.

Module Name	C-Functions	Program	Data (n channels)	Max. Cycles per 120 samp	MIPS
Codificador DTMF	tone generation	198	$161*n+24$ †	2143	0.143
HW/SW inicialización I/O	ISRs Inits C-environment	351	-	-	-
Total		549	$161*n+24$ †	2143	0.143

† Cuando el codificador es usado junto con decodificador, el dato debe ser $25_n + 24$

Tabla 2.10 Velocidad y memoria requerida para el decodificador de DTMF.

Module Name	C-Functions	Program	Data (n channels)	Max. Cycles per 120 samp	MIPS
Decodificador DTMF	Notch dial-tone gain control Goertzel-DFT DTMF checks Copy overlap	669	318*n + 56	2205	0.147
				684	0.046
				8911	0.594
				1878	0.125
				37	0.002
HW/SW inicialización I/O	ISRs inits C-environment	351	-	-	-
Total		1011	318*n + 56	11510	0.914

2.11 Requerimientos de la empresa

La empresa le solicitó a los estudiantes, la investigación de una tarjeta que fuera capaz de cumplir con la solución propuesta, la que concluirá con un informe detallado de los nuevos componentes que se emplearán para el desarrollo de un diseño esquemático desarrollado en el programa ORCAD, así como lo correspondiente a los manuales de programación de los mismos. En estos momentos, la empresa ha determinado los componentes que formarán parte de la tarjeta en cuestión.

Para satisfacción de Cibertec se ha logrado cumplir con la mayoría de los objetivos propuestos, de una manera rápida y segura, en la que la oportuna investigación ha facilitado a la compañía tener a la mano las principales características de los componentes escogidos y su comparación con otros disponibles en el mercado, tomando en consideración precios, cualidades, herramientas de desarrollo, entre otros.

De esta manera, los requerimientos se han ido efectuando satisfactoriamente, según lo propuesto en los objetivos específicos y a luz de la aprobación de cada etapa por los encargados de la misma.

2.12 Solución propuesta

Se requiere desarrollar, un equipo para las comunicaciones telefónicas internacionales que reduzca el alto costo de las mismas, principalmente, en el ámbito de los enlaces telefónicos entre familiares y amigos. El proyecto F&F (Friends and Family), pretende ser una alternativa de bajo costo para dicha aplicación. El objetivo primordial del proyecto, es enlazar en primera instancia, Panamá con Estados Unidos de América.

El equipo que se desarrollará, es una puerta de enlace entre la Red Telefónica Pública Conmutada (PSTN: Public Switched Telephone Network) y la Red de Transporte Internacional. Contará con interfaces de formato de comunicación tipo E1, tanto para la parte Local como para la internacional. También, tiene la capacidad de procesar señalización de tipo SS7 (C7) y C5. Además, posee la flexibilidad de insertar tramas de voz externas en los canales de los enlaces truncales de E1, con el propósito de introducir al equipo la capacidad de Respuesta de Voz Interactiva (IVR: Interactive Voice Response). Lo anterior, permitirá contar con la característica de que cuando el usuario realice una llamada sea atendida por una central de voz (mensajes pre-grabados), que le guíe durante su llamada. Un claro ejemplo de ello es el sistema de tarjetas prepago “Colibrí-197”, en donde una operadora (voz pregrabada) le indica al usuario la metodología que debe aplicar para realizar su llamada exitosamente.

Entrando un poco en detalle sobre la composición del equipo F&F, informamos al lector que se compone de dos bloques básicos: **F-switch** y **F-host Server**. El bloque F-switch está constituido por las siguientes tarjetas:

1. F-E1/T1: Encargada de la manipulación bidireccional de 8 E1/T1, con un DSP opcional.
2. F-VEC: Es la tarjeta que contiene el equipo para la cancelación de eco (VEC: Voice Echo Cancellator). El proceso de cancelación de eco, se ejecuta con un retardo de 64 ms y es capaz de ejecutar la cancelación de eco para 256 canales.

3. F-HI (Host Interface): Interfaz para el F-host para transferir señalización, control y datos de IVR entre el equipo F&F y la PC, en donde se encuentra la tarjeta de IVR y el proceso de manipulación de la señalización. Contiene recursos de DSP.
4. F-PSU (Power Supply Unit): ésta es la tarjeta encargada de la alimentación del equipo F&F.

El bloque F-host Server, está compuesto de una PC controladora con el set de aplicaciones F&F y se integra por las siguientes tarjetas:

1. F-CI engine: Es la máquina controladora de HDLC, para gobernar las tarjetas de F-Switch. Efectúa funciones de inicio y configuración de las tarjetas, asignaciones de tablas de conmutación y manejo de hardware a nivel básico. Es la interfaz de comunicación desde el sistema de software del F&F al hardware del F-Switch.
2. F-7 Engine (SS7): Se pretende implementar el stack SS7 pero con respaldo de la compañía: Cibertec.
3. F-5 engine (C5): Implementación Cibertec del stack de C5.
4. F-IVR engine: Máquina para las funciones de respuesta de voz interactiva.
5. F-Call processor engine: Máquina procesadora de llamadas.
6. F-DB engine (database): Máquina que controla la base de datos del F&F.

Se ha de contar con un bloque independiente, compuesto de estaciones de trabajo basadas en PC denominado F-ClientApps, que se encarga de las aplicaciones finales de usuario a saber: facturación, administración de bases de datos, etc.

La figura siguiente muestra la manera en que se dispondrán las tarjetas que integrarán el equipo F&F.

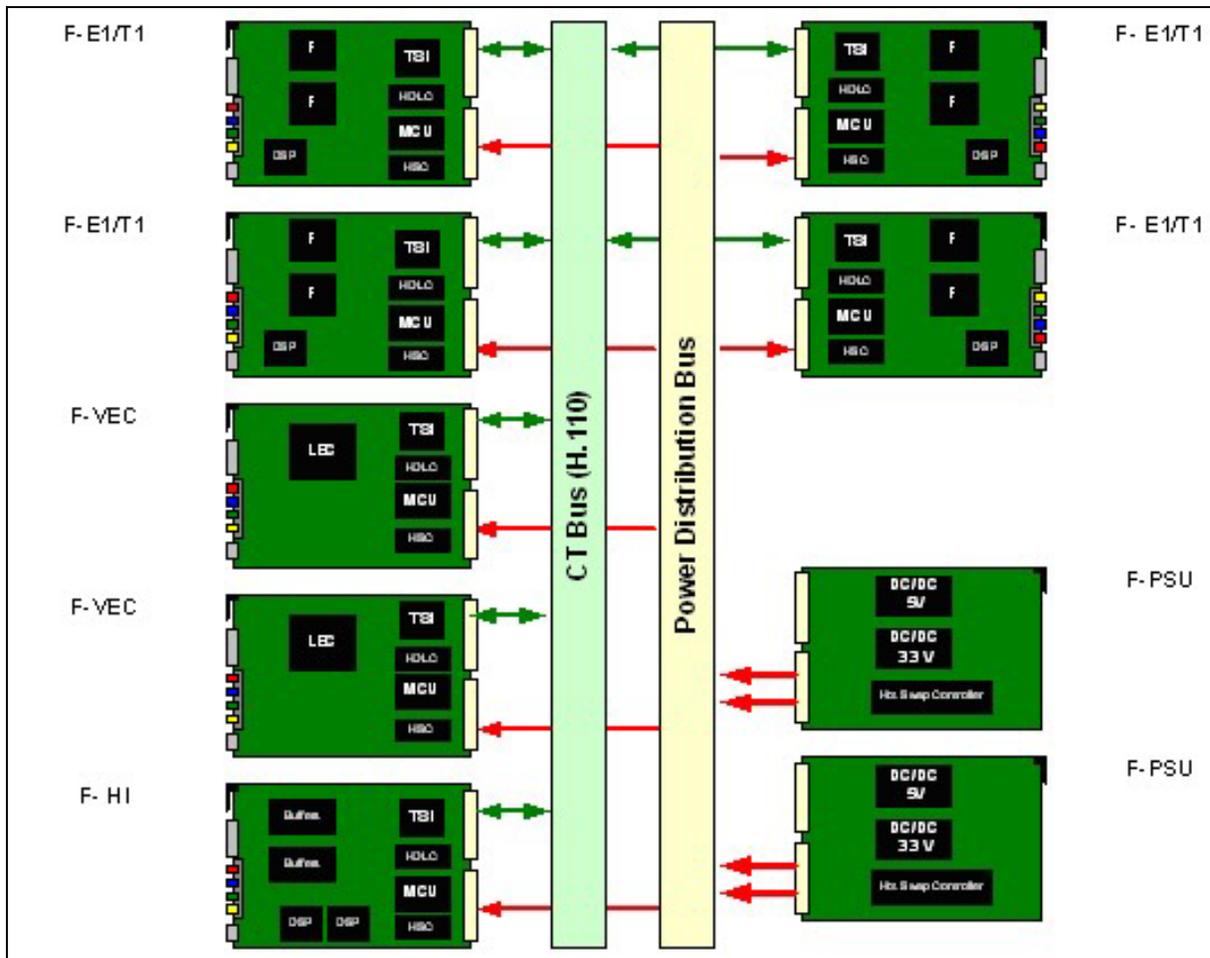


Figura 2.36 Diagrama de bloques del equipo F&F.

Obsérvese que se cuenta con una parte Local (izquierda del diagrama) y una Internacional (derecha del diagrama). La parte local, manipula los 16 E1's, aplica la cancelación de eco y posee la tarjeta que se comunicará con la PC para el procesamiento de señalización y la implementación del proceso de IVR. Del lado derecho, se encuentran las tarjetas que llevarán los E1's internacionales.

Se utilizará un bus H.110 para la comunicación de las tarjetas, las cuales operan de manera independiente unas de otras. Se tiene prevista una etapa para lograr la conexión con la red Ethernet (ver diagrama en la parte inferior derecha), pero ésta es una etapa alternativa, que se pondrá en práctica hasta que se haya cumplido con el objetivo inicial: establecer la comunicación telefónica entre PSTN y centrales Internacionales a bajo costo.

Se debe contar con dos tarjetas para la manipulación de E1, ya que se quiere un equipo capaz de operar con 16 E1's. Cada cancelador de eco, procesa 256 canales por lo que se requieren dos de ellos para procesar los 480 canales de audio contenidos en 16 E1's. Para el proyecto F&F, se deben desarrollar varios elementos de hardware, Firmware y software. En lo que a hardware respecta, se debe crear las tarjetas que integran el F-switch y su correspondiente Firmware. La tarjeta HDLC-4M ya se encuentra diseñada, solo requiere de cambios en el firmware y drivers.

Respecto al software, deben hacerse modificaciones del Stack de SS7 – Cibertec para poder adaptarlo al proyecto F&F. También es necesario desarrollar la lógica del procesador de llamadas y la máquina de control del F-switch usando HDLC.

Nota: *Los practicantes (involucrados en la elaboración de este informe), tienen la responsabilidad de elaborar este documento de manera que contenga la teoría sobre componente; necesaria para sustentar una base teórica sólida para poner en marca la aplicación de dichos dispositivos en el Proyecto F&F.*

CAPÍTULO 3.

PROCEDIMIENTO METODOLÓGICO

1. Comprender los formatos de transmisión E1 y T1.
 - a. Recolectar información digital y escrita sobre los protocolos de comunicación E1 y T1.
 - b. Resumir las principales características de ambos protocolos.
2. Describir el algoritmo de Generación y Detección de Tonos Duales de Multifrecuencia (DTMF).
 - a. Describir la marcación de Tonos Duales de Multifrecuencia (DTMF).
 - b. Describir el flujo de programa de la detección de DTMF.
 - c. Describir el flujo de programa de la generación de DTMF.
3. Comprender las normas utilizadas para la compresión de voz.
 - a. Adquirir información que permita la descripción de los procesos de compresión de voz.
 - b. Elaborar un documento que resuma las características de la voz humana que intervienen en los procesos de compresión de voz.
4. Resumir las características de la recomendación de codificación de voz UIT G729.
 - a. Recolectar información digital y en literatura sobre la recomendación de codificación de voz UIT G729.
 - b. Elaborar un resumen de las principales características de la recomendación de codificación de voz UIT G.729.
5. Enumerar las características generales del Framer PM-4354.
 - a. Definir el número de puertos E1/T1 que puede manejar tanto en recepción como en transmisión dicho dispositivo.

- b. Definir las características de salida de los datos.
 - c. Definir las posibles velocidades de transmisión/recepción de los datos.
 - d. Definir el tratamiento de las alarmas remotas y locales por parte del Framer.
6. Definir los requerimientos que el sistema presenta al Framer PM-4354.
- a. Determinar el número de puertos E1/T1 requerido por módulo de la tarjeta.
 - b. Determinar las características de velocidad de transmisión y recepción de los datos PCM – TDM requeridas por el sistema.
7. Determinar los modos de operación del Framer PM-4354.
- a. Establecer los modos de operación adecuados para la aplicación en cuestión.
8. Describir la arquitectura básica de un Cancelador de Eco.
- a. Realizar un estudio teórico del eco.
 - b. Realizar un documento descriptivo de la arquitectura de un cancelador de eco eficiente según la recomendación G.168 de la UIT.
9. Describir la arquitectura básica del cancelador de eco ZL50211.

Realizar un estudio teórico del eco.

- a. Realizar un documento descriptivo de la arquitectura de un cancelador de eco eficiente según la recomendación G.168 de la UIT.
10. Enumerar las características generales de un DSP adecuado para las necesidades de la aplicación.
- a. Describir las características principales de la arquitectura de un Procesador Digital de Señales (DSP).

- b. Definir el número de canales comprendidos por el sistema.
 - c. Definir el algoritmo de compresión de voz a utilizar.
 - d. Seleccionar la velocidad de transmisión de datos.
11. Describir la arquitectura básica del DSP TMS320C6201.
- a. Adquirir las hojas de datos del DSP TMS320C6201.
 - b. Describir el diagrama de bloques de un DSP TMS320C62XX.
 - c. Extraer del punto anterior las características propias del TMS320C6201.
 - d. Estudiar y describir el flujo de proceso VLIW (Very Long Instruction Word).
12. Elaborar un diagrama de bloques básico del dispositivo a diseñar.
- a. A partir de un diagrama general del dispositivo en cuestión, exponer la relevancia de nuestra investigación en el desarrollo de este.
13. Presentar a la empresa una lista detallada de todos los dispositivos considerados en el desarrollo de este proyecto; tomando en cuenta inclusive aquellos que fueron desechados en alguna etapa previa de este.
14. Resumir las características principales del dispositivo a diseñar.
15. Realizar un informe de especificaciones técnicas del dispositivo a diseñar.

CAPÍTULO 4.

DESCRIPCIÓN DEL HARDWARE UTILIZADO

Para tener una referencia de los nuevos componentes que serán integrados a la tarjeta del F&F, además de su interconexión física, será necesario conocerlos profundamente, para de ésta manera poder dilucidar aquellos detalles que serán de suma importancia en el desarrollo final del diseño. Aunque dicho diseño estará a cargo de los coordinadores del proyecto, el aporte del practicante en éste apartado contribuirá de manera significativa con la toma de de decisiones de los ingenieros a cargo.

Para lograr dicho objetivo, el siguiente resumen detallará los siguientes apartados:

- a. Framer PM 4354
- b. Cancelador De Eco ZL50211
- c. DSP TMS320C6201

4.1 Transceiver/Framer PM4354

En referencia al Transceiver/Framer PM4354, se hace una descripción del Diagrama de Bloques General, seccionando éste con el fin de simplificar la comprensión del principio de funcionamiento, así como de las posibilidades y alcances de dicho dispositivo. Posteriormente, se describe cada uno de los modos de operación de reloj tanto para recepción como para transmisión, dando una visión más amplia de la flexibilidad del PM 4354.

Lo anterior, se hace con la intención de colaborar con la transferencia del conocimiento que ya tiene la empresa sobre dicho dispositivo: además, pretende rescatar las posibilidades que brinda el Transceiver/Framer y que en proyectos anteriores pudiesen no haber sido consideradas.

4.1.1 Descripción general

Este chip, puede manejar cuatro canales en formato E1, T1, J1 o combinaciones de éstas, es útil en conexiones para transmisión a larga o corta distancia. Utiliza un mínimo de circuitería externa y puede ser configurado por software para seleccionar sus características sin tener que modificar las conexiones externas. Los únicos componentes externos necesarios, son para protección de línea: un transformador y un resistor de terminal de línea.

Permite la recuperación del reloj de la línea, a partir de los datos entrantes. En modo T1 puede formar tramas de señales con formato SF y ESF, en modo E1 forma tramas básicas de acuerdo con la recomendación G.704 y señales con alineamiento multitrama CRC-4. También, soporta los códigos de línea AMI, HDB3 y B8ZS.

Este Framer, puede detectar varias condiciones de alarma en modo T1 y E1 tales como violación de la densidad de pulsos, alarma roja (red alarm), pérdida de señal, pérdida de trama, entre otras. También permite la recepción de alarmas remotas.

Tiene un controlador HDLC de recepción por cada canal para detección y terminación de mensajes en la transmisión de datos en el ESF (T1), en los bits de uso nacional (E1) o en cualquier otro timeslot (T1-E1). Tiene un buffer de almacenamiento en el sentido de recepción y transmisión para adaptarse a las velocidades de sincronización del backplane. La circuitería interna, permite la transmisión directa de transporte largo y corto usando señales compatibles con E1 y T1, con un mínimo de componentes externos.

La forma del pulso digital, se puede programar para transmitir señales compatibles con DSX-1 hasta 555 pies de un cross-conect. Pulsos para transporte corto E1 por par trenzado a 120Ω o cable coaxial de 75Ω , pulsos para transporte largo E1 en par trenzado de 120Ω y pulsos DS-1 por par trenzado de 100Ω con soporte integrado para filtros LBO según las reglas FCC.

En el sentido de transmisión, el framer permite inserción de señalización, sustitución de código, inversión de datos y supresión de código cero en cada canal. El framer tiene un controlador HDLC por canal, en el sentido de transmisión que puede ser usado para la transmisión de mensajes en el ESF, en los bits de uso nacional o en cualquier otro timeslot.

Para proveer aplicaciones de V5 donde pueden haber hasta 3 canales HDLC por cada E1, el framer tiene una interfase CCS H-MVIP, la cual permite a los canales HDLC ser insertados o extraídos por procesamiento externo.

Cada canal del Framer, puede generar relojes de bajo jitter y proveer atenuación de jitter en el sentido de recepción. Cada interfaz PCM, permite velocidades de 1.544 Mbps y 2.048 Mbps para el backplane en el sentido de recepción y de transmisión. Además, la interfaz H-MVIP permite la sincronización con el backplane a 8.192 Mbps para acceder datos PCM, señalización por canal asociado y por canal común.

El framer puede ser configurado, controlado y monitoreado por medio de un microprocesador con el que se pueden acceder todos los registros internos. Todas las interrupciones, pueden ser enmascaradas y reconocidas a través de esta interfaz.

4.1.2 Descripción General del Diagrama de Bloques del Framer PM-4354

Debido a la complejidad del diagrama de bloques de éste dispositivo, la explicación se va a seccionar; para que se logre una mejor comprensión. Como convención, cuando en el presente documento se refiera a transmisión en el Framer, esto significará el paso de datos de PCM -TDM a E1/T1; por otro lado al referirse a recepción en el framer significará el paso de datos de E1/T1 a PCM-TDM.

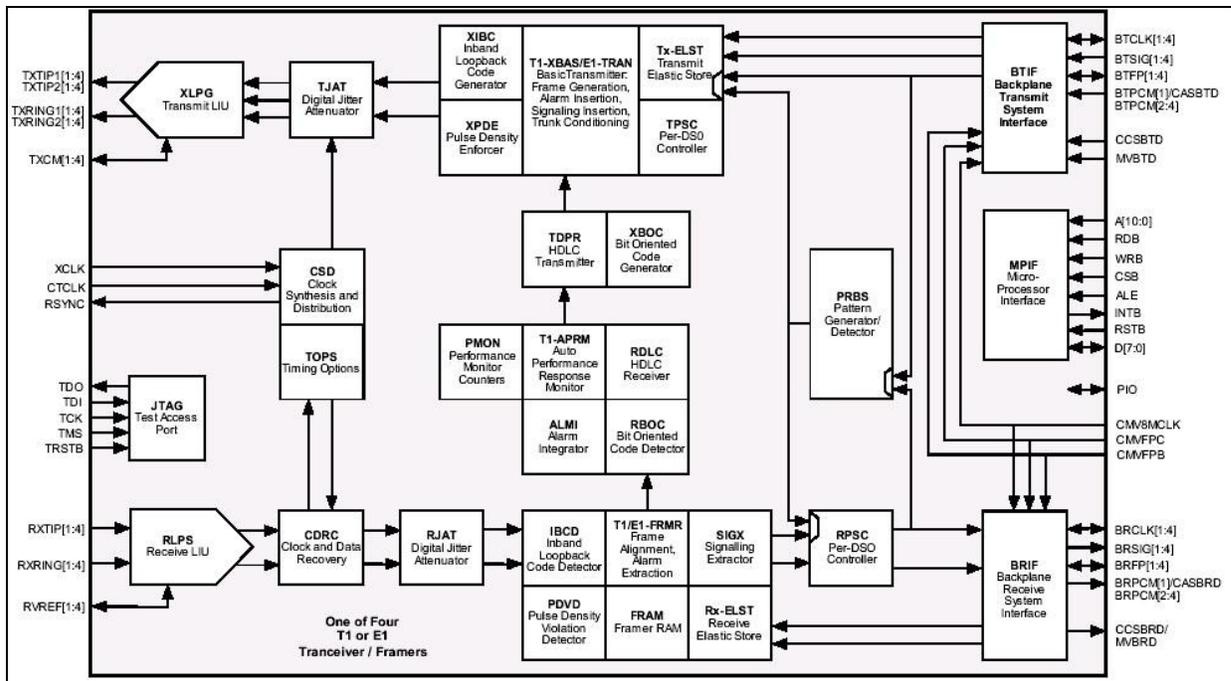


Figura 4.1 Diagrama de Bloques General del Tranceiver/Framer PM 4354.

4.1.2.1 Bloque de Unidad de Interfaz de Línea de Recepción (Receive LIU).

Este bloque, es la interfaz de línea interna que tiene el Framer para la recepción de E1/T1. Se observan los siguientes pines asociados a este bloque: **RXTIP (1:4)**, **RXRING (1:4)**, **RVREF (1:4)**.

1. **RXTIP (1:4)**: Aquí va conectada la terminal positiva de cada transformador de acople respectivo para cada E1/T1 (1:4).
2. **RXRING (1:4)**: Aquí va conectada la terminal negativa de cada transformador del acople respectivo para cada E1/T1 (1:4).
3. **RVREF (1:4)**: Se conecta a una red RC sugerida por el fabricante.

4.1.2.2 Bloque de Clock and Data Recovery (CDRC)

1. Este Bloque hace la decodificación de HDB3 o B8ZS para E1 ó T1 respectivamente, recuperando así los datos.
2. Hace la recuperación del reloj por medio de un PLL interno.
3. Hace la detección de la alarma de pérdida de señal (loss of signal).
4. Hace una separación entre el flujo de datos y la señal de reloj.

4.1.2.3 Bloque de Atenuador de Jitter Digital de recepción (RJAT)

1. Atenúa el Jitter presente en las entradas *RXTIP/RXRING*.
2. Esta atenuación es seleccionable.

4.1.2.4 Bloque de T1 Inband Loopback Code Detector (IBCD)

1. El Bloque T1 Inband Loopback Code Detector (IBCD) detecta un stream IBC (inband loopback codes).
2. El stream de IBC consiste en repeticiones continuas de un código específico y puede ser en trama o sin trama.
3. Detecta dos tipos de secuencia de código: INBAND LOOPBACK ACTIVATE y ACTIVATE. Esta indicación es dada por un registro interno.
4. Una interrupción es generada para indicar cuando cualquier estado del código ha cambiado.
5. Es compatible con las especificaciones T1.403-1993, TSA – TSY –000312 y TR-Y-000303.

4.1.2.5 Bloque de Detector de Violación de Pulso (PDVD).

1. Este bloque hace la detección de PDVD.
2. PDV se detecta si hay N unos en una ventana de $8(N+1)$ bits de datos (donde N puede ir desde 1 a 23).
3. También detecta periodos de 16 ceros consecutivos en el dato entrante.
4. Cualquiera de las condiciones anteriores genera una interrupción.
5. PDV es dada por un bit en un registro interno.

4.1.2.6 Bloque de Alineación de Trama, Extracción de alarmas (T1/E1 – FRMR) T1-FRMR.

1. Este bloque se encarga de la recuperación de trama para T1, tanto para SF como para ESF.

2. Trabaja en conjunto con el Bloque FRAM para buscar el bit de patrón de tramado (Framing Bit Pattern) tanto para SF como para ESF.
3. Hace la detección de la condición de error OOF.

E1-FRMR

1. Este bloque se encarga de la recuperación de trama mediante un algoritmo de búsqueda de alineación de trama, tanto para trama básica como para multitrama CRC-4.
2. Este bloque hace la detección e indicación de alarmas para E1, generando interrupciones para algunas de ellas.
3. Extrae el contenido de: los Bits Internacionales, los Bits Nacionales y los bits Extra (timeslot 16 de la trama 0 de la multitrama CAS) y los almacena en registros (International/National Bits register y el E1-FRMR Extra Bits register).
4. Extrae los códigos de palabra de 4 bits para la posición de los bits nacionales Sa4 a Sa8 y los almacena en un registro.

4.1.2.7 Bloque de Extractor de Señalización (SIGX)

1. Provee extracción de CAS de una multitrama E1 y ESF o SF en T1.
2. Serializa los resultados en los pines de salida **BRSIG[x]** o **CASBRD**.
3. **BRSIG[x]** y **CASBRD** están alineados por canal con **BRPCM[x]** y **MVBRD**.
4. Tiene una supertrama o multitrama de congelamiento (paro) en el caso de la ocurrencia de Slips.
5. El SIGX también proporciona control sobre el timeslot de señalización (fijación de bits, inversión de datos etc).
6. El bloque de SIGX también proporciona una interrupción para indicar un cambio en el estado de la señalización.

4.1.2.8 Bloque de Receive Elastic Store (Rx-ELST)

El bloque Rx-ELST, sincroniza las tramas recibidas del backplane con las señales de entrada de reloj **BRCLK (1:4)** y **BRFP (1:4)** en los modos de operación esclavos o con las señales de entrada de reloj **CMV8MCLK**, **CMVFP** y **CMVFPC** en el modo H-MVIP.

4.1.2.9 Bloque de Performance Monitor Counters (T1/E1-PMON)

1. El bloque acumula los acontecimientos del error del CRC, del error de bit de sincronización y fuera de trama u opcionalmente, el cambio de la alineación de trama (COFA) con la saturación de relojes sobre intervalos consecutivos definidos por la señal de reloj de transferencia (transfer clock signal) dada (típicamente 1 segundo).
2. Cuando se aplica la señal del reloj de la transferencia (transfer clock signal), el PMON transfiere los valores del contador a los registros de acumulación (holding registers) y reinicia los contadores para comenzar a acumular los acontecimientos para el intervalo.
3. Se reinician los contadores, de manera que los acontecimientos de error que ocurren durante éste no se pierdan. Si los registros de acumulación (holding registers) no se leen entre los relojes sucesivos de la transferencia, un bit del OVR (overrun register) es afirmado.
4. Bloque de T1 Automatic Performance Report Generation (APRM).
5. En conformidad con el ANSI T1.231, T1.403 y los estándares T1.408, un informe del funcionamiento se genera cada segundo para ESF T1. El informe se conforma con el protocolo del HDLC y se inserta en el data link ESF.
6. El informe del funcionamiento, puede ser transmitido solamente si el TDPR se configura para insertar el data link ESF y si el Bit PREN del registro de la configuración de TDPR es 1.

4.1.2.10 Bloque de T1 Alarm Integrator (ALMI)

1. La función de la integración de alarmas T1, es proporcionada por el bloque de ALMI.
2. Este bloque detecta la presencia de las alarmas: Yellow, Red, AIS (CFA) en formato SF o ESF.
3. La detección y la integración de las alarmas, es compatible con las especificaciones definidas en ANSI T1.403 y TR-TSY-000191.
4. La indicación de alarmas, se proporciona a través de bits de registros internos.

4.1.2.11 Bloque de HDLC Receiver (RDLC)

El RDLC es un periférico del microprocesador usado para recibir tramas HDLC data link del ESF del T1 4kHz, la transmisión de datos de los Sa-Bits en E1, o en cualquier timeslot arbitrario (T1 o E1).

4.1.2.12 Bloque de Bit Oriented Code Detector (RBOC)

1. Detecta la presencia de 63 de los 64 posibles códigos transmitidos en el Facility Data Link en ESF y definidos por ANSI T1.403 y en TR-TSY-000194. El código (111111), es similar a la bandera HDLC y es usada por RBOC para indicar un código no válido recibido.
2. Los BOC (Bit Oriented Codes), se reciben en el canal Facility Data Link como secuencia de 16-bits que consiste en 8 unos, un cero, 6 bits del código y un cero que se arrastra (111111110xxxxx0). Se valida BOCs cuando está repetido por lo menos 10 veces. El RBOC, puede permitir declarar un código recibido válido, si se ha observado para 8 de 10 veces o para 4 de 5 veces, según lo especificado por el bit de AVC en el registro RBOC Configuration/Interrupt Enable.

3. El RBOC, declara que el código es removido si dos secuencias del código que contienen valores diferentes del código detectado se reciben en una ventana móvil de diez períodos del código. BOC válidos, se indican a través del registro de estado de interrupción del RBOC. Los bits de BOC, se fijan todos en uno (111111) si no se ha detectado ningún código válido. Una interrupción se genera para señalar cuando se ha validado un código detectado u opcionalmente, cuando sale un código válido.
4. Bloque de Pseudo Random Binary Sequence Generation and Detection (PRBS).
5. Es un generador e inspector seleccionable por software PRBS para 211-1, 215-1 o 220-1 polinómico de PRBS para el uso en T1 y E1.
6. Los patrones de PRBS, pueden ser generados en ambas direcciones y ser detectados en la dirección opuesta.
7. El bloque de PRBS puede realizar una sincronización automática al patrón previsto de PRBS y acumular el número total de los errores de bits en dos contadores de 24-bits. La cuenta de errores, acumula sobre el intervalo definido por el registro Quadrant PMON Update.
8. Cuando una acumulación es forzada, el registro de sostenimiento (holding register) es actualizado y el contador es reiniciado. Se reinicia el contador de una manera tal, que no se pierda ningún acontecimiento. Los datos, están entonces disponibles en los registros de cuenta de error (Error Count registers) hasta la acumulación siguiente.

4.1.2.13 Bloque de Controlador Serial por Canal (RPSC)

1. Permite truncar datos y señalización para el stream recibido.
2. También, permite control de datos por canal: inversión de datos, extracción de reloj y datos en **BRCLK[x]** y **BRPCM[x]** en el modo Clock Master Nx64Kbit/s.

4.1.2.14 Bloque de BRIF (Backplane Receive System Interface)

1. Provee un reloj serial de sistema para el lado de la recepción y un acceso de datos así, como un acceso H-MVIP de hasta 4 E1/T1.
2. Existen tres modos de operación maestro: Full T1/E1, Nx64Kbits/s, Clear Channel. Estos proveen un reloj serial dado por el dispositivo.
3. Los modos de operación esclavo son: Full T1/E1, Full T1/E1 con CCS H-MVIP y H-MVIP. Estos aceptan uno o más relojes de sincronización externa.

4.1.2.15 Bloque BTIF (Backplane Transmit System Interface)

1. Proporciona el reloj serial para un lado del sistema y un acceso de datos así como un acceso H-MVIP de hasta 4 E1/T1.
2. Existen tres modos de operación maestros para este sistema: Full T1/E1, Nx64kbits/s y Clear Channel. En los modos de operación maestros, el reloj de sincronización es generado internamente.
3. Los modos de operación esclavos son: Full T1/E1, Full T1/E1 con CCS H-MVIP, Clear Channel y H-MVIP. Éstos aceptan uno o más relojes de sincronización externa.
4. En los modos de operación maestros, el reloj de transmisión puede ser dado por cualquiera de los relojes comunes: **CTCLK**, el reloj recibido para el enlace, o uno de los dos relojes recuperados.

4.1.2.16 Bloque de Transmit Elastic Store (TX-ELST)

1. Permite el desacople entre la temporización de línea y la temporización del backplane.
2. Es requerido cuando los relojes del lado de línea y el backplane no tienen una fuente común.

4.1.2.17 Bloque de Controlador Serial por Canal (TPSC)

1. Permite truncar datos y señalización o código de paro (idel code) a ser aplicado en el DS-1 stream o por canal.

2. Permite el control por canal de la supresión de ceros , inversión de datos, ciclo de canal(channel loopback) del stream de recepción del backplane, inserción de canal y la detección o generación de patrones pseudo aleatorios o repetitivos.
3. Hace la interfaz directa entre los Bloques E1-TRAN y T1-XBAS; y provee streams seriales para control de señalización, código de paro de datos (idle code data) y control de datos del backplane de transmisión.

4.1.2.18 Bloque de T1-XBAS/E1-TRAN

Transmisor Básico T1 (T1-XBAS)

1. Genera un stream de datos T1 de 1.544 Mbits/s, de acuerdo a los formatos de SF o ESF.
2. Acorde con TPSC, provee control por canal del código de sustitución de paro (idle code substitution), inversión de datos y supresión de ceros.
3. Realiza la inserción de la señalización.
4. Un data link es dado para modo ESF. La fuente del data link incluye códigos orientados a bit (bit oriented codes) y mensajes HDLC.
5. Inserta las alarmas recibidas.
6. Permite la transmisión de AIS o Yellow alarm para todos los formatos.
7. Puede deshabilitar la función de hacer tramas (framing) por medio del registro Transmit Functions Enable.
8. En ESF el F-Bit, el bit de data link o el CRC-6 Bit puede ser pasado directo.
9. Puede operar en un modo sin trama.

Transmisor E1 (E1-TRAN)

1. Genera un stream de 2.048 Mbps acorde a las recomendaciones de la ITU-T (incluyendo generación de trama, generación de multitrama CRC y generación de CAS de multitrama).

2. En concierto con TPSC, provee control por timeslot de “idle code substitution”, inversión de datos, sustitución digital miliwatt (digital milliwatt substitution), selección de la fuente de la señalización y datos del CAS.
3. CCS es dada en el Timeslot 16 a través del Bloque TXCI (Transmit Channel Insertion).
4. Dá soporte a la transmisión de AIS, TS16 AIS y RAI, así como señales remotas de alarma multitrama.
5. Los bits nacionales (Sa-bits) pueden ser obtenidos de los registros E1-TRAN National Bits Codeword. Alternativamente los Sa bits pueden portar datalinks que vienen del controlador interno de HDLC o pueden pasar transparentes del ***BTPCM[x]***.

4.1.2.19 Bloque T1 Inband Loopback Code Generator (XIBC)

1. El Bloque T1 Inband Loopback Code Generator (XIBC) genera un stream IBC (inband loopback codes) para insertarse dentro de un stream de datos T1.
2. El stream de IBC, consiste en repeticiones continuas de un código específico y puede ser en trama o sin trama.
3. Cuando XIBC está habilitado para generar tramas, el F Bit sobrescribe el patrón de código.
4. El contenido del código y su longitud es programable a partir de 3 a 8 bits. El XIBC interconecta directamente al del T1 XBAS.

4.1.2.20 Bloque de Pulse Density Enforcer (XPDE)

1. Fuerza la densidad de pulsos de acuerdo a ANSI T1.403.
2. Puede ser habilitada o deshabilitada por medio del bit de un registro de XPDE.

4.1.2.21 Bloque de Bit Oriented Code Generator (XBOC)

1. Transmite 63 de los posibles 64 BOC en el canal de Facility Data Link en ESF como está definido en ANSI T1.403-1989. El código (111111), es similar a la bandera HDLC y es usada por XBOC para deshabilitar la transmisión de un BOC.
2. Los BOC (Bit oriented codes), se transmiten en el canal Facility Data Link como secuencia 16-bits que consiste en 8 unos, un cero, 6 bits del código, y un cero que se arrastra (111111110xxxxx0).
3. BOC tienen prioridad sobre todo excepto ESF "yellow alarm".
4. El código que se transmitirá, es programado escribiendo a los registros del código de XBOC (XBOC code registers) cuando se sostiene hasta que el código pasado se ha transmitido por lo menos 10 veces. Un mecanismo de interrupción, se utiliza para determinarse cuando el código más reciente escrito en el registro de XBOC se está transmitiendo y un nuevo código puede ser aceptado.

4.1.2.22 Bloque de HDLC Transmitter (TDPR)

1. Provee un datalink serial en el Facility data Link ESF para T1, en el Data Link Sa-Bit para E1 o en algún Timeslot arbitrario para E1 / T1.
2. Es usado bajo el control del microprocesador para transmitir tramas de datos HDLC.

4.1.2.23 Bloque de Atenuador Digital de Jitter (TJAT)

Genera una señal de reloj de salida de 1.544 MHz o 2.048 MHz libre de Jitter.

4.1.2.24 Bloque de Unidad de Interfaz de Línea de Transmisión (Transmit LIU)

1. Este bloque, es la interfaz de línea interna que tiene el Framer para la Transmisión de E1/T1. Se observan los siguientes pines asociados a este bloque: ***TX TIP1 (1:4)***, ***TX TIP2 (1:4)***, ***TX RING1 (1:4)***, ***TX RING2 (1:4)***, ***TX CM (1:4)***.
2. ***TX TIP1 (1:4)*** y ***TX TIP2 (1:4)***: Aquí va conectada la terminal positiva del secundario de cada transformador de acople respectivo para cada E1/T1 (1:4). Se utilizan dos pines para tener mayor integridad de señal.
3. ***TX RING1 (1:4)*** y ***TX RING2 (1:4)***: Aquí va conectada la terminal negativa del secundario de cada transformador de acople respectivo para cada E1/T1 (1:4). Se utilizan dos pines para tener mayor integridad de señal.
4. ***TX CM (1:4)***. En este pin, se conecta a un arreglo RC sugerido por el fabricante.

4.1.2.25 Bloque de Interfaz con el Microprocesador

Bloque de MPIF

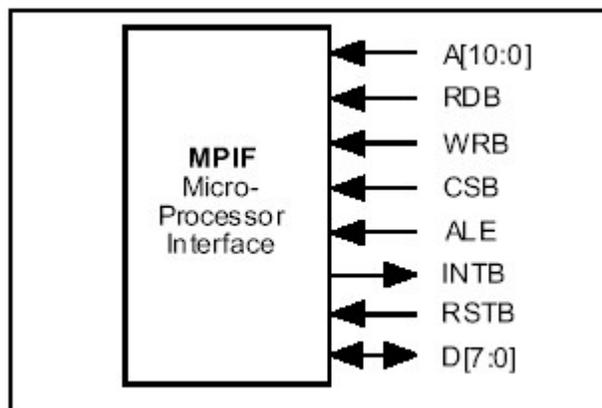


Figura 4.2 Señales Asociadas a la Interfaz con el Microprocesador.

Descripción de pines.

1. Bus de Direcciones (***A[10..0]***): Sirve para la selección de los registros internos del Framer.
2. Bus de Datos: ***A[7..0]***.

3. **RDB**: Esta señal permanece en bajo, mientras se hace un acceso de lectura por el bus de datos.
4. **WRB**: Esta señal permanece en bajo, mientras se hace un acceso de escritura por el bus de datos.
5. **CSB**: Es activo en bajo y su función es habilitar el acceso a los registros internos.
6. **ALE**: Es activa en alto, mantiene el contenido del bus de direcciones cuando está en bajo. Permite multiplexar el bus de datos y el de direcciones.
7. **INTB**: Se activa en bajo cuando ocurre una interrupción no enmascarada proveniente de cualquier fuente de interrupción interna.
8. **RSTB**: Es un reset asincrónico.

4.1.2.26 Bloques de Puerto de Pruebas

Bloque de Opciones de Sincronización. (TOPS).

Este bloque, provee la fuente principal de reloj para el bloque de TJAT y la referencia del reloj del PLL del TJAT.

Bloque de Puerto de Prueba (JTAG Test acces port.)

1. Soporta las siguientes instrucciones: EXTEST, SAMPLE, BYPASS, IDCODE Y STCTEST.
2. **TDO**: Lleva datos de prueba fuera del framer. Se actualiza en el flanco negativo del **TCK**.
3. **TDI**: Lleva datos de prueba hacia adentro del framer, actualizados en el flanco positivo del **TCK**.
4. **TCK**: es el reloj de sincronización para operaciones de prueba.
5. **TMS**: esta señal controla las operaciones de prueba que se pueden realizar con el puerto JTAG.
6. **TRSTB**: Reset asincrónico para el puerto de prueba, si no es usado se debe conectar al pin **RSTB**.

4.1.2.27 Bloques de Síntesis y Distribución de Reloj(CSD)

Señal Recuperada de Sincronización (*RSYNC*).

1. Es una señal de salida con atenuación de jitter que fue recuperada de uno de los E1 o T1 a una frecuencia de 1.544 o 2.048 MHz , según sea el caso.
2. Opcionalmente puede ser una salida dividida entre 193 o 256 para dar una frecuencia de 8KHz; es éste caso, es independiente de la alineación de trama.
3. En el caso de un estado de pérdida de señal, ***RSYNC*** es derivada de la entrada ***XCLK*** u opcionalmente es mantenida en alto.
4. Por defecto se toma el primer cuadrante como fuente de ***RSYNC***

Entrada de Cristal del Reloj (*XCLK* - Crystal Clock Input)

1. Provee una referencia estable y global para el chip vía un sintetizador de reloj interno.
2. Es una señal nominalmente libre de jitter a 1.544MHz o 2.048 MHz (T1/E1)

Reloj Común de Transmisión (*CTCLK* -Common Transmit Clock).

Es una entrada que puede ser usada como referencia para la tasa de generación de línea puede ser un múltiplo de $N \times 8 \text{ kHz}$ (donde N esta entre 1 y 256).

4.1.3 Modos de Recepción Maestros de Operación de Reloj.

4.1.3.1 Full T1/E1.

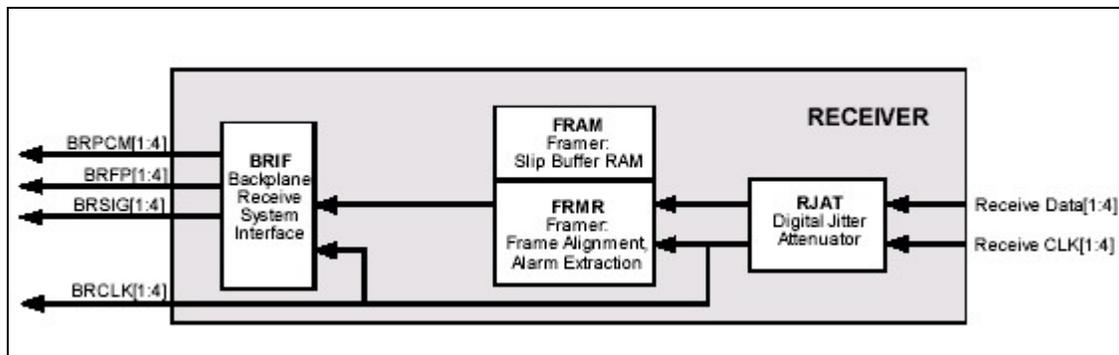


Figura 4.3 Modo de Operación de Reloj Maestro de Recepción Full T1/E1.

1. **BRCLK[X]** es opcionalmente, una versión atenuada de jitter del reloj de recepción de 1.544 MHz o de 2.048 MHz.
2. Los datos recibidos en el Backplane aparecen en **BRPCM[x]**.
3. La señalización recibida en el Backplane aparece en **BRSIG[x]**.
4. La alineación de trama recibida en el backplane es dada por **BRFP[x]**.
5. En este modo, los datos T1/E1 pasan a través del Framer sin alteración durante la condición de fuera de trama (OOF).
6. **BRPCM[x]**, **BRFP[x]** y **BRSIG[x]** están temporizados con **BRCLK[X]**.

4.1.3.2 Nx64Kbit/s.

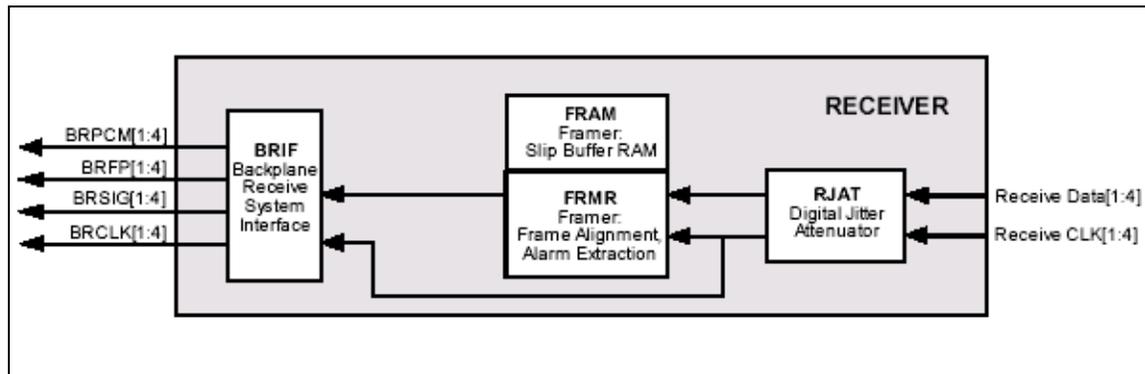


Figura 4.4 Modo de Operación de Reloj Maestro de Recepción Nx64Kbit/s.

1. **BRCLK[X]**, es una versión opcional atenuada de jitter del reloj de recepción de 1.544 MHz o de 2.048 MHz, pero es solo activa cuando se está transmitiendo uno de los canales seleccionados.
2. Una selección de los canales recibidos en el Backplane aparece en **BRPCM[x]**.
3. La extracción de datos es controlada por el bloque RPSC.
4. La señalización recibida en el Backplane aparece en **BRSIG[x]**.
5. En este modo, los datos T1/E1 pasan a través del Framer sin alteración durante la condición de fuera de trama (OOF).

4.1.3.3 Clear Channel

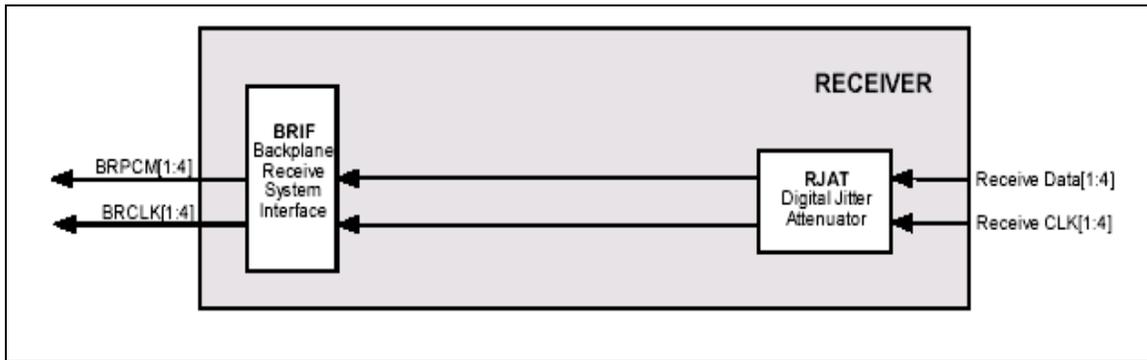


Figura 4.5 Modo de Operación de Reloj Maestro de Recepción Clear Channel.

- b) **BRCLK[X]** es opcionalmente una versión atenuada de jitter del reloj de recepción de 1.544 MHz o de 2.048 MHz.
- c) Los datos recibidos en el Backplane aparecen en **BRPCM[x]** sin indicación de alineamiento de Trama.

4.1.4 Modos de Recepción Esclavos de Operación de Reloj. (Receive Clock Slave)

4.1.4.1 Full T1/E1

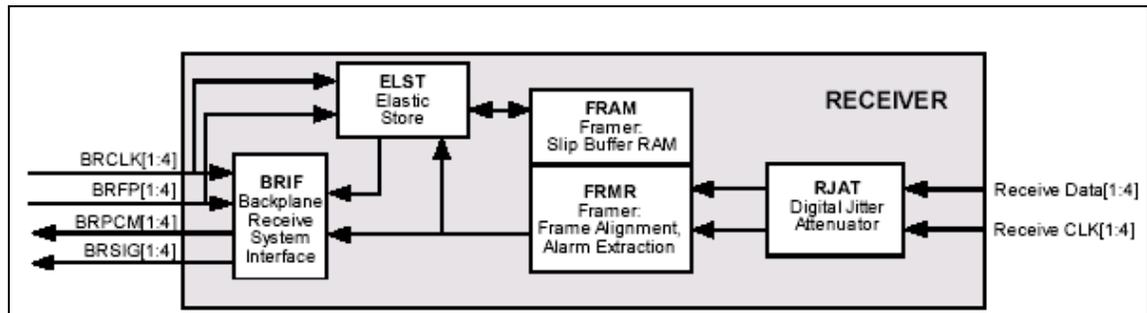


Figura 4.6 Modo de Operación de Reloj Esclavo de Recepción Full T1/E1.

1. El Bloque **ELST** (Elastic Store), está habilitado para permitir la entrada de **BRCLK[x]** para especificar la temporización del lado de recepción.
2. Los datos recibidos en el backplane aparecen en **BRPCM[x]**.
3. La señalización recibida en el backplane aparece en **BRSIG[x]**.

4. **BRPCM[x]** y **BRSIG[x]** están alineados por bit con la señal entrante de **BRCLK[x]**.
5. **BRPCM[x]** y **BRSIG[x]** están alineados por trama con la señal entrante de **BRFP[x]** (Backplane receive frame pulse).
6. **BRSIG[x]** contiene los estados de señalización (ABCD o ABAB) en los cuatro bits menos significativos de cada canal.

4.1.4.2 H-MVIP

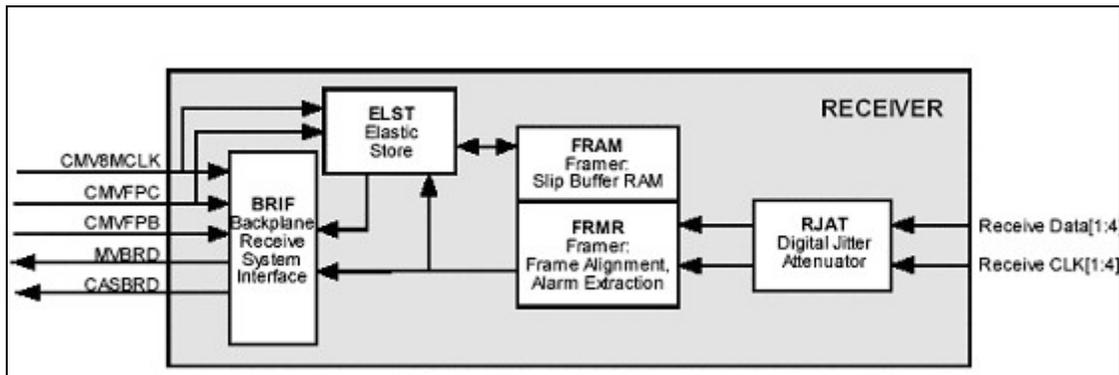


Figura 4.7 Modo de Operación de Reloj Esclavo de Recepción H-MVIP.

1. Este modo, obliga al receptor de T1/E1 a operar en modo síncrono. Lo anterior, significa que el bloque de **ELST** (Elastic Stores) es usado.
2. En este modo de operación, los cuatro E1/T1 son multiplexados en una salida de 8.192 Mbps y la salida está dada en el pin llamado **MVBRD**.
3. El reloj de recepción y transmisión de datos debe ser de 16.834 MHz con un ciclo de trabajo de un 50 %. Este reloj externo, debe ser dado en el pin **CMV8MCLK** y es usado para muestrear **MVBRD**, **MVBTD**, **CASBRD**, **CCSBRD** y **CCSBTD**.
4. **CMVFPB** : Es la referencia de inicio de cada trama para H-MVIP. Ocurre cada 125 μ s , es muestreada en el flanco negativo de **CMVFPC**.

5. **CMVFPC** : es usada para muestrear **CMVFPB**. Está normalmente a un 50% de ciclo de trabajo a una frecuencia de 4.096 MHz. El flanco negativo de **CMVFPC**, debe estar alineado con el de **CMV8MCLK** con un deslizamiento no mayor que 10 ns.
6. El **CASBRD**, permite el acceso CAS de los 128 canales. El CAS, es multiplexado por división de tiempo de la misma manera que los datos y está sincronizado con el canal de datos de H-MVIP. Los estados de señalización (ABCD), están en los cuatro bits más significativos de cada canal.
7. Las salidas están temporizadas a **CMV8MCLK**.
8. Para más información sobre el formato de datos H-MVIP, referirse a la hoja de datos del fabricante sección 12.14 (H-MVIP Data Format).

4.1.4.3 Full T1/E1 with CCS H-MVIP

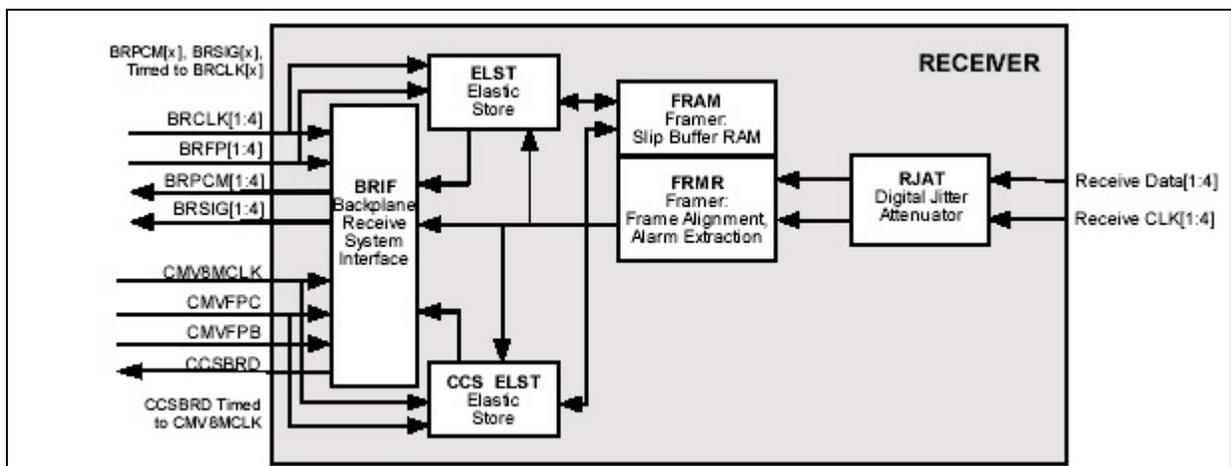


Figura 4.8 Modo de Operación de Reloj Esclavo de Recepción Full T1/E1 with CCS H-MVIP.

1. El Bloque **ELST** (Elastic Store) está habilitado para permitir la entrada de **BRCLK[x]**, para especificar la temporización del lado de recepción.
2. Los datos recibidos en el Backplane aparecen en **BRPCM[x]**.
3. La señalización recibida en el Backplane aparece en **BRSIG[x]**.
4. **BRPCM[x]** y **BRSIG[x]** están alineados por bit con la señal entrante de **BRCLK[x]**.

5. **BRPCM[x]** y **BRSIG[x]** están alineados por trama con la señal entrante de **BRFP[x]** (Backplane receive frame pulse).
6. **BRSIG[x]** contiene los estados de señalización (ABCD o ABAB) en los cuatro bits menos significativos de cada canal.
7. La interfaz H-MVIP (**CMV8MCLK**, **CMVFPC**, **CMVFPB** y **CCSBRD**) extrae la CCS del DSO 24 en el modo T1 y hasta 3 TimeSlots (15,16,31) en E1.
8. La interfaz H-MVIP usa **CMV8MCLK** y **CMVFPC** relojes comunes.
9. **CMVFPB** es usado como pulso de trama.
10. Cuando se usa el modo H-MVIP; **BRCLK[1:4]** debe ser configurado a 2.048 MHz.

4.1.5 Modos de Transmisión Maestros de Operación de Reloj. (Transmit Clock Master)

4.1.5.1 Full T1/E1

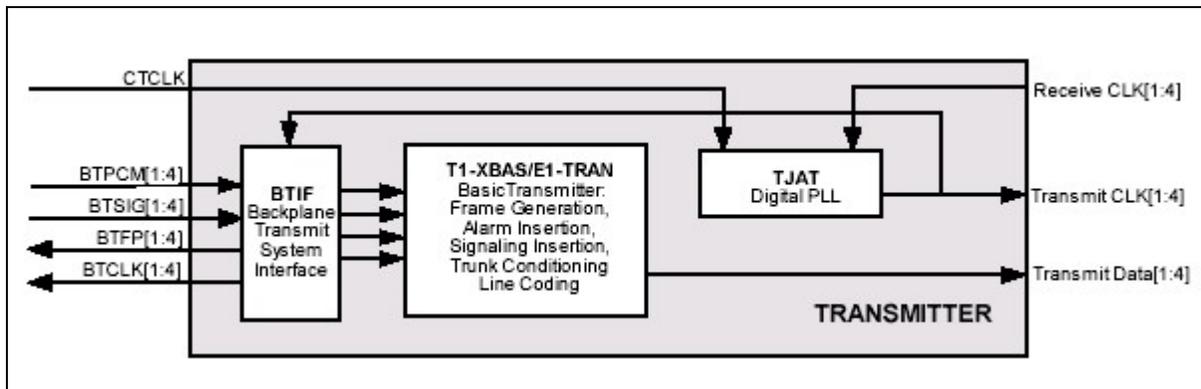


Figura 4.9 Modo de Operación de Reloj Maestro de Transmisión Full T1/E1.

BTCLK[X] (backplane transmit clock) es una versión atenuada de jitter del reloj de recepción de 1.544 MHz ó de 2.048 MHz. Este pulsa por cada bit de la trama.

1. Los datos a transmitir (tramas en PCM - TDM) son muestreados de **BTPCM[x]**.
2. La señalización de los datos a transmitir (tramas en PCM - TDM) es muestreada de **BTSIG[x]**.

3. La alineación de trama transmitida en el backplane es dada por **BTFP[x]**.

4. **BTPCM[x]**, **BTFP[x]** y **BTSIG[x]** están temporizados con **BTCLK[X]**.

4.1.5.2 Nx64Kbit/s

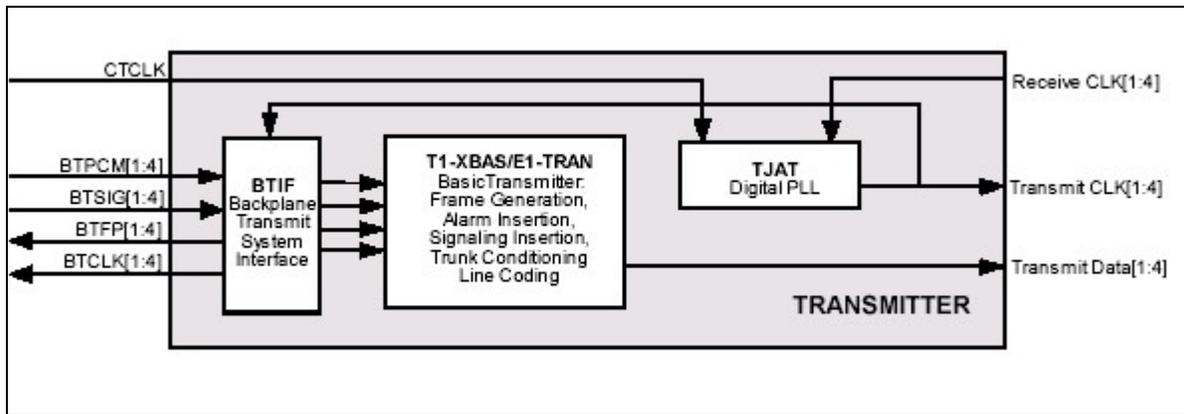


Figura 4.10 Modo de Operación de Reloj Maestro de Transmisión Nx64Kbit/s.

1. Una selección de los canales son insertados en **BTPCM[x]**.
2. La inserción de canales es controlada por bloque TPSC(bit IDLE_CHAN).
3. La señalización es insertada en **BTSIG[x]**.
4. **BTFP[x]** indica la alineación de trama, pero debe de recordarse para T1 el espacio para el bit de alineamiento de trama .

5. **BTPCM[x]**, **BTFP[x]** y **BTSIG[x]** están temporizados con **BTCLK[X]**.

4.1.5.3 Clear Channel

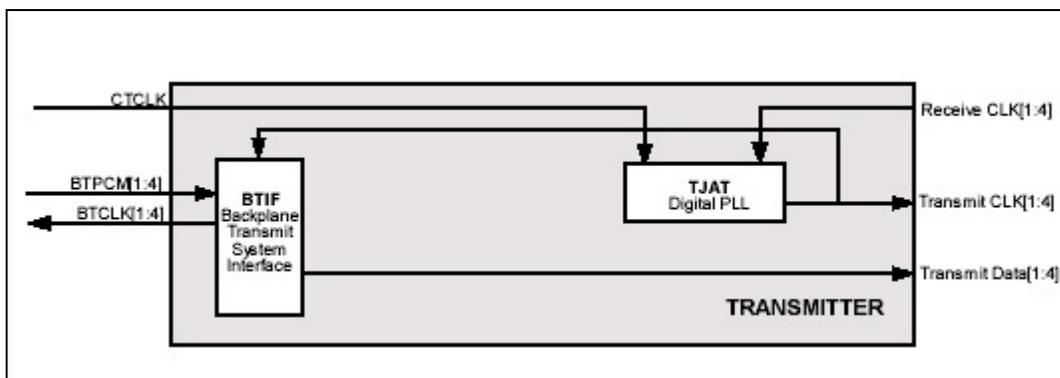


Figura 4.11 Modo de Operación de Reloj Maestro de Transmisión Clear Channel.

1. No tiene ninguna alineación de trama por lo tanto no se indica ninguna al dispositivo siguiente.
2. **BRCLK[x]** es un reloj continuo de 1.544 Mbps para T1 o de 2.048 Mbps para E1.
3. Los datos a transmitir (tramas en PCM - TDM) son muestreados de **BTPCM[x]**.
4. **BTPCM[x]** está temporizado con **BTCLK[x]**.

4.1.6 Modos de Transmisión Esclavos de Operación de Reloj (Transmit Clock Slave).

4.1.6.1 Full T1/E1

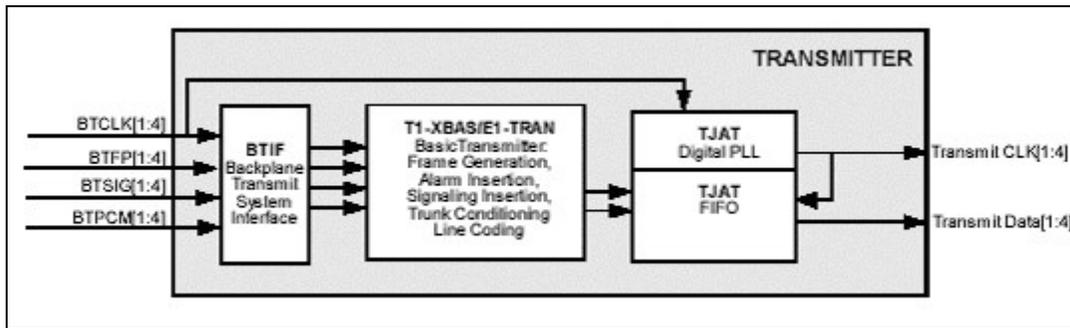


Figura 4.12 Modo de Operación de Reloj Esclavo de Transmisión Full T1/E1.

1. **BTCLK[x]** es el reloj de éste modo de transmisión. Puede ser configurado para ser 1.544 MHz ó 2.048 MHz para T1/E1.
2. El transmisor, está alineado en trama o en supertrama con **BTFP[x]** (backplane transmit frame pulse).
3. **BTFP[x]** es configurable para indicar alineación de trama o supertrama.
4. **BTPCM[x]** contiene los canales a ser insertados en el dato de transmisión (Transmit Data[1:4]).
5. **BTSIG[x]** contiene los datos de señalización a ser insertados en el dato de transmisión (Transmit Data[1:4]), en los cuatro bits menos significativos(ABCD o ABAB).

6. **BTPCM[x]** y **BTSIG[x]** están temporizados con **BTCLK[x]**.

4.1.6.2 Clear Channel

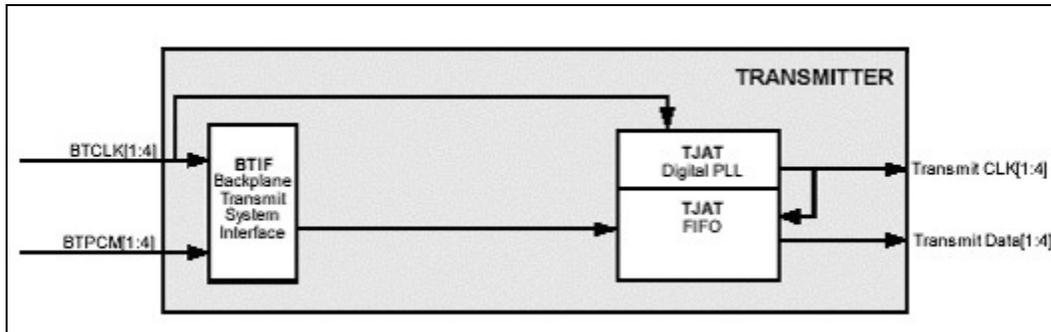


Figura 4.13 Modo de Operación de Reloj Esclavo de Transmisión Clear Channel.

1. **BTCLK[x]** (backplane transmit clock) es la señal de reloj externa de este modo (es el reloj que temporiza el bloque BTIF), debe ser 1.544 MHz ó 2.048 MHz para E1 ó T1 respectivamente.
2. El reloj de transmisión (transmit CLK) es una versión con atenuación de jitter de **BTCLK[x]**.
3. **BTPCM[x]** está temporizado con **BTCLK[x]**.
4. **BTPCM[x]** recibe los datos PCM.

4.1.6.3 H-MVIP

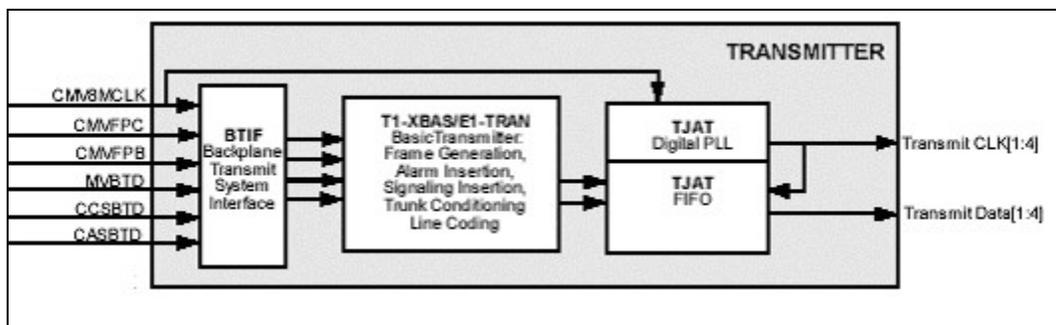


Figura 4.14 Modo de Operación de Reloj Esclavo de Transmisión H-MVIP.

1. En este modo de operación, se reciben datos PCM a 8.192 Mbps mediante el pin **MVBTD**, éstos son demultiplexados en cuatro streams a velocidades 1.544 Mbps ó 2.048 Mbps para T1 ó E1 respectivamente.

2. La descripción de **CMV8MCLK** , **CMVFPC** y **CMVFPB** fue hecha con anterioridad, en la sección de recepción.
3. El **CASBRD**, permite el acceso CAS de los 128 canales. El CAS es multiplexado por división de tiempo, de la misma manera que los datos y está sincronizado con el canal de datos de H-MVIP. Los estados de señalización (ABCD), están en los cuatro bits más significativos de cada canal.
4. **CCSBTD** es usado para multiplexar por división de tiempo la CCS de todos los 4 T1/E1.
5. Las entradas están temporizadas a **CMV8MCLK**.

4.1.6.4 Full T1/E1 with CCS H-MVIP.

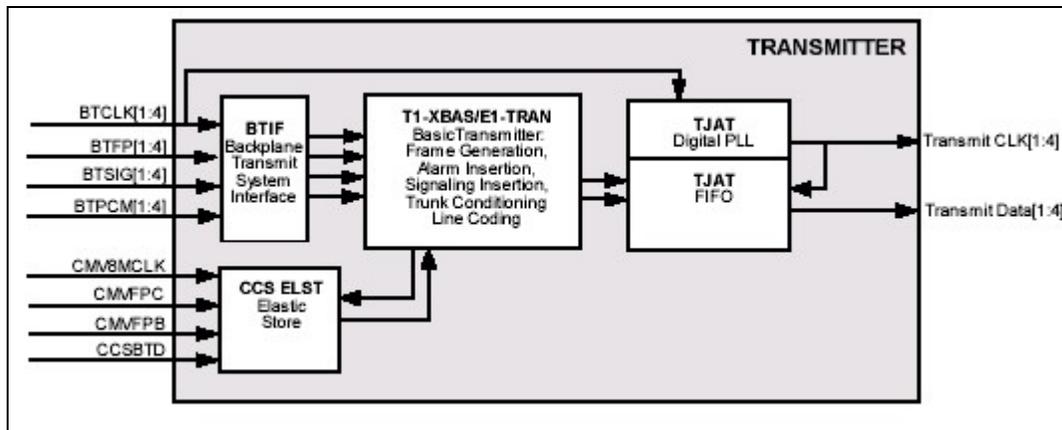


Figura 4.15 Modo de Operación de Reloj Esclavo de Transmisión Full T1/E1 with CCS H-MVIP.

1. Es el mismo modo de transmisión esclavo : Full T1/E1 con excepción, que la CCS es insertada en un stream vía H-MVIP.
2. La señal **CCSBTD** H-MVIP, se usa para multiplexar por división de tiempo CCS para los 4 T1 y E1 más los canales V5.1 y V5.2 en el modo E1.
3. La H-MVIP, usa relojes comunes **CMV8MCLK** y **CMVFPC** y un pulso de trama **CMVFP**.
4. **CCSBTD** está temporizado con **CMV8MCLK**.
5. **BTPCM[x]** y **BTSIG[x]** están temporizados con **BTCLK[x]**.

4.2 Cancelador de eco ZL50211.

El ZL50211, es un chip muy reciente que pertenece a la nueva familia de canceladores de eco de Zarlink Semiconductor, la cual fue presentada el 13 de agosto del 2002. Esta familia de canceladores de eco, presenta una alta densidad de canales y un bajo consumo de potencia.

A continuación, se describe la arquitectura de este chip, cada uno de sus módulos internos y su función en el proceso de cancelación de eco. También se explican, los tres diferentes modos de operación en los cuales puede operar el cancelador de eco y las diferencias entre los mismos.

Además de la descripción de la arquitectura interna, se describen los diferentes puertos de interconexión que posee el VEC para comunicarse con otros dispositivos, así como los estándares que cumplen dichos puertos.

El cancelador de eco ZL50211, es un chip de alta densidad de integración perteneciente a la familia ZL502xx de Zarlink Semiconductors. Su arquitectura se basa en el chip de cancelación de eco ZL50232 el cual tiene un procesador de eco con capacidad de 32 canales con 64ms de cola de eco.

El ZL50211 integra 8 procesadores como el ZL50232 en un solo chip, lo que permite tener una mayor cantidad de canales procesados en menor espacio.

4.2.1 Características Generales.

1. Capacidad para procesar 256 canales de voz con colas de eco de 64ms.
2. El bus de datos y el de direcciones es compartido por cada uno de los 8 procesadores que están integrados en el chip.
3. Los algoritmos usados cumplen con las recomendaciones de la ITU-T G.165 y G.168
4. Aprobó las pruebas de calidad de voz realizadas en los laboratorios de AT&T.
5. Ahorra hasta un 58% de espacio sobre la tarjeta, en relación con el chip ZL50232 y los canales procesados.

6. Cada uno de los 8 procesadores de eco integran un Procesador No Lineal avanzado y patentado por Zarlink Semiconductors.
7. Cada procesador tiene protección contra divergencia por señales de banda angosta e inestabilidad en ambientes con mucho eco.
8. Los 8 procesadores de eco pueden ser programados independientemente en cualquier modo de operación.

4.2.2 Arquitectura interna.

El ZL50211 integra 8 procesadores de cancelación de eco, los cuales son funcionalmente independientes uno del otro. Un diagrama general de la arquitectura interna del chip se muestra en la figura 4.26.

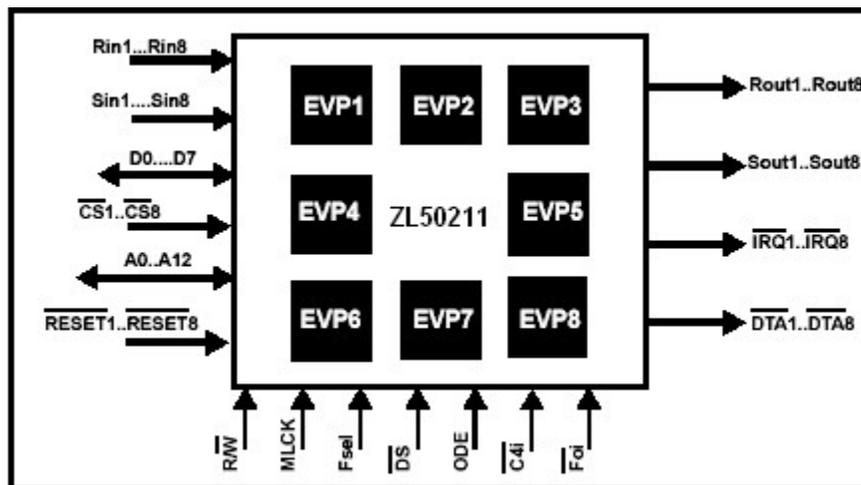


Figura 4.16 Arquitectura del cancelador de eco ZL50211.

Cada uno de los procesadores de eco (EVP), está organizado internamente en grupos de cancelación de eco. Cada grupo está formado por dos canceladores de eco ECA y ECB, formando un total de 16 grupos por EVP numerados del grupo 0 al 15. En la figura 4.27, se muestra un diagrama de bloques de un EVP. Cada procesador de eco, tiene una interfaz serial PCM compatible con ST-Bus y GCI de 2.048Mbps, interfaz para microprocesador, un puerto de pruebas y la interfaz de sincronización.

La figura 4.28, muestra el diagrama de bloques de cada cancelador de eco. En éste, se muestran los diferentes módulos funcionales que constituyen su arquitectura.

1. Un cancelador de eco está formado por los siguientes módulos:
2. Filtro adaptativo para estimación del eco en el canal.
3. Detector para doble conversación.
4. Detector de cambios de trayectoria.
5. Procesador No lineal.
6. Detector de tonos de deshabilitación.
7. Detector de inestabilidad.
8. Detector de señales de banda angosta.

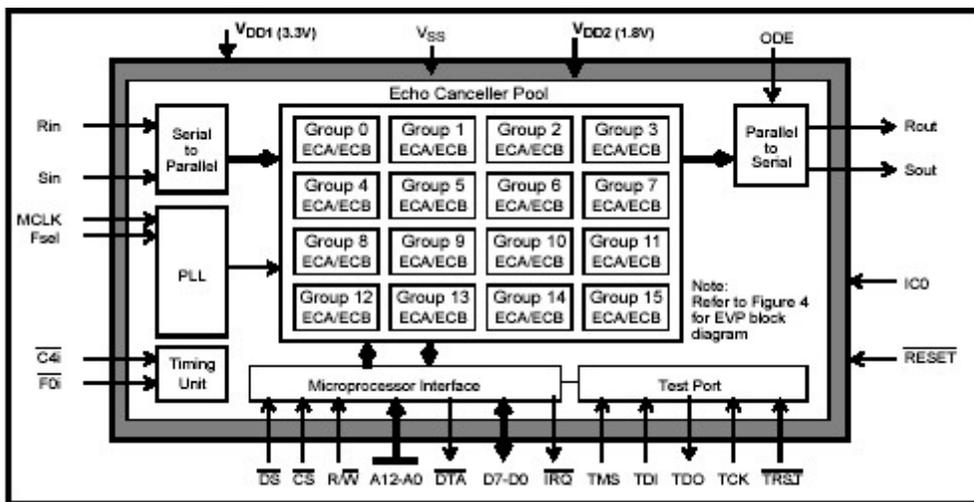


Figura 4.17 Diagrama de bloques de un EVP del ZL50211.

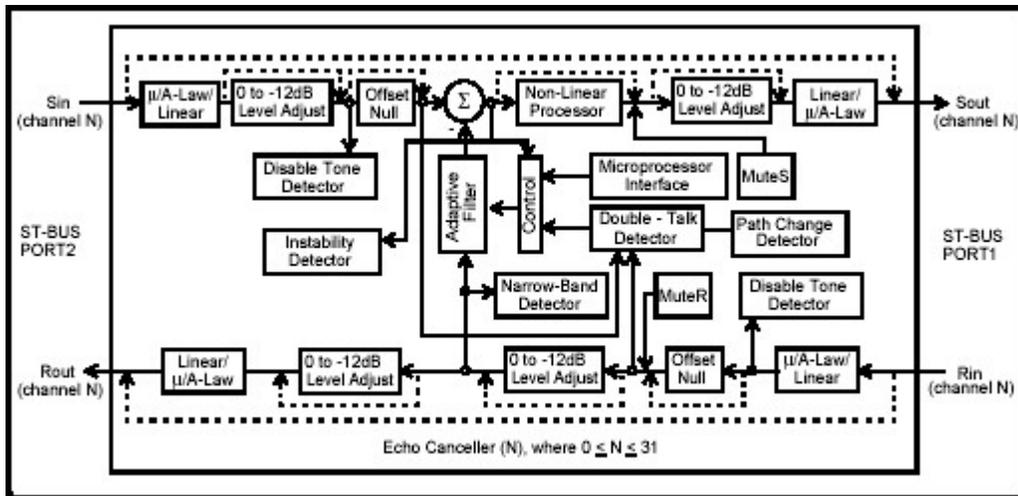


Figura 4.18 Elementos de un cancelador de eco del ZL50211.

4.2.2.1 Filtro adaptativo.

Este filtro se adapta a la trayectoria del eco y genera un estimado de la señal de eco, que luego se sustrae del puerto Sin.

Para cada grupo de canceladores de eco, el filtro adaptativo tiene 1024 pasos FIR divididos en dos secciones de 512 pasos, para proveer 64 ms de estimación de eco. En configuración Normal, la primera sección está dedicada al canal A y la segunda al canal B. En modo extendido ambas secciones se encuentran en cascada para proveer 128 ms de estimación de eco en el canal A. En modo Back to Back la primera sección se usa en sentido de recepción y la segunda en el sentido de transmisión del mismo canal.

4.2.2.2 Detector de doble conversación.

Se define doble conversación como los momentos en que la energía de la señal está presente en ambas direcciones al mismo tiempo. En esos casos hay que desactivar el filtro adaptativo para prevenir la divergencia.

Cuando se detecta doble conversación el filtro de adaptación se desactiva, pero el proceso de cancelación de eco sigue funcionando con el perfil de eco encontrado anteriormente. Una condición de doble conversación se da cuando los niveles de las señales en los canales Rin y Sin cumplen con la siguiente condición:

1. $L_{Sin} > L_{rin} + 20 \log(DTDT)$.
2. L_{sin} : Nivel de la señal en Sin en dBm0.
3. L_{rin} : Nivel de la señal en Rin en dBm0.
4. DTDT: Registro de Umbral de detección de doble conversación.

Se usa un método diferente, cuando no se distingue si la detección de una doble conversación se debe a un bajo nivel de la señal de doble conversación o si se debe a un retorno de eco. Durante estos periodos, el proceso de adaptación se hace más lento pero no se detiene y la velocidad de convergencia se programa al registro de control 4 (control register 4).

De acuerdo con la recomendación G.168, las señales de retorno de eco están en el orden de los 6 dB. Esto indica que el registro DTDT, debería programarse con 0.5 (-6 dB.) Para dejar un margen de seguridad, el valor por defecto de este registro se programa en 0.5625 (-5dB).

Para niveles diferentes de la señal de eco, se puede programar el valor apropiado en el registro DTDT. El valor de este registro se calcula con la siguiente ecuación:

$$DTDT = \text{hex} (DTDT_{\text{dec}} * 32768); \text{ con } 0 < DTDT < 1$$

4.2.2.3 Detector de Cambios de Trayectoria.

Éste, permite una convergencia efectiva cuando ocurren cambios grandes en la trayectoria del eco. Los cambios leves, también se siguen automáticamente pero a menor velocidad.

El detector de cambios de trayectoria se activa en el Registro de Control 3 (Control Register 3).

4.2.2.4 Procesador No Lineal (PNL).

El PNL sirve para sustraer el eco residual, el cual tiene un nivel menor que el umbral de supresión del filtro adaptativo (TSUP). Este umbral depende del nivel de la señal de Rin y del valor programado en el registro del PNL (NLPTHR).

1. El valor de TSUP se calcula con la fórmula siguiente:
2. $TSUP = L_{rin} + 20 \log(NLP_{THR})$.
3. El valor hexadecimal del NLP_{THR} se calcula con la siguiente ecuación.
4. $NLP_{THR} \text{ hex} = \text{hex}(NLP_{THR} * 32768)$; $0 < NLP_{THR} < 1$.

Cuando el nivel de eco residual cae por debajo del nivel de TSUP se activa el PNL, el cual introduce una atenuación adicional de 30 a la señal. Ante esta situación, se inyecta una señal de ruido confortable en el canal para prevenir que se detecte la activación del PNL. El PNL se puede desactivar en el Registro de Control 2 y la inyección de ruido en el Registro de Control 1.

El cancelador de eco ZL 50211, puede usar el procesador no lineal original o una versión mejorada de este el cual ha sido patentado por Zarlink.

Tabla 4.1 Características adicionales del PNL mejorado

Característica	Registro o Bit(s)	PNL Mejorado	PNL Original
Selección PNL	NLPsel (Control Register 3)	1	0 (no disponible)
Rechazo del eco no cancelado como ruido	NLRun1 (Control Register 3)	1	0 (no disponible)
Rechazo de doble conversación como ruido	NLRun 2 (Control Register 3)	1	0 (no disponible)
Esquema de la rampa del estimador de ruido	InjCtrl (Control Register 3)	1	0 (no disponible)
Velocidad de la rampa de nivel de ruido	NLInc (Noise Control)	5hex	Chex
Escala del nivel de ruido.	Noise Scaling	16hex	74hex

El procesador no lineal mejorado, contiene medidas de seguridad para prevenir la doble conversación y el eco no cancelado en caso de que se confundan con ruido de fondo. Esta característica, no está disponible en el procesador original.

4.2.2.5 Detector de tonos de deshabilitación.

En la recomendación G.165, se definen los tonos de deshabilitación como ondas senoidales de 2100 Hz con niveles entre -6 y -31 dBm0 y con una reversión de fase de 180 grados cada 450ms.

El detector se dispara, si el tono se encuentra presente durante al menos 1s con una reversión de fase. De acuerdo con la recomendación G.164 el detector se debe activar si un tono de onda senoidal de 2100 Hz con un nivel entre 0 y -30 dBm0 se encuentra presente por lo menos durante 400ms con o sin reversión de fase.

Cada cancelador de eco tiene dos detectores de tono, uno en Rin y otro en Sin. Cuando se detecta un tono en cualquiera de estos puertos, el bit TD del registro de estado se pone en alto y se genera una interrupción. Este bit regresa a cero solo si el nivel de la señal cae a menos de -30 dBm0 para frecuencias de 390Hz a 700Hz o a menos de -34 dBm0 para frecuencias entre 700 Hz y 3400Hz durante al menos 400ms. Las selecciones entre G.165 y G.164, se hacen en el Registro de Control 2.

Cuando se detecta un tono, el cancelador de eco debe conmutar del modo de adaptación a modo Bypass. Éstos, se puede hacer automáticamente o por medios externos.

4.2.2.6 Detector de inestabilidad.

En sistemas con pocas pérdida por retorno de eco puede haber suficiente realimentación en el lazo para causar problemas de estabilidad en el filtro adaptativo, lo que puede generar ruido u oscilaciones, las cuales son suprimidas cuando el detector está activado.

4.2.2.7 Detector de señales de banda angosta.

Si un tono simple o un DTMF está presente en Rin durante mucho tiempo, esto podría causar divergencia del filtro adaptativo. Al detectar una de estas señales el proceso de adaptación se detiene pero se sigue cancelando el eco. Este detector se activa en el registro de control 2.

4.2.2.8 Filtro de cancelación de la componente CD.

Hay dos filtros de este tipo, uno en cada puerto de entrada del cancelador de eco (Rin y Sin). Estos filtros, se pueden desactivar en el registro de control 2.

4.2.3 Modos de Operación.

Cualquiera de los 16 grupos de canceladores de eco, pueden ser programados independientemente en alguno de los tres modos de operación del ZL50211.

4.2.3.1 Modo Normal.

En este modo de operación los dos canceladores de eco (A y B) de un grupo dado trabajan en paralelo cancelando eco de dos canales al mismo tiempo. La cola de eco en este modo de operación es de 64 ms.

4.2.3.2 Modo Back to Back.

En esta configuración, los dos canceladores de eco del mismo grupo cancelan el eco de un canal en ambas direcciones (Full Duplex). Este modo, permite colas de eco de 64ms. Este modo de operación se configura en el registro de control 1.

4.2.3.3 Modo Extended Delay (Modo extendido).

En éste modo de operación, los canceladores de eco de un mismo grupo se posicionan en cascada internamente para proveer 64ms de estimación de eco. Este modo se configura en el registro de control 1.

4.2.4 Estados Funcionales del cancelador de eco.

4.2.4.1 Mute.

Este estado introduce en los puertos de transmisión (Sout y Rout) código silencioso (Quiet Code), mediante el registro de control 2 de cancelador de eco A (CEA), escribiendo un "1" en los Bits MuteR y MuteS. Estos Bits en el CEB deben permanecer en "0".

4.2.4.2 Estado bypass.

En éste modo, la información es transferida directamente del puerto de entrada al de salida (Sin a Sout por ejemplo) sin aplicar ningún proceso de cancelación de eco. En este estado los coeficientes del filtro adaptativo son limpiados, para ello el modo bypass debe ser seleccionado durante al menos una trama (125µs).

4.2.4.3 Adaptación deshabilitada.

En éste estado, se detiene el proceso de adaptación de los coeficientes del filtro y el cancelador de eco sigue operando con valor guardado previamente en estos registros.

4.2.4.4 Adaptación habilitada.

En este estado los coeficientes del filtro se actualizan automáticamente de acuerdo con las características de la trayectoria del eco.

Los puertos de entrada-salida, tienen interfaz para conectarse a ST_Bus o GCI a 2.048 Mbps. La frecuencia del reloj de la interfaz serial es de 4.096 MHz. El pulso de 8 KHz puede estar en formato ST Bus o GCI que el CE lo detecta en forma automática.

4.3 DSP TMS320C6000

A continuación, se hace una presentación general del DSP TMS320C6201 de la Texas Instruments, un procesador digital de señales de la familia C62XX ,la cual es una familia de procesadores digitales de señales de punto fijo que oscila entre 1200 y 2400 MIPS. Dicha familia, está orientada a aplicaciones de procesamiento de múltiples canales de voz, datos e imagen.

Estos DSP's son radicalmente diferentes, debido al uso del formato VLIW (Very Long Instruction Word), un formato que permite instrucciones de 256 bits.

El estudio de su arquitectura general está dividida en tres bloques generales: CPU, Periféricos y Estructura de Memoria; pretendiendo así , llegar a una comprensión básica de las posibilidades, características y estructura de dicho componente.

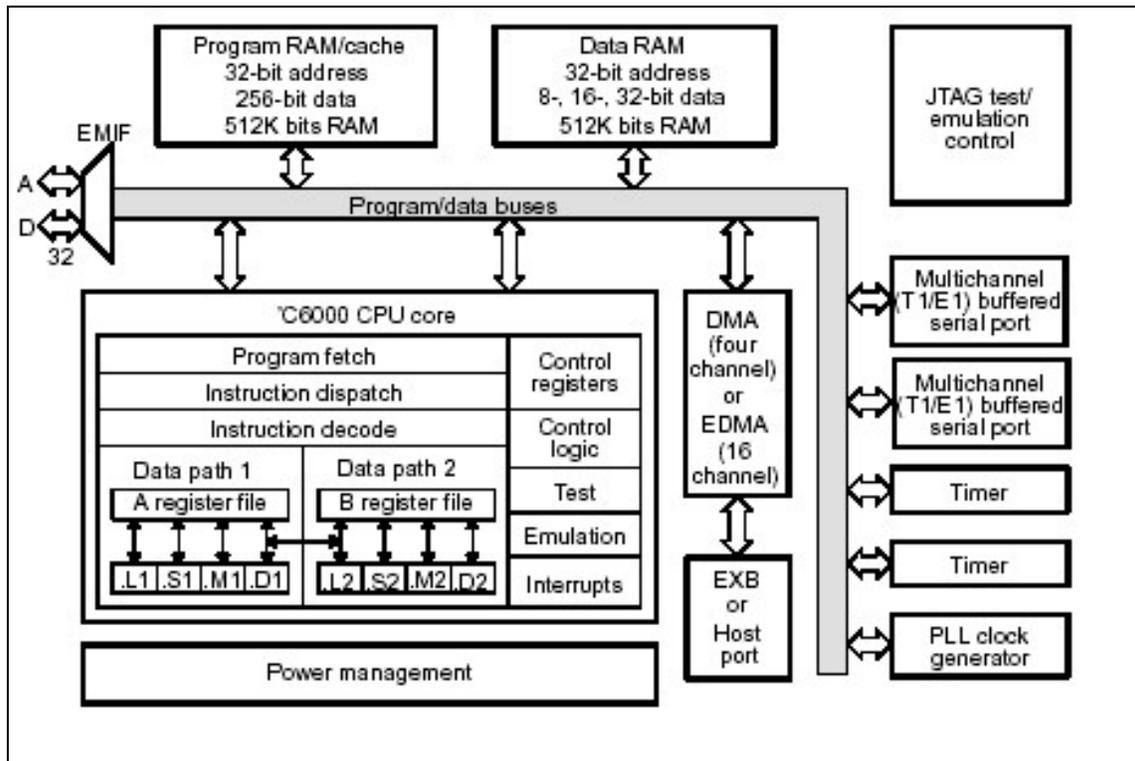


Figura 4.19 Diagrama de Bloques General TMS320C62XX/C67XX.

Anteriormente se observa el diagrama de bloques general de la familia de Procesadores Digitales de Señales TMS320C62XX/C67XX de la Texas Instruments familia a la cual pertenece el dispositivo que es cuestión de nuestro estudio TMS320C6201. Los procesadores TMS320C62XX/C67XX, consisten en tres partes principales: CPU, los periféricos y la memoria.

4.3.1 CPU TMS320C62XX

La estructura del CPU que se observa en el diagrama de bloques es común para todos los dispositivos 'C62x/C67x. A continuación, se analizan los principales bloques funcionales del CPU 'C62XX.

4.3.1.1 Bloques de fetch de programa, despacho de instrucciones y decodificación de instrucciones (Program fetch , Instruction dispatch, Instruction Decode).

Pueden enviar hasta ocho instrucciones de 32 bits de la memoria de programa hacia las unidades funcionales cada ciclo.

4.3.1.2 Paso de datos del CPU (Data Paths)

El CPU, tiene dos pasos para los datos (A y B) en los cuales ocurren los procesos. Cada paso de datos contiene cuatro unidades funcionales (L, S.M y D) y un archivo de registros conteniendo 16 registros de 32 bits.

Los dos sets de unidades funcionales incluyen: dos multiplicadores, seis unidades aritméticas lógicas (ALU's), dos archivos de registros conteniendo 16 registros de 32 bits.

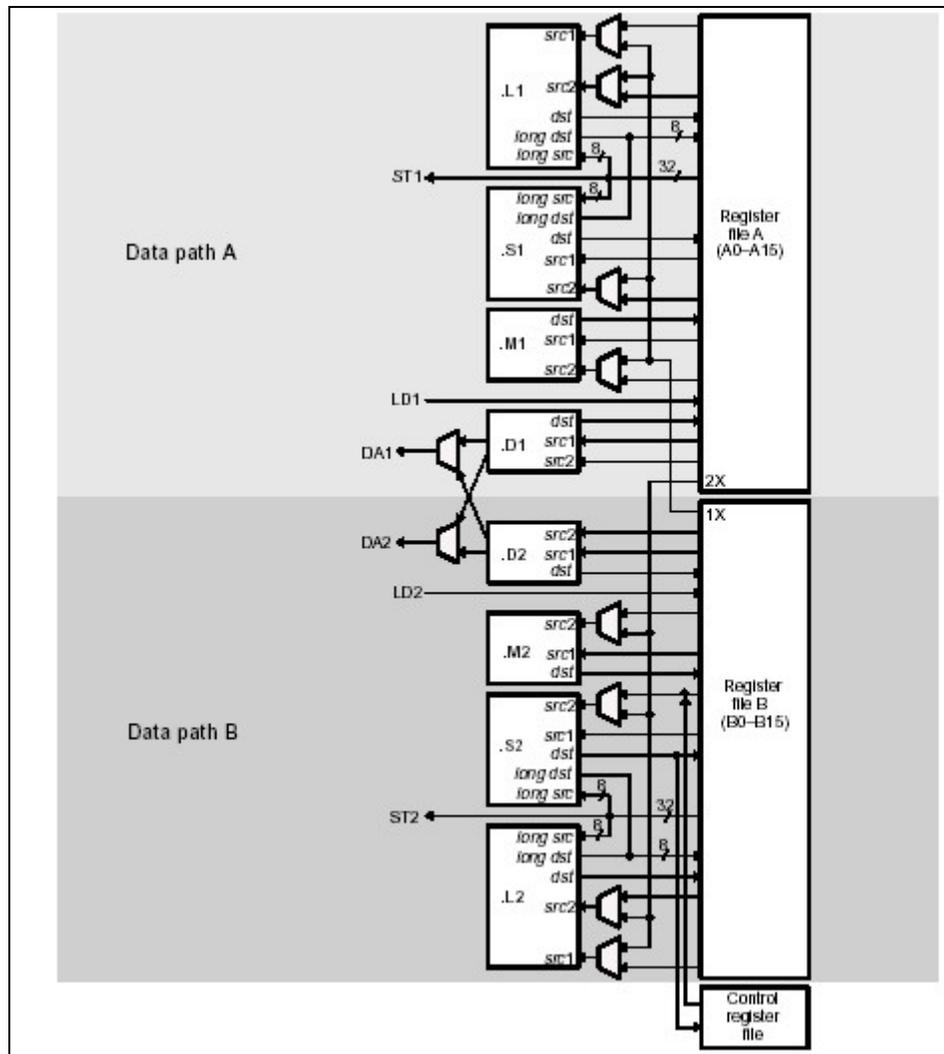


Figura 4.20 Pasos de Datos A y B para un DSP C6201.

Cada uno, consta de 16 registros de 32 bits (A0 – A15 para el archivo A y B0 B15 para el archivo B).

Pueden ser usados para datos o punteros de dirección de datos.

A1,A2,B0,B1 y B2 pueden ser usados como registros de condición.

A4 – A7 y B4 – B7 pueden ser usados para direccionamiento circular.

Permiten datos de punto fijo de 32 y 40 bits. Los datos de 32 bits pueden ser contenidos en cualquier registro de propósito general. Los de 40 bits son contenidos en dos registros; los 32 bits menos significativos en un registro par y los restantes 8 bits en el siguiente registro.

4.3.1.3 Unidades Funcionales de los pasos de datos del CPU.

Ejecutan operaciones lógicas, de intercambio, multiplicaciones y direccionamiento de datos. Todas las operaciones excepto las de carga (load) y almacenamiento (stores) operan en los registros.

Tienen un bus de datos sencillo conectado a los registros al otro lado del CPU. Los registros, pueden ser accedidos a través del CPU con capacidad de una lectura y una escritura por ciclo.

Cada unidad funcional, es controlada por una instrucción de 32 bits.

Tabla 4.2 Operaciones de las Unidades Funcionales de un CPU 'C6201.

Unidad Funcional	Operaciones de Punto Fijo
.L1, .L2	<ul style="list-style-type: none"> a) Operaciones Aritméticas y de comparación de 32/40 bits b) Cuenta Normalizada para 32 o 40 bits c) Operaciones Lógicas para 32 bits.
.S1, .S2	<ul style="list-style-type: none"> a) Operaciones Aritméticas de 32 bits b) Intercambios (shift) de 32/40 bits c) Operaciones de campo de bits de 32 bits d) Operaciones Lógicas para 32 bits e) Ramificaciones f) Generación de Constantes g) Transferencias de/hacia el archivo de registros de control (solo .S2)
.M1, .M2	<ul style="list-style-type: none"> a) Operaciones de multiplicación 16 X 16 bits
.D1, .D2	<ul style="list-style-type: none"> a) D1 y D2 (unidades de datos y direccionamiento – data addressing units) son exclusivamente responsables de las transferencias de datos entre los archivos de registros y memoria. b) Cálculo de direcciones para 32 bits (por adición, sustracción, lineal y circular). c) Carga (Load) y Almacenamiento (Store) con un offset constante de 5 bits. d) Carga (Load) y Almacenamiento (Store) con un offset constante de 15 bits(solo para .D2).

4.3.1.4 Pasos Cruzados de Archivos de Registros (1X y 2X)

1. 1X permite que las unidades funcionales "A" puedan leer el archivo de registros B.
2. 2X permite que las unidades funcionales b puedan leer el archivo de registros A.
3. Las unidades funcionales que tienen acceso al lado opuesto son : L1, M1,S1 y L2, M2, S2.
4. Las entradas src2 de las unidades funcionales M y S, son seleccionables multiplexadamente entre el paso cruzado y el archivo de registros del mismo lado. Ocurre lo mismo con las unidades L, pero tanto para la entrada src1 y src2.
5. Debido a que solo existen dos caminos cruzados (1X y 2X) se limita a dos lecturas de fuente cruzadas por ciclo de reloj.

4.3.1.5 Pasos de Memoria, Carga y Almacenamiento.

1. LD1, LD2 son pasos de 32 bits para carga de datos (load) de memoria al archivo de registros.
2. ST1, ST2 son pasos de 32 bits para almacenamiento de datos (stores) a memoria desde un archivo de registros.
3. ST1, ST2 son compartidos con .L y .S para pasos de lectura larga (40 bits).

4.3.1.6 Pasos de Direcciones de Datos.

1. DA1, DA2 permiten a las direcciones generadas de un archivo de registros, soportar cargas (loads) y almacenamientos (stores) a memoria de otro archivo de registros.
2. Sin embargo también puede hacerse una ejecución en paralelo con cargas(loads) y almacenamientos (store) de y hacia el mismo archivo de registros.
3. Ambos pueden hacer un paso cruzado hacia el registro contrario.

4.3.1.7 Registros de Control

Provee métodos para configurar y controlar varios aspectos de la operación del procesador.

El acceso a los registros de control es dado por la unidad funcional .S2.

S2 puede leer de y escribir a , el archivo de registros de control.

Cada registro de control es accesado por la instrucción MVC.

Tabla 4.3 Registros de Control del CPU 'C6201.

Registro		Descripción
Abreviación	Nombre	
AMR	Addressing mode Register	<p>a) Especifica si usar direccionamiento lineal o circular para cada uno de los ocho registros.</p> <p>b) Contiene tamaños para direccionamiento circular.</p>
CSR	Control Status Register	Contiene: el bit de habilitación de interrupciones global, el bit de control de caché y otros bits de estado .
IFR	Interrupt flag Register	Despliega el estado de las interrupciones.
ISR	Interrupt set Register	Permite fijar manualmente interrupciones pendientes
ICR	Interrupt clear Register	Permite limpiar manualmente interrupciones pendientes
IER	Interrupt enable Register	Permite habilitar o desahabilitar manualmente interrupciones pendientes
ISTP	Interrupt service table pointer	Apunta al principio de la tabla de servicio de interrupciones
IRP	Interrupt return register	Contiene las direcciones a ser usadas para devolver de una interrupción enmascarada
NRP	Nonmaskable interrupt return pointer	Contiene las direcciones a ser usadas para devolver de una interrupción no enmascarada
PCE1	Program counter, E1 phase	Contiene la dirección del paquete de fetch que contiene el paquete de ejecución en la estación "pipeline" E1.

4.3.1.8 Flujo de Proceso VLIW

1. El flujo de proceso VLIW comienza, cuando se hace un “fetch” a un IFP (instruction fetch packet) desde la memoria de programa interna.
2. Las instrucciones de 32 bits destinadas para las unidades funcionales individuales, son enlazadas (linked) juntas por un 1 en el LSB de la instrucción. Esto forma un paquete de ejecución (instrucciones encadenadas para una ejecución simultánea de hasta 8 instrucciones).
3. Un 0 en el LSB rompe la cadena, poniendo la instrucción que sigue en el siguiente paquete de ejecución
4. Los paquetes de ejecución, son despachados a su respectiva unidad funcional a una razón de uno por ciclo de reloj.
5. No se hace un “fetch “ del siguiente IFP, hasta que todos los paquetes de ejecución del “ fetch” presente han sido despachados.
6. Después de la decodificación, las instrucciones son simultáneamente direccionadas a su unidad funcional respectiva, para una velocidad máxima de ejecución de 8 instrucciones cada ciclo de reloj.
7. Mientras tanto, los resultados son almacenados en registros de 32 bits que pueden subsecuentemente ser movidos a memoria como “bytes” , “half-words”.
8. Todas las instrucciones de carga (load) y almacenamiento (store) son direccionables como byte , “half word” o “ word”.

4.3.2 Periféricos TMS320C6201

El procesador 'C6201 cuenta con la siguiente lista de periféricos:

1. Dos Puertos Seriales Multicanal con Buffer McBSPs (Multichannel Buffered Serial Port)
2. Temporizadores de Propósito General (TIMERS)
3. Puerto de Interfaz de Anfitrión HPI (Host Port Interface)

4. Interfaz de Memoria Externa EMIF(External Memory Interface)

4.3.2.1 HPI

Es un puerto paralelo de 16 bits, a través del cual un procesador anfitrión puede acceder directamente el espacio de memoria del CPU.

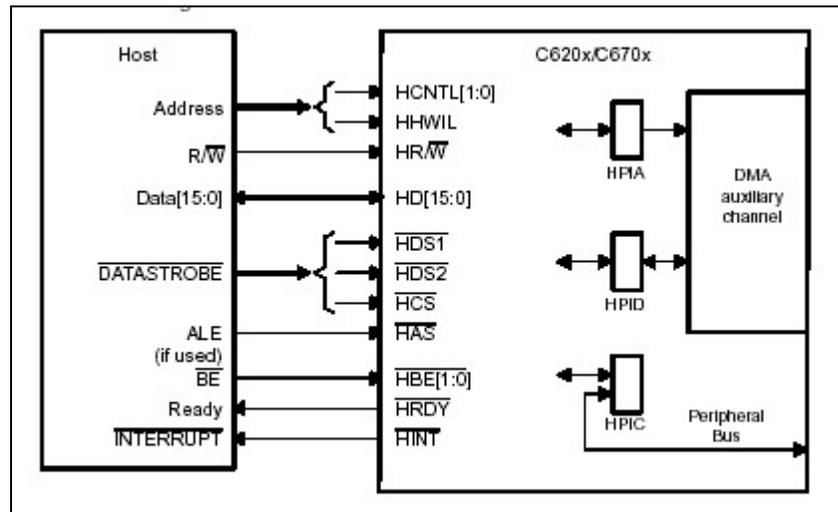


Figura 4.21 Interfaz HPI del DSP

El dispositivo anfitrión funciona como maestro de la interfaz.

El HPI está conectado a la memoria interna vía una serie de registros.

El HPI provee datos de 32 bits al CPU, con una interfaz externa que combina automáticamente transferencias de 16 bits.

HD[15:0] es un bus de datos por el cual el procesador 'C6201 intercambia información con el dispositivo anfitrión.

HPIC es usado para configurar la interfaz, además es un registro mapeado de memoria que permite acceso al CPU.

HPIA (HPI address register) y **HPID** (HPI host data register) son usados para acceder el espacio de memoria interna del dispositivo.

HCNTL[1:0] selecciona entre los registros de control, direcciones o datos.

HHWIL indica si se está transmitiendo la primera o segunda "halfword" .

La conectividad al espacio de memoria del CPU, es dada a través del controlador de DMA. Un canal auxiliar, realiza las transferencias de datos de y hacia la interfaz.

#HDS1, #HDS2, HR/#W y #HAS permiten interconectar el HPI con los diferentes dispositivos anfitriones con un mínimo de lógica adicional.

El anfitrión, puede acceder **HPID** con una opción automática de incremento de direcciones de **HPIA**. Lo anterior facilita la lectura o escritura en locaciones de palabras secuenciales.

#HRDY permite la inserción de estados de espera al anfitrión.

El anfitrión puede interrumpir al CPU escribiendo en **HPIC**.

El CPU puede interrumpir al anfitrión activando **#HINT**.

Para escritura **HPID** las señales **HBE[1:0]** seleccionan los bytes que van a ser escritos en una “halfword” 16 bits.

Para información más detallada del HPI se recomienda referirse a **TMS320C6000 Peripherals Reference Guide** (Literature Number: SPRU190D).

4.3.2.2 McBSPs

Consiste en una sección de intercambio de datos y una sección de control que se conecta a dispositivos externos.

Tabla 4.4 Descripción de Pines del McBSPs.

Pin	I/O/Z	Descripción
CLKR	I/O/Z	Reloj de Recepción
CLKX	I/O/Z	Reloj de Transmisión
CLKS	I	Reloj Externo
DR	I	Dato Serial Recibido
DX	O/Z	Dato Serial Transmitido
FSR	I/O/Z	Sincronización de Trama Recibida
FSX	I/O/Z	Sincronización de Trama Transmitida

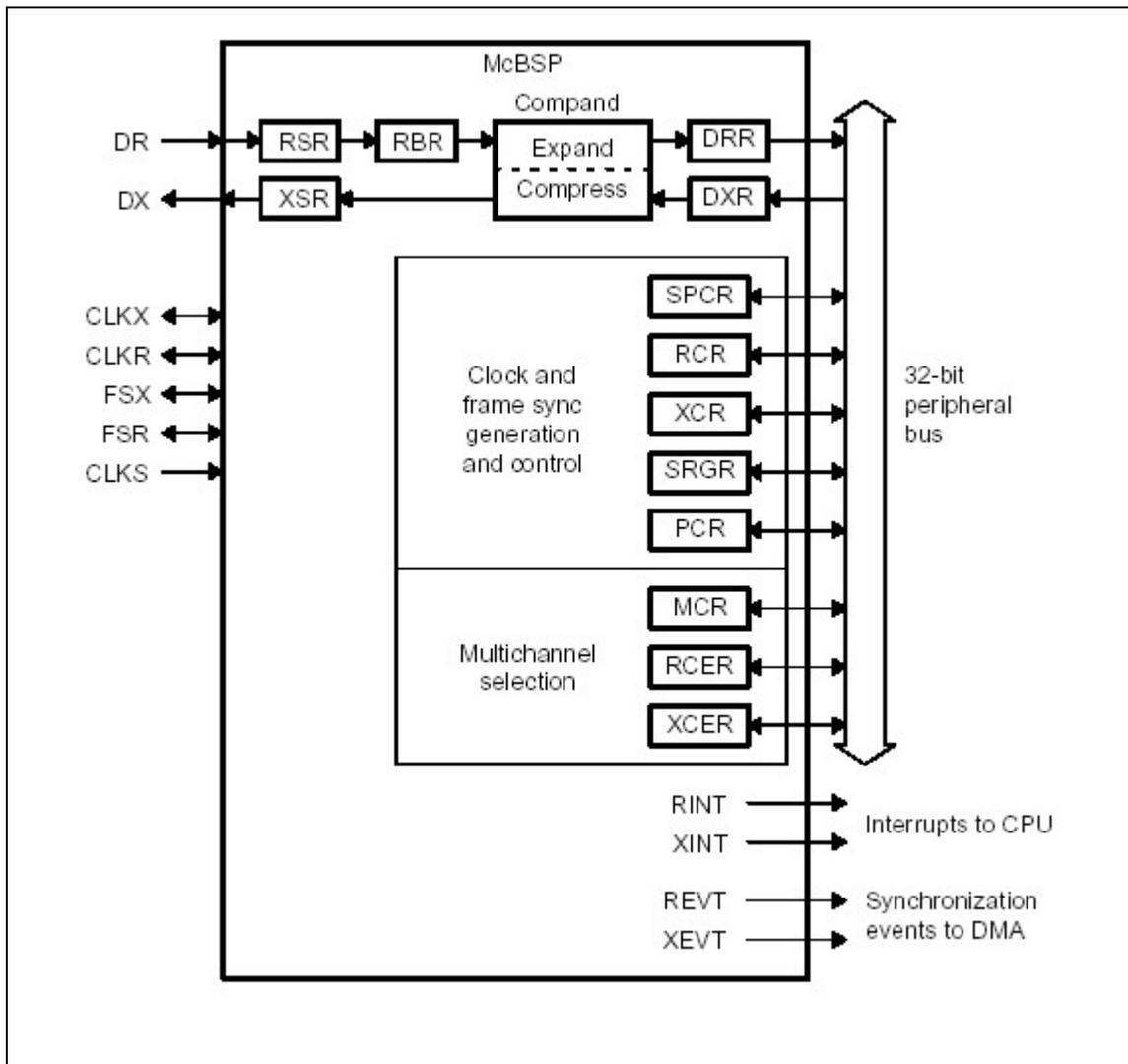


Figura 4.22 Diagrama de Bloques del McBSP.

Los datos, son comunicados al dispositivo externo por pines separados para recepción (**DR**)y transmisión(**DX**).

La información de control, es comunicada vía cuatro pines : **CLKX** ,**CLKR**, **FSX**, **FSR** y **CLKS**.

El dispositivo, se comunica con el **McBSPs** vía registros de control de 32 bits que son accesibles vía el bus interno de periféricos.

El CPU o el controlador de DMA, escribe el dato a transmitir en el registro **DXR** (data transmit register).

El dato escrito en **DXR**, es trasladado a **DX** vía **XSR**(transmit shift register).

El dato recibido en **DR**, es trasladado en **RSR** (Receive Shift Register) y copiado en **RBR** (Receive Buffer Register). Entonces, **RBR** es copiado en **DRR**.

El CPU o el controlador de DMA lee el dato recibido vía el registro **DRR** (data receive register).

Los registros restantes configuran el mecanismo de control del CPU.

El bloque de control consiste en: la generación interna de reloj , generación de la señal de sincronización de trama , control de ambas y selección de multicanal.

El bloque de control envía notificaciones de eventos importantes al CPU y al controlador de DMA vía cuatro señales : RINT (interrupción recibida al CPU) , XINT (Interrupción Transmitida al CPU), REVT (Evento de sincronización recibido al DMA) y XEVT (Evento de sincronización transmitida al DMA).

4.3.2.3 TIMERS

Pueden ser usados para: temporizar eventos, contar eventos , generar pulsos, interrumpir al CPU o enviar eventos sincronizados al controlador del DMA.

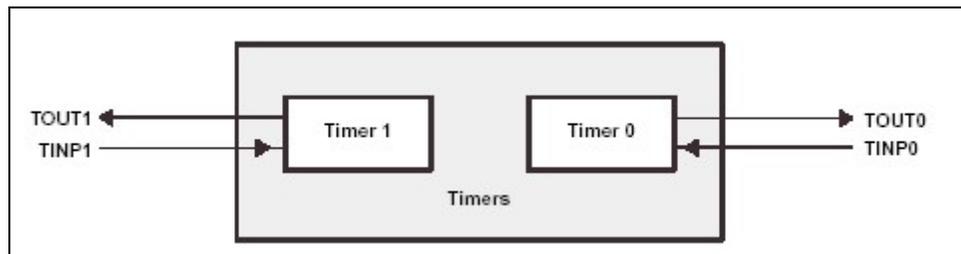


Figura 4.23 Diagrama de Bloques de los Timers del 'C6201

Los timers tienen los modos de señalización y el reloj puede serle dado de manera interna o externa.

Tiene un pin de entrada (**TINP**) y un pin de salida (**TOUT**). Ambos pueden ser usados como pines de propósito general (entradas o salidas respectivamente). Con un reloj interno el TIMER puede indicar a un A/D externo, el comienzo de la conversión o puede disparar el controlador de DMA para empezar la transferencia de datos. Con un reloj externo el TIMER puede contar eventos externos e interrumpir el CPU después de un número específico de eventos.

4.3.2.4 Interfaz de memoria externa (EMIF).

El EMIF soporta memoria externa del tipo SBSRAM, SDRAM, dispositivos asincrónicos como SRAM asincrónica, ROM y pilas (FIFO's).

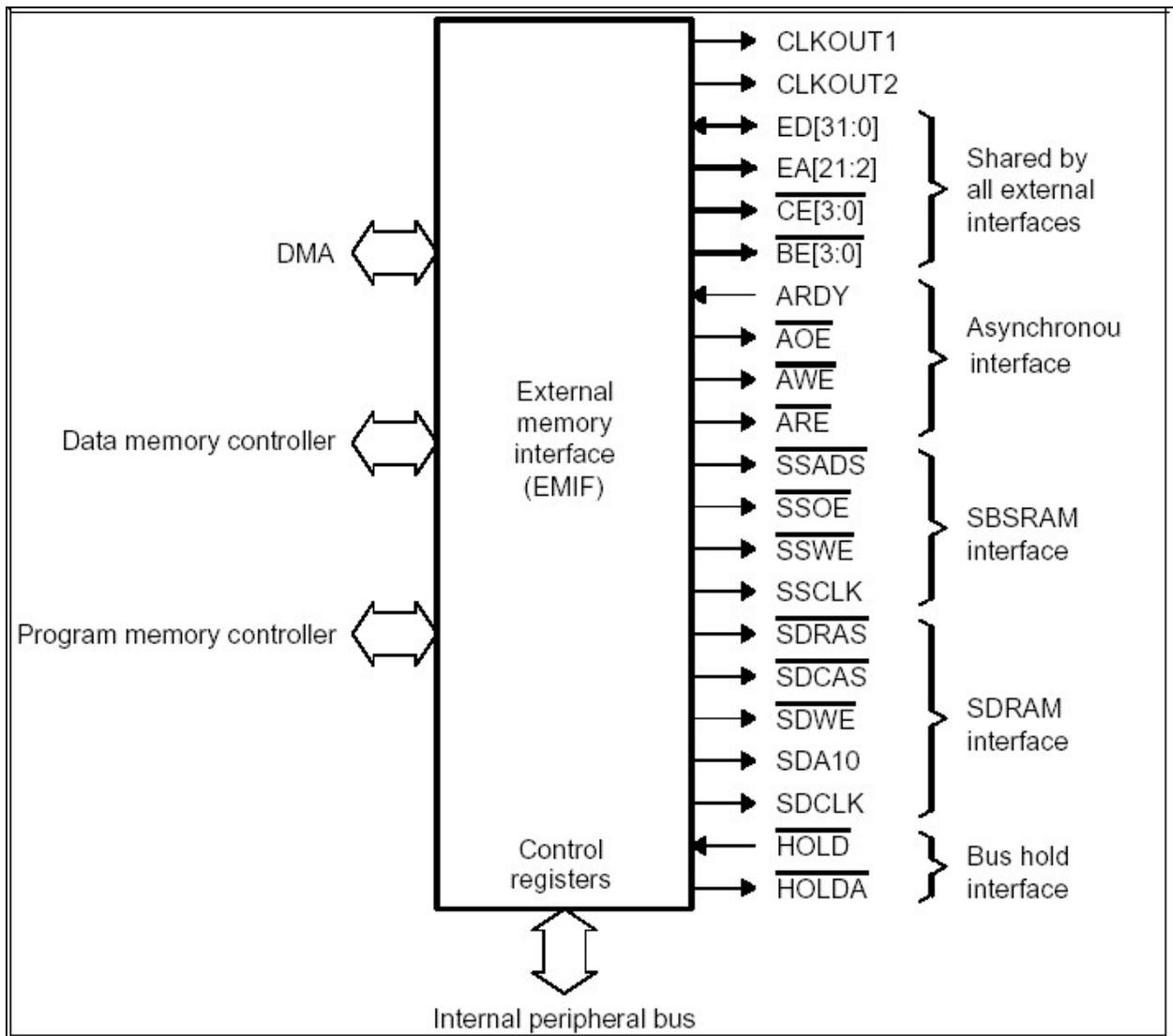


Figura 4.24 Diagrama de bloques de la interfaz de memoria externa (EMIF).

La interfaz de memoria externa, soporta una gran variedad de configuraciones de SDRAM, que permiten obtener alta velocidad y alta densidad de memoria. La interfaz con memoria SBSRAM, es compatible con los estándares de la industria, permitiendo interfaces de alta velocidad sin algunas de las limitaciones de la memoria SDRAM, ésta interfaz puede correr a la velocidad del reloj del CPU o a la mitad del mismo.

La interfaz asincrónica, ofrece ciclos configurables que pueden ser usados para interfaces con diferentes tipos de memoria y dispositivos. Entre ellos están algunos como memoria SRAM, EPROM, Flash, FPGA's o chisp's de aplicación específica (ASIC's).

Lógica de Configuración de Arranque.

La plataforma C6000, provee diferentes configuraciones para inicializar los dispositivos. Éstas, determinan las acciones que se deben seguir Después del reset para preparar la inicialización.

La configuración de arranque, se escoge mediante pines externos y con ellas se determinan los siguientes aspectos:

1. El mapa de memoria seleccionado, el cual determina si la memoria mapeada en la dirección 0 es externa o interna.
2. El tipo de memoria externa en la dirección 0.
3. El proceso de arranque usado para iniciar la memoria en la dirección 0 antes que el CPU empiece a correr.

El reset.

El reset, se realiza por medio de la señal RESET, mientras ésta está en bajo, el dispositivo se mantiene en el estado de reset para configurarlo en un estado predeterminado. Todas las salidas de tercer estado se ponen en alta impedancia y el resto de salidas, se regresan a sus valores por defecto. El tiempo de reset, se determina con el reloj del dispositivo CLKIN o con el del CPU.

Configuración de arranque.

Hay tres tipos de modos de arranque, que se seleccionan por medio de los pines BOOTMODE [4:0], cuyos valores se cargan en el flanco positivo de la señal $\overline{\text{RESET}}$.

Ejecución directa en el momento de arranque.

En éste modo, el CPU empieza a correr desde la memoria localizada en la dirección 0. Si esta memoria es del tipo SDRAM, el CPU se detiene hasta que el proceso de inicialización termine.

Arranque usando memoria ROM.

En éste modo, una parte de la memoria externa es copiada a la dirección 0 por el controlador de DMA, mientras que el CPU se encuentra en estado de reset.

La cantidad de memoria copiada, es de 16K word's de 32 bits. Con los pines BOOTMODE [4:3], se selecciona el ancho de la memoria ROM, que en caso de no ser de 32 bits, el EMIF puede empaquetar secuencias de Bytes o HalfWords para completar los 32 bits, de la palabra de instrucción.

Arranque usando un Anfitrión.

En este proceso el CPU se encuentra en estado de reset mientras que el resto de dispositivos regresan de este mismo estado. En dicho tiempo un Host (Anfitrión) externo puede inicializar los espacios de memoria del CPU por medio del puerto HPI, incluyendo la configuración de los registros de memoria externa.

Una vez que la memoria externa ha sido inicializada, el host puede acceder cualquier sección externa que requiera para terminar la inicialización. Después de la inicialización el host escribe un 1 en el pin DSPINT del registro de control (HPIC), con lo cual se provoca la lógica de arranque para que el CPU salga del estado de reset. Después de esto, el CPU empieza a correr desde la dirección 0.

Multichannel Buffered Serial Port (McBSP).

Este bus serial presenta las siguientes propiedades:

1. Comunicación Full Duplex.
2. Registros de almacenamiento intermedio dobles, que permiten el flujo continuo de datos.
3. Relojes y formación de tramas independientes en sentido de transmisión y recepción.
4. Interfaz directa para conectar codec's estándar, chip's con interfaces analógicas y otros dispositivos como ADC's y DAC's.
5. Reloj de desplazamiento externo o programable internamente.
6. Además el McBSP posee interfaz para conexión directa a framers E1/T1, dispositivos HMVI y ST Bus, transmisión y recepción de hasta 128 canales, permite ley A ley μ , entre otras.
7. El McBSP consiste de una trayectoria de datos y una de control como se ve en la figura 4.35.

La transmisión de datos, se realiza mediante los pines DX y DR, mientras que, los periféricos se comunican con el McBSP por el bus de periféricos accedendo registros de 32 bits.

El controlador de DMA y el CPU, administran la lectura y escritura de datos en los registros DRR y DXR de los cuales, se desplazan los datos a través de DR y DX respectivamente en los procesos de recepción y transmisión de datos. Los registros RBR y XSR, son los registros de almacenamiento intermedio que realizan el desplazamiento de los datos en forma serial. Esto, permite que el movimiento de los datos, interna y externamente sea simultáneo.

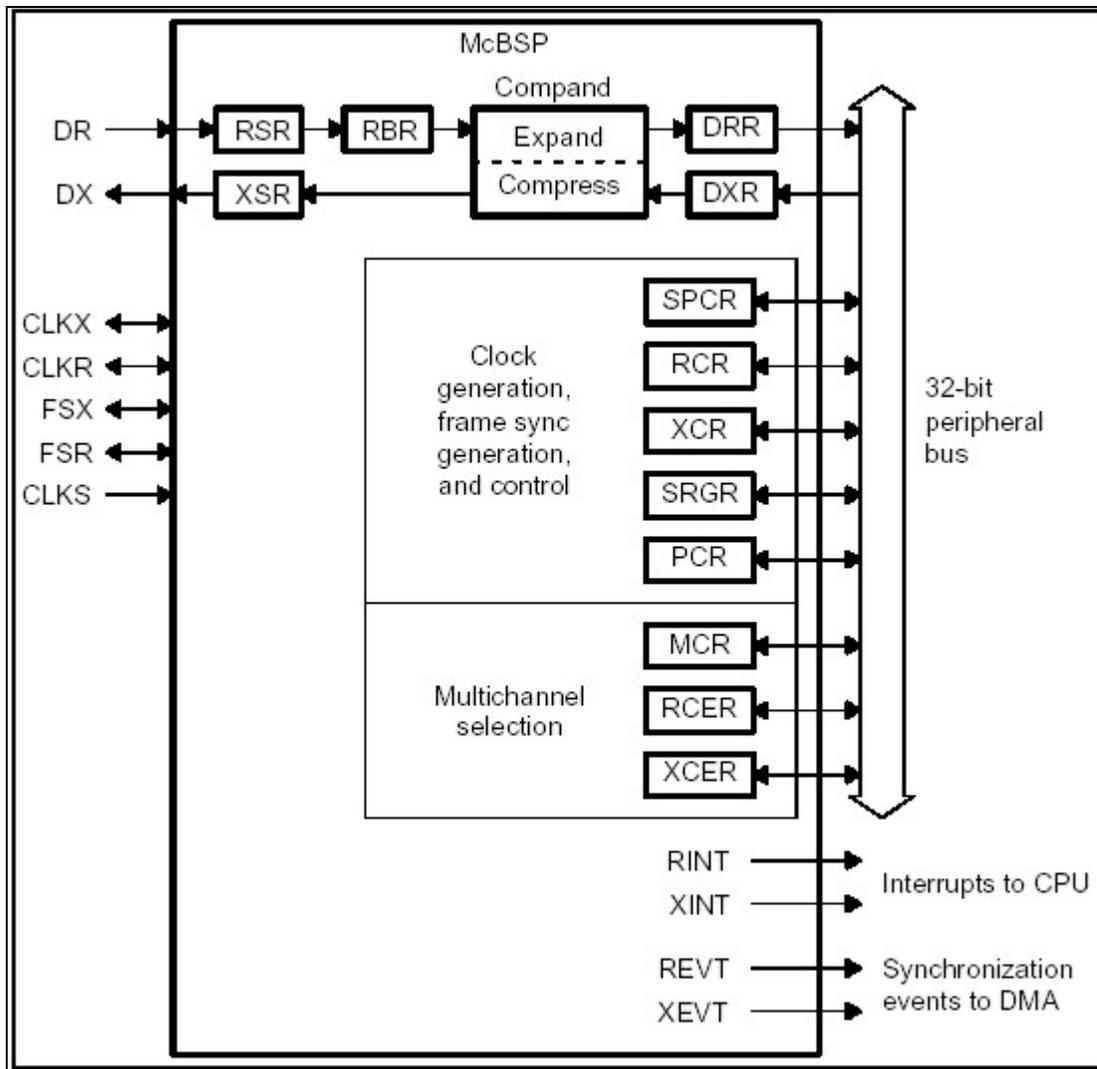


Figura 4.25 Contadores de Tiempo.

Existen dos registros de 32 bits que se pueden usar como contadores para generar pulsos, para interrumpir al CPU y para sincronizarse con el controlador de DMA.

Los contadores, tienen dos modos de señalización que pueden ser usados como una fuente de reloj externa o interna.

Selector de interrupciones.

Los procedimientos de los periféricos producen 16 fuentes de interrupción pero el CPU sólo puede atender 12 interrupciones. El selector, permite escoger 12 de las 16 interrupciones para ser usadas.

Lógica de desconexión.

La mayoría de la energía de operación de los dispositivos CMOS se consume durante la transición de estados de los circuitos. Para ahorrar pérdidas de energía por este tipo de causas, se dispone de tres modos de desconexión: PD1 (power down 1), PD2, PD3.

En PD1, se bloquean las entradas del reloj interno al CPU, apagándolo. En PD2 todos los relojes del chip se detienen en la salida del PLL y en PD3, se desconectan todas las fuentes de reloj internas y además, la fuente de reloj externa CLKIN. Para regresar de este estado, el dispositivo requiere más tiempo que en PD2 ya que, el PLL necesita tiempo para volverse a enganchar.

4.3.3 Arquitectura de Memoria de la Familia TMS320C6000.

Los DSP de la plataforma TMS320C6000 incluyen memoria interna de datos y de programa, de las cuales una de ellas se puede seleccionar como caché. Además, cuentan con una interfaz de memoria (EMIF) para agregar memoria externa.

Ésta plataforma, dispone de un total de 4Gbytes de direcciones de memoria, repartidas entre memoria de programa interna, memoria de datos interna, un espacio para memoria externa y el espacio de periféricos.

Starting address	Memory map 0 (Direct execution)	Block size (bytes)	Starting address	Memory map 1 (Boot mode)	Block size (bytes)
0000 0000h	External memory space CE0	16M	0000 0000h	Internal program RAM	64K/(256K on 'C6202)
0100 0000h	External memory space CE1	4M	0001 0000h (0004 0000h on 'C6202)	Reserved	4M–64K (4M–256K on 'C6202)
0140 0000h	Internal program RAM	64K/(256K on 'C6202)	0040 0000h	External memory space CE0	16M
0141 0000h (0144 0000h on 'C6202)	Reserved	4M–64K (4M–256K on 'C6202)	0140 0000h	External memory space CE1	4M
0180 0000h	Internal peripherals	8M	0180 0000h	Internal peripherals	8M
0200 0000h	External memory space CE2	16M	0200 0000h	External memory space CE2	16M
0300 0000h	External memory space CE3	16M	0300 0000h	External memory space CE3	16M
0400 0000h	Reserved	1G–64M	0400 0000h	Reserved	1G–64M
4000 0000h	Expansion bus (on 'C6202)	1G	4000 0000h	Expansion bus (on 'C6202)	1G
8000 0000h	Internal Data RAM	64K/(128K on 'C6202)	8000 0000h	Internal data RAM	64K/(128K on 'C6202)
8001 0000h 8002 0000h	Reserved	2G–64K (2G–128K on 'C6202)	8001 0000h 8002 0000h	Reserved	2G–64K (2G–128K on 'C6202)

Figura 4.26 Mapas de memoria del C6201.

Starting Address	Memory Block	Block Size (Bytes)
0000 0000h	Internal RAM (L2)	64K
0001 0000h	Reserved	24M–64K
0180 0000h	Configuration and peripherals	8M
0200 0000h	Reserved	224M
1000 0000h	External memory	512M
3000 0000h	Reserved	256M
4000 0000h	McBSP 0/1 Data	256M
5000 0000h	Reserved	256M
6000 0000h	HPI expansion bus	256M
7000 0000h	Reserved	2G + 256M

Figura 4.27 Mapas de memoria del C6201.

En el C6201, los cinco pines BootMode determinan el mapa de memoria y el proceso de carga a utilizar.

Hay dos modos de operación en estos dispositivos: ejecución directa (direct execution) y modo de arranque (boot mode). En el modo de ejecución directa, el programa se empieza a cargar desde la dirección externa 0; mientras que en modo de arranque, el programa se carga desde memoria externa o desde un procesador anfitrión (Host Processor) antes de iniciar la ejecución en la dirección interna 0.

4.3.3.1 Memoria interna.

La cantidad y localización de la memoria interna, depende de cada dispositivo en particular de la plataforma C6000. El C6201B, tiene la memoria de datos y de programa separada (arquitectura Harvard), Tiene un total de 128K de memoria de los cuales 64k son memoria de datos y los otros 64k son memoria de programa que puede ser configurada como memoria caché.

La memoria de programa tiene 256 bytes de ancho, lo cual permite realizar un "fetch packet" por línea. La memoria de datos, es un tanto diferente, es modificada para permitir el máximo acceso de datos en cada ciclo de reloj, desde tres fuentes diferentes.

Está compuesto de 8 bancos de 16 bits de ancho, los cuales están divididos en 2 bloques de 4 bancos; los primeros 4 están en la parte baja de la memoria de datos y los últimos 4 en la parte alta. El DMA o el CPU, pueden acceder cada banco una vez en cada ciclo y pueden acceder múltiples bancos en el mismo ciclo.

Con ésta configuración de memoria, el máximo acceso de datos en cada ciclo es de tres accesos de 32 bits, dos del CPU y uno del DMA.

4.3.3.2 Accesos a la memoria de datos.

El controlador de memoria, atiende todas las solicitudes a memoria de datos realizadas por el CPU o el DMA. El CPU, envía solicitudes al controlador de memoria a través de dos buses de direcciones (DA1 y DA2).

El dato que va a ser almacenado, se transmite por medio de los buses ST1 y ST2 del CPU, los datos cargados se reciben por los buses LD1 y LD2. Las solicitudes de datos del CPU, se mapean en el rango de direcciones de memoria de almacenamiento de datos de la memoria interna, en el espacio de periféricos internos o a través de la interfaz de memoria externa.

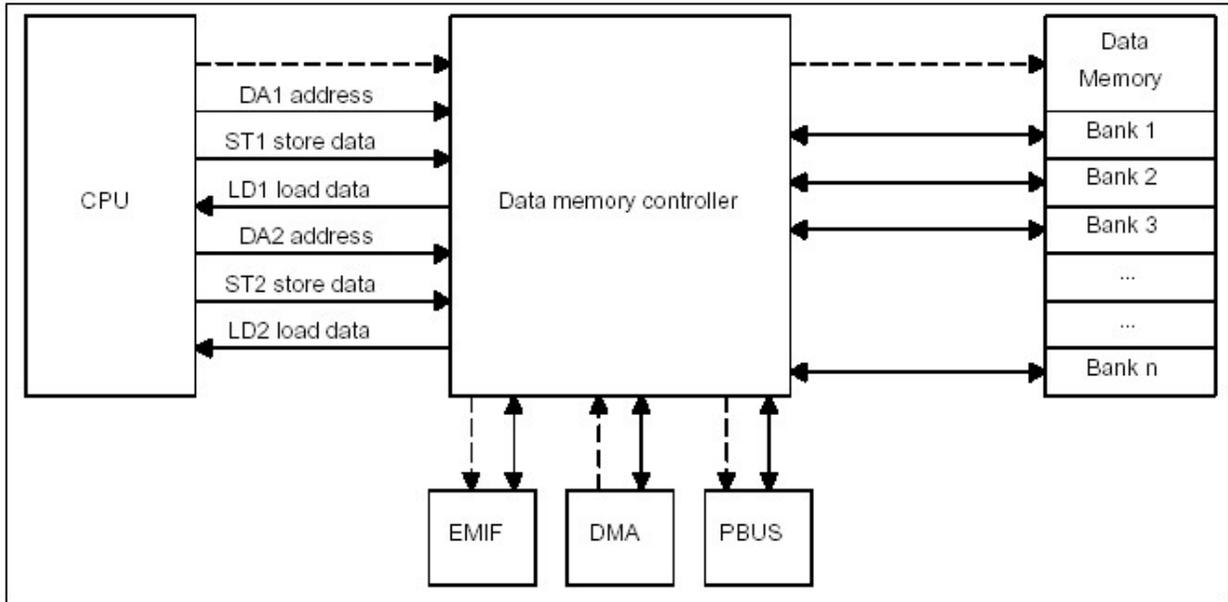


Figura 4.28 Conexión del controlador de memoria.

4.3.3.3 Bus de periféricos.

Los periféricos, están configurados por medio de un conjunto de registros de control mapeados en memoria. El controlador del bus de periféricos, administra todos los accesos a los registros de control. El DMA, puede acceder el controlador del bus de periféricos directamente, mientras que el CPU lo hace por medio del controlador de periféricos.

El controlador de periféricos, convierte todos los accesos al bus de periféricos en palabras (Word acces). Esto afecta todos los accesos de escritura a los registros de control, ya que los bytes y halfwords deben ser tratados como words de 32 bits sin signo.

4.3.3.4 Interfaz de memoria externa (EMIF)

Ésta interfaz, conecta el CPU con la memoria externa, RAM, SDRAM, SBSRAM o memoria asincrónica. Además, provee 8 y 16 bits para lectura de memoria con capacidad para soportar memoria de arranque de bajo costo (Flash, PROM, EPROM, EEPROM).

CAPÍTULO 5.

ANÁLISIS Y RESULTADOS

5.1 Explicación del diseño

Paralelo a éste informe, existe una investigación hecha sobre otros dispositivos que fue llevada a cabo por dos estudiantes de Ingeniería en Electrónica como Proyecto de Graduación. Se puede encontrar referencia a dicha investigación, en la bibliografía del presente documento.

Ambas investigaciones, se integraron para contribuir en la propuesta de diseño preliminar que Cibertec Internacional hace para el F&F. Por lo anterior; la propuesta de preliminar de diseño que a continuación se muestra es común para ambos documentos.

El diseño preliminar para el proyecto, consiste en dos bloques básicos:

5.1.1 F-E1/T1

Consiste en una tarjeta que contiene dos Framers, para ser capaz de manipular 8 E1/T1 bidireccionales. Posee un Digital Switch, que permite la conmutación de canales de audio de manera programada, hacia las tarjetas de procesamiento de señal mencionadas más adelante. Además, cuenta con un controlador de HDLC para control con la tarjeta HDLC-4M. Tiene un microcontrolador para gobernar las funciones de los demás dispositivos.

Nota: En el diagrama solo se presenta un Framer PM-4354, el cual es capaz de manipular 4 E1/T1. Sin embargo, ésta tarjeta se ha pensado para procesar 8 E1/T1 por lo que para efectos de llevar a cabo el diseño de la misma, se debe implementar un segundo Framer PM-4354 en dicha tarjeta. Esto es indicado por los índices A y B que acompañan las señales del Framer los que quiere indicar : Framer A y Framer B.

Dentro de sus principales características están:

1. Tiene capacidad de Rx/Tx de hasta 8 interfaces E1 (2.048Mbps) bi-direccionales, expandibles en grupos de 4.
2. Capacidad de conexión al bus H.110 por medio de un digital switch, que permite conectar cualquier canal de entrada (E1) a cualquier canal del bus H.110.
3. Puede ser configurada para operación E1 o T1 en sub-grupos de 4 E1/T1.
4. Posee un microcontrolador para funciones locales y comunicación con el F-host.
5. La tarjeta de E1/T1, debe ser capaz de ser maestro o esclavo en el bus H.110 y debe proveer los mecanismos de sincronización de la red PSTN con el bus H.110.
6. Debe proveer los mecanismos para aceptar una tarjeta hija, con recursos de DSP para procesamiento de señalización C5.
7. La tarjeta debe poseer un controlador de HDLC para comunicaciones con la tarjeta HDLC-4M en el F-host.

Como especificaciones, se debe mencionar que las interfaces E1/T1 deben tener una impedancia de 100 Ohm. Los conectores se encuentran en la parte posterior del backplane, por lo que el acceso a la tarjeta frontal se hace a través del backplane.

5.1.2 F-VEC (Voice Echo Cancellation)

En ésta tarjeta, se encuentran los recursos para cancelación de eco, utilizando un delay de 64 ms. Cada tarjeta, cuenta con un cancelador de eco capaz de procesar 256 canales de audio. Eso quiere decir, que una tarjeta F-VEC procesa 8 E1/T1 por lo que se requieren dos de ellas para procesar los 16 E1/T1 que se tienen como objetivo con el proyecto F&F. Cuenta igualmente, con un DSW y un microcontrolador que realizan las mismas labores que en la tarjeta F-E1/T1.

Dentro de sus principales características están:

1. El módulo F-VEC (Voice Echo Cancellation), tiene capacidad de realizar la función de cancelación de eco para 240 canales TDM (8 E1), con una cola de eco de 64 ms, ó 120 canales a 128 ms.
2. Posee un microcontrolador local para funciones locales y comunicaciones con el F-host.
3. La tarjeta de cancelación de eco solo opera en modo esclavo en el bus H.110.
4. La tarjeta debe poseer un controlador de HDLC para comunicarse con la tarjeta HDLC-4M en el F-host.

El diagrama de bloques de la misma se presenta a continuación:

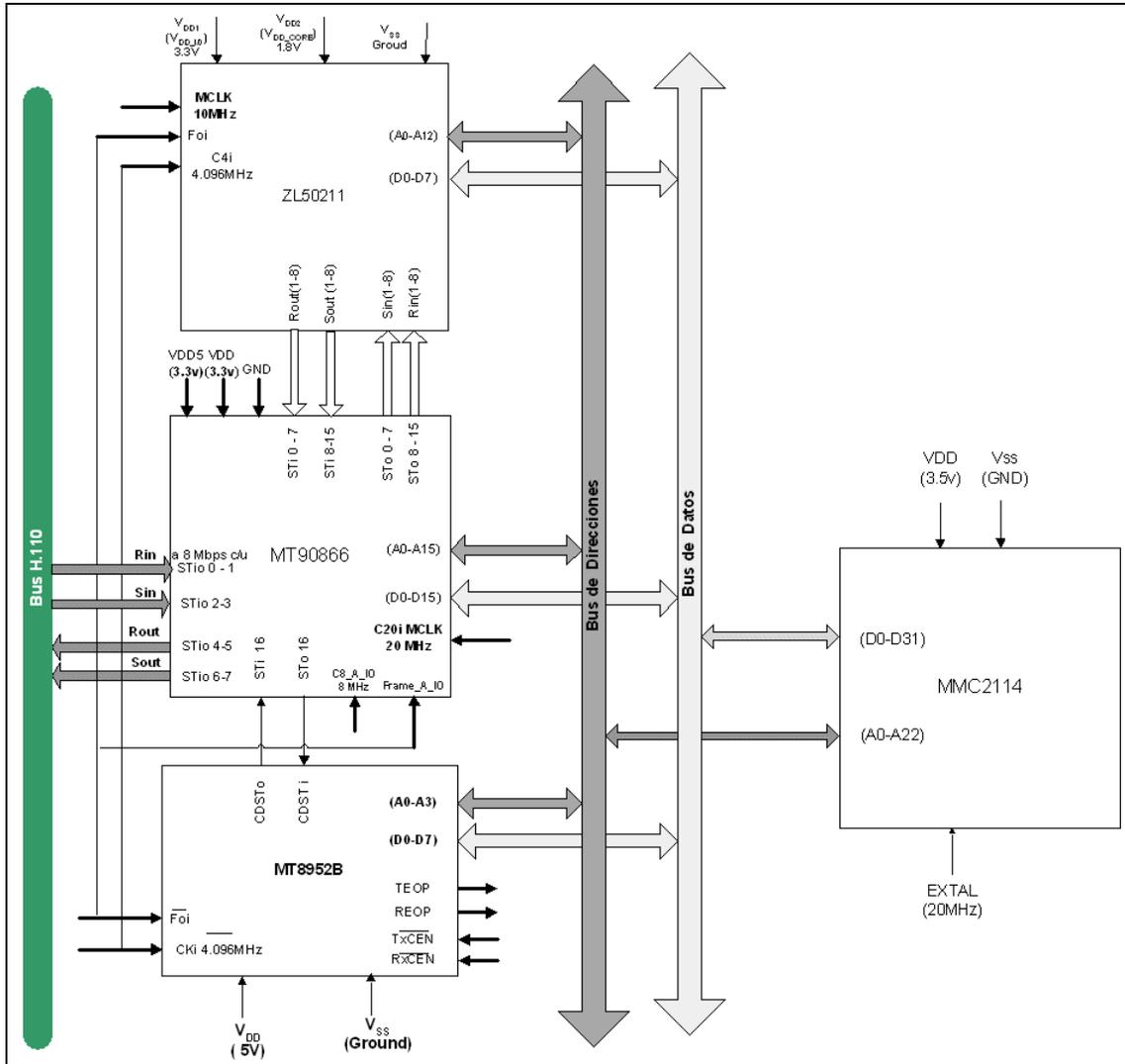


Figura 5.2 Diagrama de bloques de la tarjeta F-VEC

El dispositivo MT8952B es el controlador de HDLC, cuya función es establecer comunicación en alta velocidad con la tarjeta HDLC-4M, sobre configuración de dispositivos. La tarjeta HDLC-4M, ya está desarrollada y es una tarjeta controladora del protocolo HDLC de propósito general.

5.1.3 F-HI (Host Interface)

Ésta tarjeta, sirve como interfaz hacia el F-host para transferir señalización, control y datos de IVR. Además, contiene recursos de DSP para la detección de tonos DTMF. Posee recursos para configuración del Digital Switch, DSP's y controlador de HDLC. Así mismo, en ella se debe establecer el protocolo de comunicaciones entre la tarjeta F-host y la tarjeta F-switch.

Como principales características se mencionan las siguientes:

1. EL módulo F-HI (Host Interface) es una interfaz para enrutar los datalinks de SS7 hacia la tarjeta de HDLC-4M en el F-host.
2. Además sirve como interfaz de entrada TDM para los mensajes de IVR desde el F-host, usando la tarjeta HDLC-4M en modo transparente.
3. También funciona como medio de enlace para control a través de canales de HDLC entre la tarjeta HDLC-4M y las tarjetas internas del F-switch.
4. La cantidad de interfaces es:
5. 2 Rx / 2 Tx enlaces para uso del F-7 (SS7)
6. 1 Rx /1 Tx para uso del F-CI
7. 4 Rx / 4Tx enlaces para uso del F- IVR
8. Tiene recursos de DSP para la detección de tonos DTMF y cuenta con un microcontrolador para funciones locales y comunicaciones con el F-host.
9. La tarjeta de HDLC/IVR solo opera en modo esclavo en el bus H.110.
10. La tarjeta debe poseer un controlador de HDLC para comunicarse con la tarjeta HDLC-4M en el F-host.

El diseño de esta tarjeta, queda fuera de los objetivos del presente documento. En el diagrama total del proyecto, aparece un diseño a groso modo de lo que podría ser la tarjeta F-HI.

5.1.4 F-PSU (Power Supply Unit)

Es un módulo para proveer las tensiones de alimentación a las tarjetas del proyecto F&F. Recibe -48VDC y sus salidas son de 3.3 voltios y 5 voltios. Además, se puede contar con otros valores de tensión a partir de los convertidores DC/DC integrados localmente en cada tarjeta. Debe ser capaz de soportar inserción/extracción en caliente (hot swap) y trabajar en módulo redundante.

El diseño de ésta tarjeta, queda fuera de los objetivos del presente documento. En el diagrama total del proyecto, aparece un diseño a groso modo de lo que podría ser la tarjeta F-PSU.

5.1.5 Diagrama de bloques general del Proyecto F&F

Todas las tarjetas mencionadas en los párrafos anteriores vienen a integrar el proyecto F&F, del cual se muestra un diagrama a continuación:

2. Se debe contar con dos tarjetas F-E1/T1 para la manipulación de canales ya que se quiere un equipo capaz de operar con 16 E1/T1's.
3. Cada cancelador de eco procesa 256 canales por lo que se requieren dos de ellos para procesar los 480 canales de audio contenidos en 16 E1/T1's.
4. Para el proyecto F&F se deben desarrollar varios elementos de hardware, Firmware y software.
5. En lo que a hardware respecta se debe crear las tarjetas que integran el F-Switch y su correspondiente Firmware.
6. La tarjeta HDLC-4M ya se encuentra diseñada, solo requiere de cambios en el firmware y drivers necesarios.
7. Respecto al software, deben hacerse modificaciones del Stack de SS7 – CIBERTEC – para poder adaptarlo al proyecto F&F. También, es necesario desarrollar la lógica del procesador de llamadas y la máquina de control del F-switch usando la HDLC.

Nota: *Los Estudiantes de Ingeniería en Electrónica (involucrados en la elaboración de este informe), tienen la responsabilidad de elaborar el presente documento de manera que contenga la teoría sobre componentes necesaria para sustentar una base teórica sólida, así como para poner en marcha la aplicación de dichos dispositivos en el Proyecto F&F. Es labor de los ingenieros de "Cibertec Intencional S.A.", llevar a cabo la puesta en marcha del proyecto para la empresa.*

5.2 Alcances y Limitaciones

5.2.1 Investigación Teórica

El presente documento, es una investigación y análisis de elementos preponderantes en el diseño de las tarjetas que van ser parte del F-Switch.

5.2.1.1 DSP y Generación/Detección de DTMF

Los recursos de DSP, se utilizan principalmente en la tarjeta F-HI para la detección de DTMF, el dispositivo de interés es el TMS320C6201 el cual es un procesador de punto fijo con un reloj de 200 MHz y de 1600 MIPS. Para lo anterior, se hace una descripción de la arquitectura general de un procesador digital de señales. A partir de lo que se hace un análisis del TMS320C6201 basándose en tres aspectos principales: CPU, Periféricos y Arquitectura de Memoria.

Posteriormente se hace un estudio del proceso de detección y generación de tonos duales de multifrecuencia DTMF.

5.2.1.2 Framers

Principalmente ubicado en la tarjeta F-E1/T1; el dispositivo seleccionado es el PM 4354 el cual es un Transceiver/Framer con capacidad de hasta 4E1/T1.

Para esta sección se hizo un estudio de la teoría de operación básica basado en un análisis detallado de su diagrama de bloques; además de una descripción de sus diferentes modos de operación de reloj. Previo a esto se hizo una introducción a conceptos necesarios para la comprensión y desarrollo del proyecto como lo son: sistemas de portadora digital, PCM, TDM y sistemas de codificación de línea.

5.2.1.3 Cancelador de Eco

Es el dispositivo principal de la tarjeta F-VEC. El cancelador de eco a utilizar es el ZL50211, el cual es un ASIC que permite la cancelación de eco de 256 canales con un echo tail de 64 ms y es configurable para una cancelación de 128 canales con un echo tail de 128 ms.

Previo a la selección de este dispositivo se hizo un estudio del concepto de eco y del algoritmo de cancelación de eco. Se hizo un análisis del diagrama de bloques y se elaboró el manual de programación.

CAPÍTULO 6.

CONCLUSIONES Y RECOMENDACIONES

6.1 Conclusiones

1. Una portadora digital es un sistema de comunicación que utiliza pulsos digitales para codificar información en lugar de señales analógicas.
2. Existen dos sistemas principales de sistema de portadora digital: el T1 recomendado por ANSI y usado principalmente en Estados Unidos y Japón; y el E1 recomendado por la ITU-T usado en Europa y en ciertos países no europeos.
3. Los sistemas de codificación de línea establecen como son puestos los bits en la línea.
4. El sistema de codificación de línea B8ZS (Binary 8 Zero Substitution) es usado en el sistema de portadora digital T1.
5. El sistema de codificación de línea HDB3 (High Density Bipolar 3) es usado en el sistema de portadora digital E1.
6. El codificador de DTMF requiere aproximadamente 0,15 MIPS. Esta especificación incluye todo proceso necesario después de la finalización de la rutina del servicio de interrupción de recepción y no incluye el proceso de servicio de la interrupción.
7. El decodificador de DTMF requiere aproximadamente 0,8 MIPS. Esta especificación incluye todo proceso necesario después de la finalización de la rutina del servicio de interrupción de recepción y no incluye el proceso de servicio de la interrupción.
8. Un procesador digital de señales (DSP) es un CPU de propósito especial; que está diseñado para operación en tiempo real y permitir la ejecución de secuencias de instrucciones, a grandes velocidades, de algoritmos matemáticos complejos para procesamiento de señales.

9. La ecuación de Shannon define la velocidad de canal mínima para un desempeño con mínimo error para transmisiones de voz; sin tomar en cuenta las redundancias en estas señales.
10. Usando técnicas de predicción lineal, las redundancias de largo (short – term) y corto término (long- term) pueden ser recuperadas para producir bajas velocidades de bits (low bit rate).
11. El G.729 (CS-ACELP) de la ITU-T es una recomendación internacional que se adapta a la compresión de los flujos estándar de 64 Kbps de los canales PCM usados típicamente para la transmisión de voz, consiguiendo un resultado de 8 Kbps.
12. El codificador CS – ACELP está diseñado para operar con una señal digital que ha sido primero filtrada para ancho de banda telefónico (Recomendación ITU-T G.712) de la señal analógica, y posteriormente filtrada a 8000 Hz, seguida de una conversión a 16 bits PCM lineal para entrar al codificador.
13. El Tranceiver/Framer PM4354 puede manejar cuatro canales en formato E1, T1 ó combinaciones de estas.
14. Cada interfaz PCM del PM4354 permite velocidades de 1.544 Mbps y 2.048 Mbps para el backplane en el sentido de recepción y de transmisión.
15. La interfaz H-MVIP del PM4354 permite la sincronización con el backplane a 8.192 Mbps para acceder datos PCM, señalización por canal asociado y por canal común.
16. El eco es la repetición de un sonido causado por la reflexión de las ondas sonoras.
17. En las redes de telecomunicaciones hay dos tipos de eco: el eco eléctrico y el eco acústico.
18. El eco eléctrico es causado por un desacople de impedancias en el lazo local.

19. El eco acústico es causado por problemas de acople acústico entre el altavoz y el micrófono de un teléfono.
20. Un cancelador de eco es un dispositivo que detecta y remueve la señal de eco que se produce en un punto lejano de la red antes de que llegue al equipo local.
21. Un cancelador de eco consiste de tres componentes principales: Filtro adaptativo, Procesador no lineal y Detector de tonos
22. Un cancelador de Eco eficiente se define por cumplir con los siguientes requerimientos: Eliminación de divergencia, Control de doble conversación y Prevención de Cortes.
23. El cancelador de eco ZL50211 es un chip de alta densidad de integración perteneciente a la familia ZL502xx de Zarlink Semiconductors. Su arquitectura se basa en el chip de cancelación de eco ZL50232 el cual tiene un procesador de eco con capacidad de 32 canales con 64ms de cola de eco.
24. EL ZL50211 cumple con las recomendaciones de la ITU-T G.165 y G.168 y supera las pruebas de calidad de voz realizadas en los laboratorios de AT&T.
25. La familia de procesadores digitales de señales TMS320C62XX es una familia de procesadores digitales de señales de punto fijo que oscila entre 1200 y 2400 MIPS. Dicha familia está orientada a aplicaciones de procesamiento de múltiples canales de voz, datos e imagen.
26. Los Procesadores Digitales de Señales de la familia TMS320C6000 son radicalmente diferentes, debido al uso del formato VLIW (Very Long Instruction Word) un formato que permite instrucciones de 256 bits.
27. El procesador 'C6201 cuenta con los siguientes periféricos principalmente: Dos Puertos Seriales Multicanal, Temporizadores de Propósito General, Puerto de Interfaz de Anfitrión, Interfaz de Memoria Externa.

28. Los DSP de la plataforma TMS320C6000 incluyen memoria interna de datos y de programa de las cuales una de ellas se puede seleccionar como caché. Además cuentan con una interfaz de memoria (EMIF) para agregar memoria externa.
29. El DSP 'C6201 dispone de un total de 4Gbytes de direcciones de memoria repartidas entre memoria de programa interna, memoria de datos interna, un espacio para memoria externa y el espacio de periféricos.
30. El F&F es una puerta de enlace (gateway) entre el Red Telefónica Pública Conmutada y la red de transporte internacional, la cual está formada de dos bloques básicos llamados F-switch y *F-host Server*.
31. El F-switch esta conformado por las siguientes tarjetas: F-E1/T1, F-VEC, F-HI y F-PSU.
32. Todas las tarjetas del F-switch tendrían capacidad de comunicación con la tarjeta HDLC-4M en el F-host Server
33. La tarjeta F-E1/T1 tendría capacidad de Rx/Tx de hasta 8 interfaces E1/T1 bidireccionales con capacidad de conexión al bus H.110
34. El módulo F-VEC (Voice Echo Cancellation) tendría capacidad de realizar la función de cancelación de eco para 240 canales TDM (8 E1/T1), con una cola de eco de 64 ms, o 120 canales a 128 ms.

6.2 Recomendaciones

1. Evaluar los ASIC's MTN3600 (Access Processor Chipset), TNETV2840 (VoIP Gateway Solutions) y AC486xx (Voice Over Packet Processor) como opción en el caso de la migración de la plataforma F&F a VoIP.
2. Evaluar las PMC de la serie TPM-1100 (PMC Media Gateway Module) de Audiocodes como solución rápida y viable para la migración a VoIP.
3. Considerar las tarjetas cPCI de comunicación (cPCI Communication Board) de la serie TP-1610 de Audiocodes como una migración rápida a VoIP, tomando en cuenta que la plataforma F&F cumple con los estándares cPCI.
4. El Mediant 2000 (VoP Media Gateway) es una opción viable en el caso de que Cibertec desee una solución completa de VoP.
5. Evaluar el MT92210BG y el MT92220BG de la Zarlink como opciones rápidas de paquetización de voz.
6. Se recomienda revisar toda la investigación previa, hecha por los Estudiantes de Ingeniería en Electrónica que Desarrollaron este proyecto, y que salió del alcance del presente documento. Dicha investigación es considerada por los autores de este documento como de gran importancia para posibles proyectos futuros.

CAPÍTULO 7.

Bibliografía

- a. Rabiner, Lawrence & Gold, Bernard. Theory and Application of Digital Signal Processing. Prentice-Hall: Englewood Cliffs, New Jersey. USA. 1975.
- b. Mitra, Sanjit & Kaiser, James. Handbook for Digital Signal Processing. Wiley Interscience: New York, NY. USA. 1993.

7.1 Hojas de datos

PMC-Sierra Inc. PM 4354 Comet-Quad Data Sheet. 2001.

- a. Texas Instrument. TMS320C6201 Data Sheet. TI Inc. USA. 2000.
- b. Zarlink Semiconductor. ZL50211 Data Sheet. 2002.
- c. Zarlink Semiconductor. MT90866 Data Sheet. 2002

7.2 Documentos en formato PDF

- a. Implementation of G.729 on the TMS320C54x, Application Report. Literature Number: SPRA656. March 2000.
- b. DTMF Tone Generation and Detection: An Implementation Using the TMS320C54x, Application Report. Literature Number: SPRA096A. May 2000.
- c. TMS320C6201/6701 DSP Host Port Interface (HPI) Performance, Application Report. Literature Number: SPRA449A. April 1998.
- d. TMS320C6000 EMIF: Overview of Support of High Performance Memory Technology, Application Report. Literature Number: SPRA631. April 2000.
- e. TMS320C6000 Peripherals, Reference Guide. Literature Number: SPRU190D. February 2001.
- f. TMS320C6000, Technical Brief. Literature Number: SPRU197D. February 1999.
- g. Cisco - E1 R2 Signaling Theory. Document ID: 5717. February 2002.

- h. Patton Electronics Co,T1/E1/PRI Technology Overview.November 2001.
- i. Wavetek Wandel Golltermann, Pocket Guide to The world of E1.September 2000.

7.3 Direcciones de Internet

7.3.1 DSP

- a. http://www.bdti.com/faq/dsp_faq.htm
- b. <http://techonline2.techonline.com>
- c. <http://www.dsptutor.freeuk.com/>
- d. <http://www.wave-report.com/tutorials/DSP.htm>
- e. <http://www.bores.com/courses/intro/index.htm>
- f. <http://www.go-dsp.com/xdspgt/swfs/swfs/start-c6000.html>
- g. <http://www.ti.com/>
- h. <http://dspvillage.ti.com/docs/dspvillagehome.jhtml>

7.3.2 E1-T1

- a. <http://www.dcbnet.com/notes/9611t1.html>
- b. <http://www.techfest.com/networking/wan.htm>
- c. http://www.webopedia.com/TERM/T/T_1_carrier.html
- d. **G.729**
- e. <http://asylum.sf.ca.us/pub/u/howitt/lpc.tutorial.html>
- f. <http://www.idg.es/datos.asp?clave=7165>

CD-ROM

PMC-Sierra Inc. "Internetworking Silicon Solutions", Product Information Catalog. Volume 6 – Issue 2. Canada, 2000.

HOJA DE INFORMACIÓN

Información del estudiante:

Nombre: Albin Giovanni Muñoz Arrieta

Cédula o No. Pasaporte: 1 1048 893

Carné I.T.C.R.: 9816799

Dirección de su residencia en época lectiva: 100m Oeste Escuela Dr. Ferraz, San Francisco de Goicoechea, San José.

Dirección de su residencia en época no lectiva: 100m Oeste Escuela Dr. Ferraz, San Francisco de Goicoechea, San José.

Teléfono en época lectiva: 223-62-70

Teléfono en época no lectiva: 223-62-70

E-mail: albinmundo@costarricense.cr

Fax:

Información del Proyecto:

Nombre del Proyecto: *Diseño preliminar de las etapas de Interfaz de Línea, Cancelación de Eco y Procesamiento Digital de Señales. para transmitir información de voz en formato digital entre la Red Telefónica Pública Conmutada y la Red de Transporte Internacional*

Profesor Asesor: Ing. Luis Paulino Méndez B.

Horario de trabajo del estuante: Lunes a Viernes de 8:00 am a 5:00 pm.

Información de la empresa:

Nombre: Cibertec Int.

Zona: San José, La Paulina de Montes de Oca.

Dirección: De la Rotonda de Betania, 150 metros al Este.

Teléfono: 253 1482

Fax: 225 5829

Apartado: 149-2300 San José, Costa Rica

Actividad principal: Producción de Soluciones Innovadoras en el Área de las Telecomunicaciones.

HOJA DE INFORMACIÓN

Información del estudiante:

Nombre: Glen Duarte Quirós.

Cédula o No. Pasaporte: 1-1013-672

Carné I.T.C.R.: 9816433

Dirección de su residencia en época lectiva: Residencias ITCR, habitación 6B

Dirección de su residencia en época no lectiva: Pérez Zeledón, Daniel Flores
400m Sur y 125 Oeste de la Escuela Villa Ligia

Teléfono en época lectiva: 550-25-90

Teléfono en época no lectiva: 771-79-03

E-mail: glen_duarte@hotmail.com y gduarte@costarricense.cr

Información del Proyecto:

Nombre del Proyecto: *Diseño preliminar de las etapas de Interfaz de Línea, Cancelación de Eco y Procesamiento Digital de Señales. para transmitir información de voz en formato digital entre la Red Telefónica Pública Conmutada y la Red de Transporte Internacional*

Profesor Asesor: Ing. Luis Paulino Méndez B.

Horario de trabajo del estuante: Lunes a Viernes de 8:00 am a 5:00 pm.

Información de la empresa:

Nombre: Cibertec Int.

Zona: San José, La Paulina de Montes de Oca.

Dirección: De la Rotonda de Betania, 150 metros al Este.

Teléfono: 253 1482

Fax: 225 5829

Apartado: 149-2300 San José, Costa Rica

Actividad principal: Producción de Soluciones Innovadoras en el Área de las Telecomunicaciones.