

Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica



**Diseño Microelectrónico de un Convertidor Analógico Digital en Tecnología
CMOS**

**Informe de Proyecto de Graduación para optar por el título de Ingeniero en
Electrónica con el grado académico de Licenciatura.**

Oscar Eduardo Zúñiga Arrieta

Cartago, setiembre del 2012

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería Electrónica
Proyecto de Graduación
Tribunal Evaluador

Proyecto de Graduación defendido ante el presente Tribunal Evaluador como requisito para optar por el título de Ingeniera en Electrónica con el grado académico de Licenciatura, del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal



Dr. Pablo Alvarado Moya

Profesor Lector



Dr. Paola Vega Castillo

Profesor Lector



Dr. Alfonso Chacón Rodríguez

Profesor Asesor

Los miembros de este Tribunal dan fe de que el presente trabajo de graduación ha sido aprobado y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica.

Cartago, 24 de setiembre de 2012

Declaratoria de autenticidad

Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía, he procedido a indicar las fuentes mediante las respectivas citas bibliográficas.

En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.

Cartago, 24 de setiembre del 2012.



Oscar Zúñiga Arrieta

Céd: 112570673

Resumen

La Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica está desarrollando un sistema basado en una red de sensores, que detecta los patrones de sonidos de disparos y motosierras para que sea implementado en las zonas boscosas del país, y de esta manera alertar a las autoridades cuando se presente alguna de estas situaciones.

Uno de los módulos de dicho sistema es el convertidor A/D, que cumple la función de convertir las señales de salida de los sensores de audio a una forma digital para permitir su análisis por el resto del sistema.

Este proyecto consiste en el diseño de un convertidor Analógico digital en tecnología CMOS de bajo consumo de potencia.

Palabras claves: arreglo de capacitores partido, comparador, conmutación basada en V_{cm} , interruptores, registros, SAR ADC.

Abstract

The School of Electrical Engineering at the Technological Institute of Costa Rica is developing a system based on a sensor network that detects patterns of sounds of gunfire and chainsaws to be implemented in the protected areas of the country, and thus alert authorities when and any of these situations occur.

One module of this system is the A / D converter which serves to convert the output signals of the audio sensors to digital form, for further analysis in the rest of the system.

This work presents the design of an analog-digital CMOS low power consumption.

Keywords: capacitor split array, comparator, register, SAR ADC, switch, V_{cm} based switching.

Dedicatoria

A mis padres que me brindaron el apoyo, motivación, consejos y cariño, tanto en los momentos de éxitos y alegrías, así como en las horas más difíciles de caídas y fracasos.

Agradecimiento

Le agradezco primeramente a Dios porque en cada instante de este difícil caminar siempre brindó su amor manifestado en la sabiduría, paciencia y perseverancia.

A mis padres, además de mis hermanos y familiares que siempre me tuvieron presente en sus oraciones y palabras de motivación.

A mi profesor asesor Alfonso Chacón Rodríguez por sus valiosos aportes brindados.

Índice general

1. Introducción	1
1.1. Estructura del documento	2
2. Meta y objetivos	3
2.1. Meta	3
2.2. Objetivo general	3
2.3. Objetivos específicos	3
3. Marco teórico	4
3.1. Descripción de las topologías de ADC y descripción detallada de la solución seleccionada	4
3.1.1. Arquitecturas ADC	4
3.1.2. Funcionamiento del ADC de aproximaciones sucesivas	9
4. Metodología	17
5. Diseño del sistema	18
5.1. Comparador de cerrojo	18
5.2. Arreglo de capacitores	20
5.2.1. Arreglo capacitivo partido (Split capacitive array)	21
5.3. Diseño lógica de control SAR	22
5.3.1. Bloque registro de desplazamiento	23
5.3.2. Bloque de registros de salida	23
5.3.3. Bloque de control de conmutadores	24

5.4. Diseño lógica de temporizado del circuito	30
6. Análisis de resultados	32
7. Conclusiones y recomendaciones	41
7.1. Conclusiones	41
7.2. Recomendaciones	42

Índice de figuras

3.1. Rangos de operación de las arquitecturas de ADC en cuanto a su resolución y velocidad de muestreo (tomada de [2]).	5
3.2. Diagrama de bloques para un ADC flash con una resolución de 3 bits (tomada de [2]).	6
3.3. Diagrama de bloques para un ADC segmentado de M bits (tomada de [2]).	7
3.4. Diagrama de bloques para un ADC Delta-Sigma de N bits (tomada de [6]).	8
3.5. Diagrama de bloques de ADC SAR (tomada de [8]).	9
3.6. Señales de reloj, muestreo e inversión para el proceso de conversión de analógico a digital en un ADC SAR de 4 bits.	10
3.7. Bloques de comparador, interruptores, y arreglo de capacitores para ADC SAR de 4 bits (tomada de [8]).	11
3.8. Diagrama de flujo del funcionamiento de un ADC de aproximaciones sucesivas de N bits (tomada de [9]).	13
5.1. Esquemático del bloque comparador de cerrojo utilizado en el diseño del ADC SAR (tomado de [12]).	19
5.2. Curva de salida del comparador ante una señal de entrada senoidal y una señal de reloj a una frecuencia de 48 kHz (tomada de simulación de esquemático en Mentor Graphics).	20
5.3. Arreglo de capacitores para ADC de 8 bits (tomada de [8])	21

5.4. Dimensionamiento del arreglo capacitivo partido para un ADC de 8 bits (tomada de [8]).	22
5.5. Bloque de control SAR para un ADC de 10 bits (tomada de [14]). . .	22
5.6. Esquemático de registro estático con set y reset asincrónico utilizado en el registro de desplazamiento (tomada de [5]).	23
5.7. Diagrama de bloques del contador y el codificador utilizados en el diseño del ADC SAR	25
5.8. Diagrama de bloques de la lógica de ruta de datos utilizada en el diseño del ADC SAR	28
5.9. Diagrama de bloques de la lógica interna del bloque ruta de datos utilizada en el diseño del ADC SAR	29
5.10. Esquemático de los registros dinámicos C^2MOS utilizados en la ruta de datos (tomada de [19])	29
5.11. Esquemático del multiplexor utilizado en el diseño de la ruta de datos y el bloque de conmutadores (tomada de [19])	30
5.12. Diagrama de bloques del circuito generador de reloj, donde δ_1 es 5ns y δ_2 posee en valor entre 10ns y 12 ns.	31
6.1. Salida del convertidor analógico digital ante una entrada de voltaje de rampa para todo el rango de conversión [0-3]V.	34
6.2. Salida del convertidor analógico digital ante una entrada de voltaje de rampa para el rango de conversión de [0,9-1]V.	35
6.3. Salida del convertidor analógico digital ante una entrada de voltaje de rampa para el rango de conversión del ADC SAR [0,95-1]V.	36
6.4. Salida del convertidor analógico digital ante una entrada de voltaje de rampa para el rango de conversión del ADC SAR [1,36-1,5]V.	36
6.5. Salida del convertidor analógico digital ante una entrada de voltaje de rampa para el rango de conversión del ADC SAR [1,8-2]V.	37
6.6. Salida del convertidor analógico digital ante una entrada de voltaje de rampa utilizando la versión 2 del ADC, en el rango de voltajes de [0-0.1]V.	38

6.7. Salida del convertidor analógico digital ante una entrada de voltaje de rampa utilizando la versión 2 del ADC, en el rango de voltajes de $[0,4-0,5]$ V.	39
6.8. Salida del convertidor analógico digital ante una entrada de voltaje de rampa utilizando la versión 2 del ADC, en el rango de voltajes de $[1,4-1,56]$ V.	40

Índice de cuadros

5.1. Tabla de la verdad de <i>flip-flop SR-NOR</i>	19
5.2. Señales de selección de muxes para el multiplexado de las señales <i>GND</i> , <i>V_{ref}</i> , <i>V_{CM}</i> , y <i>V_{IN}</i>	28
6.1. Arquitecturas de registros utilizados en las 5 versiones del convertidor	33
6.2. Consumo de potencia para las 5 versiones del diseño en base a la tecnología de registros utilizados	33

Capítulo 1. Introducción

Nuestro país cuenta con una amplia diversidad de áreas silvestres protegidas, donde se vela por la protección de la flora y la fauna que las habitan. Desafortunadamente, a pesar de los esfuerzos de algunas instituciones gubernamentales como el MINAE, existen personas inescrupulosas que no respetan las leyes e invaden estas zonas realizando tala y caza ilegal. A raíz de esto la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica está desarrollando un proyecto que pretende mitigar este problema.

Este proyecto está relacionado con el diseño ASIC de un sistema electrónico integrado en un chip (SoC) para el reconocimiento de patrones de disparos y motosierras en una red inalámbrica de sensores para la protección ambiental.

Uno de los módulos de este chip es el ADC, el cual es el encargado de convertir las señales analógicas recibidas por los sensores en señales digitales para su posterior procesamiento por los otros módulos del chip. Este trabajo se enfoca en el diseño del módulo ADC.

Como el convertidor A/D forma parte de un sistema que se implementará en zonas boscosas donde la alimentación de energía al sistema es limitada, el diseño pretende obtener un ADC de muy bajo consumo energético.

1.1. Estructura del documento

Para facilitar el proceso de lectura este documento se separó en capítulos de manera que estos cubran cada etapa del desarrollo del proyecto. En el capítulo 2 se plantean la meta y los objetivos del proyecto. En el capítulo 3 se presenta el marco teórico, donde se expone la descripción de los fundamentos teóricos necesarios para la solución del problema. En el capítulo 4 se expone el procedimiento metodológico seguido para el desarrollo del proyecto. En el capítulo 5 se muestra el proceso de diseño del sistema. En el capítulo 6 se muestra el análisis de resultados del diseño del convertidor. Finalmente en el capítulo 7 se presentan las conclusiones obtenidas y las recomendaciones del proyecto.

Capítulo 2. Meta y objetivos

2.1. Meta

Diseño ASIC de un sistema electrónico integrado en un chip (SoC) para el reconocimiento de patrones de disparos y motosierras en una red inalámbrica de sensores para la protección ambiental.

2.2. Objetivo general

Diseñar un circuito microelectrónico en tecnología CMOS que convierta una señal analógica en una señal digital con un bajo consumo de potencia.

2.3. Objetivos específicos

1. Definir las necesidades del ADC en cuanto a distorsión total armónica, SNR, error de *offset*, resolución y muestreo, de manera que estas características se presenten en mejores condiciones que las que se encuentran en un ADC comercial de bajo costo.
2. Diseñar un ADC en tecnología CMOS con una estructura que cumpla con las necesidades previstas en el punto anterior.

Capítulo 3. Marco teórico

3.1. Descripción de las topologías de ADC y descripción detallada de la solución seleccionada

3.1.1. Arquitecturas ADC

El objetivo principal de este proyecto es el diseño de un convertidor analógico digital de bajo consumo de potencia, con una frecuencia de operación de 48 kHz y una resolución de 10 bits (Valverde [1]). Además por tratarse de un diseño VLSI también es importante considerar el factor área.

Se estudiaron las diversas topologías de ADCs, para determinar cual de ellas es la más óptima para el diseño del convertidor. La selección de la arquitectura depende de la precisión requerida, la resolución, y el consumo de potencia.

En el marco teórico de este documento se muestra la investigación que se realizó para la selección del convertidor, que se centró en cuatro arquitecturas (Delta-Sigma, segmentado, *flash*, y aproximaciones sucesivas).

En la figura 3.1 se puede ver la distribución de las diversas topologías en cuanto a su frecuencia de operación y la resolución. A continuación se detallarán las características de estas arquitecturas para posteriormente seleccionar la que mejor se ajustó a los requerimientos mencionados anteriormente.

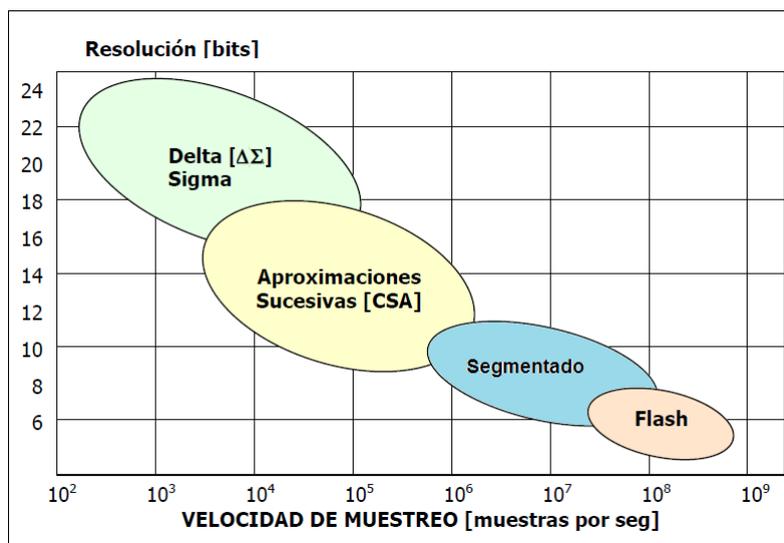


Figura 3.1: Rangos de operación de las arquitecturas de ADC en cuanto a su resolución y velocidad de muestreo (tomada de [2]).

ADC flash

La arquitectura de este convertidor se basa en los comparadores de 1 bit, que son elementos básicos de todos los ADC. En la figura 3.2 se muestra un ejemplo de un convertidor *flash* de 3 bits.

La ventaja de este convertidor es su velocidad, ya que la conversión se hace en forma paralela, por ello es considerado el convertidor más rápido.

Sus desventajas es que ocupa $2^{(N-1)}$ comparadores, lo que se refleja en el diseño en un alto consumo de potencia, mucha área y lo hace bastante caro para aplicaciones de alta resolución (Bhatia [3], Baker [5]).

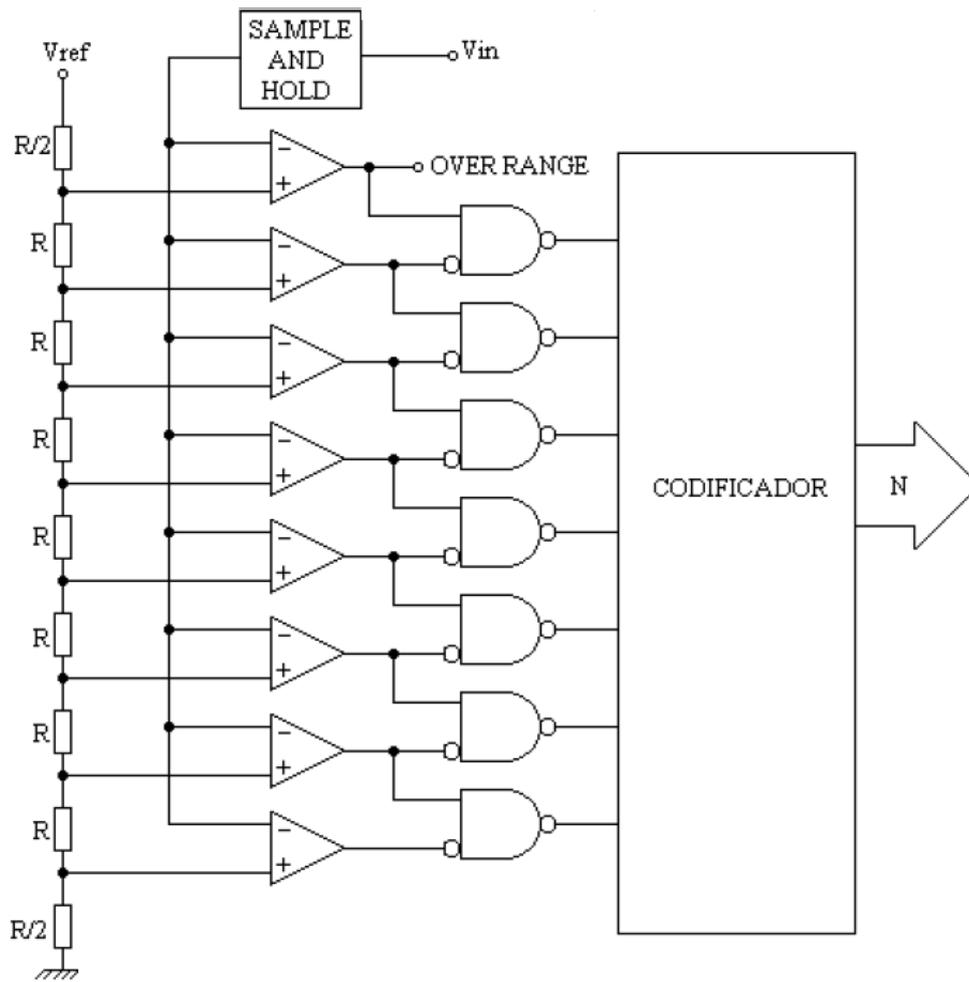


Figura 3.2: Diagrama de bloques para un ADC flash con una resolución de 3 bits (tomada de [2]).

ADC segmentado

Como se muestra en la figura 3.3 el ADC segmentado es un convertidor de N etapas en cascada, con un bit de conversión por cada una de ellas. Cada una consiste en un comparador, un circuito de muestreo y retención, un sumador y un amplificador con una ganancia de 2.

La principal ventaja de esta topología es su alto rendimiento, ya que después de una latencia de N ciclos de reloj, se lleva a cabo una conversión por ciclo. Mientras el residuo de la primera etapa está siendo usado por la segunda, la primera está lista para ser utilizada con las siguientes muestras. Cada etapa funciona con el residuo

de la anterior, lo que permite una conversión rápida.

Su desventaja es que debe esperar N ciclos de reloj al principio para iniciar la conversión, y que la exactitud del convertidor depende de las primeras etapas.

La arquitectura segmentada brinda la mejor solución de compromiso entre velocidad, superficie y consumo de potencia, comparada con otras soluciones (Sampaulo [2], Bhatia [3], Baker [5]).

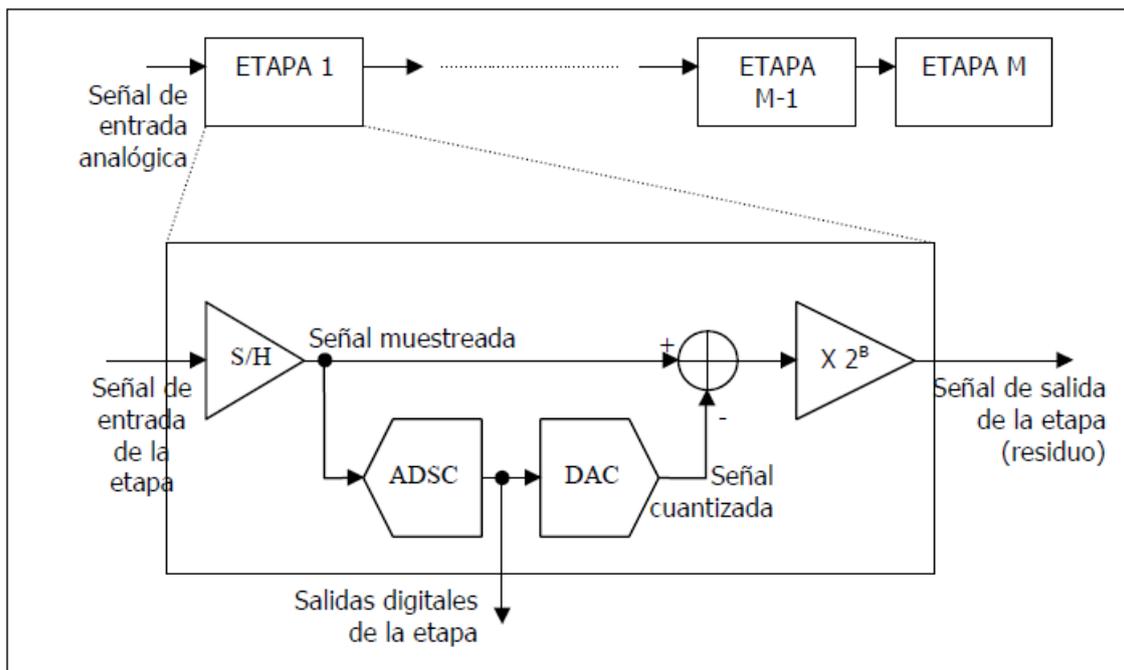


Figura 3.3: Diagrama de bloques para un ADC segmentado de M bits (tomada de [2]).

ADC Delta-Sigma

Este método de conversión se utiliza en aplicaciones donde se ocupa una alta resolución y velocidad media. Se caracteriza por que su parte analógica no requiere tanta precisión, pero su parte digital es más compleja. En esta arquitectura se utilizan técnicas de procesamiento digital de señales en vez de componentes análogos y precisos.

Es un convertidor de submuestreo, lo que significa que su frecuencia de muestreo es mucho mayor a la frecuencia de Nyquist, al menos cientos de veces la frecuencia de la señal de entrada.

Se caracteriza por tener un consumo de potencia bajo, y tener poco hardware (Baker [5], Bejega [6]). En la figura 3.4 se muestra el diagrama de bloques de esta topología.

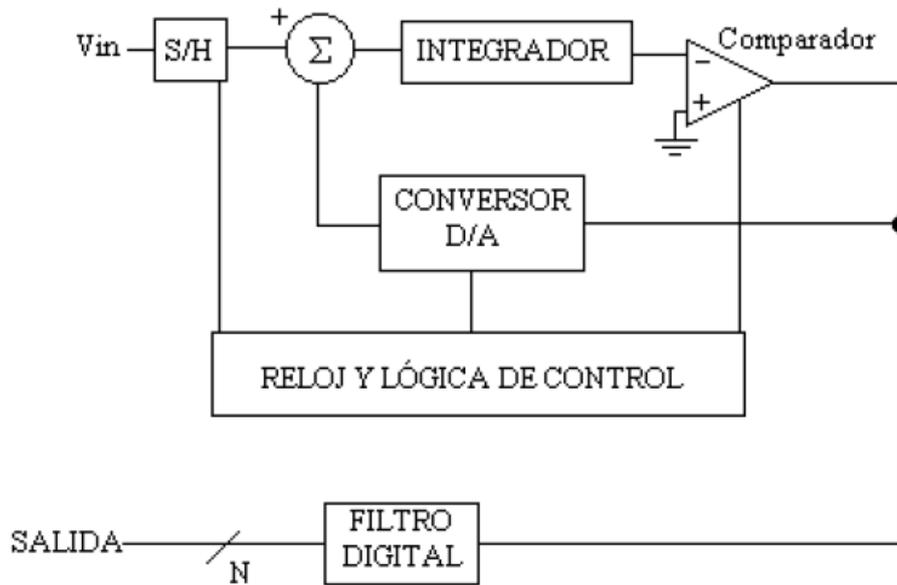


Figura 3.4: Diagrama de bloques para un ADC Delta-Sigma de N bits (tomada de [6]).

ADC aproximaciones sucesivas

El conversor SAR es una arquitectura que puede brindar altas resoluciones. A expensas de una menor frecuencia de muestreo, se logra incrementar la cantidad de bits sin necesidad de aumentar el área de chip ocupada.

Para realizar el proceso de conversión en un SAR, la señal analógica debe muestrearse y retenerse previamente al proceso de conversión. Si N es la cantidad de bits del conversor SAR, se necesitan N+1 ciclos de reloj para obtener el resultado de la conversión. Una vez obtenido el resultado de la conversión del SAR, se procede a la toma de una nueva muestra de la señal analógica de entrada. Por lo tanto el muestreo se realiza cada N+1 ciclos de reloj, y por ello la frecuencia de muestreo se ve disminuida en esta arquitectura.

Esta topología es una de las más usadas hoy en día en aplicaciones de resolución media, velocidad media, y cuando se requiere un bajo consumo de potencia. El cir-

cuito implica poco hardware y fácil implementación del mismo. Este consiste en un comparador de flanco, un arreglo de capacitores que cumple la función de DAC y de circuito de muestreo y retención, un registro SAR y un bloque de control de interruptores.

Por todas estas razones es que se eligió esta topología de convertidor para este proyecto, pues las características de éste cumplen con una resolución y una velocidad media, un bajo consumo de potencia, y un área pequeña del chip. Por ello se profundizará en la explicación del funcionamiento del ADC SAR (Sampaolo [2], Baker [5], Scott [7]) . En la figura 3.5 se muestra el diagrama de bloques de esta topología.

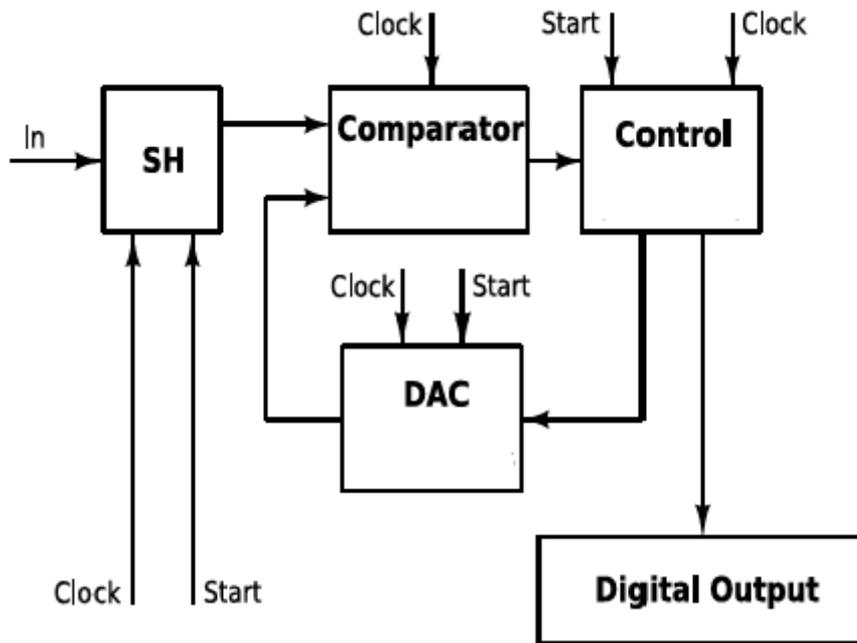


Figura 3.5: Diagrama de bloques de ADC SAR (tomada de [8]).

3.1.2. Funcionamiento del ADC de aproximaciones sucesivas

Antes de adentrarnos en los resultados del diseño de este convertidor, se explicará a continuación de una manera detallada su funcionamiento.

La conversión consiste en tres etapas, una de muestreo, otra de inversión, y otra de distribución de cargas. Todas se realizan en un lapso de tiempo de $N+1$ ciclos de

reloj, donde N es el número de bits del convertidor a su salida.

En el primer ciclo de reloj se lleva a cabo la etapa de muestreo y la de inversión, la primera en el ciclo positivo de la señal de reloj, y la segunda en el ciclo negativo; los demás ciclos de reloj son utilizados para el proceso de distribución de cargas (Sheung-Yan [9], Ying-Ting [4]).

En la figura 3.6 se muestra las curvas de las señales de muestreo e inversión, y su relación con la señal de reloj, para una ADC de 4 bits.

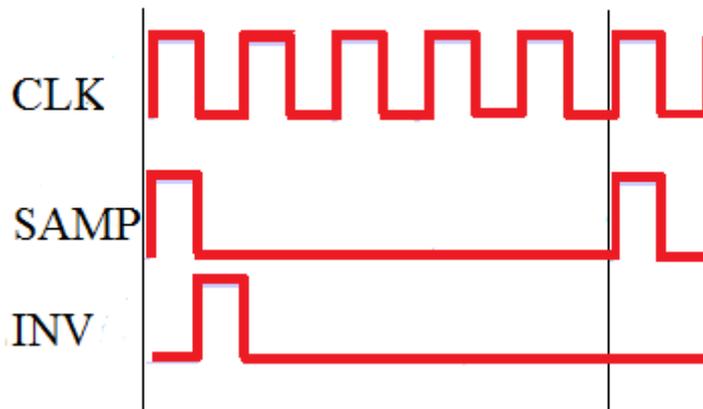


Figura 3.6: Señales de reloj, muestreo e inversión para el proceso de conversión de analógico a digital en un ADC SAR de 4 bits.

Como se puede apreciar en la figura 3.7 el ADC está conformado por un arreglo de capacitores, y una serie de interruptores que se ubican tanto en la parte superior del arreglo como en la inferior. Estos son contralados por una lógica SAR. Los conmutadores de la parte inferior varían entre cuatro valores de voltaje, que son V_{in} (voltaje de la señal de entrada), V_{ref} (voltaje de referencia V_{DD}), V_{cm} (Voltaje común igual a $V_{DD}/2$), y GND (tierra del circuito). El conmutador de la línea superior solo varía entre V_{cm} y una conexión al aire.

Dependiendo de las entradas a las que se conecten estos interruptores se obtienen los diferentes modos del convertidor (Raouf [8], Sheung-Yan [9], Yan-Zhu [10], Microchip [11], Mootaz [13]).

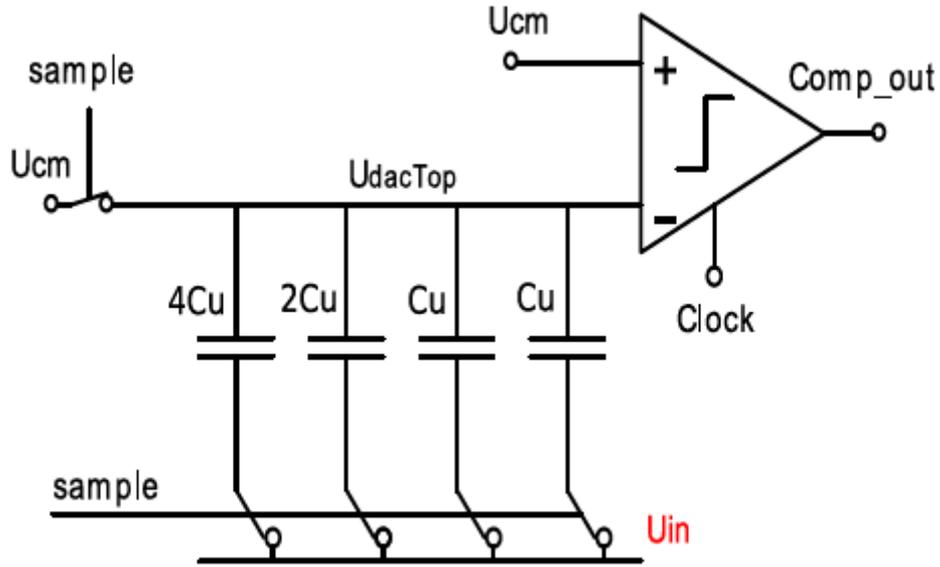


Figura 3.7: Bloques de comparador, interruptores, y arreglo de capacitores para ADC SAR de 4 bits (tomada de [8]).

- Modo de muestreo: Se lleva a cabo en el primer ciclo positivo de la señal de reloj como se muestra en la figura 3.6.

El conmutador de cima se conecta a V_{cm} y los del fondo se conectan a V_{in} . El voltaje que se carga en el arreglo de capacitores es:

$$V_C = V_{cm} - V_{in} \quad (3.1)$$

y en la placa superior es:

$$V_{DACTop} = V_{cm} \quad (3.2)$$

donde V_{DACTop} es el voltaje en la parte superior del arreglo de capacitores, V_{cm} es $V_{DD}/2$ y V_C es el voltaje en los capacitores.

- Modo de inversión: Se realiza en el ciclo negativo del primer periodo del reloj, el conmutador de cima no se conecta a nada, y los conmutadores de fondo se conectan a V_{cm} .

La salida del comparador en este modo representa el bit más significativo de la conversión. El voltaje que se encuentra en la placa superior de los capacitores en el modo de inversión es:

$$V_{DacTop} = V_{DD} - V_{in} \quad (3.3)$$

Ya teniendo el valor de V_{DACtop} que es el voltaje en la terminal negativa del comparador, el cual tiene V_{cm} en su terminal positiva, se realiza la comparación; si $V_{in} > V_{cm}$ el MSB sera un 1 lógico y de lo contrario será un 0.

- Modo de cargas distribuidas: Acontece en los siguientes N ciclos de reloj, donde N es el número de bits del convertidor, y depende de la salida del comparador. Al inicio de este modo todos los interruptores de la parte inferior del arreglo de capacitores están conectados a V_{cm} . Empezando con el conmutador del bit más significativo hasta llegar al menos significativo, los interruptores se conectan a V_{ref} o a GND dependiendo de la salida del comparador. Si la salida es un 1 lógico el conmutador se conecta a V_{ref} , de lo contrario se conecta a GND . Para un mayor entendimiento a continuación en la figura 3.8 se presenta un diagrama de flujo del funcionamiento de los interruptores del ADC .

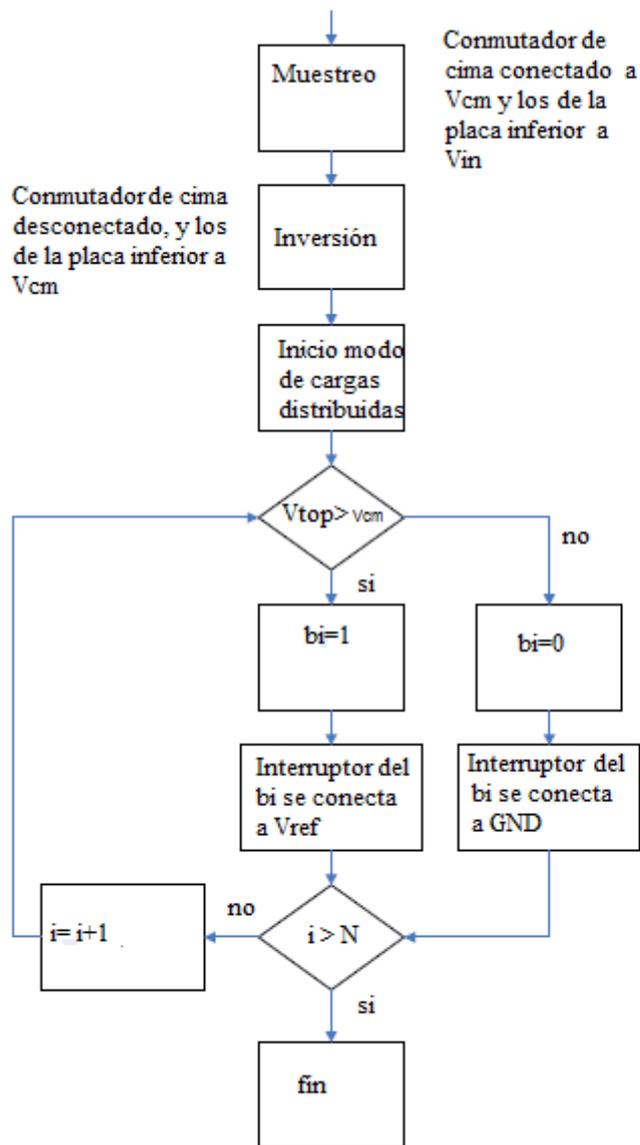


Figura 3.8: Diagrama de flujo del funcionamiento de un ADC de aproximaciones sucesivas de N bits (tomada de [9]).

En este modo de cargas distribuidas como ya se mencionó anteriormente hay dos caminos: uno cuando la salida del comparador es un 1 lógico, y otro cuando es un 0. A continuación se hace el análisis de voltajes y de cargas de una manera ilustrativa para ambos casos, utilizando el convertidor de 4 bits de la figura 3.7:

- MSB=1:

Si la salida del comparador en el modo de inversión es un 1 lógico, el conmutador MSB del arreglo de capacitores se conecta a $V_{ref} = V_{DD}$, lo que resulta en un circuito equivalente de dos capacitores, que comparten la parte superior con capacitancias iguales a $4C$; la parte inferior de un capacitor conectada a V_{DD} y la del otro a V_{cm} . Esto significa una carga inicial en los capacitores de:

$$Q_i = 4C\left(\frac{V_{DD}}{2} - V_{in}\right) \quad (3.4)$$

Puesto que ambos capacitores y sus cargas son iguales, su carga inicial se distribuye solo en función de la tensión en su placa inferior, no en función de su valor capacitivo.

$$Q_{i_{c1}} = Q_{i_{c2}} \quad (3.5)$$

Al conmutar la carga final en C_1 es:

$$Q_{f_{c1}} = (V_{DAC_{top}} - V_{DD})4C \quad (3.6)$$

y como

$$\Delta Q = (Q_i - Q_f) \quad (3.7)$$

$$\Delta Q = 4C\left(\frac{V_{DD}}{2} - V_{in} - V_{DAC_{top}} + V_{DD}\right) \quad (3.8)$$

Luego para el capacitor C_2 es:

$$Q_{f_{c2}} = \left(V_{DAC_{top}} - \frac{V_{DD}}{2}\right)4C \quad (3.9)$$

$$Q_{f_{c2}} = (Q_i - \Delta Q) \quad (3.10)$$

Despejando:

$$V_{DAC_{top}} = (V_{DD} - V_{in}) \quad (3.11)$$

y

$$Qf_{c2} = 4C(V_{DD} - V_{in}) \quad (3.12)$$

El comparador realiza la resta $\frac{V_{DD}}{2} - V_{DACtop}$ que sustituyendo sería $\frac{V_{DD}}{2} - (V_{DD} - V_{in})$, si $V_{in} > \frac{V_{DD}}{2}$ el bit se pone en 1 lógico , de lo contrario en 0.

■ MSB=0:

Si la salida del comparador en el modo de inversión es un 0, el conmutador MSB del arreglo de capacitores se conecta a GND , lo que resulta en un circuito equivalente de dos capacitores que comparten su parte superior, con capacitancias iguales a $4C$, y la parte inferior de uno conectada a GND y la del otro a V_{cm} . Nuevamente la carga inicial de los capacitores dependerá de la tensión en las placas inferiores de los capacitores.

$$Q_i = 4C\left(\frac{V_{DD}}{2} - V_{in}\right) \quad (3.13)$$

$$Q_{i_{c1}} = Q_{i_{c2}} \quad (3.14)$$

Al conmutar la carga final en C_1 es:

$$Qf_{c1} = (V_{DACtop})4C \quad (3.15)$$

y como

$$\Delta Q_{c1} = (Q_i - Q_f) \quad (3.16)$$

$$\Delta Q_{c1} = 4C\left(\frac{V_{DD}}{2} - V_{in} - V_{DACtop}\right) \quad (3.17)$$

Luego para el capacitor C_2 es:

$$Qf_{c2} = (V_{DACtop} - \frac{V_{DD}}{2})4C \quad (3.18)$$

$$Qf_{c2} = (Q_{i_{c2}} + \Delta Q) \quad (3.19)$$

Despejando:

$$V_{DACtop} = \left(\frac{3V_{DD}}{4} - V_{in}\right) \quad (3.20)$$

$$Qf_{c2} = 4C(V_{DD} - 2V_{in} - V_{DACtop}) \quad (3.21)$$

y

$$Qf_{c2} = 4C\left(\frac{V_{DD}}{4} - V_{in}\right) \quad (3.22)$$

El comparador realiza la resta $\frac{V_{DD}}{2} - V_{DACtop}$ que sustituyendo sería $\frac{V_{DD}}{2} - \frac{3V_{DD}}{4} - V_{in}$; si $V_{in} > \frac{V_{DD}}{4}$ el bit se pone en 1, de lo contrario la respuesta es un 0.

Este proceso se repite N veces, donde N es el número de bits del convertidor.

Capítulo 4. Metodología

En este capítulo se describen los pasos que se siguieron para la realización del diseño de convertidor analógico digital.

- Especificación del diseño: se determinaron las características del ADC, se estudian las alternativas del diseño, y se selecciona la más óptima para las necesidades indicadas.
- Descripción Verilog: se realizó la descripción Verilog de la parte digital del circuito.
- Simulación digital: se validó la descripción Verilog mediante simulación para comprobar su funcionamiento.
- Síntesis: puesto que no se poseía una herramienta de síntesis adecuada para el proceso CMOS escogido, el diseño de la FSM se hizo manualmente.
- Simulación analógica: se realizaron simulaciones del diseño de la FSM y se compararon con la versión realizada en Verilog para comprobar su funcionamiento.
- Descripción parte analógica: se diseñó la parte analógica del circuito.
- Integración de ambas partes y simulación final: se integró tanto la parte de la FSM con la parte analógica y se realizaron simulaciones finales a nivel de esquemático.

Capítulo 5. Diseño del sistema

En la presente sección se recopilan los resultados obtenidos durante la realización del proyecto. En el marco teórico de este documento se discutió acerca de las distintas arquitecturas de convertidores analógicos digitales, y tomando en cuenta los requerimientos del sistema de una frecuencia de muestreo de 48 kHz, una resolución de 10 bits, y un bajo consumo de potencia (Valverde [1]), se escogió la arquitectura ADC de aproximaciones sucesivas.

El diseño está conformado por una parte digital y otra analógica. En la figura 3.7 se muestra el ADC de aproximaciones sucesivas.

A continuación se mencionan los detalles del diseño e implementación de cada uno de los bloques principales del ADC (el comparador, el arreglo de capacitores, la lógica de control de conmutadores, y el temporizado del circuito).

5.1. Comparador de cerrojo

El comparador es uno de los componentes más importantes en esta arquitectura de ADC. El diseño que se utilizó en este proyecto es el que se publicó en (Venuto [12]). El comparador está construido para trabajar a altas velocidades de reloj, dando un bajo consumo de potencia.

Este consiste en dos etapas, una de entrada y otra de salida. La de salida consiste en dos compuertas NOR, que funcionan como un *flip-flop SR-NOR*. En la figura 5.1 se muestra el comparador que se utilizó, y en la tabla 5.1 se muestra el comportamiento del *flip-flop*.

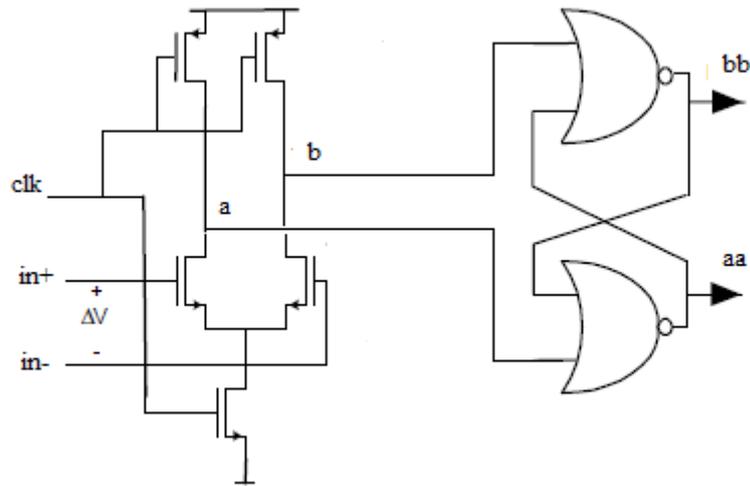


Figura 5.1: Esquemático del bloque comparador de cerrojo utilizado en el diseño del ADC SAR (tomado de [12]).

Tabla 5.1: Tabla de la verdad de *flip-flop SR-NOR*

S	R	Estado
0	0	no hay cambio
0	1	reset
1	0	set
1	1	no válido

Cuando el reloj está en bajo, todos los nodos de la entrada del par diferencial están en alto y las dos compuertas NOR tiene salidas en bajo. La comparación se realiza en el flanco positivo del reloj, el transistor NMOS de la cola del diferencial se enciende y los dos transistores PMOS se apagan. Mientras el reloj se encuentra en alto los nodos de salida a y b se ponen en bajo. De esta manera las compuertas NOR trabajan como *flip-flop*, tal y como se muestra en la tabla 5.1. Cuál de los nodos a o b se va a bajo primero determina el estado final.

El nodo que se va a bajo primero es controlado por la entrada de voltaje ΔV que corresponde a la diferencia de voltaje entre las entradas $in_+ - in_-$.

En la figura 5.2 se observa una simulación del comportamiento del comparador ante una señal de entrada de voltaje senoidal. Se muestran la señal de reloj, la señal senoidal junto con el voltaje de referencia y la salida del comparador. El consumo de potencia de este elemento simulado es de 74.82 pW.

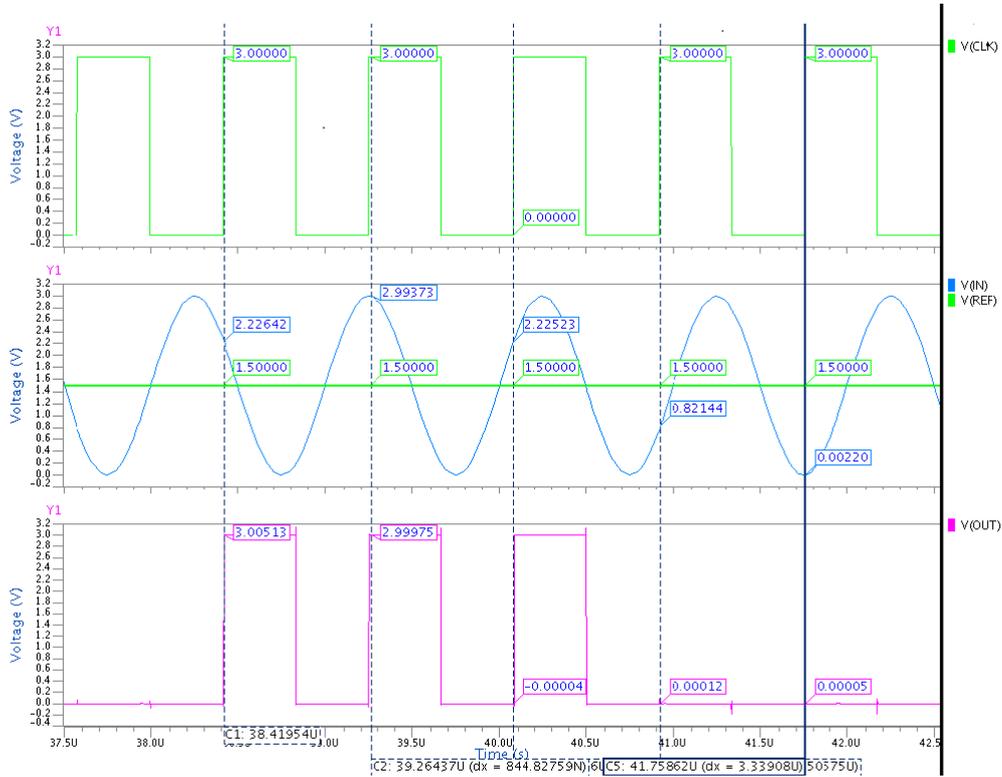


Figura 5.2: Curva de salida del comparador ante una señal de entrada senoidal y una señal de reloj a una frecuencia de 48 kHz (tomada de simulación de esquemático en Mentor Graphics).

5.2. Arreglo de capacitores

El comportamiento y el fundamento matemático del arreglo de capacitores ya se explicó en el marco teórico. En la figura 5.3 se muestra el dimensionamiento de estos mismos; de izquierda a derecha se encuentran los capacitores más significativos, es decir, el primero a la izquierda corresponde al MSB y el último a la derecha corresponde al LSB.

Los dos capacitores que corresponden a los bits menos significativos se dimensionan

con una capacitancia unitaria C_u , y todos los demás se dimensionan con el doble del tamaño del capacitor que se encuentra a su derecha.

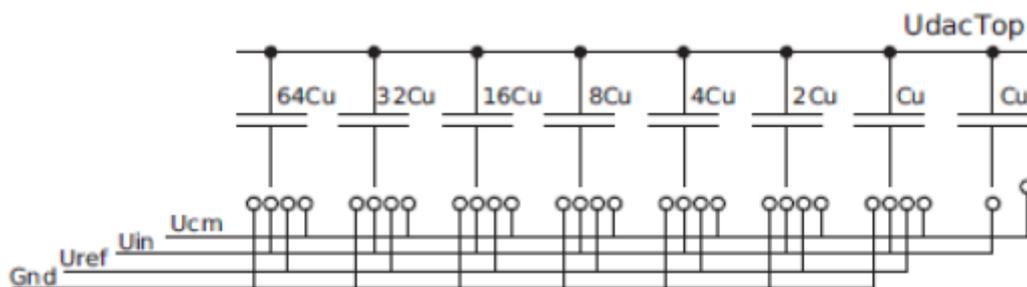


Figura 5.3: Arreglo de capacitores para ADC de 8 bits (tomada de [8])

La exactitud del convertidor depende primordialmente del dimensionamiento y el ruido presente en el arreglo de capacitores. Se deben utilizar capacitores poly-poly, con la parte superior del arreglo de los capacitores actuando como un cima común, lo que minimiza las capacitancias parásitas en la entrada del comparador, que provocan atenuaciones en la señal de voltaje (Raouf [8]).

5.2.1. Arreglo capacitivo partido (Split capacitive array)

El uso del arreglo capacitivo partido, sustituye al arreglo de capacitores visto en este capítulo en las secciones anteriores, pues ayuda significativamente a reducir el consumo de potencia, al reducir la capacitancia total del arreglo.

El método utilizado en la conmutación del arreglo de capacitores no es el método tradicional (*set and down*), sino que se utiliza el llamado *V_{cm} -based switching* (conmutación basada en V_{cm}), y tiene la ventaja que reduce el consumo de potencia en 1/3 con respecto al método *set and down*. Esta diferencia se da por la secuencia de conmutación, que esta optimizada para reducir el consumo de potencia (Yan-Zhu [14], Boschker [15], Ginsburg [16], Yan-Chan [17]).

Al usar la combinación de arreglo capacitivo partido y conmutación basada en V_{cm} es posible eliminar el capacitor más significativo del arreglo. En la figura 5.4 se muestra como queda el arreglo capacitores al usar esta técnica, y se ve como se reduce el arreglo comparado con el de la figura 5.3.

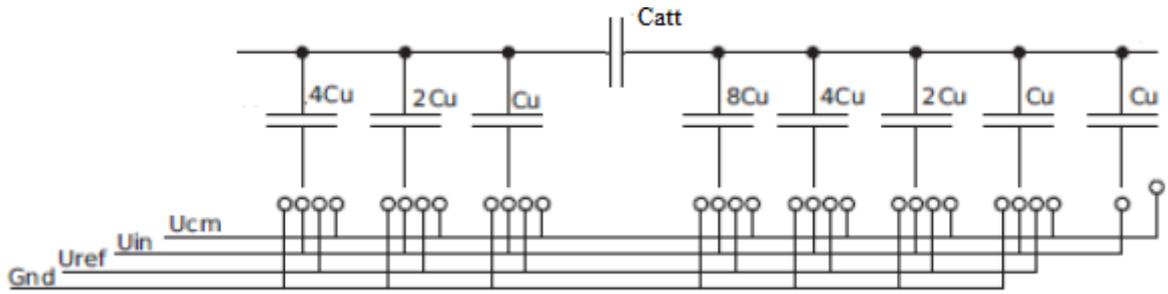


Figura 5.4: Dimensionamiento del arreglo capacitivo partido para un ADC de 8 bits (tomada de [8]).

La capacitancia de atenuación del *capacitor split array* C_{Att} se calcula con:

$$C_{Att} = \frac{\sum LSB_s}{\sum MSB_s} C_u \quad (5.1)$$

donde LSB_s corresponde a los capacitores a la derecha del C_{Att} y los MSB_s los que se encuentran a la izquierda.

5.3. Diseño lógica de control SAR

El diseño de la lógica de control SAR consiste en tres bloques principales que se muestran en la figura 5.5. Estos bloques son el registro de desplazamiento, el registro de salida, y el control de conmutadores.

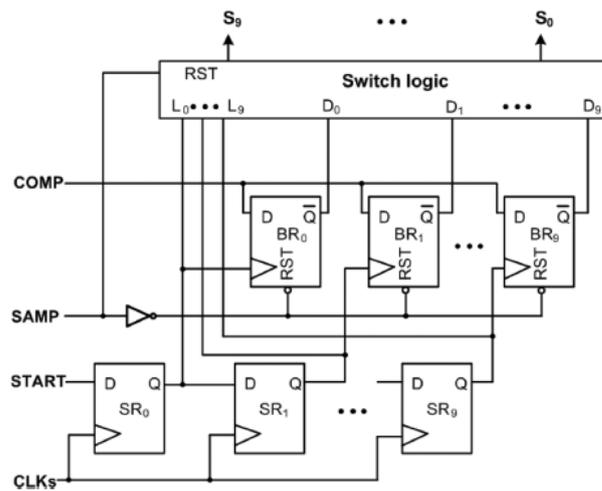


Figura 5.5: Bloque de control SAR para un ADC de 10 bits (tomada de [14]).

5.3.1. Bloque registro de desplazamiento

Una señal *start* en la entrada *D* del registro indica el inicio de la conversión. Esta señal se mantiene en alto desde el inicio del modo de inversión, hasta el flanco negativo del primer periodo de cargas distribuidas. La señal de reloj que entra a este bloque, se encarga de iniciar el corrimiento del bit en el registro, generando las señales que se encargan de guardar los datos provenientes del comparador en el registro de salida.

Este bloque se diseñó con registros estáticos, del tipo mostrado en la figura 5.6. Cada registro consume una potencia de 211,5 pW, y el registro de corrimiento completo consume 2,56nW.

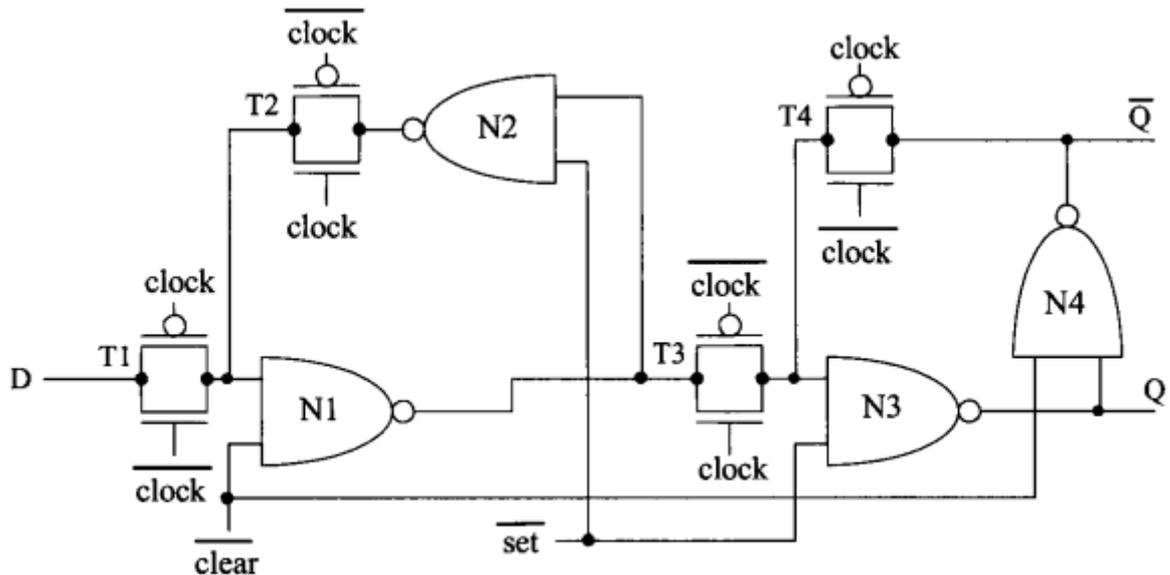


Figura 5.6: Esquemático de registro estático con set y reset asincrónico utilizado en el registro de desplazamiento (tomada de [5]).

5.3.2. Bloque de registros de salida

Este bloque es el que se encarga de almacenar los bits de salida del convertidor. A este van conectadas las señales provenientes del bloque registro de desplazamiento, las que tienen la función de guardar los bits que provienen del comparador, tal como

se muestra en la figura 5.5. Para el diseño se utilizaron registros estáticos.

5.3.3. Bloque de control de conmutadores

Este bloque es el encargado de controlar las secuencias de conexión de los interruptores del arreglo de capacitores. Inicialmente este bloque fue diseñado mediante una descripción Verilog. Al no existir una herramienta de síntesis, se tuvo luego que construir su equivalente en esquemáticos. La ventaja del diseño personalizado de esta etapa, es que se obtuvo un menor consumo de potencia al que generaría el uso de celdas estándar que no están optimizadas en potencia.

El diseño de este bloque se divide en tres sub-bloques: un contador, un codificador, y una etapa de conmutadores que es controlada por las salidas del codificador.

Bloque contador: el contador que se diseñó fue implementado con código Gray. Así se pretendía reducir el consumo de potencia del contador. El contador cuenta con 12 estados, uno para la descarga de los capacitores del arreglo, otro para el modo de muestreo e inversión, y el resto para el modo de distribución de cargas. El estado de descarga de capacitores, no es parte del protocolo de conversión, este se agregó solamente para tener seguridad que los capacitores están descargados al inicio de cada conversión.

Inicialmente este contador fue implementado con registros dinámicos C^2MOS , y su funcionamiento fue correcto, pero a la hora de medir el consumo de potencia este fue de 3,78 mW, un consumo de potencia demasiado alto para los propósitos del convertidor, de bajo consumo.

Ante esta situación se cambiaron los registros C^2MOS por registros Maestro-Esclavo estáticos, lo que disminuyó el consumo de potencia a 1,40 nW. Los registros estáticos utilizados son los mismos que se utilizaron para el bloque del registro de desplazamiento y el registro de salida.

Bloque codificador: Como se muestra en la figura 5.7, el bloque del codificador está conformado por siete entradas (clk , rst , $comp$, y $q3$, $q2$, $q1$, $q0$) que corresponden a las salidas del contador y 32 salidas (20 para el control de interruptores, $start$ que indica cuando se inicia la conversión, la señal inv que indica que se esta en el modo de inversión, la señal $muestreo$ que indica cuando se esta muestreando, la señal $listo$ que indica fin de conversión, y diez señales $L9-L0$ que son generadas para la ruta de datos del control de los conmutadores).

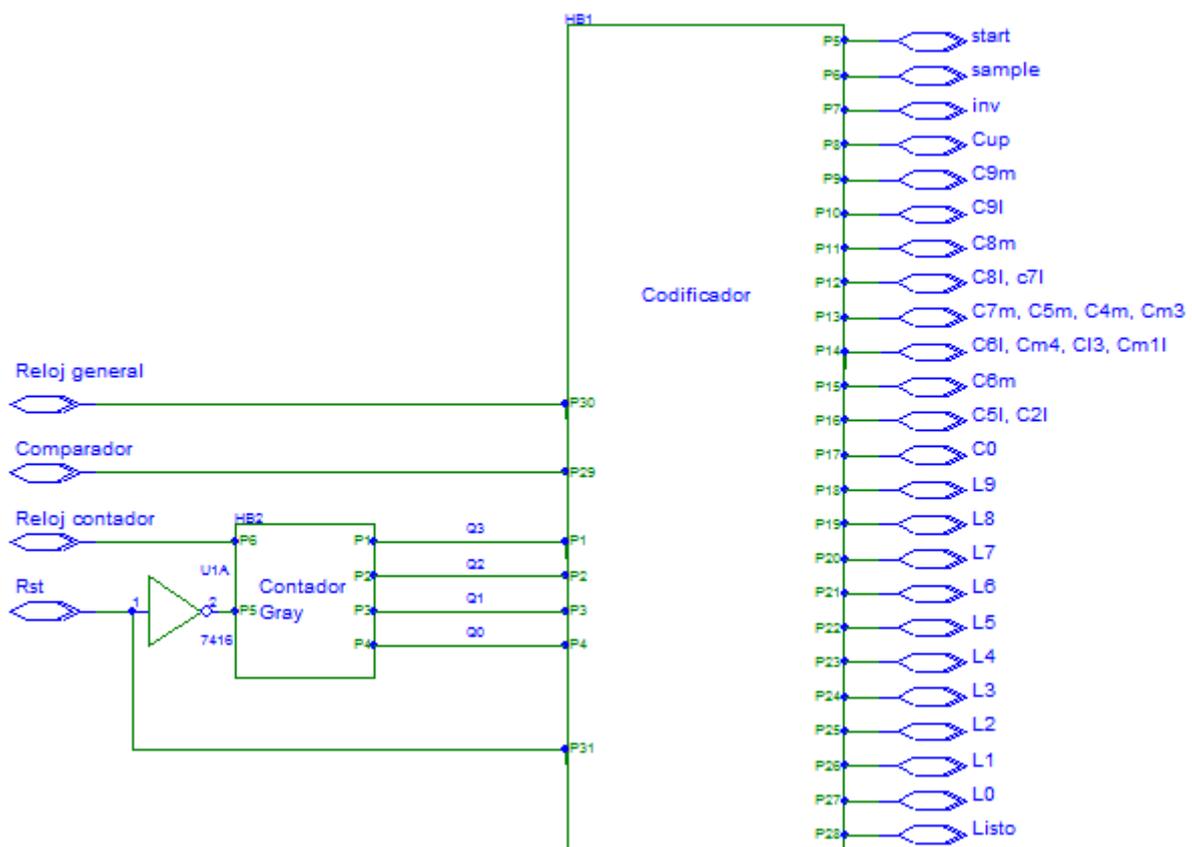


Figura 5.7: Diagrama de bloques del contador y el codificador utilizados en el diseño del ADC SAR

Este codificador fue implementado mediante el uso de la herramienta Logic Friday, que genera ecuaciones lógicas y sus respectivos circuitos a partir de las tablas de la verdad de un determinado diseño (Rickman [18]).

Las 20 señales que se generan para el control de interruptores están divididas en dos partes: una que corresponde al conmutador de cima y otra a los conmutadores del fondo del arreglo de capacitores.

Las señales $L9-L0$ simplemente son las salidas de otro codificador, que tiene como entradas las salidas del contador. Estas señales son utilizadas por la rutas de datos para guardar las señales de control de interruptores en los registros.

Ruta de datos: como ya se mencionó con anterioridad, el modo de muestreo comparte el mismo ciclo de reloj con el modo de inversión. El contador trabaja únicamente en flancos positivos de reloj, lo que presenta un ligero problema en el diseño al momento de entrar en el modo de inversión, que trabaja en el flanco negativo del segundo ciclo de reloj de la conversión. Para solucionar este problema se tuvo que implementar una lógica adicional en la ruta de datos.

En el modo de descarga de capacitores, tanto el interruptor de la cima del arreglo, como todos los del fondo deben estar conectados a V_{CM} . En el modo de muestreo el conmutador de la cima no se conecta a nada, y los del fondo se conectan a V_{in} . En el modo de inversión los capacitores del fondo se conectan a V_{CM} y luego inicia el proceso de conversión que dependiera de la salida del comparador.

El circuito de la ruta de datos consta en las entradas de todas las salidas del codificador de la sección anterior, y adicionalmente se le agregan dos señales, una a la que se le llama *sampdesc* y otra *inv*, que son señales de selección de los muxes.

La señal *sampdesc* permanece en alto en el ciclo de reloj de descarga y en el modo de muestreo, que corresponde al ciclo positivo del segundo periodo del reloj de la conversión, y la señal *inv* permanece en alto durante el modo de inversión. Las señales $L9-L0$ son las encargadas de activar los registros que se muestran en el circuito de la figura 5.9, donde se almacenan los datos provenientes de las 20 señales de control de interruptores.

Mientras la señal *sampdesc* se encuentra en alto y la *inv* en bajo, los muxes del circuito dejan pasar la señal que viene directa de las salida del codificador. Cuando *sampdesc* se encuentra en bajo y la señal *inv* en alto, los muxes dejan pasar la

señales de control necesarias para el modo de inversión, que son V_{DD} o GND que son entradas del mux. Cuando ambas señales están en bajo, el mux deja pasar las señales que se almacenaron en los registros.

El algoritmo que se utiliza para guardar los datos en los registros es el siguiente: cada vez que un bit ha sido procesado por el convertidor debe quedar guardado y no cambiar hasta que se lleve a cabo una nueva conversión. Recordemos que durante el modo de inversión el comparador ya tiene en la salida el bit válido para ser almacenado. Entonces el inicio del modo de distribución de cargas, se ve marcado por la señal $L9$, que es común para cargar todos los registros con la señales que vienen del codificador. De esta manera cuando la señal $L9$ se activa, se almacenan en los registros las señales de control del MSB que coincidan con la salida del comparador, y en el resto de los registros se almacena las señales de control necesarias para obtener V_{CM} . A partir de este punto todos los registros tendrán las señales de V_{CM} excepto el MSB que corresponde a la respuesta de conversión del primer bit. Luego cuando se activa $L8$ se guardan las señales de control que permiten coincidir con la respuesta del comparador en los registros del bit 8, dejando las señales del bit 9 sin modificar, ya que este fue procesado en el ciclo de reloj anterior. Esto se realiza para cada interruptor, hasta llegar al LSB.

Es importante tener claro para la siguiente etapa del convertidor que por cada bit se necesitan dos señales de control, por ejemplo el bit 9 requiere de $c9m$ y $c9l$. Entonces, se utilizan dos señales de control por bit, porque en el bloque de interruptores se implementan muxes 4 a 1 con dos señales de selección, para de esta forma multiplexar las señales GND , V_{ref} , V_{IN} , y V_{CM} . En la tabla 5.2 se muestra las señales de selección necesarias para multiplexar las 4 señales anteriormente mencionadas. En las figuras 5.8 y 5.9 se muestra el diagrama de bloques del diseño de la ruta de datos. En esta etapa se usaron registros C^2MOS , el esquemático de estos registros se muestra en la figura 5.10.

Tabla 5.2: Señales de selección de muxes para el multiplexado de las señales GND , V_{ref} , V_{CM} , y V_{IN}

C_M	C_L	Señal
0	0	GND
0	1	V_{ref}
1	0	V_{CM}
1	1	V_{IN}

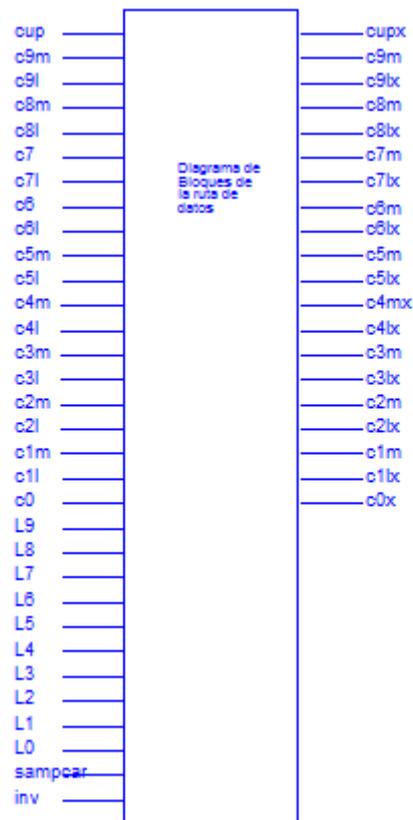


Figura 5.8: Diagrama de bloques de la lógica de ruta de datos utilizada en el diseño del ADC SAR

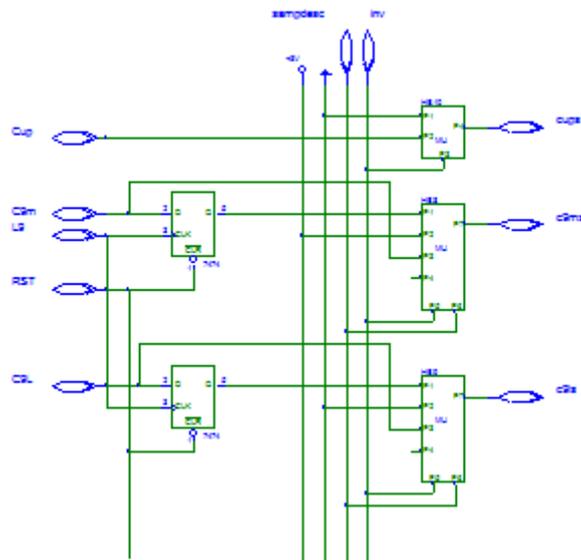


Figura 5.9: Diagrama de bloques de la lógica interna del bloque ruta de datos utilizada en el diseño del ADC SAR

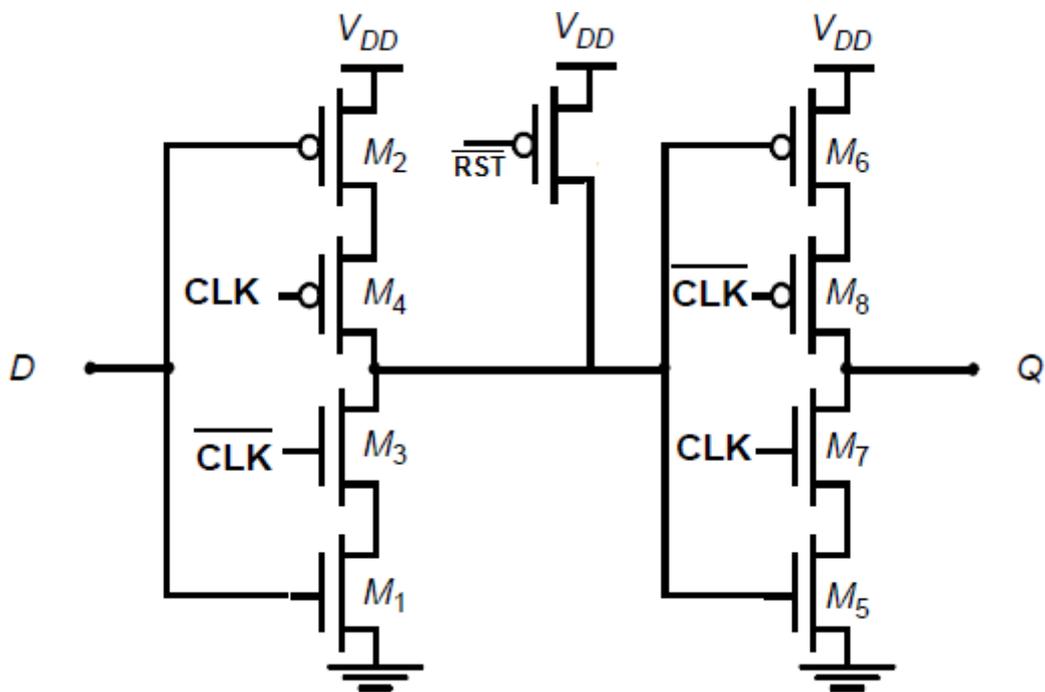


Figura 5.10: Esquématico de los registros dinámicos C^2MOS utilizados en la ruta de datos (tomada de [19])

Bloque de conmutadores: Este bloque tiene como entradas las 20 salidas de control que provienen de la ruta de datos, y las señales GND , V_{ref} , V_{IN} , V_{CM} . Este se encarga de multiplexar estas señales dependiendo de las señales de control. Para su implementación se utilizó el mux que se muestra en la figura 5.11, donde A y B son las entradas del multiplexor, S es la variable de selección, y F es la salida multiplexada.

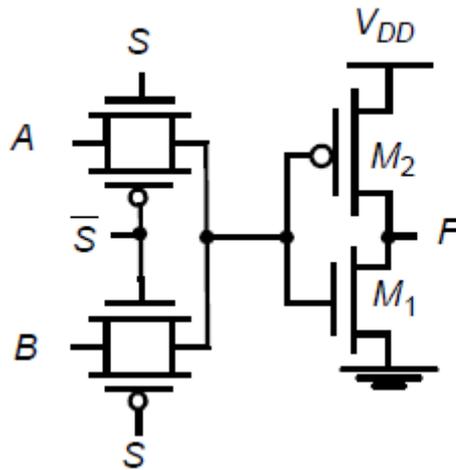


Figura 5.11: Esquemático del multiplexor utilizado en el diseño de la ruta de datos y el bloque de conmutadores (tomada de [19])

5.4. Diseño lógico de temporizado del circuito

El bloque de temporizado del circuito se muestra en la figura 5.12. Como se mencionó anteriormente para la implementación del control de interruptores se utilizó un contador.

Las salidas del contador ($q3$, $q2$, $q1$, $q0$) son utilizadas por un codificador para producir las salidas de muestreo e inversión. Resulta que la señal de inversión debe activarse en el flanco negativo del segundo periodo de reloj de la conversión, la señal inv ya debe estar activa antes de la primera comparación que se realiza en los flancos negativos; esto no resultaba así, ya que el tiempo de retardo del contador, retrasaba la señal de inversión, y esta se daba hasta después de la primera comparación y no antes. Por ello se implementó la siguiente lógica de reloj, para sincronizar el reloj

del sistema con la respuesta del contador. El contador funciona con una señal de reloj adelantada a la señal de reloj del sistema por 5ns, adicionalmente a la señal general del sistema se le aplica un retraso entre 10 ns y 12ns, esta señal retrasada corresponde al reloj del comparador. Esto se hizo de esta forma porque la respuesta del comparador solo esta presente en el ciclo positivo de la señal de reloj, y este retraso hace posible que el sistema pueda capturar esta salida del comparador en el flanco positivo del reloj general del sistema.

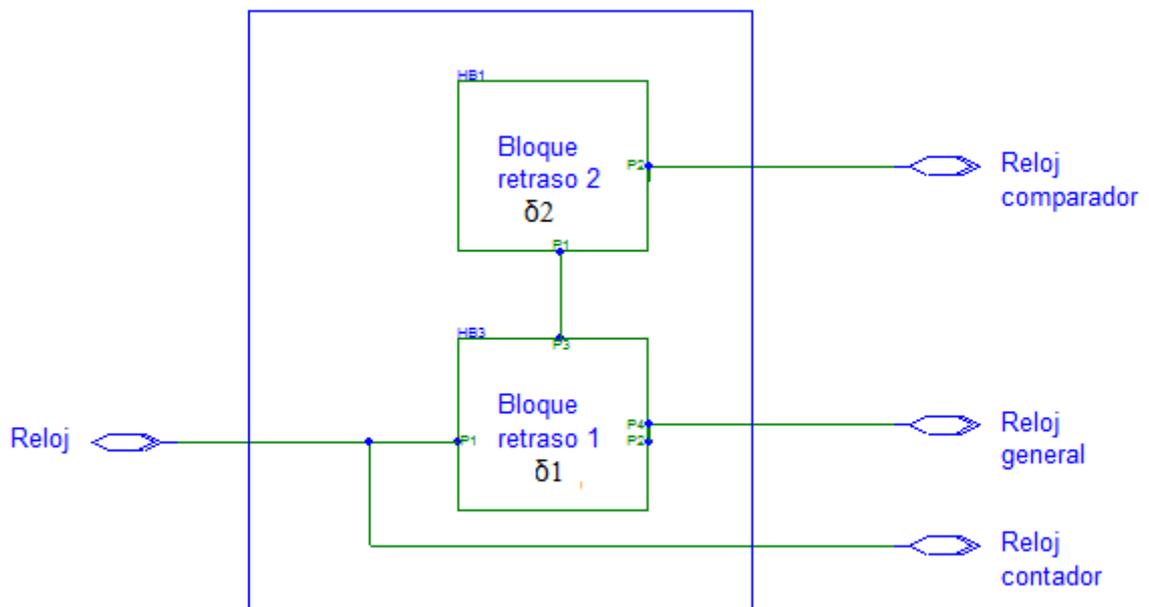


Figura 5.12: Diagrama de bloques del circuito generador de reloj, donde δ_1 es 5ns y δ_2 posee en valor entre 10ns y 12 ns.

Capítulo 6. Análisis de resultados

A continuación se explica en forma detallada los resultados obtenidos durante la implementación del proyecto.

En la sección anterior se explicó la manera en que se diseñó cada bloque y su funcionamiento. Esta sección se enfoca en el análisis del circuito como un todo. Se discute sobre el consumo de potencia de todo el ADC, y la respuesta de la conversión.

Inicialmente todo el diseño fue implementado con registros dinámicos, y el consumo de potencia de todo el circuito fue de 4,36mW, un valor muy alto para lo que se requiere en este proyecto. A raíz de esto se buscaron formas de reducir este consumo. Los bloques del comparador, y el arreglo de capacitores no pudieron optimizarse para ser más eficientes, pero en el resto de bloques se cambiaron algunos componentes y se presentaron mejoras. Los elementos que se cambiaron principalmente fueron los registros.

Se introdujo la arquitectura de registros estáticos y se realizaron simulaciones de consumo de potencia con los cambios realizados. En la tabla 6.1 se muestran cinco versiones del circuito, y la arquitectura de registros que se utilizó en cada uno de sus bloques. En la tabla 6.2 se muestra el consumo de potencia de cada una de las versiones. Todas estas mediciones se llevaron a cabo con un voltaje de alimentación V_{DD} y un V_{ref} de 3 V, un V_{CM} de 1,5 V, y una frecuencia del reloj general de 576 kHz. La frecuencia tiene este valor debido a que la conversión consiste en 12 ciclos de reloj, y para que la frecuencia de muestreo sea 48kHz este es el valor del reloj general del sistema.

Tabla 6.1: Arquitecturas de registros utilizados en las 5 versiones del convertidor

Versión	Registro de desplazamiento	Registro de salida	Contador	Ruta de datos
1	Dinámicos	Dinámicos	Dinámicos	Dinámicos
2	Estáticos	Estáticos	Estáticos	Dinámicos
3	-	Dinámicos	Estáticos	Dinámicos
4	Estáticos	Estáticos	Dinámicos	Dinámicos
5	Estáticos	Dinámicos	Estáticos	Dinámicos

Tabla 6.2: Consumo de potencia para las 5 versiones del diseño en base a la tecnología de registros utilizados

Versión	Consumo de potencia(W)
1	4,36 mW
2	379,59 uW
3	364,35 uW
4	2,1337 mW
5	429,5 uW

De todas las versiones del circuito, se escogió la versión 3, porque dió un consumo de potencia de 364,35 uW, una reducción bastante significativa con respecto a las otras versiones. A esta versión se le hizo otra modificación para reducir el área del chip y su consumo. Se le quitó el registro de corrimiento, y se reutilizaron las señales *L9-L0* del bloque codificador.

A continuación se hace un análisis de la respuesta del convertidor ante una señal de entrada rampa, que cubre todo el rango de conversión del ADC. Esta señal se caracteriza por ser muy lenta, y tiene un período de 0,1706666 s.

En la figura 6.1 se muestran dos curvas, una es la respuesta de conversión ante la señal rampa de un convertidor de 10 bits ideal (curva azul), y la otra es la curva real del ADC que se diseñó (curva negra). El eje vertical de la gráfica corresponde al código binario de diez bits convertido en decimal, y en el eje horizontal, el rango de voltaje de 0 a 3V.

A simple vista el comportamiento de esta curva es bastante bueno, pero en las

figuras 6.2, 6.3, 6.4, 6.5; se muestra un acercamiento de las curvas, para de esta forma poder analizarlas.

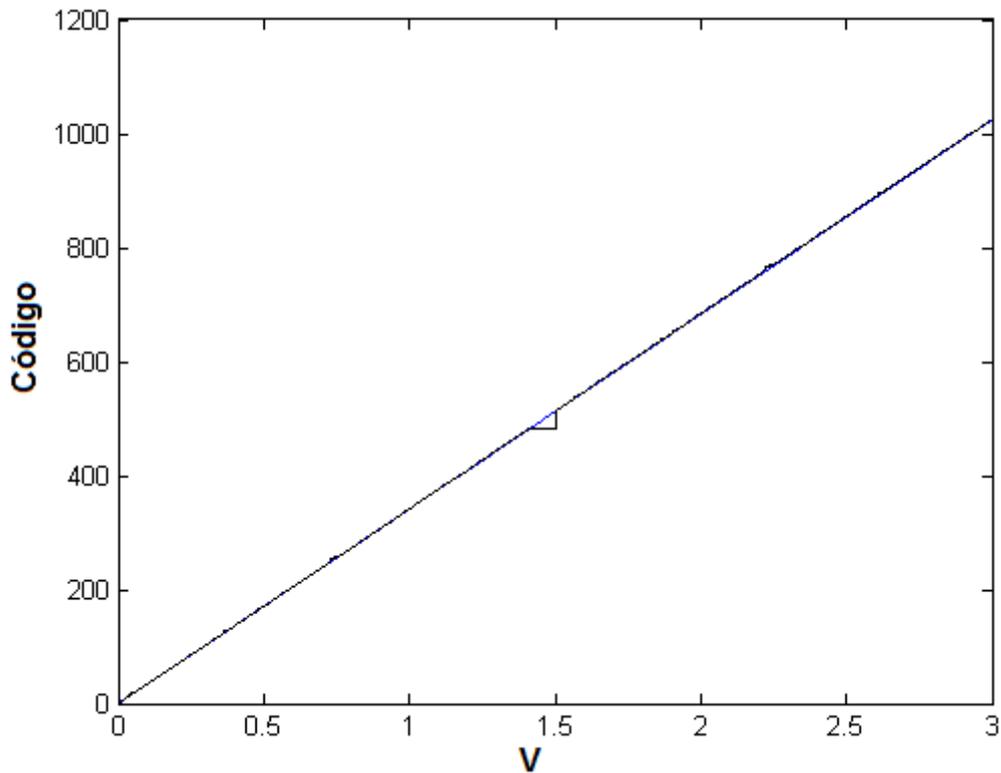


Figura 6.1: Salida del convertidor analógico digital ante una entrada de voltaje de rampa para todo el rango de conversión [0-3]V.

En la figura 6.2 se ve que la curva real se acerca bastante a la ideal, esta tendencia se conserva en el rango de conversión de 0,9 a 1 V aproximadamente, y el error anda cerca de 1 LSB, porque en este rango se pierden códigos. Para ser más preciso; todos los códigos cuyos dos bits menos significativos son 01 no son capturados por el convertidor.

En la figura 6.3 se muestra un acercamiento de la gráfica. En la curva real de la conversión existen en algunos momentos trozos que están en posición vertical; esta es la forma en que se evidencian los códigos perdidos mencionados anteriormente. Este tipo de error se da como consecuencia de tener un DNL igual a -1 LSB. Cualquier

proceso de ADC con un DNL igual a -1 LSB garantiza tener códigos perdidos. Cualquier proceso de ADC con un DNL mayor a 1 LSB no garantiza códigos perdidos, pero si existen probabilidades de que hayan (Baker [5]).

En la figura 6.4 se puede ver un gran error del convertidor en el rango de $1,4$ V a $1,5$ V, ya que todos los códigos entre 482 y 512 en binario son códigos perdidos y todos tienen un valor de $1,5$ V. Lo más probable es que esto se deba a una zona muerta, en el diferencial o en el FF-SR del comparador, pero para definir realmente las causas del problema, es necesario de un estudio más detallado del circuito.

En la figura 6.5 se muestra un acercamiento de la gráfica para los códigos más altos de conversión del ADC. Se conservan los códigos perdidos donde los dos LSBs son 01 , pero el error de conversión se incrementa alrededor de 2 LSBs. Este error aumenta debido al error de ganancia que posee el ADC diseñado.

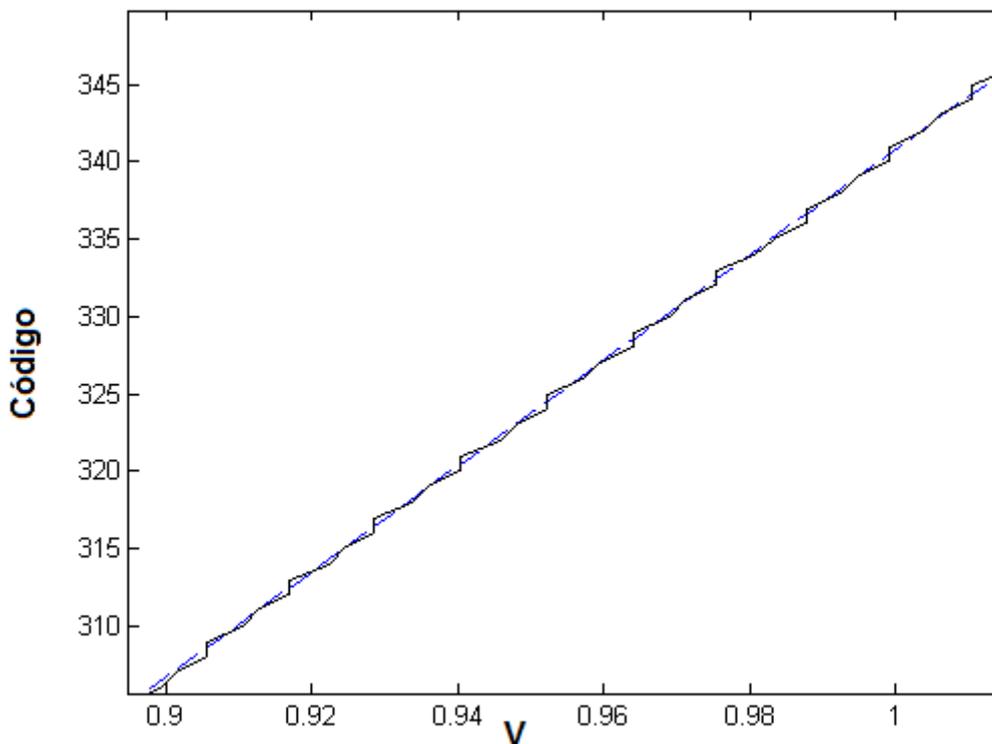


Figura 6.2: Salida del convertidor analógico digital ante una entrada de voltaje de rampa para el rango de conversión de $[0,9-1]$ V.

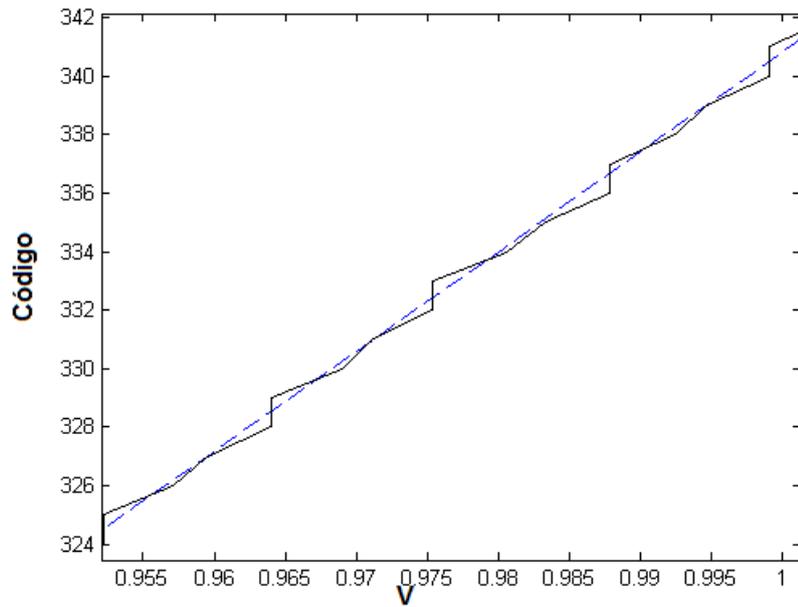


Figura 6.3: Salida del convertidor analógico digital ante una entrada de voltaje de rampa para el rango de conversión del ADC SAR [0,95-1]V.

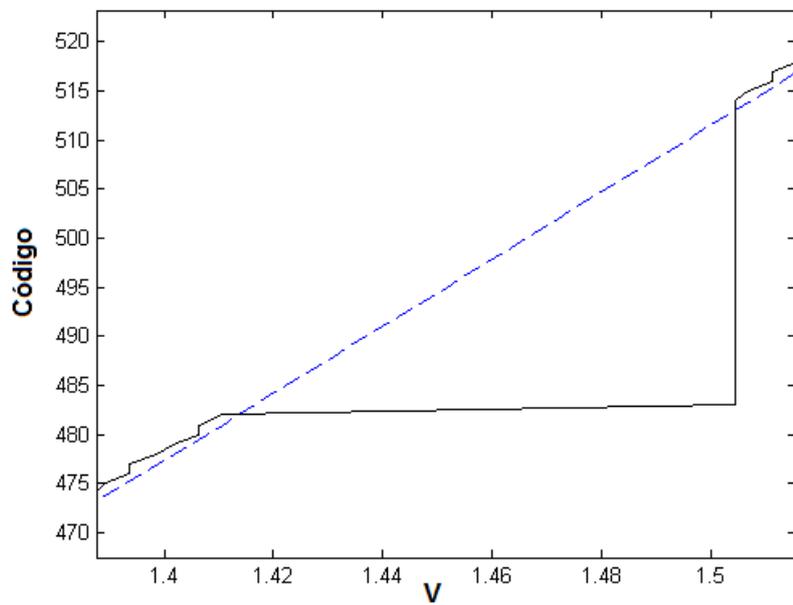


Figura 6.4: Salida del convertidor analógico digital ante una entrada de voltaje de rampa para el rango de conversión del ADC SAR [1,36-1,5]V.

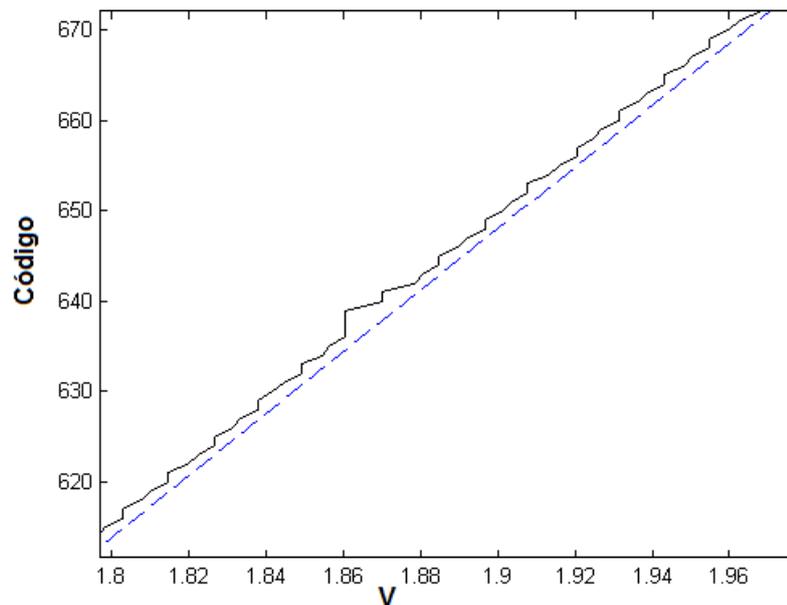


Figura 6.5: Salida del convertidor analógico digital ante una entrada de voltaje de rampa para el rango de conversión del ADC SAR [1,8-2]V.

Ante estos resultados se buscó la forma de reducir estos errores, en especial con el error que se presenta entre los códigos 482 y 512, que corresponde a los códigos que se encuentran en el rango de voltajes de (1,4-1,5V). Para esto se cambió la versión de ADC utilizada, por la versión 2 que se muestra en la tabla 6.1, cuyo consumo de potencia fué de 379,59uW. Los resultados para el análisis de conversión para esta versión evidencian que el error presente entre los códigos 482 y 512 desapareció, y la tendencia de códigos perdidos a través de todos los códigos de conversión, se comporta de una manera similar.

La mejora en la conversión que se da con la nueva versión del ADC se dió por el cambio de los registros dinámicos C^2MOS por los registros estáticos. Los registros estáticos brindan un mejor funcionamiento que los dinámicos, que están hechos para trabajar a mayores frecuencias.

La salida del comparador está conectada al registro de salida que se encarga de guardar los bits de conversión, ante esta situación se plantea como hipótesis, que los registros cargan la salida del comparador afectando su comportamiento. Por eso al

utilizar registros más estables, se logra optimizar el proceso de conversión.

En la figura 6.6 se muestra un acercamiento de la curva ideal (color azul) y la real (color verde) para los códigos más bajos de conversión del ADC utilizando la versión 2. La gráfica muestra un comportamiento similar al de la versión 3, solo que el error se incrementa a 2 LSBs.

Es importante tomar en cuenta que al implementar los registros estáticos cambian las capacitancias del circuito, y por ende cambia el dimensionamiento del arreglo de capacitores, en este caso se utilizó una C_u de 3 fF.

En los capítulos anteriores se mencionó que la exactitud de conversión depende primordialmente del dimensionamiento de los capacitores del arreglo, por ello al cambiar el C_u cambian los errores del convertidor. El C_u es ajustable para obtener un mejor resultado, pero para esto se requieren de más pruebas que consumen tiempo en la etapa de simulación, por esta razón se presentan cambios en los errores de la nueva versión y el ADC presenta cambios en su comportamiento.

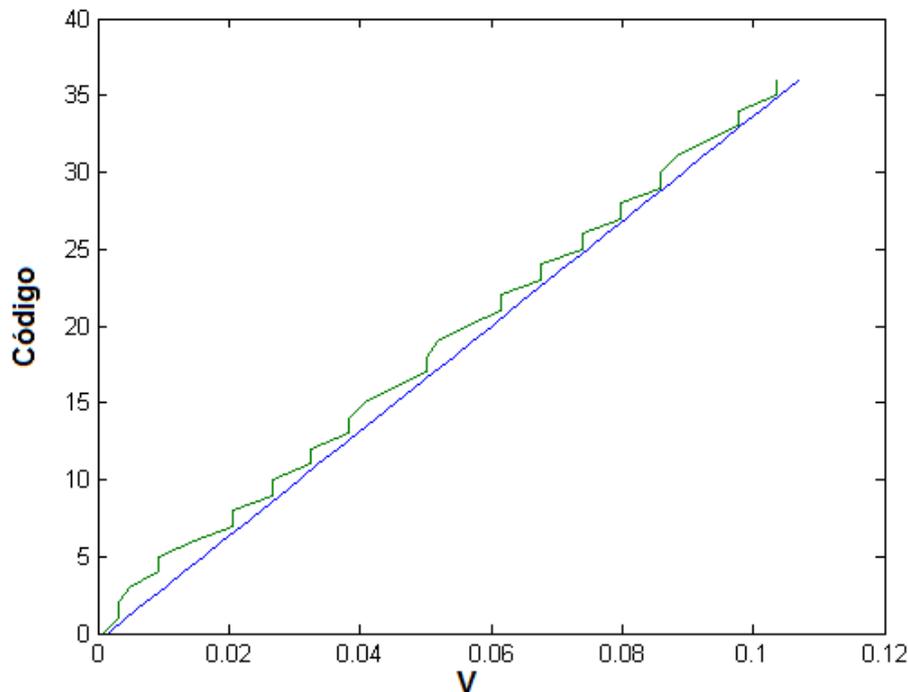


Figura 6.6: Salida del convertidor analógico digital ante una entrada de voltaje de rampa utilizando la versión 2 del ADC, en el rango de voltajes de [0-0.1]V.

En la figura 6.7 se muestra un acercamiento de la gráfica para los códigos en el rango de voltajes de 0,4V a 0,5V. En este rango el error de la conversión se reduce a 1 LSB. Esto refleja un error de ganancia en el convertidor.

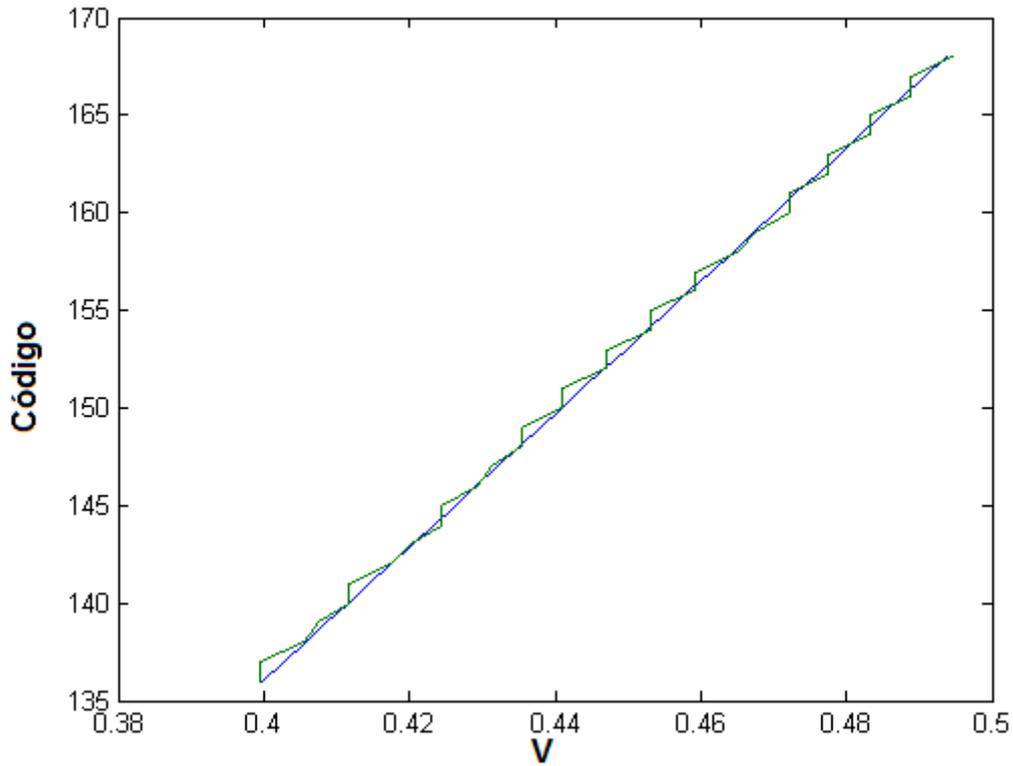


Figura 6.7: Salida del convertidor analógico digital ante una entrada de voltaje de rampa utilizando la versión 2 del ADC, en el rango de voltajes de [0,4-0,5]V.

En la figura 6.8 se muestra un acercamiento de la gráfica para los códigos en el rango de voltajes de 1,4V a 1,56V. Las curvas muestran que el error en este rango, se redujo considerablemente a 3 LSBs.

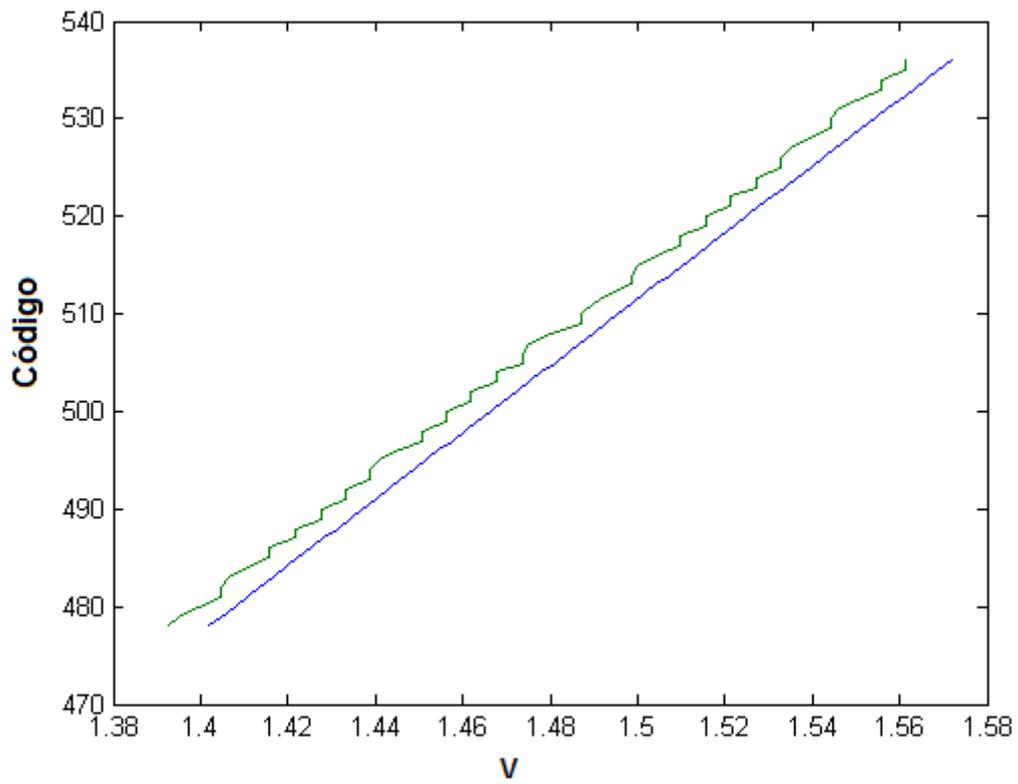


Figura 6.8: Salida del convertidor analógico digital ante una entrada de voltaje de rampa utilizando la versión 2 del ADC, en el rango de voltajes de [1,4-1,56]V.

Capítulo 7. Conclusiones y recomendaciones

7.1. Conclusiones

- La arquitectura del ADC de aproximaciones sucesivas es la que más se ajusta a los requerimientos del proyecto, porque su consumo de potencia es bajo, y además su frecuencia de operación y resolución son intermedias.
- La exactitud de la conversión Analógico a Digital de la arquitectura SAR depende primordialmente del dimensionamiento del arreglo de capacitores.
- El uso de la técnica del arreglo de capacitores partido disminuye la capacitancia total del arreglo significativamente, lo que reduce el consumo de potencia dinámico.
- La implementación de secuencia de conmutación de los interruptores del arreglo de capacitores *V_{CM}- based switching*, consume menos potencia que la secuencia básica *set and down*.
- El uso de registros estáticos en lugar de registros dinámicos para los bloques de registro de desplazamiento y registro de salida, reduce los errores de conversión considerablemente.
- El uso de registros estáticos en el contador, en lugar de los *C²MOS*, reduce significativamente la potencia consumida por el contador.
- La versión 2 del diseño del ADC de la tabla 6.1 es la que mostró un mejor funcionamiento, con un consumo de potencia de 366,59uW y un error de conversión de 3LSB.

7.2. Recomendaciones

- El uso de una tecnología más moderna, con un voltaje de alimentación menor, resultaría en un consumo de potencia significativamente más bajo.
- El ajuste de la capacitancia unitaria (C_u) del arreglo de capacitores puede reducir los errores en la conversión considerablemente.
- El uso de alguna herramienta de síntesis para la parte digital del convertidor, cuyas celdas estándar estén optimizadas para el bajo consumo de potencia, puede resultar en una disminución en el área del circuito y reducir la potencia consumida.
- El ciclo de reloj, que corresponde a la descarga de capacitores, puede removerse. De esta forma se ocupa un ciclo de reloj menos por conversión, lo que reduciría el consumo de potencia.
- El uso de otra topología de registros podría reducir el consumo de potencia de la parte digital del convertidor. Se plantean dos topologías que podrían dar un mejor funcionamiento y menor consumo energético: *Dual – edgeRegisters* y *TrueSingle – PhaseClockedRegister (TSPCR)*.

Bibliografía

- [1] Jairo Valverde. *Implementación de una metodología para lograr la integración física correcta por construcción (CBC) de un banco de filtros digitales descrito en alto nivel*. I.T.C.R., Cartago, 2011. (document), 1.2, 3.1.1, 3.1, 5.2
- [2] A. Sampaulo. “Análisis y diseño de un conversor analógico digital de arquitectura pipeline,” Tesis, *Universidad De Buenos Aires* [en línea]. 2004. Disponible en:

<http://web.fi.uba.ar/~asampau/PDF/6600-20040720.pdf>.
- [3] Veepsa Bhatia, Neeta Pandey and Asok Bhattacharyya. “Application Based Comparison of Different Analog to Digital Converter Architectures”. *International Journal of Engineering Science and Technology* [en línea]. 2 (08)2010. Disponible en:

<http://www.ijest.info/docs/IJEST10-02-08-09.pdf>.
- [4] M. C. Yin-Ting. “An ultra-low power SAR ADC,” M.S. tesis, *University of British Columbia* , [en línea]. 2009. Disponible en:

https://circle.ubc.ca/bitstream/handle/2429/14703/ubc_2009_spring_chang_yin-ting.pdf?sequence=1.
- [5] R. J. Baker, “*CMOS. Circuit Design, Layout, and Simulation*”. IEEE, 2005.
- [6] R. Bejega. “Diseño semi-custom de la circuitería interfaz para aplicación electroquímica”. *Universitat Rovira I Virgili* [en línea]. 2001. Disponible en:

<http://cde05.etsu.edu/pub/pdf/139pub.pdf>.

- [7] M. Scott, B. Boser and K. Pister. “An ultralow-energy ADC for smart dust”. *IEEE Journal of solid-state circuits*, [en linea]. 2012(2/25), pp. 7. 2003. Disponible en:

http://reference.kfupm.edu.sa/content/u/1/an_ultralow_energy_adc_for_smart_dust_91851.pdf.

- [8] K. Raouf, A. Dudka and D. Galayko. “Design and modeling of a successive approximation ADC for the electrostatic harvester of vibration energy”. *IEEE International Behavioral Modeling and Simulation Conference* [en linea]. 2012(2/20), pp. 6. 2010. Disponible en:

http://hal.inria.fr/docs/00/59/08/93/PDF/bmas_Raouf.pdf.

- [9] N. Sheung Yan, B. Jalali and P. Zhang. “A low-voltage CMOS 5-bit 600 MHz 300mW SAR ADC for UWB wireless receiver”, Department of Electrical and Computer Engineering The Ohio State University [en linea]. 2012(2/25), pp. 4. 2005. Disponible en:

http://enpub.fulton.asu.edu/jalali/low_voltage_UWB.pdf.

- [10] Yan Zhu, U-Fat Chio, He-GongWei and Sai-Weng Sin. “Linearity analysis on a series-split capacitor array for high-speed SAR ADCs”, *Hindawi Publishing Corporation* [en linea]. 2012(2/25), pp. 8. 2010 Disponible en:

http://www.umac.mo/rectors_office/docs/ruimartins_cv/publications/journalpapers/31.pdf.

- [11] Microchip. “Analog-to-digital converter design guide”. *Microchip* [en linea]. 2012(2/27), Disponible en:

<http://ww1.microchip.com/downloads/en/devicedoc/21841a.pdf>

- [12] D. De Venuto, E. Stikvoort and D. Tio Castro. "Ultra low-power 12-bit SAR ADC for RFID applications". *NXP Semiconductors* [en linea]. 2012(2/20), pp. 5. 2010. Disponible en:

http://www.date-conference.com/proceedings/PAPERS/2010/DATE10/PDF/FILES/08.4_3.PDF.

- [13] M. Mootaz. "Systematic design for a successive approximation ADC". *Cairo University* [en linea]. 2012(2/20), pp. 62. 2008. Disponible en:

http://www-soc.lip6.fr/~mootaz/pubs/slides_msc08.pdf.

- [14] Yan Zhu, Chi-Hang Chan and U-Fat Chio. "A 10-bit 100-MS/s reference-free SAR ADC in 90nm CMOS". *IEEE Journal of solid-state circuits*, vol.45, no.6, june 2010, [en linea]. Disponible en:

http://www.umac.mo/rectors_office/docs/ruimartins_cv/publications/journalpapers/33.pdf.

- [15] F. Boschker. "Design of a 12bit 500Ms/s standalone charge redistribution digital-to-analog converter," M.S. tesis, *University of Twente*, 2008. [en linea] Disponible en:

http://doc.utwente.nl/64676/1/Boschker._F._B._.MSc2008Design_of_a_12bit_500Ms_s_standalone_charge_redistribution_Digital_to_Analog_Converter.pdf.

- [16] B. P. Ginsburg and A. P. Chandrakasan. "500-MS/s 5-bit ADC in 65-nm CMOS with split capacitor array DAC". *IEEE Journal of solid-state circuits*, vol.42, no.4, abril 2007, [en linea]. Disponible en:

http://www.mtl.mit.edu/researchgroups/icsystems/pubs/journals/2007_ginsburg_jssc_apr.pdf.

- [17] C. Ka Yan Chan. “Applying the Split-ADC architecture to a 16 bit, 1MS/s differential successive approximation analog-to-digital converter,” M.S. tesis, *Worcester Polytechnic Institute* [en línea]. 2008. Disponible en:

http://www.wpi.edu/Pubs/ETD/Available/etd-043008-164352/unrestricted/MS_thesis_Final.pdf.

- [18] Steve Rickman. Logic Friday. *University of California* [en línea]. 2006. Disponible en:

<http://logic-friday.software.informer.com/1.1/>

- [19] Rabaey, Jan M., Chandrakasan, Anantha P. *Digital Integrated Circuits: A Design Perspective* 2003[digital]. Disponible en:

<http://www.filecrop.com/digital-integrated-circuits-rabaey.htm>

.