

**Instituto Tecnológico de Costa Rica**

**Escuela de Ingeniería Electrónica**



**Diseño de una etapa de amplificación con potencia de salida constante en un oscilador de frecuencia variable para espectroscopia por impedancia eléctrica.**

**Informe de Proyecto de Graduación para optar por el título de Ingeniero en Electrónica con el grado académico de Licenciatura**

**Jonathan Guillermo Godínez Hernández**

**Cartago, Junio de 2016**

**INSTITUTO TECNOLÓGICO DE COSTA RICA**

**ESCUELA DE INGENIERÍA ELECTRÓNICA**

**PROYECTO DE GRADUACIÓN**

**ACTA DE APROBACIÓN**

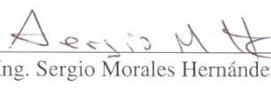
Defensa de Proyecto de Graduación  
Requisito para optar por el título de Ingeniero en Electrónica  
Grado Académico de Licenciatura  
Instituto Tecnológico de Costa Rica

El Tribunal Evaluador aprueba la defensa del proyecto de graduación denominado Diseño de una etapa de amplificación con potencia de salida constante en un oscilador de frecuencia variable para espectroscopia por impedancia eléctrica, realizado por el señor Jonathan Guillermo Godínez Hernández y, hace constar que cumple con las normas establecidas por la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica.

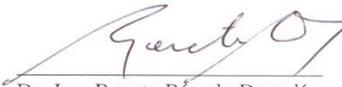
Miembros del Tribunal Evaluador

  
Ing. Eduardo Interiano Salguero

Profesor lector

  
Ing. Sergio Morales Hernández

Profesor lector

  
Dr.-Ing. Renato Rímolo Donadío

Profesor asesor

Cartago, 14 de junio del 2016

Declaro que el presente Proyecto de Graduación ha sido realizado, en su totalidad, por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado material bibliográfico, he procedido a indicar las fuentes mediante citas.

En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



Jonathan Guillermo Godínez Hernández

Cédula: 3-0470-0811

## Resumen

El estudio de las propiedades eléctricas de los tejidos biológicos se ha visto incrementado en los últimos años debido a que se ha demostrado su utilidad para la identificación de enfermedades, estudios de comportamiento celular o pruebas toxicológicas.

El Instituto Tecnológico de Costa Rica en conjunto con la Universidad Técnica de Hamburg, buscan el desarrollo de un circuito integrado para la espectroscopia por impedancia eléctrica de múltiples canales simultáneos con el fin de explorar sistemas con mejores características. Se plantea diseñar un circuito integrado en una tecnología CMOS de 130 nm, que permita colocar una muestra (o un conjunto de muestras) y observar su comportamiento en frecuencia hasta el rango de los GHz.

En el presente proyecto se plantea desarrollar una etapa de amplificación con ganancia variable, para ajustar la salida de la señal de referencia del sistema y que permita obtener una potencia constante, para un amplio rango de frecuencias. Además debe ser capaz de acoplarse con las demás etapas del circuito.

Para ello se va a hacer uso de un amplificador de ganancia variable, de esta forma se obtendrá un control de la señal de salida. Además, se va a utilizar una etapa de transimpedancia conectada en cascada al amplificador para aumentar la ganancia. Para ambas etapas se va a realizar el diseño a nivel de layout y posteriormente se van a caracterizar diferentes parámetros tales como: ganancia, ancho de banda, modo común, margen de fase, margen de ganancia, etc.



**Palabras clave:** Amplificador de Ganancia Variable; Celda de Gilbert; Control Automático de Ganancia; Espectroscopia por Impedancia Eléctrica.

## **Abstract**

The study of the electrical properties of biological tissues has been increased in recent years because it has been proven useful for identifying diseases, cell behavior studies or toxicological tests.

The Costa Rican Institute of Technology in conjunction with the Technical University of Hamburg are seeking to develop an integrated circuit for electrical impedance spectroscopy of multiple simultaneous channels in order to explore circuit systems with better features. It is proposed to design an integrated circuit in the technology CMOS of 130 nm, that permits to take a sample (or sample set) and observe its behavior in frequency up to the GHz range.

The present project aims to develop an amplification stage with variable gain to set the output signal of the reference systems. It should allow obtaining a constant power for a wide range of frequencies and also to be coupled with the other stages of the circuit.

For this we will use a variable gain amplifier, thus the control on the output signal is achieved. In addition, it will use a transimpedance stage cascaded with the amplifier, which allows increasing the gain. For both stages the layout design and then the characterization of different parameters such as gain, bandwidth, common mode, phase margin, gain margin, etc, is carried out.

**Keywords:** Automatic Gain Control; Electrical Impedance Spectroscopy; Gilbert Cell; Variable Gain Amplifier.

## **Dedicatoria**

*A mi mamá, papá y hermano, por todo el apoyo brindado a lo largo de mi formación académica.*

## **Agradecimientos**

Agradezco al Dr.-Ing Renato Rímolo Donadio, por permitirme formar parte del proyecto de espectroscopia por impedancia eléctrica. Además por su disponibilidad para guiarme en el desarrollo de mi proyecto de graduación.

## ÍNDICE GENERAL

<b>Índice de Figuras .....</b>	<b>xi</b>
<b>Índice de Tablas .....</b>	<b>xiv</b>
<b>Capítulo 1: Introducción.....</b>	<b>1</b>
1.1    Objetivos y estructura del documento .....	4
1.1.1    Objetivos.....	4
1.1.2    Estructura del documento .....	4
<b>Capítulo 2: Marco teórico.....</b>	<b>5</b>
2.1    Espectroscopia por impedancia eléctrica.....	5
2.2    Control automático de ganancia (AGC) .....	6
2.3    Amplificador de ganancia variable (VGA) .....	10
2.4    Celda de Gilbert.....	11
2.5    Amplificador de transimpedancia (TIA) .....	13
2.6    Espejos de corriente.....	16
2.7    Fabricación y reglas de diseño.....	17
<b>Capítulo 3: Diseño y desarrollo de la solución.....</b>	<b>19</b>
3.1    Análisis y selección de la solución .....	19
3.1.1    Solución 1: Amplificador de ganancia variable, controlado por fuentes externas.....	20
3.1.2    Solución 2: Control automático de ganancia.....	20
3.1.3    Solución 3: Compensación de primer orden para la potencia en la carga..	21
3.2    Selección de la solución .....	21
3.3    Desarrollo del diseño .....	22
3.3.1    Diseño del amplificador de ganancia variable.....	23
3.3.2    Diseño del lazo de control .....	28
3.4    Diseño físico .....	31

3.4.1	Diseño físico de la celda de Gilbert.....	32
3.4.2	Diseño físico de la etapa de transimpedancia.....	35
<b>Capítulo 4: Validación y análisis de resultados .....</b>		<b>39</b>
4.1	Resultados para la celda de Gilbert.....	40
4.1.1	Impedancia de entrada.....	42
4.1.2	Impedancia de salida.....	44
4.1.3	Ganancia.....	45
4.1.4	Modo común a la salida.....	47
4.1.5	Ancho de banda.....	49
4.1.6	Margen de fase y margen de ganancia.....	51
4.1.7	Resumen del rendimiento del circuito en postlayout .....	53
4.2	Resultados para la etapa de transimpedancia.....	54
4.2.1	Impedancia de entrada.....	54
4.2.2	Impedancia de salida.....	56
4.2.3	Ganancia.....	58
4.2.4	Modo común a la salida.....	59
4.2.5	Ancho de banda.....	59
4.2.6	Margen de fase y margen de ganancia.....	60
4.2.7	Resumen del rendimiento del circuito en postlayout .....	60
4.3	Resultados del amplificador de ganancia variable.....	61
4.3.1	Impedancia de entrada.....	63
4.3.2	Impedancia de salida.....	63
4.3.3	Ganancia.....	64
4.3.4	Modo común a la salida.....	65
4.3.5	Ancho de banda.....	67
4.3.6	Margen de fase y margen de ganancia.....	70
4.3.7	Resumen del rendimiento del circuito en postlayout .....	71

<b>Capítulo 5: Conclusiones .....</b>	<b>74</b>
5.1 Conclusiones.....	74
5.2 Recomendaciones.....	75
<b>Bibliografía.....</b>	<b>77</b>
<b>Apéndices.....</b>	<b>80</b>
A.1 Resultados obtenidos en las pruebas de verificación de layout, para la celda de Gilbert.....	80
A.2 Layout para la celda de Gilbert con uso eficiente del área, pero sin simetría. .	82
A.3 Layout para la etapa de transimpedancia con uso eficiente del área, pero sin simetría. ....	83
A.4 Resultados obtenidos en las pruebas de verificación de layout, para la etapa de transimpedancia. ....	84

## Índice de Figuras

<b>Figura 1.1</b>	Diagrama de bloques de un sistema de medición de impedancia [5].	2
<b>Figura 2.1</b>	(a) AGC de alimentación directa, (b) AGC de retroalimentación. [10].	7
<b>Figura 2.2</b>	Arquitectura convencional de un AGC. Adaptado de [12].	8
<b>Figura 2.3</b>	Símbolo de un VGA. Adaptado de [12].	11
<b>Figura 2.4</b>	Celda de Gilbert implementada con tecnología CMOS [13].	12
<b>Figura 2.5</b>	Amplificador de transimpedancia. Adaptado de [9].	14
<b>Figura 2.6</b>	Espejo de corriente básico CMOS [3].	16
<b>Figura 3.1</b>	Arquitectura general de un AGC de retroalimentación. Adaptada de [12].	23
<b>Figura 3.2</b>	Arquitectura propuesta para el VGA. Adaptada de [13].	23
<b>Figura 3.3</b>	Diagrama de bloques equivalente para la arquitectura VGA propuesta. Adaptado de [12].	24
<b>Figura 3.4</b>	Amplificador de transimpedancia a nivel de esquemático. Adaptado de [13].	26
<b>Figura 3.5</b>	Detector de picos básico [4].	29
<b>Figura 3.6</b>	Amplificador logarítmico [2].	29
<b>Figura 3.7</b>	Circuito restador. Adaptado de [2].	30
<b>Figura 3.8</b>	Circuito integrador. Adaptado de [2].	30
<b>Figura 3.9</b>	Transistor nmos y nmos_rf a nivel de layout.	31
<b>Figura 3.10</b>	Layout de la celda de Gilbert.	33
<b>Figura 3.11</b>	Layout de uno de los amplificadores utilizados en la etapa de transimpedancia.	37
<b>Figura 3.12</b>	Layout de la etapa completa de transimpedancia.	38
<b>Figura 4.1</b>	(a) Variación de $V_{c+}$ y $V_{c-}$ para cada medición. (b) Variación de $\Delta V_c$ para cada medición.	40
<b>Figura 4.2</b>	Tensión de entrada ( $V_{(in+,in-)}$ ) y salida ( $V_{(out+,out-)}$ ), de la celda de Gilbert, para un valor de $\Delta V_c$ de (a) 0.2 a nivel de esquemático (b) 0.2 en postlayout (c) 0.6 a nivel de esquemático (d) 0.6 en postlayout.	41
<b>Figura 4.3</b>	Offset a la salida de la celda de Gilbert en función de $\Delta V_c$ .	42
<b>Figura 4.4</b>	Impedancia de entrada de la celda de Gilbert en función de la frecuencia, en esquemático.	43
<b>Figura 4.5</b>	Impedancia de entrada de la celda de Gilbert en función de la frecuencia, para simulación postlayout.	44

<b>Figura 4.6</b>	Impedancia de salida de la celda de Gilbert en función de la frecuencia, en esquemático. ....	44
<b>Figura 4.7</b>	Impedancia de salida de la celda de Gilbert en función de la frecuencia, para la simulación postlayout. ....	45
<b>Figura 4.8</b>	Ganancia de la celda de Gilbert. ....	46
<b>Figura 4.9</b>	Error relativo de la ganancia entre la simulación esquemático y postlayout de la celda de Gilbert en función de $\Delta V_c$ . ....	47
<b>Figura 4.10</b>	Modo común a la salida de la celda de Gilbert. ....	48
<b>Figura 4.11</b>	Error relativo en el modo común a la salida de la celda de Gilbert entre la simulación en postlayout y esquemático. ....	49
<b>Figura 4.12</b>	Respuesta en frecuencia de la celda de Gilbert para un valor de $\Delta V_c$ de 50	
<b>Figura 4.13</b>	Ancho de banda de la celda de Gilbert en función de $\Delta V_c$ . ....	50
<b>Figura 4.14</b>	Error relativo del ancho de banda entre la simulación en postlayout y esquemático para la celda de Gilbert en función de $\Delta V_c$ . ....	51
<b>Figura 4.15</b>	Margen de fase y margen de ganancia para la celda de Gilbert. ....	52
<b>Figura 4.16</b>	Error de margen de fase y margen de ganancia para la celda de Gilbert entre la simulación en postlayout y esquemático. ....	53
<b>Figura 4.17</b>	Impedancia de entrada de la etapa de transimpedancia en función de la frecuencia, en esquemático. ....	55
<b>Figura 4.18</b>	Impedancia de entrada de la etapa de transimpedancia en función de la frecuencia, postlayout. ....	56
<b>Figura 4.19</b>	Impedancia de salida de la etapa de transimpedancia en función de la frecuencia, en esquemático. ....	57
<b>Figura 4.20</b>	Impedancia de entrada de la etapa de transimpedancia en función de la frecuencia, postlayout. ....	57
<b>Figura 4.21</b>	Respuesta del circuito de transimpedancia a una entrada de 10 mVp a 1 GHz en: (a) Esquemático (b) Postlayout. ....	58
<b>Figura 4.22</b>	Respuesta en frecuencia para la etapa de transimpedancia en (a) Esquemático, (b) Postlayout. ....	59
<b>Figura 4.23</b>	Tensión de entrada ( $V_{(in+,in-)}$ ) y salida ( $V_{(out+,out-)}$ ) del VGA, para un valor de $\Delta V_c$ de (a) 0.2 a nivel de esquemático (b) 0.2 en postlayout (c) 0.6 a nivel de esquemático (d) 0.6 en postlayout. ....	62
<b>Figura 4.24</b>	Offset a la salida del VGA en función de $\Delta V_c$ . ....	63
<b>Figura 4.25</b>	Ganancia del VGA. ....	64

<b>Figura 4.26</b>	Error relativo de la ganancia del VGA entre el layout y el esquemático, en función de $\Delta V_c$ .	65
<b>Figura 4.27</b>	Modo común a la salida del VGA.	66
<b>Figura 4.28</b>	Error relativo en el modo común a la salida del VGA, entre los resultados de postlayout y esquemático.	67
<b>Figura 4.29</b>	Respuesta en frecuencia del VGA para un valor de $\Delta V_c$ de (a) 0.2 V esquemático, (b) 0.2 V postlayout (c) 0.6 V esquemático, (d) 0.6 V postlayout.	68
<b>Figura 4.30</b>	Ancho de banda del VGA en función de $\Delta V_c$	69
<b>Figura 4.31</b>	Error relativo del ancho de banda en postlayout, con respecto al obtenido en esquemático, en función de $\Delta V_c$ .	69
<b>Figura 4.32</b>	Margen de fase y margen de ganancia para el VGA.	70
<b>Figura 4.33</b>	Error de margen de fase y margen de ganancia para el VGA, entre los resultados obtenidos en postlayout y esquemático.	71
<b>Figura A.1.1</b>	Resultados del DRC para la celda de Gilbert.	80
<b>Figura A.1.2</b>	Resultados de la prueba VLS para la celda de Gilbert.	81
<b>Figura A.1.3</b>	Resultados para la prueba PEX realizada a la celda de Gilbert.	82
<b>Figura A.2.1</b>	Layout de la celda de Gilbert, con uso eficiente del área pero sin simetría.	83
<b>Figura A.3.1</b>	Layout de la etapa de transimpedancia, con uso eficiente del área pero sin simetría.	84
<b>Figura A.4.1</b>	Resultados de la prueba de DRC para la etapa de transimpedancia.	85
<b>Figura A.4.2</b>	Resultados de la prueba de LVS para la etapa de transimpedancia.	86
<b>Figura A.4.3</b>	Resultados para la extracción de parásitos de la etapa de transimpedancia.	87

## Índice de Tablas

<b>Tabla 3.1</b>	Comparación de las diferentes propuestas.....	21
<b>Tabla 3.2</b>	Dimensiones de los componentes empleados en la celda de Gilbert. ....	25
<b>Tabla 3.3</b>	Dimensiones de los componentes empleados en el amplificador de transimpedancia. ....	26
<b>Tabla 3.4</b>	Dimensiones de los transistores utilizados en los espejos de corriente.....	28
<b>Tabla 3.5</b>	Dimensiones y cantidad de transistores utilizados en la implementación de la celda de Gilbert.....	33
<b>Tabla 3.6</b>	Dimensiones y cantidad de transistores utilizados en la implementación del amplificador de transimpedancia.....	36
<b>Tabla 4.1</b>	Resumen del rendimiento de la celda de Gilbert.....	53
<b>Tabla 4.2</b>	Margen de fase y margen de ganancia para la etapa de transimpedancia	60
<b>Tabla 4.3</b>	Resumen del rendimiento de la etapa de transimpedancia.	61
<b>Tabla 4.4</b>	Resumen del rendimiento VGA.	72
<b>Tabla 4.5</b>	Comprobación de funcionamiento del amplificador de ganancia variable.	72

## Capítulo 1: Introducción

El estudio de las propiedades eléctricas de los tejidos biológicos data del siglo XIX. El desarrollo de esta línea de investigación y sus aplicaciones clínicas se han visto incrementadas en los últimos años debido a la comprobada aplicación del análisis de las propiedades dieléctricas de los tejidos biológicos. [13]

Cuando una corriente eléctrica se aplica al tejido humano, la tensión producida en este, está determinada por el estado, forma y estructura interna de las células del tejido. Por consiguiente, las características y cambios en la impedancia eléctrica entre un tejido y otro pueden estar explicados por aspectos tales como, tamaño del núcleo, cantidad de componente intracelular y extracelular, características de la membrana celular, cambios en los arreglos celulares, entre otras. Esta relación abre el camino hacia la caracterización de la estructura del tejido desde las medidas de impedancia eléctrica, la cual está en función de la frecuencia debido a que los tejidos poseen propiedades resistivas y de almacenamiento de carga. [13]

La espectroscopia por impedancia eléctrica (EIS por sus siglas en inglés) es un método de medición de la impedancia eléctrica de una sustancia como una función de la frecuencia cuando una corriente eléctrica es aplicada. EIS se mide con base en el campo externo de interacción con el momento dipolar de una muestra particular, generalmente indicado por la permitividad. También es considerado como una técnica experimental que describe los sistemas electroquímicos (lo que se conoce como espectroscopia electroquímica). Este método mide la impedancia del sistema a través de una serie de frecuencias. Por lo tanto, la respuesta de frecuencia que implica propiedades de disipación y de almacenamiento de energía se da a conocer. [5]

La impedancia eléctrica se utiliza, por ejemplo, para diferenciar tejidos normales y cancerosos en una variedad de órganos, como el de mama, cuello del útero, piel, vejiga y de próstata. Éste método es útil para caracterizar los cambios celulares cuantitativamente. [5]

Debido al alto potencial de esta técnica para el estudio de las propiedades eléctricas de los tejidos, el Instituto Tecnológico de Costa Rica junto con la Universidad Técnica de Hamburg trabajan en el desarrollo de un circuito integrado para la espectroscopia por impedancia eléctrica de señales biológicas en múltiples canales simultáneos, como el que se muestra en la figura 1.1.

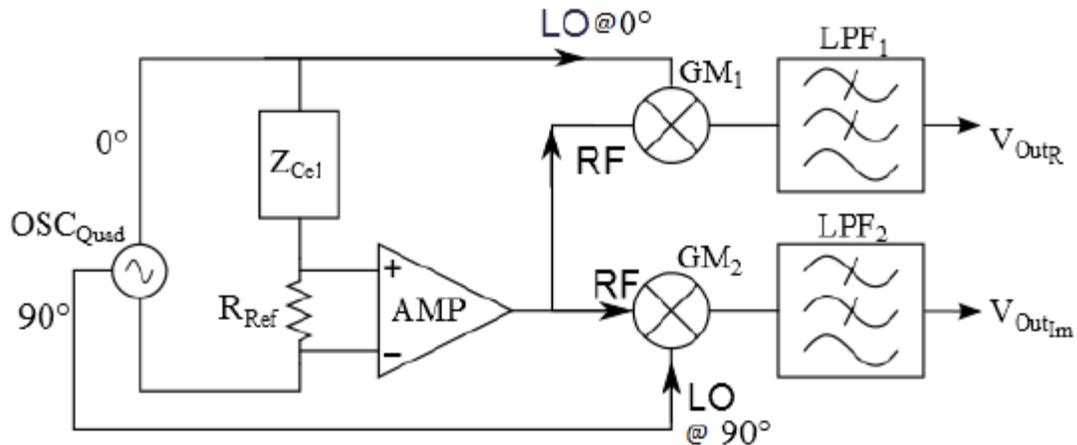


Figura 1.1 Diagrama de bloques de un sistema de medición de impedancia [5].

En este circuito, el oscilador controlado por tensión envía dos señales de tensión  $V_{LO}$  y en cuadratura desplazada en fase  $V_{LO}$  a la entrada de los dos mezcladores idénticos. La misma señal de tensión procedente del oscilador se aplica al tejido celular humano/biológico que está conectado en un camino paralelo al oscilador. La impedancia  $Z_{Cel}$  en el circuito se refiere a la célula humana. Una vez que la corriente se aplica a la muestra, esta sufre un cambio de amplitud y desplazamiento de fase  $\phi$  que tiene que ser calculado para encontrar la impedancia de la célula (o grupo de ellas). Por lo tanto, para obtener la corriente que pasa a través de las células, se ha conectado la pequeña resistencia en serie de manera que la caída de tensión en la resistencia es insignificante cuando se compara con la tensión de entrada. Entonces, esta pequeña señal de corriente es amplificada usando un amplificador operacional conectado a través de la resistencia  $R_{ref}$  en el circuito. La salida del amplificador operacional es una señal de RF amplificada que se envía como una de las entradas del mezclador. Este mezclador toma la señal de RF y las señales LO y proporciona la señal de salida mezclada que tiene dos componentes de frecuencia. Esta señal de salida se pasa a través del filtro de paso bajo de tal manera que componente de alta

frecuencia se filtra. El oscilador controlado por tensión envía su señal en cuadratura desplazada a otra entrada del mezclador donde se mezcla con la misma señal de RF amplificada y entrega la componente de salida en cuadratura de la señal mezclada anterior. La razón para el cálculo de la señal de salida mezclada en cuadratura es  $\sin(\phi)$  el cual es proporcional a la parte imaginaria de la impedancia, por lo que la permitividad puede ser calculada. El  $\cos(\phi)$ , el cual proporcional a la parte real de la impedancia, permite calcular la conductividad. Estas dos componentes de frecuencia cero son esenciales para calcular la diferencia de fase de la señal de corriente que pasa a través de la célula. [5]

Para obtener estos parámetros se busca implementar un circuito integrado en una tecnología CMOS de 130 nm, que permita colocar una muestra y observar su comportamiento en frecuencia (tanto en amplitud como en fase) en el rango de los GHz.

El circuito integrado a desarrollar posee una gran cantidad de módulos debido a que es un circuito de alta complejidad. En éste, el oscilador típicamente va a atenuar su amplitud conforme aumente su frecuencia y además de esto la muestra, que podría ser modelada como una impedancia  $Z = R + jX$ , también varía su valor. Esto genera que la potencia consumida por la muestra varíe dependiendo de la frecuencia, y esto puede provocar que se degrade o dañe la misma.

El desarrollo del presente trabajo final de graduación se enfocará en desarrollar una etapa de control analógico a nivel de circuito integrado en la tecnología CMOS IBM 8RF que permita controlar la potencia de salida de un oscilador de frecuencia variable.

La etapa a desarrollar tendrá un correcto funcionamiento hasta el rango de los GHz, de esta forma no limitará el ancho de banda del circuito completo de espectroscopia. Además contará con un amplio rango de control de la potencia de salida, de esta forma se podrá adaptar a diferentes situaciones presentadas durante la medición de diferentes muestras. También se diseñará de forma que permita un correcto acople con las demás etapas del circuito.

La solución que se desea debe hacer un uso eficiente del área, ser un sistema robusto y con un consumo eficiente de potencia. Además de cumplir con todas las reglas de diseño establecidas para esta tecnología.

Mediante la integración de esta etapa al circuito completo de espectroscopia, se garantiza el control de potencia a la salida del oscilador. De esta manera, se pueden realizar las diferentes mediciones de una forma segura debido a que las muestras no se van a degradar, y así los resultados obtenidos van a ser los correctos.

## **1.1 Objetivos y estructura del documento**

### **1.1.1 Objetivos**

Este proyecto tiene como objetivo principal diseñar una etapa a nivel de circuito integrado que permita una potencia constante a la salida de un oscilador de frecuencia variable, y que alcance una frecuencia de operación en el rango de los GHz. Para esto se van a diseñar las etapas del circuito a nivel de esquemático, considerando una impedancia alta a la entrada y baja a la salida, además de su correcta operación en el rango de los GHz. Posteriormente, se va a realizar el diseño físico de la etapa en la tecnología IBM 8RF y su correspondiente comprobación mediante una simulación postlayout.

### **1.1.2 Estructura del documento**

La estructura del documento es la siguiente: en el capítulo 2 se muestran todos los conceptos teóricos necesarios para el desarrollo de la solución. En el capítulo 3 se presentan 3 diferentes soluciones al problema propuesto, y además se presenta el desarrollo de la solución seleccionada así como su diseño físico. En el capítulo 4 se discute la validación y análisis de los resultados obtenidos. Por último, en el capítulo 5 se presentan las conclusiones y recomendaciones.

## Capítulo 2: Marco teórico

En este capítulo se van a desarrollar los temas necesarios para comprender el desarrollo de la solución encontrada al problema, los cuales son: espectroscopia por impedancia eléctrica, control automático de ganancia, amplificador de ganancia variable, celda de Gilbert, amplificador de transimpedancia y espejos de corriente.

### 2.1 Espectroscopia por impedancia eléctrica

La espectroscopia de impedancia eléctrica generalmente se aplica mediante la excitación con un potencial CA a la célula biológica (o grupo de ellas) y luego la medición de la corriente a través de la célula. Suponemos que aplicamos una pequeña excitación sinusoidal. La respuesta a este potencial es una señal de corriente AC. Se hace esta excitación, por lo que la respuesta de la célula es pseudo-lineal. En un sistema lineal (o sistema de pseudo- lineal), la respuesta de corriente a un potencial sinusoidal será una señal sinusoidal en la misma frecuencia pero desplazada en la fase. [5]

La señal de excitación tiene la siguiente forma:

$$V(t) = V_0 \sin(\omega t) \quad (2.1)$$

Donde  $V(t)$  es el potencial aplicado en el tiempo  $t$ ,  $V_0$  es la amplitud de la señal y  $\omega$  es la frecuencia radial (la cual tiene unidades de radianes/segundo).

En un sistema lineal la corriente tiene la forma:

$$I(t) = I_0 \sin(\omega t + \phi) \quad (2.2)$$

Donde  $I_0$  es la amplitud y  $\phi$  es el ángulo de desfase.

Utilizando la expresión análoga a la Ley de Ohm, que permite calcular la impedancia como:

$$Z = \frac{V(t)}{I(t)} = \frac{V_0 \sin(\omega t)}{I_0 \sin(\omega t + \phi)} = Z_0 \frac{\sin(\omega t)}{\sin(\omega t + \phi)} \quad (2.3)$$

Por lo tanto, la impedancia es expresada en términos de la magnitud  $Z_0$  y ángulo de desfase  $\phi$ .

## 2.2 Control automático de ganancia (AGC)

El AGC es un sistema cuyo propósito es mantener el nivel de salida de un amplificador, por ejemplo, en un valor casi constante, a pesar de que el nivel de la señal de entrada puede cambiar sustancialmente. Prácticamente todos receptores de radio y televisión utilizan técnicas de AGC con el fin de para garantizar un nivel de salida constante a pesar de desconocer las condiciones de recepción. Otras aplicaciones incluyen la estabilización de generadores de señales y el mantenimiento de los niveles de señal óptimos en sistemas de repetidores de cable. Técnicas similares se utilizan en ciertos tipos de reguladores de fuentes de alimentación.

El bloque fundamental de un circuito AGC es el Amplificador de Ganancia Variable (VGA, por sus siglas en inglés). La ganancia de dicho amplificador se ajusta en el lazo de tal manera que cuanto mayor sea la señal de entrada, menor sea la ganancia, manteniendo así relativamente constante la señal de salida. [10]

Existen dos tipos de circuitos AGC: de alimentación directa (feedforward) y de retroalimentación (feedback). En los primeros, la ganancia del VGA se ajusta en función de la amplitud de la señal de entrada, como se aprecia en la figura 2.1(a). Estos sistemas proporcionan una respuesta más rápida a la amplitud de la señal, pero son también mucho más sensibles a variaciones de los parámetros, por lo que su aplicación suele restringirse al área de comunicaciones. En los lazos AGC de retroalimentación como el que se representa en la figura

2.1 (b), en cambio, la ganancia del VGA se ajusta en función de la amplitud detectada en la salida, por lo que el sistema es más robusto. [10]

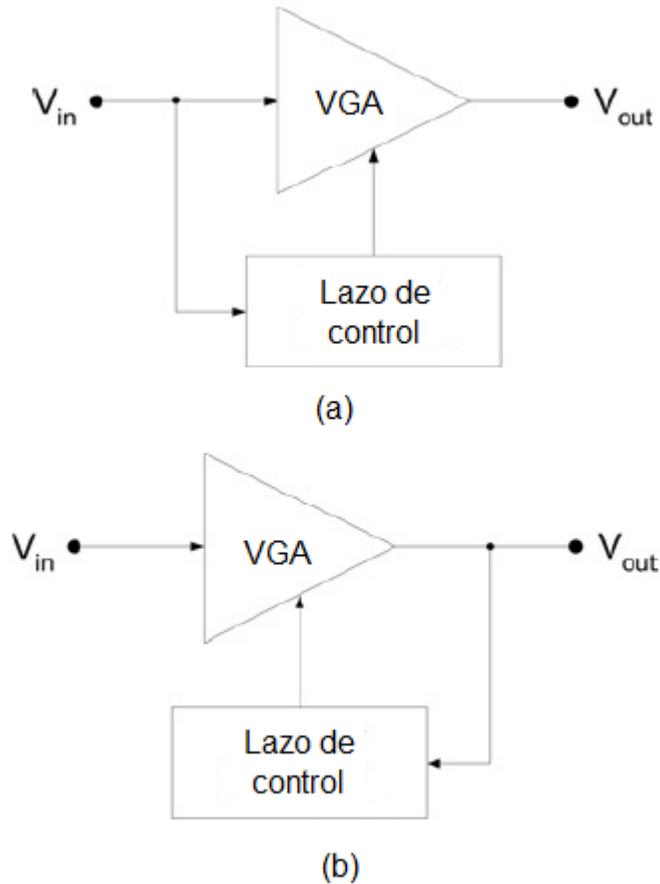


Figura 2.1 (a) AGC de alimentación directa, (b) AGC de retroalimentación. [10]

La implementación de un AGC de retroalimentación se muestra en la figura 2.2, consta de un amplificador de ganancia variable el cual varía su ganancia en función de la variable de control  $V_c$ , amplificadores de salida los cuales aumentan la ganancia del circuito, un detector de envolvente debido a que la señal  $V_o$  contiene la información de la variación de la señal  $V_{in}$ , un comparador, que compara la señal detectada con una señal de referencia  $V_{ref}$ , un integrador que proporciona la variable de control  $V_c$  y una red de cancelación de offset la cual cancela el offset a la salida.

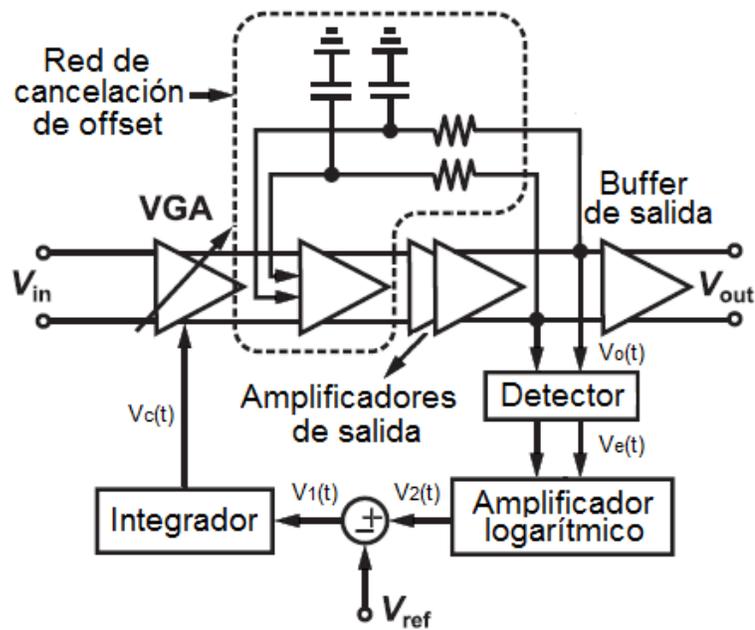


Figura 2.2 Arquitectura convencional de un AGC. Adaptado de [12]

La estabilidad no es algo crítico en los lazos de control automático de ganancia. De hecho, la estabilidad global del lazo está garantizada si se cumplen dos condiciones mínimas:

- Para un VGA de ganancia  $g = Ge^{-\alpha(V_c)}$ , donde  $G > 0$  y  $\alpha$  es una función monótona creciente continuamente diferenciable, ha de existir un valor  $\alpha > 0$  tal que, para todo  $V_c$ , se cumpla  $0 < \alpha < \frac{d(\alpha(V_c))}{dV_c}$ . [10]
- El detector ha de tener una característica continuamente diferenciable. [10]

Para la arquitectura de la figura 2.2 se puede realizar el siguiente análisis, basado en [15], se tiene la siguiente función de transferencia de la relación de envolventes:

$$\frac{Y_{dB}(s)}{X_{dB}(s)} = \frac{s}{s + \alpha \cdot A} \quad (2.4)$$

Donde  $Y_{dB}$  es la envolvente de salida,  $X_{dB}$  es la envolvente de entrada,  $\alpha$  es un factor que multiplica a la tensión de control  $V_c$  y  $A$  es la amplitud del integrador.

Si se supone que se da un salto de un 1 dB en la envolvente de entrada, pudiendo ser positivo o negativo, entonces se llama a la nueva envolvente  $X'_{dB}(s)$  y a la envolvente de salida  $Y'_{dB}(s)$ , se obtiene lo siguiente:

$$X'_{dB}(s) = X_{dB}(s) \pm 1 \quad (2.5)$$

Sustituyendo (2.5) en (2.4), se puede establecer la siguiente relación:

$$\frac{Y'_{dB}(s)}{X_{dB}(s) \pm 1} = \frac{s}{s + \alpha \cdot A} \quad (2.6)$$

Por lo tanto se puede calcular  $Y'_{dB}(s)$  multiplicando por la función de transferencia:

$$Y'_{dB}(s) = \frac{s}{s + \alpha \cdot A} X_{dB}(s) \pm \frac{s}{s + \alpha \cdot A} \quad (2.7)$$

Ya que el primer término es  $Y_{dB}(s)$ , se puede reordenar la expresión de la siguiente forma:

$$Y'_{dB}(s) - Y_{dB}(s) = \pm \frac{s}{s + \alpha \cdot A} = \pm 1 \mp \frac{\alpha \cdot A}{s + \alpha \cdot A} \quad (2.8)$$

La ecuación (2.8) relaciona la nueva envolvente  $Y'_{dB}(s)$  con la envolvente anterior  $Y_{dB}(s)$ , aplicando la transformada inversa de LaPlace para obtener la respuesta temporal:

$$y'_{dB}(t) - y_{dB}(t) = \pm \delta(t) \mp \alpha A e^{-\alpha A t} \quad (2.9)$$

Si se estudia la ecuación (2.9), cuando se sube 1dB (instante  $t=0$ ), la ecuación queda como  $y'_{dB}(t)-y_{dB}(t)=+\delta(t)=+1$ , ya que en  $t=0$  el filtro  $h(t)$  todavía no ha respondido. Por tanto, en el instante inicial la diferencia entre la envolvente nueva y la inicial es de 1 dB. Cuando  $t$  comienza a crecer, se tiene una respuesta exponencial decreciente debido al segundo término de la expresión (2.9), por lo que a medida que va aumentando el tiempo, la diferencia entre la envolvente nueva  $y'_{dB}(t)$  y la inicial  $y_{dB}(t)$  va disminuyendo (inicialmente  $y'_{dB}(t) > y_{dB}(t)$ ) hasta que ambas son iguales. [15]

Si por el contrario, se disminuye la envolvente de entrada 1dB, la respuesta queda como  $y'_{dB}(t)-y_{dB}(t)=-\delta(t)=-1$ , de modo que se disminuye 1dB (instante  $t=0$ ), la envolvente final disminuye en ese valor por la misma razón que en el caso anterior. Por tanto, en el instante inicial la diferencia entre la envolvente nueva y la inicial es de -1dB, que es el salto que se produce en la señal de entrada. Cuando  $t$  comienza a crecer, se produce una exponencial creciente que reduce esa diferencia (en este caso se tiene que  $y'_{dB}(t) < y_{dB}(t)$ ), por lo que la diferencia también va disminuyendo hasta que ambas vuelven a ser iguales. [15]

De aquí se deduce que cuando la envolvente de entrada sube o baja 1 dB, la de salida, en el instante inicial, tiende a subir o bajar siguiendo a la variación de la envolvente de entrada, pero cuando pasa un tiempo, la de salida se estabiliza hasta que llega al valor inicial  $y_{dB}(t)$ . [15]

### **2.3 Amplificador de ganancia variable (VGA)**

Un amplificador de ganancia variable, cuyo símbolo se muestra en la figura 2.3, es un dispositivo al cual se puede variar su valor ganancia modificando su tensión de control, este control típicamente es lineal en dB.

Los amplificadores de ganancia variable tienen aplicación en sistemas donde la señal de amplitud puede experimentar grandes variaciones, por lo tanto requiere cambios inversos en la ganancia. [1]

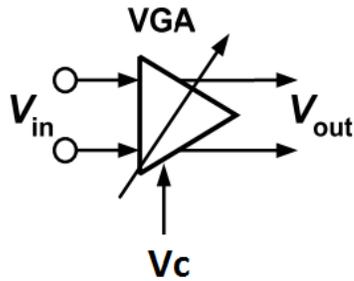


Figura 2.3 Símbolo de un VGA. Adaptado de [12]

De forma general su ganancia se puede expresar de la siguiente forma:

$$V_{out}(t) = g(V_c(t)) \cdot V_{in}(t) \quad (2.10)$$

Donde  $g(V_c(t))$  es la ganancia del amplificador en función de  $V_c$ , la cual puede variar en el tiempo.

## 2.4 Celda de Gilbert

Una celda de Gilbert es un amplificador diferencial donde la transconductancia es controlada por la modulación de la corriente de cola. En la figura 2.4, se muestra el esquemático de una celda de Gilbert, utilizando tecnología CMOS.

La salida de la celda de Gilbert puede ser expresada de la siguiente forma:

$$V_{out} = A_1 \cdot V_{in} + A_2 \cdot V_{in} \quad (2.11)$$

Donde  $A_1$  y  $A_2$  son controladas por  $V_{c1}$  y  $V_{c2}$ , respectivamente. Con la implementación actual se puede decir que:

$$V_{out} = R_{D0}(I_{D1} + I_{D4}) - R_{D0}(I_{D2} + I_{D3}) \quad (2.12)$$

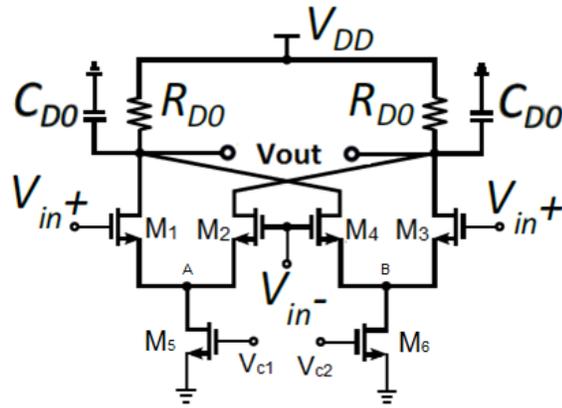


Figura 2.4 Celda de Gilbert implementada con tecnología CMOS [13].

La corriente de drenador ( $I_D$ ) puede ser expresada como:

$$I_D = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L}\right) (V_{GS} - V_{th})^2 \quad (2.13)$$

Donde  $\mu_n$  es la movilidad de los electrones,  $C_{OX}$  es la capacidad por unidad de área de la estructura,  $W$  es el ancho del transistor,  $L$  es el largo del transistor,  $V_{GS}$  es la tensión entre la source y drain y  $V_{th}$  es la tensión de umbral. Note que si  $I_{D5} = 0$ , entonces  $V_{out} = g_m R_{D0} V_{in}$  y si  $I_{D6} = 0$ , entonces  $V_{out} = -g_m R_{D0} V_{in}$ , para  $I_{D5} = I_{D6}$  la ganancia es 0. [1]

En el circuito de la figura 2.4,  $V_{c1}$  y  $V_{c2}$  deben variar  $I_{D5}$  e  $I_{D6}$  en direcciones opuestas, tal que la ganancia del amplificador cambia monótonamente. [1]

Note que para un valor grande de  $|V_{c1} - V_{c2}|$  toda la corriente de cola es dirigida a uno de los pares diferenciales superiores y la ganancia de  $V_{in}$  a  $V_{out}$  se encuentra en su valor más positivo o más negativo. Por otra parte, si  $V_{c1} = V_{c2}$ , la ganancia es cero. En un diseño típico  $M_1, M_2, M_3$  y  $M_4$  son idénticos y también lo son  $M_5$  y  $M_6$ . [1]

Al igual que con una estructura cascode, la celda de Gilbert consume una mayor tensión que un par diferencial sencillo. Esto es porque los dos pares diferenciales  $M_1$ - $M_2$  y  $M_3$ - $M_4$  están

“apilados” en la parte superior del par diferencial de control. Para entender este punto, suponiendo una entrada diferencial  $V_{in}$ , que tiene un nivel de modo común  $V_{CM\ in}$ . Entonces  $V_A = V_B = V_{CM\ in} - V_{GS1}$ , donde se asume que  $M_1$  y  $M_4$  son idénticos. Para que  $M_5$  y  $M_6$  operen en saturación, el modo común de  $V_c$ ,  $V_{CM\ con}$ , debe ser tal que  $V_{CM\ con} \leq V_{CM\ in} - V_{GS1} + V_{TH\ 5,6}$ . Ya que  $V_{GS1} + V_{TH\ 5,6}$  es aproximadamente igual a una tensión de overdrive, se concluye que el modo común de la señal de control debe ser menor que el modo común de la entrada por al menos este valor. [1]

Para llegar a la topología de la celda de Gilbert, se opta por variar la ganancia de cada par diferencial a través de su corriente de cola, de este modo aplicando la tensión de control al par inferior y la señal de entrada al par superior. Curiosamente, el orden puede ser intercambiado y se sigue obteniendo un VGA. [1]

La implementación de un VGA utilizando una celda de Gilbert es preferible debido a su amplio intervalo de sintonización, ganancia independiente del ancho de banda y salida constante de modo común. Sin embargo, para una ganancia máxima razonable y alta sensibilidad del VGA, la resistencia de drenador ( $R_{D0}$  en la figura 2.4) requerida es grande, lo cual afecta el polo a la salida de la celda de Gilbert ( $1/R_{D0}C_{D0}$ ) y esto a su vez afecta el ancho de banda del amplificador. [13]

## 2.5 Amplificador de transimpedancia (TIA)

Los amplificadores se clasifican en cuatro categorías y topologías las cuales dependen de la variable a ser amplificada (voltaje o corriente) y por la forma de salida deseada (voltaje o corriente). Estas categorías son: amplificadores de voltaje, amplificadores de corriente, amplificadores de transconductancia y amplificadores de transimpedancia. Este tipo de amplificadores están conectados con elementos resistivos, capacitivos o inductivos que conectan al amplificador operacional produciendo una retroalimentación entre la entrada del operacional y la salida del mismo. La forma que estos elementos se conectan depende de la categoría a usar. [11]

Los amplificadores de transimpedancia tienen como entrada una corriente y un voltaje como señal de salida, su configuración presenta una retroalimentación de forma paralela a la señal de entrada, y paralela a la señal de salida, es por ello que esta topología de retroalimentación es llamada paralelo-paralelo. En esta estructura se debe de inyectar una corriente  $I_{in}$  para obtener un voltaje  $V_0$  en la salida, como se muestra en la figura 2.5. [11]

Estos amplificadores se utilizan en aplicaciones en las cuales se necesite una alta velocidad y un elevado rango dinámico. Se realizan usando un amplificador de corriente con retroalimentación, mediante una resistencia.

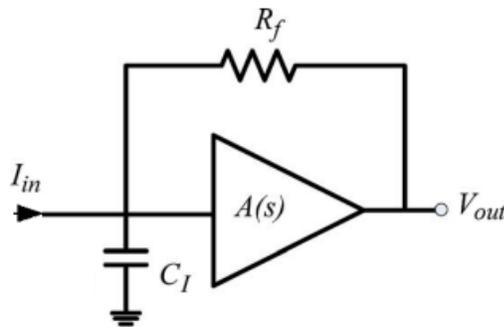


Figura 2.5 Amplificador de transimpedancia. Adaptado de [9]

En la figura 2.5,  $R_f$  es la resistencia de realimentación y  $C_I$  es la capacitancia de entrada del amplificador. Basado en [9] se puede decir que,  $A(s)$  es la función de transferencia del amplificador, y asumiendo que tiene solo un polo, se puede escribir como:

$$A(s) = \frac{-A_0}{1+s/\omega_0} \quad (2.14)$$

Donde  $A_0$  es la ganancia de tensión a baja frecuencia, y  $\omega_0$  es el polo a lazo abierto del amplificador. Usando (2.14) se puede encontrar la función de transferencia del TIA de la figura 2.5:

$$\frac{V_{out}}{I_{in}} = \frac{\frac{-A_0}{A_0+1} R_f \omega_n^2}{s^2 + 2\xi \omega_n s + \omega_n^2} \quad (2.15)$$

En donde:

$$\xi = \frac{C_I R_f \omega_0 + 1}{2\sqrt{(A_0 + 1)\omega_0} C_I R_f} \quad (2.16)$$

$$\omega_n^2 = \frac{(A_0 + 1)\omega_0}{C_I R_f} \quad (2.17)$$

En (2.15), la cual es una función de transferencia de segundo orden,  $\xi$  es el factor de amortiguamiento y este determina la cantidad de resonancia que aparece en la respuesta al escalón del TIA. Si  $\xi$  es menor que  $\sqrt{2}/2$ , aparece la resonancia en la respuesta al escalón corrompiendo los valores altos y bajos del dato. Si  $\xi > \sqrt{2}/2$  el TIA se convierte sobreamortiguado y esto limita su ancho de banda. [9]

Asumiendo que  $\xi = \sqrt{2}/2$  y  $A_0 \gg 1$  con (2.15) y (2.17) se puede encontrar el ancho de banda del TIA, el cual sería:

$$\omega_{3dB} = \frac{\sqrt{2} A_0}{C_I R_f} \quad (2.18)$$

Y el ancho de banda necesario para el amplificador de tensión de la figura 4 debe ser:

$$\omega_0 = \frac{2A_0}{C_I R_f} \quad (2.19)$$

La ganancia de transimpedancia a baja frecuencia del TIA,  $Z_T$  puede ser fácilmente encontrada de (2.15):

$$Z_T = \frac{A_0}{A_0 + 1} R_f \quad (2.20)$$

Se puede demostrar que  $\omega_{3dB}$  en (2.18) es el ancho de banda máximo que se puede lograr mediante la retroalimentación TIA. En procesos específicos el amplificador de tensión se optimiza para proveer un máximo  $A_0$  y satisfacer (2.19) al mismo tiempo. Esto llevaría al máximo ancho de banda en ese proceso. [9]

## 2.6 Espejos de corriente

Un espejo de corriente es un circuito que proporciona una corriente constante igual a una corriente constante de referencia. En la figura 2.6 se muestra un espejo de corriente CMOS básico, en el cual se asume que M1 y M2 están operando en saturación, poseen el mismo ancho y largo, y además que  $V_{GS1}=V_{GS2}=V_{DS1}$ . [3]

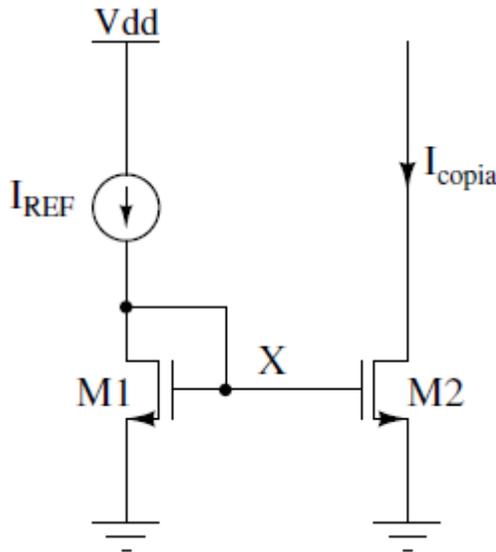


Figura 2.6 Espejo de corriente básico CMOS [3].

La corriente de los transistores se pueden expresar como:

$$I_{REF} = \frac{1}{2} \mu_n C_{OX} \left( \frac{W}{L} \right)_1 (V_x - V_{th})^2 \quad (2.20)$$

$$I_{copia} = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L}\right)_2 (V_x - V_{th})^2 \quad (2.21)$$

Asumiendo que ambos poseen la misma tensión de umbral, se puede obtener lo siguiente:

$$I_{copia} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} I_{REF} \quad (2.22)$$

Si ambos transistores son idénticos, se reduce a:

$$I_{copia} = I_{REF} \quad (2.23)$$

## 2.7 Fabricación y reglas de diseño.

A pesar de su complejidad, los chips son increíblemente baratos para producción en masa porque todos los transistores y los cables se pueden imprimir en la misma manera que los libros. La secuencia de fabricación consiste en una serie de pasos en los que las capas de los chips se definen a través de un proceso llamado fotolitografía. Debido a que toda una oblea completo de chips se procesa en cada paso, el coste del chip es proporcional a la superficie del chip, en vez del número de transistores. A medida que avanza de fabricación permiten a los ingenieros construir transistores más pequeños y por lo tanto encajan más en la misma área, por lo tanto cada transistor se vuelve más barato. Los transistores más pequeños son también más rápidos porque los electrones no tienen que viajar tan lejos para llegar desde la fuente al drenador, y consumen menos energía debido a que un menor número de electrones son necesarios para cargar las puertas. Esto explica la tendencia notable para las computadoras y equipos electrónicos cada vez más baratos y más capaces en cada generación. [17]

Por otra parte, las reglas de diseño físico, también conocidas como reglas de diseño, se pueden considerar una receta para la preparación de las fotomáscaras que se utilizan en la

fabricación de circuitos integrados. Las reglas se definen en términos de las características de los tamaños (ancho), separaciones, y superposiciones necesarias para poder fabricar el circuito integrado. El principal objetivo de las reglas de diseño físico es construir circuitos funcionales de forma fiable en un área lo más pequeña posible. En general, las reglas de diseño representan un compromiso entre el rendimiento y el producto. Mientras más conservadoras son las reglas, más probable es que el circuito funcione. Sin embargo, mientras más agresivas sean las reglas, mayor es la oportunidad de mejorar el rendimiento y el tamaño del circuito. [17]

Las reglas de diseño especifican al diseñador ciertas restricciones geométricas de la obra de arte de diseño de modo que los patrones en la oblea procesada preservarán la topología y la geometría de los diseños. Es importante señalar que las reglas de diseño no representan algún límite entre la fabricación correcta e incorrecta. Más bien, representan una tolerancia que asegura una alta probabilidad de fabricación correcta y posterior funcionamiento. [17]

Para el desarrollo de este proyecto se va a utilizar el kit de diseño de la tecnología CMOS de 130 nm de IBM (8RF). En esta tecnología se ofrecen diferentes modelos de transistores. Debido a la importancia de un correcto funcionamiento en el rango de los GHz se va a hacer uso de los transistores RF, los cuales permiten un mejor desempeño en alta frecuencia.

### **Capítulo 3: Diseño y desarrollo de la solución**

En este capítulo se presentan las tres propuestas para la solución del problema y se selecciona una de las propuestas con su debida justificación. Además, se presentará todo el proceso de diseño de la solución seleccionada.

Como punto de partida, se definieron los requerimientos de la etapa a desarrollar, los cuales se presentan a continuación:

- Diseño de un sistema robusto, el cual no necesite del monitoreo constante ni la intervención de un usuario para su correcto funcionamiento.
- Bajo consumo de potencia, se pretende el desarrollo de una etapa eficiente en el consumo energético.
- La etapa a desarrollar debe implementarse en un circuito integrado, por lo tanto debe ser posible su desarrollo a nivel de esquemático y layout. Es decir, no se puede hacer uso de microcontroladores ni hardware previamente implementado.
- Uso de área eficiente, se debe optimizar el uso del área a la hora de realizar la implementación.
- La etapa debe ofrecer un control de potencia a la salida, que permita grandes variaciones en la impedancia de carga.

#### **3.1 Análisis y selección de la solución**

Para la solución al problema se plantearon 3 diferentes alternativas, que permitan el desarrollo de una etapa de amplificación con potencia de salida constante y que satisfagan los

requerimientos del proyecto. De éstas se seleccionará la más adecuada para desarrollar su solución.

### **3.1.1 Solución 1: Amplificador de ganancia variable, controlado por fuentes externas.**

Mediante el uso de un amplificador de ganancia variable y fuentes externas, se puede modificar la ganancia y con ello se obtiene un control en la tensión de salida. De esta forma se puede controlar la potencia a la salida, únicamente variando el valor de la tensión de control en función de la corriente de salida.

Para ello se necesita que un control externo no realimentado que modifique el valor de la tensión de control del amplificador, en función de la frecuencia a la cual se está desarrollando la medición. Además, para mantener la potencia constante, se debe conocer el valor de la tensión de control necesario para cada frecuencia.

Esta solución puede ser implementada en un circuito integrado. Sin embargo, necesita de la intervención de un usuario para su correcto funcionamiento lo cual hace que el sistema no sea robusto y sea propenso a errores en la medición.

### **3.1.2 Solución 2: Control automático de ganancia**

Una etapa de control automático de ganancia tiene como función mantener la tensión de salida constante para cualquier valor de entrada. Esto se logra mediante la definición de un valor de referencia, el cual es el que define la tensión de salida de la etapa. Para este problema, se puede variar el valor de referencia (lo cual lo permite la topología de AGC) en función de la corriente de salida. De esta forma se logra ajustar el valor de referencia de forma automática y el AGC ajusta el valor de la tensión de salida para mantener la potencia constante.

Esta solución garantizaría un sistema robusto, en el cual no se depende de un usuario que regule ningún parámetro del circuito y por lo tanto la etapa funciona de manera autónoma.

### 3.1.3 Solución 3: Compensación de primer orden para la potencia en la carga

Para controlar la potencia entregada a una carga se puede utilizar una compensación por realimentación de primer orden (e.g. un control con integrador o PI). Esto se consigue, por ejemplo, estableciendo una referencia de potencia y controlando la realimentación del circuito con la diferencia entre la señal de salida con respecto a esta referencia. Este método es utilizado en aplicaciones en las cuales la resistencia de salida varíe su valor, sin embargo no es conveniente utilizarla en aplicaciones donde la resistencia tenga grandes variaciones. Más información de este acercamiento se puede encontrar en [6]

## 3.2 Selección de la solución

A partir de las 3 soluciones planteadas, se procedió a seleccionar la propuesta que se adapte mejor a los requerimientos del proyecto. Para ello se realizó una tabla comparativa en la cual se analizaron diferentes aspectos relevantes a la hora de escoger la solución a implementar. En la tabla 3.1 se muestran las diferentes soluciones comparadas entre sí, en donde la calificación mínima es un 1 (muy malo) y la máxima es un 4 (muy buena).

Tabla 3.1 Comparación de las diferentes propuestas.

Característica	Propuesta 1	Propuesta 2	Propuesta 3
Funcionalidad	4	4	2
Robustez	1	4	2
Implementación	4	4	4
Total	9	12	8

En la tabla 3.1 se observa que las propuestas 1 y 2 cumplen con la característica de funcionalidad, por lo tanto se pueden implementar como un sistema para amplificar y mantener

la potencia de salida constante. Sin embargo la propuesta 3, a pesar de que permite mantener la potencia constante a la salida, no permite variaciones importantes en la impedancia de salida y para esta aplicación es necesario que la etapa responda a estos cambios.

Por otra parte si se analiza la robustez, se puede afirmar que la propuesta 1 no va a cumplir esta característica, debido a que como se mencionó anteriormente depende de un usuario externo que controle el circuito por lo tanto es propenso a errores. La propuesta 2, por su parte, si es un sistema robusto porque controla su ganancia de forma automática y no necesita de un usuario o supervisor externo para lograr controlar la potencia. Y por último la solución 3 no es un sistema del todo robusto debido a que necesita capacitores de conmutación y una señal de reloj, lo cual puede generar ruido y que además como se mencionó anteriormente no permite cambios grandes en la resistencia de carga.

Con respecto a la implementación, las tres propuestas pueden ser implementadas a en un circuito integrado.

Con base a las comparativas realizadas se debe seleccionar la propuesta 2 para el diseño e implementación de la etapa de amplificación con potencia de salida constante. Sin embargo, debido a las limitaciones de tiempo para el desarrollo del proyecto, este se va a limitar al desarrollo de un amplificador de ganancia variable con etapa de salida de trasconductancia. Las demás etapas deben ser implementadas a futuro para lograr una solución óptima al problema planteado basado en un AGC.

### **3.3 Desarrollo del diseño**

Según la propuesta seleccionada, a continuación se mostrará todo el proceso de diseño necesario para la implementación de la etapa, cumpliendo las especificaciones definidas previamente. En la figura 3.1 se muestra de forma general la arquitectura de la solución, basada en [12].

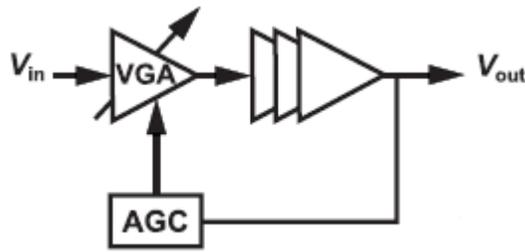


Figura 3.1 Arquitectura general de un AGC de retroalimentación. Adaptado de [12]

### 3.3.1 Diseño del amplificador de ganancia variable

Como se observa en la figura 3.1, el uso de un amplificador de ganancia variable es indispensable para obtener un control en la tensión de salida. Existen diferentes topologías para la implementación de un VGA, sin embargo para este proyecto es importante considerar que se desea un gran ancho de banda y además es necesario un consumo de área reducido. Muchas de las topologías que ofrecen un gran ancho de banda, tienen el inconveniente que para lograrlo hacen uso de inductores. A nivel de diseño físico estos consumen un área considerable y además su implementación no es tan precisa, por lo que su valor varía a la hora de fabricación. Debido a esto no se consideran una opción factible para implementar en este proyecto.

Por lo tanto, tomando esto en consideración, se buscó una topología que evitara el uso de inductores pero que brindara un gran ancho de banda. La arquitectura propuesta para el VGA se muestra en la figura 3.2, basada en la arquitectura mostrada en [13].

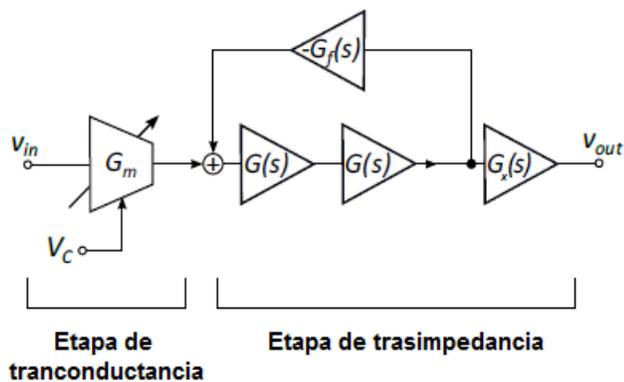


Figura 3.2 Arquitectura propuesta para el VGA. Adaptada de [13]

Esta arquitectura puede ser dividida en dos etapas, una etapa de entrada la cual consiste en un amplificador de transconductancia variable y una etapa de transimpedancia.

La etapa de transconductancia se implementará mediante una celda de Gilbert, debido a que esta proporciona un ancho de banda constante en la zona de interés. Para incrementar la ganancia se utilizó una etapa de transimpedancia como carga, en esta se tienen dos amplificadores diferenciales ( $G(s)$ ) conectados en cascada y realimentados por otro amplificador ( $G_f(s)$ ). Además, se tiene un amplificador de salida  $G_x(s)$ , el cual define la ganancia final de la etapa y determina la impedancia de salida de la misma. En la figura 3.3 se muestra un diagrama equivalente para la arquitectura.

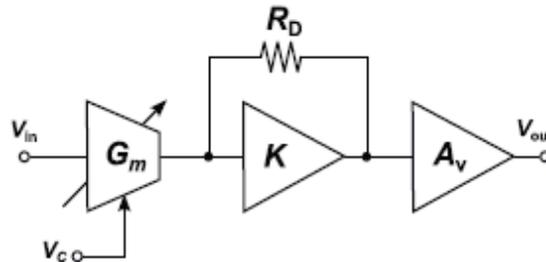


Figura 3.3 Diagrama de bloques equivalente para la arquitectura VGA propuesta. Adaptado de [12].

En la figura 2.4 del capítulo anterior se muestra la celda de Gilbert utilizada para implementar el VGA. Es importante considerar que el valor de resistencia  $R_{D0}$  afecta el ancho de banda, la ganancia, el valor de modo común y la resistencia de salida de la celda de Gilbert. Por lo tanto, si se desea aumentar la ganancia se disminuye el ancho de banda, debido a que la resistencia afecta el polo de salida del amplificador, además se incrementa la resistencia de salida y el modo común. De manera que para determinar el valor de la resistencia  $R_{D0}$ , se buscó un valor mediante el cual se obtuviera el mayor ancho de banda, la mayor ganancia y un modo común sin variaciones drásticas.

Como primer paso en el diseño del circuito, se tomaron los valores del circuito mostrado en [13], esto para tener un valor de referencia. Sin embargo, en este no se muestra un valor para los transistores  $M_5$  y  $M_6$ ; por lo tanto tomando se definió un valor de  $M_5$  y  $M_6$  mayor que  $M_1$  y  $M_2$ . Una vez definidos todos valores de la celda de Gilbert, se realizó una simulación a nivel de DC para observar como variaba el modo común a la salida en función de la tensión de control  $\Delta V_c$ . Posteriormente se hizo una simulación de transiente en la cual se observó la ganancia del circuito, en este caso se buscaba una ganancia máxima tomando en consideración los otros parámetros de diseño. Por último, se realizó una simulación AC para observar su comportamiento en frecuencia, tanto en magnitud como en fase, y en esta se buscó el mayor ancho de banda permitido por la topología y por las especificaciones dadas.

Es importante rescatar que este proceso fue iterativo, en el cual se variaron los valores de los transistores y las resistencias, mediante diferentes criterios, aplicando la teoría básica del transistor MOSFET. En la tabla 3.2 se encuentran las dimensiones para los componentes utilizados para la implementación.

Tabla 3.2 Dimensiones de los componentes empleados en la celda de Gilbert.

Componente	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
$M_1$	25	0.2
$M_2$	25	0.2
$M_3$	25	0.2
$M_4$	25	0.2
$M_5$	50	0.5
$M_6$	50	0.5
$R_{D0}$	1	1.6

Por otra parte, para el diseño de la etapa de transimpedancia se implementó un circuito como el que se muestra en la figura 3.4, en la cual es necesario el uso de fuentes de corriente

para establecer la ganancia de cada uno de los amplificadores. Para su diseño se utilizó un método igual al de la etapa anterior. Primero se utilizaron como punto de partida, el valor de los transistores utilizados en [12].

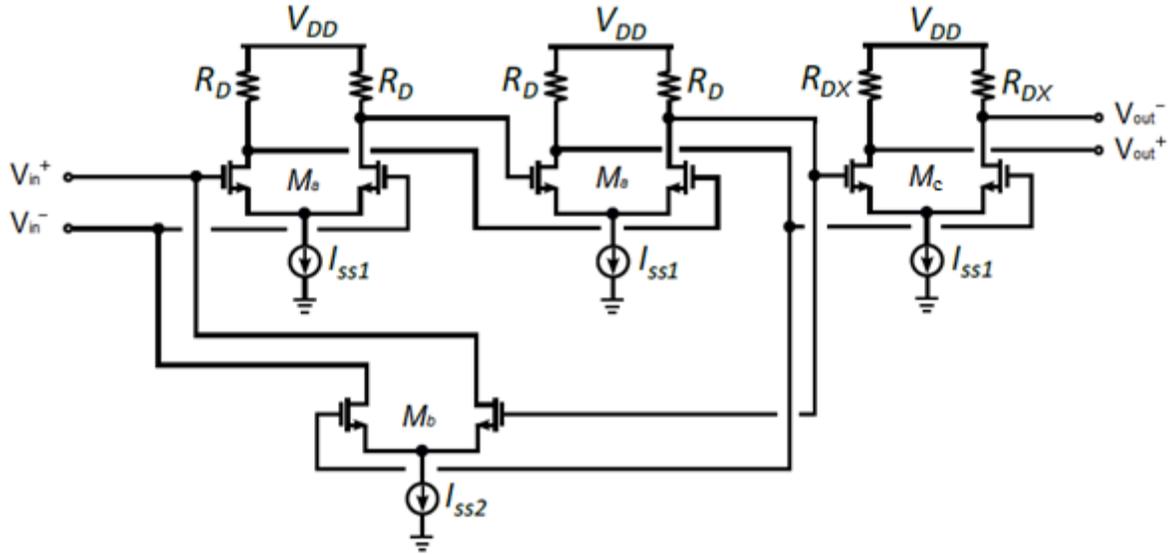


Figura 3.4 Amplificador de transimpedancia a nivel de esquemático. Adaptado de [13].

A partir de estos y mediante un método iterativo se definieron los valores finales del diseño, buscando el mejor comportamiento de la etapa tomando en consideración ganancia, ancho de banda y modo común. En la tabla 3.3 se presentan los valores utilizados en la implementación a nivel de esquemático.

Tabla 3.3 Dimensiones de los componentes empleados en el amplificador de transimpedancia.

Componente	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
Ma	30	0.12
Mb	32	0.12
Mc	55	0.5

$R_D$	2.1	1
$R_{DX}$	3.4	3

Además los valores mostrados en la tabla 3.3, cada uno de los amplificadores necesitan una corriente de cola, definida por cada una de las fuentes de corriente. Para lograr el comportamiento esperado de la etapa fue necesario una corriente  $I_{ss1}$  y  $I_{ss2}$  de 4 mA y 0.18 mA, respectivamente. Estas corrientes son brindadas por fuentes externas al circuito, por lo tanto fue necesario el uso de espejos de corriente como los mostrados en la figura 2.6.

En los espejos de corriente ambos transistores deben operar en saturación y además poseer el mismo largo y ancho, para obtener una copia de la corriente de referencia. En el caso de la fuente  $I_{ss1}$  como se desea copiar una corriente relativamente grande, se deben utilizar transistores de gran tamaño para que estos operen en saturación. Por otra parte, para la fuente  $I_{ss2}$  como no es una corriente tan grande ( $I_{ss1}$  es  $4.5 \cdot I_{ss2}$ ), no es necesario el uso de transistores de un tamaño tan grande como el caso anterior.

Sin embargo durante el desarrollo, se presentó un inconveniente debido a que como ambas corrientes son relativamente grandes, realizar una copia exacta requería el uso de transistores de dimensiones no aptas para el circuito, debido a que sus tamaños eran mucho mayores a los utilizados en demás etapas. Por lo tanto se optó por utilizar transistores de tamaños reducidos pero aumentando la corriente de referencia, de esta forma aunque no se realizaba una copia exacta si se obtenían los valores deseados. Para obtener una corriente de copia de 4 mA, es necesario una corriente de referencia de 4.6 mA. Por lo tanto se copia un 86.95% de la corriente de referencia. Por otra parte para obtener una corriente de 0.18 mA fue necesario utilizar una corriente de referencia de 0.19 mA, con ello se puede decir que se copia un 94.73% de la corriente de referencia.

Tomando esto en consideración, se realizó un proceso iterativo, en el cual se buscó obtener espejos de corriente utilizando transistores del menor tamaño posible y verificando su

funcionamiento mediante simulación. De esta forma se logró obtener la corriente esperada para cada caso (4 mA y 0.18 mA), sin realizar una copia exacta. En la tabla 3.4 se muestran las dimensiones de los transistores empleados para cada uno de los espejos.

Tabla 3.4 Dimensiones de los transistores utilizados en los espejos de corriente.

Fuente	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
$I_{ss1}$	70	0.55
$I_{ss2}$	9	0.5

Debido a que la fuente que proporciona la corriente  $I_{ss1}$  está conectada a 3 amplificadores (esto se observa en la figura 3.4), esta debe tener un valor de tres veces el utilizado en el diseño de uno de los espejos de corriente, de esta forma se garantiza que la corriente entregada a cada amplificador es de 4mA. Esto es debido a que el diseño está planteado para que no necesariamente las tres fuentes de corriente posean el mismo valor de corriente de referencia. Por lo tanto, existe la posibilidad de utilizar fuentes independientes para cada uno de los amplificadores y así modificar su ganancia de forma individual.

### 3.3.2 Diseño del lazo de control

Como se mencionó anteriormente, debido a la limitación de tiempo para la implementación del proyecto, el lazo de control únicamente se desarrolló a nivel de concepto. A continuación se van a detallar cada una de las etapas necesarias para lograr el lazo de control:

Primero, se debe desarrollar un detector de picos para determinar la amplitud de la señal de salida. Para implementarlo existen diferentes topologías, una de las más básicas se muestra en figura 3.5, sin embargo se debe considerar que al ser una topología básica puede generar inconvenientes, pero es útil para una primera aproximación en el desarrollo de la solución.

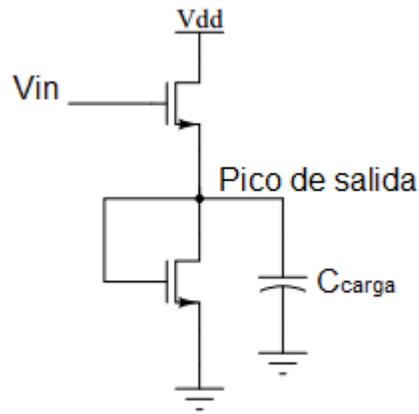


Figura 3.5 Detector de picos básico [4].

Luego se debe desarrollar un amplificador logarítmico, este tiene como función linealizar la ganancia del amplificador de ganancia variable. En la figura 3.6 se muestra la estructura de un amplificador logarítmico.

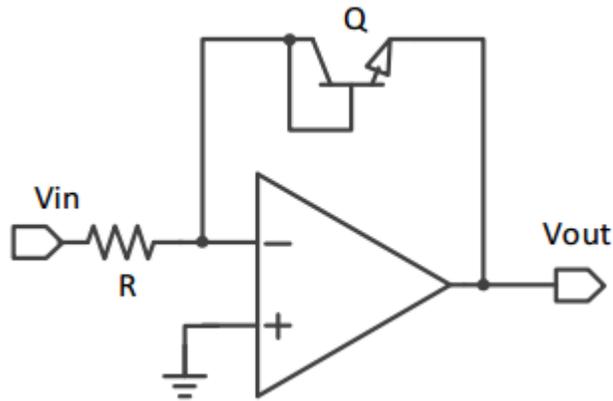


Figura 3.6 Amplificador logarítmico [2].

Posteriormente, se debe desarrollar un circuito que efectúe la resta del valor actual de la envolvente con el valor de referencia. Por lo tanto se debe desarrollar un circuito restador, en la figura 3.7 se presenta la estructura, en la cual la salida es  $V_{out} = V_{in a} - V_{in b}$

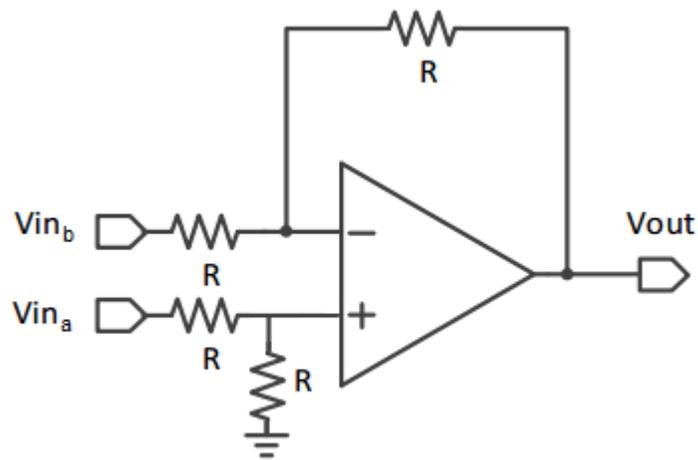


Figura 3.7 Circuito restador. Adaptado de [2].

Por último, se debe implementar un circuito integrador para determinar el valor de la tensión de control  $V_c$ . En la figura 3.8 se muestra un circuito integrador.

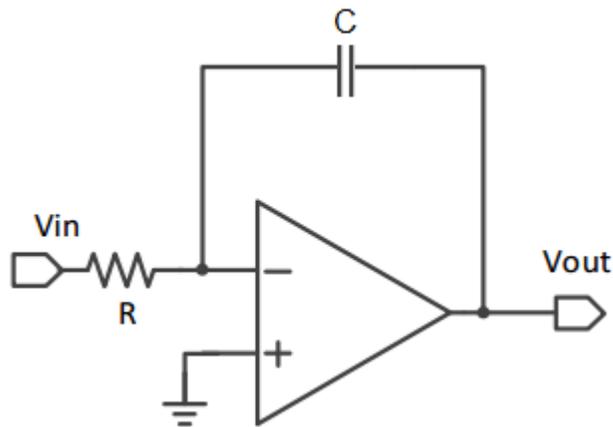


Figura 3.8 Circuito integrador. Adaptado de [2].

Mediante la implementación de los circuitos mencionados anteriormente, se logra obtener una etapa de control de ganancia automático igual al mostrado en la figura 2.2.

### 3.4 Diseño físico

El diseño físico fue realizado mediante el uso de la herramienta Mentor Graphics. En ella se posiciona la vista de layout de cada uno de los transistores de forma automática. Luego, se deben ordenar los transistores de forma que se aproveche al máximo el área y además se deben realizar las diferentes conexiones. Es importante considerar que, a pesar de que se desea un área mínima en la implementación del circuito. También es necesario obtener un comportamiento cercano al obtenido en el circuito a nivel de esquemático. Por lo tanto debe existir un balance entre el área utilizada y la funcionalidad de la etapa.

Para la implementación en diseño, fue necesario considerar el tipo de transistor a utilizar. El kit de diseño de la tecnología CMOS de 130 nm de IBM (8RF) ofrece diferentes modelos de transistores, cada uno con características distintas. Debido a la necesidad de un que el circuito responda correctamente a altas frecuencias, se utilizaron en la implementación los transistores de alta frecuencia, en este caso en específico los nmos\_rf. Este modelo de transistor, a nivel de esquemático se representa igual que los otros transistores. Sin embargo, cuando se realiza el layout, son diferentes debido a que su diseño busca un mejor comportamiento a alta frecuencia. En la figura 3.9 se muestran los transistores comunes y los utilizados en este proyecto.

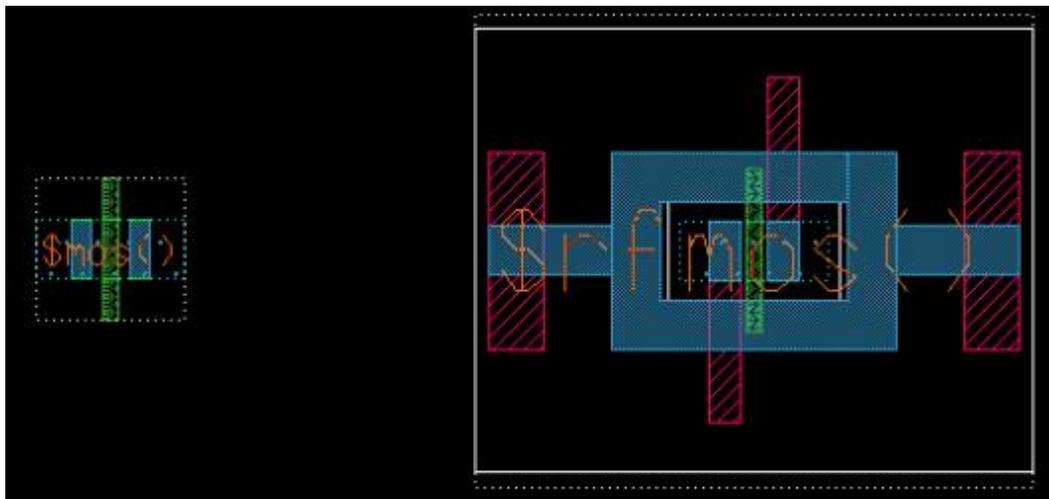


Figura 3.9 Transistor nmos y nmos\_rf a nivel de layout.

La primera característica diferencial que poseen los transistores de rf, es que el sustrato está conectado internamente al bulk, lo que implica que no es necesario realizar una conexión manual ni incluirlo en el diseño de layout. Además el tamaño mínimo varía, para los transistores nmos\_rf debido a que es de  $48\mu/12\mu$  mientras que en los transistores nmos para esta tecnología es de  $0.16\mu/0.12\mu$ . Por otra parte, como se observa en la figura 3.9, los transistores RF poseen un anillo que está hecho en metal y este funciona como aislante entre el transistor y los demás dispositivos aledaños. De esta forma se obtiene un mejor desempeño en alta frecuencia. Además se observa que las conexiones al drenador y la fuente se realizan mediante metal 2 y no metal 1 como se realiza en los transistores comunes. También posee dos segmentos de metal 2 en los extremos, derecho e izquierdo, que permiten una conexión con el bulk del transistor, esto debido a que todos deben estar al mismo potencial, por lo tanto se deben conectar entre sí.

Otro factor que se consideró a la hora de realizar el diseño físico, fue el tamaño de los transistores. En el diseño implementado en este proyecto se utilizan transistores de gran ancho, en comparación al largo. Por lo tanto fue necesario particionar los dispositivos de forma que se conecten segmentos en paralelo. Esto permite obtener transistores con un ancho mayor, manteniendo el mismo largo, únicamente conectando transistores de menor ancho en paralelo.

### **3.4.1 Diseño físico de la celda de Gilbert.**

Tomando en consideración lo mencionado en la sección anterior, se procedió al diseño físico de la celda de Gilbert. En la tabla 3.5 se muestran los tamaños y la cantidad de transistores utilizados para la implementación, el valor de la resistencia no varía con respecto al mostrado en la tabla 3.2.

Tabla 3.5 Dimensiones y cantidad de transistores utilizados en la implementación de la celda de Gilbert.

Componente	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	Segmentos	W <sub>Total</sub> ( $\mu\text{m}$ )
M <sub>1</sub>	2.5	0.2	5	25
M <sub>2</sub>	2.5	0.2	5	25
M <sub>3</sub>	2.5	0.2	5	25
M <sub>4</sub>	2.5	0.2	5	25
M <sub>5</sub>	5.0	0.5	10	50
M <sub>6</sub>	5.0	0.5	10	50

A partir del valor de los valores mostrados en la tabla 3.5 y de su respectivo valor de resistencia, se procedió a la implementación a nivel de layout. En la figura 3.10, se muestra el layout del circuito. En él se puede observar el uso de transistores nmos\_rf, de esta forma se espera un comportamiento adecuado a la hora de realizar pruebas postlayout.

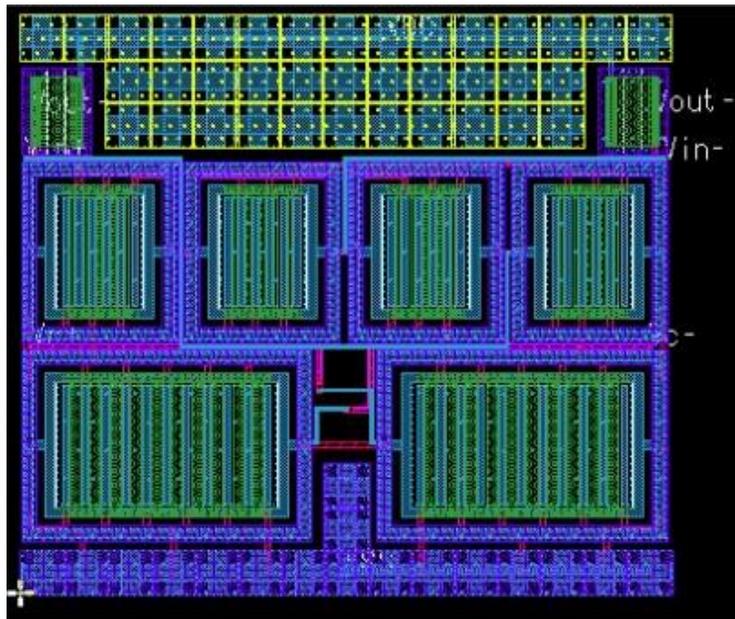


Figura 3.10 Layout de la celda de Gilbert.

Sin embargo, se debe considerar que para realizar las conexiones se utilizan segmentos de metal y cada uno de estos genera una impedancia en cada uno de los nodos del circuito. Esto provoca que, en las pruebas postlayout, varíen parámetros como ganancia, modo común, ancho de banda, etc.

Es importante tomar en consideración que al ser una etapa con salida diferencial, se espera que ambas salidas ( $V_{out+}$  y  $V_{out-}$ ) posean el mismo valor de modo común, ya que si alguna de las dos varía provoca un offset no deseado a la salida. Por lo tanto, el layout fue hecho lo más simétrico posible de esta forma se minimizó este efecto, ya que a pesar de que las impedancias parásitas no se eliminan del circuito, éstas quedan distribuidas de forma simétrica en los nodos.

También se utilizaron bibliotecas de llenado en el circuito, con ellas se logra crear una capa de metal que permite llenar los espacios vacíos. Esto debido a que la hora de realizar la fabricación de circuitos integrados no es deseable que existan ya que hay reglas sobre la densidad de cobertura de las capas metálicas para que el circuito sea fabricable.. Por lo tanto para una correcta fabricación se deben garantizar ciertas densidades de cobertura..

Además los nodos de alimentación fueron colocados en un segmento de metal a lo largo del circuito, en la parte superior para VDD y en la parte inferior para VSS. De esta forma se buscó que ambas señales no se degradaran evitando realizar conexiones con nodos a larga distancia. También así se facilita la conexión de los nodos de alimentación cuando se conecten las demás etapas del circuito.

Por otra parte, en las conexiones realizadas entre los diferentes componentes se evitó pasar por la zona activa del transistor, esto debido a que no es una buena práctica a la hora de realizar layout por la posibilidad de que se generen interferencias que afecten la operación de los dispositivos. Así mismo los segmentos de metal utilizados en las diferentes conexiones fueron del tamaño mínimo.

La distancia entre cada transistor es el mínimo permitido por las reglas de diseño. Además de eso, las entradas y salidas fueron organizadas de manera que las terminales positivas estuvieran al lado opuesto de las terminales negativas. De esta forma se pretende disminuir el ruido generado entre ellas.

El circuito de la figura 3.10 presenta dimensiones de 30.100  $\mu\text{m}$  de ancho, 26.780  $\mu\text{m}$  de largo, para un área total de 806.078  $\mu\text{m}^2$ .

Una vez realizado el layout de la celda de Gilbert, se realizaron las pruebas para verificar que cumple las reglas diseño, y además una prueba para verificar la compatibilidad con el esquemático. Para ello se realizaron las pruebas de DRC y LVS de calibre, respectivamente. Luego se aplicó al circuito la prueba con la herramienta PEX, la cual permite la extracción de elementos parasíticos del circuito. Esta genera un archivo que incluye los parasíticos extraídos del layout (en el apéndice A.1 se detallan los resultados obtenidos para las tres pruebas). Así se puede realizar una simulación post-layout la cual permite observar un comportamiento más real del circuito, esto será discutido en el capítulo 4 del informe.

Es importante aclarar que el área consumida por el circuito puede ser optimizada si se ordenan los transistores y las resistencias de una forma distinta. Sin embargo, como se mencionó anteriormente el orden seleccionado mejora el comportamiento del circuito en simulación postlayout. Esto fue comprobado durante el desarrollo del proyecto, ya que se crearon diferentes versiones de layout y se compararon entre sí (en el apéndice A.2 se muestra un diseño con mejor aprovechamiento de área pero sin simetría). Por lo tanto se opta por obtener un mejor funcionamiento aumentando el área total del circuito.

### **3.4.2 Diseño físico de la etapa de transimpedancia.**

Para la implementación de la etapa de transimpedancia se procedió de la misma forma que la etapa anterior. Primero, fue necesario particionar los transistores con segmentos conectados en paralelo debido a que todos poseen valor de ancho grande con respecto al largo.

En la tabla 3.6 se muestran los tamaños y la cantidad de transistores utilizados para la implementación (incluidos el valor de los transistores de los espejos de corriente), el valor de las resistencias no varía con respecto a los mostrados en la tabla 3.3.

Tabla 3.6 Dimensiones y cantidad de transistores utilizados en la implementación del amplificador de transimpedancia.

Componente	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	Transistores	W <sub>Total</sub> ( $\mu\text{m}$ )
Ma	3	0.12	10	30
Mb	3.2	0.12	10	30
Mc	5.5	0.5	10	55
M <sub>Iss1</sub>	7	0.55	10	70
M <sub>Iss2</sub>	4.5	0.5	2	9

Una vez definido los valores de los transistores, lo siguiente fue la implementación mediante la herramienta de Mentor Graphics. Esta etapa al poseer una mayor complejidad y debido a la necesidad de simetría en la implementación, se realizó por etapas.

Primero, se ubicaron los transistores y las resistencias de cada uno de los amplificadores por separado y se procedió a su respectiva conexión, buscando la mayor simetría posible. En la figura 3.11 se muestra uno de los amplificadores implementados, en esta se incluye el espejo de corriente utilizado en el amplificador.

En esta figura se observa que se el circuito es simétrico, que se llenaron los espacios vacíos y además el nodo de alimentación VDD está en un segmento a los largo de todo el circuito. De esta forma, al igual que en la etapa anterior, busca que el circuito un comportamiento adecuado en las simulaciones de postlayout.

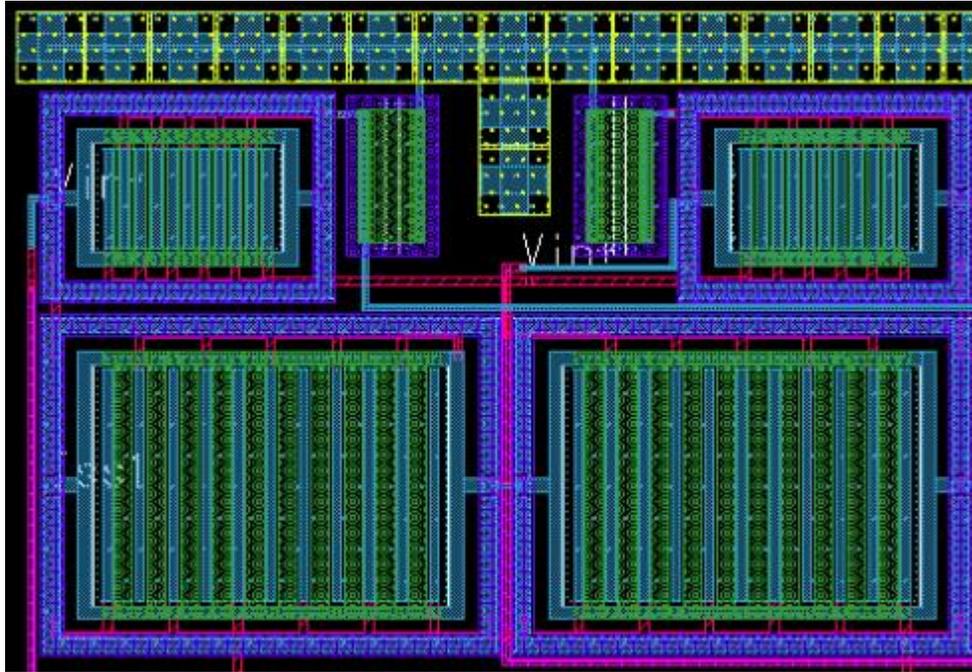


Figura 3.11 Layout de uno de los amplificadores utilizados en la etapa de transimpedancia.

Una vez obtenida cada una de las etapas, se procedió a conectar cada una de ellas de manera que se obtuviera un circuito igual al de la figura 3.4. Para las conexiones se respetaron los parámetros mencionados anteriormente, en la figura 3.12 se muestra el layout completo de la etapa de transimpedancia.

Es importante aclarar que para este circuito no fue posible organizar las entradas y salidas de manera que las terminales positivas estuvieran al lado opuesto de las terminales negativas (a excepción de la alimentación del circuito). Esto se hizo debido a que el circuito posee una mayor cantidad de entradas y salidas. Por lo tanto, si se distribuían de esta forma en casi todos los casos era necesario y un segmento de metal de largo considerable para realizar la conexión, lo que provocaba que la señal de entrada o salida se degradara.

El circuito de la figura 3.12 presenta dimensiones de  $86.100\ \mu\text{m}$  de ancho,  $30.900\ \mu\text{m}$  de largo, para un área total de  $2.660\ \text{nm}^2$ . Al igual que la etapa anterior, el área puede ser optimizada si se hace un diseño asimétrico sin embargo, debido a los beneficios obtenidos por

la simetría se seleccionó este diseño (en el apéndice A.3 se muestra un diseño con mejor aprovechamiento de área pero sin simetría).

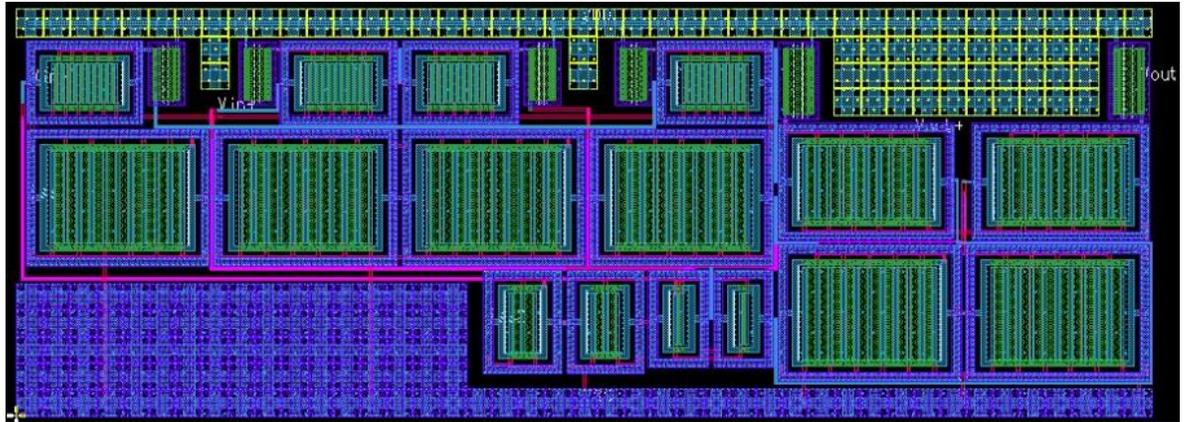


Figura 3.12 Layout de la etapa completa de tansimpedancia.

Una vez finalizado el layout, se le realizaron las pruebas de DRC, LVS y PEX (los resultados para las tres pruebas se detallan en el apéndice A.4). Posteriormente se verificó su funcionamiento mediante una simulación postlayout, esto se analizará en el siguiente capítulo.

## Capítulo 4: Validación y análisis de resultados

En este capítulo se mostrarán los resultados obtenidos para las dos etapas que conforman el circuito de amplificación con potencia de salida constante así como los resultados de ambas etapas conectadas en cascada. Para ello se realizaron diferentes simulaciones mediante las cuales se obtuvieron parámetros de interés como: impedancia de entrada, impedancia de salida, ganancia, modo común, ancho de banda, etc. Por último se validó el funcionamiento del circuito amplificador de ganancia variable.

Antes de mostrar los diferentes resultados para cada etapa, es importante especificar las condiciones en las cuales se realizaron las diferentes simulaciones, las cuales son las siguientes:

- La tensión de alimentación del circuito de 1.2 V.
- Una señal senoidal a la entrada de 10 mVp a 1 GHz, con una tensión de modo común de 0.6 V.
- La temperatura nominal de 27 °C.
- La temperatura del circuito de 27 °C.
- Un transistor como carga de 5u/0.5u a cada una de las terminales ( $V_{out+}$  y  $V_{out-}$ ), de esta forma se obtenía una alta resistencia y una capacitancia, que varía en frecuencia.
- Las tensiones de control ( $V_{c+}$  y  $V_{c-}$ ) varían como se muestra en la figura 4.1 (a). Por simplicidad a la hora de realizar las diferentes gráficas y análisis se va a utilizar la diferencia entre  $V_{c+}$  y  $V_{c-}$  ( $\Delta V_c$ ), la cual se muestra en la figura 4.1 (b).

Por otra parte es importante recordar que en alta frecuencia cualquier circuito se comporta como un circuito sintonizador. Por lo tanto, una mayor capacitancia no necesariamente implica una degradación del mismo, por el contrario esto puede acercarlo a su punto de operación y por ende mejorar su desempeño en diferentes aspectos. Esto se va a analizar en los resultados obtenidos para cada una de las etapas.

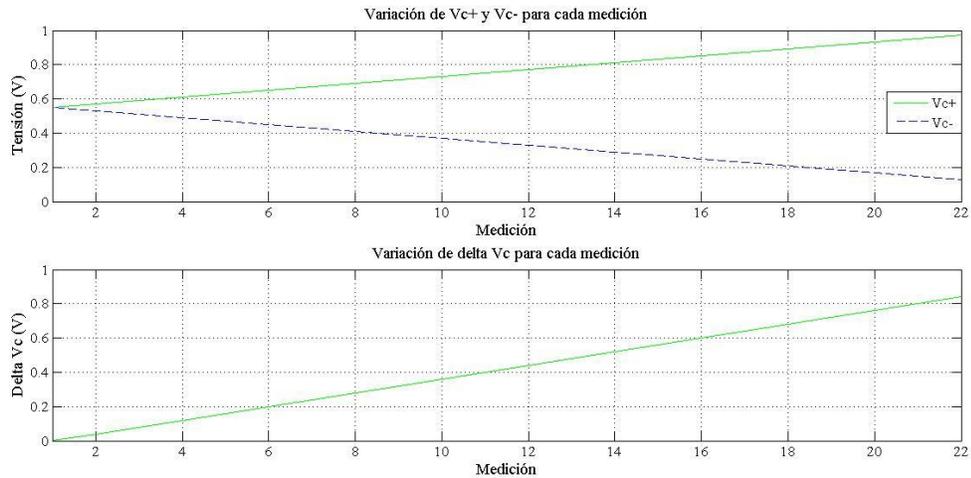


Figura 4.1 (a) Variación de  $V_{c+}$  y  $V_{c-}$  para cada medición. (b) Variación de  $\Delta V_c$  para cada medición.

#### 4.1 Resultados para la celda de Gilbert.

Antes de determinar los diferentes parámetros de interés del circuito, es necesario observar y analizar la forma de onda a la salida. Esto para verificar que no se está deformando la misma y además ver el comportamiento general. En la figura 4.2 se muestra la forma de onda de la tensión de salida para diferentes valores de  $\Delta V_c$ .

En ella se aprecia que la forma onda de salida no varía aunque cambie el valor de  $\Delta V_c$ , sin embargo la amplitud si lo hace lo cual es lo esperado en esta etapa. Este comportamiento es tanto en esquemático como en postlayout. Por otra parte se observa que en ambos casos, la señal de salida tiene un desfase con respecto a la señal de entrada, esto se discutirá cuando se realice el análisis en AC.

Además, a pesar de que no es apreciable en la figura 4.2, la señal de salida en la simulación postlayout posee un offset el cual no está presente en la simulación de esquemático. Esto es debido a que como se mencionó en el capítulo 3, el circuito debe ser complemente simétrico y a pesar de que se realizó un layout buscando la máxima simetría, siempre resulta un offset que igualmente muy posiblemente se presentaría en el prototipo fabricado.

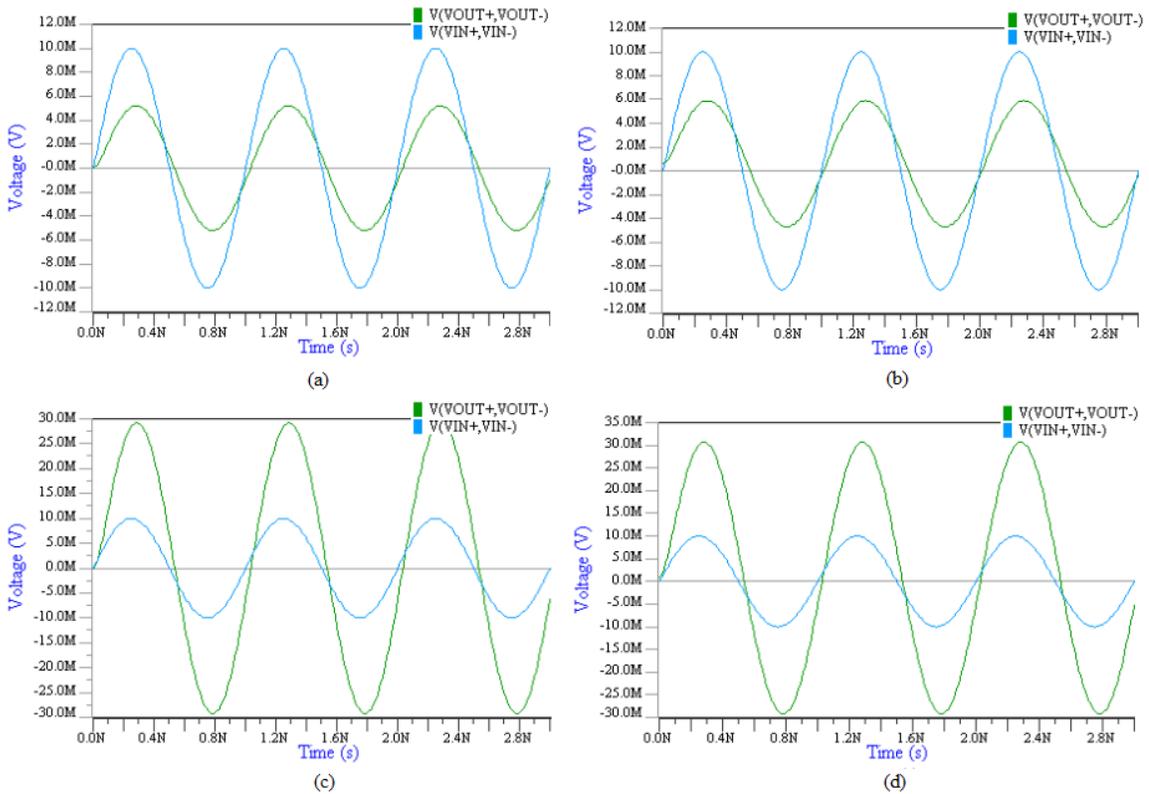


Figura 4.2 Tensión de entrada ( $V(in+,in-)$ ) y salida ( $V(out+,out-)$ ), de la celda de Gilbert, para un valor de  $\Delta V_c$  de (a) 0.2 a nivel de esquemático (b) 0.2 en postlayout (c) 0.6 a nivel de esquemático (d) 0.6 en postlayout.

En la figura 4.3 se muestra como varía el offset en función de  $\Delta V_c$  para el circuito una vez extraído. Se observa que el offset varía de 0.45 mV a 0.85 mV. Este rango fue el menor obtenido en la implementación de layout. A pesar de que el offset no es deseado en la etapa, cuando se realice el circuito de espectroscopia por impedancia eléctrica se van a realimentar las diferentes etapas con un circuito cancelador de offset. Por lo tanto, en el desarrollo de este proyecto no se va a implementar una la solución a este problema.

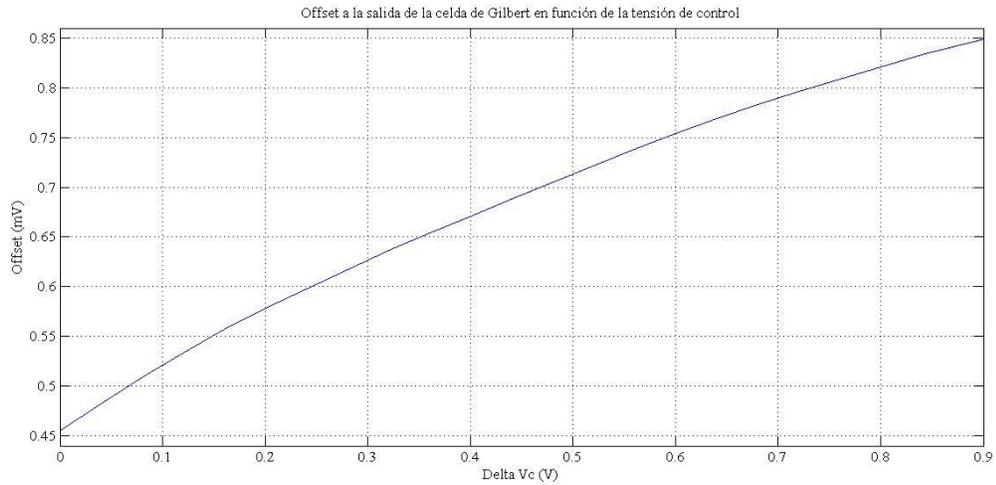


Figura 4.3 Offset a la salida de la celda de Gilbert en función de  $\Delta V_c$ .

Una vez analizada la forma de onda a la salida de la celda de Gilbert se procedió a la determinación de los diferentes parámetros de interés.

#### 4.1.1 Impedancia de entrada.

Para determinar la impedancia de entrada (en pequeña señal) fue necesario utilizar un análisis AC, esto debido a que la impedancia varía su valor con la frecuencia. En la figura 4.4 se muestra el comportamiento de la impedancia de entrada a nivel de esquemático. Este comportamiento es el típico visto desde la compuerta de un transistor MOSFET, debido a que la impedancia de entrada se modela como una resistencia en paralelo con un capacitor. Por lo tanto, conforme aumente la frecuencia el capacitor va a tender a ser un corto circuito y por ende la resistencia que se observa a la entrada va a disminuir su valor.

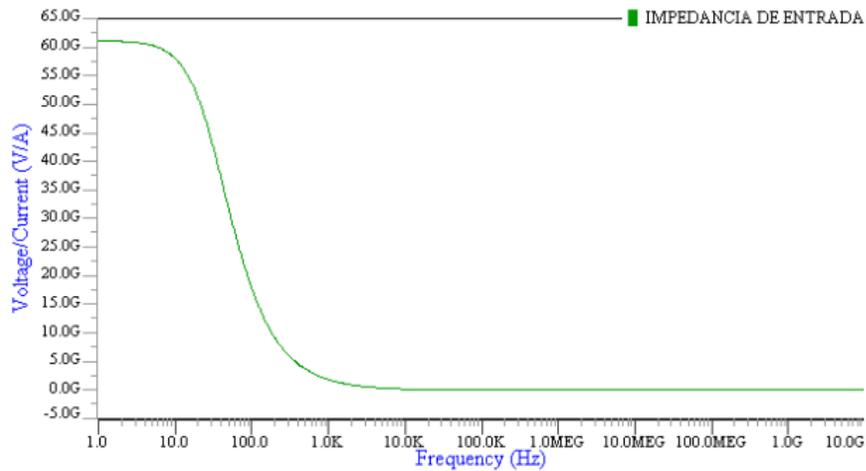


Figura 4.4 Impedancia de entrada de la celda de Gilbert en función de la frecuencia, en esquemático.

El valor máximo en la impedancia de entrada en esquemático es de  $61.105 \text{ G}\Omega$  y este se da cuando la frecuencia es de  $0 \text{ Hz}$ , lo cual equivale a cuando el circuito está operando en DC. Por otra parte, el valor mínimo de resistencia de entrada es de  $0 \Omega$  y se da cuando la frecuencia tiende a infinito. En este caso se ha tomado como valor mínimo el valor obtenido a una frecuencia de  $10 \text{ GHz}$ , el cual es de  $191.72 \Omega$ . Por otro lado, la fase de la impedancia de entrada no varía considerablemente en función de la frecuencia.

En la figura 4.5 se muestra el comportamiento de la impedancia de entrada en postlayout. En este caso el valor máximo es de  $61.96 \text{ G}\Omega$  y se da cuando el circuito opera en DC. Por otra parte, el valor a  $10 \text{ GHz}$  es de  $179.53 \Omega$ . Para estos casos el error relativo, con respecto a los valores obtenidos en esquemático, es de  $-1.4\%$  y  $6.35\%$ , respectivamente. Este error se debe a la resistencia y capacitancia parásitas creada por las diferentes conexiones en el layout. Sin embargo, de forma general la impedancia sigue el mismo comportamiento y sus valores no varían considerablemente.

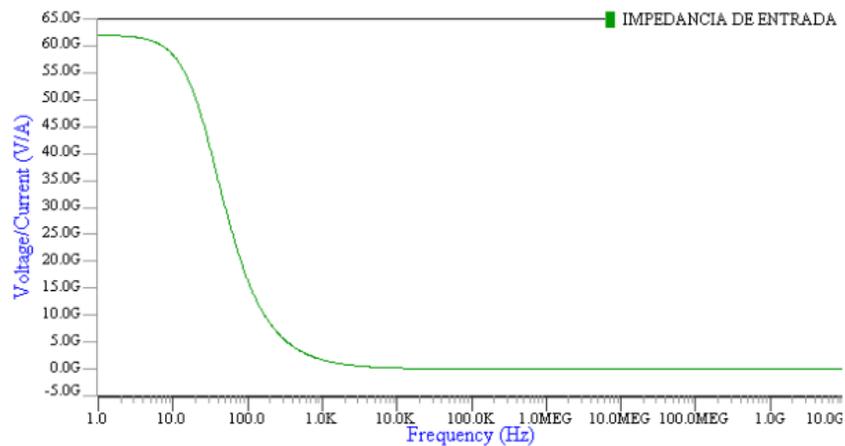


Figura 4.5 Impedancia de entrada de la celda de Gilbert en función de la frecuencia, para simulación postlayout.

#### 4.1.2 Impedancia de salida.

La impedancia de salida también se estimó a través de un análisis AC. En la figura 4.6 se muestra el comportamiento de la impedancia de salida a nivel de esquemático.

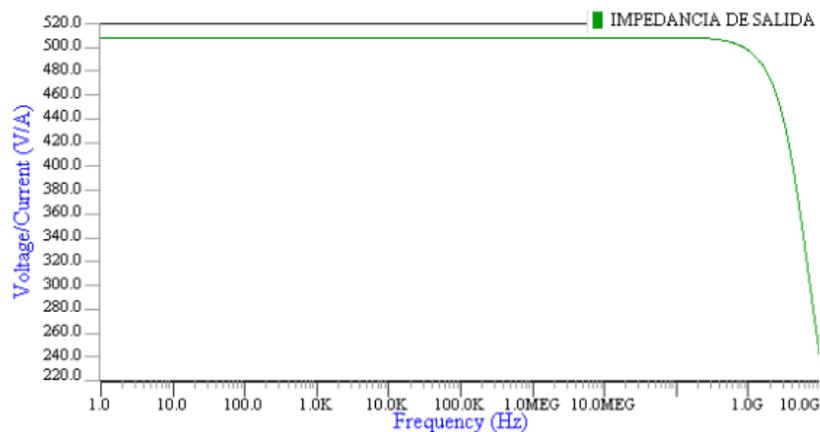


Figura 4.6 Impedancia de salida de la celda de Gilbert en función de la frecuencia, en esquemático.

Como se observa en la figura 4.6, la impedancia de salida mantiene un valor máximo constante de  $508 \Omega$  hasta una frecuencia de 200 MHz, a partir de ahí este comienza a disminuir lentamente. A una frecuencia de 10 GHz posee una impedancia de  $240.04 \Omega$ . Este

comportamiento es debido a que en paralelo a la resistencia de salida existen capacitancias parásitas generadas por el transistor de salida.

Por otra parte, en la figura 4.7 muestra la impedancia de salida en postlayout. En esta figura se muestra sigue la misma tendencia que en esquemático.

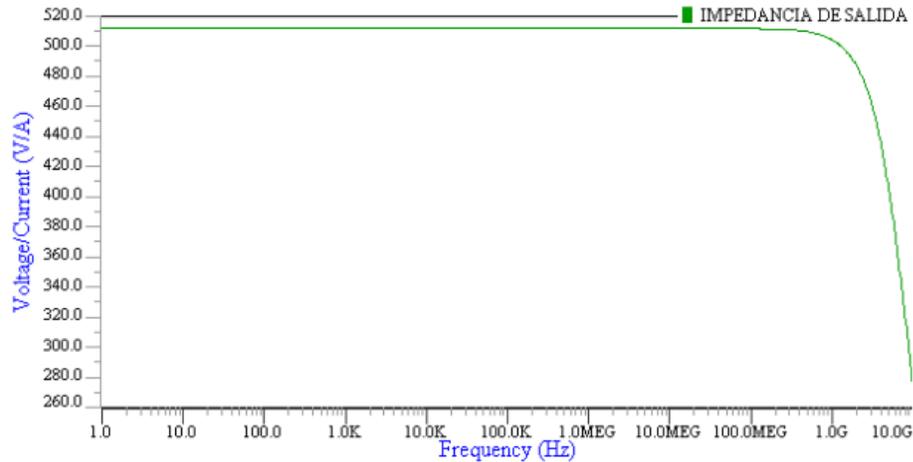


Figura 4.7 Impedancia de salida de la celda de Gilbert en función de la frecuencia, para la simulación postlayout.

Su valor máximo es de  $511 \Omega$  y este empieza a decaer a una frecuencia de 200 MHz. Su valor a 10 GHz es de  $274.92 \Omega$ . Para este caso el error relativo con respecto a los valores obtenidos en esquemático, es de  $-0.59\%$ , para el valor máximo y  $-14.53 \%$  para el valor mínimo. Se observa que el valor mínimo en postlayout es mayor que en el circuito esquemático. Por lo tanto la pendiente de caída de la impedancia es menor. Por otro lado, la fase de la impedancia de salida no varía considerablemente en función de la frecuencia.

### 4.1.3 Ganancia.

Para determinar la ganancia de la celda de Gilbert, fue necesario realizar una serie de simulaciones en las cuales se varía  $\Delta V_c$  y se observa el valor de tensión en la carga. En la figura 4.8 se muestra el comportamiento de la ganancia.

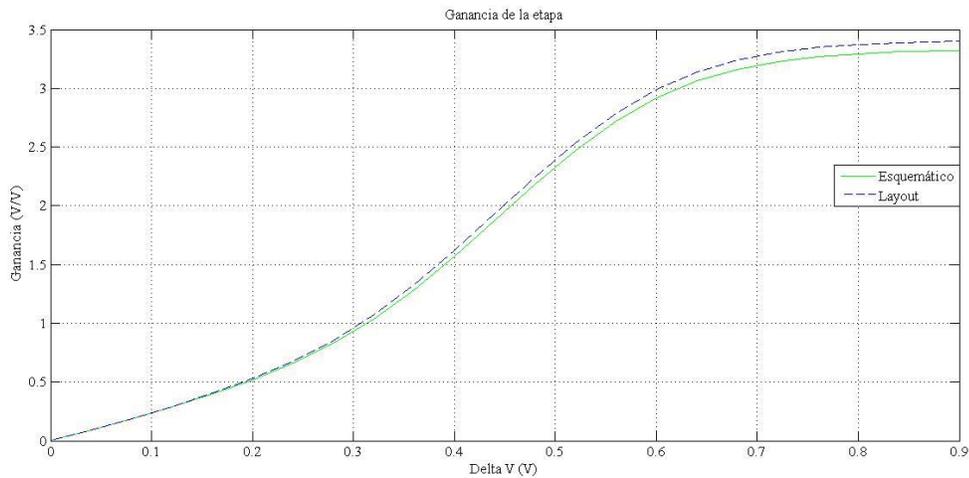


Figura 4.8 Ganancia de la celda de Gilbert.

De la figura 4.8 se observa que la ganancia varía de 0 V/V a 3.4 V/V, lo cual es equivalente a una variación de  $-\infty$  a 10 dB. Sin embargo, como un valor de  $-\infty$  no aporta al análisis, se modificó el valor de  $\Delta V_c$  a 0.05 V y se obtuvo una ganancia de -20 dB. Por lo tanto se tiene una variación de -20 dB a 10 dB. Por otra parte, se muestra que a partir de un  $\Delta V_c$  mayor a 0.7 V el valor de la ganancia tiende a su valor máximo. Por lo tanto se puede establecer el rango para  $\Delta V_c$  de 0 V a 0.7 V, debido a que es donde se obtiene una mayor variación en la tensión de salida.

Además en la figura 4.8 también se muestra el comportamiento tanto a nivel de esquemático como en postlayout, y se observa que la ganancia en postlayout sigue la misma tendencia y además sus valores no varían considerablemente con respecto a la ganancia en esquemático. En la figura 4.9 se muestra el error relativo de los resultados en postlayout con respecto a los obtenidos en esquemático.

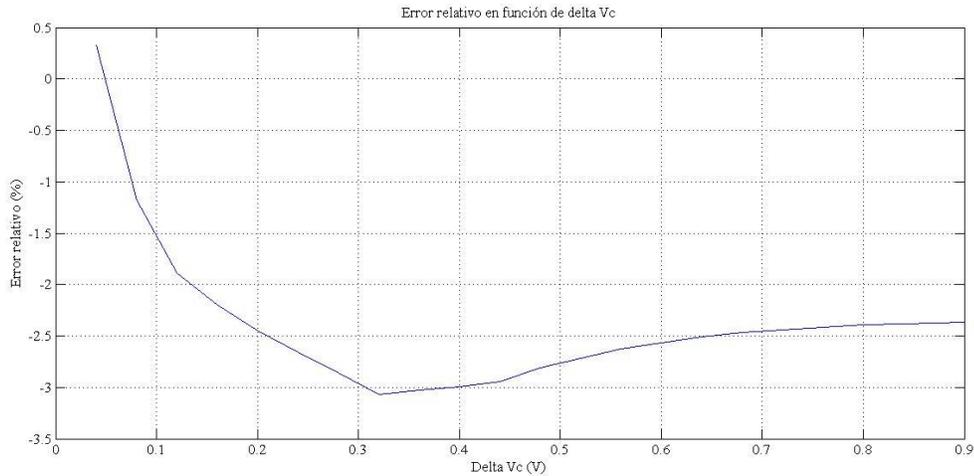


Figura 4.9 Error relativo de la ganancia entre la simulación esquemático y postlayout de la celda de Gilbert en función de  $\Delta V_c$ .

Si se observa la figura 4.9, se puede determinar que el error relativo varía de -3.07% a 0.32 %, los cuales son valores relativamente bajos y que indican que los resultados siguen la misma tendencia en postlayout. Además de forma general el error es negativo por lo cual y como observa en la figura 4.8, la ganancia en postlayout es predominantemente mayor que en esquemático. Por lo tanto las capacitancias generadas en el layout permiten obtener un mejor comportamiento del circuito y por ende la ganancia de la etapa mejora.

#### 4.1.4 Modo común a la salida.

El modo común a la salida permite fijar el nivel de CD a la salida, que debe ser compatible con los transistores de la etapa que se conecta posterior a la celda de Gilbert. Se busca que este valor sea superior a 0.5 V e inferior a 0.750 V, es decir cercano a la mitad del voltaje de alimentación para maximizar el rango dinámico de las etapas.

Para esta etapa, se debe recordar que se varía la corriente de cola para modificar la ganancia y por lo tanto esto genera que la tensión en los nodos varíe en función de la tensión de control. En la figura 4.10 se muestra como varía el modo común, tanto en esquemático como en

postlayout, en función de  $\Delta V_c$ . A nivel de esquemático no es necesario mostrar cada una de las terminales ( $V_{out+}$  y  $V_{out-}$ ) debido a que ambas poseen el mismo valor. Sin embargo, en postlayout si existe una diferencia entre cada terminal (debido a que no existe una simetría exacta en el layout), y esta es la que provoca el offset en la señal de salida.

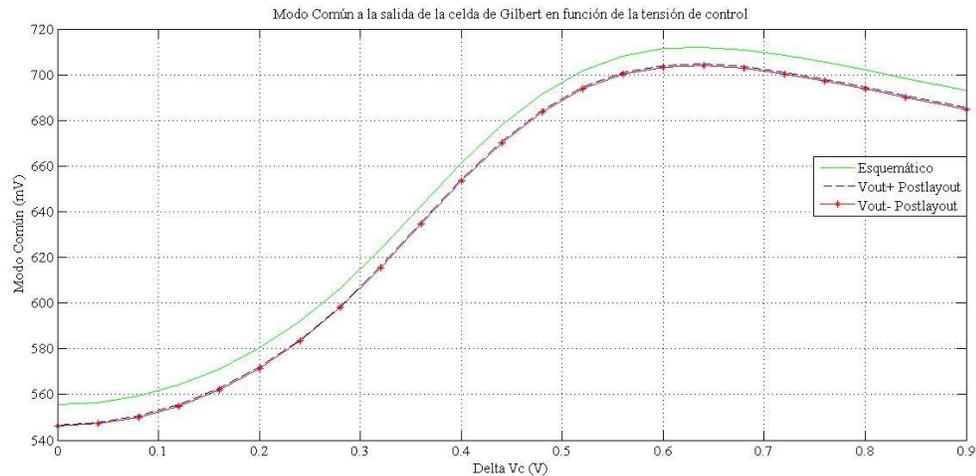


Figura 4.10 Modo común a la salida de la celda de Gilbert.

De forma general, el valor de modo común en ambos casos está entre los límites aceptables, debido a que varía de 0.555 V a 0.712 V en esquemático y de 0.546 V a 0.703 V en postlayout. De esta forma se logra un correcto acople con la etapa posterior, con relación al modo común. En la figura 4.11 se muestra el error relativo de ambas terminales, con respecto al modo común obtenido en esquemático.

El error relativo del modo común a la salida de la simulación en postlayout con respecto a la simulación en esquemático posee valores menores a 1.7 % pero mayores a 1 %, los cuales son valores de error aceptables debido a que indican que el modo común sigue la misma tendencia y sus valores no variaron considerablemente en postlayout. Sin embargo de forma general la terminal de  $V_{out+}$  posee un error menor.

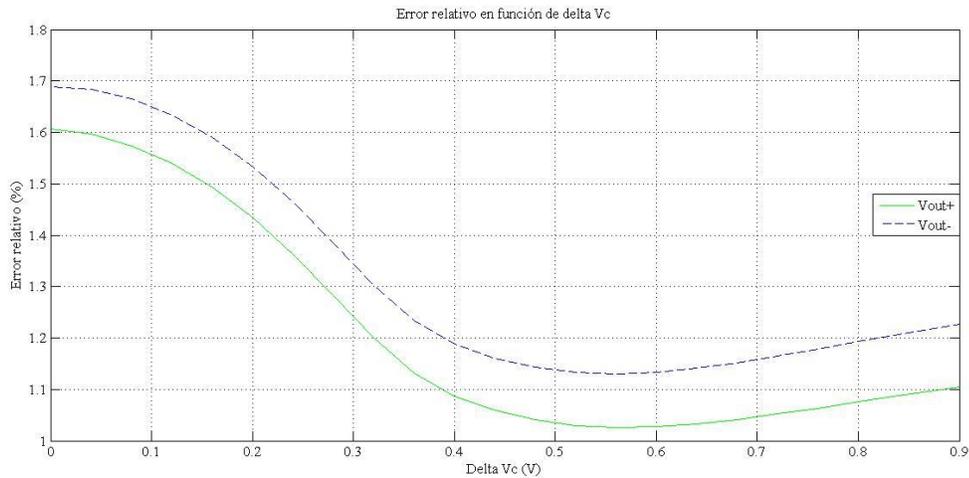


Figura 4.11 Error relativo en el modo común a la salida de la celda de Gilbert entre la simulación en postlayout y esquemático.

#### 4.1.5 Ancho de banda

El ancho de banda al igual que otros parámetros mostrados anteriormente, varía su valor en función de la tensión de control. En la figura 4.12 se muestra la respuesta en frecuencia en magnitud y fase, tanto en esquemático como en layout, para dos diferentes valores de  $\Delta Vc$ . En ambos casos el circuito tiene un comportamiento igual al de un filtro paso baja con frecuencia de corte en 1 GHz. Por otra parte la fase se comporta de una forma similar, sin embargo a partir de los 100 MHz esta comienza a caer y esto es debido al polo que tiene la etapa y que afecta a la fase una década antes que a la ganancia.

Por otro lado, en la figura 4.13 se muestra como varía el ancho de banda en función de la tensión de control, tanto para esquemático como para postlayout. Se observa que a nivel de postlayout se obtiene una mejor respuesta debido a que el ancho de banda incrementa de 5.04 GHz a 5.84 GHz en el peor de los casos, otorgando 800 MHz más de ancho de banda. Esto se debe a que a pesar de que el circuito posee más capacitancias parásitas, este se encuentra mejor sintonizado y por lo tanto su punto de operación mejora.

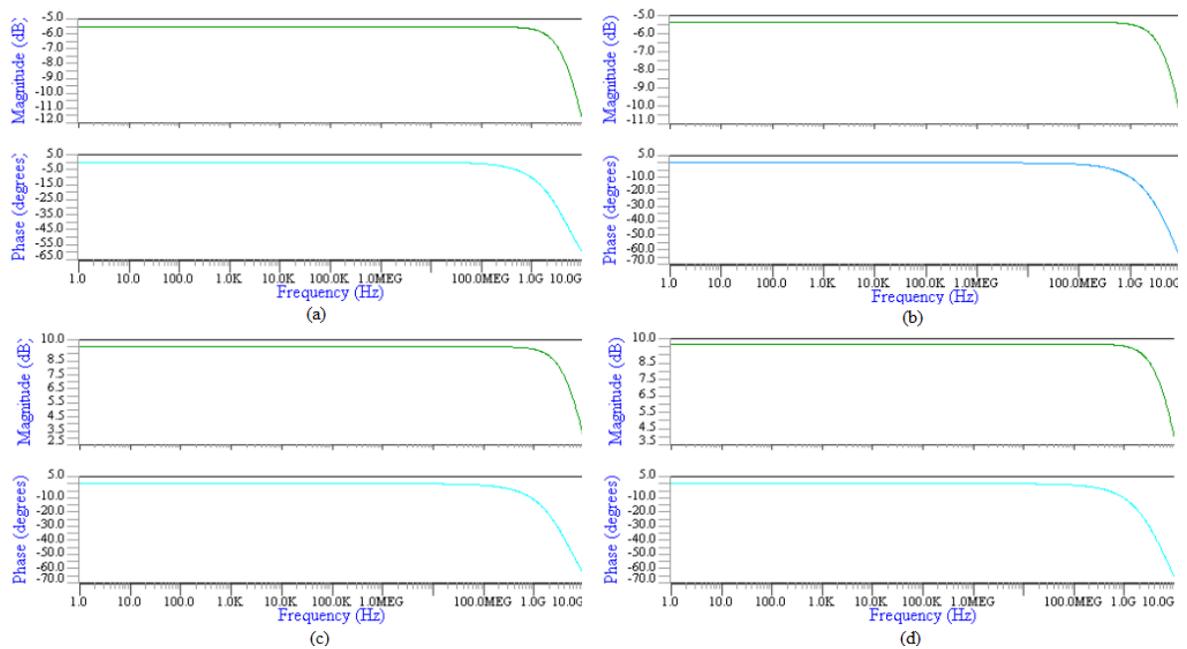


Figura 4.12 Respuesta en frecuencia de la celda de Gilbert para un valor de  $\Delta V_c$  de (a) 0.2 V esquemático, (b) 0.2 V postlayout, (c) 0.6 V esquemático, (d) 0.6 V postlayout.

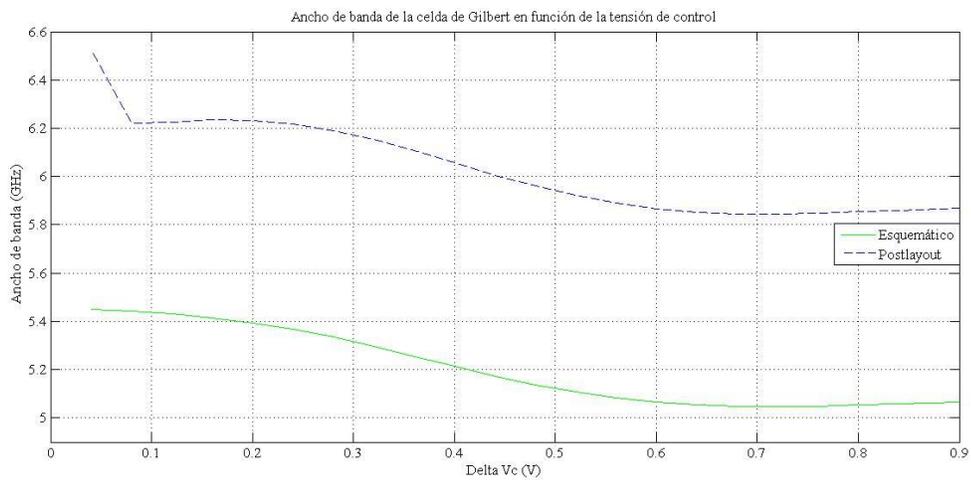


Figura 4.13 Ancho de banda de la celda de Gilbert en función de  $\Delta V_c$ .

En la figura 4.14 se muestra el error relativo del ancho de banda en función de  $\Delta V_c$  entre los resultados obtenidos en postlayout y esquemático. Para este caso el error varía de -19.72% a -15.53% los cuales son errores relativamente grandes, sin embargo a pesar de que son valores

altos este error significa un mejor comportamiento en postlayout y por ende no representa un problema en los resultados obtenidos.

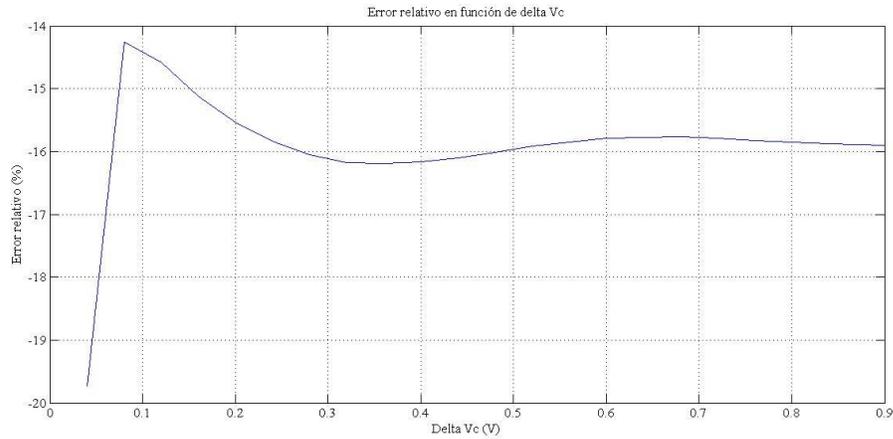


Figura 4.14 Error relativo del ancho de banda entre la simulación en postlayout y esquemático para la celda de Gilbert en función de  $\Delta V_c$ .

#### 4.1.6 Margen de fase y margen de ganancia

Para determinar la estabilidad de la etapa, en caso de que se desee realimentar, es importante analizar los valores de margen de fase y margen de ganancia, los cuales se definen mediante las siguientes ecuaciones:

$$MG = 0 - \angle A_v(j\omega) \Big|_{\angle A_v(j\omega) = -180} \quad (4.1)$$

$$MF = 180 + \angle A_v(j\omega) \Big|_{|A_v(j\omega)| = 0dB} \quad (4.2)$$

Para la celda de Gilbert, ambos parámetros varían en función de la tensión de control. Sin embargo, debido a que para el cálculo del margen de fase es necesario que la ganancia alcance un valor de 0 dB, el cálculo se inició a partir de un  $\Delta V_c$  de 0.32 V. Por lo tanto para valores menores a 0.32 V no fue posible calcular el margen de fase. En la figura 4.15 se muestra su comportamiento del margen de fase y margen de ganancia, tanto en esquemático como en postlayout.

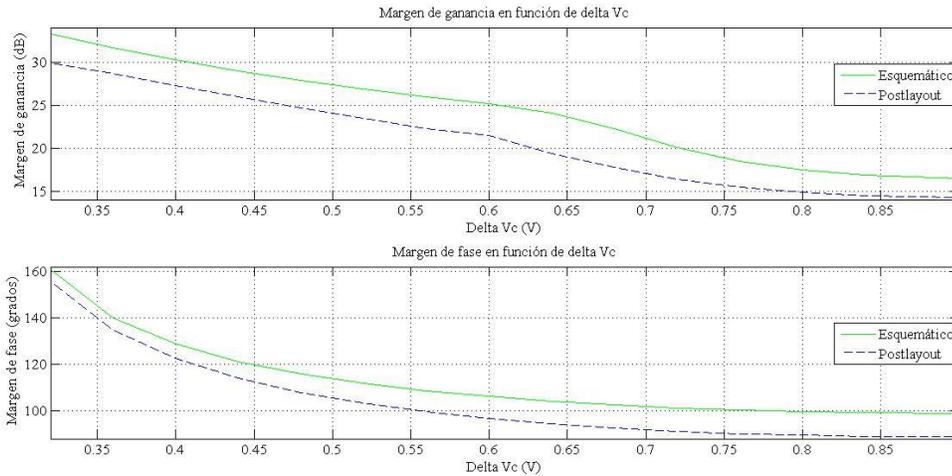


Figura 4.15 Margen de fase y margen de ganancia para la celda de Gilbert.

Como se observa en la figura anterior, ambos parámetros poseen valores positivos por lo tanto se puede decir que el sistema es estable para el rango en el cual se realizaron las diferentes mediciones. Además, la cantidad mínima de ganancia que se puede añadir al lazo antes que el sistema a lazo cerrado se vuelva inestable es de 14.22 dB, en postlayout, lo cual es un valor relativamente alto.

Por otra parte, se observa que el comportamiento a nivel de layout se degrada en comparación con el obtenido en esquemático. En la figura 4.16 se muestra el error relativo para ambos parámetros. Para el margen de ganancia el error relativo varía de 9.6 % a 20.0 %, mientras que para el margen de fase de 3.2% a 10.3%. Estos errores son relativamente grandes, lo que implica que la sensibilidad del circuito es alta a estos parámetros. Sin embargo no se pierde la estabilidad del circuito en postlayout, lo que disminuye es la cantidad de ganancia mínima que se puede añadir al lazo.

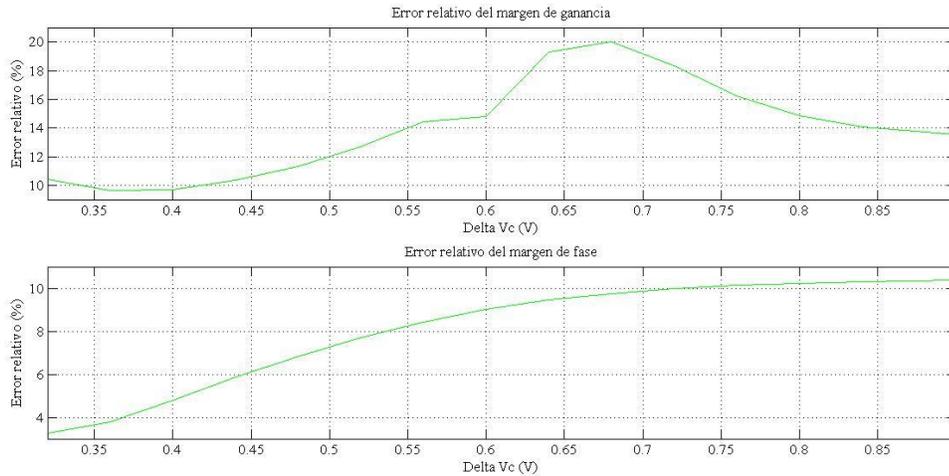


Figura 4.16 Error de margen de fase y margen de ganancia para la celda de Gilbert entre la simulación en postlayout y esquemático.

#### 4.1.7 Resumen del rendimiento del circuito en postlayout

En la tabla 4.1 se muestra el resumen de los resultados obtenidos para la celda de Gilbert.

Tabla 4.1 Resumen del rendimiento de la celda de Gilbert.

Rango de Ganancia ( V/V)	Ancho de banda (GHz)	Impedancia de entrada	Impedancia de salida	Modo común (V)	Área (pm <sup>2</sup> )	Potencia máxima consumida (mW)
0-3.3	5.8	61.960 GΩ - 180.00 Ω	511 Ω - 274.92 Ω	0.546 a 0.703	806.078	4.02

A partir de los resultados se puede decir que se posee una etapa mediante la cual se puede controlar la tensión de salida en un rango de 3.3 V. Además, se tiene un ancho de banda en el

orden de los GHz (específicamente 5.8 GHz) lo cual es importante para la aplicación en la cual se va a utilizar esta etapa. Además los valores de impedancia de entrada, impedancia de salida y modo común, están dentro del rango deseado y por lo tanto se tiene una celda de Gilbert funcional y que puede ser utilizada en cualquier aplicación.

Es importante rescatar que la celda de Gilbert puede ser utilizada por si sola como amplificador de ganancia variable, únicamente se debe analizar si el rango de ganancia es el óptimo para la aplicación. Sin embargo para este caso, debido a que la ganancia varía únicamente de 0 a 3.3 V/V se optó conectar una etapa de transimpedancia para aumentar el rango de control.

## **4.2 Resultados para la etapa de transimpedancia.**

Los circuitos y las condiciones en las cuales se realizaron las diferentes mediciones son las mismas que para la celda de Gilbert (señal de entrada, alimentación, modo común a la entrada, etc.).

Para esta etapa, igual que en la anterior después de realizar el layout, la señal de salida posee un offset. Este es de 15.69 mV el cual es mayor que para la etapa anterior y esto es debido a que esta posee una mayor complejidad y por lo tanto tiene una gran cantidad de conexiones lo cual dificulta la realización de un layout simétrico en su totalidad. Por otra parte, en esta etapa no se varía la tensión en DC en ningún transistor (no existe ninguna dependencia de  $\Delta V_c$ , debido a que en este solo se varía la tensión de entrada). Por esto solamente se calcula un parámetro para ganancia, modo común a la salida, ancho de banda, margen de fase y ganancia. .

### **4.2.1 Impedancia de entrada.**

En la figura 4.17 se muestra la impedancia de entrada (en pequeña señal) en función de la frecuencia para el circuito en esquemático. El valor es de 183.77  $\Omega$  en DC y de 385.78  $\Omega$  a una frecuencia de 10 GHz. Para esta etapa, la entrada no está conectada únicamente a la

compuerta de un transistor, sino que también está conectada al drenador de otro transistor y por lo tanto no sigue la misma tendencia que la mostrada por la celda de Gilbert. En este caso la impedancia de entrada tiene una resonancia a 5.49 GHz y su valor máximo es de 2.96 K $\Omega$ . Esta resonancia se da debido al amplificador que realimenta el circuito, y modificando el valor de los transistores se puede variar la amplitud del pico de resonancia.

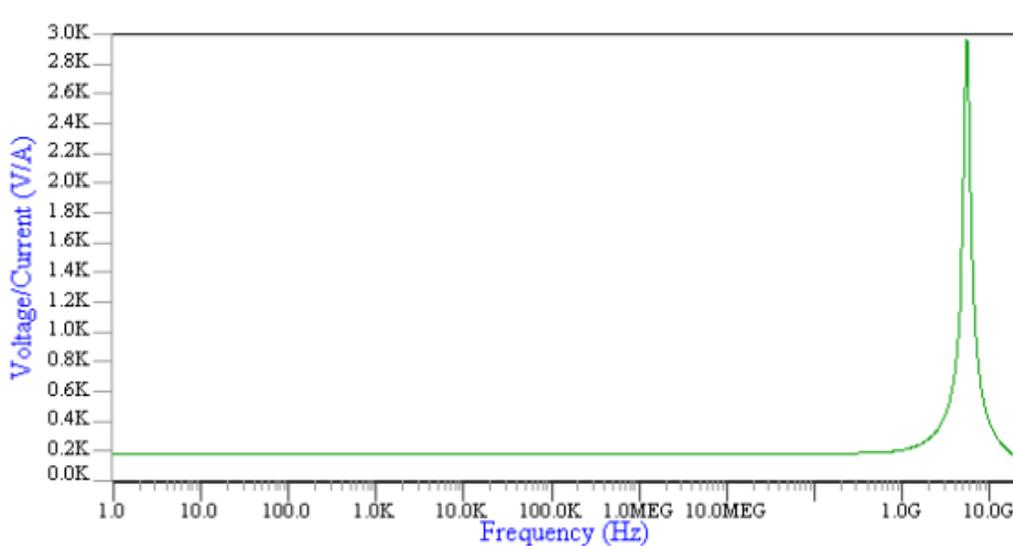


Figura 4.17 Impedancia de entrada de la etapa de transimpedancia en función de la frecuencia, en esquemático.

En la figura 4.18 se muestra el comportamiento en postlayout para la impedancia de entrada. Para este caso el valor en DC es de 180  $\Omega$  mientras que a 10 GHz es de 330 $\Omega$ . Además la resonancia se da 5.12 GHz y el valor máximo de impedancia es de 2.81 K $\Omega$ . Esto genera un error relativo entre el valor obtenido en postlayout y en esquemático que varía de 2.05% a 14.15% para los valores de impedancia. Por otra parte la fase de la impedancia de entrada no varía considerablemente en frecuencia.

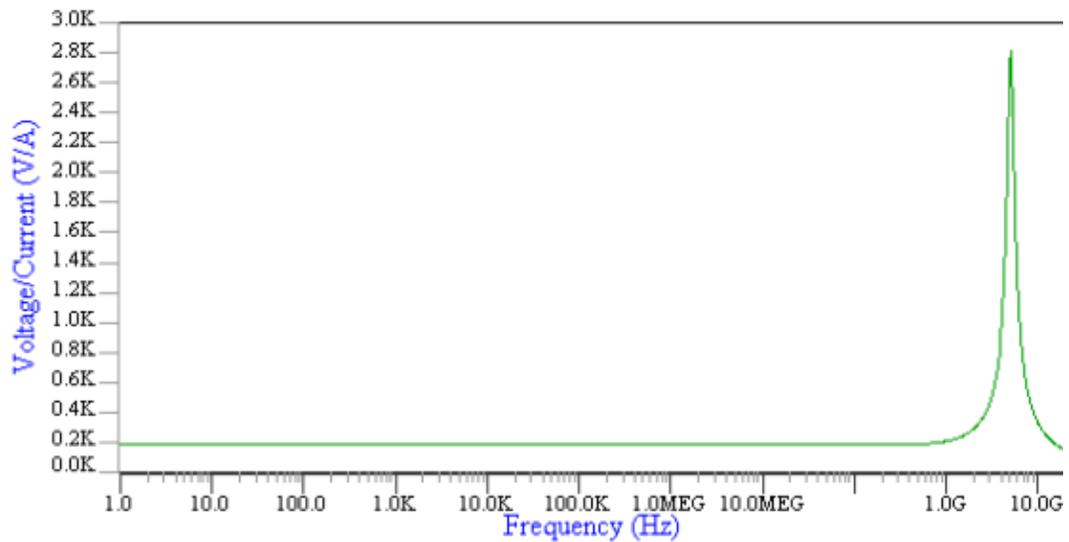


Figura 4.18 Impedancia de entrada de la etapa de transimpedancia en función de la frecuencia, postlayout.

Es importante recordar que al ser un amplificador de transimpedancia es necesario una impedancia de entrada baja, para obtener la máxima corriente de entrada. Por lo tanto el circuito tiene una respuesta según lo esperado.

#### 4.2.2 Impedancia de salida

En la figura 4.19 se muestra la impedancia de salida en función de la frecuencia para el circuito en esquemático. El valor es de  $310.94 \Omega$  en DC y de  $226.82 \Omega$  a una frecuencia de 10 GHz. Para este caso, si se obtiene un comportamiento típico y similar al obtenido en la celda de Gilbert.

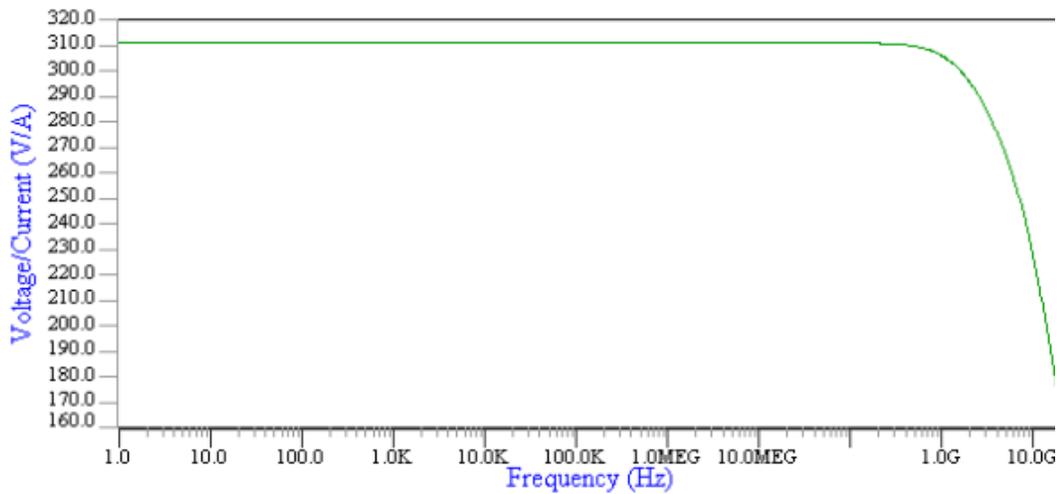


Figura 4.19 Impedancia de salida de la etapa de transimpedancia en función de la frecuencia, en esquemático.

En la figura 4.20 se muestra el comportamiento en postlayout, y se observa que sigue la misma tendencia. El valor máximo es de 311  $\Omega$  en DC y a 10 GHz posee un valor de 231.10  $\Omega$ . Por lo tanto el comportamiento en postlayout tiene un error relativo de -0.02% a -1.88% con respecto a los resultados obtenidos en esquemático. Esto indica que los resultados obtenidos en postlayout no difieren considerablemente en comparación con los resultados a nivel de esquemático, y por lo tanto no se degrada el circuito.

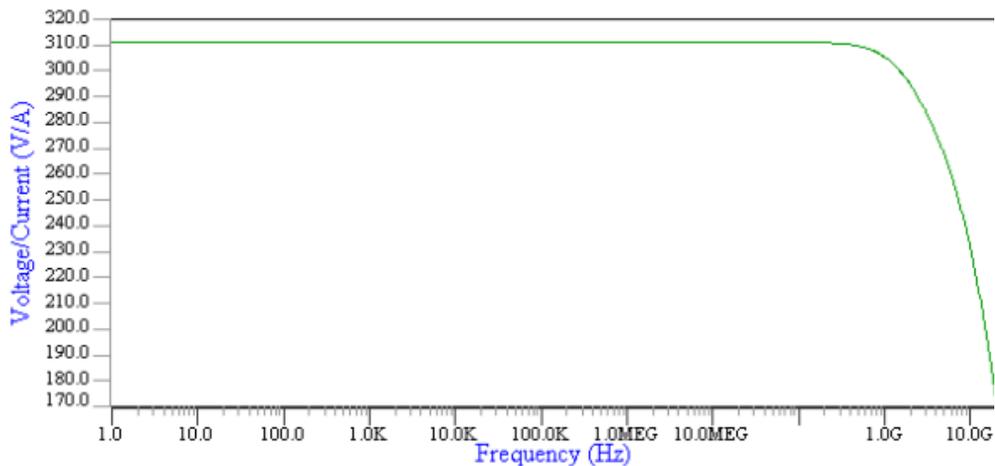


Figura 4.20 Impedancia de entrada de la etapa de transimpedancia en función de la frecuencia, postlayout.

Para la impedancia de salida se desea un valor pequeño (que esté en el orden de los ohms o menor), de esta forma se garantiza que la mayor cantidad de tensión cae en la siguiente etapa del circuito (considerando que esta posee una impedancia de entrada alta). Por lo tanto, para esta etapa la impedancia de salida posee el comportamiento deseado.

### 4.2.3 Ganancia

En la figura 4.21 se muestra la respuesta del circuito para una entrada senoidal de 10 mVp a 1 GHz, tanto en esquemático como en postlayout. A nivel de esquemático posee una ganancia de 10.93 V/V lo cual es equivalente a 20.78 dB. Por otra parte en postlayout posee una ganancia de 10.62 V/V lo cual equivale a 20.52 dB.

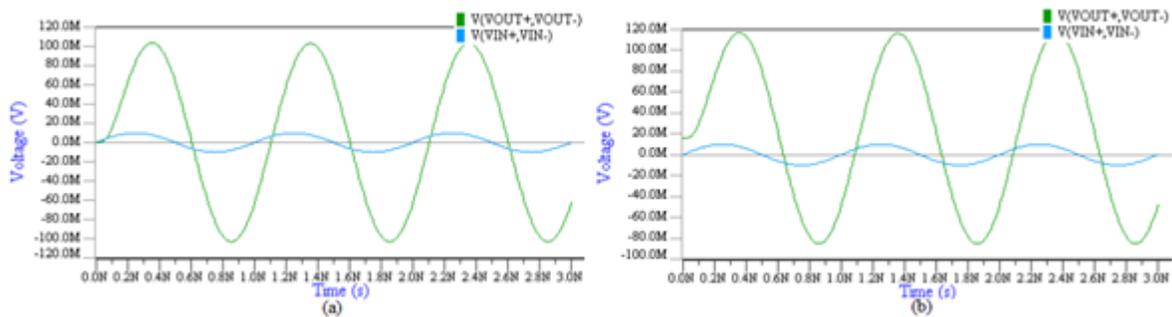


Figura 4.21 Respuesta del circuito de transimpedancia a una entrada de 10 mVp a 1 GHz en:  
(a) Esquemático (b) Postlayout.

En esta etapa la ganancia en postlayout disminuye con respecto al circuito en esquemático. Esta tiene un error relativo de 2.83 % para el valor obtenido en postlayout con respecto al esquemático. Esto se da debido a que en este caso las capacitancias generadas en el circuito en postlayout no permiten obtener un mejor comportamiento y por lo tanto la ganancia se degrada. Por otra parte, y como se mencionó anteriormente se debe considerar que la señal de salida posee un offset, el cual se observa en la figura 4.21.

#### 4.2.4 Modo común a la salida

Para el circuito en esquemático a la salida se tiene un modo común constante de 0.711 V. Por otra parte en postlayout se tiene un valor de modo común diferente para cada terminal de salida. En el caso de  $V_{out+}$  se tiene una tensión de 0.739 V lo cual genera un error relativo de -3.94 %, con respecto al valor obtenido en esquemático. Para la terminal  $V_{out-}$  se tiene un modo común de 0.723 V y por lo tanto un error relativo de -1.68 %, con respecto al obtenido en esquemático. En ambos casos el error es relativamente bajo y se da debido a la impedancia generada por las conexiones, esta no es la misma para cada terminal ya que el circuito no es simétrico en su totalidad.

#### 4.2.5 Ancho de banda.

En la figura 4.22 se muestra la respuesta en frecuencia del circuito tanto en magnitud como en fase. Para este caso se tiene un ancho de banda de 2.17 GHz en esquemático y 2.04 GHz en postlayout, por lo tanto tiene un error relativo del 6% entre postlayout y esquemático. Para esta etapa la respuesta del circuito se degrada en postlayout debido que su ancho de banda disminuye en 130 MHz, lo cual es considerable.

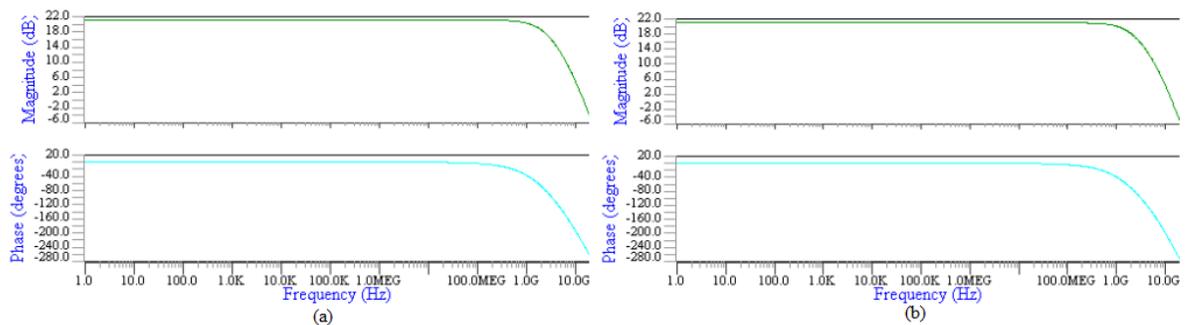


Figura 4.22 Respuesta en frecuencia para la etapa de transimpedancia en (a) Esquemático, (b) Postlayout.

Se puede decir que las impedancias generadas en postlayout no mejoran el comportamiento del circuito y por lo tanto el ancho de banda disminuye. Para ambos casos, se tiene la respuesta típica de un filtro paso bajas de orden uno con frecuencia de corte cercana a 1 GHz.

#### 4.2.6 Margen de fase y margen de ganancia

Como se observa en la tabla 4.2 para la etapa de transimpedancia, tanto el margen de fase como el margen de ganancia poseen valores negativos, tanto en esquemático como en postlayout. Por lo tanto el circuito es inestable y en caso de que sea necesario realizar una realimentación se debe solucionar este problema. Sin embargo, en este proyecto no es necesario realimentar el circuito por lo tanto este sigue siendo funcional.

Tabla 4.2 Margen de fase y margen de ganancia para la etapa de transimpedancia

Margen	Esquemático	Postlayout	Error relativo
Fase	-57.75°	-53.9°	6.66 %
Ganancia	-6.65 dB	-6.59 dB	0.9 %

Si se observa el error relativo para ambos parámetros entre postlayout y esquemático es bajo, por lo tanto se puede decir que la implementación en layout no afectó de forma considerable la respuesta del circuito.

#### 4.2.7 Resumen del rendimiento del circuito en postlayout

En la tabla 4.3 se muestra el resumen de los resultados obtenidos para la etapa de transimpedancia.

Tabla 4.3 Resumen del rendimiento de la etapa de transimpedancia.

Ganancia ( V/V)	Ancho de banda (GHz)	Impedancia de entrada ( $\Omega$ )	Impedancia de salida ( $\Omega$ )	Modo común (V)	Área ( $\text{nm}^2$ )	Potencia consumida máxima (mW)
10.62	2.04	180 - 330	311 - 231.10	0.723 – 0.739	2.660	11.436

Para esta etapa se disminuye considerablemente el ancho de banda, sin embargo se tiene una ganancia de 10 V/V lo cual es deseable. Por otra parte, los otros parámetros están dentro del rango esperado y por lo tanto el comportamiento del circuito es el correcto.

#### 4.3 Resultados del amplificador de ganancia variable.

Como se ha mencionado anteriormente la topología propuesta para el diseño del amplificador de ganancia variable consiste en una celda Gilbert conectada en cascada con una etapa de transimpedancia. Por lo tanto se procede a caracterizar el circuito final brindado como solución al problema.

Antes de determinar los diferentes parámetros de interés del circuito, es necesario observar y analizar la forma de onda a la salida. Esto para verificar que no se está degradando la señal y además ver el comportamiento general. En la figura 4.23 se muestra la forma de onda de la tensión de salida para diferentes valores de  $\Delta V_c$ , con una entrada de 10 mVp a 1 GHz.

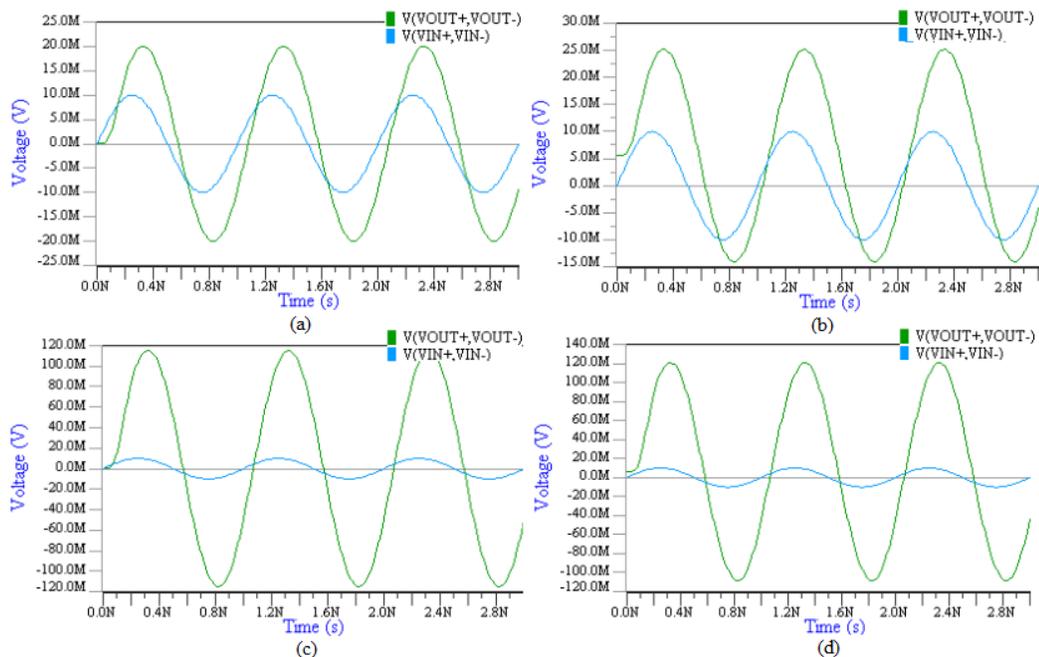


Figura 4.23 Tensión de entrada ( $V(in+,in-)$ ) y salida ( $V(out+,out-)$ ) del VGA, para un valor de  $\Delta V_c$  de (a) 0.2 a nivel de esquemático (b) 0.2 en postlayout (c) 0.6 a nivel de esquemático (d) 0.6 en postlayout.

En la figura 4.23 se observa que en ambos casos la señal de salida mantiene la misma forma que la señal de entrada, sin embargo la amplitud de la señal si aumenta dependiendo del valor de la tensión de control  $\Delta V_c$ . Con ello se demuestra que la etapa posee el comportamiento de un amplificador de ganancia variable.

Se observa que la señal de salida en la simulación postlayout posee un offset el cual no está presente en la simulación de esquemático. Esto es debido a que no existe una simetría exacta en el layout de ambos circuitos (celda de Gilbert y etapa de transimpedancia). En la figura 4.24 se muestra como varía el offset en función de  $\Delta V_c$ .

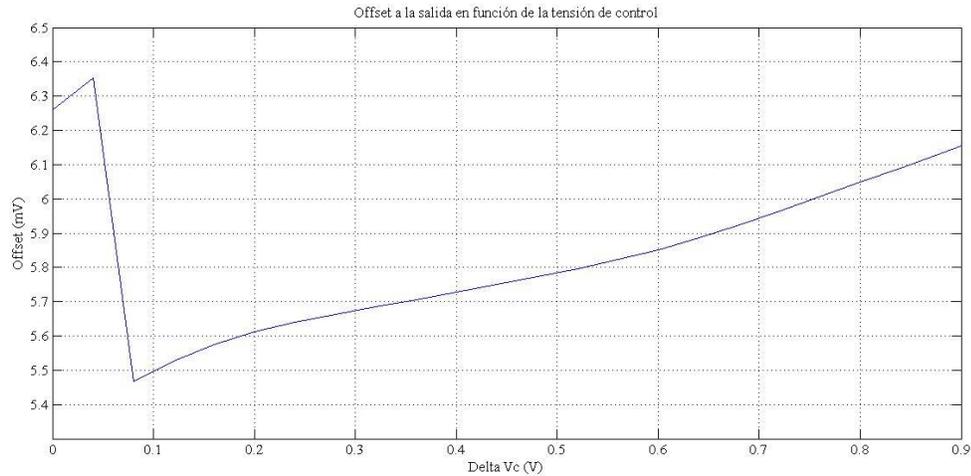


Figura 4.24 Offset a la salida del VGA en función de  $\Delta V_c$ .

Como se observa en la figura 4.24, el offset varía de 5.46 mV a 6.34 mV. Este rango fue el menor logrado en la implementación de layout.

#### 4.3.1 Impedancia de entrada.

Debido a que se realizó una conexión en cascada de las etapas, la impedancia de entrada es la obtenida en la celda de Gilbert, la cual se analizó en la sección 4.1.1. Se debe recordar que esta varía en postlayout de 61.960 G $\Omega$  a 180.00  $\Omega$ , en función de la frecuencia en el rango de 0 Hz a 10 GHz.

#### 4.3.2 Impedancia de salida.

La impedancia de salida es la obtenida para la etapa de transimpedancia, la cual se analizó en la sección 4.2.2. Se debe recordar que esta varía en postlayout de 311  $\Omega$  a 231  $\Omega$ , en función de la frecuencia en el rango de 0 Hz a 10 GHz.

### 4.3.3 Ganancia.

Como se realizó una conexión en cascada de dos etapas, la ganancia total debe ser la suma en decibeles de la ganancia de cada una de ellas. Sin embargo, esto es sin considerar las pérdidas que existen en la entrada y salida de cada etapa. Por lo tanto, es necesario caracterizar la ganancia de la etapa completa de amplificación.

En la figura 4.25 se muestra el comportamiento de la ganancia, esta se obtuvo a una frecuencia de 1 GHz, tanto en layout como en esquemático.

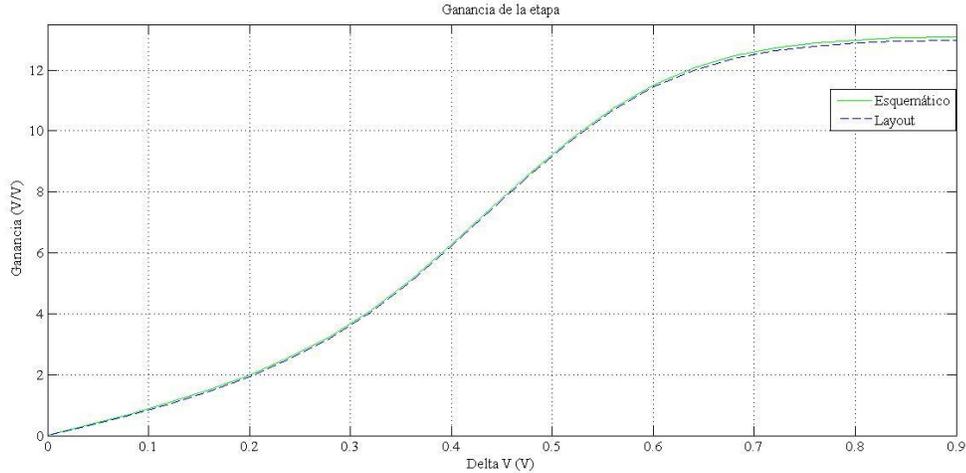


Figura 4.25 Ganancia del VGA.

De la figura 4.25 se observa que la ganancia varía de 0 V/V a 13 V/V, lo cual es equivalente a una variación de  $-\infty$  a 10 dB. Sin embargo, como un valor de  $-\infty$  no aporta al análisis, se modificó el valor de  $\Delta V_c$  a 0.05 V y se obtuvo una ganancia de -20 dB. Por lo tanto se tiene una variación de -20 dB a 22.2 dB. Por otra parte, se muestra que a partir de un  $\Delta V_c$  mayor a 0.7 V el valor de la ganancia tiende a su valor máximo. Por lo tanto se puede establecer el rango para  $\Delta V_c$  de 0 a 0.7 V, debido a que es donde se obtiene una mayor variación en la tensión de salida.

Además se observa que la ganancia en postlayout no varía considerablemente con respecto a la ganancia en esquemático y ambas siguen la misma tendencia. En la figura 4.26 se observa el error relativo de la ganancia, con respecto al valor obtenido en esquemático en función de  $\Delta V_c$ .

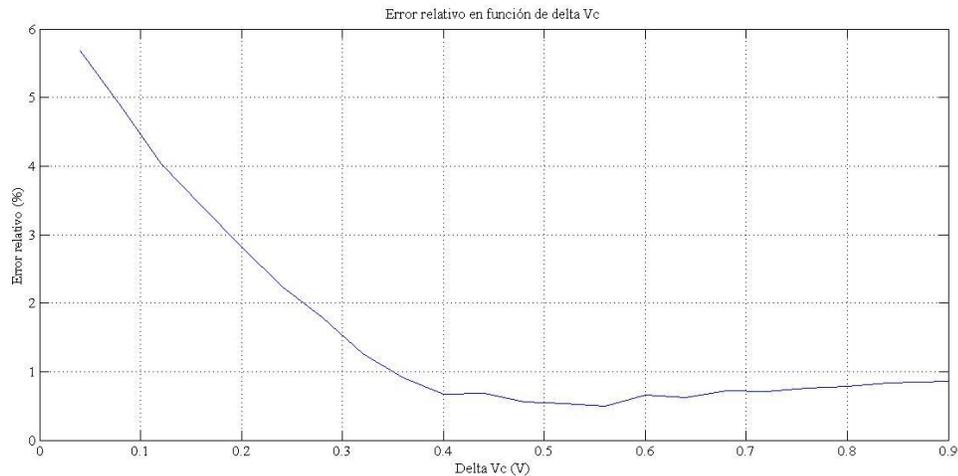


Figura 4.26 Error relativo de la ganancia del VGA entre el layout y el esquemático, en función de  $\Delta V_c$ .

Si se observa la figura anterior se puede determinar que el error relativo de la ganancia entre el layout y el esquemático varía de 5.6 % a 0.49 %. Además de forma general el error es positivo por lo cual, y como observa en la figura 4.25, la ganancia en postlayout es predominantemente menor que en esquemático. Por lo tanto las capacitancias generadas en el layout del circuito degradan la ganancia.

#### 4.3.4 Modo común a la salida.

A pesar de que la salida del circuito de transimpedancia no varía el valor de modo común, para este caso como esta está conectada a la celda de Gilbert y esta si posee variaciones, provoca que a la salida del VGA el valor de modo común varíe en función de  $\Delta V_c$ .

En la figura 4.27 se muestra como varía el modo común, tanto en esquemático como en postlayout, en función de  $\Delta V_c$ . A nivel de esquemático el modo común para ambas terminales de salida es el mismo, debido a la simetría de ambas etapas. Sin embargo, en postlayout si existe una diferencia entre cada terminal y esta es la que provoca el offset en la señal de salida.

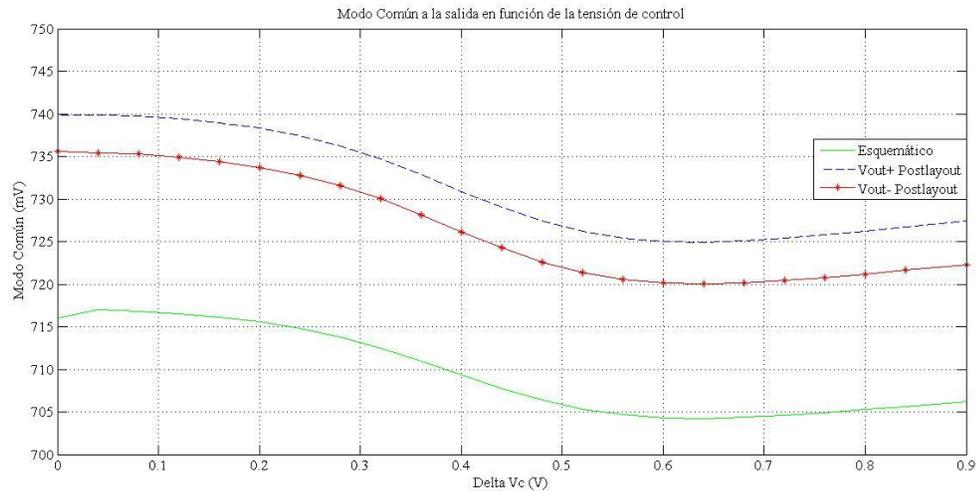


Figura 4.27 Modo común a la salida del VGA.

A nivel de esquemático el valor de modo común varía de 704.2 mV a 716.9 mV, mientras que en los resultados postlayout la tensión varía de 720 mV a 741 mV. En este caso se observa que el modo común no varía considerablemente en función de  $\Delta V_c$  (en comparación con la celda de Gilbert), lo cual es deseable debido a que de esta forma se disminuye el efecto que esto pueda tener en el circuito que se conecte posterior a esta etapa. Además, los valores de modo común son menores que 750 mV pero mayores que 500 mV, lo cual es deseable para que sea compatible con las etapas posteriores.

En la figura 4.28 se muestra el error relativo de ambas terminales, con respecto al modo común obtenido en esquemático. En ambos casos el error relativo posee valores negativos mayores a -3.3 % los cuales son valores de error aceptables, sin embargo de forma general la terminal de Vout+ posee un error mayor con respecto a los valores obtenidos en esquemático.

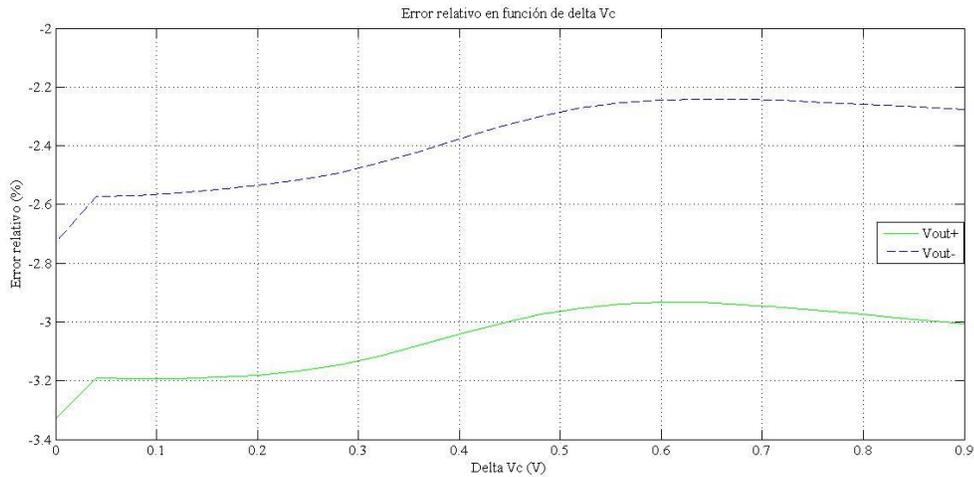


Figura 4.28 Error relativo en el modo común a la salida del VGA, entre los resultados de postlayout y esquemático.

#### 4.3.5 Ancho de banda.

En la figura 4.29 se muestra la respuesta en frecuencia en magnitud y fase, tanto en esquemático como en postlayout para dos diferentes valores de  $\Delta Vc$ . En ambos casos se puede observar que el circuito posee un pico de resonancia cerca de 4 GHz, y este aumenta conforme se aumenta  $\Delta Vc$ . A pesar de que la resonancia no es deseada en el circuito, esta permite aumentar el ancho de banda. Además, el valor máximo de la resonancia no supera en más de 3dB, el valor de ganancia obtenido en frecuencias menores, de esta forma se evita que circuito tenga un comportamiento de filtro pasa banda.

Esta resonancia provoca que la ganancia no sea constante dentro de todo el rango de operación del circuito. Por lo tanto, a la hora utilizar la etapa se debe considerar si se está utilizando a una frecuencia mayor a 1 GHz, debido a que es el punto en el cual la ganancia empieza a aumentar.

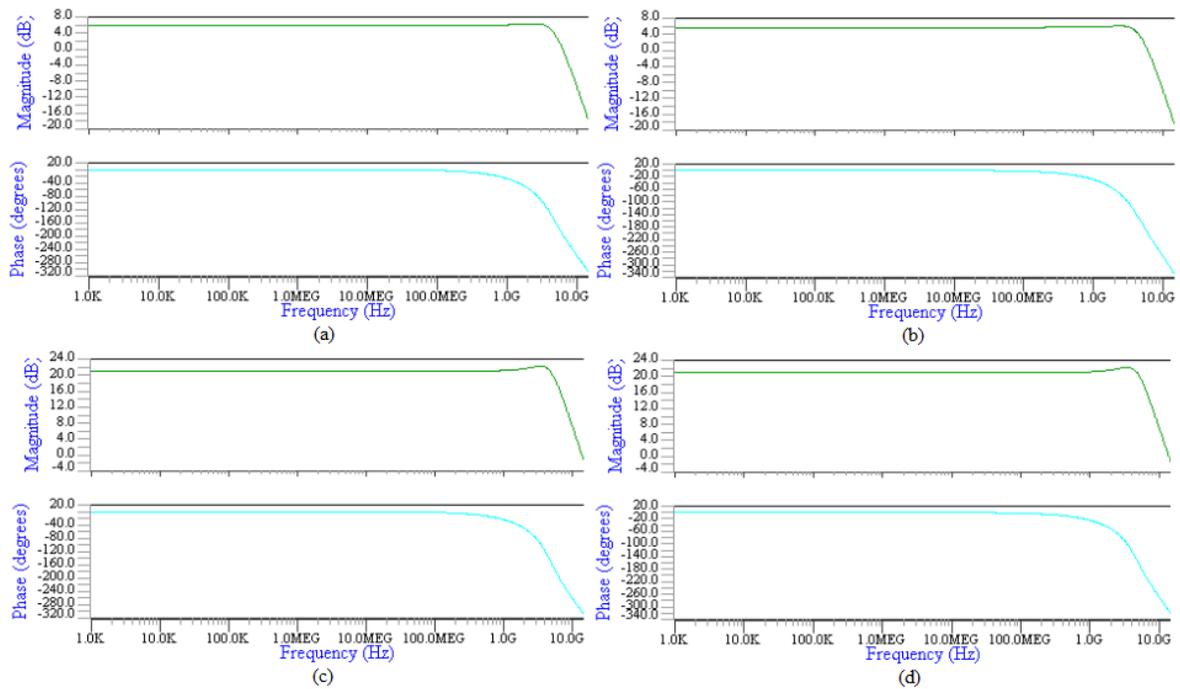


Figura 4.29 Respuesta en frecuencia del VGA para un valor de  $\Delta V_c$  de (a) 0.2 V esquemático, (b) 0.2 V postlayout (c) 0.6 V esquemático, (d) 0.6 V postlayout.

En la figura 4.30 se muestra como varía el ancho de banda en función de la tensión de control, tanto para esquemático como para postlayout. Para esta etapa se tiene un máximo ancho de banda de 5.8 GHz y un mínimo de 4.74 GHz, en postlayout. En este caso se observa que el ancho de banda obtenido en postlayout disminuye con respecto al obtenido en esquemático y esto es debido a que las capacitancias parásitas generadas empeoran la sintonización del circuito y por lo tanto se aleja levemente de su punto de operación óptimo.

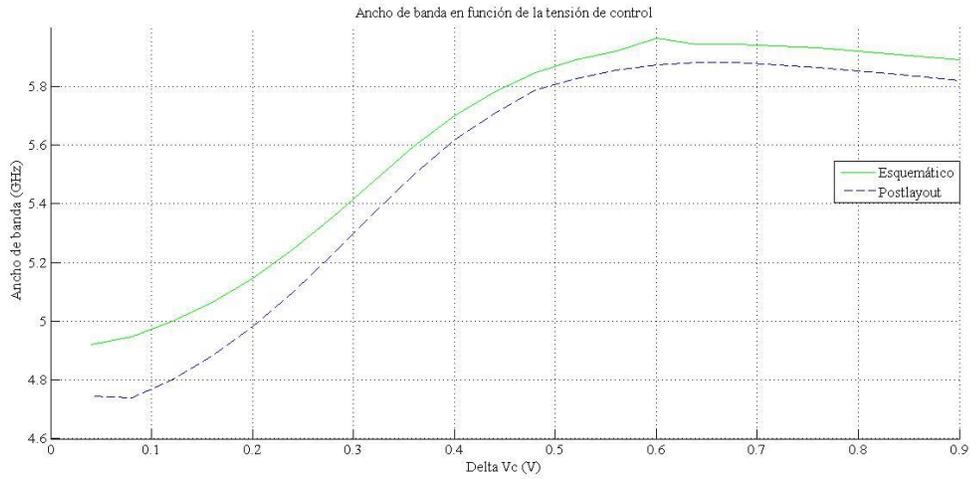


Figura 4.30 Ancho de banda del VGA en función de  $\Delta V_c$ .

En la figura 4.31 se muestra el error relativo del ancho de banda en postlayout, con respecto al obtenido en esquemático, en función de  $\Delta V_c$ . Para este caso el error varía de -4.2% a 1%, el cual es un error relativamente bajo y en ambos casos es positivo. Por lo tanto el layout afecta negativamente en la respuesta del circuito (como se observa en la figura 4.30), sin embargo no produce un cambio drástico en la respuesta del sistema.

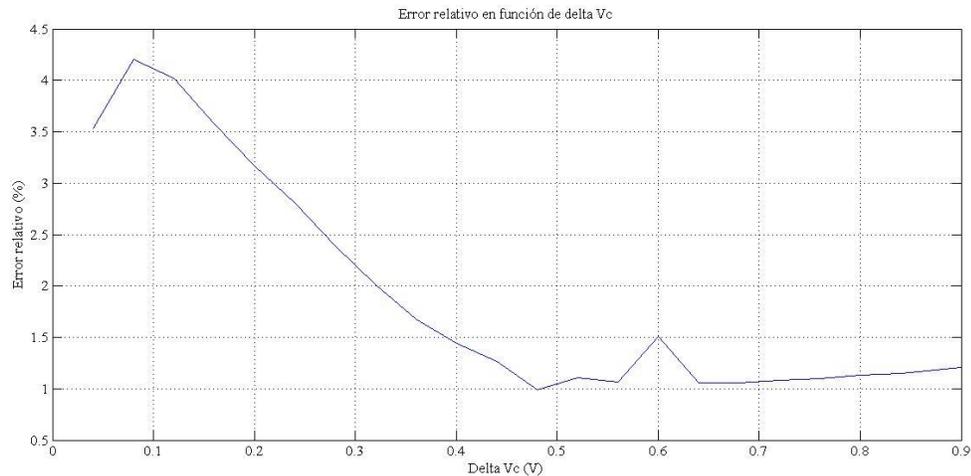


Figura 4.31 Error relativo del ancho de banda en postlayout, con respecto al obtenido en esquemático, en función de  $\Delta V_c$ .

### 4.3.6 Margen de fase y margen de ganancia.

Para esta etapa, ambos parámetros varían en función de la tensión de control. Sin embargo, debido a que para el cálculo del margen de fase es necesario que la ganancia alcance un valor de 0 dB, el cálculo se inició a partir de un  $\Delta V_c$  de 0.19 V. Por lo tanto para valores menores no es posible calcular el margen de fase. En la figura 4.32 se muestra el comportamiento del margen de fase y margen de ganancia, tanto en esquemático como en postlayout.

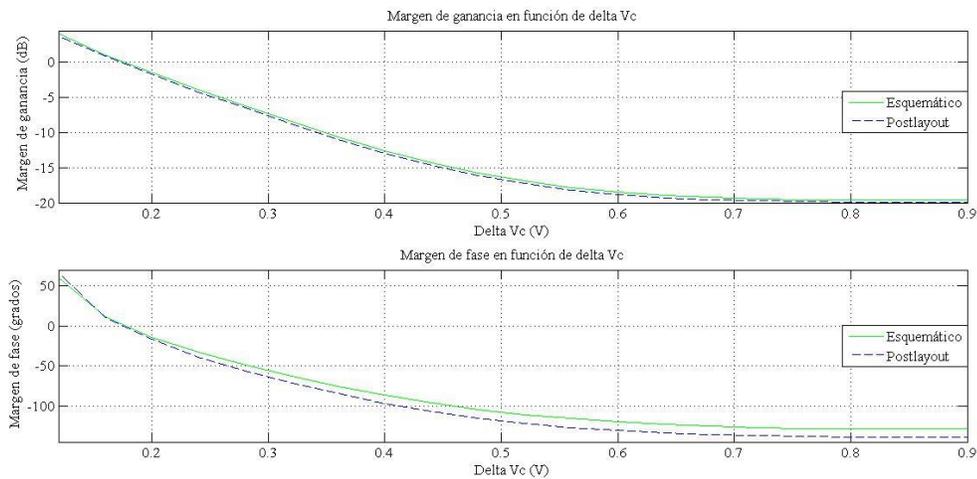


Figura 4.32 Margen de fase y margen de ganancia para el VGA.

Como se observa en la figura anterior, ambos parámetros poseen valores positivos para un  $\Delta V_c$  mayor que 0.12 V, pero menor que 0.16 V. Por lo tanto para este rango la etapa es estable. Sin embargo para valores de  $\Delta V_c$  mayores a 0.16 V el sistema es inestable, debido a que el margen de ganancia y el margen de fase son negativos. Para esta aplicación no es necesario realizar un lazo de realimentación, por lo tanto no hay problema con la solución planteada.

Por otra parte, se observa que el comportamiento a nivel de layout se degrada en comparación con el obtenido en esquemático. En la figura 4.33 se muestra el error relativo para

ambos parámetros, entre los resultados obtenidos en postlayout y esquemático. Para el margen de ganancia el error relativo varía de -1.4 % a 15.8 %, mientras que para el margen de fase de -18.6% a 9%. Estos errores son relativamente grandes, lo que implica que la sensibilidad del circuito es alta a estos parámetros. Sin embargo, tanto en esquemático como en postlayout el sistema es inestable, por lo tanto esta degradación no es determinante en la respuesta del circuito.

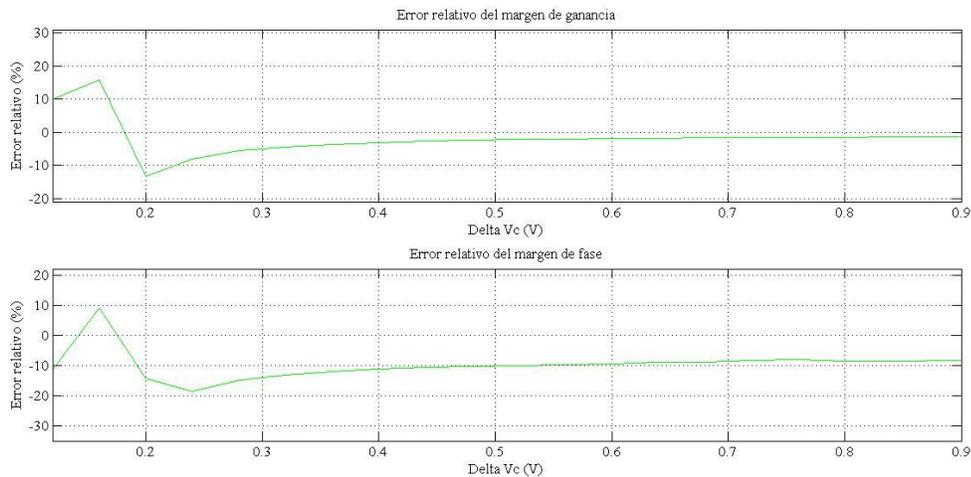


Figura 4.33 Error de margen de fase y margen de ganancia para el VGA, entre los resultados obtenidos en postlayout y esquemático.

#### 4.3.7 Resumen del rendimiento del circuito en postlayout

En la tabla 4.4 se muestra el resumen de los resultados obtenidos para el circuito amplificador de ganancia variable. Se puede observar que se logró un rango de ganancia de 0 a 13.3 V y esto permite un mayor rango de control de potencia a la salida de la etapa de amplificación. Por otra parte, el ancho de banda está en el rango de los GHz, específicamente 4.74 GHz, con ello se cumple uno de los objetivos propuestos en el desarrollo de la solución. Además, se obtuvo una alta impedancia de entrada, ya que esta varía de 68.548 G $\Omega$  a 200.15  $\Omega$ . Por otra parte la impedancia de salida varía de 311  $\Omega$  a 231.10  $\Omega$ , teniendo así una baja impedancia de salida. De esta forma se logra cumplir otro de los objetivos del proyecto. También se obtuvo un área de 3.446 nm<sup>2</sup>, haciendo así un uso eficiente del área.

Tabla 4.4 Resumen del rendimiento VGA.

Ganancia ( V/V)	Ancho de banda (GHz)	Impedancia de entrada ( $\Omega$ )	Impedancia de salida ( $\Omega$ )	Modo común (V)	Área ( $\text{nm}^2$ )	Potencia máxima consumida (mW)
0 - 13.3	4.74	68.548 $\text{G}\Omega$ - 200.15 $\Omega$	311 - 231.10	0.720 - 0.741	3.446	14.724

Una vez analizados los parámetros obtenidos, se procedió a realizar una prueba del funcionamiento de la etapa completa. En la tabla 4.5 se muestran una serie de posibles escenarios en los cuales sea necesario el control de la tensión de salida. Se toma una entrada de 10 mVp y se desea una potencia constante a la salida de 500 nW, además se debe considerar que la resistencia de carga varía para cada uno de los casos.

Tabla 4.5 Comprobación de funcionamiento del amplificador de ganancia variable.

$V_{\text{out}}$ (mV)	$Z_{\text{Load}}$ ( $\text{K}\Omega$ )	$P_{\text{actual}}$ (nW)	$V_{\text{out}}$ necesario (mV)	$\Delta V_c$ (V)	$P_{\text{nueva}}$ (nW)	Error (%)
20	15	26.66	86.60	0.48	493.06	1.38
15	10	22.50	70.71	0.43	490.00	2.00
45	18	112.50	94.86	0.50	490.88	1.82
78	25	243.36	111.80	0.58	492.84	1.43
64	3	1365.33	38.72	0.30	481.33	3.73
52	7	386.28	59.16	0.39	497.28	0.54
98	5	1920.80	50.00	0.35	498.00	0.40
73	3	1776.33	38.72	0.31	507.00	-1.40
22	14	34.57	83.66	0.47	492.07	1.58

41	13	129.30	80.62	0.46	492.30	1.53
84	11	641.45	74.16	0.44	497.81	0.43
45	10	202.50	70.71	0.43	490.00	2.00

Como se observa en la tabla anterior, se logra un control en la potencia de salida únicamente variando la tensión de control  $\Delta V_c$ , sin embargo se debe considerar que se tiene error relativo el cual es menor a 3.73%.

Por lo tanto, a pesar de que no se tiene la etapa completa de control automático de ganancia, se puede obtener un control en la potencia de salida únicamente haciendo uso de un amplificador de ganancia variable y fuentes de control (como se mencionó en la propuesta de solución 1).

De esta forma, para una primera iteración en el desarrollo del circuito de espectroscopia por impedancia eléctrica, se puede utilizar el amplificador de ganancia variable para controlar la potencia de salida del oscilador. Posteriormente, se puede mejorar la solución haciendo uso de un control automático de ganancia.

## Capítulo 5: Conclusiones

### 5.1 Conclusiones

Se diseñó y validó un VGA, basado en una celda de Gilbert y una etapa de transimpedancia conectada en cascada. Con él se proyecta controlar la potencia a la salida de un oscilador de frecuencia variable, al cual se le conectaría una carga variable en frecuencia. Para ello únicamente es necesario variar la tensión de control  $\Delta V_c$  que regula la ganancia de las etapas en un rango aproximado de un orden de magnitud, como se demostró en los análisis a nivel de simulación.

El amplificador de ganancia variable consumió un área total de  $3.466 \text{ nm}^2$  logrando así una demanda reducida de área. Además, se obtuvo un consumo máximo de potencia de  $14.724 \text{ mW}$ . Por otra parte, se logró un rango de operación hasta los  $4.74 \text{ GHz}$ , lo cual permite una utilidad de la etapa para un amplio rango de frecuencias. También se obtuvo una ganancia ajustable de  $0$  a  $13.3 \text{ V/V}$ , lo cual permite un amplio rango de control de la tensión de salida.

La impedancia de entrada del amplificador de ganancia variable varía de  $68.548 \text{ G}\Omega$  a  $200.15 \text{ }\Omega$  en función de la frecuencia, en el rango de  $0 \text{ Hz}$  a  $10 \text{ GHz}$ . Lo cual, a pesar de que disminuye su valor en frecuencia, permite obtener una mayor caída de tensión a la entrada de la etapa y por ende se minimizan las pérdidas en el acople con las etapas anteriores. Por su parte, la impedancia de salida varía de  $311 \text{ }\Omega$  a  $231.10 \text{ }\Omega$  en función de la frecuencia, en el rango de  $0 \text{ Hz}$  a  $10 \text{ GHz}$ . Logrando así un correcto acople con la etapa que se conecte posterior al amplificador de ganancia variable.

La celda de Gilbert tiene un ancho de banda de  $5.8 \text{ GHz}$  y una ganancia ajustable de  $0$  a  $3.3 \text{ V/V}$ . Además posee una impedancia de entrada que varía de  $68.548 \text{ G}\Omega$  a  $200.15 \text{ }\Omega$  y una impedancia de salida que varía de  $508 \text{ }\Omega$  a  $240.04 \text{ }\Omega$ , ambas en función de la frecuencia en el rango de  $0 \text{ Hz}$  a  $10 \text{ GHz}$ . De esta forma se tiene una etapa funcional la cual puede ser utilizada

en el desarrollo del presente proyecto de espectroscopia, pero además de otros que requieran una etapa con estas características en la tecnología considerada.

El trabajo también logró el diseño y validación una etapa de transimpedancia, en ella se obtuvo un ancho de banda de 2.04 GHz, una ganancia de 10 V/V, una impedancia de entrada que varía de 180  $\Omega$  a 330  $\Omega$  y una impedancia de salida que varía de 311  $\Omega$  a 231.10  $\Omega$ , ambas en función de la frecuencia, en el rango de 0 Hz a 10 GHz. Con ello se tiene un amplificador de transimpedancia el cual puede ser utilizado en cualquier otra aplicación.

Además, mediante el uso de transistores especializados para radio frecuencia, se obtuvo un comportamiento en postlayout muy cercano al obtenido en esquemático para todas las etapas. Con ello se determinó que una mayor capacitancia, generada por el layout del circuito, no implica una degradación en el funcionamiento ya que en algunos casos este comportamiento mejoró debido a la sintonización del circuito para alta frecuencia.

El diseño de un layout simétrico genera que las impedancias parásitas generadas en la fabricación queden balanceadas de en cada uno de los nodos. De esta forma se obtiene un modo común a la salida similar para cada una de las terminales, y por lo tanto se minimiza el offset en la señal de salida.

## **5.2 Recomendaciones.**

Se recomienda implementar el diseño de un control automático de ganancia para controlar la potencia a la salida del oscilador de frecuencia variable de forma automática. A pesar de que el uso de un VGA permite controlar la potencia, éste tiene dependencia de un valor externo que debe controlarse durante la realización de las diferentes mediciones. Por lo tanto, y como se mencionó en la secciones 3.1 y 3.2, es necesario el uso de un AGC, de esta forma obtiene un sistema más robusto e independiente, logrando así la solución adecuada al problema. Sin embargo, se debe considerar el área que consumirá toda la etapa y si es posible

implementarlo en conjunto con todas las etapas del circuito integrado para la espectroscopia por impedancia eléctrica de señales biológicas en múltiples canales simultáneos.

Se recomienda para próximas etapas a desarrollar, hacer uso de transistores rf desde el inicio del diseño, debido a que el comportamiento no es idéntico al que ofrecen los transistores comunes. Por lo tanto, un cambio en el modelo implica un redimensionamiento de los transistores y esto puede atrasar el avance del proyecto.

En caso de ser necesario, para aumentar la ganancia del VGA se puede conectar otra etapa de transimpedancia en cascada. Para esto se debe disminuir la ganancia de la misma para evitar que la salida del circuito sobrepase la tensión de alimentación. Además al aumentar ganancia se debe considerar que se disminuye la sensibilidad a la hora variar la tensión de control, y también se ve afectado el ancho de banda.

## Bibliografía

- [1] B. Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill Science/Engineering/Math, 1 edition, August 2000.
- [2] Bai, C., & Wu, J. (2014). *A Novel Temperature Compensating Method of Logarithmic Amplifier in RSSI*. Lecture, Beirut.
- [3] Ibarra, J. (2011). *Diseño de un filtro analógico para la detección de disparos de armas de fuego usando amplificadores operacionales de transconductancia* (Licenciatura). Instituto Tecnológico de Costa Rica.
- [4] Jayaraman, K., Khan, Q., Chiang, P., & Chi, B. (2009). Design and analysis of 1-60GHz, RF CMOS peak detectors for LNA calibration. *2009 International Symposium On VLSI Design, Automation And Test*. <http://dx.doi.org/10.1109/vdat.2009.5158157>
- [5] Kartheek, G. (2016). *Design and Characterization of CMOS Gilbert Mixer at 130 nm Technology for Impedance Measurement System of Human Cell in Institute for Nanoelectronics* (Master). Technische Universität Hamburg-Harburg.
- [6] Leme, C., Lenggenhager, R., Filanovsky, I., & Baltes, H. Linear CMOS power controller for precision sensor applications. *[Proceedings] 1992 IEEE International Symposium On Circuits And Systems*. <http://dx.doi.org/10.1109/iscas.1992.230394>
- [7] Liao, C., & Liu, S. (2006). *A 10Gb/s CMOS AGC Amplifier with 35dB Dynamic Range for 10Gb Ethernet*. Lecture, San Francisco, CA.
- [8] Mercy, D. (1981). A review of automatic gain control theory. *Radio Electron. Eng. UK*, 51(11-12), 579. <http://dx.doi.org/10.1049/ree.1981.0084>

- [9] Momeni, O., Hashemi, H., & Afshari, E. (2010). A 10-Gb/s Inductorless Transimpedance Amplifier. *IEEE Transactions On Circuits And Systems II: Express Briefs*, 57(12), 926-930. <http://dx.doi.org/10.1109/tcsii.2010.2087971>
- [10] Moro-Frías, D., Sanz-Pascual, M.T., Díaz-Sánchez, A., de la Cruz-Blas, C.A., & Calvo, B. (2012). Diseño y simulación de un circuito de control automático de ganancia para sistemas sensores. *Superficies y vacío*, 25(1), 36-42. [http://www.scielo.org.mx/scielo.php?script=sci\\_arttext&pid=S166535212012000100007&lng=es&tlng=es](http://www.scielo.org.mx/scielo.php?script=sci_arttext&pid=S166535212012000100007&lng=es&tlng=es).
- [11] Ortega, A. (2012). *Diseño, desarrollo y caracterización de un circuito amplificador de transimpedancia para un sensor de capacitancia eléctrica* (Licenciatura). Universidad Veracruzana.
- [12] Ray, S., & Hella, M. (2016). A 10 Gb/s Inductorless AGC Amplifier With 40 dB Linear Variable Gain Control in 0.13 CMOS. *IEEE J. Solid-State Circuits*, 51(2), 440-456. <http://dx.doi.org/10.1109/jssc.2015.2496782>
- [13] Ray, S., & Hella, M. (2015). *A 10-Gb/s Inductorless AGC Amplifier with 45-dB Linear Variable Gain Control in 0.13- $\mu$ m CMOS*. Lecture, Fort Collins, CO.
- [14] Robles, L., & Chávez, J. (2005). *Medición de impedancia eléctrica en tejido cervico in-vitro* (Licenciatura). Universidad Industrial de Santander.
- [15] Rosich, T. (2014). *El Control Automático de Ganancia: topología, funcionamiento y uso (I)*. *SHARENG Divulgación*. Recuperado el 26 February del 2016, de <https://tomrospa.wordpress.com/2014/09/03/el-control-automatico-de-ganancia-topologia-funcionamiento-y-uso-i/>

- [16] Wang, Y., Afshar, B., Ye, L., Gaudet, V., & Niknejad, A. (2012). Design of a Low Power, Inductorless Wideband Variable-Gain Amplifier for High-Speed Receiver Systems. *IEEE Trans. Circuits Syst. I*, 59(4), 696-707. <http://dx.doi.org/10.1109/tcsi.2011.2169852>
- [17] Weste, N. & Harris, D. (2011). *CMOS VLSI design*. Boston: Addison Wesley.

## Apéndices

### A.1 Resultados obtenidos en las pruebas de verificación de layout, para la celda de Gilbert.

En la figura A.1.1 se muestran los resultados obtenidos en la prueba de DRC para la celda de Gilbert. En ella se observa que hay dos errores, sin embargo ambos errores se solucionan cuando se realice el diseño del circuito completo de espectroscopia, por lo tanto para este proyecto se pueden omitir.

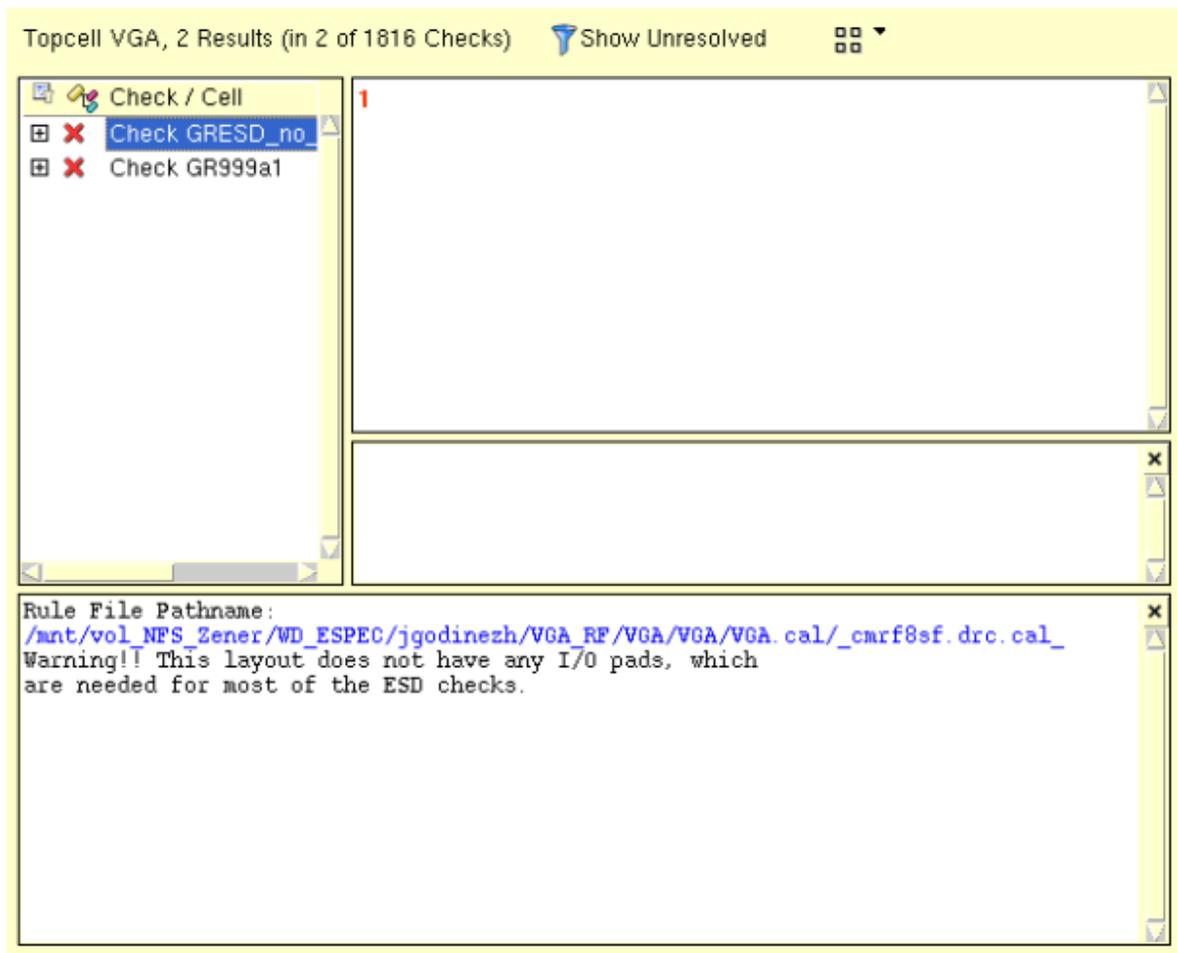


Figura A.1.1 Resultados del DRC para la celda de Gilbert.

Por otra parte en la figura A.1.2 se muestra el resultado para la prueba de LVS, en la cual se obtuvo una correcta relación entre el layout y el circuito en esquemático. Por lo tanto, su comportamiento fue el correcto en postlayout.

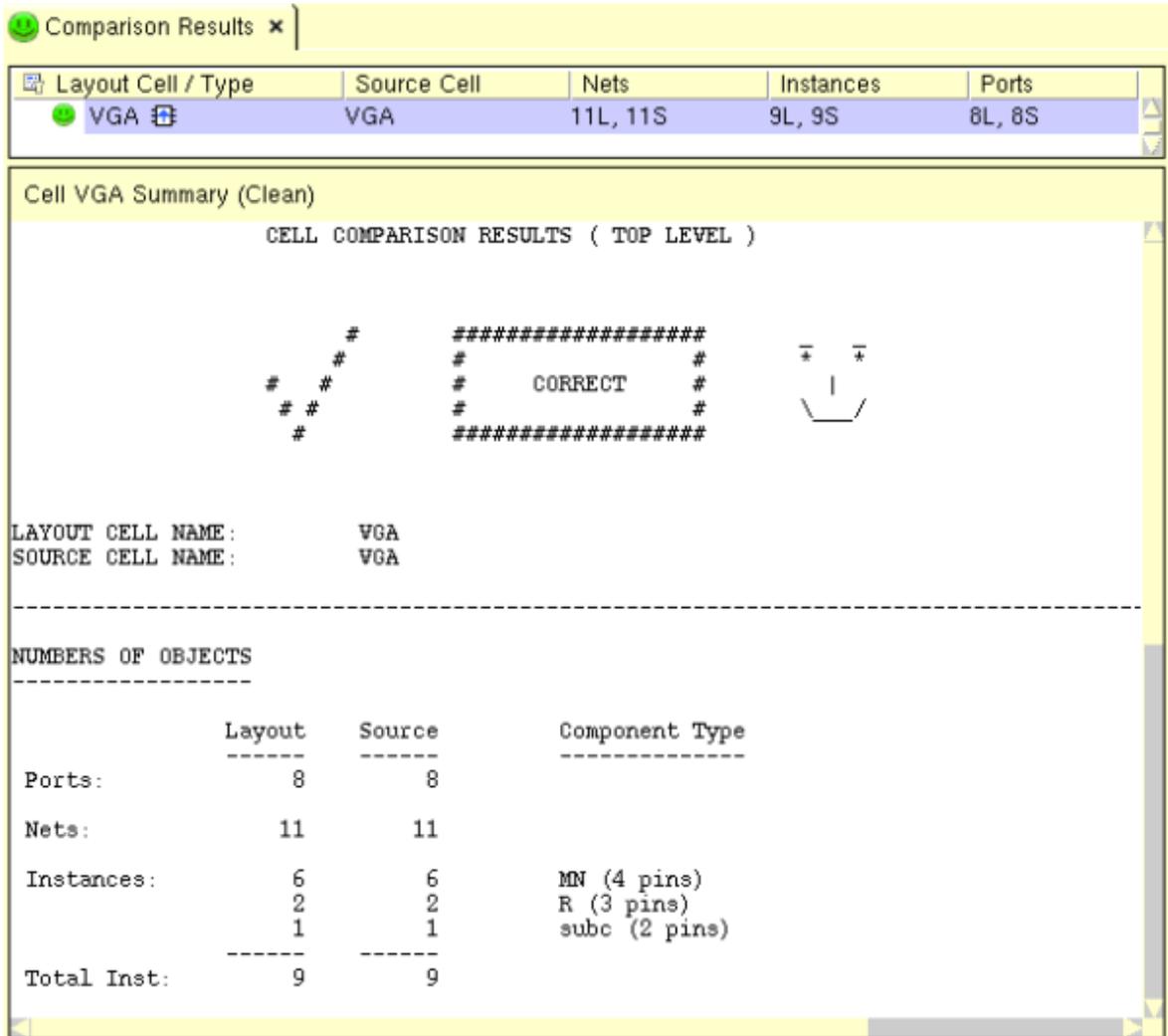


Figura A.1.2 Resultados de la prueba VLS para la celda de Gilbert.

Por último en la figura A.1.3 se muestran los resultados obtenidos de la extracción de parásitos para la celda de Gilbert. Es importante mencionar que a la hora de realizar la simulación en postlayout, existía un error cuando se leía del archivo de parásitos. Por lo tanto fue necesario eliminar los valores que se subrayan en la figura A.1.3. Este número representa el

valor de la resistencia en ohms, y para efectos de comportamiento del circuito no afectó el borrar dicho número.

```
* File: VGA.pex.netlist
* Created: Fri May 20 10:26:50 2016
* Program "Calibre xRC"
* Version "v2012.3_15.13"
*
.include "VGA.pex.netlist.pex"
.subckt VGA VOUT+ VC+ VC- VSS VOUT- VDD VIN- VIN+
*
* VIN+ VIN+
* VIN- VIN-
* VDD VDD
* VOUT- VOUT-
* VSS VSS
* VC- VC-
* VC+ VC+
* VOUT+ VOUT+
X7 N VSS X7 SUBCON SUBC SUBC
XM X5 N N$13 M X5 d N VC- M X5 g N VSS M X5 s N VSS_M_X5_b NFET_RF L=5e-07
+ W=5.5e-05 M=1 PAR=1 NF=10 NGCON=2 RING=2 PSP=0
XM X1 N VOUT+ M X1 d N VIN+ M X1 g N N$13 M X1 s N VSS_M_X1_b NFET_RF L=2e-07
+ W=2.5e-05 M=1 PAR=1 NF=5 NGCON=2 RING=2 PSP=0
XM X2 N VOUT- M X2 d N VIN- M X2 g N N$13 M X2 s N VSS_M_X2_b NFET_RF L=2e-07
+ W=2.5e-05 M=1 PAR=1 NF=5 NGCON=2 RING=2 PSP=0
XM X3 N VOUT+ M X3 d N VIN- M X3 g N N$14 M X3 s N VSS_M_X3_b NFET_RF L=2e-07
+ W=2.5e-05 M=1 PAR=1 NF=5 NGCON=2 RING=2 PSP=0
XM X6 N N$14 M X6 d N VC+ M X6 g N VSS M X6 s N VSS_M_X6_b NFET_RF L=5e-07
+ W=5.5e-05 M=1 PAR=1 NF=10 NGCON=2 RING=2 PSP=0
XM X4 N VOUT- M X4 d N VIN+ M X4 g N N$14 M X4 s N VSS_M_X4_b NFET_RF L=2e-07
+ W=2.5e-05 M=1 PAR=1 NF=5 NGCON=2 RING=2 PSP=0
XR OPRRP1 N VOUT+ R OPRRP1_pos N VDD R OPRRP1_neg SUBC OPRRPRES 468.155 M=1
+ w=3.2e-06 l=1.5e-06 SBAR=1 PAR=1 BP=3
XR OPRRP2 N VDD R OPRRP2_pos N VOUT- R OPRRP2_neg SUBC OPRRPRES 468.155 M=1
+ w=3.2e-06 l=1.5e-06 SBAR=1 PAR=1 BP=3
*
.include "VGA.pex.netlist.VGA.pxi"
*
```

Figura A.1.3 Resultados para la prueba PEX realizada a la celda de Gilbert.

Para ninguna de las pruebas realizadas se tienen errores, por lo tanto el layout cumple con las reglas de diseño para esta tecnología y todos los parámetros necesarios fueron extraídos exitosamente.

## A.2 Layout para la celda de Gilbert con uso eficiente del área, pero sin simetría.

En la figura A.2.1 se muestra una versión de layout creada para la celda de Gilbert. En ella se busca un uso eficiente del área, sin embargo no se toma en consideración la simetría de la misma. En este caso se tiene un ancho de 30.740  $\mu\text{m}$  y 19.000  $\mu\text{m}$  de largo, para un área total

de  $584.06 \mu\text{m}^2$ . Esta área representa un 38 % menos de consumo en comparación con la utilizada en el proyecto. Sin embargo, el utilizar un layout sin simetría provoca degradación en los parámetros del circuito. Por lo tanto se seleccionó el diseño simétrico.

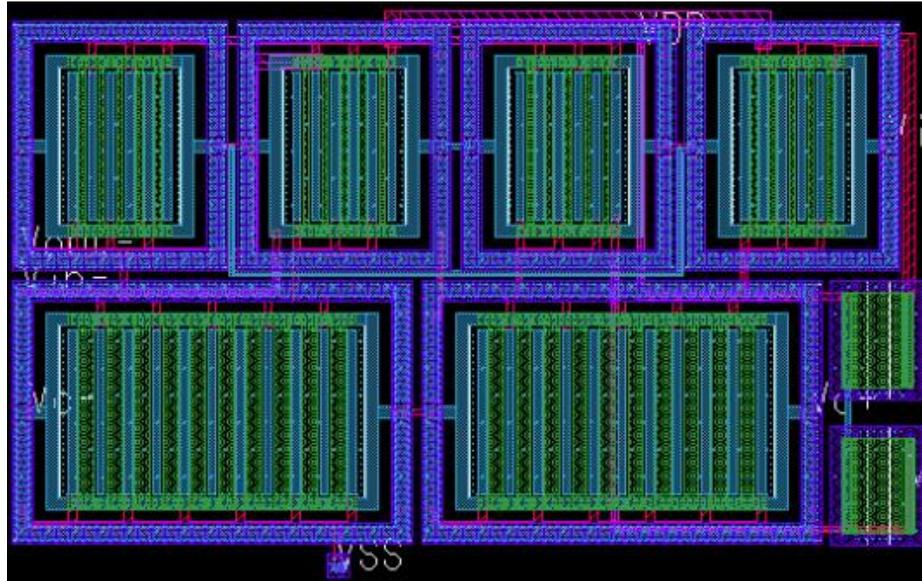


Figura A.2.1 Layout de la celda de Gilbert, con uso eficiente del área pero sin simetría.

### A.3 Layout para la etapa de transimpedancia con uso eficiente del área, pero sin simetría.

En la figura A.3.1 se muestra un layout para la etapa de transimpedancia, en este caso haciendo un consumo mínimo del área. Para este diseño se tiene un ancho de  $67.130 \mu\text{m}$ , un largo de  $28.190 \mu\text{m}$  para un área total de  $1.892 \text{ nm}^2$ .

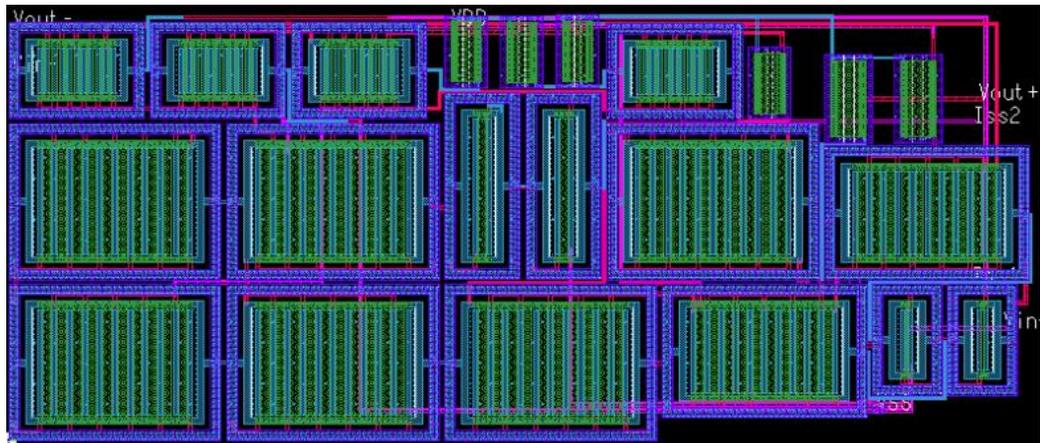


Figura A.3.1 Layout de la etapa de transimpedancia, con uso eficiente del área pero sin simetría.

Utilizando este diseño para implementar el amplificador de ganancia variable se obtiene un área total de  $2.476 \text{ nm}^2$ . Esta área representa un 39.9 % menos que la seleccionada en el desarrollo de la solución, sin embargo como se ha mencionado anteriormente esta propuesta de solución degrada el comportamiento del circuito y por lo tanto fue desechada.

#### A.4 Resultados obtenidos en las pruebas de verificación de layout, para la etapa de transimpedancia.

En la figura A.4.1 se muestran los resultados obtenidos para la prueba de DRC de la etapa de transimpedancia, en este caso, al igual que el anterior, se tiene dos errores los cuales se pueden omitir.

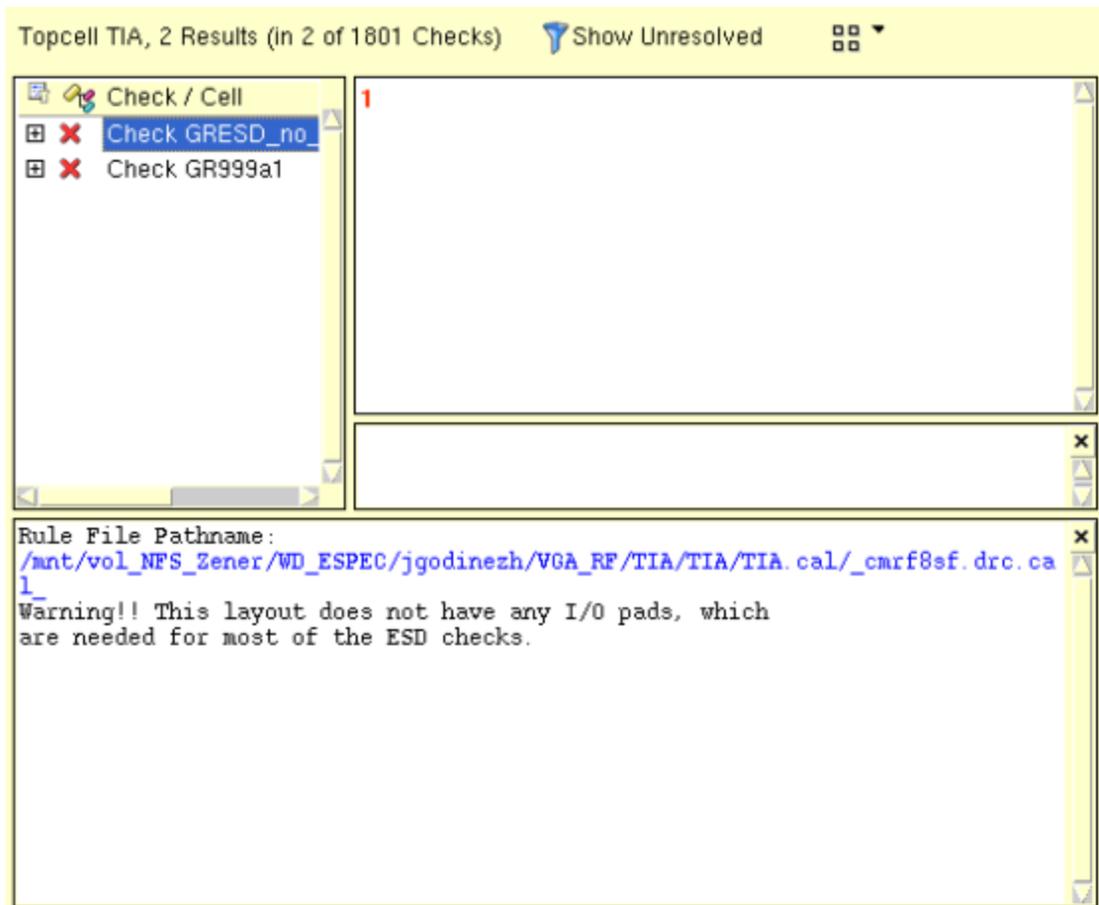


Figura A.4.1 Resultados de la prueba de DRC para la etapa de transimpedancia.

Por otra parte, en la figura A.4.2 se muestra los resultados obtenidos en la prueba de LVS, para este caso también se obtuvo una correcta relación entre el layout y el esquemático. Debido a que como se observa en la figura, tanto en layout como en esquemático tienen la misma cantidad de instancias, puertos y nets.

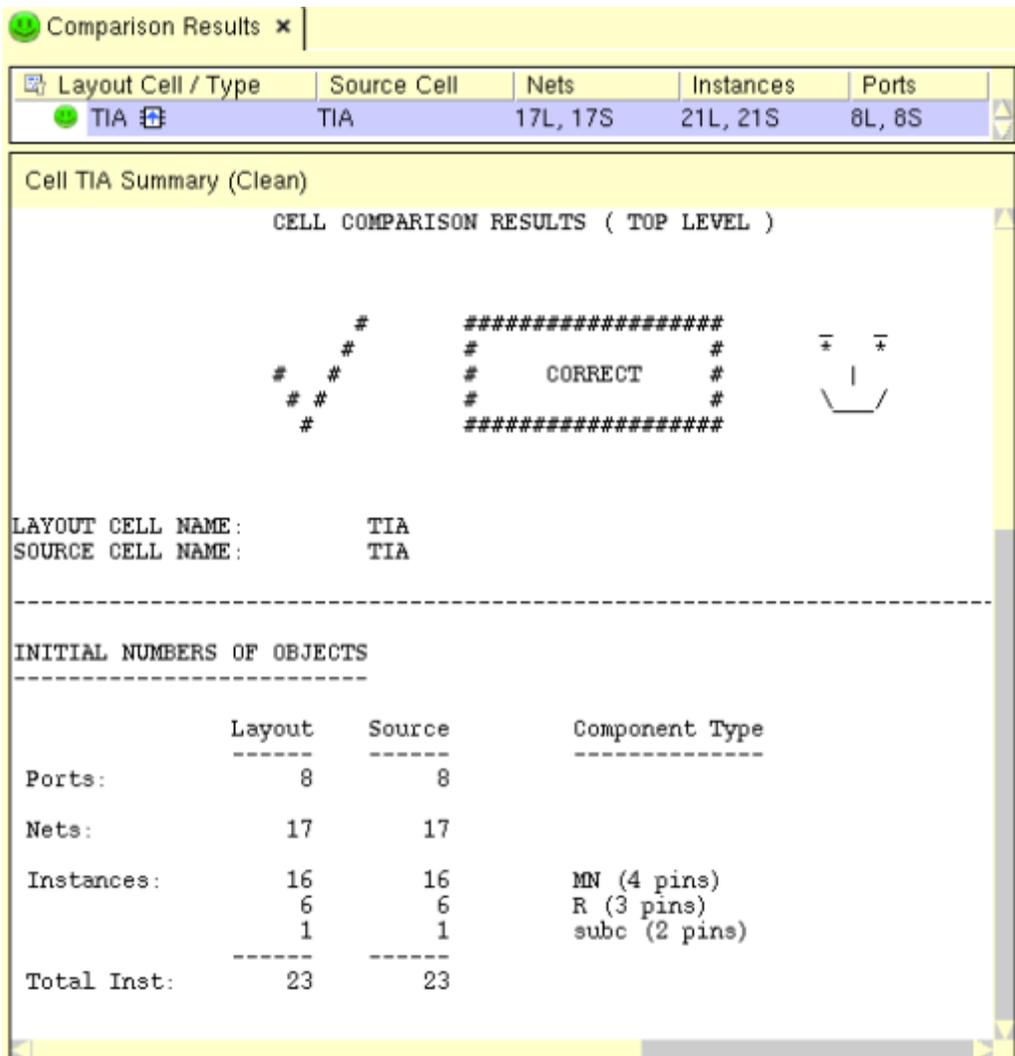


Figura A.4.2 Resultados de la prueba de LVS para la etapa de transimpedancia.

Por último en la figura A.4.3 se muestra los resultados obtenidos de la extracción de parásitos. Para este caso también fue necesario eliminarlo los valores que se muestran subrayados en la figura A.4.3. De esta forma se logró una correcta ejecución de las simulaciones de postlayout.

```

XM X7 N ISS1 M X7 d N ISS1 M X7 g N VSS M X7 s N_VSS_M_X7_b NFET_RF L=5.5e-07
+ W=7e-05 M=1 PAR=1 NF=10 NGCON=2 RING=2 PSP=0
XM X5 N N$26 M X5 d N N$6 M X5 g N N$28 M X5 s N_VSS_M_X5_b NFET_RF L=1.2e-07
+ W=3e-05 M=1 PAR=1 NF=10 NGCON=2 RING=2 PSP=0
XM X15 N ISS2 M X15 d ISS2 M VSS M X15 s N_VSS_M_X15_b NFET_RF L=5e-07 W=9e-06
+ M=1 PAR=1 NF=2 NGCON=2 RING=2 PSP=0
XM X16 N N$57 M X16 d N ISS2 M X16 g N VSS M X16 s N_VSS_M_X16_b NFET_RF L=5e-1
+ W=9e-06 M=1 PAR=1 NF=2 NGCON=2 RING=2 PSP=0
XM X8 N N$28 M X8 d N ISS1 M X8 g N VSS M X8 s N_VSS_M_X8_b NFET_RF L=5.5e-07
+ W=7e-05 M=1 PAR=1 NF=10 NGCON=2 RING=2 PSP=0
XM X13 N VIN+ M X13 d N N$26 M X13 g N N$57 M X13 s N_VSS_M_X13_b NFET_RF
+ L=1.2e-07 W=4e-06 M=1 PAR=1 NF=1 NGCON=2 RING=2 PSP=0
XM X6 N N$29 M X6 d N N$4 M X6 g N N$28 M X6 s N_VSS_M_X6_b NFET_RF L=1.2e-07
+ W=3e-05 M=1 PAR=1 NF=10 NGCON=2 RING=2 PSP=0
XM X14 N VIN- M X14 d N N$29 M X14 g N N$57 M X14 s N_VSS_M_X14_b NFET_RF
+ L=1.2e-07 W=4e-06 M=1 PAR=1 NF=1 NGCON=2 RING=2 PSP=0
XM X3 N ISS1 M X3 d N ISS1 M X3 g N VSS M X3 s N_VSS_M_X3_b NFET_RF L=5.5e-07
+ W=7e-05 M=1 PAR=1 NF=10 NGCON=2 RING=2 PSP=0
XM X9 N VOUT+ M X9 d N N$29 M X9 g N N$39 M X9 s N_VSS_M_X9_b NFET_RF L=5e-07
+ W=5.5e-05 M=1 PAR=1 NF=10 NGCON=2 RING=2 PSP=0
XM X12 N N$39 M X12 d N ISS1 M X12 g N VSS M X12 s N_VSS_M_X12_b NFET_RF
+ L=5.5e-07 W=7e-05 M=1 PAR=1 NF=10 NGCON=2 RING=2 PSP=0
XM X10 N VOUT- M X10 d N N$26 M X10 g N N$39 M X10 s N_VSS_M_X10_b NFET_RF
+ L=5e-07 W=5.5e-05 M=1 PAR=1 NF=10 NGCON=2 RING=2 PSP=0
XR OPRRP1 N N$4_R OPRRP1_pos N VDD_R OPRRP1_neg SUBC OPRRPRES 199.623 M=1
+ w=4e-06 l=1.1e-06 SBAR=1 PAR=1 BP=3
XR OPRRP2 N VDD_R OPRRP2_pos N N$6_R OPRRP2_neg SUBC OPRRPRES 199.623 M=1
+ w=4e-06 l=1.1e-06 SBAR=1 PAR=1 BP=3
XR OPRRP3 N N$26_R OPRRP3_pos N VDD_R OPRRP3_neg SUBC OPRRPRES 199.623 M=1
+ w=4e-06 l=1.1e-06 SBAR=1 PAR=1 BP=3
XR OPRRP4 N VDD_R OPRRP4_pos N N$29_R OPRRP4_neg SUBC OPRRPRES 199.623 M=1
+ w=4e-06 l=1.1e-06 SBAR=1 PAR=1 BP=3
XR OPRRP5 N VOUT+ R OPRRP5_pos N VDD_R OPRRP5_neg SUBC OPRRPRES 262.618 M=1
+ w=5e-06 l=1.4e-06 SBAR=1 PAR=1 BP=3
XR OPRRP6 N VDD_R OPRRP6_pos N VOUT- R OPRRP6_neg SUBC OPRRPRES 262.618 M=1
+ w=5e-06 l=1.4e-06 SBAR=1 PAR=1 BP=3
*
.include "TIA.pex.netlist.TIA.pxi"
*
.ends

```

Figura A.4.3 Resultados para la extracción de parasíticos de la etapa de transimpedancia.

Para esta etapa, al igual que en la anterior, en ninguna de las pruebas realizadas se tienen errores, por lo tanto el layout cumple con las reglas de diseño para esta tecnología y todos los parámetros necesarios fueron extraídos exitosamente.