

**Instituto Tecnológico de Costa Rica**

**Escuela de Ingeniería Electrónica**



**Diseño de una etapa de PLL para el proyecto de diseño de un circuito integrado para análisis de espectroscopia de impedancia eléctrica.**

**Informe de Proyecto de Graduación para optar por el título de Ingeniero en Electrónica con el grado académico de Licenciatura**

**Jose Pablo Arias Valverde**

**Cartago, Junio 2016**

**INSTITUTO TECNOLÓGICO DE COSTA RICA**

**ESCUELA DE INGENIERÍA ELECTRÓNICA**

**PROYECTO DE GRADUACIÓN**

**ACTA DE APROBACIÓN**

Defensa de Proyecto de Graduación  
Requisito para optar por el título de Ingeniero en Electrónica  
Grado Académico de Licenciatura  
Instituto Tecnológico de Costa Rica

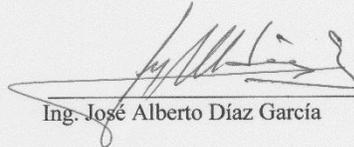
El Tribunal Evaluador aprueba la defensa del proyecto de graduación denominado Diseño de una Etapa de PLL para el Proyecto de Diseño de un Circuito Integrado para el Análisis de Espectroscopia de Impedancia Eléctrica, realizado por el señor Jose Pablo Arias Valverde y, hace constar que cumple con las normas establecidas por la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal Evaluador



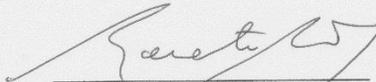
Ing. Hayden Phillips Brenes

Profesor lector



Ing. José Alberto Díaz García

Profesor lector



Ing. Renato Rímolo Donadio

Profesor asesor

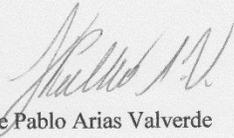
Cartago, 14 de Junio de 2016

## **Declaración de autenticidad**

Declaro que el presente Proyecto de Graduación ha sido realizado, en su totalidad, por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado material bibliográfico, he procedido a indicar las fuentes mediante citas.

En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



José Pablo Arias Valverde

Cédula: 115050919

# Resumen

El bloque de funcional del circuito desarrollado en este trabajo es un lazo de enganchamiento de fase (de inglés phase lock-loop PLL), el cual tiene la función de entregar una frecuencia constante a la salida del oscilador controlado por tensión (VCO),

Este diseño está planeado para el desarrollo de un sistema integrado para análisis de células por impedancia eléctrica. Esta técnica se ha venido investigando como alternativa para análisis de muestras biológicas, tales como detección de enfermedades o pruebas toxicológicas.

El procedimiento que se realiza es someterlas muestras a una corriente eléctrica a diferentes frecuencias, rango que va desde kilo Hertz (kHz) hasta las decenas de giga Hertz (GHz), para analizar el comportamiento de la permeabilidad y la conductividad eléctrica a las diferentes frecuencias y con esto poder caracterizar la muestra.

El circuito a diseñar es un Lazo de enganche de fase, o PLL, que permita obtener a su salida una frecuencia constante y precisa. La frecuencia de operación del sistema diseñado está en el rango entre los 8GHz hasta los 11.5GHz. El objetivo de la etapa es mantener una referencia con un valor de frecuencia preciso que permita realizar mediciones confiables de impedancia.

Como resultado final del proyecto, se obtuvo un circuito validado a nivel de capa física (layout) capaz de entregar a su salida una señal senoidal con frecuencias entre 8.5GHz y 10GHz con un tensión de alimentación de 1.2V, el área final abarcada por el circuito fue de  $3.28\text{mm}^2$  y el metal más alto utilizado en el layout fue de metal 3. También se realizó una medición del grado de precisión de circuito, el cual posee un porcentaje de error menor al 1% de la frecuencia deseada a la hora de realizar la medición.

Palabras clave: Phase Lock-Loop (PLL), Espectroscopia de impedancia eléctrica (EIS), Voltage Controlled Oscillator (VCO).

## **Abstract**

The project developed, is a circuit block for the first iteration of the design of an integrated circuit for electrical impedance cell analysis. This type of analysis is more important nowadays for early detection of diseases such as cancer.

The procedure is carried out by testing a cell to an electric current at different frequencies range from kilo Hertz (kHz) to tens of gigahertz (GHz), the permeability and electrical conductivity behavior are analyzed at this frequencies and anomalies are detected in these.

The block functional circuit is the design of a phase lock-loop (PLL), which serves to provide a constant frequency output of the voltage controlled oscillator (VCO), which is in the range of 8GHz to 11.5GHz, this because measuring stability must be obtained.

Final results for the project were a validated PLL circuit at layout level, which can provided a constant sinusoidal wave with frequency in the range of 8.5GHz to 10GHz at 1.2V supply voltage. Final area for the circuit is 3.28 mm<sup>2</sup> and the highest metal layer used was metal 3. Besides all these, a precision measurement for the circuit was taken, and it showed that circuit has less than 1% error percentage measured respect the frequency wished at the input.

Keywords: PLL, electrical impedance spectroscopy, VCO

## **Dedicatoria**

*A mis padres, sin su apoyo incondicional no hubiese alcanzado todos los objetivos y metas que me propuse, gracias por su entrega y sacrificio, gracias por depositar su confianza en mí, gracias por darme todo lo que necesité sin reproche alguno, ¡gracias!*

## **Agradecimiento**

*Al ingeniero Renato Rímolo Donadio, por su ayuda académica, durante el tiempo que fui su estudiante y en el momento en el que inicié mi labor en este proyecto, siempre nos brindó el material requerido, nos propuso mejoras y siempre nos dio la confianza en tan importante proyecto.*

# INDICE GENERAL

|   |    |
|---|----|
| <b>Capítulo 1: Introducción</b> .....   | 14 |
| 1.1 Generalidades del Problema .....  | 15 |
| 1.2 Requerimientos del Proyecto .....   | 17 |
| 1.3 Objetivos .....   | 19 |
| Objetivo General .....  | 19 |
| Objetivos Específicos .....   | 19 |
| <br>  |    |
| <b>Capítulo 2: Marco Teórico</b> .....  | 20 |
| 2.1 Arquitecturas de PLL.....   | 20 |
| 2.2 Multiplicación de Frecuencia.....   | 26 |
| 2.3 División de frecuencias.....  | 27 |
| 2.4 Osciladores controlados por tensión .....                                     | 30 |
| <br>  |    |
| <b>Capítulo 3: Propuestas de Solución y Diseño del Circuito</b> .....             | 33 |
| 3.1 Propuestas de Solución .....  | 33 |
| Arquitectura 1.....   | 33 |
| Arquitectura 2.....   | 34 |
| Arquitectura 3.....   | 35 |
| Selección de arquitectura a implementar .....                                     | 37 |
| 3.2 Diseño del circuito esquemático y Layout.....                                 | 38 |
| Oscilador Controlado por Tensión (VCO).....                                       | 38 |
| Detector de Fase y Frecuencia (PFD) .....   | 47 |
| Divisor de frecuencias.....   | 54 |
| Tanque de Carga o Charge Pump (CP) .....  | 59 |
| Filtro Paso Bajas (LPF).....  | 63 |
| <br>  |    |
| <b>Capítulo 4: Integración del PLL, Simulación y Análisis de Resultados</b> ..... | 66 |
| <br>  |    |
| <b>Capítulo 5: Conclusiones y Recomendaciones</b> .....                           | 87 |
| Conclusiones.....   | 87 |

|   |           |
|---|-----------|
| Recomendaciones .....                                       | 88        |
| <b>Capítulo 6: Referencias .....</b>                        | <b>90</b> |
| <b>Capítulo 7: Apéndices .....</b>                          | <b>94</b> |
| Apéndice A. Dimensionamiento del Filtro Paso Bajo .....     | 94        |
| Apéndice B. Esquemático de la celda de mayor jerarquía..... | 96        |
| Apéndice C. Librerías de Diseño .....                       | 97        |

## INDICE DE FIGURAS

|   |    |
|---|----|
| Figura 1.1 Sistema de medición de espectroscopia de impedancia eléctrica.....                           | 13 |
| Figura 1.2. Diagrama de bloques de un PLL.....  | 14 |
| Figura 2.1. Implementación básica de un PLL.....  | 17 |
| Figura 2.2. Comportamiento del sistema a un cambio de frecuencia.....                                   | 17 |
| Figura 2.3. Modelo de PLL en el dominio de la fase.....   | 18 |
| Figura 2.4. PLL con detector de fase y frecuencia.....  | 19 |
| Figura 2.5. Respuesta de un PFD. Ante señales con diferentes frecuencias (a), y diferente fase (b)..... | 20 |
| Figura 2.6. Efecto de zona muerta en PFDs.....  | 20 |
| Figura 2.7. Modelo de un charge pump.....   | 23 |
| Figura 2.8. CPPLL con divisor de frecuencias.....   | 23 |
| Figura 2.9. CML latch.....  | 24 |
| Figura 2.10. Configuración maestro-esclavo de flipflops.....  | 25 |
| Figura 2.11. Flip-flop maestro esclavo con latch CML.....   | 25 |
| Figura 2.12. Configuración de oscilador LC.....   | 27 |
| Figura 2.13. Arquitectura de un oscilador de anillo.....  | 28 |
| Figura 3.1 Arquitectura 1 de propuesta de solución.....   | 29 |
| Figura 3.2. Arquitectura 2 de propuesta de solución. Adición de divisor de frecuencia.                  | 30 |
| Figura 3.3 Arquitectura 3 de propuesta de solución con divisor programable.....                         | 32 |
| Figura 3.4. Oscilador de anillo simple.....   | 35 |
| Figura 3.5. Respuesta de oscilador de anillo simple.....  | 35 |
| Figura 3.6. Etapa de saturación de ganancia con PMOS acoplados.....                                     | 36 |
| Figura 3.7. Oscilador de anillo con celdas de retraso.....  | 37 |
| Figura 3.8. Simulación de Oscilador de anillo con celdas de retraso.....                                | 37 |
| Figura 3.9. Celda de retraso con sintonización de modo.....   | 38 |
| Figura 3.10 Celda de retraso modificada implementada en Mentor Graphics.....                            | 39 |

|   |    |
|---|----|
| Figura 3.11. Resultado simulación de oscilador controlado por tensión con celdas de retraso de la figura 5.8 con 0.1 V de tensión de control..... | 39 |
| Figura 3.12. Frecuencia de Salida del Oscilador a diferentes tensiones de control a nivel de esquemático.....                                     | 40 |
| Figura 3.13. Layout de la celda de retraso, implementado en la tecnología IBM8SF...   | 41 |
| Figura 3.14. Layout de Oscilador Controlado por Tensión elaborado con la tecnología IBM8SF.....   | 42 |
| Figura 3.15. Frecuencia de Salida del Oscilador a diferentes tensiones de control a nivel de layout.....  | 42 |
| Figura 3.16. PFD de alta velocidad sin tiempo muerto.....   | 44 |
| Figura 3.17. Simulación de PFD de la figura 5.12, señales con diferente fase.....   | 45 |
| Figura 3.18. Simulación de PFD de la figura 5.12, señales en fase.....  | 45 |
| Figura 3.19. Simulación de PFD de la figura 5.12, señales con diferente frecuencia...   | 45 |
| Figura 3.20. PFD de alta velocidad con camino de reset a su salida.....   | 46 |
| Figura 3.21. Simulación de PFD de la figura 5.16, señales con diferente fase.....   | 47 |
| Figura 3.22. Simulación de PFD de la figura 5.16, señales en fase.....  | 47 |
| Figura 3.23. Simulación de PFD de la figura 5.16, señales con diferente frecuencia...   | 47 |
| Figura 3.24. Implementación física del detector de fase.....  | 48 |
| Figura 3.25. Simulación post-layout de PFD de la figura 5.16, señales con diferente frecuencia.....   | 49 |
| Figura 3.26. Diagrama de bloques de divisor.....  | 52 |
| Figura 3.27. Latch CML.....   | 52 |
| Figura 3.28. Divisor por dos sin elementos resistivos.....  | 53 |
| Figura 3.29. Simulación pre-layout del divisor de frecuencias.....  | 54 |
| Figura 3.30. Simulación post-layout del divisor de frecuencias.....   | 55 |
| Figura 3.31. Simulación post-layout del divisor de frecuencias con la adición d inversores a su salida.....                                       | 55 |
| Figura 3.32. Implementación del layout del divisor de frecuencias.....  | 56 |
| Figura 3.33. Implementaciones de Charge Pump.....   | 57 |
| Figura 3.34. Tanque de carga implementado.....  | 58 |

|  |    |
|--|----|
| Figura 3.35. Implementación de layout del tanque de carga.....   | 59 |
| Figura 3.36. Implementación a nivel de esquemático del filtro pasa bajas.....                                      | 60 |
| Figura 3.37. Implementación de layout de filtro paso bajas.....  | 61 |
| Figura 4.1. Circuito final de PLL.....   | 62 |
| Figura 4.2. Circuito de prueba del PLL.....  | 63 |
| Figura 4.3. Simulación pre-layout con referencia a 562.5MHz.....   | 64 |
| Figura 4.4. Simulación pre-layout con referencia a 562.5MHz.....   | 64 |
| Figura 4.5. Simulación pre-layout con referencia a 625MHz.....   | 64 |
| Figura 4.6. Simulación pre-layout con referencia a 750MHz.....   | 65 |
| Figura 4.7. Medición de variación de frecuencia de salida en estado estable.....                                   | 66 |
| Figura 4.8. Diagrama de interconexión del PLL.....   | 67 |
| Figura 4.9. Layout final del PLL.....  | 68 |
| Figura 4.10. Simulación pre-layout con referencia a 625MHz (Vcc=1.2V). ....  | 69 |
| Figura 4.11. Simulación post-layout con referencia a 531.25MHz (Vcc=1.2V).....                                     | 70 |
| Figura 4.12. Simulación post-layout con referencia a 625MHz (Vcc=1.4V).....  | 71 |
| Figura 4.13. Simulación post-layout con referencia a 531.5MHz (Vcc=1.4V).....                                      | 72 |
| Figura 4.14. Simulación post-layout con referencia a 687.5MHz (Vcc=1.4V).....                                      | 72 |
| Figura 4.15. Medición post-layout de variación de frecuencia de salida en estado estable.74                        |    |
| Figura 4.16. Divisor de frecuencias rediseñado.....  | 79 |
| Figura 4.17. Diagrama de interconexión del PLL.....  | 80 |
| Figura 4.18. Layout del PLL rediseñado y con celdas de relleno.....  | 80 |
| Figura 4.19. Simulación post-layout del PLL mejorado a 1.2V de alimentación con señal de referencia a 625 MHz..... | 82 |
| Figura 4.20. Simulación post-layout de cambio de frecuencia de salida de 9 a 10 GHz... 84                          |    |
| Figura 4.21. Simulación post-layout de cambio de frecuencia de salida de 10 a 9 GHz... 85                          |    |
| Figura B. Esquemático implementado en Mentor Graphics.....   | 88 |

## INDICE DE TABLAS

|  |    |
|--|----|
| Tabla 3.1. Comparación de arquitecturas.....   | 34 |
| Tabla 3.2. Orden de diseño de los elementos del PLL .....                                | 35 |
| Tabla 3.3. Características de VCO a nivel de esquemático.....                            | 41 |
| Tabla 3.4. Características de VCO a nivel de esquemático.....                            | 43 |
| Tabla 3.5. Dimensionamiento de divisores por 2 con transistores PMOS.....                | 55 |
| Tabla 4.1. Resultados de medición pre-layout de frecuencia de salida en estado estable.. | 67 |
| Tabla 4.2 Resultados de medición post-layout de frecuencia de salida en estado estable.  | 74 |
| Tabla 4.3. Comparación de circuito esquemático y layout del PLL a 10GHz.....             | 75 |

# Capítulo 1: Introducción

Se han desarrollado gran cantidad de estudios de diversos temas relacionados a la Impedancia eléctrica de distintas sustancias (Villa-García 2013), incluyendo células humanas (Golombeck. M. A), en donde se ha demostrado que dichas sustancias o células poseen un comportamiento característico cuando se someten a un campo eléctrico o al paso de una corriente alterna a través de ella.

Gracias a este método y la realización de estudios posteriores, se ha logrado determinar que algunas enfermedades (entre estas cáncer) son detectables en etapas tempranas por medio de impedancia eléctrica, ya que modifican las características de las células (Grenier K. 2013), más específicamente la permitividad y la conductividad eléctrica, como se explica en forma detallada en la sección 1.1.1 de (Prada-Rojas J. 2014).

En la Escuela de Ingeniería Electrónica se está trabajando en conjunto con la Universidad alemana Technische Universität Hamburg-Harburg, con el fin de desarrollar un circuito integrado para la medición de impedancia eléctrica que pueda manejar múltiples canales en un rango de frecuencias superior a sistemas comerciales disponibles. Este sistema puede tener aplicaciones a futuro, en la detección temprana de enfermedades mediante el análisis de comportamiento de las células ante el paso de una corriente eléctrica alterna a diferentes frecuencias; este barrido en frecuencia abarca desde los Hz hasta las decenas de GHz.

La ventaja principal de este tipo de procedimiento es que permite determinar un resultado rápidamente a partir de muestras y permite repetir análisis en diferentes estadios celulares de forma expedita. Uno de los objetivos principales del proyecto es reducir los tiempos y simplificar la obtención de resultados, de forma que no se deba esperar días para lograr obtener la información de interés como métodos tradicionales lo requieren

Gracias a este método se puede además caracterizar algunos elementos básicos del cuerpo humano, como la sangre y sus distintos componentes (Hernández-Cabrera. 2012), y luego estos se comparan con personas con enfermedades como Leucemia, donde se obtiene un

diagnóstico confiable y de manera rápida, lo cual se puede extender a otros tipos de enfermedades.

## 1.1 Generalidades del Problema

En el mercado existen distintos circuitos que realizan espectroscopia de impedancia eléctrica, como se pretende en el proyecto macro, pero la principal diferencia que el sistema a desarrollar presenta es su amplio barrido en frecuencia, es decir desde los kHz, hasta las decenas de GHz, permitiendo así obtener toda la información para varias muestras simultáneamente a, característica con la que no cuentan dichos sistemas. Esto aunado a que el sistema será fabricado totalmente en un circuito integrado, por lo cual se puede miniaturizar el sistema y reducir su costo total.

Este trabajo es una contribución a este proyecto que consiste en el diseño y validación a nivel de simulación de la etapa del PLL del circuito integrado.

Como se mencionó anteriormente, el circuito debe hacer un barrido de frecuencia, de esta manera se excita la muestra con corrientes a distintas frecuencias, recolectando los datos de las componentes de la corriente y así procesarlos para obtener la información deseada. Por ello es de suma importancia asegurar que la frecuencia a la que se está sometiendo la muestra se encuentre estable, sin que existan corrimientos en esta que pueda alterar el análisis, para así medir de manera correcta los desfases tanto antes de la muestra como después de la misma. En la Figura 1.1 se muestra un diagrama simplificador del sistema de medición de EIS.

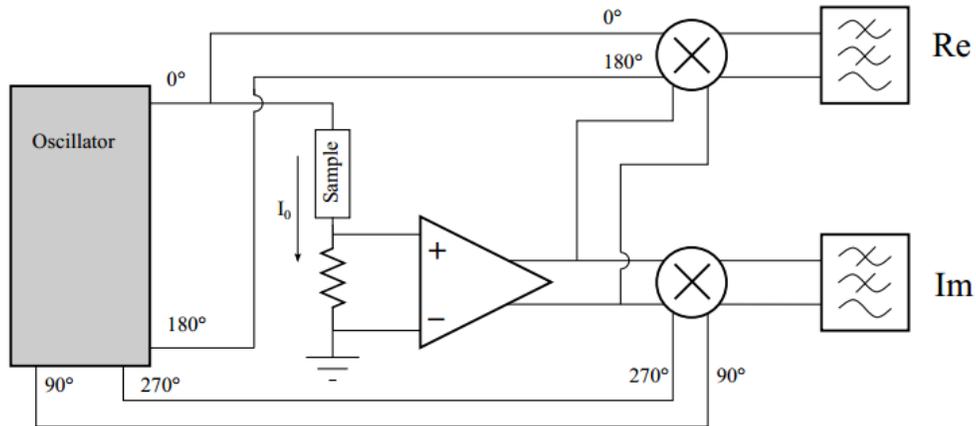


Figura 1.1. Sistema de medición de espectroscopia de impedancia eléctrica. Tomado de:  
[17]

La importancia de esta etapa es significativa para el proyecto, ya que los osciladores controlados por tensión (VCO), poseen inestabilidad en su frecuencia de salida ante cambios pequeños en su voltaje de control, que pueden ser producidos por ruido u otros factores, por ello asegurar una oscilación estable por parte de estos es vital en sistemas donde se necesita precisión en su frecuencia de operación.

Existen gran cantidad de arquitecturas de PLL en publicaciones y literatura; en la figura 1.2 se muestra un diagrama de bloques básico. Pocas arquitecturas en 130nm se adecuan al rango de frecuencias con el que se está trabajando. Además, los requerimientos de área y potencia en el circuito integrado se deben minimizar, por lo que todos estos elementos se deben tomar en cuenta para determinar la arquitectura que se adecue mejor a estas restricciones. El kit de tecnología en el cual se desarrollará el proyecto es otro factor a tomar en cuenta, ya que se trata del proceso CMOS IBM 8RF de  $0.13\mu\text{m}$ , el cual se trabaja en conjunto con el entorno de diseño para circuitos integrados de la compañía Mentor Graphics. El sistema se va a diseñar tanto a nivel de esquemático como a nivel físico (de layout).

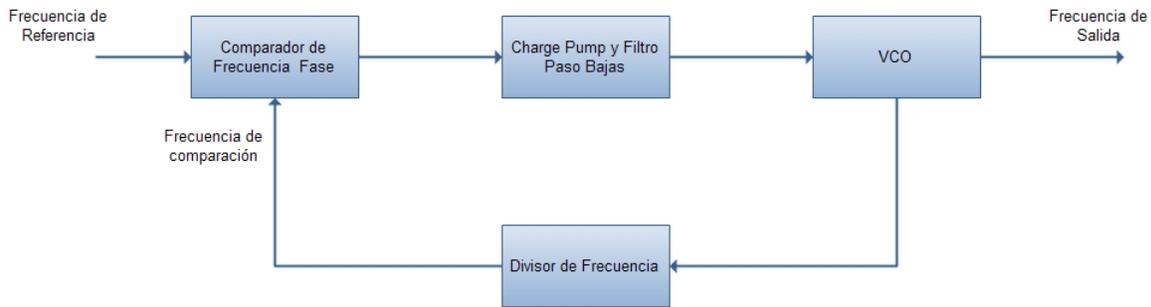


Figura 1.2. Diagrama de bloques de un PLL.

El principal reto para el diseño de PLL es lograr construir un sistema estable para las frecuencias altas. Para prever la degradación de elementos parásitos que se consideran en el diseño físico, se tratará de extender el diseño a los 12 GHz para tener un buen margen sobre la frecuencia máxima especificada.

Al ser frecuencias tan altas, se debe aprovechar la propiedad de multiplicación de frecuencias de los PLL (Razavi, B. 2012, Cap. 9), para sincronizar la frecuencia de trabajo de los elementos que no trabajen a la misma frecuencia que el oscilador.

Teniendo en cuenta todo lo anterior, el PLL debe contar con características únicas que exigen un diseño ingenieril cuidadoso para acoplar cada una de las etapas del PLL, sin perder de vista las restricciones de espacio y área del circuito integrado.

## 1.2 Requerimientos del Proyecto

Para la formulación de la solución que mejor se adecuara a las necesidades del proyecto se deben tener en cuenta los requerimientos del mismo, los cuales fueron planteados por los directores del proyecto. Entre los requerimientos del problema se encuentran:

- La frecuencia máxima de oscilación debe ser de 10 GHz.
- La alimentación no debe superar los 1.4V, tratando de que este sea el menor posible para disminuir consumo de potencia y no forzar los transistores a tensiones que los puedan dañar.

- Como prioridad, el área del circuito debe minimizarse a un valor aceptable, que no exceda  $2.5 \text{ mm}^2$

En cuanto al primer punto, esta frecuencia de salida es alta considerando el tamaño de la tecnología que se cuenta, el diseño del oscilador controlado por tensión es un factor crucial. Para todo lazo de enganche de fase, en especial en este caso debido a la alta frecuencia de salida. Además, se deben tomar en cuenta otros aspectos en su diseño, por ejemplo, los parasíticos a la hora de realizar el diseño físico del mismo. Debido a lo anterior debe obtenerse un margen de seguridad a la salida del oscilador de al menos 1 GHz a nivel de esquemático, para asegurar la frecuencia máxima de 10 GHz.

Para la tecnología utilizada, en su hoja de datos para transistores NMOS y PMOS nominales, su voltaje de alimentación nominal es de 1.2V, por ello se trabajó a esta tensión, caracterizando el funcionamiento de los distintos bloques a este valor, ya que como se sabe, los transistores conmutan con mayor rapidez, si su tensión de alimentación es mayor. Ese factor se mantiene presente y válido para las partes digitales y analógicas del circuito, exceder esta tensión asegura más velocidad, pero menor confiabilidad del circuito, ya que los campos eléctricos pueden llegar a romper las conexiones debido a su gran valor, y una menor tensión provocaría pérdida de velocidad. Este es un factor fundamental para el proyecto, por ello para obtener un balance entre desempeño y confiabilidad del circuito, es recomendable utilizar su valor nominal de 1.2V que se encuentra en su hoja de datos.

El aspecto del cual se tiene menor información para el desarrollo del proyecto es el área final del circuito, ya que este circuito es una primera iteración del proyecto, es decir, este PLL no será la versión final o comercial del producto, pero se debe tener en cuenta que para el Instituto Tecnológico de Costa Rica, el área final del circuito debe ser menor o igual a 4 milímetros cuadrados ( $4 \text{ mm}^2$ ), para poder realizarlo dentro del programa de investigación académica de MOSIS. Una vez expuestos los puntos anteriores, queda claro que los requerimientos del proyecto giran en torno a tres puntos: desempeño, área y confiabilidad del circuito.

## 1.3 Objetivos

Para el presente trabajo se plantean los siguientes objetivos:

### Objetivo General

Diseñar un sistema de lazo de enganchamiento de fase (Phase Lock-Loop o PLL) que permita obtener una frecuencia máxima de 10 GHz a su salida, implementado a nivel de capa física (Layout) en una tecnología CMOS IBM 8RF de 0.13 $\mu$ m.

### Objetivos Específicos

- Diseñar un oscilador controlado por tensión que permita generar una sintonización de frecuencias de al menos 5GHz, donde su frecuencia máxima alcance los 12 GHz.
- Diseñar las etapas para la construcción del PLL, determinando la frecuencia de trabajo máxima de los distintos componentes.
- Diseñar las etapas de acople entre el oscilador controlado por tensión y el PLL, para que trabajen a la misma frecuencia y en los mismos rangos de tensión.
- Comprobar la funcionalidad del circuito final tanto a nivel de circuito esquemático como a nivel de layout.

## Capítulo 2: Marco Teórico

Como se menciona anteriormente, un PLL es un circuito el cual tiene como función mantener una frecuencia constante a su salida, realizando correcciones a esta mediante la comparación con una señal de referencia a su entrada. Los PLL tienen una amplia utilización en circuitos integrados digitales y analógicos hoy en día y gracias al estudio de sus características las arquitecturas de estos varían dependiendo de su campo de acción. En el presente capítulo se analizan estas características, de manera que se obtenga una referencia de factores que se tomaron en cuenta en el diseño del circuito de este proyecto.

### 2.1 Arquitecturas de PLL

Existe una amplia gama de arquitecturas de PLL en la literatura, cada una con sus ventajas y desventajas. Se debe analizar cada una de ellas para tener un panorama a nivel macro que tipo de arquitectura es la más apropiada no solo para el proyecto, sino que su elaboración se pueda realizar en el tiempo propuesto.

Se inicia con la implementación básica de un PLL, como se observa en la figura 2.1.

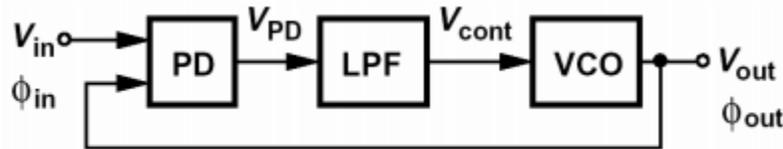


Figura 2.1. Implementación básica de un PLL.

Tomado de [18]

El comportamiento del sistema ante un cambio en su frecuencia, se ilustra en la Figura 2.2

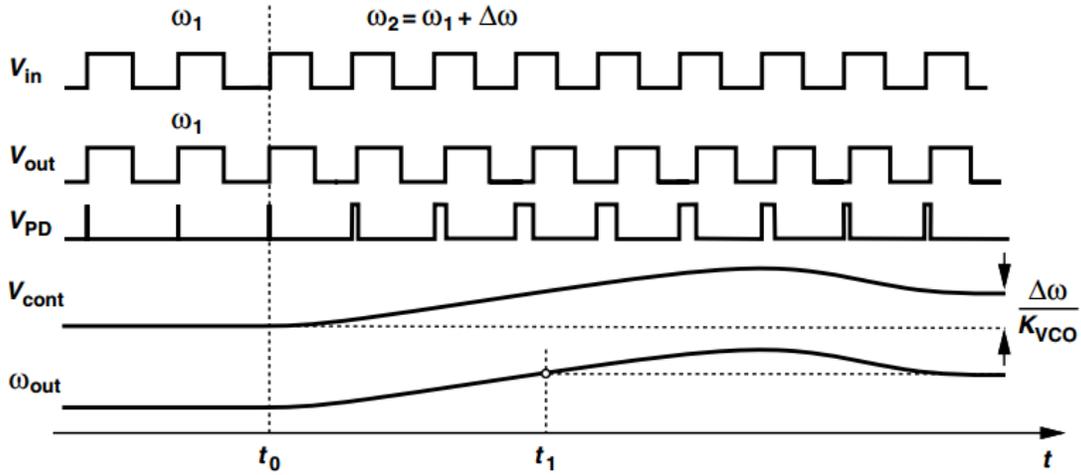


Figura 2.2. Comportamiento del sistema a un cambio de frecuencia.

Tomado de [18]

Se observa como el voltaje de control varia al momento del cambio de frecuencia, para seguir la frecuencia de referencia del sistema, además los pulsos del detector de fase se ensanchan al inicio, pero a medida que la señal de salida se acerca a la de entrada, su ancho se reduce.

Para obtener un mejor análisis de esta arquitectura, se obtiene el modelo del PLL en el dominio de la frecuencia en la figura 2.3.

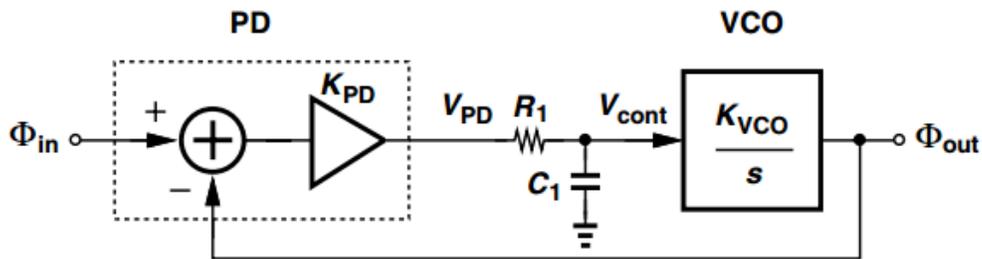


Figura 2.3. Modelo de PLL en el dominio de la fase.

Tomado de [18]

Obteniendo la función de transferencia el sistema anterior en lazo cerrado, se obtiene [7]:

$$\frac{\Phi_{out}}{\Phi_{in}} = \frac{K_{vco}K_{PD}}{R1C1s^2 + s + K_{vco}K_{PD}} \quad (2.1)$$

Se observa que el sistema anterior descrito por la ecuación 2.1 es de segundo orden, donde el factor de amortiguamiento y la frecuencia natural del anterior está dado por las siguientes ecuaciones 2.2 y 2.4 [7]:

$$\zeta = \frac{1}{2} \sqrt{\frac{\omega_{LPF}}{K_{VCO}K_{PD}}} \quad (2.2)$$

$$\omega_n = \sqrt{K_{VCO}K_{PD}\omega_{LPF}} \quad (2.3)$$

Donde se observa que la estabilidad depende en gran parte de la frecuencia de corte del filtro ( $\omega_{LPF}=1/R_1C_1$ ), la cual debe ser al menor dos veces más grande que  $K_{VCO}$ , para obtener un valor de  $\zeta$  de al menos  $\sqrt{2}/2$ .

Esta arquitectura resulta a primera vista muy atractiva, pero posee varios inconvenientes. Las frecuencias de salida del VCO será de hasta unos 10 GHz, y esta frecuencia de trabajo no puede ser utilizada por los elementos meramente digitales en la tecnología disponible, como sería el detector de fase. Además, el dimensionamiento del filtro paso-bajas requeriría valores muy pequeños que no se pueden obtener con la tecnología utilizada. Otra desventaja de la arquitectura anterior es el poco rango de adquisición del sistema (Razavi, RF Microelectronics, Cap. 9)

Una mejora para la arquitectura anterior se presenta en la figura 2.4, donde se agregan dos elementos al sistema, un detector de frecuencia y fase (PFD) en sustitución del detector de fase y un charge pump, que se representa como un par de interruptores que inyectan corriente al filtro paso-bajas para que este controle el oscilador.

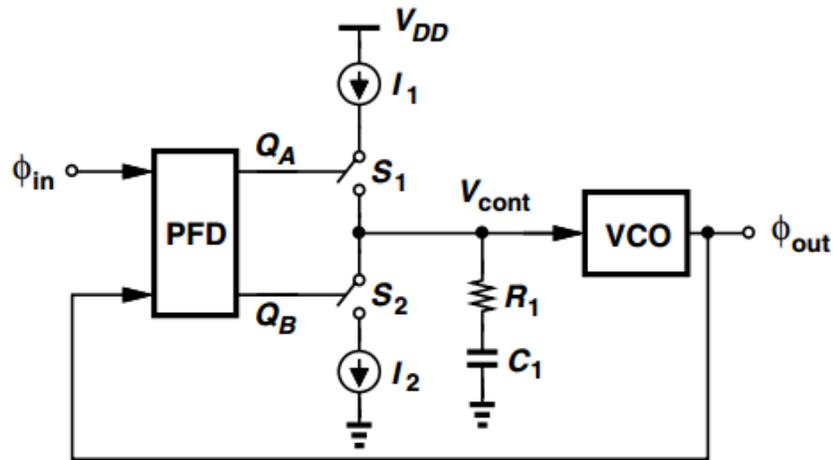


Figura 2.4. PLL con detector de fase y frecuencia.

Tomado de [18]

El detector de fase, produce poca información del sistema, por ello agregar junto a este un detector de frecuencia, mejora el rango de adquisición del mismo. La imagen 2.5 ilustra el funcionamiento de este tipo de circuitos.

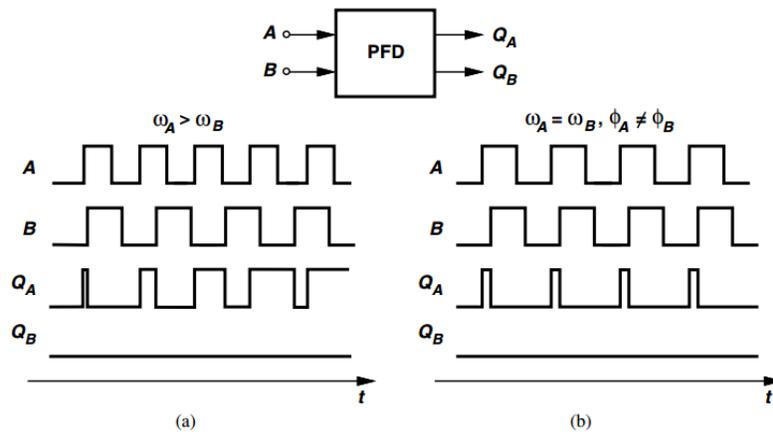


Figura 2.5. Respuesta de un PFD. Ante señales con diferentes frecuencias (a), y diferente fase (b). Tomado de [18]

La cantidad de información que este tipo de circuitos brindan un panorama más amplio para trabajar el PLL, ya que este detecta cuál de las dos señales a su entrada posee diferente frecuencia o diferente fase, de esta forma el sistema se controla de mejor manera.

Si la diferencia de fase entre las dos señales es muy pequeña, en la que no se genera un pulso a su salida, puede llegar a tener efectos negativos en las siguientes etapas del sistema. La imagen 2.6 muestra el efecto de la zona muerta en detectores de fase y frecuencia.

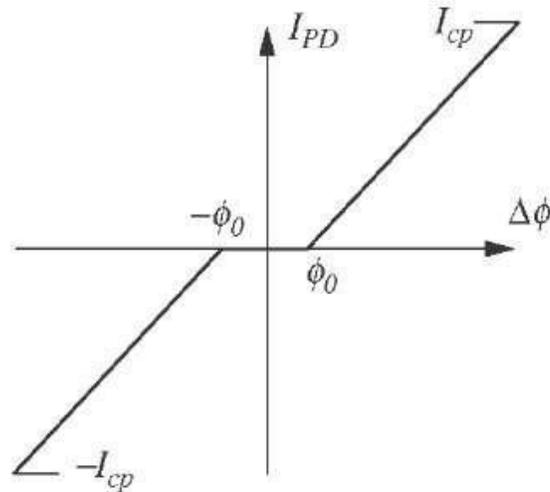


Figura 2.6. Efecto de zona muerta en PFDs.

Tomado de [21]

En la imagen 2.6, se observa en el eje x el valor de la diferencia de fase entre las dos señales del detector de frecuencia, mientras en el eje y la corriente de salida del mismo, como se aprecia, el efecto de zona muerta no genera pulso de corriente de salida si la diferencia es muy pequeña. Por ello se debe disminuir su efecto y siempre procurar que la función de la señal de salida respecto a la entrada sea lineal.

Debido a lo anterior, el sistema no debe poseer una zona muerta, para que siempre se genere una señal de ancho suficiente para controlar el charge pump y este genere los pulsos respectivos cuando ambas señales alcancen una diferencia de fase de cero (Razavi, RF Microelectronics, Cap. 9).

El siguiente elemento en este tipo de PLL es el tanque de carga o charge pump (CP), su funcionamiento se describe en la imagen 2.7, donde consta de dos entradas, en este caso del detector de fase y frecuencia, donde controlan dos fuentes de corriente que drenan o inyectan corriente al capacitor (filtro paso-bajas) para generar la señal de corriente directa que alimenta al oscilador.

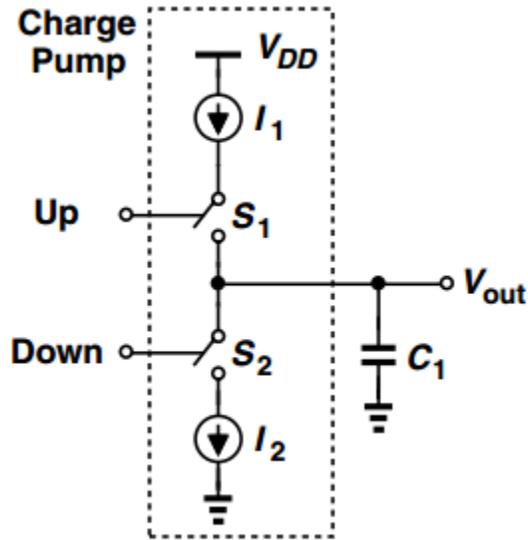


Figura 2.7. Modelo de un charge pump.

Tomado de [18]

Matemáticamente su funcionamiento se describe de la siguiente manera (Razavi, RF Microelectronics, Cap. 9): un pulso alto en UP genera un aumento en la tensión de:  $\Delta T \frac{I_1}{C_1}$ , de la misma manera, un pulso en Down genera un cambio de tensión de:  $\Delta T \frac{I_2}{C_1}$ . El aspecto relevante en este caso es que tanto  $I_1$  como  $I_2$  deben ser simétricas, para que así el cambio de tensión sea el mismo en ambos intervalos (Razavi, Rf Microelectronics, Cap. 9).

Combinando estos elementos, se obtiene lo que se denomina un CPPLL (charge pump phase-locked loops), como se mostró en la figura 2.4. Para obtener el modelado de este sistema, se debe en primera instancia determinar el cambio de cuanto representa un desfase entre señales de un periodo completo ( $2\pi$ ), con esto se obtiene que el desfase ( $\Delta\Phi$ ) en un periodo  $T_{in}$ , se representa como:

$$t = \frac{\Delta\Phi}{2\pi} * T_{in} , \quad (2.4)$$

Y por lo tanto, el cambio en la tensión viene dado por:

$$\Delta V_{out} = \frac{\Delta\Phi}{2\pi} T_{in} \frac{I_p}{C_1} + \frac{\Delta\Phi}{2\pi} T_{in} I_p R_1 . \quad (2.5)$$

Por último, se obtiene la función en dominio de la frecuencia del PFD/CP/LPF:

$$\frac{\Delta V_{cont}}{\Delta \Phi} = \frac{I_p}{2\pi} \left( \frac{1}{C_1 s} + R_1 \right) \quad (2.6)$$

Para un completo entendimiento de las ecuaciones anteriores y su origen, el lector puede referirse al libro (Razavi, RF Microelectronics, Cap. 9).

El modelado de estos elementos permite obtener ahora la función de transferencia de todo el CPPLL y sus diferentes componentes, como se detalla a continuación.

$$H(s) = \frac{\frac{K_{VCO}}{2\pi I_p} (R_1 C_1 s + 1)}{s^2 + \frac{I_p}{2\pi} K_{VCO} R_1 s + \frac{I_p}{2\pi C_1} K_{VCO}} \quad (2.7)$$

$$\zeta = \frac{R_1}{2} \sqrt{\frac{I_p C_1 K_{VCO}}{2\pi}} \quad (2.8)$$

$$\omega_n = \sqrt{\frac{I_p K_{VCO}}{2\pi C_1}} \quad (2.9)$$

De esta forma, se observa que se elimina la dependencia de la estabilidad del sistema y la frecuencia de corte del filtro, por ende, el principal problema se eliminó y, como se menciona en (Razavi, RF Microelectronics, Cap. 9), se da un efecto contrario, mientras  $C_1$  se incrementa, también lo hace el factor de amortiguamiento, un aspecto positivo y de gran relevancia a la hora de diseñar una etapa de este tipo.

## 2.2 Multiplicación de Frecuencia

Una característica muy útil presente en los PLL es la multiplicación de frecuencias. Esto consiste en la adición de un divisor de frecuencia en el lazo de realimentación, que permite que los elementos del circuito trabajen a diferente frecuencia y se produzca a la salida del oscilador una frecuencia múltiplo de la entrada, el diagrama de este tipo de sistemas se presenta en la figura 2.8.

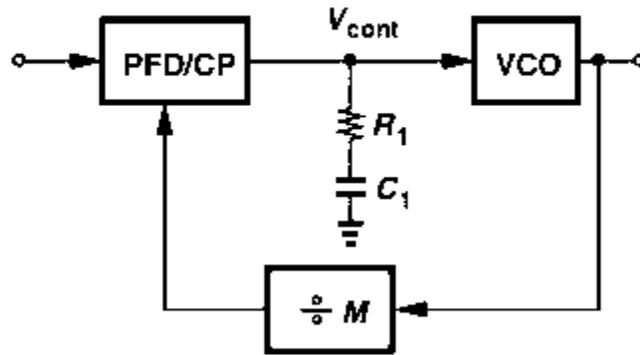


Figura 2.8. CPPLL con divisor de frecuencias.

Tomado de [18]

Con la adición de este bloque, la función de transferencia del sistema varía de la siguiente forma:

$$H(s) = \frac{\frac{K_{VCO}}{2\pi I_p} (R_1 C_1 s + 1)}{s^2 + \frac{I_p}{2\pi} \frac{K_{VCO}}{M} R_1 s + \frac{I_p}{2\pi C_1} \frac{K_{VCO}}{M}} \quad (2.10)$$

$$\zeta = \frac{R_1}{2} \sqrt{\frac{I_p C_1 K_{VCO}}{2\pi M}} \quad (2.11)$$

$$\omega_n = \sqrt{\frac{I_p}{2\pi C_1} \frac{K_{VCO}}{M}} \quad (2.12)$$

Esto vuelve el sistema más inestable, por lo que se requieren valores de  $I_p$  y  $C_1$  más grandes para mantener la estabilidad del lazo, riesgo que debe tomarse para poder implementar el PLL en el caso de estar trabajando con altas frecuencias en el oscilador, caso típico en cualquier PLL (Razavi, RF Microelectronics, Cap. 9).

### 2.3 División de frecuencias

Como se mencionó en la sección anterior, la multiplicación de frecuencias requiere una división de la misma a su salida, esto por el motivo de que el ancho de banda de los elementos digitales del circuito no es tan amplio para trabajar a decenas de Giga Hertz. Por ello se

requiere el uso de otro tipo de familia l3gica para realizar la divisi3n de frecuencias, como se menciona en (Christoffers N, 2005). L3gica de modo corriente o CML es la principal opci3n en PLL que trabajan tan altas frecuencias, ya que utiliza transistores MOS lo que favorece mayor integraci3n en su dise1o y es de menor costo en comparaci3n con tecnolog3as bipolar y GaAs (Yang,. 2014). Adem3s, posee bajo consumo de potencia. La figura 2.9 muestra la implementaci3n de un latch en este tipo de l3gica.

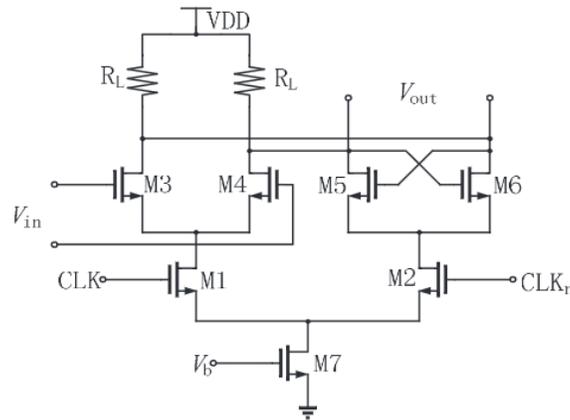


Figura 2.9. Latch CML.

Tomado de [2]

Este tipo de latch es intr3nicamente diferencial, y como aspecto fundamental se observa que no posee ning3n tipo de transistor PMOS. Esto disminuye el retraso del circuito total gracias a que se elimina la capacitancia relacionada a este tipo de elemento ya es una de las razones de porque esta tecnolog3a es m3s r3pida que CMOS tradicional. En (Perrot, 2008) se discute en detalle la operaci3n de este tipo de circuitos.

La manera tradicional de generar un divisor de frecuencias es mediante la conexi3n de dos flip-flops en configuraci3n maestro-esclavo, como se muestra en la siguiente figura 2.10 y en la figura 2.11 se observa la implementaci3n de este tipo de arquitectura con dos latch CML.

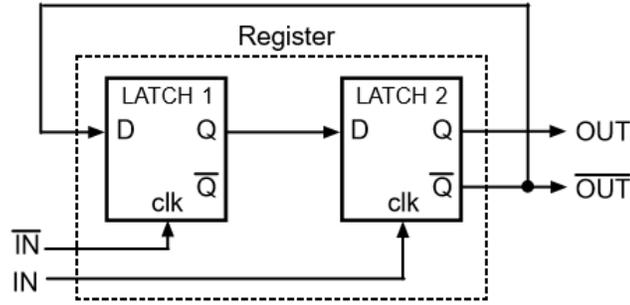


Figura 2.10. Configuración maestro-esclavo de flipflops

Tomado de [16]

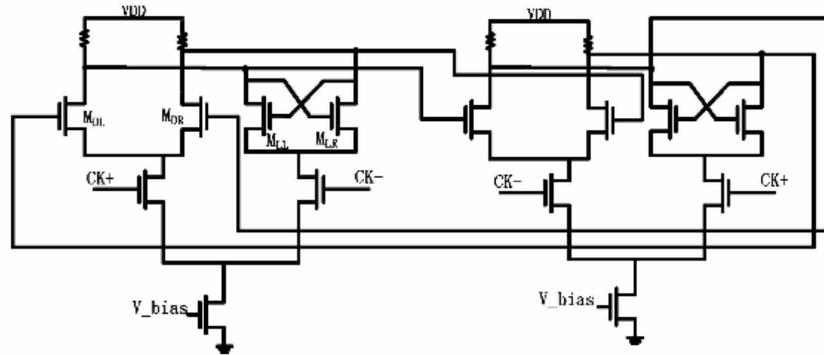


Figura 2.11. Flip-flop maestro esclavo con latch CML.

Tomado de [23]

Para asegurar la oscilación del sistema se necesita satisfacer la siguiente condición (Xiangning, 2012).

$$g_{mL}R_L \geq 1 \quad (2.13)$$

Por ello para alcanzar lo anterior se requieren valores grandes en el tamaño de transistores y de resistencias de carga, lo cual limita la frecuencia máxima de oscilación del divisor, pero una vez alcanzada la condición propuesta en (2.13), el sistema se vuelve robusto para operar en cualquier amplitud de tensión a su entrada.

Para aumentar la frecuencia máxima se debe reducir el retraso del divisor, en concordancia con la relación

$$f_{osc} = \frac{1}{2\tau} \quad (2.14)$$

Donde  $\tau$  representa el retardo, que es directamente proporcional al rango de variación de la tensión de entrada y la capacitancia de los distintos elementos en el divisor, como se muestra en (2.15)

$$\tau \propto \frac{C \Delta V}{I_s} \quad (2.15)$$

Por ello para reducir el retardo se debe reducir la capacitancia, o aumentar la corriente de circuito, por ello, reducir el retardo, implica aumentar el consumo de potencia (Xiangning, F. 2012).

## 2.4 Osciladores controlados por tensión

Existen gran cantidad de arquitecturas para esta función, las cuales no se cubrirán en el documento en detalle, pero es importante mencionar cuáles son las características principales de cada configuración de manera general.

La figura 2.12, muestra la configuración de un oscilador LC.

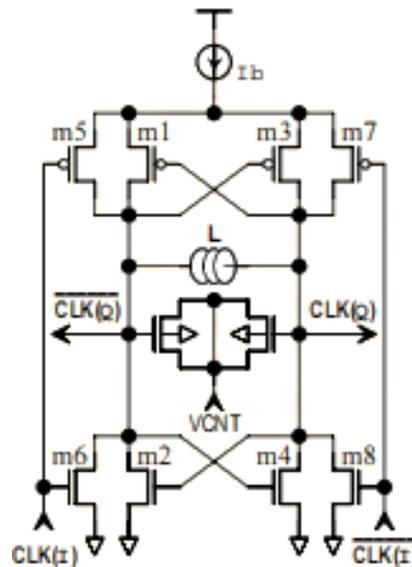


Figura 2.12. Configuración de oscilador LC

Tomado de [13]

La frecuencia de oscilación y la potencia consumida por este tipo de arquitectura (Hsieh. M.), vienen dadas por:

$$f_{osc} = \frac{1}{2\pi\sqrt{LC}} \quad (2.16)$$

$$P_{LC} = 2R_s I_{PEAK}^2 = 2C \frac{R_s}{L} V_{PEAK}^2 \quad (2.17)$$

En el caso de un oscilador controlador por tensión, la figura 3.15 muestra un esquema de su arquitectura, y las ecuaciones (2.18) y (2.19) describen matemáticamente su funcionamiento, en términos de consumo de potencia y frecuencia de oscilación.

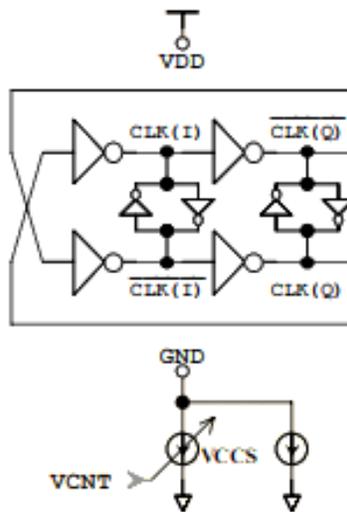


Figura 2.13. Arquitectura de un oscilador de anillo.

Tomado de [13]

$$f_{osc} = \frac{1}{2Nt_D} \quad (2.18)$$

$$P_{ring} = I_{tail} V_{DD} N \quad (2.19)$$

Según lo explicado en (Hsieh, 2006), cada arquitectura posee sus ventajas y desventajas en la implementación. Por ejemplo, los osciladores de anillo poseen un mayor ruido de fase en comparación a los LC, pero estos últimos abarcan mayor área en el circuito y requieren inductores para operar en alta frecuencia (figura 2.12). Además, posee un menor rango de

adquisición de frecuencias, por ello la elección de cada topología depende de la aplicación que se le dé en el PLL.

## Capítulo 3: Propuestas de Solución y Diseño del Circuito

Teniendo ahora como punto de partida todo lo contenido en el capítulo anterior, se procede a analizar distintas alternativas para la arquitectura del PLL a utilizar, así como al diseño de cada una de las etapas que esta posee, tanto a nivel de esquemático como *layout* y su validación posterior para la integración de cada una de ellas.

### 3.1 Propuestas de Solución

En la figura 2.1 (capítulo anterior) se observa un diagrama de la constitución de un PLL tradicional. Este se toma como referencia para plantear una solución para este trabajo. Existen elementos dentro del circuito que pueden ser más críticos que otros. Uno de estos es el oscilador (VCO), el cual es la parte esencial de todo el circuito, por ello se deben considerar los requerimientos de este y acoplar las demás secciones del PLL de acuerdo al diseño escogido.

El VCO tiene como requerimiento que su salida supere los 10GHz, que se alimente como mínimo a 1.2V y que su señal sea diferencial. Con estos tres requerimientos se plantearon las soluciones descritas a continuación, que se analizaron y en base al rendimiento y a la complejidad del circuito, se eligió una arquitectura para ser implementada.

#### Arquitectura 1

La figura 3.1 muestra la primera solución propuesta:



Figura 3.1 Arquitectura 1 de propuesta de solución.

Esa arquitectura cuenta con 4 elementos básicos, la frecuencia de salida se calibra variando la señal de referencia que se compara con la frecuencia de salida del oscilador mediante el detector de frecuencia, para de esta manera generar los pulsos necesarios para variar la tensión de control en el VCO.

En primera instancia este tipo de PLL es muy atractivo por su simplicidad y el poco área que abarcaría su implementación física, pero posee varias desventajas. Una de ellas es la señal de referencia, ya que como se mencionó en los requerimientos la frecuencia de salida debe ser de al menos 10 GHz y este tipo de osciladores no son comunes en tecnologías CMOS con mínimos de canal en el orden de los cientos de nanómetros. Además, los que existen poseen un tamaño considerable, difíciles de integrar al circuito. Otra desventaja es el modo de calibración de la frecuencia de salida ya que de implementar esta arquitectura se requieren pasos de frecuencia muy largos de 1GHz aproximadamente, y un circuito externo debería ser utilizado. El siguiente problema de esta arquitectura se refiere a la frecuencia de trabajo de los elementos lógicos, más específicamente el detector de fase, ya que con la tecnología utilizada y la frecuencia a la que se comparan las señales, es físicamente imposible que este elemento funcione de manera correcta. Por ello esta arquitectura debe modificarse para acoplar los elementos lógicos del circuito.

## Arquitectura 2

Debido a los problemas que presenta la arquitectura de la figura 3.1, se deben realizar ajustes en el lazo de realimentación para ajustar la frecuencia de trabajos de los elementos lógicos del circuito, por ello la figura 3.2 muestra una primera solución al problema.

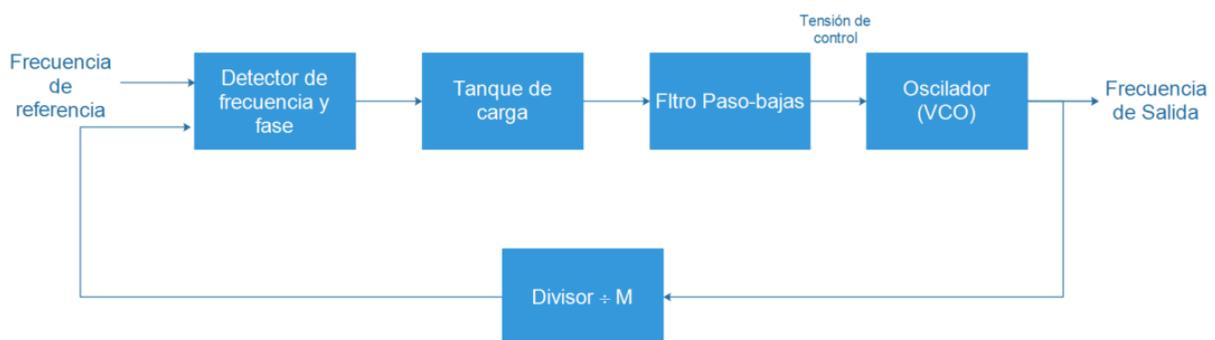


Figura 3.2. Arquitectura 2 de propuesta de solución. Adición de divisor de frecuencia.

El principio de funcionamiento es el mismo de la arquitectura anterior, pero el elemento nuevo en este caso es el divisor de frecuencias que se encarga de bajar la frecuencia de salida proveniente del oscilador a un valor determinado, en el cuál el detector de fase pueda trabajar de manera correcta.

Entre las ventajas de esta arquitectura esta la reducción de la frecuencia de trabajo de las demás secciones del circuito, gracias a la división de la frecuencia de salida del oscilador. También se obtienen múltiples opciones para utilizar como frecuencias de referencia, como los cristales de cuarzo, de los cuales se pueden derivar frecuencias de comparación, dependiendo del valor de división utilizado en el circuito.

Para la tecnología en uso (IBM8RF), es posible trabajar en frecuencias de hasta 2 GHz, por ello posibles factores de división serían 8 o 16, utilizando potencias de 2 que son arquitecturas muy utilizadas en este tipo de circuitos.

Nuevamente esta arquitectura posee sus desventajas. La primera de ellas es el acople entre el divisor y oscilador, ya que el divisor debe ser capaz de trabajar a 10GHz para obtener una división correcta. Principalmente, la implementación física se vuelve más compleja ya que se deben tomar en cuenta factores como capacitancias parásitas a altas frecuencias. La segunda desventaja es la calibración de frecuencias, ya que también se debe modificar el período de la señal de referencia para obtener diferentes valores de frecuencia a la salida, lo ideal es que la señal de referencias se mantenga constante en todo momento para lograr mejores resultados en cuanto a exactitud de la frecuencia de salida.

### Arquitectura 3

Una propuesta mejorada a la mostrada en la sección anterior, se presenta en la figura 3.3, con la intención de no modificar la frecuencia de la señal de referencia (Razavi, B. Cap 9). Este tipo de arquitecturas son las más complejas en cuanto a diseño de PLL, debido a la adición de un Divisor programable, al cual se referirá de ahora en adelante como N, el cual se encarga de realizar ajustes para que el oscilador genere una frecuencia de salida, que dividida por el primer divisor, más el factor que este introduzca, sea igual al de la señal de referencia, de modo que únicamente se varié este factor N para generar las distintas frecuencias requeridas.

La Figura 3.3 muestra el diagrama de bloques de la tercera propuesta de solución.

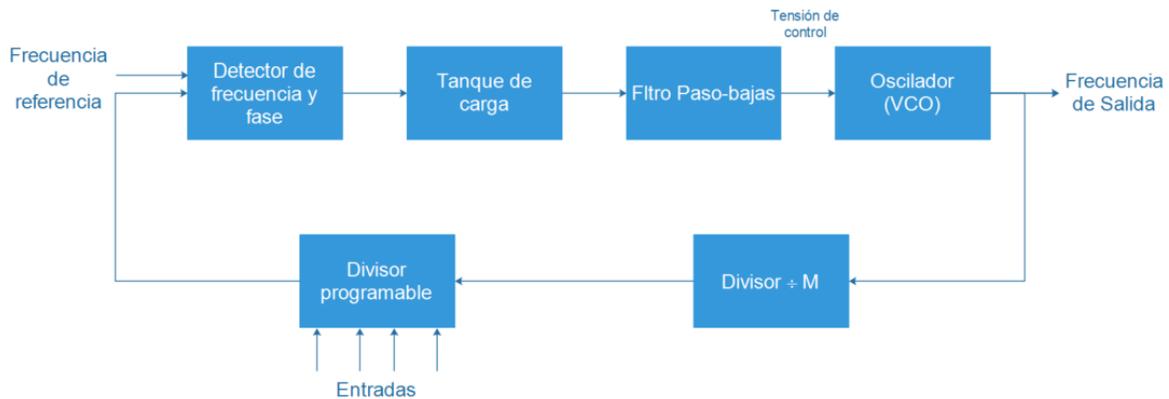


Figura 3.3 Arquitectura 3 de propuesta de solución con divisor programable.

Para tener una imagen más clara del funcionamiento del circuito se tiene que

$$F_{out} = F_{ref} * M * N \quad (3.1)$$

Donde:

$F_{out}$  = Frecuencia de Salida del Oscilador

$F_{ref}$  = Frecuencia de referencia a la entrada del detector de fase

$M$  = Índice de división estático

$N$  = Índice de división programable

De aquí se observa con mayor claridad el funcionamiento de esta arquitectura, ya que, variando las entradas del divisor programable, se obtienen distintos factores de división, los cuales pueden o no son múltiplos de potencias de dos, por ello estos circuitos poseen una lógica digital más compleja para lograr factores de división fraccionarios.

Es esencial en primer lugar bajar la frecuencia de trabajo a un valor con el cuál la lógica digital utilizada en el divisor programable trabaje de manera correcta.

La única desventaja presente en esta arquitectura es la complejidad en el diseño del divisor programable, ya que sus factores de división deben ser exactos y el circuito de implementación es sumamente extenso, además se debe realizar un protocolo de comunicación apropiado para que el divisor realice el cambio de factores.

## Selección de arquitectura a implementar

La selección de la arquitectura a implementar se tomó en base a tres criterios: funcionalidad, tiempo de diseño, y complejidad. Se compararon estos tres aspectos en la tabla presentada a continuación:

Tabla 3.1. Comparación de arquitecturas

| Arquitectura | Funcionalidad | Tiempo de diseño | Complejidad |
|--------------|---------------|------------------|-------------|
| <b>1</b>     | Nula          | Bajo             | Bajo        |
| <b>2</b>     | Alta          | Alto             | Alta        |
| <b>3</b>     | Alta          | Muy Alto         | Muy Alta    |

De la tabla anterior, se descarta la opción 1 por el hecho de que no se puede implementar la arquitectura sin un divisor de frecuencias, ya que los elementos digitales no trabajarían a 10 GHz en la tecnología disponible. La presencia del divisor programable en la arquitectura 3 supone un punto de inflexión en la escogencia, ya que el diseño de un PLL con este tipo de circuito supone un tiempo de diseño más extenso. Este tiempo extra de diseño entra en conflicto con el tiempo en el cual el proyecto debe ser presentado.

La arquitectura 2 será la que se implementará. Este proyecto busca obtener un primer modelo de PLL, observar su comportamiento y por último establecer límites de operación de la tecnología para las siguientes iteraciones del mismo. La arquitectura 3 puede tomarse en cuenta para una posible mejora del circuito en una etapa posterior del proyecto.

El factor M del divisor de la arquitectura será de entre 8 y 16. De esta manera cuando el oscilador funcione a 10 GHz, la señal de salida del divisor será de 1.25GHz, frecuencia suficientemente baja para lograr que los elementos digitales trabajen de manera correcta.

## 3.2 Diseño del circuito esquemático y Layout

La figura 3.2 es un buen ejemplo de cómo dividir el circuito en secciones o bloques funcionales, de manera que se realiza un diseño en orden jerárquico. Es decir, el PLL que es el circuito final, se divide en sus respectivos componentes y estos a su vez, pueden o no dividirse en más elementos.

El orden de diseño de los elementos, se basó en prioridades. La tabla 2 muestra el orden de diseño de los elementos:

Tabla 3.2. Orden de diseño de los elementos del PLL

| Prioridad | Elemento               |
|-----------|------------------------|
| <b>1</b>  | Oscilador              |
| <b>2</b>  | Detector de fase       |
| <b>3</b>  | Divisor de frecuencias |
| <b>4</b>  | Tanque de Carga        |
| <b>5</b>  | Filtro Paso-Bajas      |

Las siguientes secciones muestran el circuito empleado para cada etapa a nivel esquemático, su implementación en layout y por último una comparación entre ambos para determinar si el resultado obtenido es el deseado para el circuito o si necesita una modificación en su implementación.

### Oscilador Controlado por Tensión (VCO)

Existen en la literatura y repositorios gran cantidad de arquitecturas. Para el caso del proyecto, se necesitan cumplir los requerimientos mencionados en secciones anteriores: frecuencia de oscilación igual o mayor los 10 GHz, la señal de salida debe ser diferencial, que trabaje mínimo a 1.2V y por último evitar el uso de inductores en su diseño.

La mayor cantidad de osciladores de alta frecuencia hacen uso de los circuitos tanque, compuestos por inductores y capacitores, más un arreglo de transistores para generar la señal que se requiere, pero este tipo de arquitecturas son desechadas de inmediato, debido a que este tipo de elementos pasivos en la tecnología que se está trabajando son poco confiables.

Por ello el rango de opciones se restringió a osciladores de anillo y sus diferentes configuraciones.

En un primer acercamiento se realiza un oscilador de anillo común, compuesto por al menos 3 inversores conectados en cascadas, como se observa en la figura 3.4:

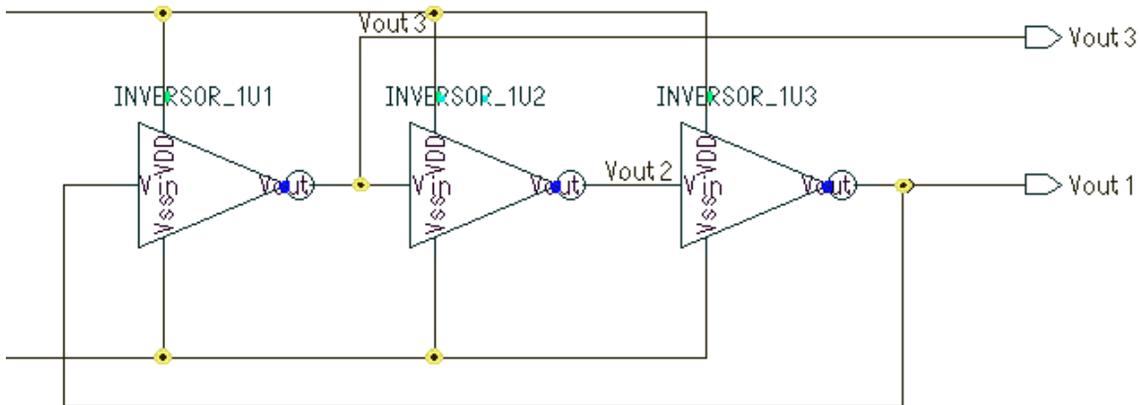


Figura 3.4. Oscilador de anillo simple.

La respuesta obtenida del circuito se observa en la siguiente figura 3.5.

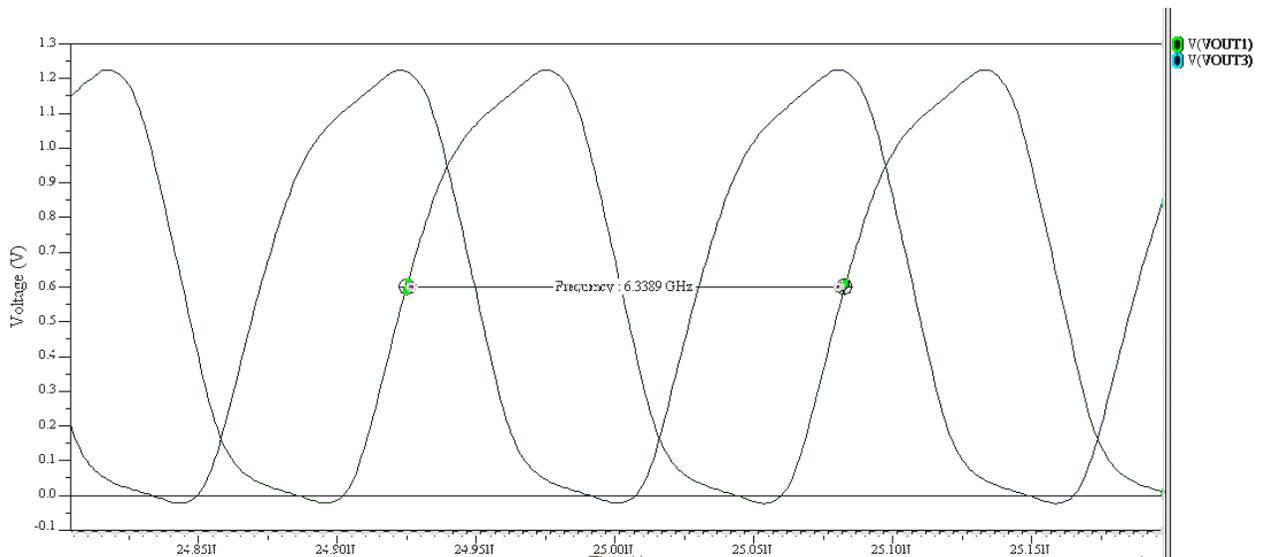


Figura 3.5. Respuesta de oscilador de anillo simple.

Esta configuración posee varios inconvenientes, el primero y más claro es el hecho de que su frecuencia de oscilación máxima fue de 6.33 GHz. El segundo problema que posee es la poca

forma senoidal que tiene la señal de salida, lo cual es otro aspecto que no se había mencionado anteriormente- La forma de onda debe ser senoidal con un menor grado de distorsión. Este primer resultado muestra que se debe utilizar una arquitectura diferente, que no posea todas estas fallas.

La siguiente arquitectura, se basa en el concepto de celdas de retraso, las cuales sustituyen a los inversores de la figura 3.1. Al igual que en ésta, se debe colocar un número impar de celdas para lograr que se sostenga la oscilación. La figura 3.6 muestra la celda de retraso utilizada en la segunda arquitectura implementada.

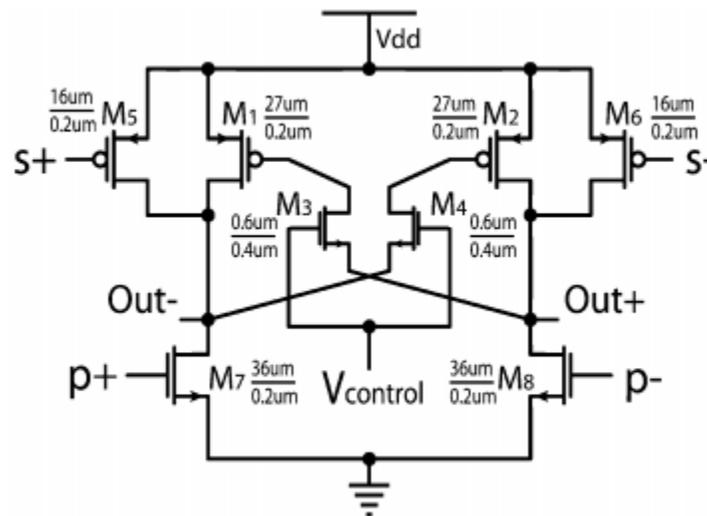


Figura 3.6. Etapa de saturación de ganancia con PMOS acoplados. Tomado de [13]

Los transistores M3 y M4 son utilizados para sintonizar la frecuencia que se desea. Los transistores M1, M6 son transistores de carga, a mayor tensión de control, aumenta el acople entre estos provocando una disminución en la frecuencia de salida del oscilador. Por último, la terminales P+- y S+- son los caminos principales y secundarios, donde la señal transita, el camino secundario (S+-) se encarga de reducir el retardo en el camino de la señal, aumentando la frecuencia máxima que se puede obtener (Eken. Y, Uyemura. J, 2004).

La interconexión de las celdas de retraso se presenta en la Figura 3.7.

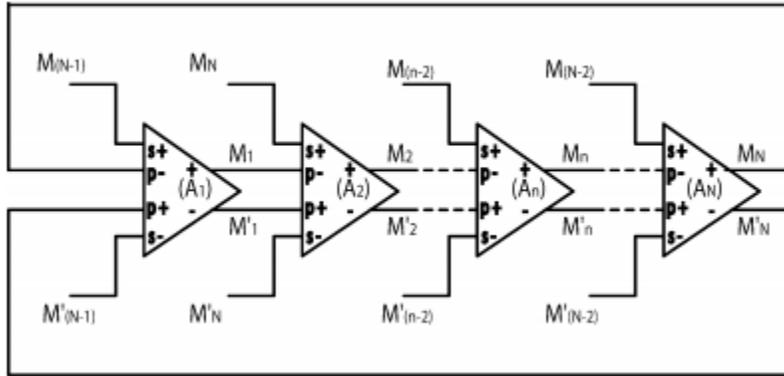


Figura 3.7. Oscilador de anillo con celdas de retraso. Tomado de [13]

Como se observa. El camino secundario se conecta en cadena, mientras que los secundarios dos celdas antes para reducir el retraso en cada etapa y “anticipándose” y permitir una conmutación más rápida en las celdas.

La arquitectura de la figura 3.7 se implementó en la tecnología que se está utilizando para el proyecto, pero sus resultados no fueron los esperados debido a la alta distorsión de la señal, como se observa en la imagen 3.8.

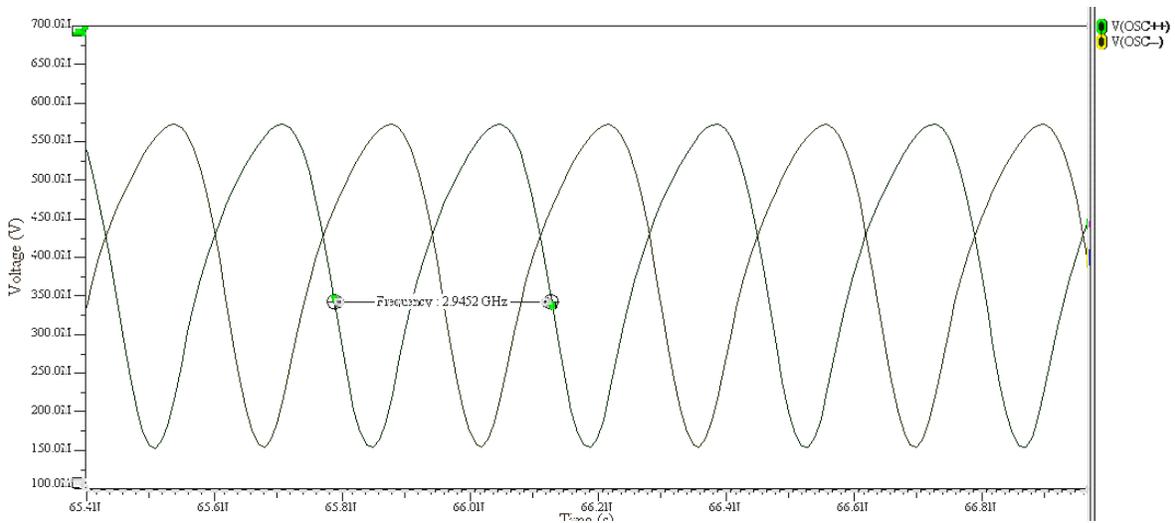


Figura 3.8. Simulación de Oscilador de anillo con celdas de retraso.

La frecuencia final es inclusive menor que la del oscilador de anillo simple, lo que se atribuye a un mal dimensionamiento de los transistores en las celdas de retraso. También se observa una alta distorsión de la onda de salida, pero mejora en cuanto al comportamiento diferencial de la señal, donde se observa que las dos ondas de salida se separan por 180°.

variaciones que pueden resultar útiles para mejorar el comportamiento del circuito es colocar transistores de carga más grandes en el circuito, de modo que la variación de las frecuencias disponibles aumente. Además, se colocan en el camino principal un par de transistores acoplados para mejorar el modo diferencial del circuito y aumentar el ancho de banda de mismo, tal y como se observa en la figura 3.9.

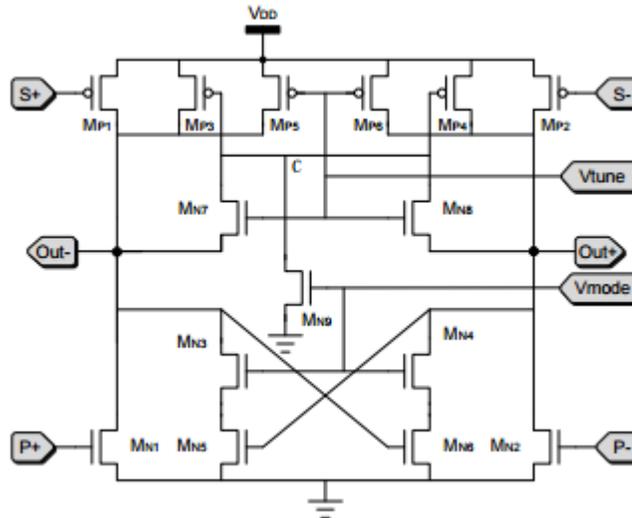


Figura 3.9. Celda de retraso con sintonización de modo. Tomado de [14]

El principio de operación es el mismo que la celda anterior, y la conexión de cada celda para formar el VCO es la misma. La diferencia en esta implementación radica en el hecho de la adición de los transistores Mn9, Mn4 y Mn3, los cuales cambian el modo de operación del oscilador (Liang. J, Zhou. Z, 2013), si se quiere que opere en alta frecuencia ( $V_{mode} = 0V$ ) o en baja frecuencia ( $V_{mode} = 1.2V$ ).

La implementación de esta arquitectura se realizó con algunas modificaciones. Se eliminaron los transistores encargados del cambio de modo, ya que a bajas frecuencias la forma de la señal se distorsiona y pierde forma senoidal. (Liang. J, Zhou. Z, 2013) la arquitectura utilizada se observa en la figura 3.10

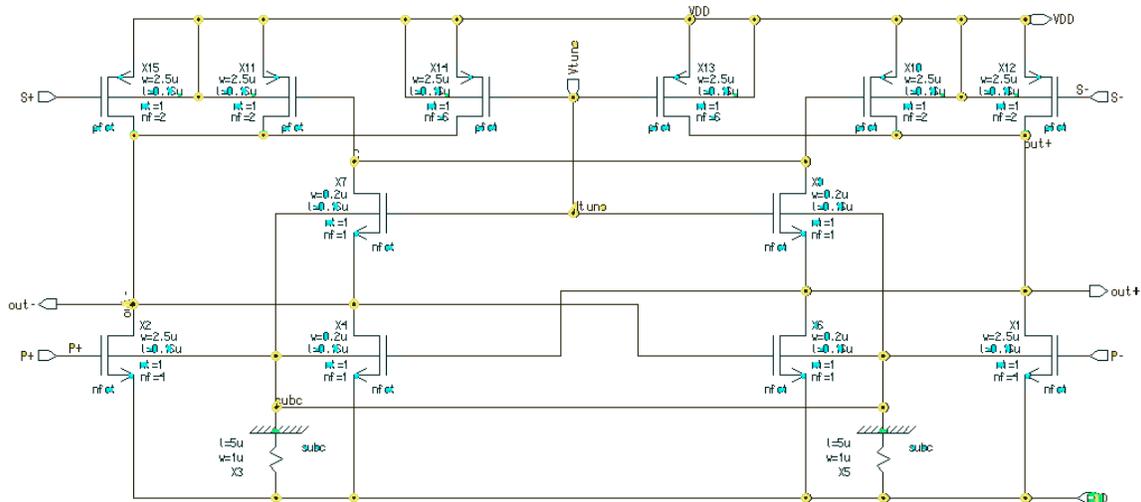


Figura 3.10 Celda de retraso modificada implementada en Mentor Graphics.

Como se mencionó anteriormente la interconexión de las celdas es la misma que en la figura 3.7, y simulando su respuesta se obtienen los resultados de la Figura 3.11:

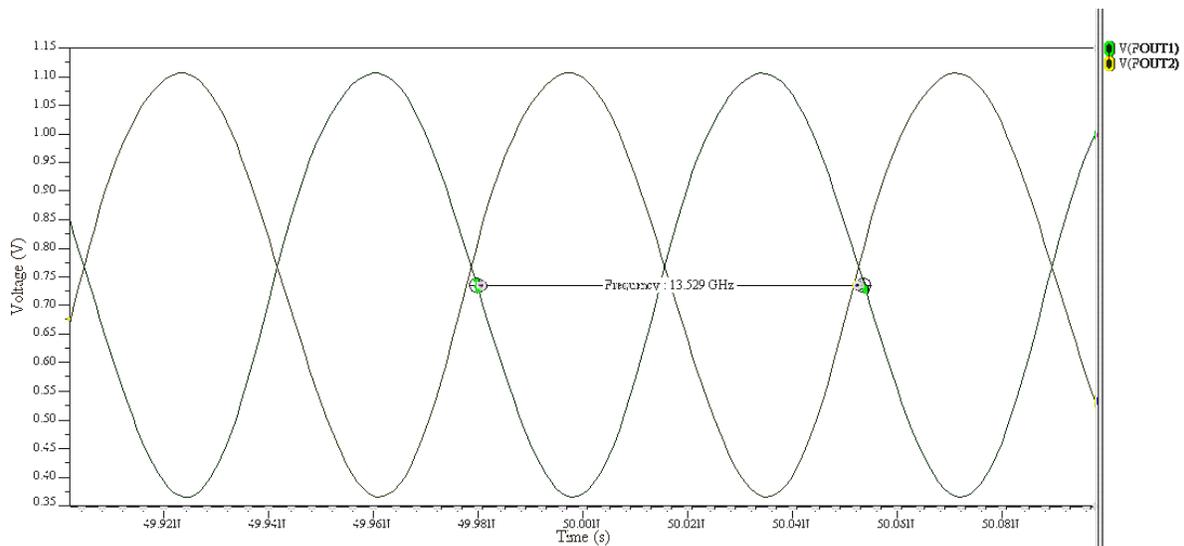


Figura 3.11. Resultado simulación de oscilador controlado por tensión con celdas de retraso de la figura 5.8 con 0.1 V de tensión de control.

Como se observa el resultado final muy prometedor, ya que la frecuencia de oscilación sobrepasa la meta para el proyecto a nivel de esquemático, lo cual da un mejor margen de diseño para cuando se realicen simulaciones a nivel de layout y los parasíticos afecten la frecuencia de salida.

Una vez encontrada la arquitectura de VCO que se utilizará, se procede a realizar un modelador de algunas características importantes en el VCO, como lo es la potencia que consume y su curva característica de trabajo. Los resultados obtenidos se presentan en la Tabla 3 y la figura 3.12.

Tabla 3.3. Características de VCO a nivel de esquemático.

| Característica                 | Valor         |
|--------------------------------|---------------|
| <b>Tensión de alimentación</b> | 1.2 V         |
| <b>Potencia</b>                | 12.26 mW      |
| <b>Tensión de Control</b>      | 0.1-1V        |
| <b>Rango de frecuencias</b>    | 13.5 - 7.9GHz |
| <b>Ganancia</b>                | -9.1 GHz/V    |

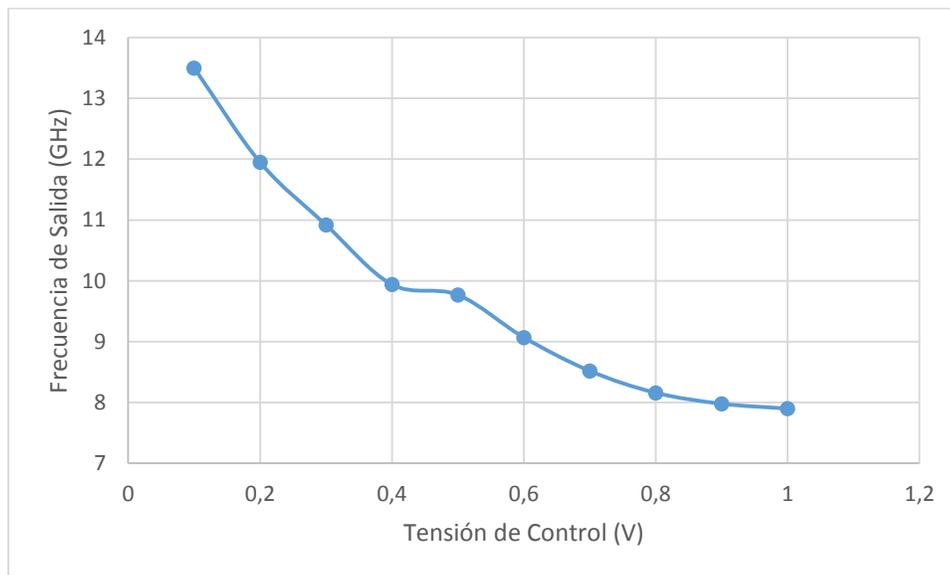


Figura 3.12. Frecuencia de salida del oscilador a diferentes tensiones de control a nivel de esquemático.

Como se observa el oscilador tiene un amplio rango de oscilación, además de un amplio rango de tensión de control, lo que facilita la sintonización de la frecuencia que se desea obtener. Del gráfico se nota como su respuesta es casi lineal, pero en caso de presentar algún

problema se trabajaría únicamente con la región lineal del mismo, que va de los 10GHz @ 0.4V hasta los 13.5 GHz @ 0.1V, considerando simulaciones a nivel de esquemático.

La siguiente tarea realizada con este circuito es su implementación física. Para esto se dividieron los transistores para que compartieran difusiones, de modo que el ancho máximo de los transistores tanto PMOS y NMOS será de  $2.5\mu\text{m}$  y el largo de estos es de  $0.16\mu\text{m}$ . Además, hasta donde fue posible los metales impares se utilizaron de manera vertical y los pares de manera horizontal, para reducir acoplos de campos eléctricos por estar cruzándose en ángulos de  $90^\circ$ . Esto no es una regla de diseño, por ello en ocasiones esto puede irrespetarse en el layout, pero es una buena práctica de diseño para mitigar el acoplen en las interconexiones.

La figura 3.13 muestra el layout final para la celda de retraso utilizada y la figura 3.14 el layout del completo de VCO.

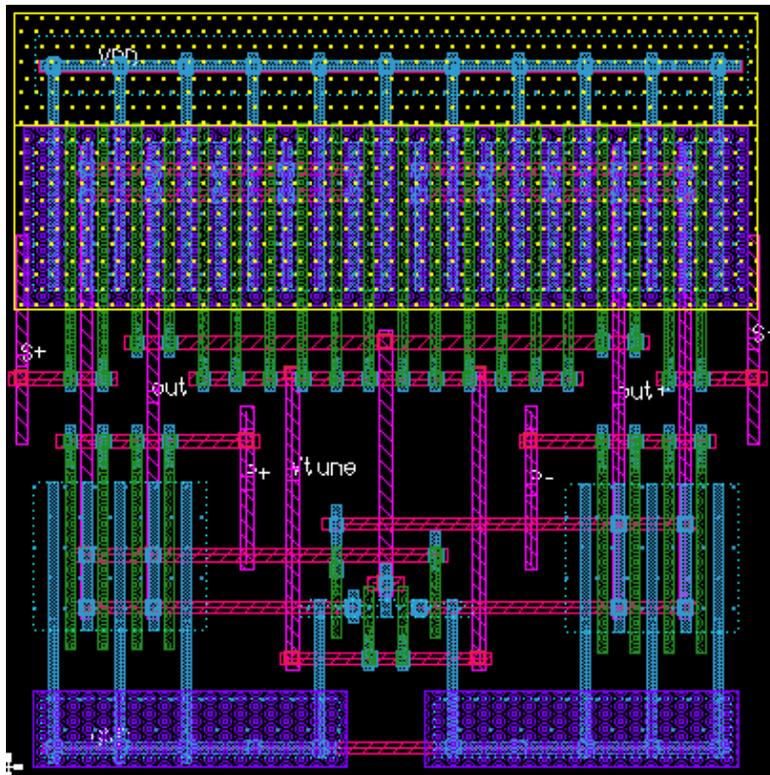


Figura 3.13. Layout de la celda de retraso, implementado en la tecnología IBM 8RF.

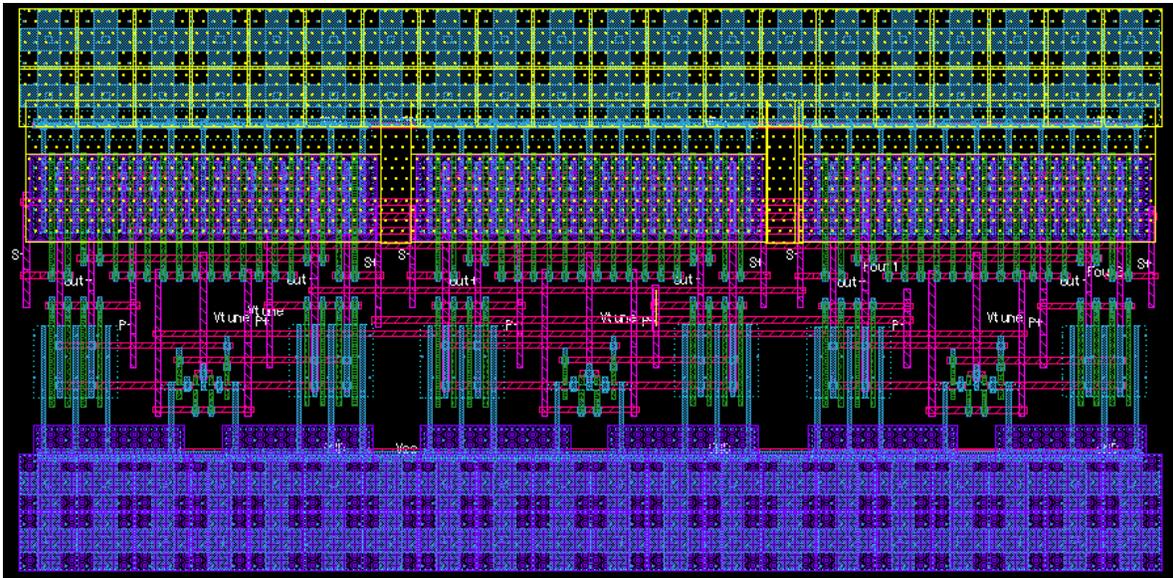


Figura 3.14. Layout de Oscilador Controlado por Tensión elaborado con la tecnología IBM 8RF.

Luego de realizar la extracción de parásitos, se procede a realizar la simulación post-layout para realizar pruebas y corroborar que el circuito funcione todavía dentro de los márgenes de los requerimientos planteados.

Tabla 3.4. Características de VCO a nivel de postlayout.

| Característica                 | Valor       |
|--------------------------------|-------------|
| <b>Tensión de alimentación</b> | 1.2 V       |
| <b>Potencia</b>                | 11.61 mW    |
| <b>Tensión de Control</b>      | 0.1-1V      |
| <b>Rango de frecuencias</b>    | 11 – 6.6GHz |

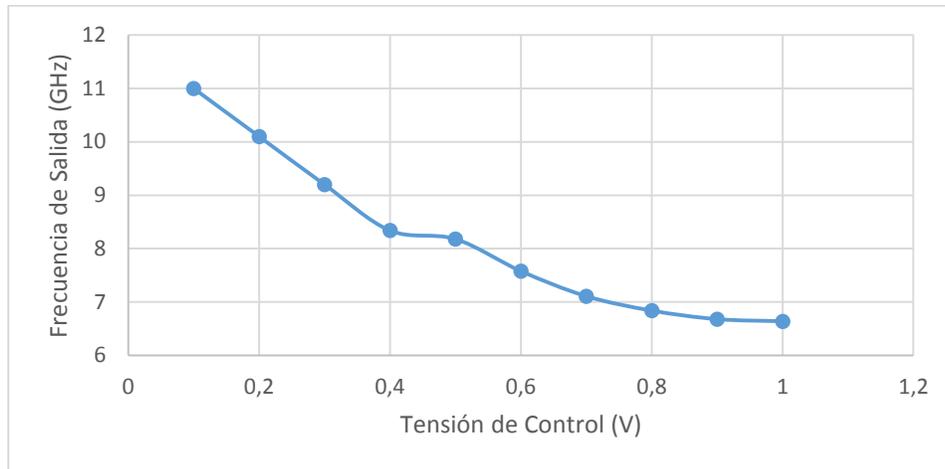


Figura 3.15. Frecuencia de salida del oscilador a diferentes tensiones de control a nivel de diseño físico extraído.

Se observa como claramente la respuesta del circuito se vio afectada por todos elementos parasíticos del layout, su frecuencia máxima disminuyo 1.5 GHz, pero todavía se encuentra por encima de los 10 GHz, por lo cual el circuito aún es funcional. La figura 3.12 muestra la gráfica de variación de la frecuencia de salida respecto a la tensión de control y su respuesta es la misma en comparación a la mostrada en la figura 5.9, con la diferencia en el offset sobre la frecuencia.

Esta primera sección del circuito se encuentra validada con una funcionalidad del 100% tanto a nivel de esquemático como de layout y podrá ser integrada una vez que las demás secciones del circuito se encuentren listas.

### Detector de Fase y Frecuencia (PFD)

Para el diseño de esta etapa, el principal requerimiento es que no posea tiempo muerto o que este sea tan pequeño que no afecte el control del oscilador. Como se explicó anteriormente en la sección 2.1, este efecto se produce cuando las dos señales poseen una diferencia muy pequeña en su fase, inclusive una diferencia de cero, en la cual el detector de fase es incapaz de generar una señal de salida. Esto provoca que la siguiente etapa de circuito no genere la

señal de control requerida y el sistema pierda estabilidad, provocando cambios en la frecuencia de salida muy grandes y que claro es, no son deseados.

Existen muchas topologías para los detectores de fase, algunos producen a su salida señales de diferencia en alto y otros en bajo, es decir, miden la diferencia de las señales con el tiempo en cero (flanco bajo) y los otros con flancos altos. Para el caso del proyecto se implementaron únicamente topologías de flanco alto, las cuales se detallarán a continuación.

La primera topología implementada se encuentra en la figura 3.16 muestra una topología de alta velocidad con cero tiempo muerto (Majeed. A, Kailath. B, 2013), la cual consta de únicamente 10 transistores y posee una frecuencia máxima de trabajo de 3 GHz. La escogencia de dicho circuito se basó en la poca área que consume el mismo y la alta frecuencia de trabajo.

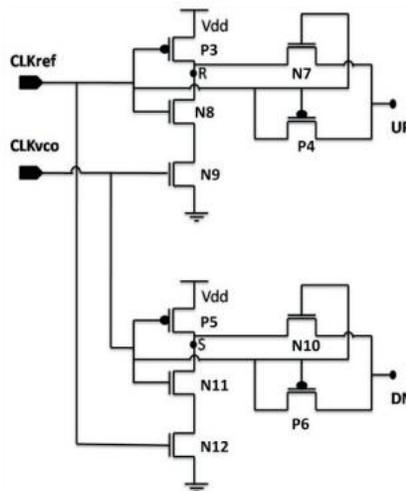


Figura 3.16. Circuito para PFD de alta velocidad sin tiempo muerto. Tomado de [15]

Como se mencionó anteriormente, este tipo de detector mide la diferencia por medio de los pulsos en alto, cuando únicamente una de las dos entradas posea un valor en alto. Su respectiva salida se activará hasta en el momento en que la otra entrada también se active, de esta manera se reinicia el circuito.

La implementación de este circuito se realizó y se comprobó su funcionamiento. Las señales de entrada poseen una frecuencia de 625MHz y los resultados de la simulación se muestran

en las figuras de 3.17 a 3.19. Donde  $F(VCO)$  representa la frecuencia del oscilador,  $F(CLK)$  la frecuencia de referencia y (UP), (DN) las salidas del PFD

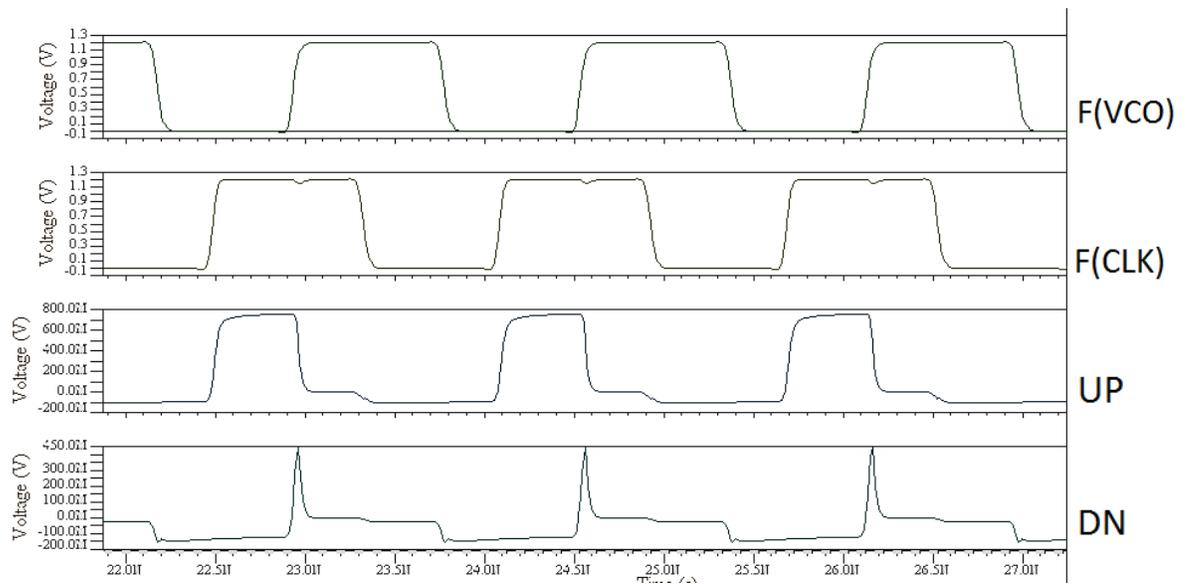


Figura 3.17. Simulación de PFD de la figura 3.16, señales con diferente fase.

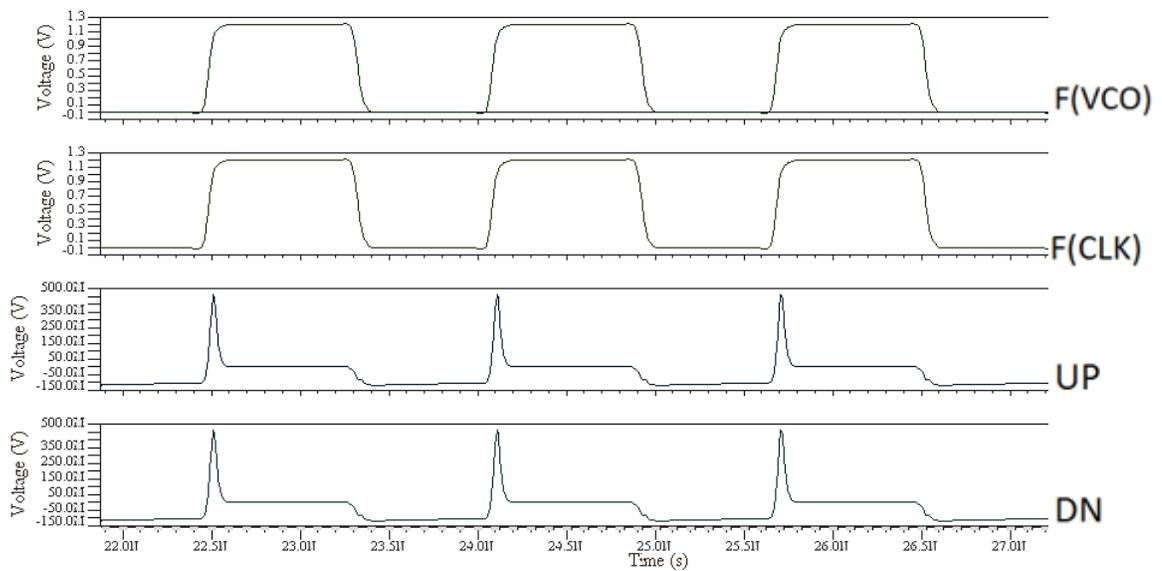


Figura 3.18. Simulación de PFD de la figura 3.16, señales en fase.

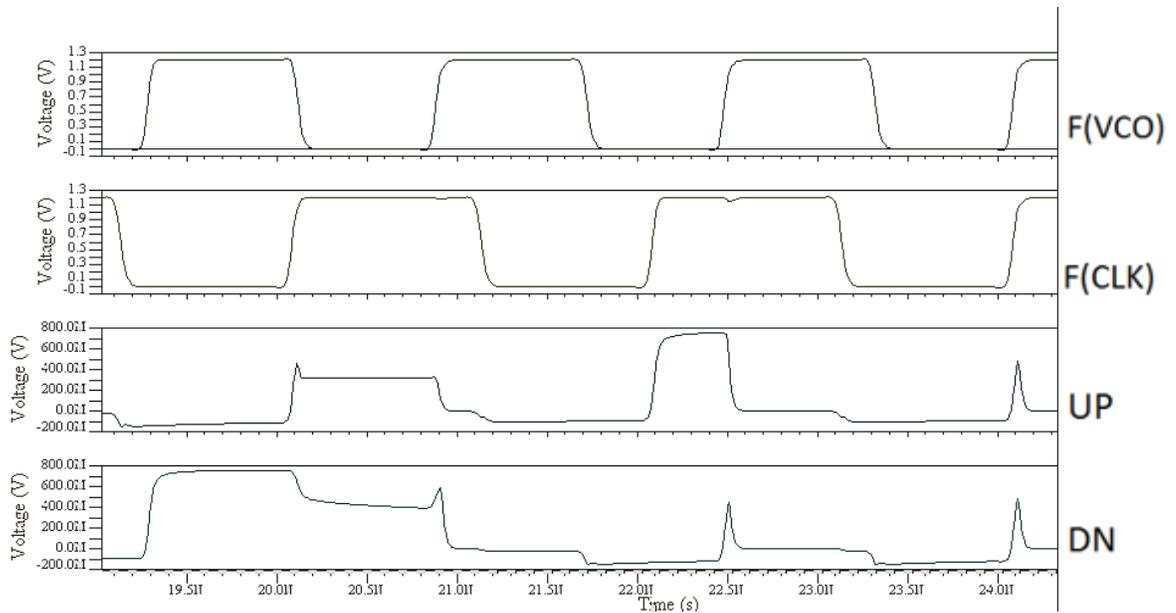


Figura 3.19. Simulación de PFD de la figura 3.16, señales con diferente frecuencia.

En las figuras se logra medir de manera exitosa la diferencia de fase (figura 3.17) y diferencia de frecuencias (figura 3.19) entre las dos señales, mediante las salidas (DN) y (UP). Además, en la figura 3.19 se observa que aun cuando las señales se encuentran en fase, se generan pulsos pequeños de control simétricos, eliminando de esta manera el problema de zona muerta. El principal problema que posee el circuito es su valor estable, el cual debería ser cero, pero como se observa su valor estable se encuentra aproximadamente en  $-0,15V$ . Esto es un gran inconveniente, ya que los transistores de la siguiente etapa (tanque de carga) se polarizarían de manera incorrecta. Por ello, la segunda topología implementada trata de corregir este problema.

La siguiente topología presenta una configuración más compleja (Chow. H, Yeh. N, 2005) a la anterior, como se observa en la figura 3.20.

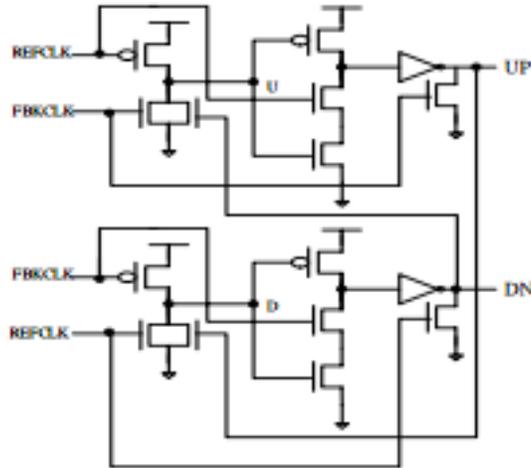


Figura 3.20. PFD de alta velocidad con camino de reset a su salida. Tomado de [4]

Su funcionamiento es similar al anterior, con la diferencia que se agregan dos inversores en lugar de las compuertas de paso y el reinicio de las señales se realiza a través de los transistores conectados a la salida de los inversores. Este diseño posee un tiempo muerto de 4ps (Chow. H, Yeh. N, 2005) y puede funcionar hasta los 3.5 GHz. Los resultados de la implementación y simulación se muestran a continuación en las figuras 3.21 a 3.23. Donde  $F(VCO)$  representa la frecuencia del oscilador,  $F(CLK)$  la frecuencia de referencia y (UP), (DN) las salidas del PFD.

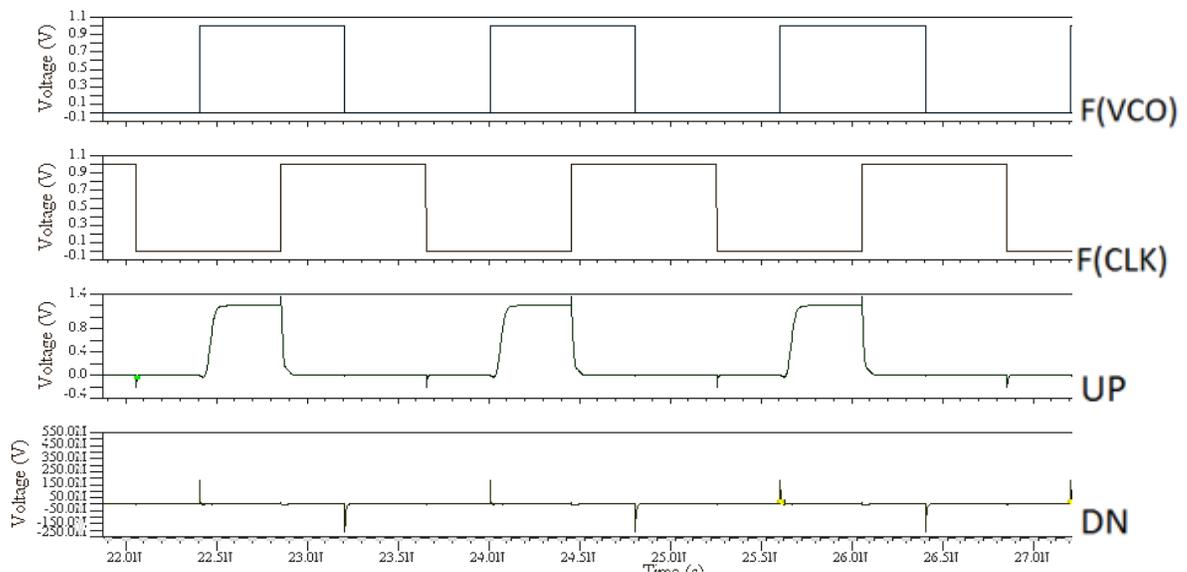


Figura 3.21. Simulación de PFD de la figura 3.20, señales con diferente fase.

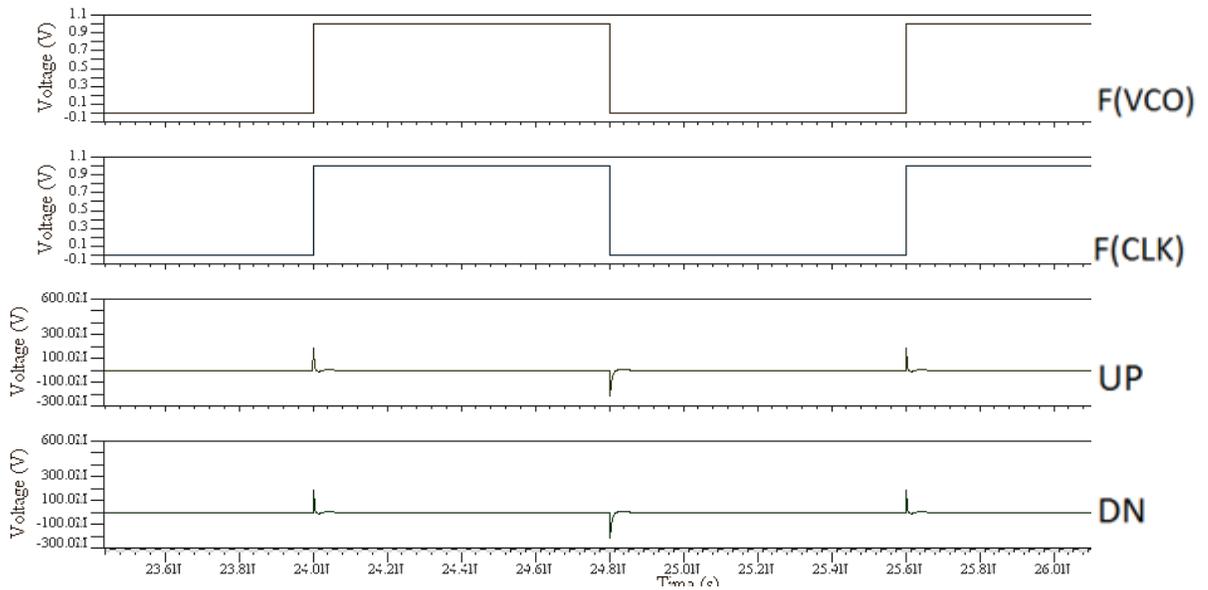


Figura 3.22. Simulación de PFD de la figura 3.20, señales en fase.

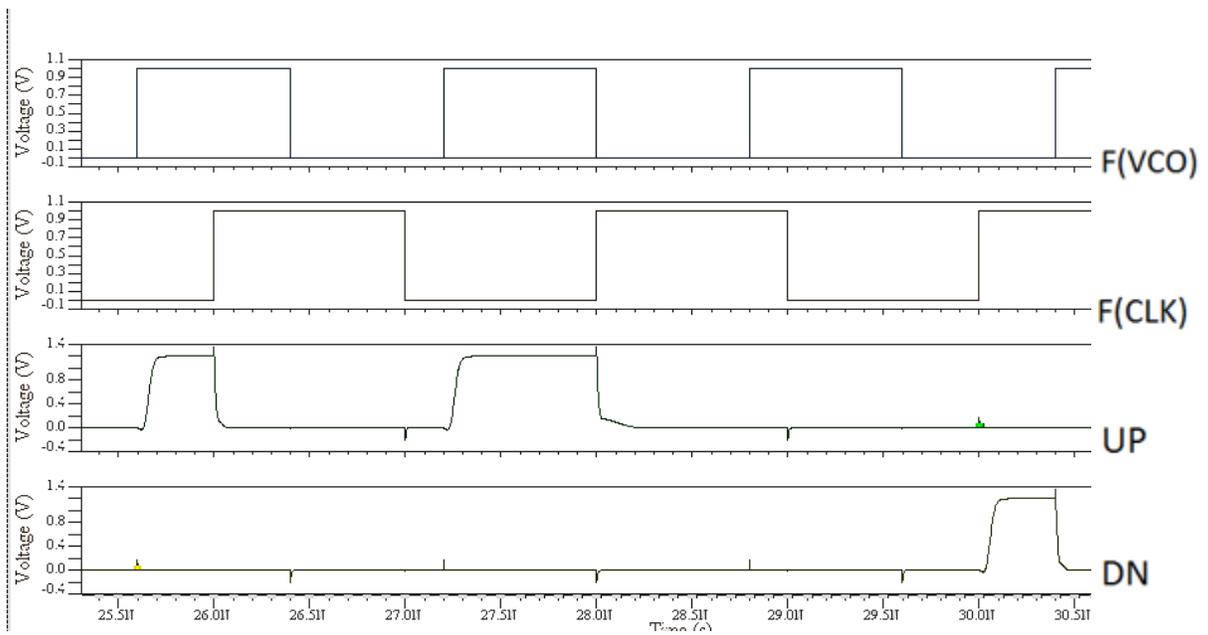


Figura 3.23. Simulación de PFD de la figura 3.20, señales con diferente frecuencia.

Se observa como el circuito logra medir la diferencia de fase (figura 3.21) de manera exitosa. También lo hace al medir la diferencia de frecuencia (figura 3.23). Un problema que presenta es la zona muerta del circuito presente en la figura 3.22, donde se observan muy pequeños pulsos a la salida, lo que podría afectar el comportamiento de las siguientes secciones. Analizando este problema se observa que ambas señales son pulsos bien definidos, es decir

simétricos y esto es porque no se genera pulsos. A la hora de implementar e integrar las demás secciones, la señal de referencia seguirá siendo pulsos bien definidos, pero la proveniente del circuito no lo será debido a parasíticos en el circuito y esto eliminará este problema. Es decir, se saca provecho de las imperfecciones del circuito. El problema que presentaba la arquitectura de la figura 3.16 se eliminó, ya que ahora en estado estable del circuito se encuentra en 0V.

La topología de la figura 3.20 será la que se va a utilizar para integrar todo el PLL, su implementación en capa física se encuentra en la figura 3.24, la cual se realizó con reglas similares a las utilizadas en el oscilador.

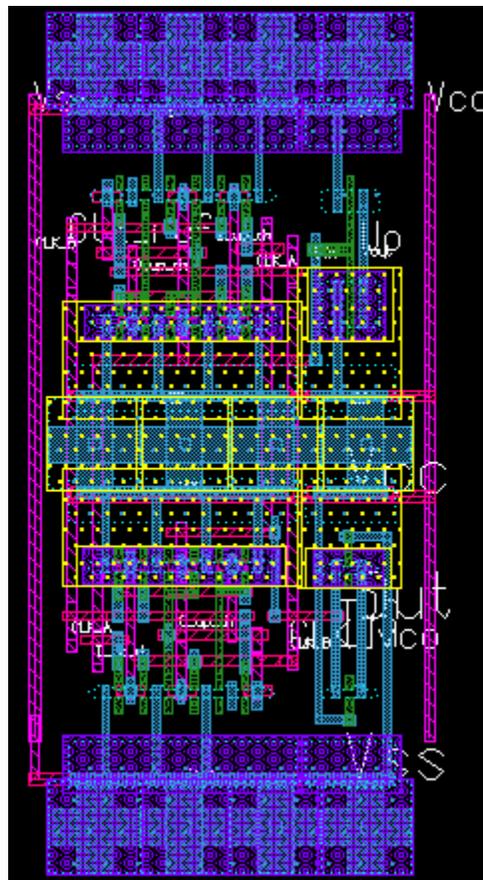


Figura 3.24. Implementación física del detector de fase.

Los resultados obtenidos, fueron satisfactorios para los intereses del proyecto. El detector puede funcionar a esta frecuencia de manera perfecta. Se nota una pequeña disminución en la calidad de la señal de salida como se observa en la figura 3.25, pero no es un gran problema,

ya que el circuito aún puede realizar su función. Además, esta disminución es esperada debido a los parasíticos presentes en el circuito.

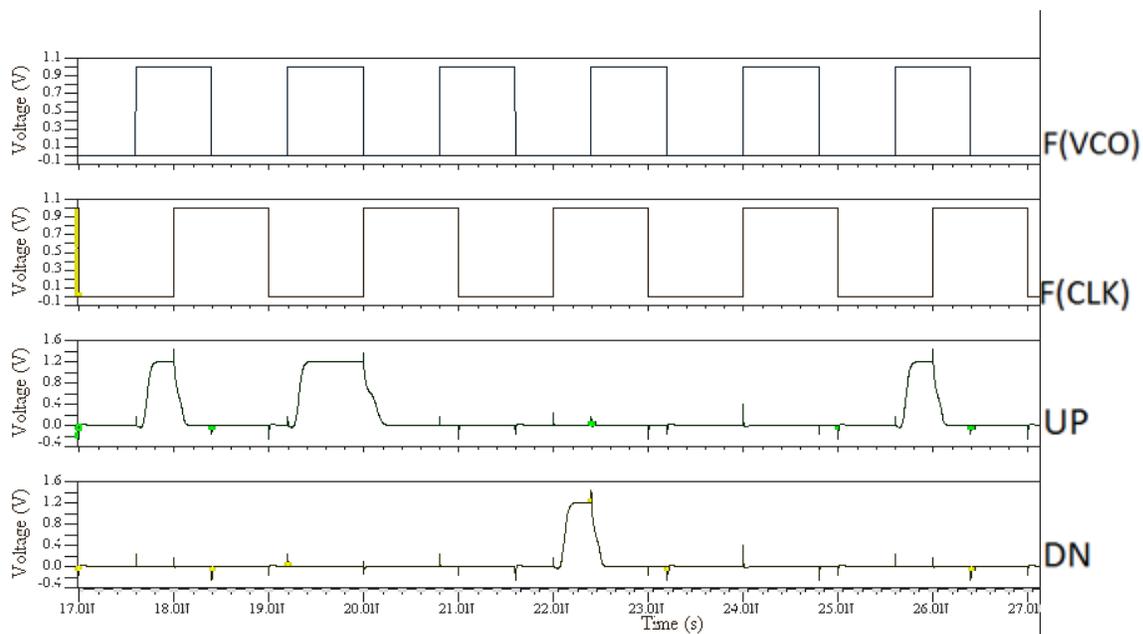


Figura 3.25. Simulación post-layout de PFD de la figura 3.24, señales con diferente frecuencia. Donde F(VCO) representa la frecuencia del oscilador, F(CLK) la frecuencia de referencia y (UP), (DN) las salidas del PFD.

## Divisor de frecuencias

Esta etapa cuenta con varios circuitos para lograr realizar la división de la frecuencia de salida del oscilador por 16, que es el valor que entero por el que se desea dividirla. Con este valor se obtiene que la frecuencia de referencia máxima que se puede colocar en la entrada del detector de fase es de 687.5 MHz. Al bajar este valor se obtienen valores de frecuencia a los cuales el PLL realizará el enganche de fase, según sea la necesidad y claro es, si este se encuentra entre el rango de frecuencias de salida del VCO.

Partiendo de este punto, para lograr obtener el divisor por 16, se deben realizar 4 etapas de división entre 2 (figura 3.26), lo cual se obtiene al colocar dos latch o flip-flops en cascada, como se observa en la figura 2.10 del capítulo anterior.

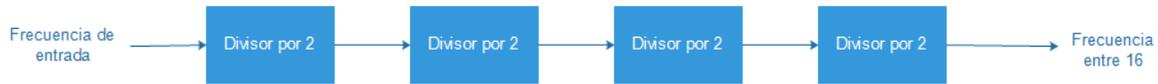


Figura 3.26. Diagrama de bloques de divisor

El diseño de cada latch varía, dependiendo de la arquitectura a utilizar. Para la frecuencia a la que se está trabajando, no es posible utilizar divisores CMOS estáticos, debido a que esto son meramente digitales y como se ha mencionado en varias ocasiones su ancho de banda y tiempo de respuesta no es el adecuado para utilizar a más de 5 GHz para la tecnología utilizada.

La primera topología a implementar, como utiliza dos latch CML colocados en cascada (Xiangning F, 2012). En la figura 3.27 se observa la configuración una celda de latch CML.

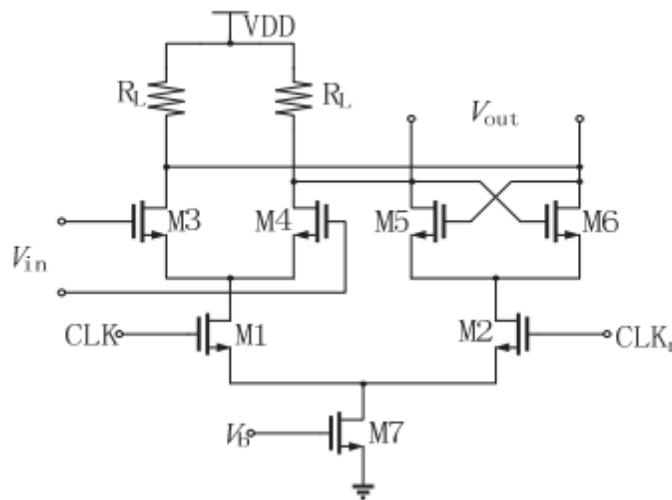


Figura 3.27. Latch CML tomado de: [2]

Como se detalla en el documento de referencia, los transistores M1 y M2, estos son los transistores de la entrada de reloj. M3 y M4, son los encargados de leer la entrada del latch. M5 y M6 son los transistores de latch y M7 funciona como fuente de corriente, esta topología

permite trabajar a alta frecuencia, implementaciones de este circuito permitieron observar que a nivel de esquemático puede dividir la frecuencia de señales de hasta 10 GHz.

El problema con esta solución surgió al implementar en layout el circuito y realizar la simulación post-layout, donde esta reveló que esta implementación de divisores no podía operar a partir de 8GHz por la presencia de los parasíticos en el mismo. Además, para la tecnología que se está utilizando, los valores de resistencias tienen mucha tolerancia, alrededor de  $\pm 20\%$  luego de la fabricación del chip, por lo que este factor debe tomarse en cuenta. Por estos dos motivos es que se desecha esta arquitectura y utiliza una que únicamente utilice transistores en su configuración.

A pesar de los fallos del anterior circuito, únicamente se deben sustituir los elementos resistivos por transistores del tipo PMOS (Cao. C A, 2005), además de algunos pequeños cambios, como se observa en la figura 3.28.

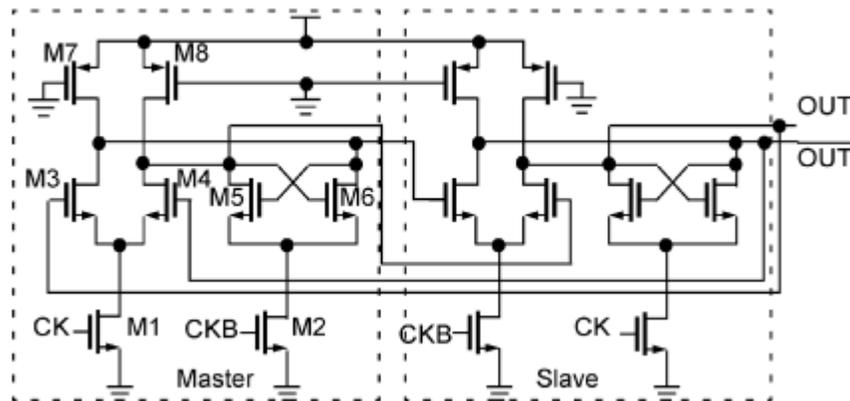


Figura 3.28. Divisor por dos sin elementos resistivos. Tomado de [3]

La figura muestra un núcleo de división entre dos, pero si se observa únicamente la sección del maestro (master), se nota un circuito muy similar al expuesto anteriormente en la figura 3.27, desaparece, además de la resistencia, la fuente de corriente. Esto ahorra área en la implementación. Los tamaños de los elementos considerados en el documento (Cao. C A, 2005) se utilizaron únicamente para el acople entre el oscilador y el primer bloque de división, ya que para las frecuencias siguientes, transistores más pequeños pueden ser utilizados, y esto además de reducir el consumo de potencia, reduce el área del circuito final.

Para el primer divisor y los tres siguientes, los tamaños utilizados son los mostrados en la tabla 3.5.

Tabla 3.5. Dimensionamiento de divisores por 2 con transistores PMOS

| Transistor   | Divisor primario ( $\mu\text{m}$ ) | Divisores secundarios ( $\mu\text{m}$ ) |
|--------------|------------------------------------|---|
| <b>M1-M2</b> | 8                                  | 1                                       |
| <b>M3-M4</b> | 5                                  | 1                                       |
| <b>M5-M6</b> | 1.6                                | 0.5                                     |
| <b>M7-M8</b> | 2.6                                | 0.6                                     |

El elemento principal a rescatar en este caso es el divisor secundario, que una vez implementado en la herramienta mostro resultados satisfactorios, tanto a nivel de esquemático como a nivel de layout. Además, los elementos restantes mostraron el comportamiento deseado a la hora de dividir la frecuencia.

Las figuras 3.29 y 3.30 muestran los resultados de las simulaciones tanto pre-layout y post-layout del divisor.

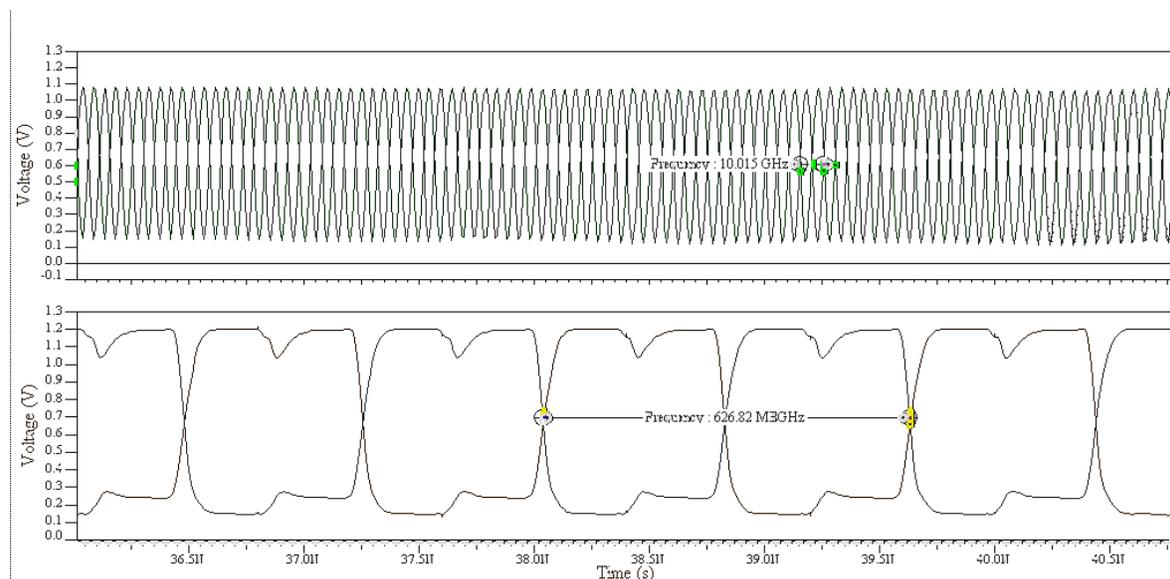


Figura 3.29. Simulación pre-layout del divisor de frecuencias.

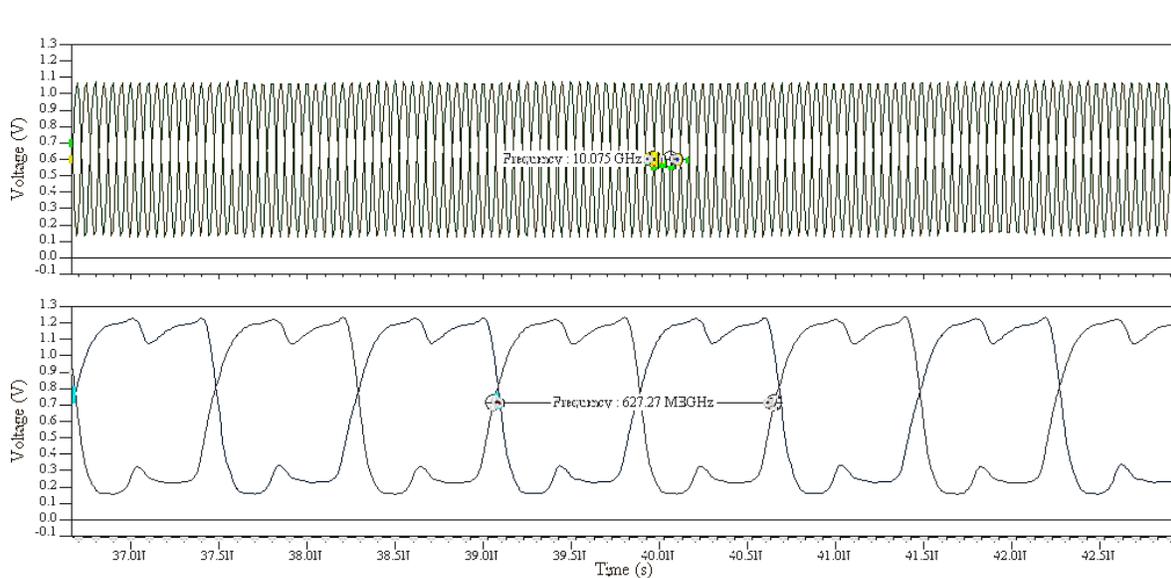


Figura 3.30. Simulación post-layout del divisor de frecuencias.

La principal diferencia entre ambas simulaciones es la curvatura en la onda de salida obtenida en la simulación post-layout, la cual es más notoria que en la pre-layout. Esto es esperado dada la presencia de los parásitos, y para mitigar este efecto que puede afectar el funcionamiento del detector de fase, se colocan dos inversores en su salida para generar señales cuadradas como se observa en la Figura 3.31.

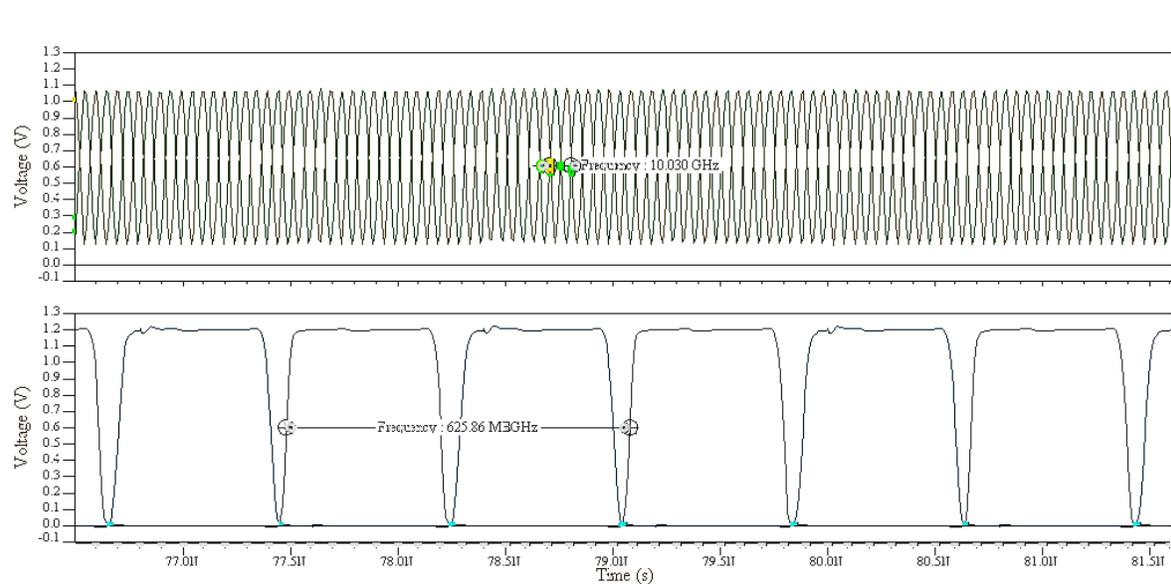


Figura 3.31. Simulación post-layout del divisor de frecuencias con la adición d inversores a su salida.

La implementación de layout se observa en la figura 3.32:

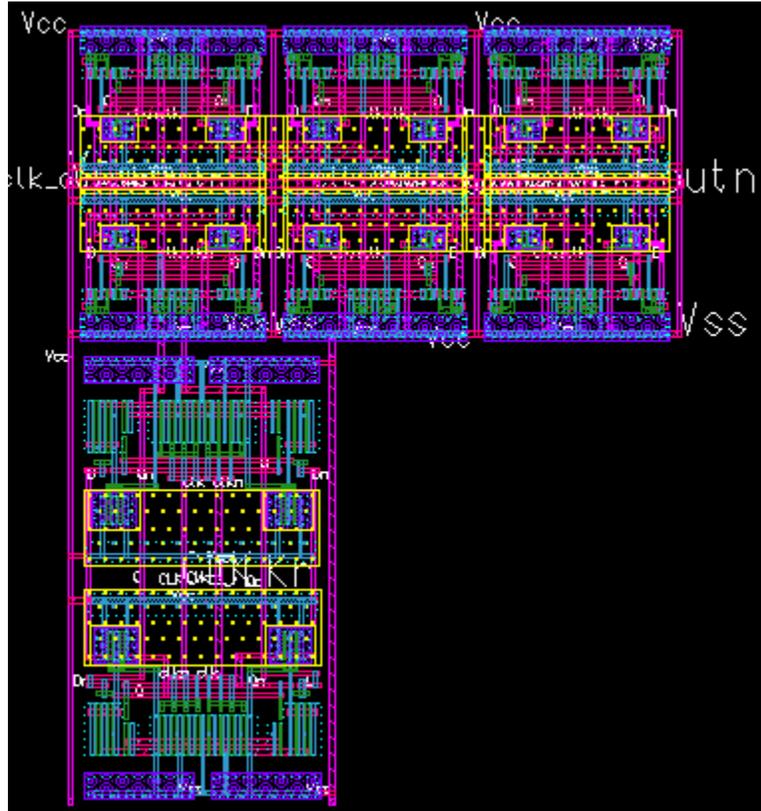


Figura 3.32. Implementación del layout del divisor de frecuencias.

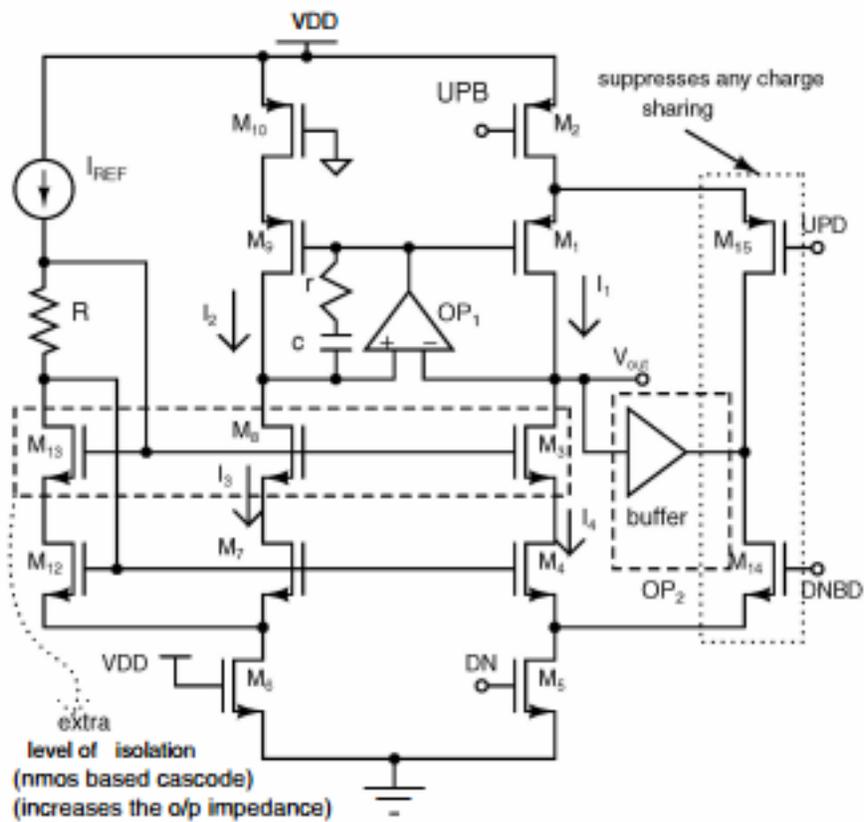
En el layout de la figura anterior se dio especial prioridad a minimizar el ruteo de las señales crítica para el circuito, como lo es la entrada del primer divisor proveniente del oscilador y la salida de este, par de esta manera evitar efectos indeseados en su funcionamiento con la extracción de los parásitos y la simulación posterior., el bloque que se encuentra en la parte inferior de la figura 3.32 es el diviso de alta frecuencia y los tres sobre el son los divisores secundarios.

### Tanque de Carga o Charge Pump (CP)

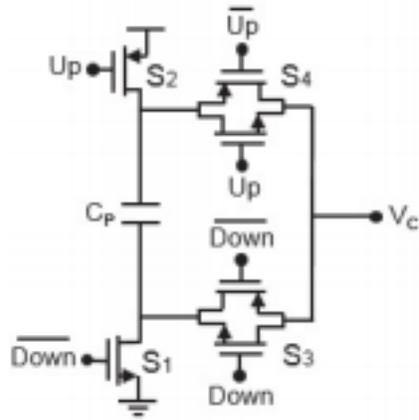
En la figura 2.7 se ejemplifica la funcionalidad del tanque de carga, que es el encargado de transformar los pulsos de tensión provenientes del detector de fase a pulsos de corriente para alimentar el filtro y que este genere varíe la tensión de control hacia el oscilador.

Como se menciona en (Razavi, RF Microelectronics, Cap. 9) los tanques de carga poseen múltiples problemas a la hora de su implementación. Entre estos se encuentran la diferencia de corrientes y las corrientes de fuga que afectan la tensión de control y por consiguiente la frecuencia de salida del circuito. Las corrientes de fuga provocan que cuando se alcanza, el estado estable, empiezan a fluir a través de los transistores aun cuando estos se encuentran apagados y provocan variaciones y deben producirse correcciones para nuevamente volver al estado estable. Las diferencias de corriente se deben a que los transistores PMOS suministran menos corriente que un NMOS con igual ancho, para esto se varían los tamaños de estos, pero en ocasiones por diferentes motivos esto no es suficiente, por ello deben diseñarse circuitos más complejos.

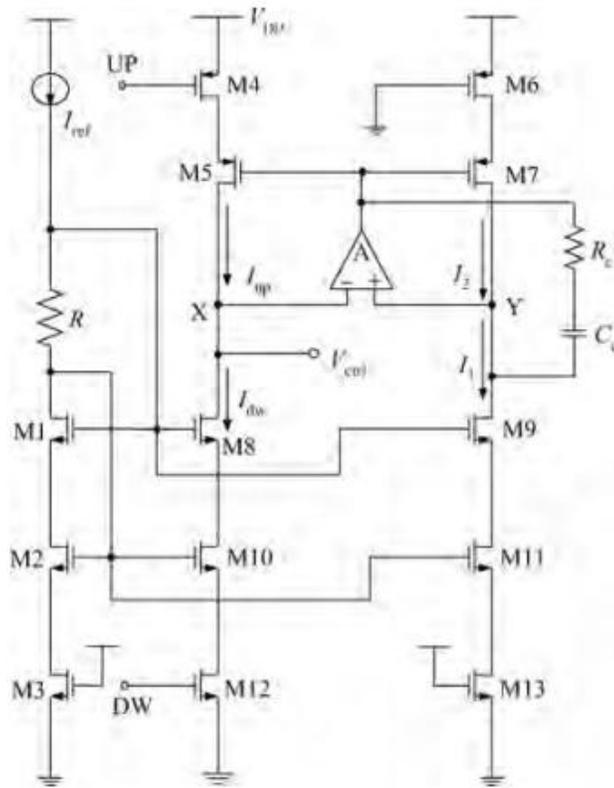
Las siguientes topologías ejemplificadas en la figura 3.33 implementaciones de tanques de carga:



(a)



(b)



(c)

Figura 3.33. Ejemplos de implementaciones de Charge Pump. Tomado de: (a) [11] (b) [19] (c) [24]

Cada una de las arquitecturas anteriores tiene como meta reducir y disminuir las corrientes de fuga que se puedan presentar, cada una de ellas posee gran complejidad y abarca un área considerable, esto sin mencionar el uso de capacitores y resistencias, aspecto que aumenta el área requerida para su implementación.

Antes de elegir una arquitectura, primero se debe analizar y comparar la función de un PLL en un circuito como referencia de reloj y la función que tendrá en el circuito integrado que se está desarrollando. Un PLL es generalmente utilizado para mantener una señal de reloj constante durante todo momento, es decir debe sostener este valor en todo momento y aquí es donde las corrientes de fuga provocan más daño a la salida del circuito. En el caso de este proyecto, el PLL debe mantener un valor fijo durante un período de tiempo, para poder someter la muestra a la frecuencia deseada, luego este valor cambia. Por ello no se necesita una topología tan compleja como las de la figura 3.33, lo que se debe asegurar únicamente es que las corrientes  $I_1$  e  $I_2$  (figura 3.7) deben ser iguales para que el tiempo de enganche sea menor.

La figura 3.34 muestra la implementación utilizada para el tanque de carga del circuito.

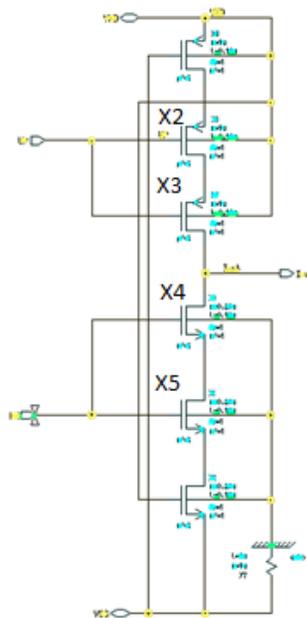


Figura 3.34. Tanque de carga implementado.

Los transistores de los extremos son los utilizados para suministrar la corriente, sus valores deben ser tales que proporcionen la misma corriente. Los transistores X2 a X5 son los interruptores de las señales de entrada, X2-X3 para UP y X4-X5 para DN. El hecho de que se coloquen 2 en pila por cada señal es para reducir el efecto de las corrientes de fuga (Weste, CMOS VLSI Design). Con ello se puede reducir hasta 10 veces las corrientes de fuga en este tipo de circuitos, debido a que la tensión entre los nodos se reparte en los dos transistores.

Se implementó este diseño tanto a nivel de esquemático (figura 3.34) y layout (figura 3.35), luego se validó su comportamiento con simulaciones, obteniendo resultados satisfactorios.

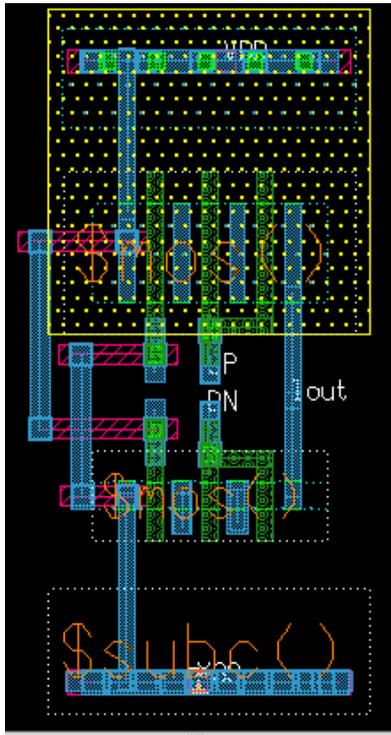


Figura 3.35. Implementación de layout del tanque de carga.

La elección de la corriente del tanque de carga se realizó basado a cálculos realizados para el filtro paso bajas, de modo que en la siguiente sección se analizará esto con mayor detalle.

### Filtro Paso Bajas (LPF)

Para el caso de esta etapa y debido a la amplia gama de filtros paso bajas presentes en la literatura, se determinó elegir lo explicado en (Razavi, RF Microelectronics, Cap 9), donde se detalla que para mejorar el funcionamiento del circuito y evitar rizados en la señal de control y lograr una respuesta más “suave” del circuito se requiere de un filtro de segundo orden. Esto puede variar dependiendo de diseñador, pero a medida que se agregan más elementos al circuito esto afecta la estabilidad del circuito.

El esquemático del filtro de segundo orden se encuentra en la figura 3.36, consta de dos capacitores y una resistencia.

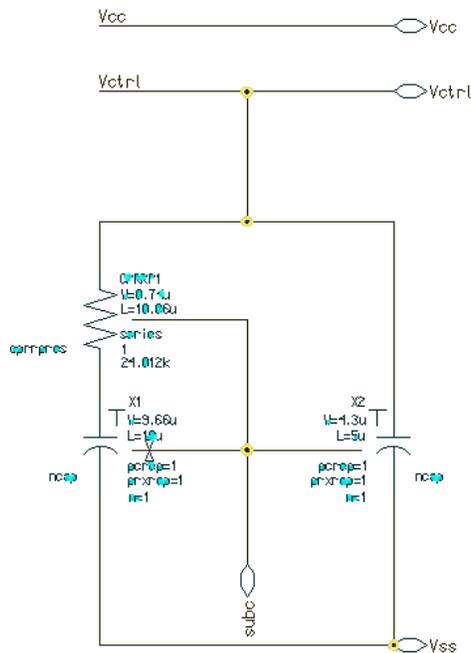


Figura 3.36. Implementación a nivel de esquemático del filtro paso bajos.

Para el diseño de este elemento, se utilizaron las ecuaciones (2.11) y (2.12). En primera instancia, se eligió el valor de  $\zeta=1$ , que es el valor deseado en los sistemas de lazo cerrado.

El resto de los cálculos pueden verse en el Apéndice A. Los resultados fueron los siguientes:

$$R = 24.1K$$

$$C1 = 1.1 \text{ pF}$$

$$C2 = 240 \text{ fF}$$

Estos valores son completamente integrables para la tecnología IBM8SF y producen una respuesta, la cual permite mantener la estabilidad del sistema y además suministrar al oscilador la tensión que necesita para operar de manera correcta.

La implementación física se encuentra en la figura 3.37.

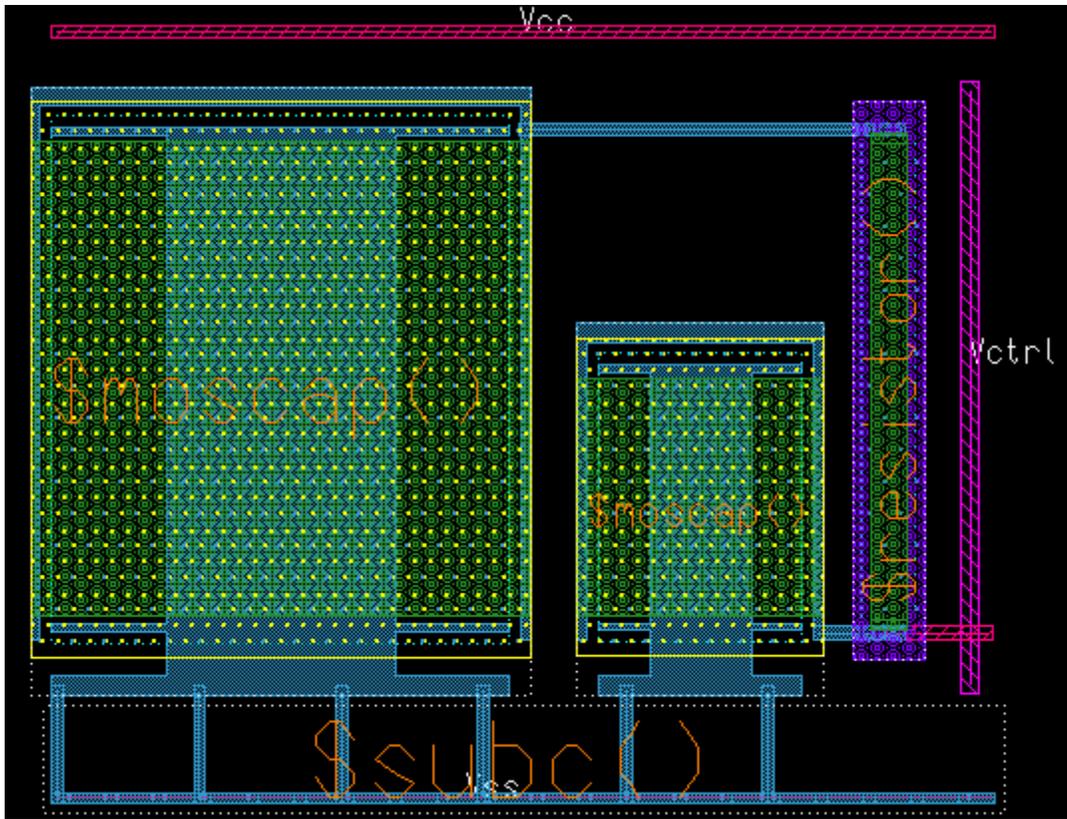


Figura 3.37. Implementación de layout de filtro paso bajas.

Este elemento se implementó con varactores en lugar de capacitores, pero su funcionamiento es prácticamente el mismo. La ventaja que presentan los primeros es el hecho de utilizar capas bajas de metal, metal 1 y poli-silicio, en comparación con los capacitores comunes, los cuales utilizan las capas más altas y de esta manera se ahorra no solo área, sino que no se pierde la capacidad de ruteo en jerarquías superiores una vez este circuito se conecte con los demás elementos del chip.

Existen también otros tipos de implementaciones no expuestas en el documento, como los filtro gm-C que se implementan con transistores MOS y capacitores, los cuales son otra posible implementación de mejora para futuras mejoras ya que se elimina la dependencia de los elementos pasivos que pueden llegar a variar mucho en el proceso de fabricación

## Capítulo 4: Integración del PLL, Simulación y Análisis de Resultados

Para la integración total de cada uno de los elementos del circuito para conformar el PLL, se tomó como principal referencia lo expuesto en (Razavi, RF Microelectronics, Cap. 9). El detector de frecuencia provee un rango mayor de adquisición que un detector de fase, de aquí su implementación; el tanque de carga se diseña pensando en una corriente que permita obtener en el filtro valores integrables en la tecnología y el filtro se realiza de segundo orden para obtener una salida más limpia de la tensión de control, con bajo rizado que afecten la salida del oscilador.

El circuito del PLL se observa en la figura 4.1 y su implementación en la herramienta en el Apéndice B.

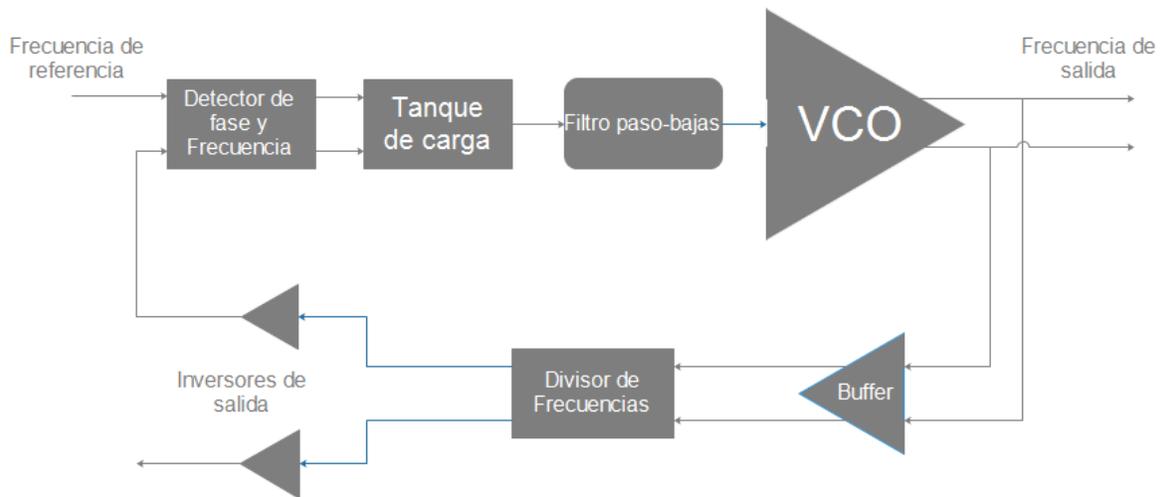


Figura 4.1. Circuito final de PLL.

Si bien es cierto cada uno de los elementos del circuito se diseñaron por aparte, siempre existieron requerimientos y/o restricciones de las etapas anteriores, Tal es el caso del oscilador, el cual debe ser controlado únicamente con tensiones como máximo de 1.2V. El divisor de frecuencias tiene como requisitos que su frecuencia de división logre ser mayor a 10GHz, y además que a su salida se obtuviese una frecuencia con la cual el detector de fase lograra trabajar de manera correcta. De allí que se diseñó este último en primer lugar, luego de realizar pruebas se determinó su frecuencia de operación máxima y se implementó el

divisor a partir de estos resultados. Por último, la corriente de salida del tanque de carga debía ser tal que, según las ecuaciones del Apéndice A, se lograran obtener tamaños integrables de resistores y capacitores. Los elementos restantes del circuito son los inversores, que como ya se mencionó en secciones anteriores, se colocaron para dar una forma cuadrada a la señal de salida. Por último, el buffer se coloca para aislar al oscilador del divisor de frecuencias, sin alterar esta última, para evitar caídas en la ganancia del VCO o malos acoples de impedancia que den como consecuencia una disminución del rango de operación del mismo.

Un último aspecto es el hecho de colocar dos inversores en la salida del divisor, cuando únicamente se utiliza una salida. Esto se realiza para balancear la carga del circuito, que como se sabe es de tipo diferencial. Se obtienen mejores resultados si las cargas se encuentran balanceadas.

Para la prueba del circuito, a nivel de esquemático, el circuito de prueba es el observado en la figura 4.2:

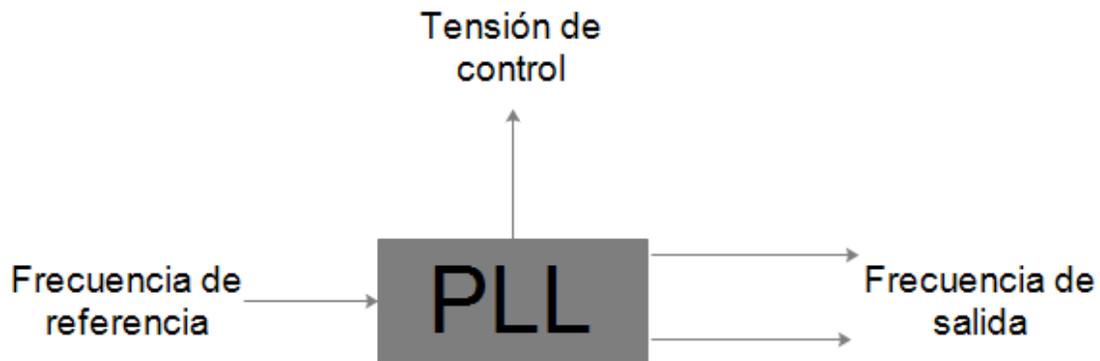


Figura 4.2. Diagrama del circuito de prueba del PLL

Se coloca una frecuencia de referencia en la entrada del circuito, como se observa en la figura 5.1, Esta entrada se encuentra en el detector de fase y frecuencia. Se realizarán 3 pruebas, la primera colocando la frecuencia de referencia a 500MHz, 562.5MHz, 625MHz y por último a 750MHz. Como el lector habrá leído en secciones anteriores, estas frecuencias de entrada corresponden a 8GHz, 9GHz, 10 GHz y 12GHz a la salida del PLL, por la característica de multiplicación de frecuencias que posee el PLL. Además se realizara un seguimiento de la

señal de tensión de control que es la que se encarga de regular la frecuencia del VCO, y proviene del filtro paso bajos.

Otro de los factores que serán medidos de manera indirecta es el tiempo de enganche de la frecuencia deseada, el cuál debe ser menor a 500ns, según requerimientos del proyecto.

Las figuras 4.3 a 4.6 muestran los resultados obtenidos.

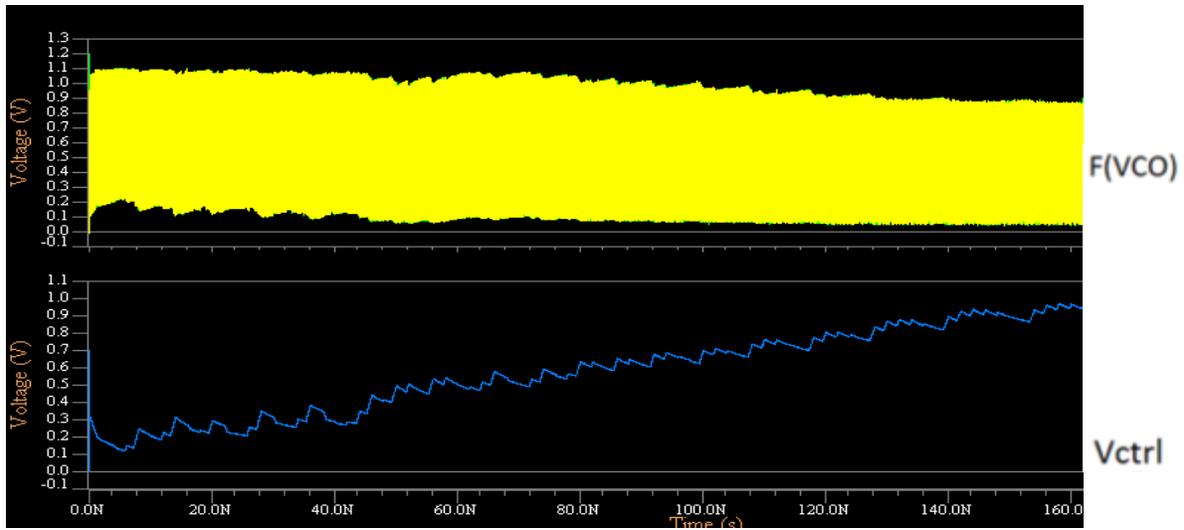


Figura 4.3. Simulación pre-layout con referencia a 500MHz. Dónde: F(VCO) es la frecuencia de salida del oscilador y Vctrl es el voltaje de control sobre el VCO

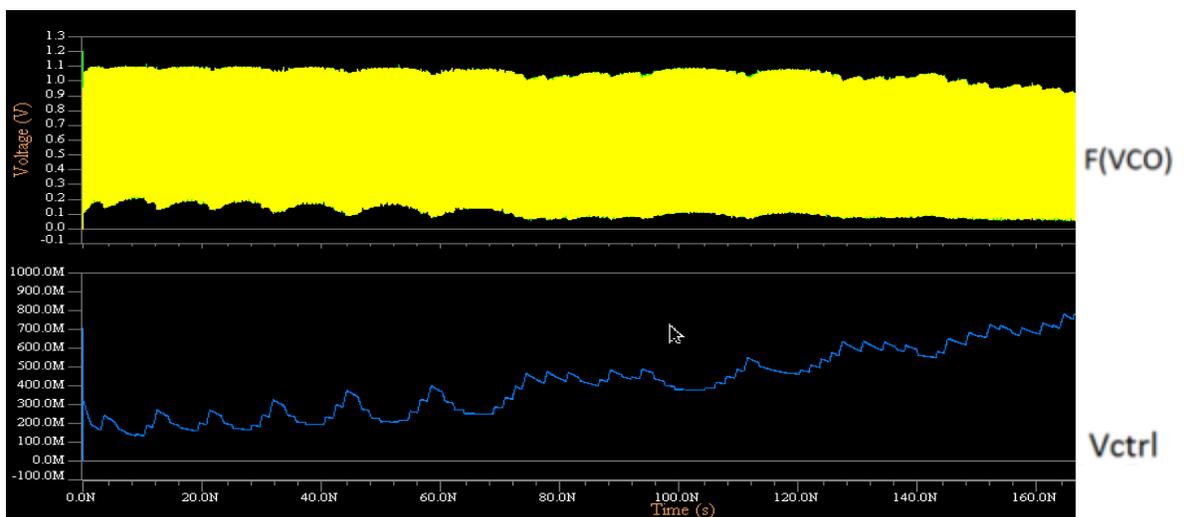


Figura 4.4. Simulación pre-layout con referencia a 562.5MHz. Dónde: F(VCO) es la frecuencia de salida del oscilador y Vctrl es el voltaje de control sobre el VCO

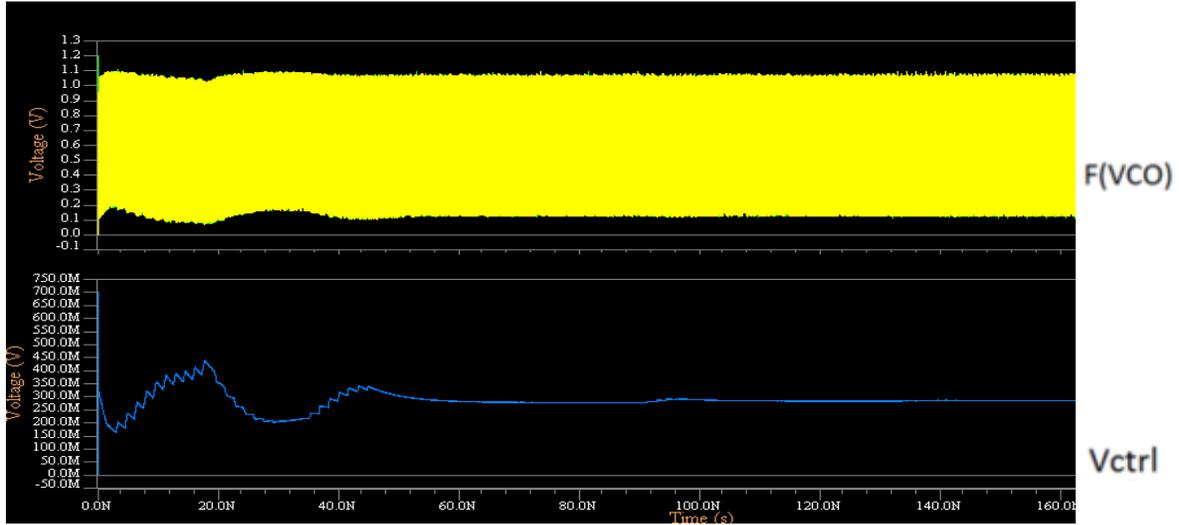


Figura 4.5. Simulación pre-layout con referencia a 625MHz. Dónde: F(VCO) es la frecuencia de salida del oscilador y Vctrl es el voltaje de control sobre el VCO

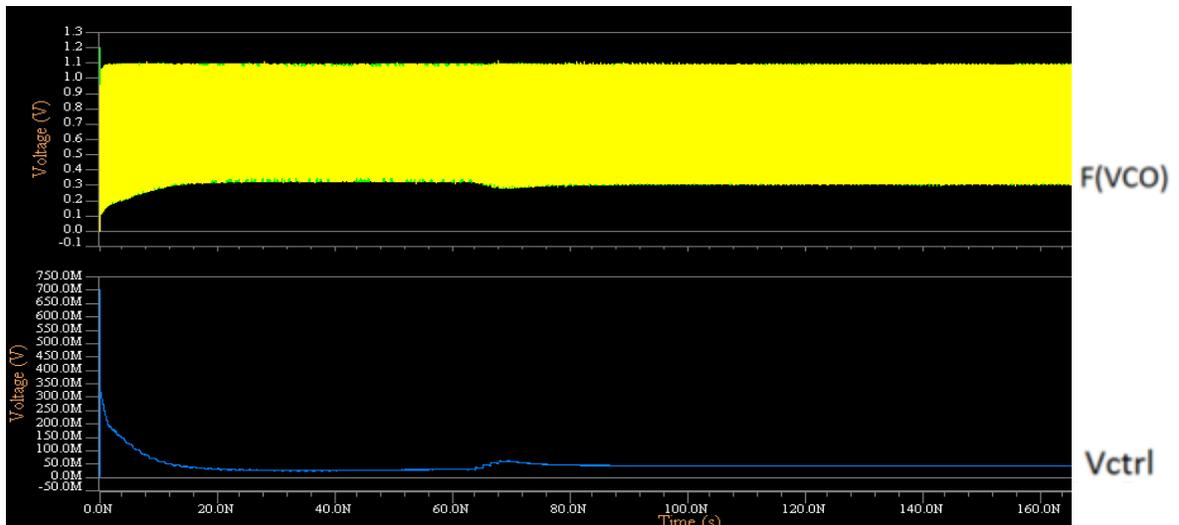


Figura 4.6. Simulación pre-layout con referencia a 750MHz. Dónde: F(VCO) es la frecuencia de salida del oscilador y Vctrl es el voltaje de control sobre el VCO

Como se observa en las figuras 4.3 y 4.4, el circuito nunca llega a compensar su salida. En relación a la entrada, una forma sencilla de darse cuenta de esto es observar el

comportamiento de la señal de control (Azul), la cual nunca logra estabilizarse en un valor definido. La razón detrás de porque el circuito no logra enganchar las frecuencias de 8GHz y 9GHz se observa en el gráfico de la figura 3.12 existe una zona no lineal en el comportamiento del oscilador, la cual ocurre exactamente antes de los 10 GHz. Por ello todas aquellas frecuencias por debajo no podrán ser enganchadas por el PLL, debido a que en el momento de realizar la compensación para ganar fase o perder fase, el voltaje aplicado en la entrada del VCO, no realiza ningún efecto en la salida del oscilador, por ello el circuito sigue acumulando fase de manera indefinida y nunca llega a estabilizar el lazo. Esto aunado al hecho de que el cambio de tensión para obtener estas frecuencias es muy pequeño y el PLL diseñado no tiene la capacidad de sintonizar frecuencias con cambios tan pequeños de tensión de entrada.

Por otro lado, las figuras 4.5 y 4.6 muestran el comportamiento de un PLL cuando logra enganchar las frecuencias. Ambos circuitos muestran un tiempo de enganche menor a los 100ns, lo cual es un tiempo mucho menor a los 500ns que se tienen como requerimiento. Es importante observar el comportamiento de la señal de control, la cual en el caso de la figura 4.5, varía de mayor manera que en la figura 4.6. Esto es debido a que 10 GHz es una frecuencia intermedia en el rango de oscilación del VCO, por ello el circuito tiene más rango de variación para ajustar las frecuencias, es decir que para ganar fase puede llegar a oscilar hasta a 12 GHz y luego bajar a 8GHz y con cada iteración reducir el valor de fase que se gana o pierde. Por ello a 10 GHz el circuito dura más tiempo hasta llegar al valor estable.

Otro elemento que es indispensable de obtener es la variación de frecuencia de salida una vez alcanzado el estado estable, la cual idealmente debe ser de cero. En la figura 4.7 se observan los valores de frecuencia obtenidos una vez alcanzado el estado estable, además la tabla 5 resume los resultados obtenidos:

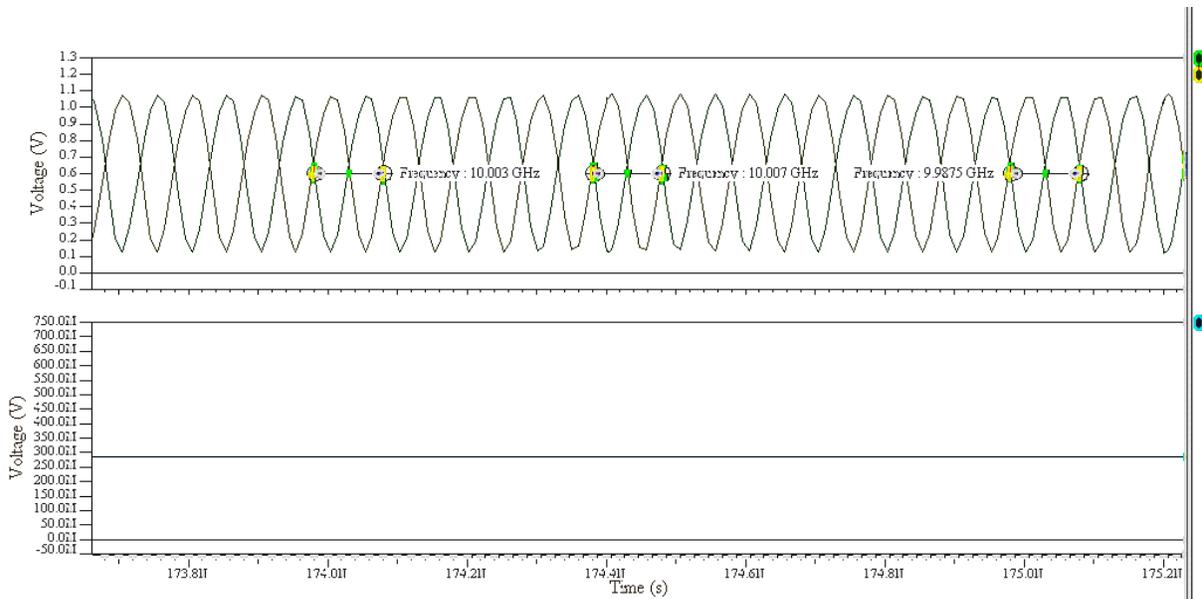


Figura 4.7. Medición pre-layout de variación de frecuencia de salida en estado estable.

Tabla 4.1. Resultados de medición pre-layout de frecuencia de salida en estado estable.

| Medición | Frecuencia (GHz) | Error (MHz) | Porcentaje de error |
|----------|------------------|-------------|---------------------|
| 1        | 10.003           | 3           | 0.03%               |
| 2        | 10.007           | 7           | 0.07%               |
| 3        | 9.9875           | 12.5        | 0.125%              |

Como se observa, en el eje x, el tiempo donde se realiza la medición son 170ns, momento donde el PLL alcanzó el estado estable. Los valores de frecuencia obtenidos se observan en la imagen anterior, lo cuales son 10.003GHz, 10.007GHz y por último 9.9875GHz. Estos se alejan del valor ideal de 10GHz que idealmente se desea obtener. Aunque su variación es muy baja, es decir 3MHz, 7MHz y 12.5MHz respectivamente que equivalen a un margen de error de menos del 1%, lo cual denota una precisión en su frecuencia de salida alta.

Los principales factores para que se dé esta variación de la frecuencia de salida son dos, el primero se debe a la división que se realiza de la señal de salida a la entrada del detector de fase, ya que la frecuencia de salida es 16 veces más alta a la de comparación. Pueden pasar 16 ciclos de reloj para la señal de salida antes de recibir la compensación por parte de la entrada; pero esto es más notorio en el transiente del circuito, donde si se dan variaciones

grandes de frecuencia antes de engancharla al valor deseado y este factor está muy ligado al siguiente; el tanque de carga o charge pump, el cual como se explicó en secciones anteriores, posee varias imperfecciones, las cuales son, diferencias entre las corrientes de UP y DN y las corrientes de fuga, por ello en ocasiones en estado estable este puede suministrar o quitar corriente al filtro variando de esta manera la tensión de control, lo que a su vez varía la frecuencia del oscilador, de allí que, como se observa en la figura 5.6 al inicio sobrepasa los 10 GHz y luego baja hasta 9.98GHz, es allí donde el lazo cerrado realiza su función de compensación y además el valor que sobrepasa la frecuencia deseada es menor al 1%. Por ello esta imperfección no tiene gran impacto en el circuito.

Una vez validado el diseño esquemático, se procedió a la integración de los elementos de layout para observar su comportamiento. El layout final del PLL se puede observar en la imagen 4.8. Además, con el fin de que el lector entienda de mejor manera la distribución del layout, la imagen 4.9 ejemplifica la ubicación de los bloques.

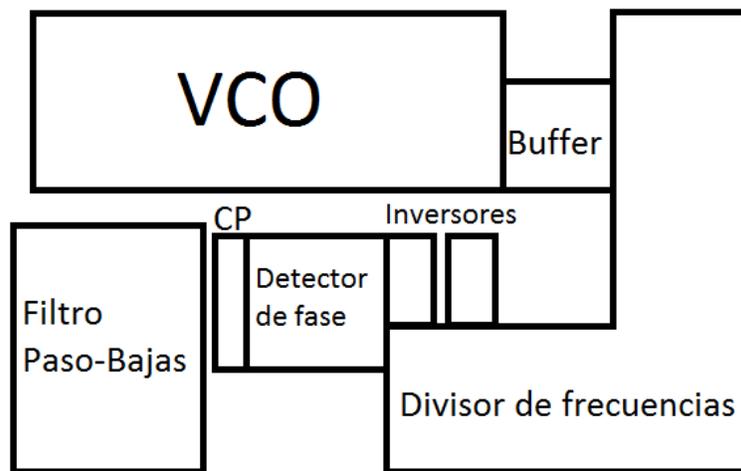


Figura 4.8. Diagrama de interconexión del PLL.

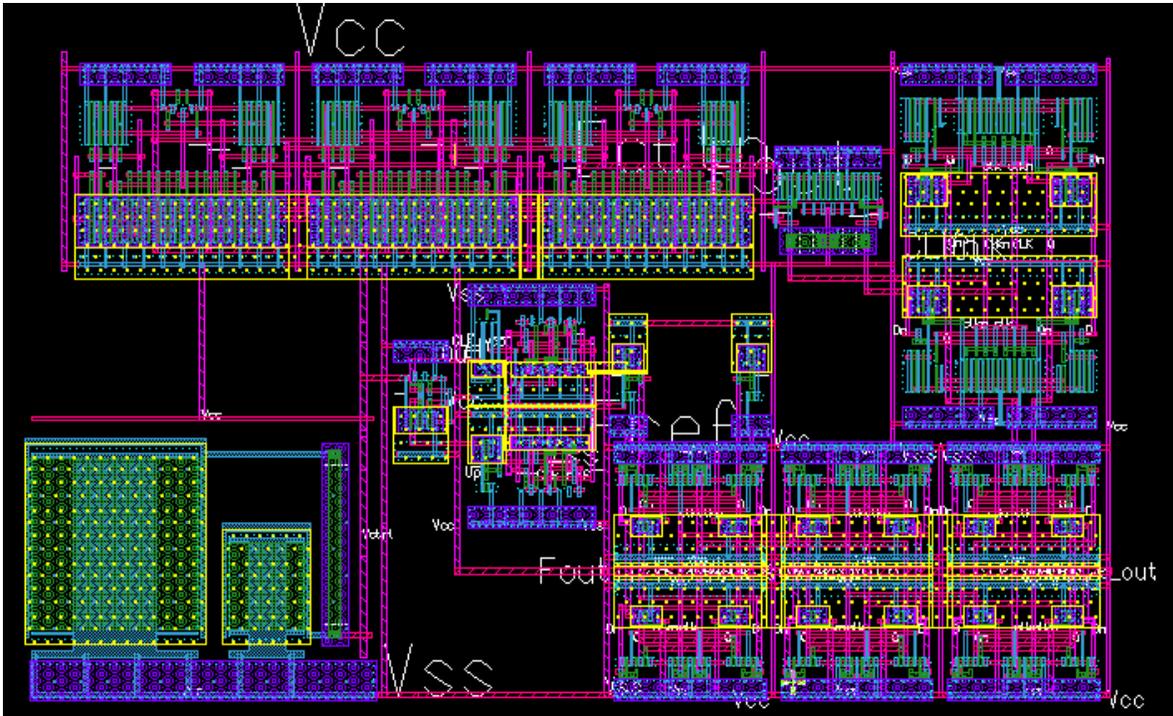


Figura 4.9. Primera versión del Layout completo del PLL.

Los factores de mayor importancia a la hora de realizar la interconexión de los elementos fueron su ubicación espacial y el ruteo de las señales de alta frecuencia, ambos se relacionan entre sí, ya que se necesita que los elementos se encuentren lo más cerca para disminuir la distancia del cable que las conectará, ya que a mayor distancia, los parásitos tendrán mayor efecto en el funcionamiento del circuito. Principalmente, para las señales de salida del oscilador, del buffer y la entrada al divisor, por ello, estos se colocaron de manera estratégica de la manera presentada en la figura 4.8. Gracias a la retroalimentación diseñando las etapas anteriores y los resultados obtenidos, en el layout, se limitó a ruteos menores a  $10\ \mu\text{m}$ , los cuales proporcionan buenos resultados en simulación post-layout.

Otro aspecto importante de mencionar son los espacios vacíos en el circuito, los cuales deben ser rellenos con metales, esto es un elemento obligatorio para la fabricación del chip, y proporciona una mejor elaboración de las capas metálicas en el circuito integrado en la manufactura del mismo.

Para el circuito de medición, se utiliza el mismo de la figura 4.2 y se prueba con una tensión de alimentación de 1.2V. Primero se prueba a 10GHz que es la frecuencia de interés que se

desea alcanzar en el circuito, por ello esta es la primera que se desea observar si el PLL logra hacer enganche en estas condiciones.

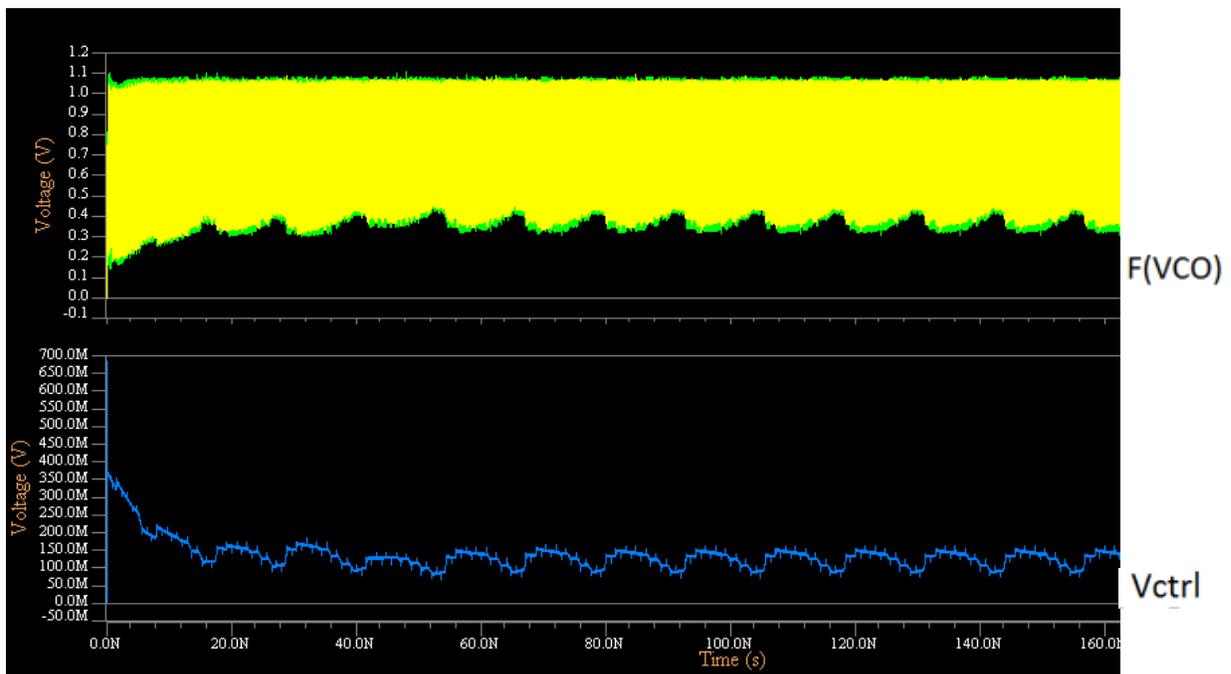


Figura 4.10. Simulación pre-layout con referencia a 625MHz ( $V_{cc}=1.2V$ ). Dónde:  $F(VCO)$  es la frecuencia de salida del oscilador y  $Vctrl$  es el voltaje de control sobre el VCO

Como se observa en la figura 4.10, el circuito no puede enganchar los 10GHz de la señal de referencia, claramente la señal de control nunca llega a estabilizarse a un valor de tensión, por ello se observan los rizos de tensión. Realizando un análisis en la simulación se determina la frecuencia máxima que el oscilador está alcanzando y esta es de 8.8GHz, lo cual aclara por qué el circuito no está enganchando los 10 GHz, ya que no puede llegar a esta frecuencia con la simulación post-layout a 1.2V.

La siguiente prueba es determinar si el circuito puede hacer enganche de frecuencia a 8.5GHz, para ello se vuelve a simular con las mismas condiciones y los resultados obtenidos son los de la figura 4.11.

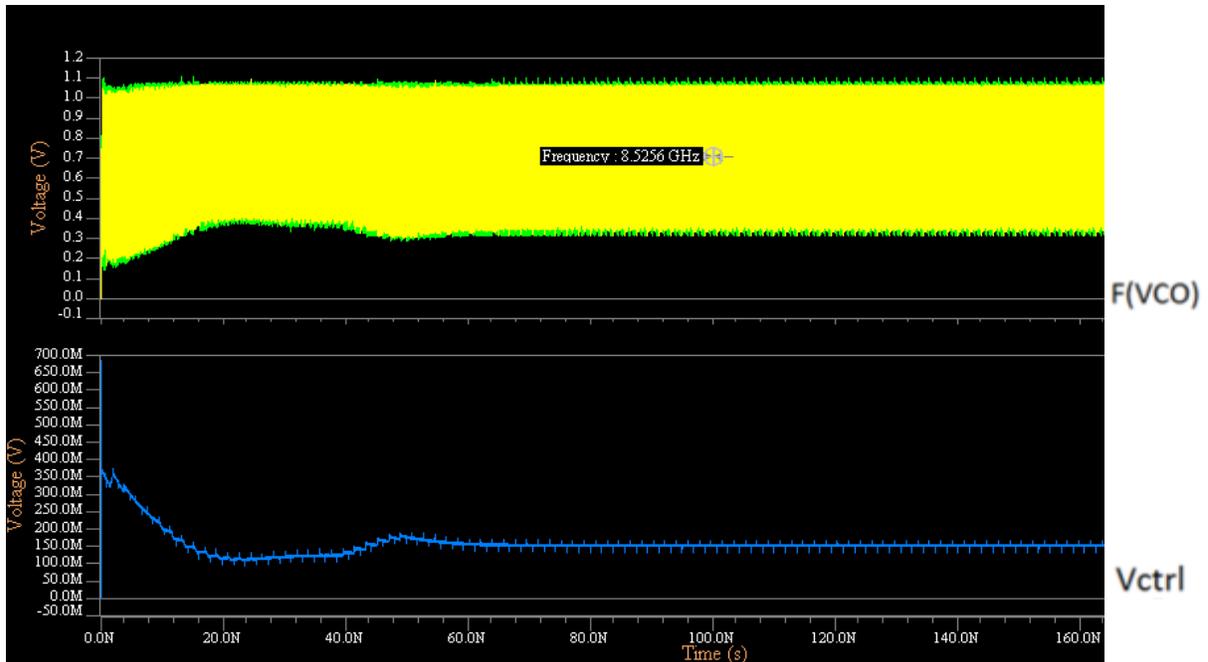


Figura 4.11. Simulación post-layout con referencia a 531.25MHz ( $V_{cc}=1.2V$ ). Dónde:  $F(VCO)$  es la frecuencia de salida del oscilador y  $Vctrl$  es el voltaje de control sobre el VCO

El circuito si logra enganchar la frecuencia de 8.5GHz en la simulación, lo cual permite obtener un mejor panorama de lo que puede estar sucediendo en el circuito. El primer aspecto que revela la simulación anterior es el hecho de que los elementos del circuito si funcionan una vez integrados y con parasíticos extraídos. Ahora se tienen dos teorías de no enganchar los 10 GHz, una de ellas es que los parasíticos a frecuencias aún más altas generen capacitancias que no permitan un acople correcto entre el divisor y el buffer o que esto sean tan grandes que limiten el ancho de banda del oscilador, si este es el problema, se debe realizar un re-ruteo de las señales y/o reacomodo de las celdas en el layout; la siguiente teoría es que la red de alimentación del circuito sea muy pobre y que los elementos no obtengan a su entrada los 1.2V requeridos para poder conmutar de manera correcta. La tecnología utilizada para el diseño en su manual de diseño explica que estos transistores pueden ser alimentados hasta con 1.4V, por lo que se realiza una simulación con una tensión de alimentación de 1.4V y los resultados obtenidos se observan en la figura 4.12, haciendo realizando un enganche de frecuencia a 10GHz.

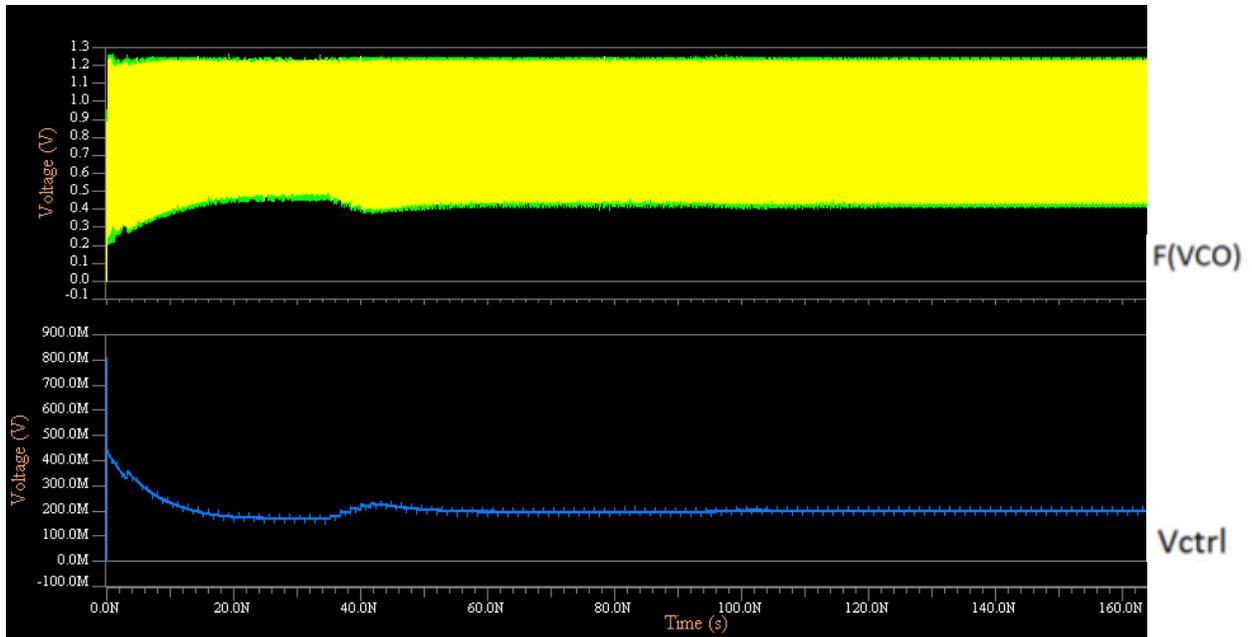


Figura 4.12. Simulación post-layout con referencia a 625MHz ( $V_{cc}=1.4V$ ). Dónde:  
 $F(VCO)$  es la frecuencia de salida del oscilador y  $Vctrl$  es el voltaje de control sobre el  
 VCO

Para este caso particular, el sistema si logra enganchar la fase y frecuencia de la señal de referencia en 10 GHz aproximadamente en 100ns, lo que indica que el problema es la red de distribución de la alimentación en el circuito, la cual en 1.2V no es suficiente para que todos los elementos reciban la cantidad adecuada a su entrada. Sin embargo, cabe destacar que el uso de 1.4V es funcional, pero se trabaja el circuito en un punto menos conveniente donde se debe tener cuidado con picos de voltaje que se puedan generar al momento de apagar o encender la alimentación del circuito, que podrían dañar los transistores. Por ello si se desea utilizar este valor de tensión, deberán colocarse protecciones contra esto, o la otra opción es estandarizar y mejorar la red de distribución de alimentación en el circuito, de manera que esta provea a los distintos elementos la tensión requerida. Más adelante se muestra como mejorar el diseño de la red de alimentación.

El siguiente paso es determinar en qué rangos de frecuencia el circuito puede trabajar para ello nuevamente se realizan dos simulaciones una a 8.5GHz y otra a 11GHz como se observa en las figuras 4.13 y 4.14.

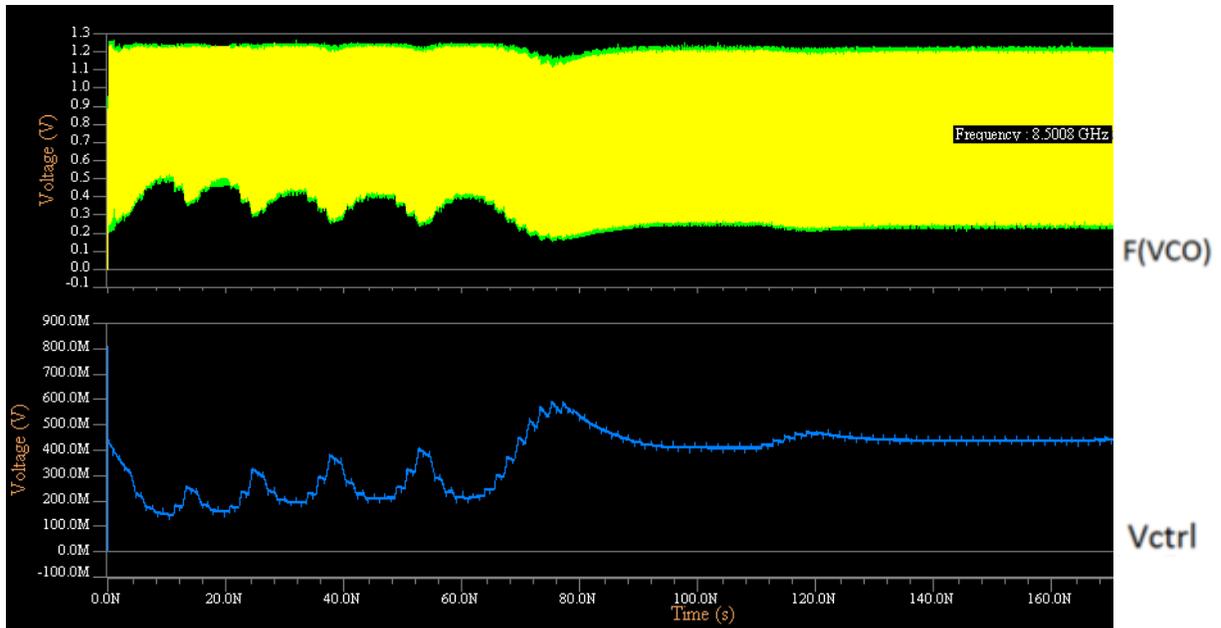


Figura 4.13. Simulación post-layout con referencia a 531.5MHz ( $V_{cc}=1.4V$ ). Dónde:  $F(VCO)$  es la frecuencia de salida del oscilador y  $Vctrl$  es el voltaje de control sobre el VCO

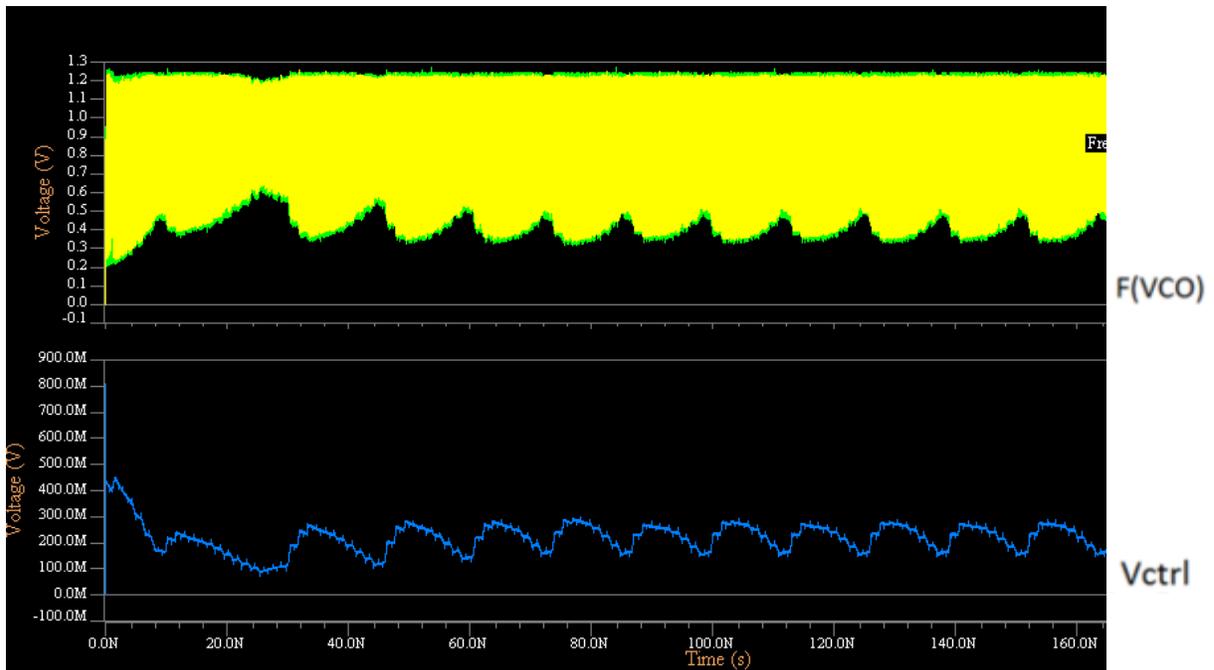


Figura 4.14. Simulación post-layout con referencia a 687.5MHz ( $V_{cc}=1.4V$ ). Dónde:  $F(VCO)$  es la frecuencia de salida del oscilador y  $Vctrl$  es el voltaje de control sobre el VCO

Las simulaciones anteriores muestran como el circuito puede realizar enganche de 8.5GHz pero no así de 11GHz, si se observa la figura 4.11, la frecuencia máxima a la que oscila el circuito es de 10.346GHz, por ello es que no se puede hacer un enganche a 11GHz, obteniendo de esta manera a que el rango de operación del PLL a nivel de layout es de 8.5GHz hasta los 10GHz, con lo cual aún se encuentra dentro del rango deseado y requerido para su implementación. Otro aspecto importante se observa en la figura, donde el circuito alcanza el estado estable a los 120nS aproximadamente, lo cual es un tiempo pequeño y demuestra la rapidez del lazo para compensar su salida.

La última simulación a realizar al igual que con el circuito esquemático es la medición de la variación de la frecuencia de salida, la cual se observa en la figura 4.15 y sus resultados se resumen en la tabla 6:

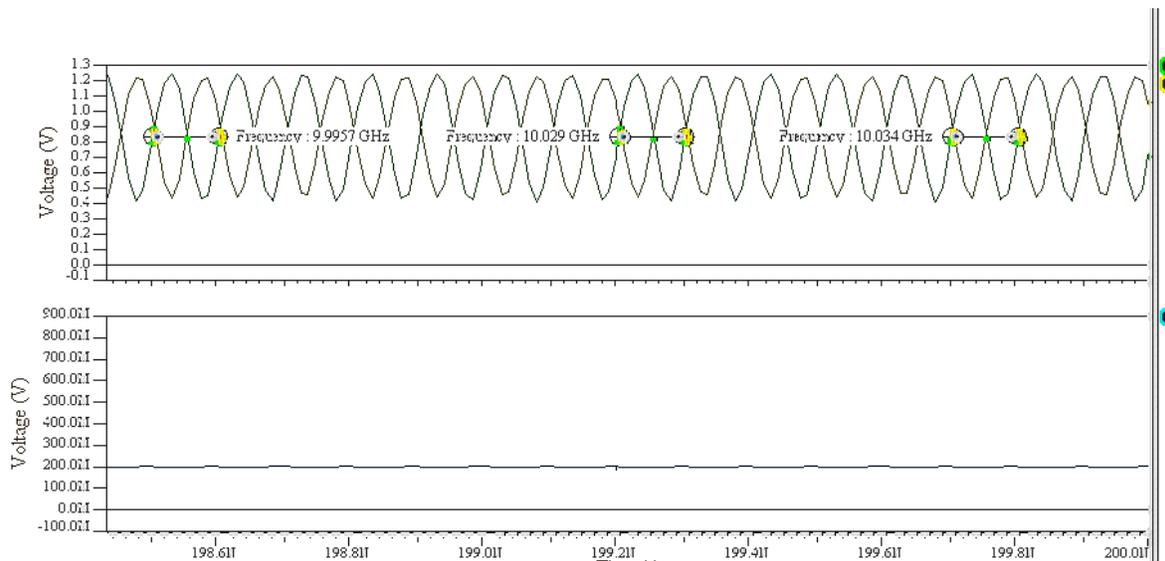


Figura 4.15. Medición post-layout de variación de frecuencia de salida en estado estable.

Tabla 4.2. Resultados de medición post-layout de frecuencia de salida en estado estable.

| Medición | Frecuencia (GHz) | Error (MHz) | Porcentaje de error |
|----------|------------------|-------------|---------------------|
| 1        | 9.9957           | 4.3         | 0.043%              |
| 2        | 10.029           | 29          | 0.29%               |
| 3        | 10.0034          | 34          | 0.34%               |

Nuevamente se observa como a pesar de que el valor de la variación no es cero, el porcentaje de error se mantiene aún menor al 1%, lo cual nuevamente ejemplifica que el valor alcanzado por el PLL tiene una precisión muy alta y, por último, entre la simulación en esquemático y layout no se nota una degradación en este aspecto.

Para bajar la tensión de alimentación del PLL a nivel de layout, como se menciona anteriormente, se debe mejorar la red de alimentación del circuito, para ello se utilizan celdas de llenado conectadas a Vcc desde el sustrato, Nwell, hasta el metal que se desea y por otro lado desde Vss desde sustrato hasta el metal requerido. Dichas celdas se encuentran en una biblioteca en el servidor de la Escuela de Electrónica creadas por el Ingeniero Jose Miguel Barboza.

El primer paso en el rediseño fue reacomodar la celda, de división e tensión y validarla nuevamente, el resultado de esta redistribución se muestra en la figura 4.16.

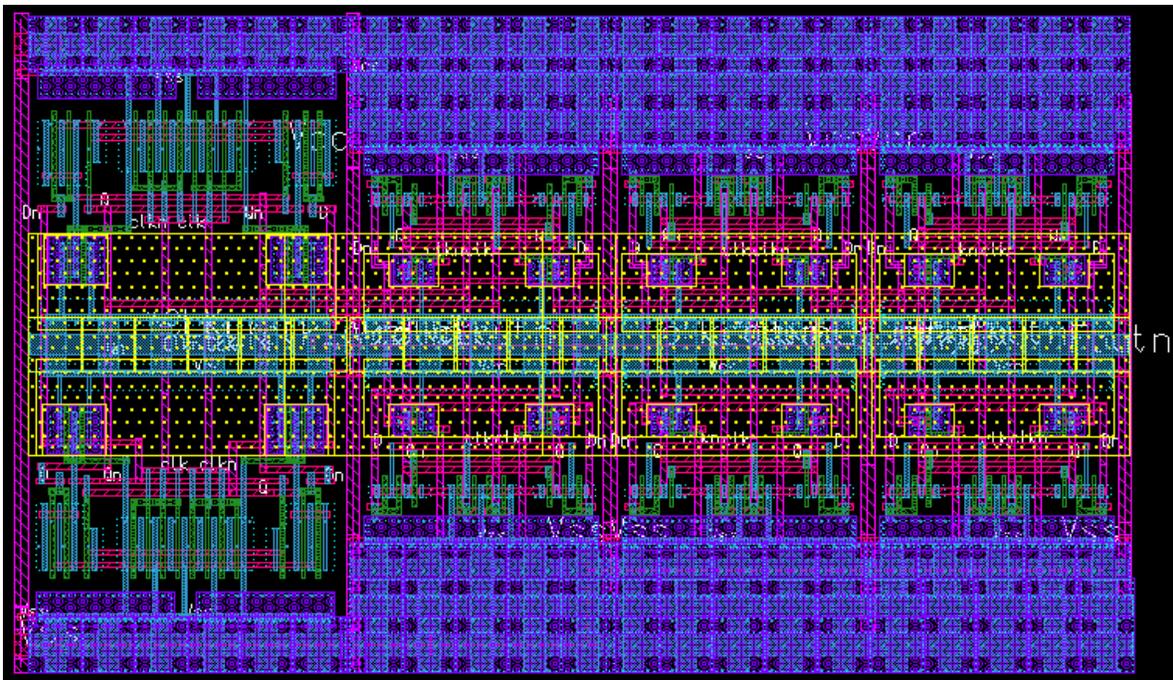


Figura 4.16. Divisor de frecuencias rediseñado.

A principal diferencia con respecto a la figura 3.32, es el acomodo del divisor de alta frecuencia (izquierda), ahora todas las celdas se encuentran en línea recta, lo que favorece la simetría y además la distribución de alimentación en el layout, al encontrarse todos los Nwell unidos, las celdas de llenado son las que se ubican en zonas donde no existen transistores o

ruteos de interconexión. El divisor de frecuencia fue el único que recibió un rediseño de entre todos los elementos del PLL.

Una vez validada la celda anterior, se interconectaron las celdas de forma diferente en comparación al diagrama de la figura 4.8, con la intención de obtener una mayor simetría en el bloque para redistribuir la tensión de poder, el diagrama de la figura 4.17 muestra la nueva distribución de los elementos del PLL y en la figura 4.18 se observa el layout final implementado en Mentor Graphics.

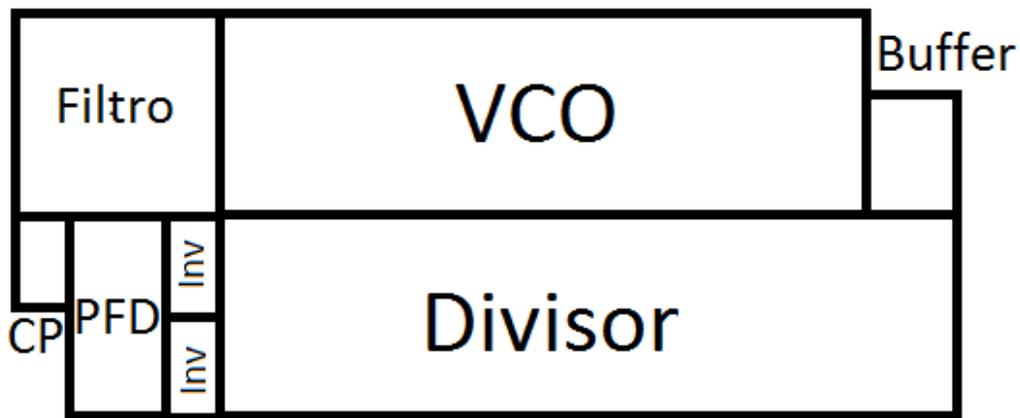


Figura 4.17. Diagrama de interconexión del PLL

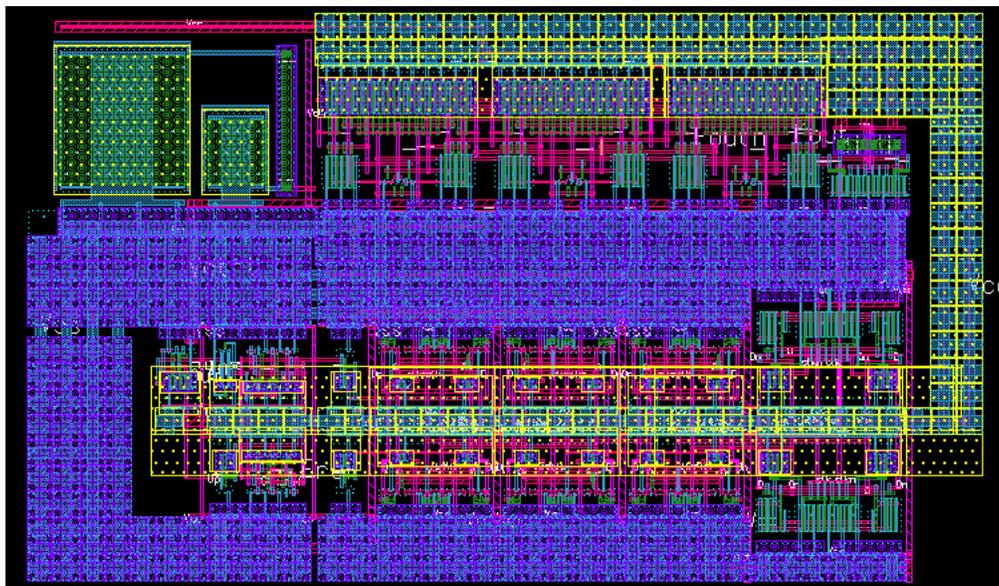
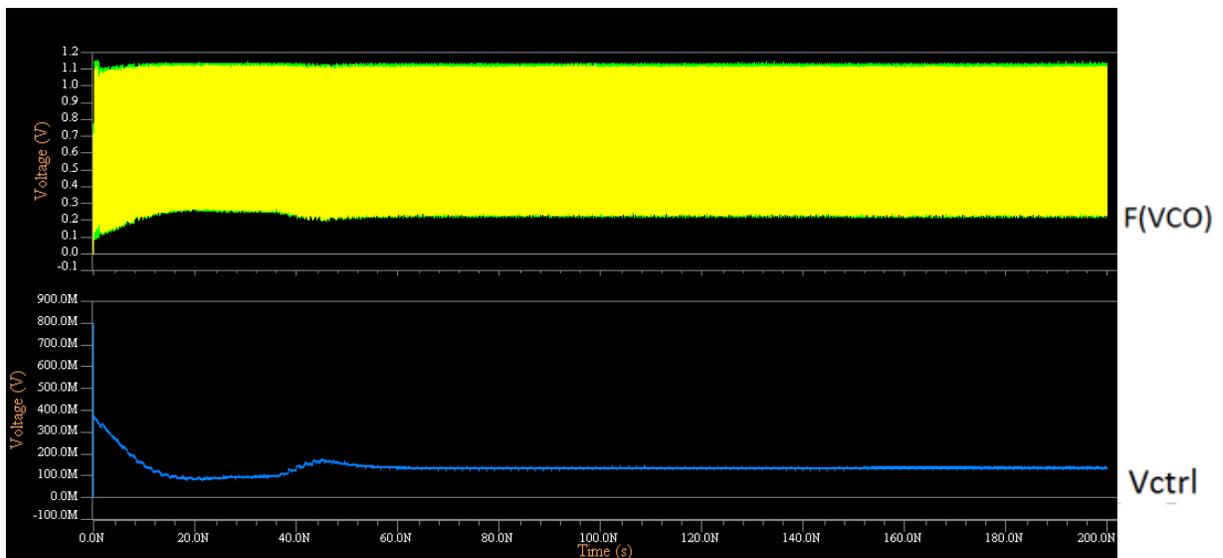


Figura 4.18. Layout del PLL rediseñado y con celdas de relleno. Dimensiones:  $74.56 \mu\text{m}^2 \times 44.45 \mu\text{m}^2$

En comparación a la figura 4.9, se observa una mejoría en la simetría de circuito, ya que se mejora la relación de aspecto del bloque total, además las redes de alimentación y tierra son de mayor tamaño, de esta manera se reduce la resistividad y la caída de tensión en general en esta red, problema que se tenía en la anterior implementación.

El siguiente paso es la validación del circuito, la cual se realizó con una tensión de alimentación de 1.25V, es decir 150mV por debajo del diseño anterior, para esto, utilizó una señal de referencia de 625 GHz, con la cual el PLL debe entregar a su salida en estado estable 10GHz. La figura 4.19(a) muestra el resultado de la simulación y la figura 4.19 (b) muestra el valor de la frecuencia una vez que se realiza el enganche de frecuencia.



(a)

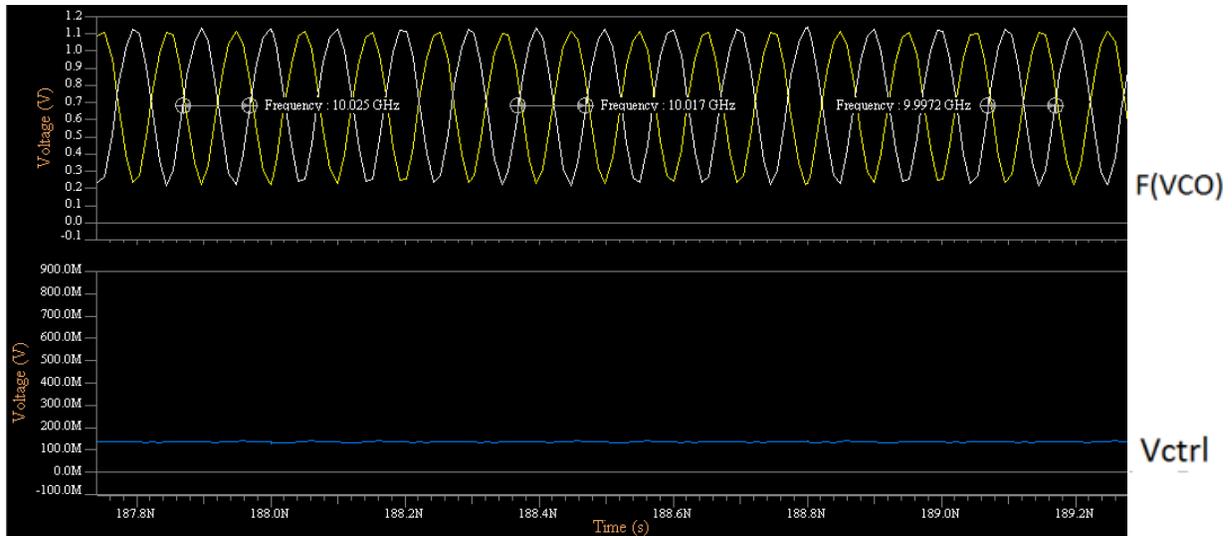
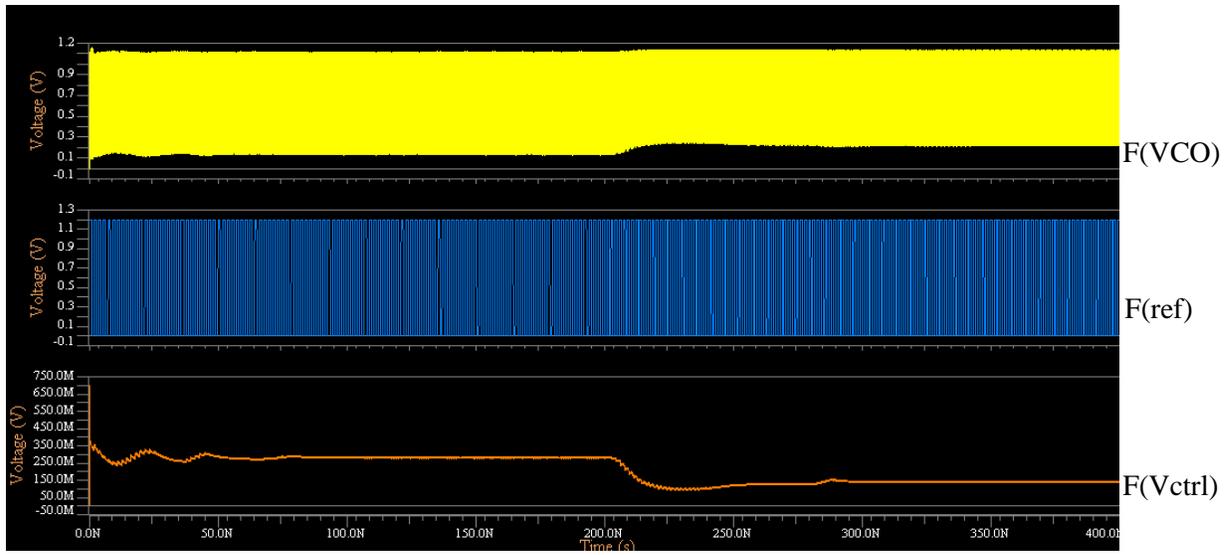


Figura 4.19. Simulación post-layout del PLL mejorado a 1.25V de alimentación con señal de referencia a 625 MHz. (a) Transciente del PLL (b) Frecuencia en estado estable.

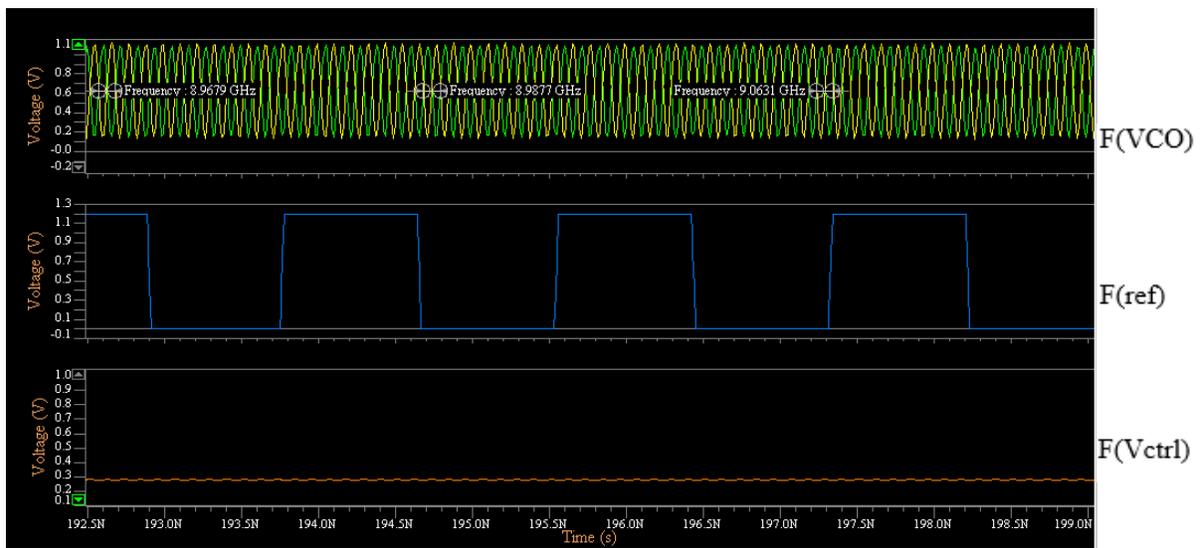
Se observa en la figura 4.19(a), como el circuito es capaz de realizar el enganche de los 10 GHz en menos de 150 ns además, la figura 4.19 (b) muestra como la frecuencia final de salida posee un porcentaje de error menor al 1%, conservando la precisión del diseño anterior. Gracias a esta mejora, el circuito es capaz de funcionar en un punto donde los transistores no se someten a condiciones de trabajo que los puede dañar de manera más fácil con algún pico de tensión.

Una última simulación se realiza, y esta es someter el PLL en estado estable a un cambio en la frecuencia de referencia para observa si este es capaz de realizar la compensación y operar en la nueva frecuencia de referencia. El circuito de medición es el mismo utilizado en las anteriores, únicamente se varía la frecuencia de referencia de entrada.

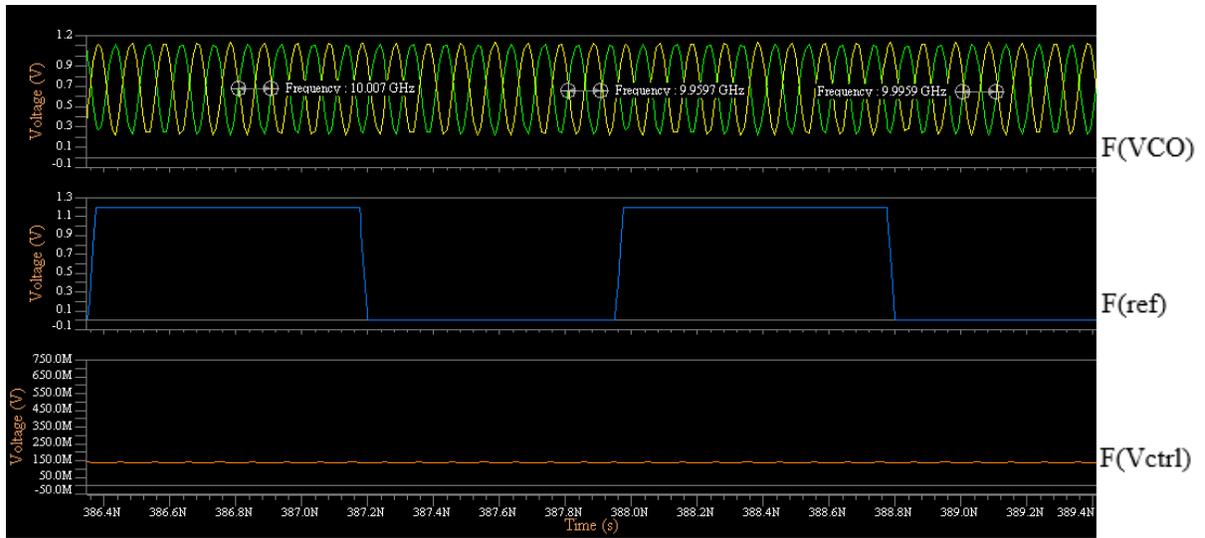
Las figuras 4.20 y 4.21 muestran los resultados de esta simulación, donde a los 200ns se realiza el cambio de frecuencia, las señales presentes en la simulación son la frecuencia de salida del VCO, la señal de referencia y la tensión de control sobre este.



(a)

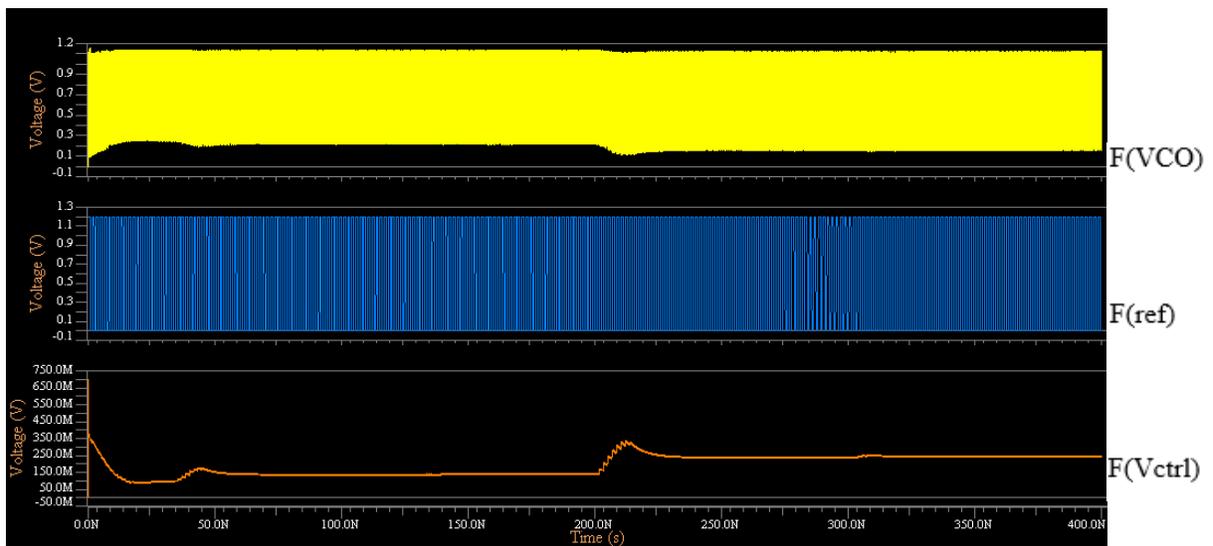


(b)

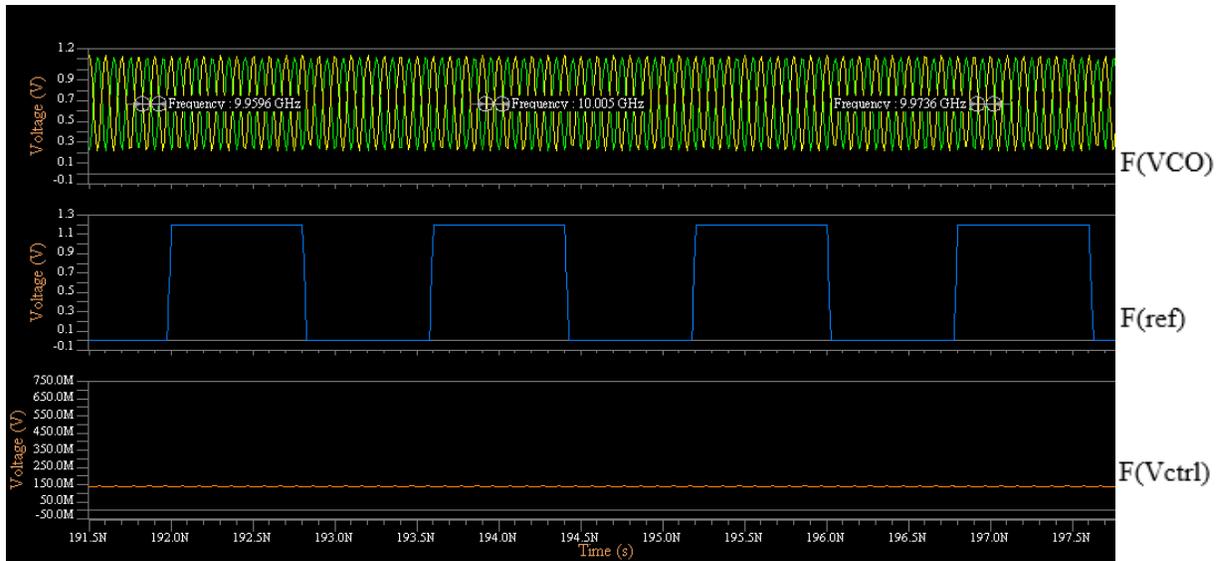


(c)

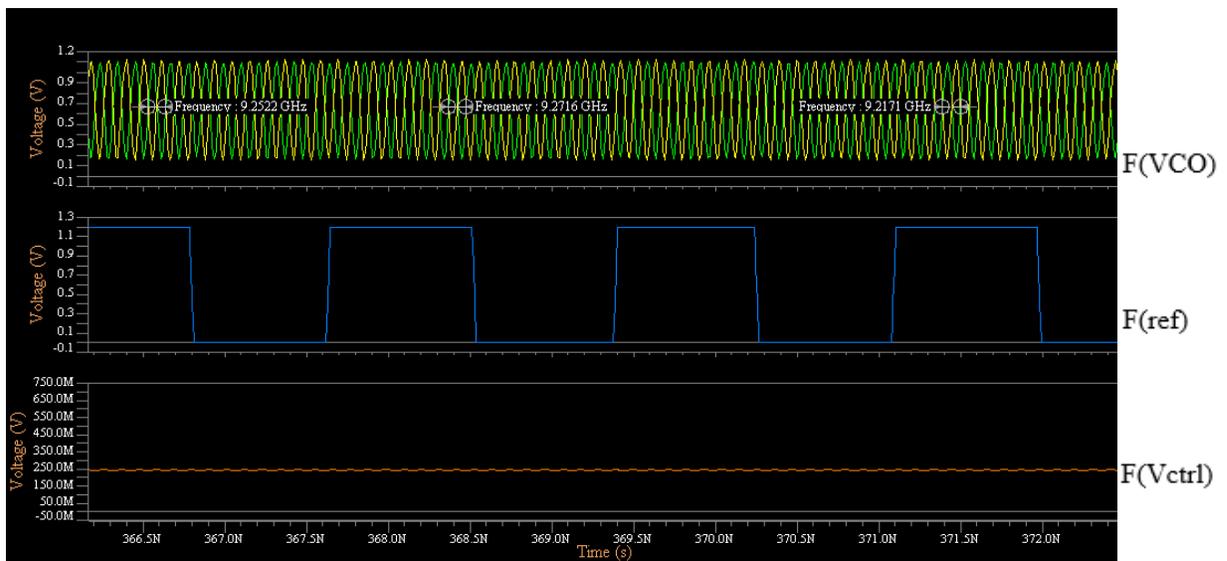
Figura 4.20. Simulación post-layout de cambio de frecuencia de salida de 9 a 10 GHz. (a) Comportamiento completo (b) Frecuencia en estado estable antes del cambio de frecuencia (9 GHz). (c) Frecuencia en estado estable después del cambio de frecuencia (10 GHz).



(a)



(b)



(c)

Figura 4.21. Simulación post-layout de cambio de frecuencia de salida de 10 a 9 GHz. (a) Comportamiento completo (b) Frecuencia en estado estable antes del cambio de frecuencia (10 GHz). (c) Frecuencia en estado estable después del cambio de frecuencia (9.2 GHz).

Como se observa, el circuito es capaz de realizar compensación ante cambios en su señal de referencia, tanto de 9 a 10 GHz y al contrario en alrededor de 100ns, este tipo de simulación es de suma importancia para el proyecto planteado, ya que el lector recordará que el circuito

integrado final debe someter a las muestras a frecuencias desde lo kHz hasta los 10GHz y validar que este PLL puede realizar compensación ante este tipos de cambio es de suma importancia.

Para finalizar, la siguiente tabla muestra una comparación entre los circuitos PLL a nivel de esquemático y a nivel de layout.

Tabla 4.3. Comparación de circuito esquemático y layout del PLL a 10GHz

| Característica            | Esquemático | Layout             | Layout Mejorado     |
|---------------------------|-------------|--------------------|---------------------|
| <b>Alimentación</b>       | 1.2V        | 1.4V               | 1.25V               |
| <b>Potencia</b>           | 10.8mW      | 16.8mW             | 14.33mW             |
| <b>Rango de operación</b> | 10GHz-12GHz | 8.5GHz-10GHz       | 8.5GHz-10GHz        |
| <b>Área</b>               | N/A         | 2.5mm <sup>2</sup> | 3.28mm <sup>2</sup> |

Con esta comparación queda claro que, con el aumento de voltaje, el consumo de potencia aumenta de forma significativa en el circuito. Por último, el aspecto que tuvo un mayor cambio con la adición de los parasíticos fue la frecuencia de operación, la cual bajo de forma considerable, pero aún se mantiene dentro del rango que se desea para el circuito integrado a realizar.

En cuanto al área del circuito se mantiene dentro por debajo del valor máximo requerido para el chip, mostrando que el circuito del PLL puede ser implementado en la tecnología IBM8 RF, dentro de los requerimientos expuestos en secciones anteriores

## Capítulo 5: Conclusiones y Recomendaciones

Para finalizar el presente trabajo se resumen los resultados finales del proyecto y se contrastan con los objetivos planteados al inicio. Por último, se dan una serie de recomendaciones en caso de que se desee realizarle mejoras o utilizar el bloque para otras aplicaciones.

### Conclusiones

En este trabajo se realizó exitosamente el diseño y validación de un PLL a nivel esquemático y con su diseño físico (layout), cumpliendo con las reglas de diseño de la tecnología CMOS IBM 8RF y utilizando como herramienta de diseño el entorno de Mentor Graphics. Un aspecto importante fue el diseño de un oscilador controlado por tensión a nivel de esquemático es capaz de sintonizar su frecuencia desde los 8GHz hasta los 13GHz y su implementación en layout trabaja de 6 a 11GHz, obteniendo de esta manera un rango de 5GHz para sintonizar su frecuencia. Dado que el circuito llega a una frecuencia máxima de 11GHz en simulaciones poslayout, se cumple con el requisito que es alcanzar los 10GHz. La frecuencia de trabajo de los elementos digitales del circuito sobrepasa 1GHz, pero para obtener una mejor estabilidad en el sistema, se bajó la misma a 750MHz, de manera que los elementos conmutaran de manera correcta.

En cuanto al circuito final del PLL tanto a nivel de esquemático como layout, este logra llegar a su valor estable de acuerdo a la referencia en su entrada en menos de 120nS, momento en el cual se asegura que la frecuencia de salida es la deseada por el usuario. También, el circuito del PLL a nivel de esquemático puede realizar enganches de frecuencia desde los 10GHz hasta los 12GHz a 1.2V, mientras que a nivel de layout lo hace desde los 8.5GHz, hasta los 10GHz a 1.4V. La necesidad de incrementar el voltaje para la simulación con el circuito con elementos parasíticos se puede deber a una alta resistencia de la distribución de poder, pero luego de implementar una serie de mejoras a esta el circuito puede realizar enganche de frecuencia a 1.25V, disminuyendo el consumo de potencia, pero incrementando el área del mismo.

En cuanto al área que abarca el circuito del PLL, se requiere un área de  $3.28\text{mm}^2$ . Comparado al área total disponible para el circuito integrado, que se estima en  $4\text{mm}^2$  por razones de costo, es claro que el PLL abarcaría una gran porción del área., Esto puede provocar problemas de espacio al no cumplir con el valor máximo de cuatro milímetros cuadrados y para poder realizar un análisis de potencia. Este es un asunto que se deberá analizar a futuro al integrar el diseño con otras etapas.

## Recomendaciones

Como se mencionó en secciones anteriores, este circuito es la primera versión que se realiza, por ello se pueden realizar mejoras al circuito para etapas posteriores, a partir de la retroalimentación obtenida en el presente proyecto. Para poder reducir la tensión de alimentación del circuito aún más, se debe mejorar la red de distribución de la misma en el circuito, de esta manera también se reduce la potencia que consume y los transistores no se fuerzan a trabajar en condiciones extremas de trabajo.

Para obtener aún mayor precisión a la salida del circuito, se requiere el diseño de un tanque de carga más complejo, donde este pueda suministrar igual cantidad de corriente en cada rama, sin importar cambios en los transistores durante la fabricación. Unido a lo anterior, la presencia de una señal de referencia de gran precisión es requerida, para que esta no varíe su valor en el tiempo y que el circuito no deba realizar conmutaciones una vez llegado al estado estable.

Para poder realizar una arquitectura más autónoma de PLL, como la propuesta en la Arquitectura 3 en secciones anteriores, se debe diseñar un divisor programable y su respectivo protocolo de comunicación. Dicha sección se puede colocar como una expansión a la actual, en lugar de rediseñar todo el circuito nuevamente.

La implementación del filtro también se puede hacer con implementaciones más adecuadas para tecnología CMOS, como implementaciones Gm-C, que además pueden resultar en áreas menores a las obtenidas.

Para finalizar, uno de los aspectos más importantes en la integración final del circuito, es el área abarcada por el circuito y la ubicación espacial de los elementos dentro del mismo, se

debe realizar una optimización de esto para logra, minimizar el área y también obtener una estandarización en las celdas y colocar cada una de ellas de una forma preestablecida para facilitar la integración del PLL con las demás etapas. Una de estas mejoras podría ser colocar todas las redes de Vcc y Vss en orden alternado, facilitando el llenado y la distribución de la alimentación.

## Capítulo 6: Referencias

1. AEC contra el cáncer. ¿Cómo se diagnóstica? Actualizado: 1 de octubre de 2015. Recuperado de: <https://www.aecc.es/sobreelcancer/elcancer/paginas/comosediagnostica.aspx>
2. Bin. F, Yanqiang. L. Yujie. D. Q, Lu Y. Southeast University, Nanjing. China. Instituto de RF-&OE-ICs, Escuela de Información de la Ciencia e Ingeniería. Escuela de Circuitos Integrados. Xiangning. A High Speed Frequency Divider in 0.18 $\mu$ m CMOS for Wireless Sensor Networks. Publicado en 2012
3. Cao C. k. Kenneth. A Power Efficient 26-GHz 32:1 Static Frequency Divider in 130-nm Bulk CMOS. IEEE microwave and wireless components letters, vol. 15, no 11.
4. Chow. H, Yeh. N. Universidad de Chang Gung. Departamento e Instituto Graduado de Ingeniería Electrónica. A New Phase-Locked Loop with High Speed Phase Frequency Detector. Publicado en: 2005
5. Christoffers. N, Lerch. R, Hosticka. B, Kolnsberg. S, Kokozinski R. Fraunhofer Institute for Microelectronic Circuits and Systems Finkenstraße 61 47058 Duisburg. Germany. Performance estimate for high speed CMOS-current-mode-logic circuits based on output voltage swing considerations. Publicado en: 2005.
6. Edraw Max (Versión 4.5) “Software”. (2009). Obtenido de: <https://www.edrawsoft.com/>.
7. Eken. Y, Uyemura. J, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 39, NO. 1. A 5.9-GHz Voltage-Controlled Ring Oscillator in 0.18- $\mu$ m CMOS. Publicado en Enero 2004.

8. Gantt Project (Versión 2.7.1) “Software”. (2015). Obtenido de: <http://www.ganttproject.biz>.
9. Golombek. M. A, Riedel. C. H, and Dössel. O. Calculation of the dielectric properties of biological tissue using simple models of cell patches. Biomedical Engineering / Biomedizinische Technik. Volumen 45. Publicado: Enero 2002. Recuperado de: <http://www.degruyter.com/view/j/bmte.2002.47.issues1a/bmte.2002.47.s1a.253/bmte.2002.47.s1a.253.xml>
10. Grenier. K, Dubuc, D. Tong Chen, Francois Artis, Thomas Chretiennot, et al. Recent Advances in Microwave-based Dielectric Spectroscopy at the Cellular Level for Cancer Investigations. IEEE Transactions on Microwave Theory and Techniques, Institute of Electrical and Electronics Engineers (IEEE), 2013, 61 (5), pp.2023-2030.
11. Hati. M, Bhattacharyya T. Centro de Desarrollo de Tecnología Avanzada. Kharagpur, India. A PPD and Charge Pump Switching Circuit to Optimize the Output Phase Noise of the PLL in 0.13-um CMOS.
12. Hernández-Cabrera F. Universidad autónoma de Nuevo León. Facultad de Ingeniería Mecánica y Eléctrica. División de Estudios de Posgrado. Caracterización de la sangre por espectroscopia de impedancia eléctrica. Medición de la Difusividad térmica del suero. Publicación: Mayo 2012. Recuperado de: <http://cdigital.dgb.uanl.mx/te/1020146699/1020146699.PDF>
13. Hsieh. M, Sobelman G. University of Minnesota. Department of Electrical and Computer Engineering. Comparison of LC and Ring VCOs for PLLs in a 90 nm Digital CMOS Process. Publicado en: 2006 Recuperado de: [http://www-mount.ece.umn.edu/~sobelman/papers/mthsieh\\_isocc06.pdf](http://www-mount.ece.umn.edu/~sobelman/papers/mthsieh_isocc06.pdf)

14. Liang. J, Zhou. Z, Han. J, Elliot. D. A 6.0-13.5 GHz Alias-Locked Loop Frequency Synthesizer in 130 nm CMOS. Publicado en: 2013 Recuperado de: <http://www.ece.ualberta.ca/~jhan8/publications/Alias-LockedLoop-final.pdf>
15. Majeed. K, Kailath. B. Procedia Engineering. International Conference on DESIGN AND MANUFACTURING, IConDM 2013. A Novel Phase Frequency Detector for a High Frequency PLL Design.
16. Perrot M. Phase-Locked Loops and Their Applications Day 2, PM Lecture. Basic Building Blocks (Part II) High Speed Frequency Dividers, Phase Detectors, Charge Pumps, and Loop Filter Design. Publicado: 12 de Agosto de 2008.
17. Prada-Rojas. J. Technische Universität Hamburg-Harburg, Institut für Nanoelektronik. Design of a wide tuning-range CMOS 130-nm quadrature VCO for cell impedance spectroscopy. Master tesis Work.. Publicado: Julio 2014.
18. Razavi Behad. (2012). RF Microelectronics. Segunda Edición. Estados Unidos: Prentice Hall.
19. Schober. S, Choma. John. Universidad de Carolina del Sur. Departamento de ingeniería Eléctrica. Ming Hsieh. A Charge Transfer-Based High Performance, Ultra-Low Power PLL Charge Pump. Los Angeles, California, U.S.A.
20. Villa-García. M, Pedroza-Islas R, San Martin-Martínez E y Aguilar-Frutis M. Espectroscopia de Impedancia: Un método rápido y eficiente de para el monitoreo y crecimiento de: Lactobacillus acidophilus. Revista Mexicana de Ingeniería Química. Volumen 12. Publicado el: 28 de febrero de 2013. Recuperado de: <http://www.redalyc.org/pdf/620/62028007006.pdf>

21. What-when-how. Circuit Design (GPS) Part 7. Recuperado de: <http://what-when-how.com/gps-galileo-dual-rf-front-end-receiver-and-design-fabrication-and-test/circuit-design-gps-part-7/>
22. Weste. N, Harris. D. CMOS VLSI Design. A circuits and systems perspective. Cuarta edición. Addison-Wesley.
23. Yang. J, Shi. J, Ma. P, Zhang. S. School of Microelectronics, Xidian University, Xi'an 710071, China. A wide band and high speed frequency divider. Publicado en 2014.
24. Zhiqun. L, Shuangshuang. Z, Ningbing H. Design of a high performance CMOS charge pump for phase-locked loop synthesizers. Journal of semiconductor. Vol 32, No 7. Published date: July 2011

## Capítulo 7: Apéndices

### Apéndice A. Dimensionamiento del Filtro Paso Bajo

Para el cálculo del filtro paso bajo, se basó en las ecuaciones (2.11) y (2.12). Para esto, en primera instancia se deben realizar algunas iteraciones para determinar un valor de corriente, el cual permita obtener valores de capacitancias que sean integrables para la tecnología en uso. Dicha corriente se determinó, luego de varias iteraciones en  $I_p = 66\mu A$ , de la tabla 3, se obtiene el valor de la ganancia del oscilador ( $K_{vco} = -9.1 \text{ GHz/V}$ ), valores que luego serán utilizados.

Según lo detallado en (Razavi. B. RF Microelectronics, Cap 9), dos ecuaciones más se necesitan para iniciar los cálculos.

$$\zeta = 1 \quad (A.1)$$

$$2.5 \omega_n = \frac{\omega_{in}}{10} \quad (A.2)$$

El valor de  $\omega_{in}$ , se refiere al valor máximo al cual se realizará la comparación de fase de ambas señales, para este caso 750MHz, ya que  $(12\text{GHz} \div 16)$ , con esto iniciamos los cálculos.

De la ecuación A.2 se obtiene:

$$\omega_n = 2\pi (30 \times 10^6) \quad (A.3)$$

Con esto, se obtiene el valor de C1, sustituyendo  $\omega_n$ ,  $K_{vco}$  y por ultimo  $I_p$  en (3.12), se obtiene:

$$C1 = \frac{I_p * K_{vco}}{(\omega_n)^2 * 2\pi * M} = 1.1 \text{ pF} \quad (A.4)$$

El valor de M, es el entero por el cual la frecuencia será dividida, es este caso  $M = 16$ .

El valor de R1 se obtiene sustituyendo los valores obtenidos anteriormente en la ecuación (3.11), obteniendo:

$$R1 = \frac{2\zeta}{\sqrt{\frac{I_p K_{vco} C1}{2\pi M}}} = 24 \text{ K}\Omega \quad (A.5)$$

Por último el valor de  $C_2$  debe ser alrededor de 0.2 veces el valor de  $C_1$  (Razavi. B. RF Microelectronics, Cap 9), obteniendo de esta manera el valor de:

$$C_2 = 0.2 C_1 = 240 \text{ fF} \quad (A.6)$$

## Apéndice B. Esquemático de la celda de mayor jerarquía.

La siguiente imagen presenta el esquemático implementado

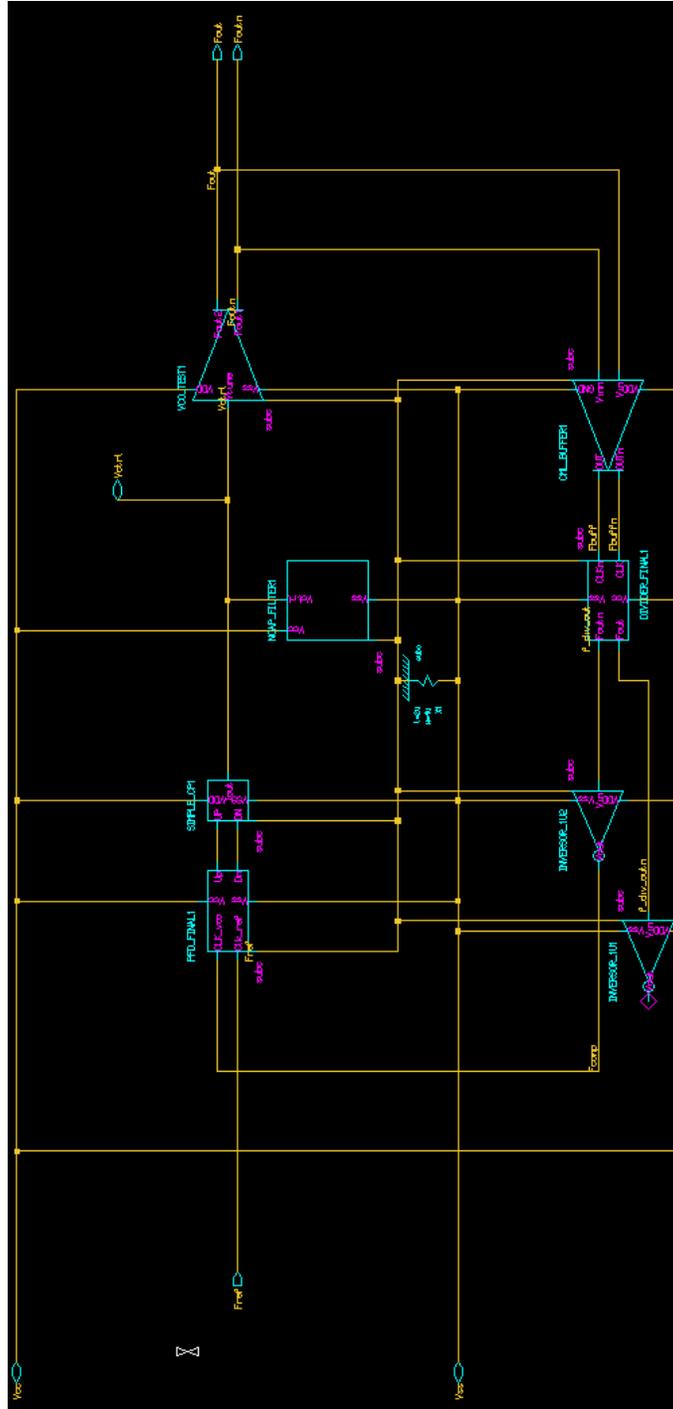


Figura B. Esquemático implementado en Mentor Graphics

## Apéndice C. Librerías de Diseño

Al ser el proyecto una implementación de circuito en una herramienta de software, y las simulaciones posteriores, también realizadas con la misma herramienta, el entregable final del proyecto, se realiza en una biblioteca en Mentor Graphics y las simulaciones realizadas, en otra biblioteca diferente, la ruta para encontrar las bibliotecas dentro de los servidores de la Escuela de Ingeniería Electrónica se encuentra a continuación:

Ruta del proyecto: /mnt/vol\_NFS\_Zener/WD\_ESPEC/jparias/Mentor

Dentro de esta carpeta, se encuentran todas las bibliotecas y celdas implementadas, para la versión final de las celdas, y las simulaciones, estas se encuentran en:

Bibliotecas de celdas: **Biblioteca\_Final\_PLL** y **Biblioteca\_Improved\_PLL**

Dentro de esta se encuentran todas las celdas y subceldas que conforman el PLL, tales como el VCO, el detector de fase, el tanque de carga el filtro paso bajas, el divisor de frecuencias.

Biblioteca de Simulaciones: **Test\_PLL**

En esta biblioteca, se encuentran todas las simulaciones realizadas para comprobar el funcionamiento del PLL y de sus etapas.