

INSTITUTO TECNOLÓGICO DE COSTA RICA

ESCUELA DE INGENIERÍA ELECTRÓNICA



**Diseño de una plataforma de interconexión  
para evaluación de un circuito integrado en  
alta frecuencia para espectroscopía de  
impedancia eléctrica**

Informe de Proyecto de Graduación para optar por el  
título de Ingeniero en Electrónica con el grado  
académico de Licenciatura

*Luis Alberto Chavarría Zamora*

Cartago, Costa Rica

28 de noviembre de 2016



## Declaratoria de autenticidad

Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía he procedido a indicar las fuentes mediante las respectivas citas bibliográficas. En consecuencia, asumo la responsabilidad total por el trabajo realizado y por el contenido del correspondiente informe final.



---

Luis Alberto Chavarría Zamora  
Cartago, 28 de noviembre de 2016  
Cédula: 1-1534-0401

Instituto Tecnológico de Costa Rica  
Escuela de Ingeniería en Electrónica  
Proyecto de Graduación  
Tribunal Evaluador

Proyecto de graduación defendido ante el presente Tribunal Evaluador como requisito para optar por el título de Ingeniero en Electrónica con el grado académico de Licenciatura, del Instituto Tecnológico de Costa Rica.

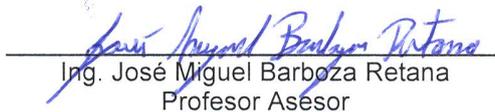
Miembros del Tribunal



Ph.D Renato Rímolo Donadio  
Profesor Lector



M.Sc. Eduardo Adolfo Canessa Montero  
Profesor Lector



Ing. José Miguel Barboza Retana  
Profesor Asesor

Los miembros de este Tribunal dan fe de que el presente trabajo de graduación ha sido aprobado y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica.

Cartago, 23 de noviembre del 2016



# Resumen

Una iniciativa entre el TUHH(Technische Universität Hamburg-Harburg) y ITCR (Instituto Tecnológico de Costa Rica) está siendo desarrollada con el objetivo de analizar muestras biológicas a través del método de EIS(Espectroscopía de Impedancia Eléctrica). Un CI(Circuito Integrado) será realizado para estos análisis hasta 10GHz, y para verificar su funcionalidad en este rango de frecuencia, en una etapa preliminar una plataforma de interconexiones será desarrollada. En este trabajo se verá el proceso de diseño y simulaciones necesarias para llegar a una plataforma funcional y óptima para el CI. Las pruebas serán realizadas para verificar la integridad de la señal hasta las frecuencias más altas en software de simulación electromagnéticos.

**Palabras clave: Sequential Built Up, Laminado, Wirebonding, Ball Grid Array, Integridad de Señal, Parámetros S, Diagramas de Ojo**

# Abstract

An initiative is being developed between TUHH (Technische Universität Hamburg-Harburg) and ITCR (Instituto Tecnológico de Costa Rica), its goal is to analyze biological samples through the EIS (Electrical Impedance Spectroscopy) method. An IC(Integrated Circuit) will be made to perform these analyses up to 10GHz, and to check its functionality in this frequency range, on a preliminary stage a interconnection platform will be made. In this job will be seen the design process and simulations that would allow to reach a functional and optimal platform for the chip. Tests will be made to verify the signal integrity at top frequencies in electromagnetic simulation software.

**Keywords: Sequential Built Up, Laminated, Wirebonding, Ball Grid Array, Signal Integrity, S Parameters, Eye Diagram**



*a Dios y a mi querida familia*

# Agradecimientos

Dedico este proyecto de graduación primeramente a Dios, el cual me ha permitido obtener lo que considera necesario para mí, según su voluntad, a él le debo todo. Gracias por la fortaleza y sabiduría necesaria para afrontar este capítulo en mi vida, que ha sido la vida académica en esta universidad de tan gran prestigio.

Agradezco el apoyo y asesoría que han brindado diversos profesores, los cuales sin duda han formado parte de mi formación profesional durante mis años universitarios. Agradezco especialmente al Dr. Renato Rímolo Donadio quien con sus consejos, conocimiento y guía me ha brindado ayuda invaluable durante el desarrollo de este proyecto, al mismo tiempo agradezco el voto de confianza que depositó en mí, dando fe de mis capacidades para materializar el desarrollo de este trabajo.

Gracias a mi familia, quienes han sido un pilar fundamental en mi formación tanto profesional como personal, debido a los valores que me inculcaron desde los años más tiernos hasta las edades actuales, y espero que sean muchos más, hasta donde Dios lo permita. No podré pagar sus diversos sacrificios los cuales indudablemente forman la parte más importante de lo que soy ahora.

Por último deseo extender mi eterno agradecimiento a todas las personas con las que llegué a compartir durante estos hermosos años; en los cuales conocí gente maravillosa que extendieron su mano para brindarme ayuda y soporte de manera amistosa y desinteresada, doy gracias infinitas a Dios por haberlas puesto en mi camino.

A todos los anteriores y los que no mencioné, gracias por haber recorrido este camino junto a mí.

Luis Alberto Chavarría Zamora

Cartago, 29 de noviembre de 2016



# ÍNDICE GENERAL

|                                                                    |          |
|--------------------------------------------------------------------|----------|
| <b>1. Introducción</b>                                             | <b>1</b> |
| 1.1. Objetivos                                                     | 3        |
| 1.1.1. Objetivo General                                            | 3        |
| 1.1.2. Objetivos Específicos                                       | 3        |
| 1.2. Organización del trabajo                                      | 3        |
| <b>2. Marco teórico</b>                                            | <b>4</b> |
| 2.1. Espectroscopía de impedancia eléctrica                        | 4        |
| 2.2. Plataforma de interconexión                                   | 5        |
| 2.2.1. Empaquetado a nivel de chip                                 | 5        |
| 2.2.2. Empaquetado a nivel de placa                                | 8        |
| 2.2.3. Empaquetado a nivel de sistema o backpanel                  | 9        |
| 2.3. Tecnología de substrato multicapa                             | 10       |
| 2.3.1. Laminado                                                    | 10       |
| 2.3.2. Sequential Built-Up                                         | 11       |
| 2.3.3. Comparación entre tecnología laminada y sequential built-up | 12       |
| 2.4. Tecnologías para conexión de IC                               | 13       |
| 2.4.1. BGA (Ball Grid Array)                                       | 13       |
| 2.4.2. Wirebonding                                                 | 14       |
| 2.4.3. Comparación entre Ball Grid Array y Wirebonding             | 14       |
| 2.5. Conectores para Radio Frecuencia                              | 15       |
| 2.6. Integridad de señales y potencia                              | 17       |

|           |                                                                               |           |
|-----------|-------------------------------------------------------------------------------|-----------|
| 2.6.1.    | Integridad de señales . . . . .                                               | 17        |
| 2.6.2.    | Integridad de potencia . . . . .                                              | 19        |
| <b>3.</b> | <b>Diseño</b>                                                                 | <b>22</b> |
| 3.1.      | Selección de alternativas para el diseño de la plataforma de interconexión CI | 22        |
| 3.2.      | Flujo de diseño . . . . .                                                     | 23        |
| 3.3.      | Acoples de impedancia en los modelos . . . . .                                | 25        |
| 3.3.1.    | Pistas o trases de la plataforma en modo simple . . . . .                     | 26        |
| 3.3.2.    | Pistas o trases de la plataforma en modo diferencial . . . . .                | 29        |
| 3.3.3.    | Conectores SMA . . . . .                                                      | 34        |
| 3.4.      | Simulación de modelos . . . . .                                               | 38        |
| 3.4.1.    | Sección individual del PCB . . . . .                                          | 38        |
| 3.4.2.    | Sección individual del PCB y dos conectores SMA . . . . .                     | 41        |
| 3.4.3.    | Wirebonding . . . . .                                                         | 42        |
| 3.5.      | Diseño de la plataforma . . . . .                                             | 43        |
| 3.6.      | Simulación completa de la plataforma de interconexión . . . . .               | 47        |
| <b>4.</b> | <b>Análisis de resultados</b>                                                 | <b>50</b> |
| 4.1.      | Diagramas de ojo . . . . .                                                    | 50        |
| 4.1.1.    | Estadística . . . . .                                                         | 51        |
| 4.1.2.    | PRBS . . . . .                                                                | 52        |
| 4.2.      | Respuesta al escalón . . . . .                                                | 53        |
| <b>5.</b> | <b>Conclusiones y recomendaciones</b>                                         | <b>55</b> |
| 5.1.      | Conclusiones . . . . .                                                        | 55        |

|                                |           |
|--------------------------------|-----------|
| 5.2. Recomendaciones . . . . . | 55        |
| <b>6. Bibliografía</b>         | <b>56</b> |

# ÍNDICE DE FIGURAS

|                                                                                                                      |    |
|----------------------------------------------------------------------------------------------------------------------|----|
| 1.1. Espectro de EIS en cérvix dependiendo de la enfermedad[2] . . . . .                                             | 1  |
| 2.1. Método de medición común para EIS[10] . . . . .                                                                 | 4  |
| 2.2. Modelado de una célula de micronit[11] . . . . .                                                                | 5  |
| 2.3. Proceso de empaquetado a nivel de chip[4] . . . . .                                                             | 6  |
| 2.4. Empaquetado de múltiples chips[14] . . . . .                                                                    | 7  |
| 2.5. (a)Circuito Integrado muy grande vs (b)MCP vs (c)SCP[4] . . . . .                                               | 7  |
| 2.6. Anatomía de un PCB[4] . . . . .                                                                                 | 9  |
| 2.7. PCB multicapa genérico[21] . . . . .                                                                            | 10 |
| 2.8. Estructura de un PCB multicapa laminado con blind vias (1), buried vias (2)<br>y through hole (3)[25] . . . . . | 10 |
| 2.9. Estructura de un PCB multicapa SBU[27] . . . . .                                                                | 12 |
| 2.10. Tipos de cableado BGA según el material[14] . . . . .                                                          | 13 |
| 2.11. Estructura de una interconexión por wirebonding[34] . . . . .                                                  | 14 |
| 2.12. Estructura de una línea coaxial[37] . . . . .                                                                  | 15 |
| 2.13. Campos eléctricos y magnéticos de una línea coaxial[37] . . . . .                                              | 15 |
| 2.14. Impedancia según el tamaño del pin interno[37] . . . . .                                                       | 16 |
| 2.15. Conectores RF en función de la frecuencia a $50\Omega$ [37] . . . . .                                          | 16 |
| 2.16. Línea de transmisión microstrip y sus factores[42] . . . . .                                                   | 18 |
| 2.17. Parámetros S en transmisión diferencial vs simple[44] . . . . .                                                | 18 |
| 2.18. Línea de transmisión microstrip diferencial[45] . . . . .                                                      | 18 |
| 2.19. Diagrama de ojo[40] . . . . .                                                                                  | 19 |
| 2.20. Caja negra con puertos para análisis de parámetros S[40] . . . . .                                             | 19 |
| 2.21. Modelado de una red PDN[46] . . . . .                                                                          | 20 |

|                                                                                                                     |    |
|---------------------------------------------------------------------------------------------------------------------|----|
| 2.22. Modelado del SSN[39]                                                                                          | 20 |
| 2.23. Power Integrity vs Signal Integrity[47]                                                                       | 21 |
| 3.1. Chip del proyecto Zellcharm de 2X2mm                                                                           | 22 |
| 3.2. Flujo de diseño general                                                                                        | 24 |
| 3.3. Plataforma de interconexiones para simular en EMPro                                                            | 24 |
| 3.4. Plataforma de interconexiones seccionada                                                                       | 25 |
| 3.5. Flujo de diseño particionado                                                                                   | 25 |
| 3.6. Calculadora de microstrip de EEWeb [52]                                                                        | 27 |
| 3.7. Línea microstrip a validar. Materiales cobre(naranja), FR4(verde), conductor perfecto(blanco)                  | 27 |
| 3.8. Línea microstrip a simular en EMPro                                                                            | 28 |
| 3.9. Colocación del puerto waveguide en la línea microstrip                                                         | 28 |
| 3.10. Transmisión(S12) y reflexión(S11) de la línea microstrip                                                      | 28 |
| 3.11. Calculadora para obtener la impedancia de una línea diferencial acoplada[57]                                  | 29 |
| 3.12. Modelo a simular de la línea diferencial. Materiales: Cobre(naranja), FR4(verde) y conductor perfecto(blanco) | 30 |
| 3.13. Línea microstrip diferencial en EMPro                                                                         | 31 |
| 3.14. Colocación de puerto diferencial en la línea diferencial                                                      | 31 |
| 3.15. Impedancia de la línea en modo común, gráficas de fase y magnitud respectivamente                             | 31 |
| 3.16. Impedancia de la línea en modo diferencial, gráficas de fase y magnitud respectivamente                       | 32 |
| 3.17. Parametros S en modo diferencial y single. Transmisión y recepción, respectivamente                           | 32 |
| 3.18. Modelo de simulación en HFSS                                                                                  | 33 |
| 3.19. Parámetro de reflexión diferencial                                                                            | 33 |

|                                                                                                                                                                                       |    |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| 3.20. Parámetro de transmisión diferencial . . . . .                                                                                                                                  | 33 |
| 3.21. Modelo de la línea microstrip en ADS . . . . .                                                                                                                                  | 34 |
| 3.22. Transmisión y reflexión del modelo de línea microstrip en ADS . . . . .                                                                                                         | 34 |
| 3.23. Conectores SMA en EMPro. Respectivamente: Edge, End Launch y Surface Mount . . . . .                                                                                            | 35 |
| 3.24. Calculadora de impedancia en una estructura coaxial . . . . .                                                                                                                   | 35 |
| 3.25. Colocación de puertos waveguide en conectores y sus geometrías simplificadas                                                                                                    | 36 |
| 3.26. Colocación de puertos simples en conectores . . . . .                                                                                                                           | 36 |
| 3.27. Parámetros S en un conector tipo EDGE. Reflexión(ascendente), Transmisión(descendente) . . . . .                                                                                | 37 |
| 3.28. Parámetros S en un conector tipo END LAUNCH. Reflexión(ascendente), Transmisión(descendente) . . . . .                                                                          | 37 |
| 3.29. Parámetros S en un conector tipo SURFACE MOUNT. Reflexión(ascendente), Transmisión(descendente) . . . . .                                                                       | 37 |
| 3.30. Footprint de los conectores SMA. Respectivamente: EDGE, END LAUNCH, SURFACE MOUNT. Colores de cada capa: Rojo:Top, Azul:Bottom, Verde:Vias.                                     | 38 |
| 3.31. Sección de plataforma en EAGLE. Respectivamente: EDGE, END LAUNCH, SURFACE MOUNT v0, SURFACE MOUNT v1. Colores de cada capa: Rojo:Top, Azul:Bottom, Verde:Vias. . . . .         | 39 |
| 3.32. Sección de plataforma a simular en EMPro. Respectivamente: EDGE, END LAUNCH, SURFACE MOUNT v0, SURFACE MOUNT v1. Arriba los diseños sin abertura y abajo con abertura . . . . . | 39 |
| 3.33. Parámetros S en modo simple y diferencial en la plataforma sin conectores. A la izquierda transmisión y a la derecha la reflexión . . . . .                                     | 40 |
| 3.34. Conectores SMA, colocados sobre la sección de la plataforma. De izquierda a derecha los conectores son: EDGE, END LAUNCH, SURFACE MOUNT v0, SURFACE MOUNT v1 . . . . .          | 41 |
| 3.35. Respuestas de parámetros S en sección de plataforma con conector SMA. A la izquierda está la transmisión y a la derecha la reflexión . . . . .                                  | 41 |

|                                                                                                                                                      |    |
|------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| 3.36. Respuestas de parámetros S en sección de plataforma con conector SMA. A la izquierda está la transmisión y a la derecha la reflexión . . . . . | 42 |
| 3.37. Posibles configuraciones de interconexión en Wirebonding . . . . .                                                                             | 42 |
| 3.38. Modelos de Wirebonding en EMPro. Tipos respectivamente: GSSG y GSGSG                                                                           | 43 |
| 3.39. Parámetros S de los tipos de conexión en Wirebonding. Respectivamente: Transmisión y reflexión . . . . .                                       | 43 |
| 3.40. Propuesta de Stack-up de la plataforma, con asignación de señales y planos de alimentación . . . . .                                           | 44 |
| 3.41. Modelo 3D del conector tipo banana . . . . .                                                                                                   | 44 |
| 3.42. Footprint del conector en EAGLE . . . . .                                                                                                      | 45 |
| 3.43. PCB realizado en el software EAGLE, con la capa superior y la siguiente . .                                                                    | 45 |
| 3.44. Plataforma de interconexiones sin conectores en EMPro . . . . .                                                                                | 46 |
| 3.45. Plataforma de interconexiones con conectores en EMPro . . . . .                                                                                | 46 |
| 3.46. Representación en bloques de la simulación en ADS . . . . .                                                                                    | 47 |
| 3.47. Modelos a simular de la plataforma completa . . . . .                                                                                          | 47 |
| 3.48. Transmisión de la plataforma completa . . . . .                                                                                                | 48 |
| 3.49. Reflexión de la plataforma completa . . . . .                                                                                                  | 48 |
| 4.1. Flujo de datos del diagrama de ojo . . . . .                                                                                                    | 50 |
| 4.2. Modelo para obtener diagrama de ojo por herramienta estadística en el conector tipo EDGE . . . . .                                              | 51 |
| 4.3. Diagramas de ojo obtenidos por medio estadístico de ADS . . . . .                                                                               | 51 |
| 4.4. Modelo para obtener diagrama de ojo usando una herramienta PRBS en el conector tipo EDGE . . . . .                                              | 52 |
| 4.5. Diagramas de ojo obtenidos con fuente PRBS . . . . .                                                                                            | 52 |
| 4.6. Modelo para obtener la respuesta al escalón . . . . .                                                                                           | 53 |
| 4.7. Respuesta al escalón . . . . .                                                                                                                  | 53 |

# ÍNDICE DE TABLAS

|                                                                           |    |
|---------------------------------------------------------------------------|----|
| 2.1. Tipos de empaquetado a nivel de chip único[13] . . . . .             | 6  |
| 2.2. Tipos de PCB[16] . . . . .                                           | 8  |
| 2.3. Cuadro Comparativo de tecnologías de substrato multicapa . . . . .   | 12 |
| 2.4. Cuadro Comparativo de tecnologías interconexión de ICs . . . . .     | 14 |
| 2.5. Diseño de conector para RF[37] . . . . .                             | 16 |
| 2.6. Diseño de conector para RF en función de la impedancia[36] . . . . . | 17 |
| 3.1. Dimensiones de cada conector SMA . . . . .                           | 36 |
| 3.2. Largos de los traves en la plataforma . . . . .                      | 46 |

# 1 Introducción

La Universidad Técnica de Hamburg-Harburg, trabajando en conjunto con el Instituto Tecnológico de Costa Rica, está desarrollando un proyecto para el análisis de muestras biológicas por medio de EIS (Electrical Impedance Spectroscopy). Los procesos actuales son muy lentos, lo que resulta en que las muestras se contaminen fácilmente, dado el tiempo que toma realizar las pruebas[1]. Por esta razón se propone la realización de un sistema que permita el estudio de células de forma rápida y eficiente a través de EIS.

EIS es un método para medir la impedancia de una sustancia como función de la frecuencia, a partir de una corriente eléctrica. La evaluación de tejido por medio de EIS en la industria médica es usado porque los componentes que se encuentran en los tejidos tienen propiedades resistivas y capacitivas resultando en una impedancia compleja asociada con la composición interna. Medir la impedancia a través de un rango frecuencia genera un espectro característico del comportamiento del tejido. Por ejemplo, en análisis para cáncer de cérvix, esta enfermedad causa que la impedancia cambie de una célula infectada a una sana como se ve en la figura 1.1[2].

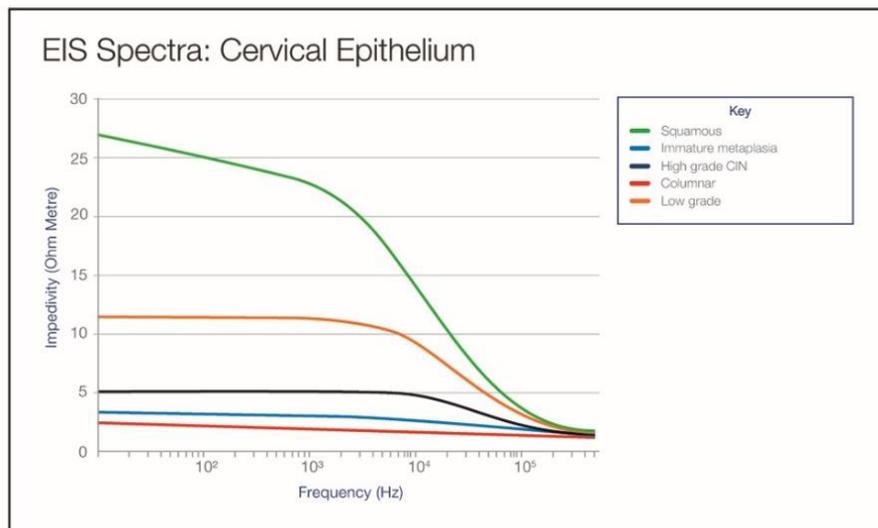


Figura 1.1: Espectro de EIS en cérvix dependiendo de la enfermedad[2]

La técnica de EIS se ofrece como un método no invasivo con resultados prometedores en diversos estudios, donde se muestra que las células cancerosas tienen una conductividad y permitividad diferente con respecto al tejido normal, un ejemplo podría ser el uso de la técnica en la detección de cáncer en las mamas[3].

El proyecto en cuestión tendrá énfasis en el desarrollo de una plataforma de prueba para la evaluación de un CI (Circuito Integrado) para análisis de EIS. El dispositivo se

desempeñará en rangos de alta frecuencia (hasta 10GHz) y el mismo se piensa realizar en un PCB (Printed Circuit Board) de 4 capas (multilayer)[1].

Posteriormente en el software de validación se debe asegurar la integridad y el tiempo de las señales, dado que los fenómenos a alta frecuencia no tienen que afectar los parámetros de la señal. Algunos de los efectos que se presentan a alta velocidad son: los componentes toman propiedades de antenas y las capacitancias parásitas tienen gran relevancia[4]. Como en todo proceso de desarrollo, el diseño y simulación deben ir de la mano, resultando en un proceso iterativo.

La plataforma a diseñar, debe funcionar como un medio de interconexión entre el chip y los diversos equipos de laboratorio que se utilizarán para la comprobación del funcionamiento del CI[1]. El análisis de EIS al realizarse a alta frecuencia acarrea los siguientes efectos[4]:

1. Eléctricos: Puede ocurrir ruido de transición, debido a la conmutación del transistor. Al mismo tiempo se debe preocupar por la propagación de las señales y reflexiones. Además, se debe garantizar la correcta alimentación de los dispositivos. Un problema particular en los circuitos a alta velocidad es que estos comienzan a tener un comportamiento de antena, viéndose alterados por la cercanía entre componentes.
2. Materiales: Los metales que se utilizan deben proveer alta conductividad eléctrica, con tal de garantizar la correcta propagación de las señales, así como disminuir la caída de voltaje. Además, los materiales de construcción deben brindar una alta conductividad térmica.
3. Mecánicos: Se debe examinar el comportamiento del circuito a diversas temperaturas y al mismo tiempo soportar diferentes esfuerzos termo-mecánicos. Otro aspecto a estudiar es la expansión térmica de los materiales.

Es así como, para el diseño de la placa de interconexión se debe investigar el tipo de estructura a utilizar, considerando los aspectos o requerimientos mencionados anteriormente y la capacidad de recursos económicos disponible para su implementación.

En el PCB se pueden presentar problemas como el ruido que introduce la alimentación de los dispositivos conocida como PSN (Power Supply Noise). El PSN debe estar bien distribuido jerárquicamente, usando el método de segmentación para modelar el acople entre bloques, definiendo puntos de resonancia[5]. Otra técnica que se puede utilizar es reducir el PSN insertando componentes pasivos para balancear la impedancia del mismo[5].

A alta velocidad las pistas del PCB, no pueden tener ángulos rectos, ya que ocurren reflexiones de señales. Por ello, las mismas deben seguir ángulos abiertos cuando se piensa trabajar a alta velocidad [6]. Una técnica para evitar que las señales entre componentes se vean interferidas entre sí, es usar pistas intermedias con señal de referencia[6].

## 1.1. *Objetivos*

### 1.1.1. *Objetivo General*

Diseñar un prototipo de una plataforma de interconexiones para probar el funcionamiento de un circuito integrado para espectroscopia por impedancia eléctrica (EIS) utilizando una frecuencia de hasta 10GHz.

### 1.1.2. *Objetivos Específicos*

1. Proponer una alternativa de diseño para realizar la interfaz circuito integrado-PCB.
2. Diseñar el PCB multicapa considerando la integridad de la red de señales así como la correcta alimentación de los elementos que lo conforman, e interfaces con equipo exterior.
3. Validar el funcionamiento del sistema de interconexiones hasta 10 GHz a través de un software de simulación electromagnética.

## 1.2. *Organización del trabajo*

Este informe, estructuralmente sigue la siguiente secuencia:

1. En el capítulo 2 se fundamentará teóricamente cada uno de los términos como: EIS, niveles de empaquetado, tecnología de substrato multicapa, tecnologías para interconexión del IC, conectores de radio frecuencia e integridad de señales y potencias. Conceptos necesarios para comprender el trabajo, extraído de fuentes confiables y debidamente citadas.
2. En el capítulo 3 se denotará cada uno de los pasos para obtener la plataforma de interconexiones adjuntando los resultados respectivos y análisis de los mismos. Además se mostrará en un modelo 3D como se debería ver el producto final.
3. En el capítulo 4 se analizará la plataforma de interconexiones para comprobar finalmente si se cumplen con los requerimientos de diseño estipulado en los objetivos.

## 2 Marco teórico

En esta sección se ven conceptos como EIS (Espectroscopía de impedancia eléctrica) para saber el trasfondo de este tipo de análisis y su funcionamiento. También se ve el fundamento teórico de la plataforma de interconexión que se desarrolló, las tecnologías de construcción disponibles, los métodos de interconexión con el CI, los componentes necesarios para el funcionamiento y las herramientas para comprobar su funcionamiento.

### 2.1. Espectroscopía de impedancia eléctrica

Ésta técnica permite el análisis de tejidos y otras sustancias como una función de la frecuencia debido a las componentes resistivas y capacitivas, inherentes en su composición interna. Por ejemplo, en el caso del cáncer de cervix, ésta enfermedad causa que las capas epiteliales sean más delgadas, disminuyendo el espacio entre elementos, haciendo que la impedancia sea menor que una célula sana[2].

El análisis a través de EIS (Electrical Impedance Spectroscopy) ha tomado fuerza en los últimos años como una herramienta para la investigación electroquímica, biomédica; análisis de cáncer en zonas como: cervix[2], próstata[7] y mama[3][8] y otras enfermedades en células, tejidos y órganos; análisis celular único e imagenología para impedancia a través de tomografía [9].

El análisis por EIS se puede puntuar en tres pasos de procedimiento, los cuales son[10]:

1. Introducción de corrientes alternas a través de la membrana de la muestra.
2. Medición de la magnitud de la corriente y el voltaje a lo largo de la membrana.
3. Medición del cambio de fase entre el voltaje y la corriente.

En la figura 2.1 se ilustra el proceso de análisis realizado en una medición EIS para una muestra. Además en la figura 2.2 se muestra el ejemplo de un modelo equivalente para una célula.

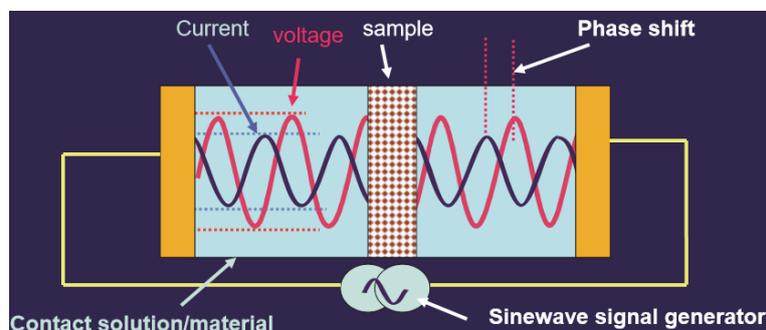


Figura 2.1: Método de medición común para EIS[10]

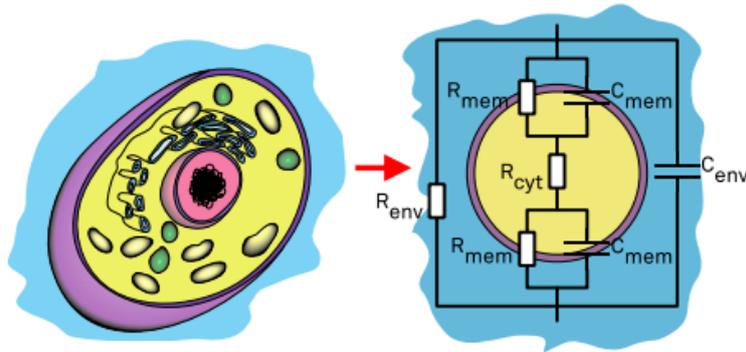


Figura 2.2: Modelado de una célula de micronit[11]

El método de EIS ofrece una solución de bajo costo, no invasiva y en tiempo real de una célula sin dañarla[11]. Por ello los diagnósticos realizados utilizando la técnica de EIS, representa una alternativa muy viable para el estudio de enfermedades en células y tejidos[1].

## 2.2. Plataforma de interconexión

Un CI (Circuito Integrado) debe ser protegido contra diversos factores del medio, que pueden dañar su estructura interna y al mismo tiempo, proveer los suficientes requerimientos mecánicos y eléctricos para cumplir con su tarea. Por ello cada CI es encapsulado, con el fin de brindarle las condiciones necesarias para su adecuado funcionamiento. Así, es común al hablar de empaquetado referirse a alguno de los siguientes tres niveles[4].

- Empaquetado a nivel de chip.
- Empaquetado a nivel de placa.
- Empaquetado a nivel de sistema.

### 2.2.1. Empaquetado a nivel de chip

Esta tecnología ha sido acogida en los últimos años en dispositivos como celulares, manos libres y otros. El empaquetado a nivel de chip ofrece las siguientes ventajas[4]:

- Reduce el espacio de empaquetado, aumentando la capacidad de integración de dispositivos.
- Menor costo, comparado con empaquetados basados en BGA (Ball Grid Array).
- Mejor desempeño eléctrico, debido al uso de conexiones cortas.

Una descripción del proceso de integración de dispositivos activos a nivel de oblea se observa en la figura 2.3.

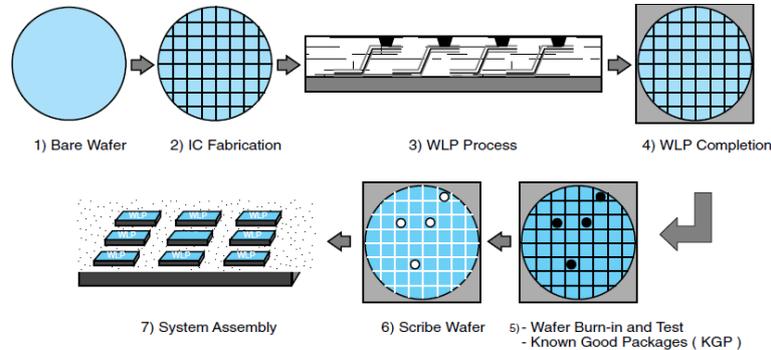


Figura 2.3: Proceso de empaquetado a nivel de chip[4]

Este tipo de integración consiste en construir todos los componentes del sistema, incluyendo dieléctricos, capas de metal y uniones por soldadura a nivel de oblea[4][12].

El empaquetado a nivel de chip se puede dividir en dos tipos:

- Empaquetado de chip único (Single Chip Package SCP), el cual soporta el empaquetado de un solo dispositivo microelectrónico. Además este método se caracteriza por[13]:
  1. Brindar el medio para transmitir las señales y alimentar el CI y el exterior.
  2. Permitir la inserción de este módulo en el siguiente nivel de empaquetado.
  3. Disipar el calor generado por la operación del CI.
  4. Proteger el CI de inclemencias exteriores.

Los empaquetados del tipo SCP se puede clasificar según el tipo de material utilizado, el tipo de tecnología de ensamblado y la técnica de interconexión utilizada. En la tabla 2.1 se muestra dicha clasificación [13].

Tabla 2.1: Tipos de empaquetado a nivel de chip único[13]

| Materiales de empaquetado | Ensamblado de IC                    | Interconexión de IC         |
|---------------------------|-------------------------------------|-----------------------------|
| Plástico                  | Tecnología de montaje de superficie | Periférico (Quad Flat Pack) |
| Lámina delgada            | Pin-through                         | Formación de área parcial   |
| Cerámica                  | Adjuntar chip directamente          | Formación de área           |

- Empaquetado de múltiples chips (Multiple Chip Package, MCP), donde a diferencia del SCP se realiza una integración a nivel de empaquetado de varios chips en el mismo proceso, logrando una mayor optimización del espacio. En la figura 2.4 se puede observar un ejemplo comercial de empaquetado. Este tipo de empaquetado a tomado gran relevancia a nivel de mercado gracias a sus ventajas, las cuales son[14]:
  - Optimiza el uso del espacio y disminuye el peso de los IC.
  - Mayor rendimiento durante la operación del IC.
  - Costos menores de producción.
  - Disminuye los retardos en la propagación de las señales.

- Optimiza el uso del espacio y disminuye el peso de los IC.
- Mayor rendimiento durante la operación del IC.
- Costos menores de producción.
- Disminuye los retardos en la propagación de las señales.

En la figura 2.5 se muestra una comparación entre las técnicas SCP y MCP, donde se observa la optimización del espacio de integración de los CI. En el SCP existe un área que limita la distancia de separación entre los CIs, mientras que en el MCP se puede lograr una distancia mucho menor. En esta misma imagen existe un boceto de una integración a gran escala del CI, donde generalmente, no se convierte en una opción viable debido a su mayor costo de fabricación, así como el aumento de probabilidad para encontrar errores de diseño o fabricación[4].

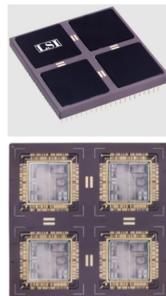


Figura 2.4: Empaquetado de múltiples chips[14]

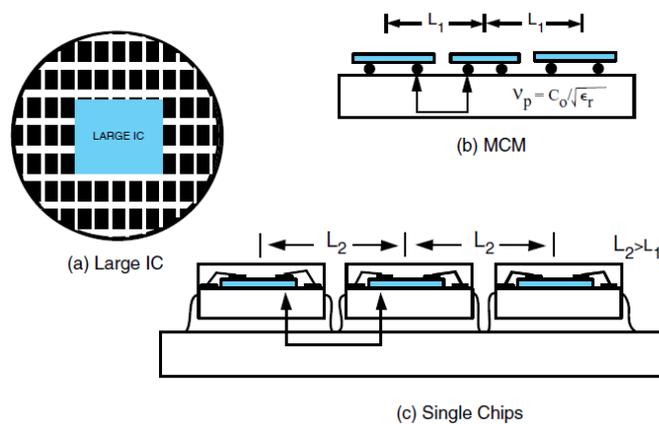


Figura 2.5: (a)Circuito Integrado muy grande vs (b)MCP vs (c)SCP[4]

### 2.2.2. *Empaquetado a nivel de placa*

En este nivel se incorpora el chip del apartado anterior en un PWB (Printed Wire Board) o PCB (Printed Circuit Board), el cual es un material no conductor (hecho de plástico o fibra de vidrio) en el que se colocan componentes y los mismo se soldan a las líneas conductoras de cobre del PCB. Un PWB se pueden clasificar según su tipo como se muestran en la tabla 2.2. En la figura 2.6 se muestra una vista de corte lateral de un PCB multicapa. De esta forma, los PCB deben cumplir las siguientes funciones en un sistema integrado[4][15][16]:

- Interconectar eléctricamente los componentes del circuito.
- Dar un soporte fijo a los componentes.
- Proveer energía al sistema.
- Disipar calor entre los componentes.

Tabla 2.2: Tipos de PCB[16]

| <b>Tipo</b>                  | <b>Descripción</b>                                                                                                                                                                  |
|------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| PCB de una capa              | Cuenta con una sola capa conductiva y su uso es recomendado para bajas densidades de interconexión, además es usado en altos volúmenes de manufactura por su bajo costo y simpleza. |
| PCB de doble capa            | Da más flexibilidad y densidad de interconexión que el tipo anterior al conectar componentes de una capa a otra usando vias, sin embargo sigue siendo una solución barata.          |
| PCB multicapa                | Presenta una densidad de interconexión más alta que los tipos anteriores, siendo usado en diseños complejos y robustos, protege el circuito de interferencias electromagnéticas.    |
| PCB con cubierta de aluminio | Es recomendado para líneas con altas intensidades de corriente y calor pues enfría los componentes y da rigidez al diseño, debido a la poca expansión térmica de sus materiales.    |
| PCB flexible                 | Permite la interconexión de componentes de manera repetitiva y confiable, al mismo tiempo puede ser usado para conectar otros PCB.                                                  |

En el diseño de un PCB se usan herramientas de simulación que permiten optimizar los diseños desde aspectos mecánicos, térmicos y mecánicos. Una de las herramientas utilizadas en este tipo de análisis es ANSYS, la cual permite realizar simulaciones electromagnéticas a partir de métodos de análisis numéricos. Dentro de los métodos que utilizan están[17]:

1. Método de subaproximación, donde se usan aproximaciones de mínimos cuadrados a partir de variables dependientes, hasta llegar a un modelo que converja usando funciones de penalización iterativamente.

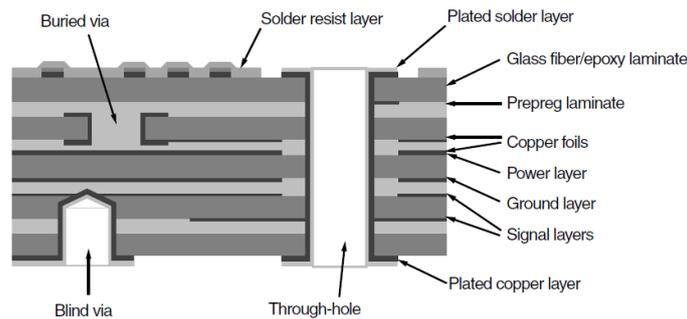


Figura 2.6: Anatomía de un PCB[4]

2. Métodos factoriales, donde se escanean los espacios de diseño de manera automática.
3. Diseño compuesto central, donde se hace el cálculo de variables aplicando regresiones hasta localizar los puntos de prueba del espacio de diseño

### 2.2.3. Empaquetado a nivel de sistema o backpanel

Este nivel conecta los módulos de segundo nivel con conectores de diversas extensiones y anchos, con tal de degradar lo menos posible la señal debido a diversos factores, por eso este nivel cuenta con las siguientes funciones principales[4][18][19][20]:

1. Conectar componentes y otros módulos como placas secundarias, subensamblados y sistemas entre sí a través de backpanel, conectores y cable.
2. Proveer integridad a las señales para que la propagación de la señal sea limpia.
3. Alimentar los elementos, enfriar el sistema y dar robustez al diseño.
4. Proteger el sistema de factores externos.

Cuando se trabaja en este nivel de empaquetado, diversos tipos de conectores son utilizados, algunos de ellos son[20]:

- **Backpanel:** Es una placa que usa cables ya sea flexibles y rígidos dependiendo de los requerimientos, costo, diseño y densidad de interconexión entre los módulos de segundo nivel y sus periféricos.
- **Conectores:** Son usados en diversas arquitectura, teniendo tres tipos de estructuras, las cuales son: **de inserción** que acopla impedancias para evitar reflexiones y trabajar a altas temperaturas; **entre contacto y pines** que dan elasticidad, resistencia a la oxidación y eléctrica y el **enchapado** para retardar la corrosión y mantener los puntos de soldadura.
- **Cables y circuitos flexibles:** Es usado en densidades de interconexión bajas, conformado por cables conductores y aisladores ofreciendo: flexibilidad mecánica, resistencia al agotamiento, químicos y absorción al agua.

### 2.3. Tecnología de substrato multicapa

Este tipo de tecnología es usada en circuitos a alta velocidad por la protección que ofrece al acuanar planos de alimentación, tierra y diversas señales, ofreciendo alta densidad de interconexión y ejecución de múltiples tareas en un espacio pequeño. En la figura 2.7 se muestra un ejemplo de substrato multicapa para fabricación de PCBs[21].

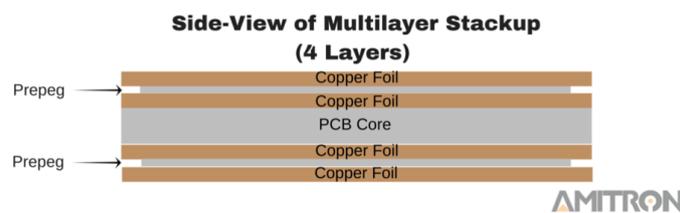


Figura 2.7: PCB multicapa genérico[21]

Durante el diseño del PCB lo más importante es mantener la integridad de la señal, donde algunas formas de hacerlo son: evitar que haya aire en los substratos, encapsular los conductores con resina y que los contactos estén bien colocados buscando la mínima distancia. Este tipo de fabricación de substratos es uno de los más costosos debido al riguroso proceso de manufactura. A nivel comercial se dispone de dos procesos de fabricación[22]:

1. Laminado.
2. Sequential Built-Up.

#### 2.3.1. Laminado

De las dos opciones es la más barata y se forma acuanando láminas de "prepeg" unidas a través de calor y presión con el núcleo conformado por dos placas metálicas, alternándolas para formar el stackup[23]. En la figura 2.8 se observa una estructura de PCB multicapa laminado, en donde se utilizan vias y conexiones de cobre para aumentar la densidad de interconexión[24][25].

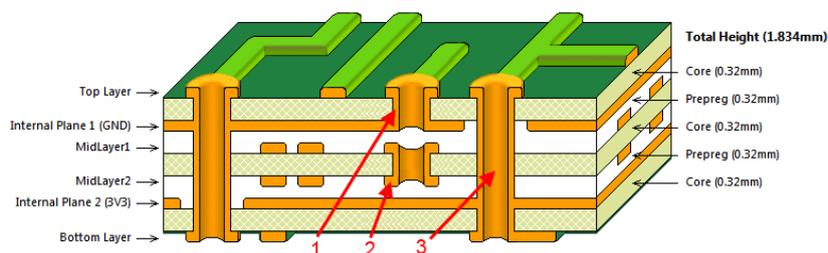


Figura 2.8: Estructura de un PCB multicapa laminado con blind vias (1), buried vias (2) y through hole (3)[25]

La tecnología de laminado es usada en diseños con alta cantidad de I/O y con requerimientos de operación entre 10 y 15GHz. Además recientemente estas tecnologías han podido

aumentar la capacidad de manejo de temperatura y disipación logrando diseños más robustos en los PCB a un costo inferior[24].

La estructura laminada debe seguir la siguiente secuencia, usando cualquiera de los tres tipos de substratos: rigid, flex y rigid-flex[4]:

1. Seleccionar las densidades de las capas de núcleo y prepeg para cumplir las necesidades eléctricas.
2. Aplicar fotolitografía de trazos de cobre en las capas de núcleo.
3. Taladrar las vias.
4. Laminar los núcleos a cada prepeg, la laminación es múltiple cuando no hay vias tipo through.
5. Enchapar los huecos para cada capa y cada via.

### 2.3.2. *Sequential Built-Up*

La tecnología SBU (Sequential Built-Up) ofrece una mayor densidad de interconexión y más alto rendimiento que la tecnología de laminado. En la figura 2.9 se muestra un ejemplo de una estructura PCB de tipo SBU, proceso en el cual se sigue una secuencia de fabricación de la siguiente manera[26][27]:

1. Rutear el núcleo usando técnicas de taladrado y enchapado, pues que es la base del diseño.
2. Depositar simétricamente una capa de dieléctrico, lo más plana posible haciendo esfuerzos balanceados.
3. Usar fotoprocado y taladrado láser formando microvias en el depositado.
4. Plantar semillas de material conductor puro para rellenar huecos.
5. Aplicar una capa electrolítica de cobre.
6. Revelar la capa electrolítica y vias usando una capa fotoresistiva.
7. Alcanzar la densidad deseada usando una capa de cobre electroenchapado.
8. Remover los restos de dieléctrico y semillas conductoras.
9. Se repiten los puntos del dos al ocho hasta alcanzar el número de capas del diseño final.

Al usar microvias se aumenta el costo y se hace lento el proceso, además de microvias usa tecnologías de interconexión como wirebonding, TAB y flip chip, sin embargo no puede utilizar Ball Grid Array al no usar through holes[4][26][28]. Sin embargo, entre las ventajas más notables están: ofrecer una densidad de interconexión más grande por no usar through holes, alta cantidad de I/O y protección electromagnética robusta[4].

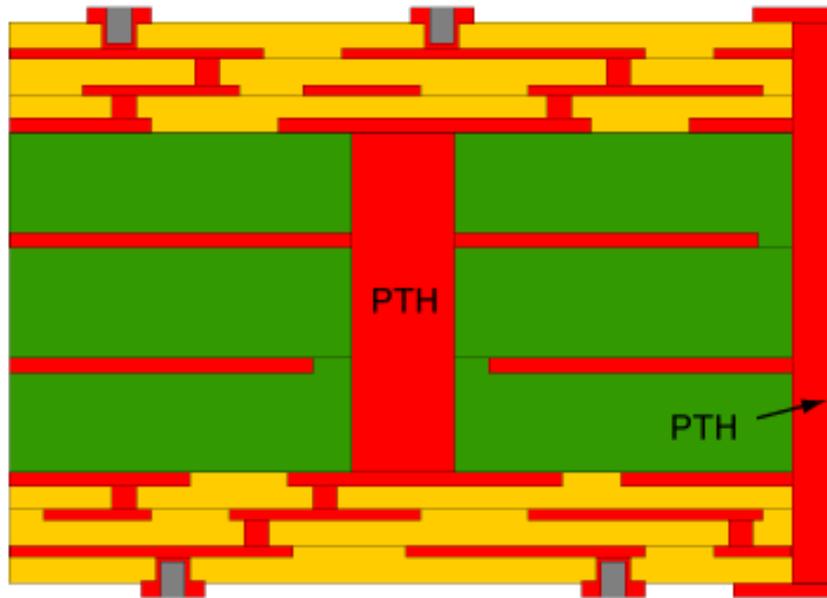


Figura 2.9: Estructura de un PCB multicapa SBU[27]

### 2.3.3. Comparación entre tecnología laminada y sequential built-up

Al comparar las tecnologías de sustratos multicapa, existen diferencias entre la tecnología de tipo laminado y SBU. En la 2.3 se muestra un cuadro comparativo con ambas tecnologías.

Tabla 2.3: Cuadro Comparativo de tecnologías de sustrato multicapa

| Característica                      | Sequential Built Up                                               | Laminated                                                                                     |
|-------------------------------------|-------------------------------------------------------------------|-----------------------------------------------------------------------------------------------|
| Precio                              | Caro por las técnicas de microvias.                               | Solución más barata al usar técnicas convencionales de PCB.                                   |
| Comportamiento a altas frecuencias. | Ofrece diseños que protegen de interferencia electromagnética.    | Tiene un buen rendimiento entre 10GHz y 15GHz, dependiendo de la estructura y los materiales. |
| Uso del espacio.                    | Usa microvias y no se recomienda realizar through holes.          | Permite el uso de buried vias, blind vias y through holes.                                    |
| Uso de tecnologías de interconexión | Puede usar Wirebonding pero no BGA por carencia de through holes. | Puede usar Wirebonding y BGA.                                                                 |
| Densidad de interconexión           | Alta, por el uso de microvias y por no usar through holes.        | Mas bajo que SBU.                                                                             |

## 2.4. Tecnologías para conexión de IC

Se van a estudiar las tecnologías de BGA(Ball Grid Array) y Wirebond para la interconexión de IC con la plataforma y se muestran a continuación.

### 2.4.1. BGA (Ball Grid Array)

Esta tecnología es usada en diseños con gran cantidad de periféricos (500 pines) debido a la flexibilidad de posicionamiento del chip, dentro de sus fronteras y al mejoramiento de características eléctricas (disminuye la inductancia) y térmicas (disipa el calor) por el uso de conexiones cortas. Al mismo tiempo es de fácil ensamblaje al ser sobre la placa, necesitando un through hole para cada pin[29].

Estos diseños cuenta con conexiones de 0.8mm en adelante y se puede usar tres tipos de materiales los cuales son: plástico (PBGA), tape (TBGA) y cerámica (CBGA), los mismos se pueden ver en la figura 2.10[4].

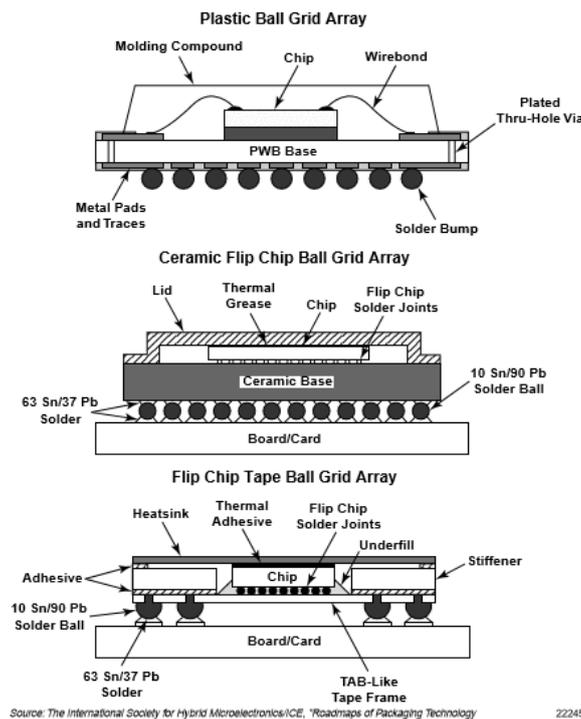


Figura 2.10: Tipos de cableado BGA según el material[14]

La verificación es costosa por los sockets, también por el uso de rayos X para revisar las uniones y finalmente otra cosa que aumenta el costo de producción es el delicado proceso de derretimiento[30][31][32].

### 2.4.2. Wirebonding

Esta tecnología une ultrasónicamente el chip y los pads en el leadframe del empaquetado con un fino cable de metal ( $25\ \mu\text{m}$ ), siendo un tipo de conexión muy flexible y maleable. Los materiales más utilizados son: oro y aluminio. En el caso del aluminio es más económicos que el oro, pero el proceso de fabricación es más lento. El diagrama de la figura 2.11 muestra un ejemplo de interconexión de IC por medio de wirebonding [4][33][34].

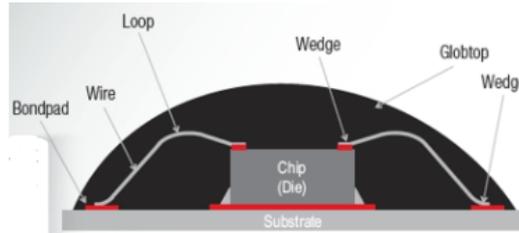


Figura 2.11: Estructura de una interconexión por wirebonding[34]

Este tipo de tecnología cuenta con ventajas como: baja tasa de errores (40-1000 ppm), estructura de alta confiabilidad, verificación de errores por medios ópticos y amplia variedad de opciones. Mientras que las desventajas que presenta son: un largo de conexión nada despreciable, uso de espacio fuera de las fronteras del chip y no es práctico para altas densidades[4].

### 2.4.3. Comparación entre Ball Grid Array y Wirebonding

Las tecnologías listadas anteriormente cuentan con sus ventajas y desventajas, las diferencias entre sí se pueden ver en la tabla 2.4.

Tabla 2.4: Cuadro Comparativo de tecnologías interconexión de ICs

| Tecnología              | Ball Grid Array                                                          | Wirebond                                                |
|-------------------------|--------------------------------------------------------------------------|---------------------------------------------------------|
| Cantidad óptima de I/O  | Altas densidades de interconexión.                                       | Bajas densidades de interconexión.                      |
| Uso del espacio         | Dentro de las fronteras del chip.                                        | En los alrededores del chip.                            |
| Largo de interconexión  | Cortas reduciendo las capacitancias parásitas                            | Largas interconexiones degradando rendimiento.          |
| Costo del proceso       | Caro, por el uso de equipo de alta precisión para manejo de temperatura. | Barato, debido a la variedad de opciones en el mercado. |
| Verificación de errores | A través de métodos no ópticos simples como rayos X                      | Se pueden usar métodos ópticos.                         |

## 2.5. Conectores para Radio Frecuencia

En muchos casos el rendimiento de un sistema depende de los conectores de RF (Radio Frecuencia) que se están utilizando ya que son una fuente importante de pérdidas. Los conectores se modelan como líneas de transmisión coaxiales, tal y como se observa en la figura 2.12. El comportamiento de los campos eléctricos y magnéticos se pueden ver en la figura 2.13[35][36][37].

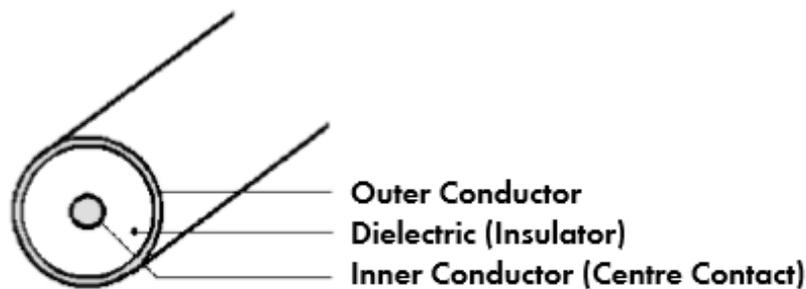


Figura 2.12: Estructura de una línea coaxial[37]

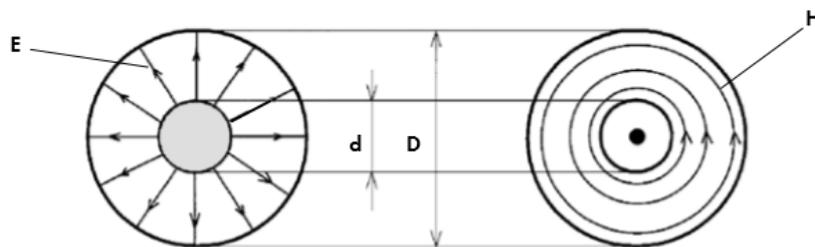


Figura 2.13: Campos eléctricos y magnéticos de una línea coaxial[37]

Con el objetivo de disminuir pérdidas y reflexiones en las señales que viajan a través de estas conexiones se deben acoplar las impedancias a un mismo valor. Así, en cables coaxiales, la impedancia de la línea se puede definir a partir de la ecuación 1. Según dicha ecuación, al disminuir el conductor interno del cable se incrementa la impedancia, o aumentando la constante dieléctrica se logra disminuir la impedancia equivalente. Un ejemplo comparativo de los casos anteriores se muestra en la figura 2.14[37].

$$Z = \frac{138\Omega}{\sqrt{\epsilon_r}} \log \frac{D}{d} \quad (1)$$

Con respecto a los tipos de conectores, en la tabla 2.5 se enlistan algunos de los más utilizados y su respectivo rango de operación se muestra en la figura 2.15[37].

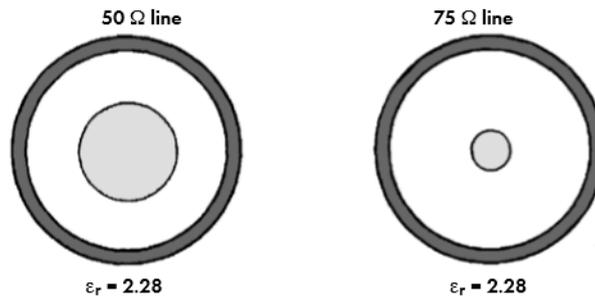


Figura 2.14: Impedancia según el tamaño del pin interno[37]

Tabla 2.5: Diseño de conector para RF[37]

| Tipo de diseño | Series                                      |
|----------------|---------------------------------------------|
| Microminiatura | MCX, MMBX, MMCX, MMPX.                      |
| Subminiatura   | BMA, SMA, SMB, SMC, SMS, QLA, QMA, 1.0/2.3. |
| Miniatura      | BNC, BNO, BNT, MHV, SHV, TNC                |
| Medio          | N, QN                                       |
| Grande         | 7/16                                        |
| Presición      | PC3.5, SK                                   |

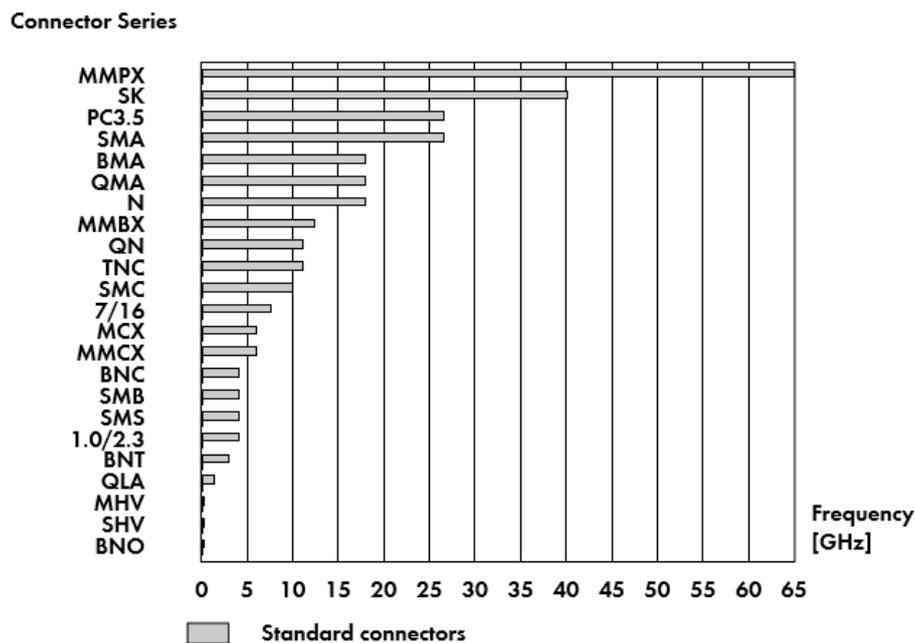


Figura 2.15: Conectores RF en función de la frecuencia a 50Ω [37]

Por consiguiente, los conectores se pueden diferenciar según las siguientes categorías[35]:

1. Con sexo (macho o hembra) y hermafrodítico.
2. De precisión y no precisión.
3. GPC (General Precision Connector) y LPC (Laboratory Precision Connector).

Conectores del mismo tipo pero con diferente impedancia, tienen un impacto diferente en la frecuencia óptima de funcionamiento como se puede ver en la tabla 2.6[36].

Para predecir correctamente el comportamiento de un conector SMA, se pueden ejecutar simulaciones con una estructura coaxial rellena de teflón. En la sección de diseño, se obtuvieron buenos resultados modelándolo de esta manera, siempre y cuando no haya un campo electromagnético fuera del conector SMA[38].

Tabla 2.6: Diseño de conector para RF en función de la impedancia[36]

| <b>Tipo de diseño</b> | <b>Impedancia</b> | <b>Rango de frecuencia</b> |
|-----------------------|-------------------|----------------------------|
| GPC 14                | 50Ω               | DC a 8.5GHz                |
| GPC 14                | 75Ω               | DC a 2.0GHz                |
| Tipo N                | 50Ω               | DC a 18GHz                 |
| Tipo N                | 75Ω               | DC a 3GHz                  |

## 2.6. Integridad de señales y potencia

Para crear un sistema robusto se debe garantizar que las señales no se degraden a altas frecuencias y que los elementos sean alimentados correctamente, por lo tanto este tema se hablará en esta sección.

### 2.6.1. Integridad de señales

Es el análisis, diseño y validación de las interconexiones, con el fin de garantizar una correcta transmisión de la señal, evitando reflexiones y pérdidas al máximo. Un aspecto a considerar cuando se trabaja con señales a alta velocidad, son los efectos parasíticos de los componentes del sistema, así como las mismas interconexiones, por ejemplo: una línea de cobre, se pueden modelar como una línea microstrip, la cual actúa como una impedancia en función de la frecuencia de las señales que viajan por esta. En la figura 2.16 se observa un modelo de línea microstrip[39][40][41][42]

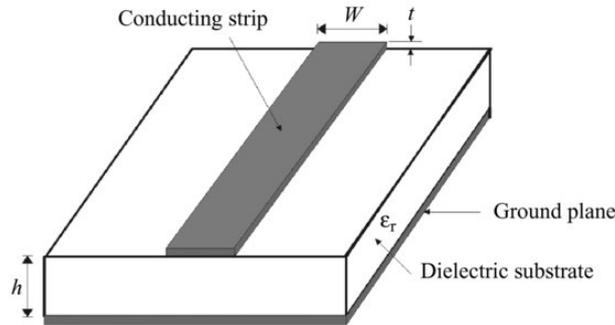


Figura 2.16: Línea de transmisión microstrip y sus factores[42]

Cuando dos líneas microstrip se colocan paralelamente ocurre un fenómeno conocido como *crosstalk*, existiendo un agresor y una víctima, donde la proximidad entre ellas puede degradar la señal si no se transmite diferencialmente en donde se usa una señal positiva y otra negativa para cancelar los efectos de los campos electromagnéticos, manteniendo las líneas del mismo largo. Las líneas microstrip diferenciales son recomendadas a alta velocidad como se puede ver en la figura 2.17 y su modelo en la figura 2.18. Si es el caso de no querer transmitir diferencialmente se recomienda separar a una distancia de dos veces el ancho del trazo[43][44][45].

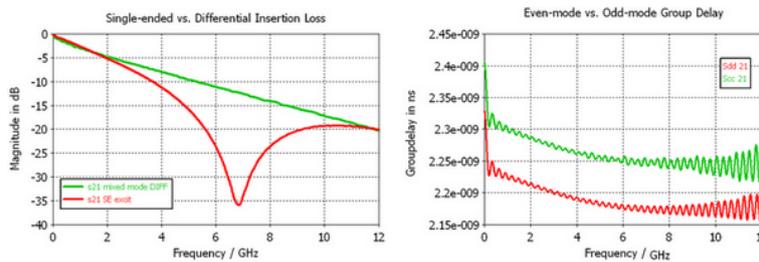


Figura 2.17: Parámetros S en transmisión diferencial vs simple[44]

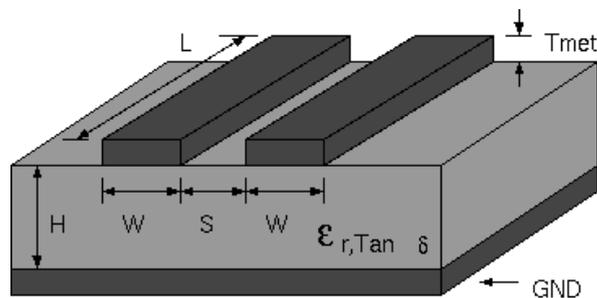


Figura 2.18: Línea de transmisión microstrip diferencial[45]

Para analizar la integridad de señales en la transmisión a lo largo de líneas de interconexión, existen herramientas que ayudan a visualizar el comportamiento, dentro de las cuales se tienen[40]:

- Diagramas de ojo: Consiste en superponer los trasientes de cada bit de una secuencia y visualizarlos en una gráfica como se muestra en la figura 2.19.
- Parámetros S (Scattering): Es una formulación que analiza los componentes de una caja negra en función de su ruta eléctrica, basado en sus amplitudes y fases. A partir de los parámetros S se puede conseguir la impedancia o admitancia de los puertos. En la figura 2.20 se muestra un ejemplo de modelo para análisis de los parámetros S de un sistema.

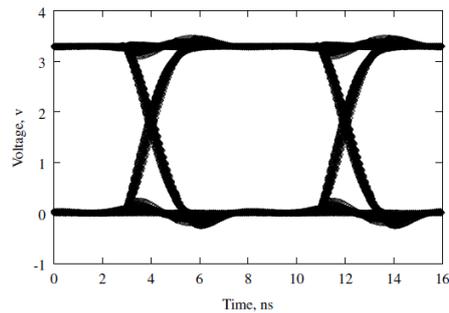


Figura 2.19: Diagrama de ojo[40]

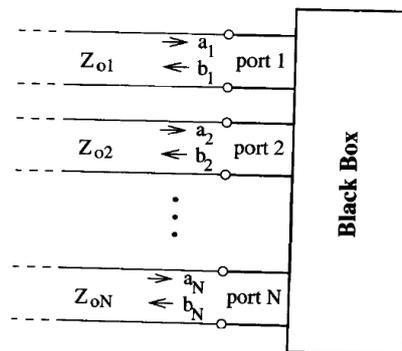


Figura 2.20: Caja negra con puertos para análisis de parámetros S[40]

### 2.6.2. Integridad de potencia

Se encarga de analizar y diseñar las redes de alimentación del sistema, analizando acoples, asignación de planos y stack-up. Un elemento importante es la PDN (Power Delivery Network) la cual vela por una limpia y estable fuente de voltaje como se ve en la figura 2.21. En el análisis de integridad de potencia existen términos que son importantes para comprender su estudio, entre ellos[46]:

1. **Resistencia DC:** Dado en función del área y el material de la placa donde se recomienda hacer rutas gruesas y evitar discontinuidades.

2. **Inductancia y capacitancia en lazo:** Cuantifica la efectividad de las capacitancias de acople de la placa a una frecuencia de 50MHz, generalmente. Algunas recomendaciones son: mantener los planos de tierra y poder cerca de las capas TOP y BOTTOM y colocar cerca de estos planos capacitores para evitar discontinuidades.
3. **Target impedance:** Obtiene la impedancia de la red total de alimentación usando herramientas como parámetros S y simuladores de RF

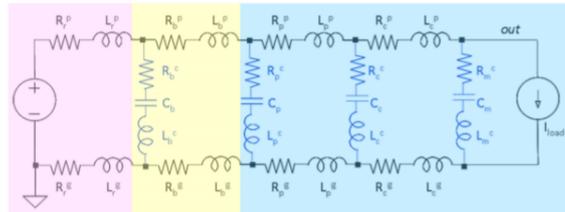


Figura 2.21: Modelado de una red PDN[46]

Parte de la integridad de potencia es, evitar el SSN (Simultaneous Switching Noise) que pasa cuando diversas salidas cambian repentinamente y solicitan más corriente a la PDN (Power Delivery Network) subitamente, afectando en proporción a su resistencia, inductancia y capacitancia de acople, el modelo se puede ver en la figura 2.22. Algunas de las recomendaciones para disminuir este ruido son: reducir la corriente de switching, reducir la inductancia de la PDN e incorporar capacitores de acople[39].

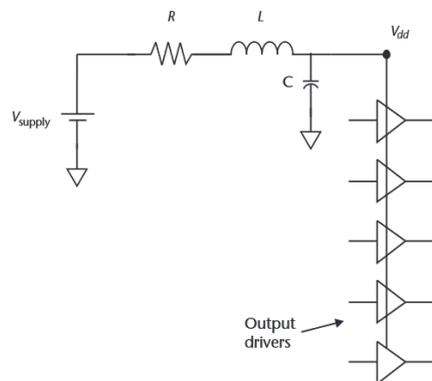


Figura 2.22: Modelado del SSN[39]

En la figura 2.23 se pueden observar las diferencias entre integridad de potencia e integridad de señales, donde se puede ver en cada uno los términos hablados previamente[47].

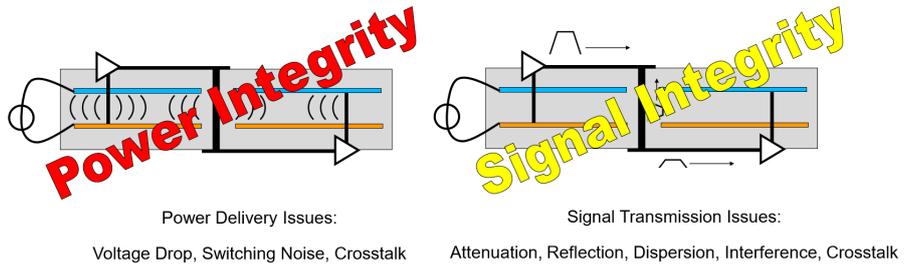


Figura 2.23: Power Integrity vs Signal Integrity[47]

### 3 Diseño

En esta sección se detalla el proceso de diseño para la obtención de la plataforma, viéndose cada uno de los modelos de las partes de la plataforma, los conectores que se utilizaron y la simulación de la plataforma completa. Se prueba la integridad de la señal y la correcta alimentación de la misma y sus diversos módulos.

#### 3.1. Selección de alternativas para el diseño de la plataforma de interconexión CI

En la figura 3.1 se muestra el footprint del CI de Zellcharm, en diseño, para realizar las mediciones EIS. En dicho diagrama se observan todas las señales de entrada, salida y alimentación.

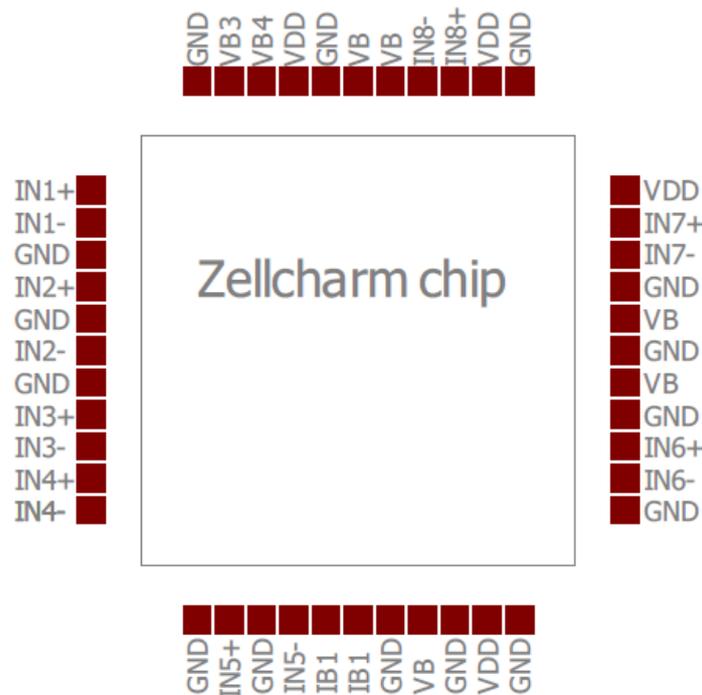


Figura 3.1: Chip del proyecto Zellcharm de 2X2mm

A partir del diagrama anterior, se pueden escoger las diversas opciones a partir de las tablas 2.3 y 2.4. Se puede ver que la densidad de interconexión es de 44 I/O (11 de cada lado), siendo pequeña a pesar de su reducida área de 2mmx2mm, resultando en un tema poco crítico para este chip, por lo tanto se recomendaría la opción más barata, que sería según la tabla 2.4, Wirebonding. El Wirebonding introduce una inductancia nada despreciable, por lo tanto a la hora de simular el diseño se recomienda verificar la reflexión y transmisión del mismo para observar el efecto en el sistema.

El chip está pensado para trabajar hasta una frecuencia máxima de 10GHz, por lo tanto según la tabla 2.3 este diseño puede usar cualquiera de las tecnologías de substrato multicapa del marco teórico, recomendando escoger la más barata, **laminado**.

De acuerdo a los criterios anteriores, se escogieron las siguientes opciones para trabajar el diseño de la plataforma en desarrollo:

- Tecnología de substrato multicapa escogida: **Laminado**.
- Tecnología de interconexión de IC: **Wirebond**.

Al mismo tiempo se utilizó un diseño con transmisión diferencial para disminuir el efecto del ruido. Para lograr la transmisión diferencial se utilizaron conectores SMA y una posterior unión de las señales para obtener el acople diferencial.

En el modelado del sistema se utilizó un amplio rango de frecuencias, de forma que las simulaciones del mismo tengan la siguiente distribución:

- Frecuencia inicial = 0.2GHz.
- Frecuencia final = 40GHz.
- Paso de simulación = 0.2GHz.
- Puntos por simulación = 200.

### 3.2. Flujo de diseño

Para el diseño de la plataforma se utilizaron las siguientes herramientas de software:

1. Eagle PCB Design: Software de diseño de circuitos impresos CAD[48].
2. Advanced Design System(ADS): Simulador de diseños electrónicos a alta velocidad, RF y microondas[49].
3. EMPro: Simulador de visualización 3D de efectos EM para aplicaciones a alta frecuencia[50].
4. Ansys HFSS: Simulador de visualización 3D de efectos EM para aplicaciones a alta frecuencia[51].

Debido a que ADS tiene la posibilidad de enlazar los diseños a EMPro, las simulaciones de funcionamiento y verificación en 3D se realizaron en la herramienta Keysight.

Se propone inicialmente el flujo de diseño de la figura 3.2, para diseñar la plataforma y validarla correctamente con las herramientas que se tienen a mano. Primero se hace la simulación del PCB y luego se le agrega el conector SMA y se simula.

De esta forma, el diagrama de flujo seguido en este diseño se muestra según la figura 3.2. El diseño de la plataforma se realizó en EAGLE y luego se exportó a ADS. En ADS se define el stack-up de la plataforma, para finalmente en EMPro simular el funcionamiento del sistema. En dichas simulaciones se realizaron pruebas sin y con el conector SMA.

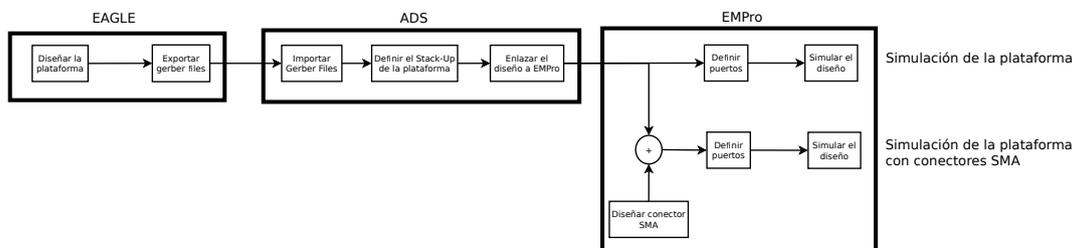


Figura 3.2: Flujo de diseño general

En la figura 3.3 se tiene un modelo parcial del PCB. En este diseño se tienen todos los puertos de conexión, vias y conexiones al IC de Zellcharm. Sin embargo, la simulación del sistema se realizó por bloques, debido a que la capacidad de procesamiento disponible no permite realizarlo para el sistema completo.

Por lo tanto, en el diseño de la plataforma se utilizó modelado por bloques del mismo, con el fin de realizar una simulación que incluya los efectos electromagnéticos del sistema completo.

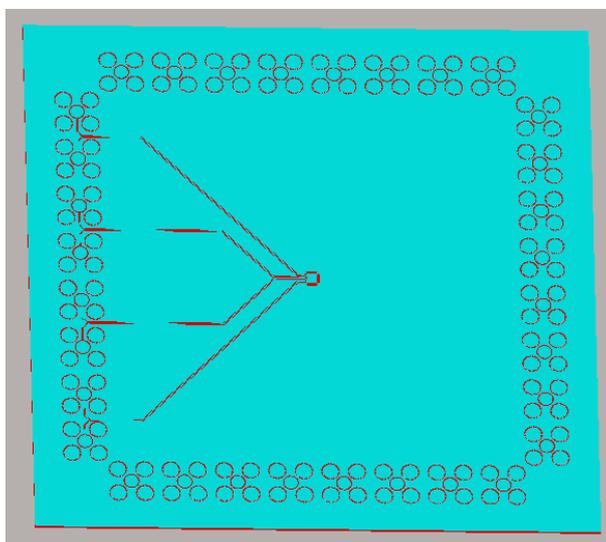


Figura 3.3: Plataforma de interconexiones para simular en EMPro

Según lo anterior, se seleccionó una sección del PCB para realizar las simulaciones correspondientes. Dicha sección se muestra en la figura 3.4, en donde se tiene dos entradas para conectores SMA y las vías de transmisión a lo largo del PCB hasta la zona de interconexión con el IC.

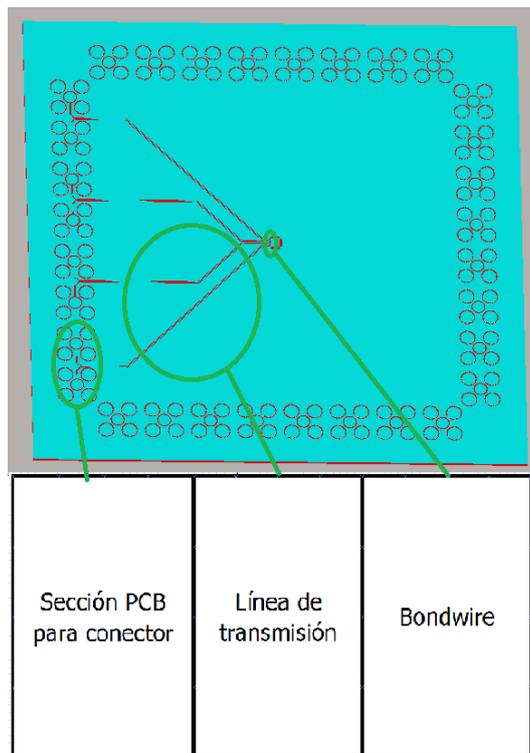


Figura 3.4: Plataforma de interconexiones seccionada

Sin embargo en la figura 3.4 la parte de línea de transmisión es un componente ya disponible en ADS, por lo tanto no se hará la simulación 3D de la misma. El diagrama de la figura 3.2, modificado a las necesidades actuales, se puede ver en la figura 3.5.

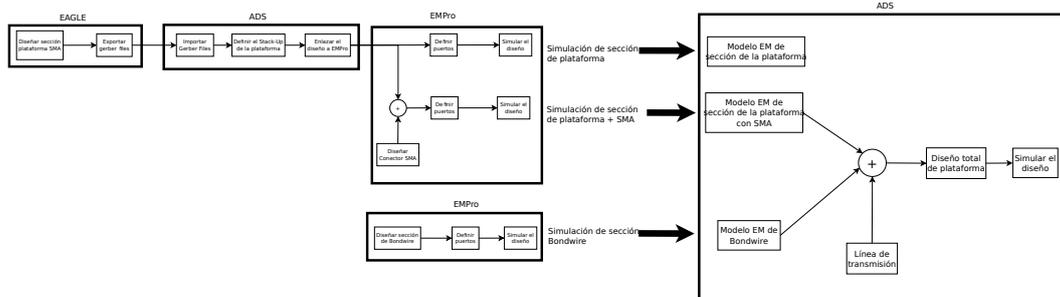


Figura 3.5: Flujo de diseño particionado

En la siguiente subsección se definen los detalles del diseño de la plataforma, donde se incluyen formas y tamaño de las vías, además de las secciones de conexión de los SMA.

### 3.3. Acoples de impedancia en los modelos

Como se vio en el apartado de conectores RF del marco teórico en la tabla 2.6 la impedancia que ofrece mayor rango y mejor integridad de señal es la de  $50\Omega$ . Por lo tanto, los

diseños que se muestran a continuación presentan una impedancia de  $50\Omega$ :

- Pistas o trases de la plataforma en modo simple.
- Pistas o trases de la plataforma en modo diferencial.
- Conectores SMA.

### 3.3.1. Pistas o trases de la plataforma en modo simple

Para construir la línea microstrip se necesita conocer las dimensiones de los elementos y estructuras a utilizar, para obtener una impedancia de  $50\Omega$ , por eso se buscaron fabricantes con gran capacidad de empaquetado, pues implica el uso de equipo especializado y preciso para el desarrollo de la plataforma, los mismos son:

1. 7PCB, con una capacidad de empaquetado de hasta 18 capas[52].
2. PCB Cart, con una capacidad de empaquetado de hasta 20 capas[53].
3. PCB Main, con capacidad de hasta 10 capas, indicando en la sitio web que para pedidos de más de 12 capas hay que hablar con el servicio al cliente[54].

Para la fabricación del PCB se recomienda realizarlo en PCB Main, debido a que la calculadora para estimar el precio es más descriptiva que los demás (hueco más pequeño, espacio mínimo, número de huecos) y además pone a disposición del cliente características como Gold Fingers, Cutouts/Slots, indicando posesión de equipo de alta tecnología.

La línea microstrip debe tener una impedancia de  $50\Omega$  y para el diseño se usó la calculadora disponible en el sitio web de EEWeb y los valores que solicita se pueden ver en la figura 3.6[55]. Para lograr un diseño de  $50\Omega$  se obtuvieron los siguientes parámetros:

- Altura del cobre =  $35\mu\text{m} = 1.38\text{mil}^1$  .
- Altura del substrato = 5mil.
- Ancho de la pista = 8.55mil.
- $E_r = 4.4$ .

A través de iteraciones en el simulador, se obtuvieron los siguientes valores que se ajustan mejor al modelo:

---

<sup>1</sup>1mil=1inch/1000=25.4 $\mu\text{m}$

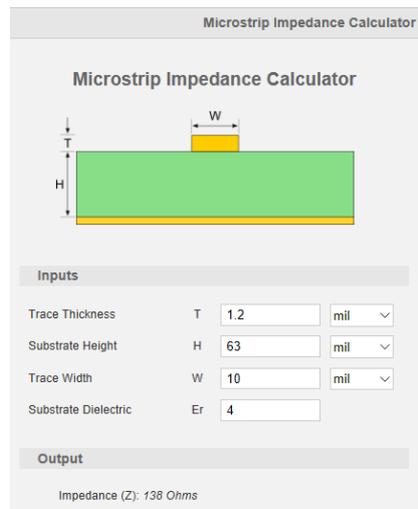


Figura 3.6: Calculadora de microstrip de EEWeb [52]

- Altura del cobre =  $35\mu\text{m} = 1.38\text{mil}$ .
- Altura del substrato =  $5\text{mil}$ .
- Ancho de la pista =  $7\text{mil}$ .
- $\epsilon_r = 4.4$ .

Para el diseño se seleccionaron valores y materiales comerciales estándar, pues si el diseño se desea enviar a fabricar a otro fabricante de mejor conveniencia o confianza, estos estarán disponibles. Por esta razón se escogió una altura del cobre de  $35\mu\text{m}$ , un substrato de FR4 y una altura de substrato de  $5\text{mil}$ .

Los materiales para el modelo de simulación son: una pista de cobre, un substrato FR4 y un plano tierra con conductor perfecto para disminuir el tiempo de simulación, los mismos se pueden ver en la figura 3.7. Los demás valores que se muestran en el modelo en la figura 3.7, fueron tomados al azar con tal de emular satisfactoriamente un trozo de PCB; la línea a simular es de  $2\text{mm}$ . El modelo anterior en EMPro, se puede ver en la figura 3.8.

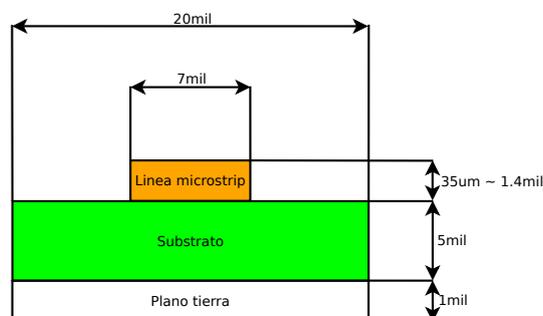


Figura 3.7: Línea microstrip a validar. Materiales cobre(naranja), FR4(verde), conductor perfecto( blanco)

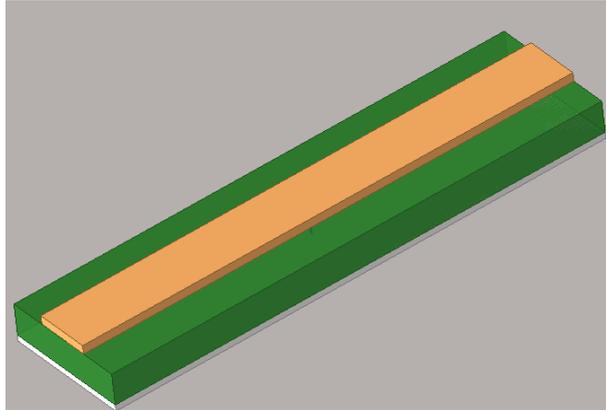


Figura 3.8: Línea microstrip a simular en EMPro

Para estimular la línea Microstrip se coloca un ambiente de simulación a una distancia de 1mm de cada cara del modelo y también se ponen dos **Waveguide Ports**, extendiéndolos sobre el ancho del substrato y una altura de 2 veces el alto del mismo. Este criterio se escogió de [56]. Los puertos colocados en EMPro se pueden ver en la figura 3.9 y los parámetros S de ambos puertos se observan en la figura 3.10.

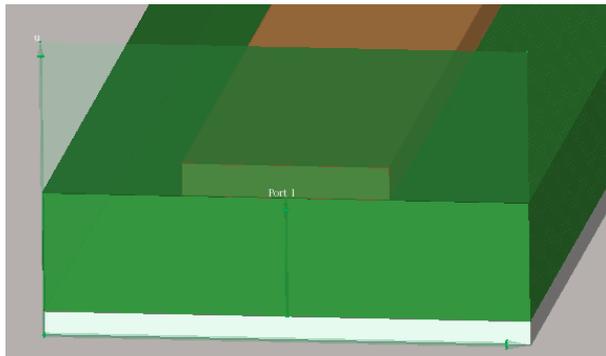


Figura 3.9: Colocación del puerto waveguide en la línea microstrip



Figura 3.10: Transmisión(S12) y reflexión(S11) de la línea microstrip

### 3.3.2. Pistas o traves de la plataforma en modo diferencial

En esta subsección se va a decir el proceso de diseño para obtener una línea microstrip en configuración diferencial, la cual debe tener una impedancia de  $100\Omega$ , pues según [57] la impedancia de la línea diferencial es igual al doble de una de las líneas microstrip.

Se deben mantener los valores de la subsección anterior pues la línea viene en configuración single a  $50\Omega$  y luego se acopla diferencialmente a  $100\Omega$ , por lo tanto los anchos no deben ser alterados súbitamente. Para calcular esta línea microstrip se va a usar la calculadora que se muestra en la figura 3.11[57].

| Inputs               |            |
|----------------------|------------|
| Trace Thickness      | T: 1.2 mil |
| Substrate Height     | H1: 63 mil |
| Trace Width          | W: 10 mil  |
| Trace Spacing        | S: 63 mil  |
| Substrate Dielectric | Er: 4      |

| Outputs               |                            |
|-----------------------|----------------------------|
| Odd (Z): 133 ohms     | Even (Z): 152 ohms         |
| Common (Z): 76.2 ohms | Differential (Z): 267 ohms |

Figura 3.11: Calculadora para obtener la impedancia de una línea diferencial acoplada[57]

Los valores que se obtuvieron son:

- Altura del cobre =  $35\mu\text{m} = 1.38\text{mil}$ .
- Altura del substrato =  $5\text{mil}$ .
- Ancho de la pista =  $7\text{mil}$ .
- Espaciado entre traces =  $3.3\text{mil}$ .
- $\epsilon_r = 4.4$ .

Se procede a validar que la impedancia que se obtuvo en la calculadora, sea la misma que en la simulación:

- Impedancia común =  $30.3\Omega$ .
- Impedancia diferencial =  $100\Omega$ .

A través de iteraciones en EMPro, se consiguió un mejor acople del modelo con los siguientes valores:

- Altura del cobre =  $35\mu\text{m} = 1.38\text{mil}$ .
- Altura del substrato =  $5\text{mil}$ .
- Ancho de la pista =  $7\text{mil}$ .
- Espaciado entre trases =  $9\text{mil}$ .
- $\epsilon_r = 4.4$ .

Solo se cambió el espaciado entre los trases para no cambiar alguno de los valores de la línea microstrip o el substrato. Los valores anteriores se muestran en el modelo de la figura 3.12 y aquellos parámetros que no son solicitados para el cálculo de la impedancia en la calculadora, fueron seleccionados arbitrariamente para emular una sección de la línea microstrip. Para tener datos consistentes la línea tiene una extensión de  $2\text{mm}$ . El modelo en el simulador EMPro se puede ver en la figura 3.13.

Ahora se debe determinar correctamente la impedancia, en el pasado es simple pues solo se determina un puerto waveguide con un modo, sin embargo aquí la excitación es diferencial. En [58] se indica que colocando un puerto Waveguide, con dos modos es suficiente para encontrar las impedancias respectivas. Con un modo entre líneas microstrip se obtiene la impedancia común y colocando otro modo entre una línea microstrip y el plano tierra se encuentra la impedancia diferencial. Se colocan los puertos en el lugar que indica [58] como se puede ver en la figura 3.14.

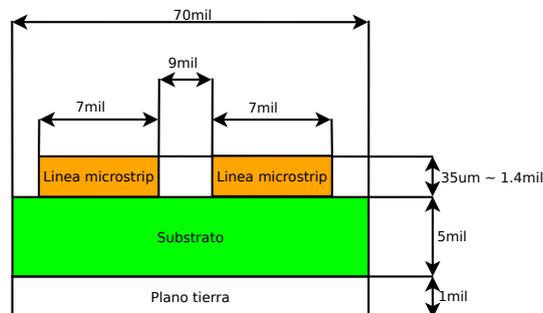


Figura 3.12: Modelo a simular de la línea diferencial. Materiales: Cobre(naranja), FR4(verde) y conductor perfecto(blanco)

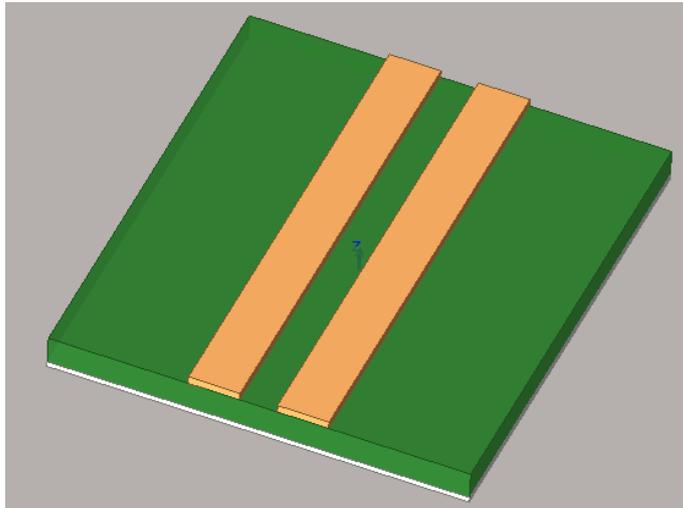


Figura 3.13: Línea microstrip diferencial en EMPro

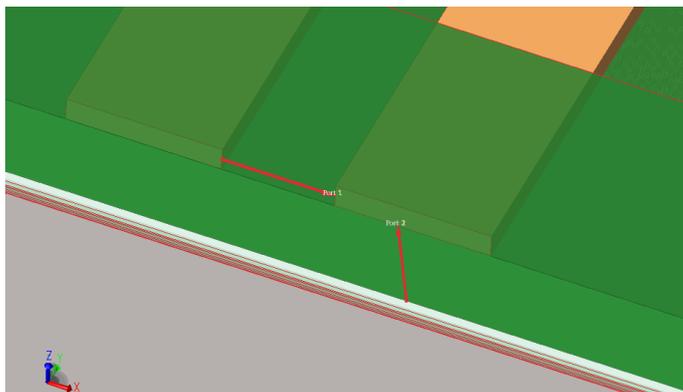


Figura 3.14: Colocación de puerto diferencial en la línea diferencial

Las impedancias en modo común y diferencial de la línea se muestran respectivamente en las figuras 3.15 y 3.16.

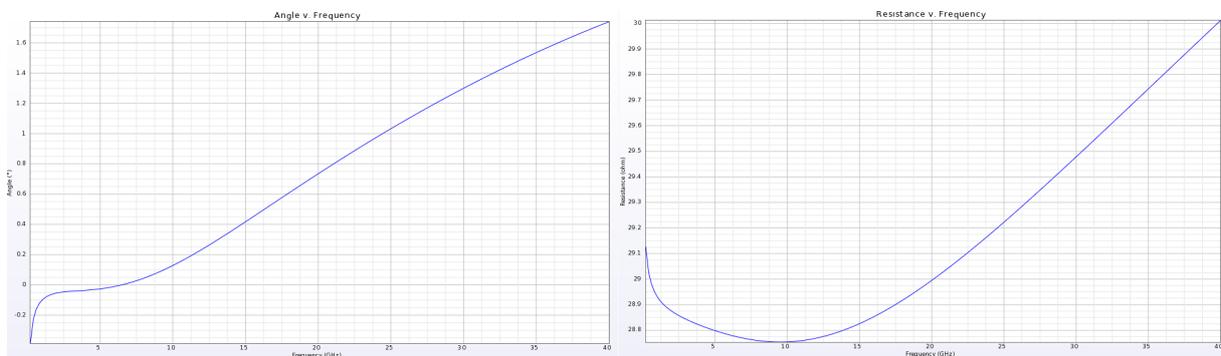


Figura 3.15: Impedancia de la línea en modo común, gráficas de fase y magnitud respectivamente

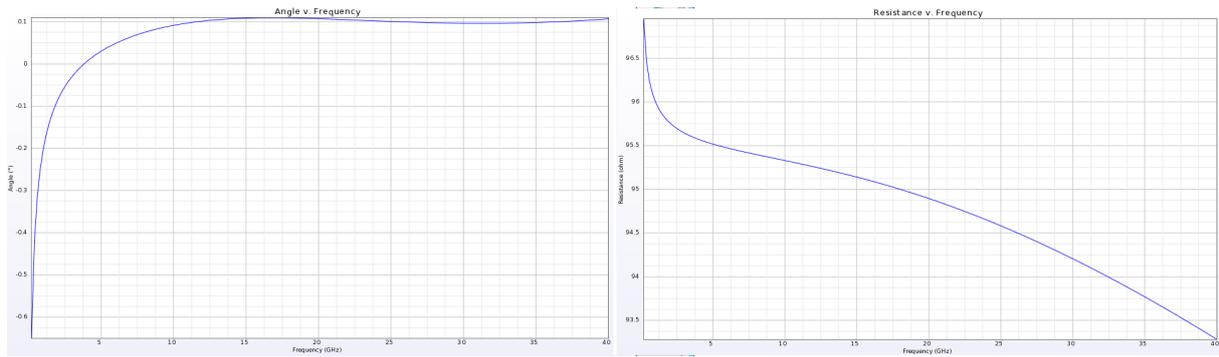


Figura 3.16: Impedancia de la línea en modo diferencial, gráficas de fase y magnitud respectivamente

Ahora colocando puertos individuales se procede a obtener los valores de transmisión y reflexión. Sin embargo se deben encontrar los parámetros S en modo mixto, para encontrar las pérdidas que se tienen en modo diferencial (EMPro no cuenta directamente con esta característica). Por eso en [59] y en un ejemplo de EMPro[60] se puede ver que para una red como la que se está trabajando, los parámetros S en modo diferencial serían:

$$SD_{11} = 0,5(S(1, 1) - S(1, 3) - S(3, 1) + S(3, 3)) \quad (2)$$

$$SD_{12} = 0,5(S(1, 2) - S(1, 4) - S(3, 2) + S(3, 4)) \quad (3)$$

Solo se tomarán en cuenta las ecuaciones 2 y 3, hay más ecuaciones en modo común-común, diferencial-común y común-diferencial, pero no son necesarias para este caso. Las ecuaciones denotadas se colocan en un script de Python en EMPro, usando de guía el ejemplo de [60]. Los resultados se pueden ver en la figura 3.17.

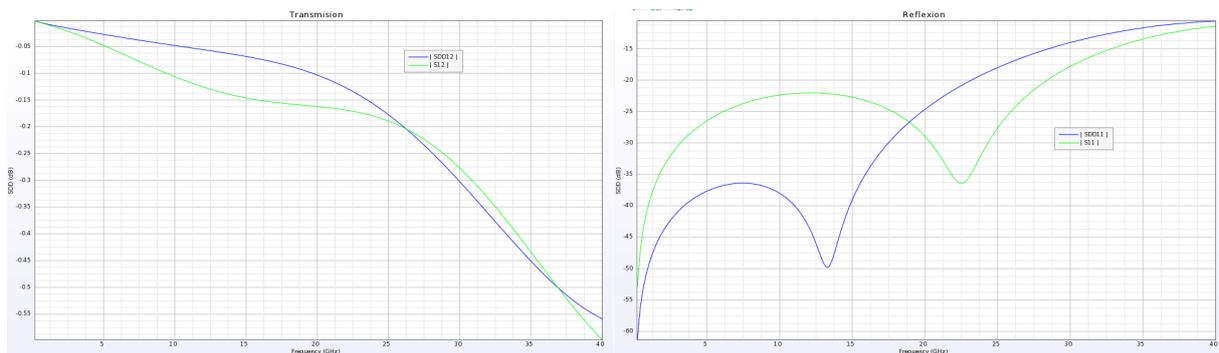


Figura 3.17: Parametros S en modo diferencial y single. Transmisión y recepción, respectivamente

Como ésta no es una característica directa de EMPro, se van a validar los datos con HFSS (software de ANSYS). Se simula el modelo de la línea microstrip diferencial en HFSS como se ve en la figura 3.18.

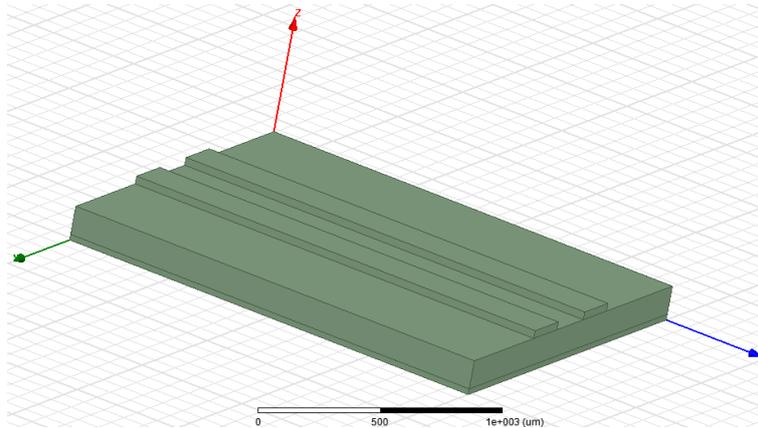


Figura 3.18: Modelo de simulación en HFSS

La reflexión y transmisión del modelo en HFSS se pueden ver respectivamente en las figuras 3.19 y 3.20.

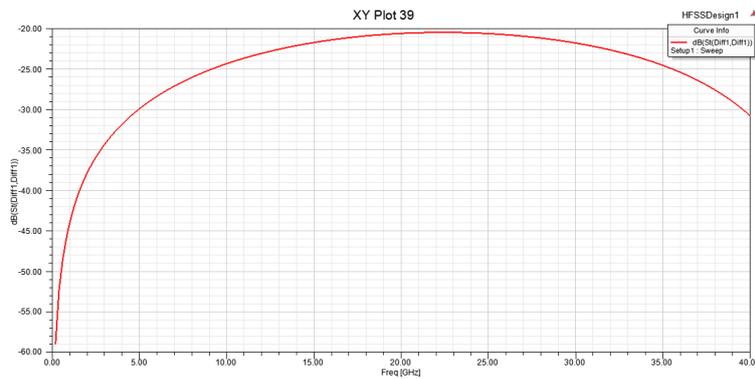


Figura 3.19: Parámetro de reflexión diferencial

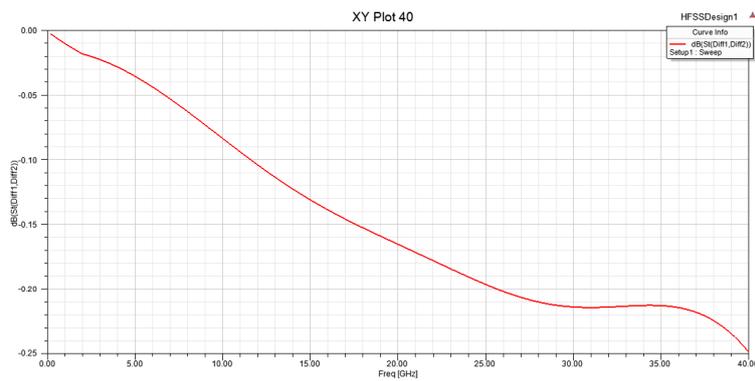


Figura 3.20: Parámetro de transmisión diferencial

El comportamiento entre EMPro y HFSS son concordantes hasta una frecuencia de 20GHz, pues ambos resultados muestran reflexiones por debajo de -20dB y transmisión mayor a -0.2dB en el modo diferencial.

Como gran parte de esta línea será simulada en ADS con un módulo diferencial ya incluido en la librería del software, ésta se simulará ahí, con las mismas dimensiones de los modelos pasados. El modelo se puede ver en la figura 3.21 y la transmisión y reflexión en la figura 3.22.

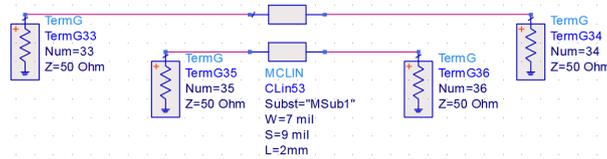


Figura 3.21: Modelo de la línea microstrip en ADS

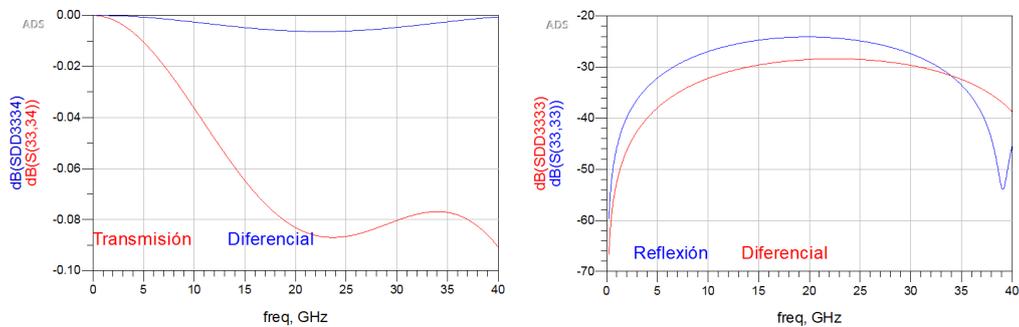


Figura 3.22: Transmisión y reflexión del modelo de línea microstrip en ADS

Los resultados entre las simulaciones en ADS, HFSS y EMPro son similares mostrando, bajas reflexiones y pérdidas en la transmisión.

### 3.3.3. Conectores SMA

Se escogieron conectores SMA, pues, poseen un amplio margen de frecuencia según la figura 2.15. Además son una opción barata en cuanto a conectores al tener muchas opciones. Los elementos que se seleccionaron tienen una operación óptima desde CD hasta 18.5GHz(según la hoja de datos), esto es porque el diseño final tiene una frecuencia máxima de hasta 10GHz.

Para acoplar los conectores SMA se escogieron 3 tipos de geometrías:

1. SMA Edge.
2. SMA End Launch.
3. SMA Surface Mount.

Los conectores SMA en EMPro, pasados por el estudiante a partir de las hojas de datos, se pueden ver en la figura 3.23.

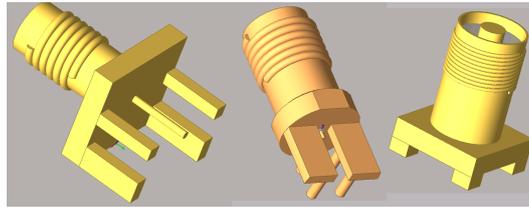


Figura 3.23: Conectores SMA en EMPro. Respectivamente: Edge, End Launch y Surface Mount

Para acoplar cada uno de los conectores, se usó una calculadora para una estructura coaxial. Se usa la calculadora disponible en [61], la misma se puede ver en la figura 3.24.

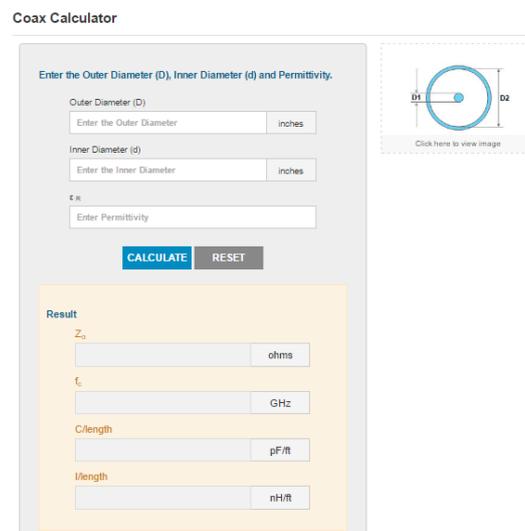


Figura 3.24: Calculadora de impedancia en una estructura coaxial

Los modelos de conectores SMA que se consiguieron cuentan con estructuras poco uniformes, no todas las medidas están en las hojas de datos, no todas las estructuras son visibles (motivos de confidencialidad) y en las simulaciones con geometrías similares se obtuvieron valores alejados a la impedancia de  $50\Omega$ , con altas reflexiones. Las dimensiones para cada conector SMA, se pueden ver en la tabla 3.1. Cabe la pena recalcar que estos resultados no son los obtenidos directamente de la calculadora, sino a través de iteraciones con el simulador, manteniendo constante el diámetro del pin.

Las geometrías que se utilizan son simplificadas para disminuir el tiempo de las simulaciones y garantizar que la impedancia esté lo más cercana a  $50\Omega$ . Todos los conectores cuentan con la misma constante dieléctrica del substrato, pues en las hojas de datos el material es PTFE.

Tabla 3.1: Dimensiones de cada conector SMA

| Parámetro                          | Edge   | End Launch | Surface Mount |
|------------------------------------|--------|------------|---------------|
| Diámetro del sustrato              | 100mil | 33.1mil    | 160mil        |
| Diámetro del pin                   | 30mil  | 11mil      | 50mil         |
| Constante dieléctrica del sustrato | 2.06   | 2.06       | 2.06          |

En las hojas de datos se indica la proporción de materiales en que está hecho cada conector, donde el material con menor proporción es el que está recubriendo al de mayor proporción, aprovechando las propiedades del efecto piel en metales, dado a que es caro el primero. Sin embargo, en la simulación, el conector será totalmente hecho del material que está recubierto.

Para estimular correctamente el componente, se procede a colocar un waveguide port en la parte que se atornilla al cable. Se puede ver la colocación del puerto waveguide de cada conector en la figura 3.25 y los modelos simplificados.

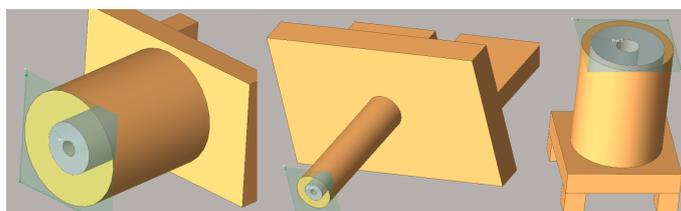


Figura 3.25: Colocación de puertos waveguide en conectores y sus geometrías simplificadas

Se coloca un puerto simple excitando la parte entre el pin y la base que será el plano de referencia. Esto se puede ver en la figura 3.26.

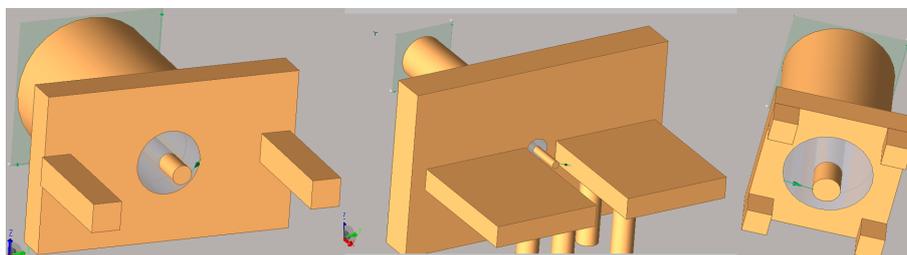


Figura 3.26: Colocación de puertos simples en conectores

Todos los puertos tienen una impedancia de salida de  $50\Omega$  y en las figuras 3.27, 3.28 y 3.29 se pueden ver los parámetros S de la transmisión y reflexión en cada conector SMA.

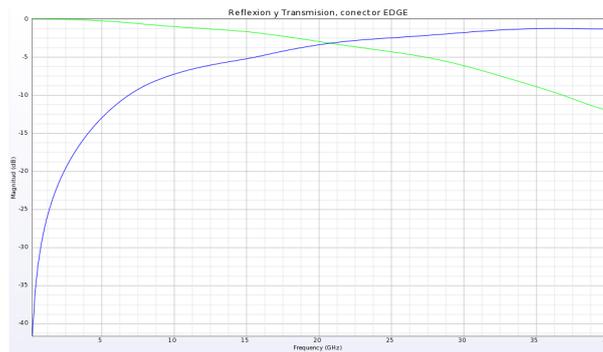


Figura 3.27: Parámetros S en un conector tipo EDGE. Reflexión(ascendente), Transmisión(descendente)

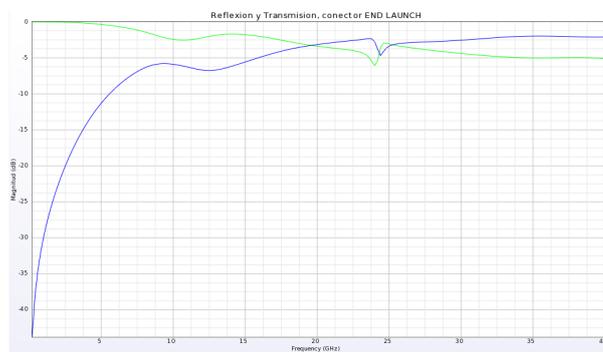


Figura 3.28: Parámetros S en un conector tipo END LAUNCH. Reflexión(ascendente), Transmisión(descendente)

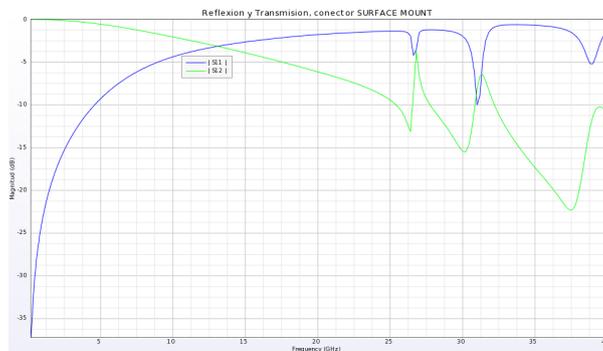


Figura 3.29: Parámetros S en un conector tipo SURFACE MOUNT. Reflexión(ascendente), Transmisión(descendente)

Se puede ver que el conector con mayor pérdida en la transmisión es el de montaje de superficie, alrededor de -4dB y en los otros dos, alrededor de -2dB. En general se nota que la reflexión es alta, pero el comportamiento es esperable por el rango de operación que ofrece. Las diferencias entre las pérdidas de cada transmisión se debe a los anchos de los pines, como se ve en la tabla 3.1.

### 3.4. Simulación de modelos

Para esta sección se simuló una sección del PCB, que está formada por un conector SMA y un fragmento de la plataforma, que soporta dos conectores y una parte corta de la línea.

El diseño se realiza en el software EAGLE con las dimensiones de línea microstrip estipulado en el apartado anterior. El trozo del PCB concluye, cuando las dos líneas se unen diferencialmente. Todas las simulaciones de esta subsección se realizaron en EMPro. Las dos etapas de simulación son:

1. Sección del PCB.
2. Sección del PCB y dos conectores.

#### 3.4.1. Sección individual del PCB

Se deben hacer los footprint de cada conector SMA, para ubicar espacialmente en el PCB estos elementos. En la figura 3.30 se puede ver el footprint de cada conector.

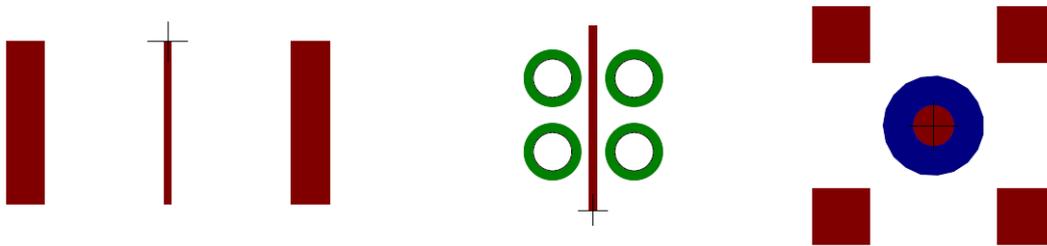


Figura 3.30: Footprint de los conectores SMA. Respectivamente: EDGE, END LAUNCH, SURFACE MOUNT. Colores de cada capa: Rojo:Top, Azul:Bottom, Verde:Vias.

No se usó el footprint recomendado en las hojas de datos, para aprovechar mejor el espacio y el rendimiento del conector.

Para colocar los trazos en la sección del PCB se realizó un proceso iterativo, hasta disminuir los efectos de ruido, debido a las secciones del plano tierra. El PCB a simular se pueden ver en la figura 3.31.

Se puede ver que hay dos diseños para el conector SMA SURFACE MOUNT y es para aprovechar las distintas formas en que se puede interfazar el conector con la plataforma de interconexiones.

Cuando se coloque el conector SMA se recomienda, eliminar una parte del plano debajo de la capa Top, donde reposa el pin con la señal, esto con tal de disminuir el ruido, por eso se harán dos simulaciones en EMPro, una sin abertura y otro con la abertura.

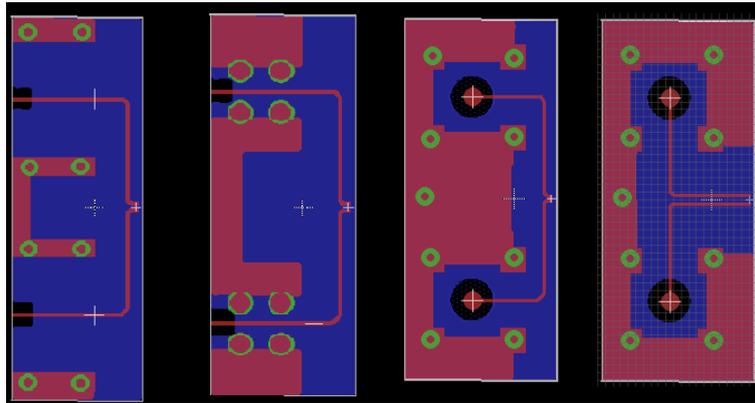


Figura 3.31: Sección de plataforma en EAGLE. Respectivamente: EDGE, END LAUNCH, SURFACE MOUNT v0, SURFACE MOUNT v1. Colores de cada capa: Rojo:Top, Azul:Bottom, Verde:Vias.

Los diseños en el simulador EMPro se pueden ver en las figura 3.32. Se colocan dos puertos simples, uno en un extremo(donde iría el pin del conector) y otro donde la línea comienza a ser diferencial.

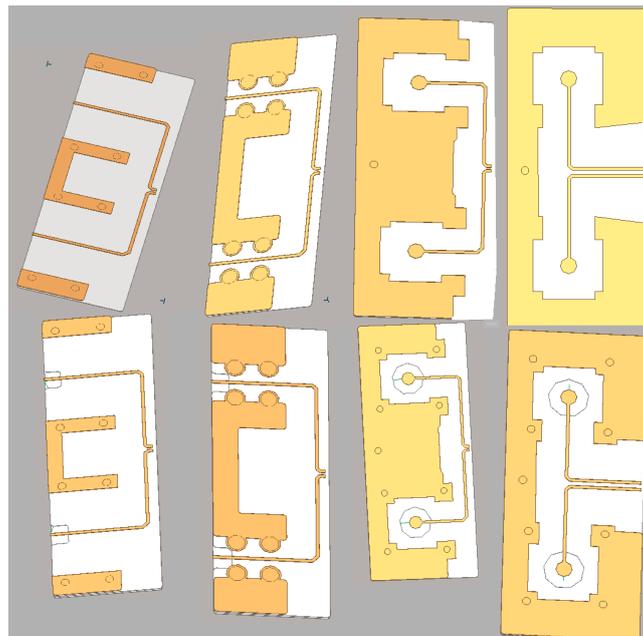
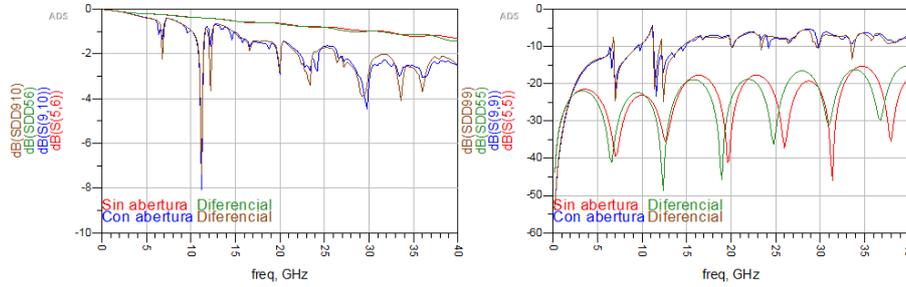


Figura 3.32: Sección de plataforma a simular en EMPro. Respectivamente: EDGE, END LAUNCH, SURFACE MOUNT v0, SURFACE MOUNT v1. Arriba los diseños sin abertura y abajo con abertura

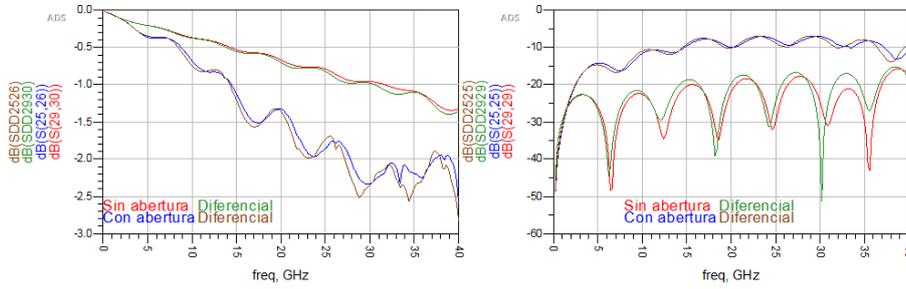
La reflexión y transmisión de cada sección de la plataforma, se pueden ver en la figura 3.33, se tienen los parámetros S tanto diferencial como simple. Para facilitar la visualización de gráficas se exportaron los modelos a ADS colocando un puerto con impedancia de  $50\Omega$ .

Se puede ver que la abertura aumenta las resonancias cuando el PCB está solo, se va a evaluar su comportamiento cuando se una con el conector en el siguiente apartado.

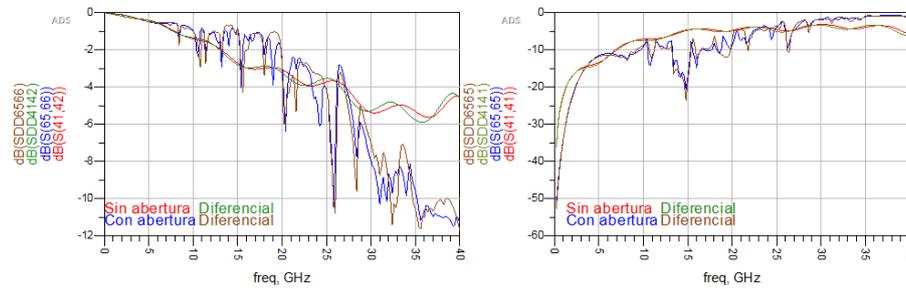
### SMA EDGE



### SMA END LAUNCH



### SURFACE MOUNT v0



### SURFACE MOUNT v1

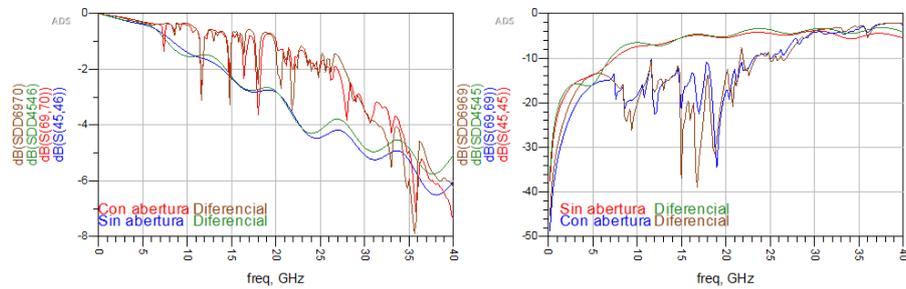


Figura 3.33: Parámetros S en modo simple y diferencial en la plataforma sin conectores. A la izquierda transmisión y a la derecha la reflexión

### 3.4.2. Sección individual del PCB y dos conectores SMA

Se unen los diseños de PCB con los conectores SMA diseñados previamente. La geometría del conector se había simplificado como se vió en las figuras 3.25 y 3.26, el PCB junto con los conectores se pueden ver en la figura 3.34.

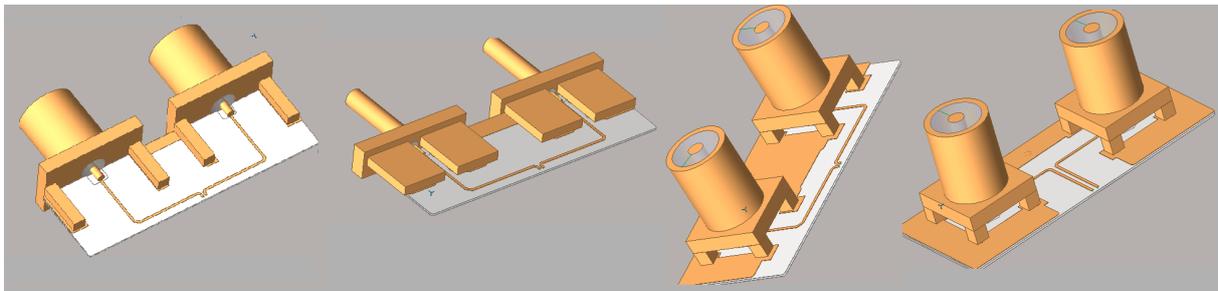


Figura 3.34: Conectores SMA, colocados sobre la sección de la plataforma. De izquierda a derecha los conectores son: EDGE, END LAUNCH, SURFACE MOUNT v0, SURFACE MOUNT v1

Para estimular las estructuras se colocan puertos simples, uno en la sección de entrada del conector y otro en el extremo del PCB donde comienza a ser diferencial. Los parámetros S de la transmisión y reflexión tanto diferencial como simple se pueden ver en las figuras 3.35 y 3.36.

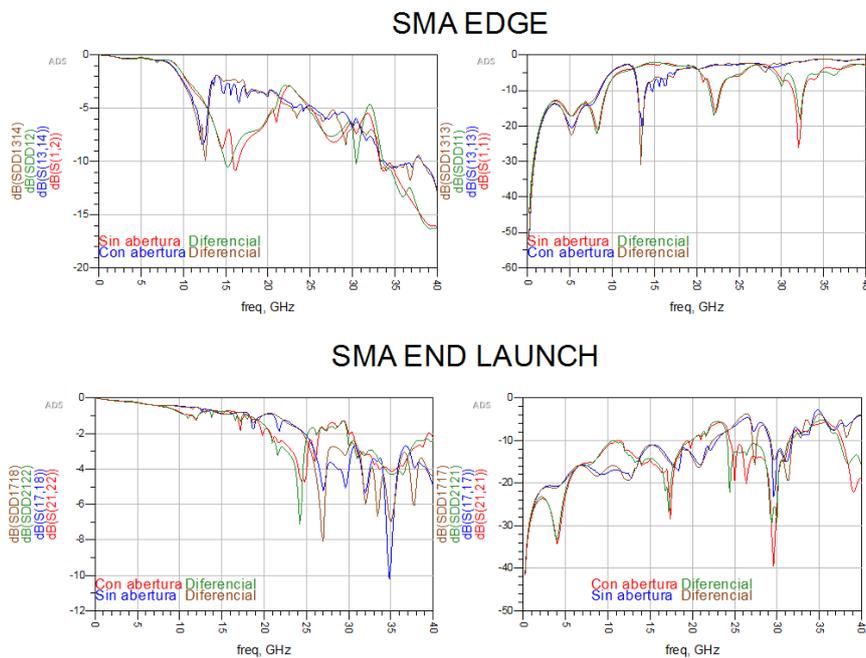


Figura 3.35: Respuestas de parámetros S en sección de plataforma con conector SMA. A la izquierda está la transmisión y a la derecha la reflexión

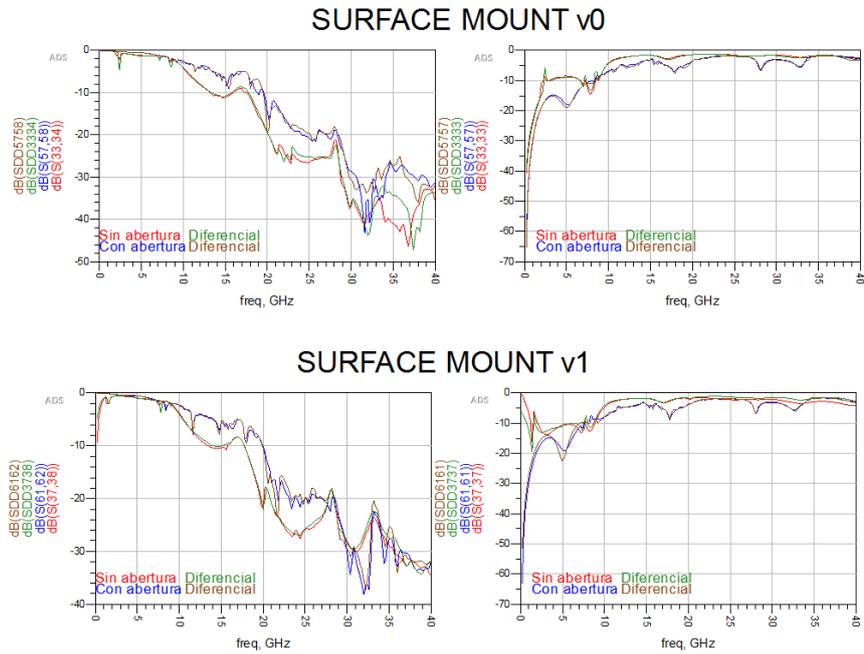


Figura 3.36: Respuestas de parámetros S en sección de plataforma con conector SMA. A la izquierda está la transmisión y a la derecha la reflexión

Se puede observar que la abertura en el PCB, hace que la transmisión sea mejor y también que cuando se hace de manera diferencial las pérdidas son menores que de manera simple. Por ahora el mejor conector es el tipo END LAUNCH, debido a sus bajas reflexiones con respecto a los otros. También el conector tipo END LAUNCH cuenta con la mejor transmisión entre los tipos de conectores.

### 3.4.3. Wirebonding

Otra parte que se debe realizar es la interconexión entre la plataforma y el chip de Zellcharm con Wirebonding, por lo tanto se debe realizar el modelo de esta sección. Las posibles interconexiones del chip Zellcharm se pueden ver en la figura 3.37.

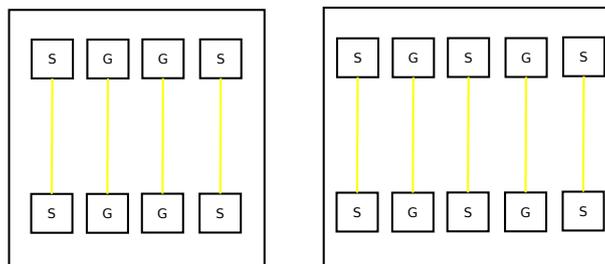


Figura 3.37: Posibles configuraciones de interconexión en Wirebonding

Estos modelos se colocan sobre una estructura igual a la plataforma, donde hay vias para las señales de tierra. Se puede ver que cuenta con un plano tierra en la parte inferior para conectar tierras, en la figura 3.38 está el modelo en el simulador EMPro.

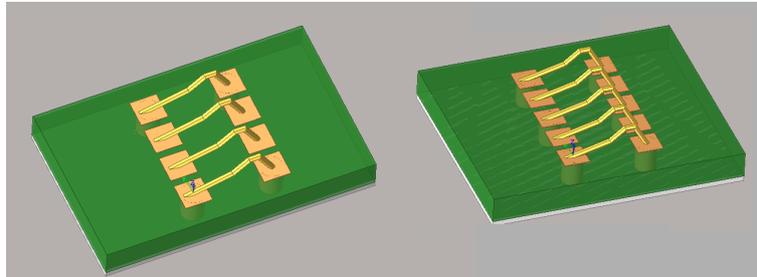


Figura 3.38: Modelos de Wirebonding en EMPro. Tipos respectivamente: GSSG y GSGSG

Los parámetros S de reflexión y transmisión para cada tipo de modelo de Wirebonding tanto simple como diferencial se pueden ver en la figura 3.39.

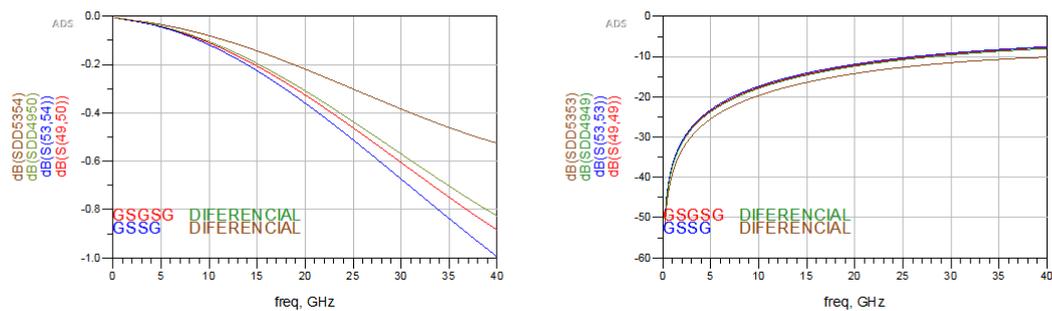


Figura 3.39: Parámetros S de los tipos de conexión en Wirebonding. Respectivamente: Transmisión y reflexión

Las pérdidas asociadas al modelo Wirebonding son muy pequeñas, por lo tanto, el diseño se puede continuar a cabalidad con este tipo de interconexión.

Teniendo estos resultados ya se tienen los modelos para simular completamente la plataforma.

### 3.5. Diseño de la plataforma

En esta sección se presenta el diseño del PCB en EAGLE como propuesta de la plataforma. Al mismo tiempo las longitudes de las pistas se necesitan para poder simular finalmente la plataforma completa en la siguiente sección.

Se propone hacer un PCB con 4 capas, aprovechando sus propiedades de estabilidad, en PCBMain y en la mayoría de fabricantes de PCB se tienen una envergadura mínima

de 0.8mm, por lo tanto el stack-up se hará con este valor. El diagrama del stack-up se puede ver en la figura 3.40.

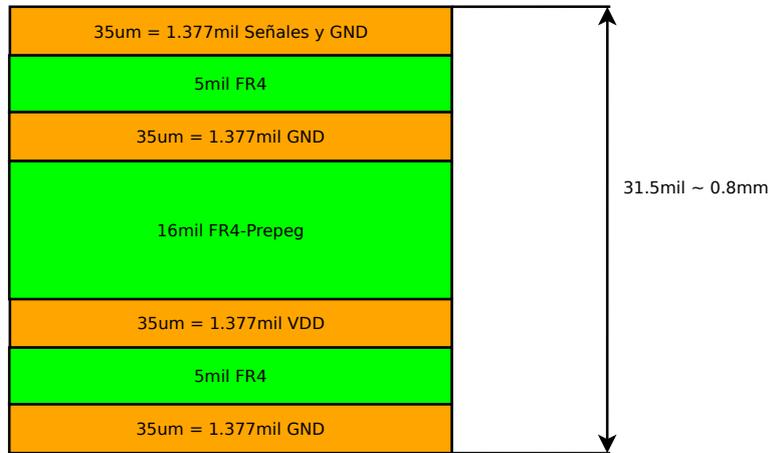


Figura 3.40: Propuesta de Stack-up de la plataforma, con asignación de señales y planos de alimentación

Para hacer más robusto el diseño y tener mejor integridad de la señal se hace el diseño de 4 capas, conectandolas entre sí a través de through hole vias. Se van a colocar capacitores de acople entre las terminales de VDD y GND, con tal de disminuir la resonancia y evitar discontinuidades.

Para las señales de control a baja velocidad no se utilizan conectores SMA, sino algo más simple de manipular, barato y con bajos requerimientos. Por lo tanto se utilizarán conectores tipo banana para interfazar fácilmente las señales, el modelo en EMPro se puede ver en la figura 3.41 y el footprint de EAGLE en la figura 3.42. Se piensa colocar conectores de diferentes colores para facilitar la conexión de las señales, como por ejemplo:

- Negro: GND.
- Rojo: VDD.
- Verde: Señal de control.

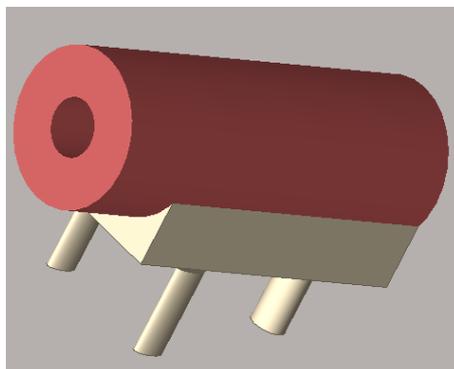


Figura 3.41: Modelo 3D del conector tipo banana



Figura 3.42: Footprint del conector en EAGLE

Se vió en la sección anterior que una abertura debajo del pin del conector ayuda a la transmisión y reduce las reflexiones, por lo tanto se debe tomar en cuenta para el diseño.

Teniendo las características anteriores, se tiene el siguiente diseño para el PCB, el cual se muestra en la figura 3.43.

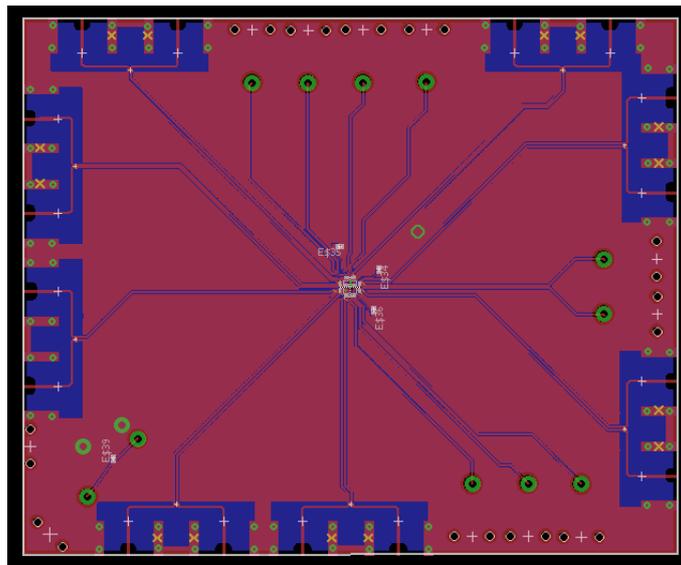


Figura 3.43: PCB realizado en el software EAGLE, con la capa superior y la siguiente

Seguendo el stack-up y el footprint en EAGLE, se puede crear el modelo final en 3D en EMPro, como se ve en la figura 3.44.

En la figura 3.45 se puede ver la posible plataforma con los conectores ya colocados. Los conectores SMA que se colocaron para fines ilustrativos son tipo EDGE. Las dimensiones son aproximadamente iguales en todos los conectores, pues así se procuró en el diseño para comparar diseños en igualdad de condiciones.

Para conocer los largos de las pistas se corre una función en EAGLE que obtiene los largos y se restan las extensiones que ya están incluidas en el modelo, con tal de obtener el trozo de línea que hace falta. Se procuró la menor distancia desde el chip hasta el conector,

en la tabla 3.2 se pueden ver las longitudes de cada línea a alta velocidad.

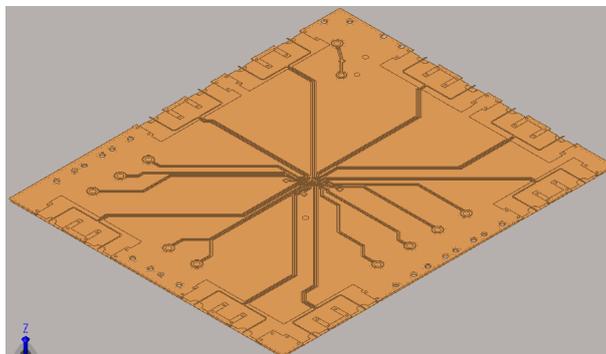


Figura 3.44: Plataforma de interconexiones sin conectores en EMPro

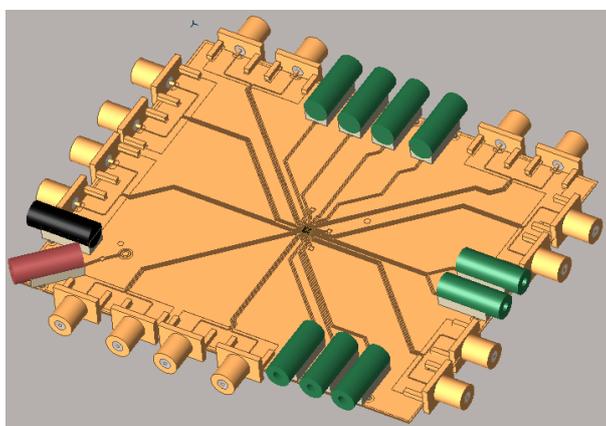


Figura 3.45: Plataforma de interconexiones con conectores en EMPro

Tabla 3.2: Largos de los traves en la plataforma

| Trace diferencial      | Largo de la línea completa | Largo de la línea a simular<br>menos la distancia del modelo |
|------------------------|----------------------------|--------------------------------------------------------------|
| IN1                    | 55.17mm                    | 43.70mm                                                      |
| IN2                    | 56.72mm                    | 45.25mm                                                      |
| IN3                    | 52.42mm                    | 40.95mm                                                      |
| IN4                    | 52.04mm                    | 40.57mm                                                      |
| IN5                    | 42.07mm                    | 30.60mm                                                      |
| IN6                    | 57.95mm                    | 46.48mm                                                      |
| IN7                    | 57.86mm                    | 46.39mm                                                      |
| IN8                    | 55.97mm                    | 44.50mm                                                      |
| <b>Línea más larga</b> | 57.95mm                    | 46.48mm                                                      |
| <b>Línea más corta</b> | 42.07mm                    | 30.60mm                                                      |

Con las longitudes de la tabla 3.2 se puede simular el modelo completo de bloques en el software ADS. Se necesita conocer el mejor (línea más corta) y peor (línea más larga) caso para las simulaciones de la siguiente sección.

### 3.6. Simulación completa de la plataforma de interconexión

Ahora se debe simular el diseño a través de bloques, exportando los modelos electromagnéticos de conectores en la sección de la plataforma y wirebonding desde EMPro hacia ADS. Una línea diferencial es colocada en el medio de ambas para simular el comportamiento total de la plataforma a alta velocidad. El diagrama se puede ver en la figura 3.46.

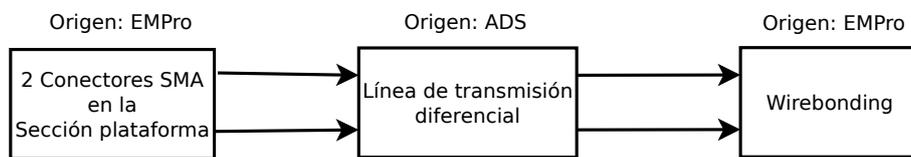


Figura 3.46: Representación en bloques de la simulación en ADS

Se pueden ver los modelos a simular en ADS en la figura 3.47. El sustrato se define con las mismas características que la línea microstrip. La longitud que se coloca a la línea diferencial es la más larga de la tabla 3.2, para evaluar el peor caso.

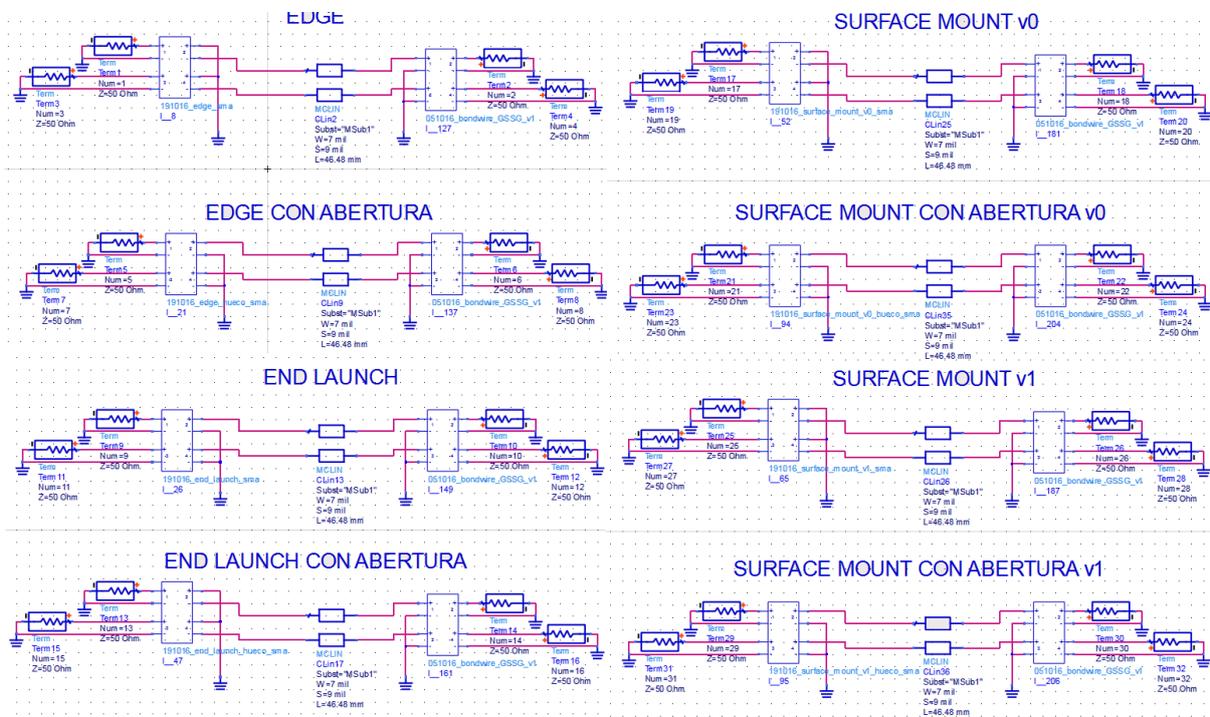


Figura 3.47: Modelos a simular de la plataforma completa

Como se dijo anteriormente, se usa la extensión más larga en todos los conectores de la tabla 3.2, para evaluar en igualdad de condiciones las opciones, además, porque se procuró mantener la misma distancia en todos los diseños. El diseño de bondwire que se utiliza, es el que cuenta con mayor pérdida, siendo el GSSG, para conocer el peor tipo de conexión que se puede obtener, desde el chip hasta el equipo de medición. Se pueden ver los parámetros S de transmisión y reflexión en las figuras 3.48 y 3.49, respectivamente.

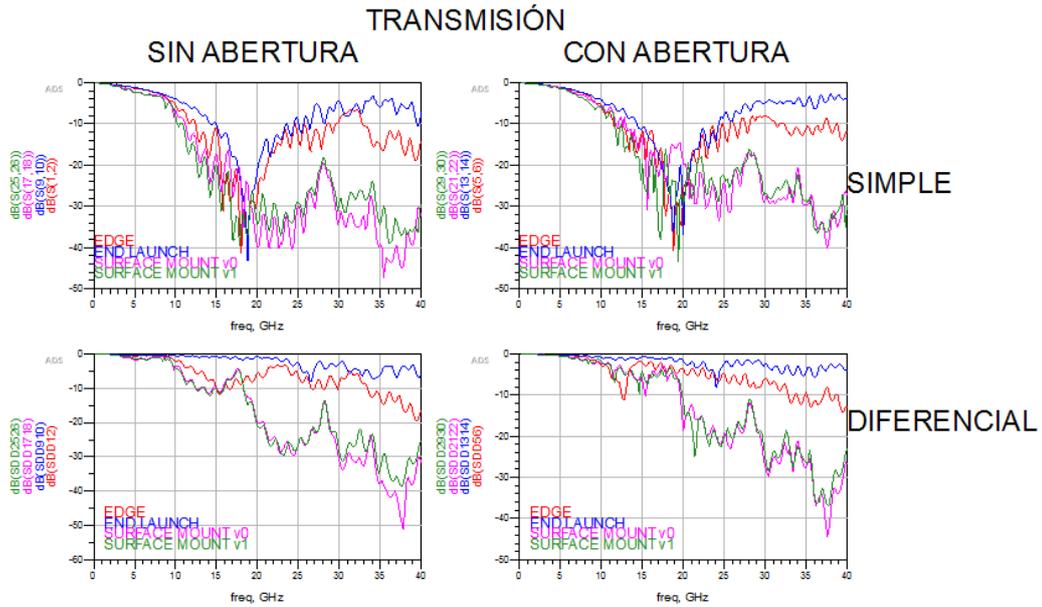


Figura 3.48: Transmisión de la plataforma completa

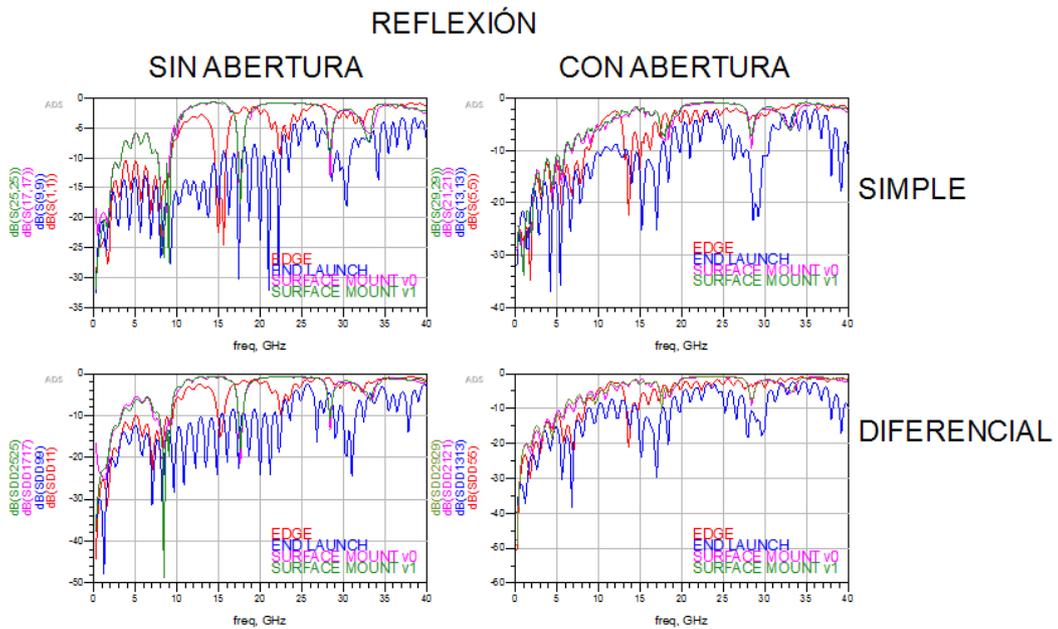


Figura 3.49: Reflexión de la plataforma completa

Viendo la transmisión de la figura 3.48 se observa que las mejores transmisiones son causadas cuando existe una abertura debajo del pin y cuando la transmisión es diferencial. El conector con la mejor respuesta de transmisión es el tipo END LAUNCH.

Cuando se observa la reflexión de los conectores en la figura 3.49 se nota que las reflexiones son altas, viéndose mejor cuando el conector es de tipo END LAUNCH y sin abertura. Como se dijo en las secciones anteriores gran parte de las reflexiones son debido al conector SMA.

De todos los conectores se tiene que el mejor es el tipo END LAUNCH. Se puede ver atribuido el comportamiento, a que todos los PCB diseñados vistos en la figura 3.33 presentan pérdidas similares, mientras que en las figuras 3.35 y 3.36 se puede ver que el conector SMA hace distar las simulaciones entre sí, degradando la señal según el tipo debido al diámetro de los pines como se muestra en la tabla 3.1, el conector con el diámetro más pequeño es el que muestra mejor respuesta.

En las hojas de datos se indica que los conectores SMA tienen un funcionamiento óptimo hasta una frecuencia de 18.5GHz, lo cual se vio reflejado en las simulaciones. Pudiéndose decir que son un buen acercamiento a la realidad del dispositivo final.

## 4 Análisis de resultados

Ya se tienen los resultados del modelo para fabricación, por lo que ahora se realizan algunas pruebas con el fin de validar la calidad del enlace. Para esto se proponen realizar las siguientes pruebas:

1. Diagramas de ojo.
2. Respuesta al escalón.

### 4.1. Diagramas de ojo

Se desconoce si las señales que van a entrar al chip serán digitales o analógicas, sin importar el tipo de los datos, esta prueba sirve de evaluación, pues, si el ojo se mantiene abierto al introducir un flujo de datos a una frecuencia igual a la máxima, se puede garantizar la integridad de la señal a cualquier frecuencia inferior.

La frecuencia máxima del sistema es 10GHz, por lo tanto se usan 20Gbps por la naturaleza de un dato digital cambiante a una frecuencia determinada, como se ve en la figura 4.1. Se coloca el doble de bits de la frecuencia máxima, pues dos forman un período completo.

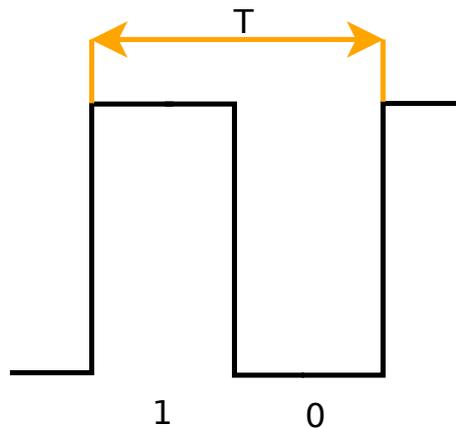


Figura 4.1: Flujo de datos del diagrama de ojo

Los modelos se ejecutarán sobre los últimos resultados de la sección anterior, para ver el efecto sobre el sistema completo.

Se pondrá una transición de 0V a 1V en el diagrama de ojo para estimularlo correctamente. Las pruebas de diagramas de ojo se van a efectuar en el software ADS. El mismo cuenta con dos variables de diagrama de ojo, las cuales son:

- Estadística.
- PRBS.

#### 4.1.1. Estadística

En la figura 4.2 se puede ver uno de los modelos de prueba para obtener diagramas de ojo. Para los demás modelos solo se cambia el modelo con otro conector adjunto.

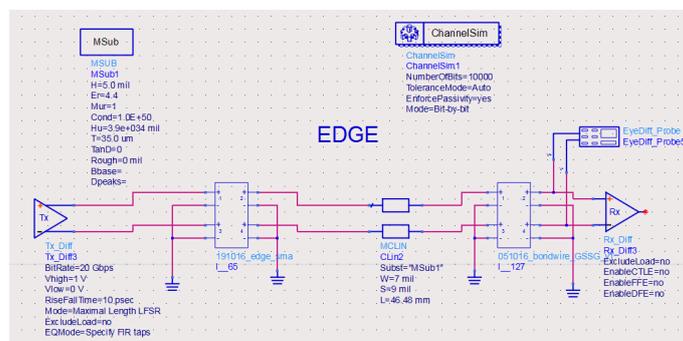


Figura 4.2: Modelo para obtener diagrama de ojo por herramienta estadística en el conector tipo EDGE

Los diagramas de ojo efectuados sobre los modelos se pueden ver en la figura 4.3

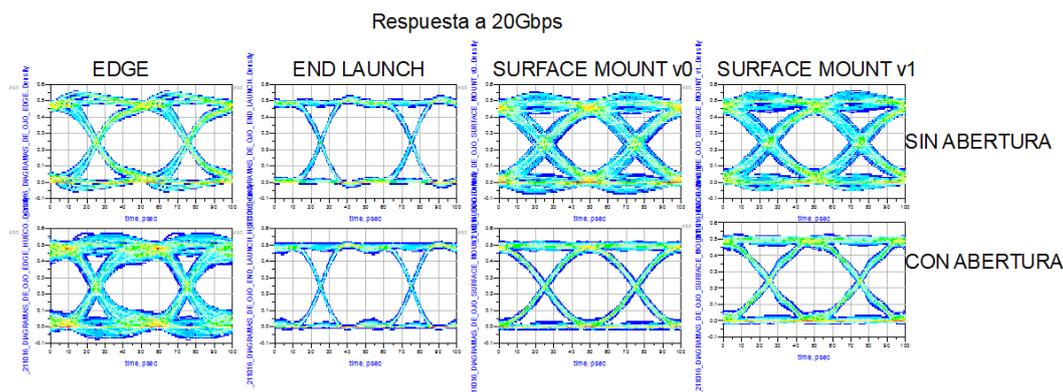


Figura 4.3: Diagramas de ojo obtenidos por medio estadístico de ADS

Se puede ver en la figura 4.3 que el ojo se encuentra más abierto cuando se usa un conector de tipo END LAUNCH con abertura. Los demás conectores se pueden utilizar, en el caso de escogerlos, pues todos presentan una buena abertura de ojo, indicando que se pueden discernir claramente entre ceros y unos a la hora de transmitir datos a una frecuencia de 10GHz.

También se puede observar que el ojo se abre más con la abertura que se realiza en la parte inferior sobre la que reposa el pin, excepto en el modelo tipo EDGE, donde la transmisión mejora cuando no hay abertura.

#### 4.1.2. PRBS

Un modelo usando una fuente PRBS se puede ver en la figura 4.4. Se van a inyectar 10000 bits para asegurar un alto número de muestras en la prueba.

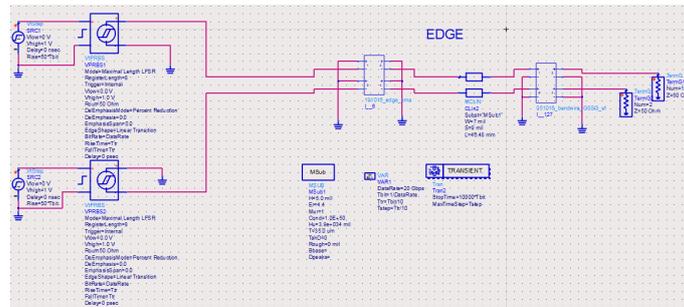


Figura 4.4: Modelo para obtener diagrama de ojo usando una herramienta PRBS en el conector tipo EDGE

Igual que en el apartado anterior solo se coloca un modelo ya que en los demás solo se necesita cambiar el conector adjunto.

En la figura 4.5 se pueden ver los diagramas de ojo con fuente PRBS.

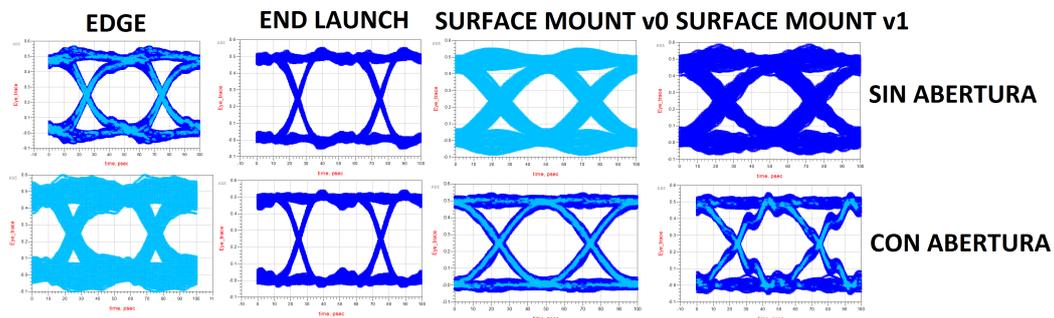


Figura 4.5: Diagramas de ojo obtenidos con fuente PRBS

Al igual que en el apartado anterior, se puede recomendar el uso de cualquier conector SMA para una buena transmisión, ya que el ojo se muestra abierto en todos los casos independientemente del modelo implementado. Sin embargo, el conector que muestra la transmisión más óptima es el tipo END LAUNCH con abertura. El peor caso es el conector tipo EDGE, cuando tiene una abertura, pues el ojo se cierra levemente.

Se puede ver que los diagramas de ojo son bastante similares sin importar la herramienta que se usa es estadística o PRBS, ya que en ambos casos, la estructura que muestra mejor transmisión es la que cuenta con un conector tipo END LAUNCH cuando tiene una abertura debajo del pin.

#### 4.2. Respuesta al escalón

El comportamiento del sistema se verificó al introducir un escalón, con el fin de ver la magnitud del sobreimpulso y su extensión temporal. Esta prueba se realizó en el software ADS. El modelo se puede ver en la figura 4.6. Se deben poner ambas entradas en contrafase para simular un comportamiento diferencial.

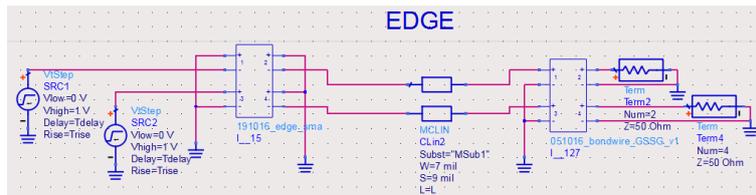


Figura 4.6: Modelo para obtener la respuesta al escalón

La respuesta al escalón se analizará de forma diferencial, aplicando la ecuación 4.

$$DifferentialStep = 0,5(Puerto_2 - Puerto_4) \quad (4)$$

Se restan ambas salidas para observar el comportamiento diferencial y los resultados de la respuesta al escalón se puede ver en la figura 4.7.

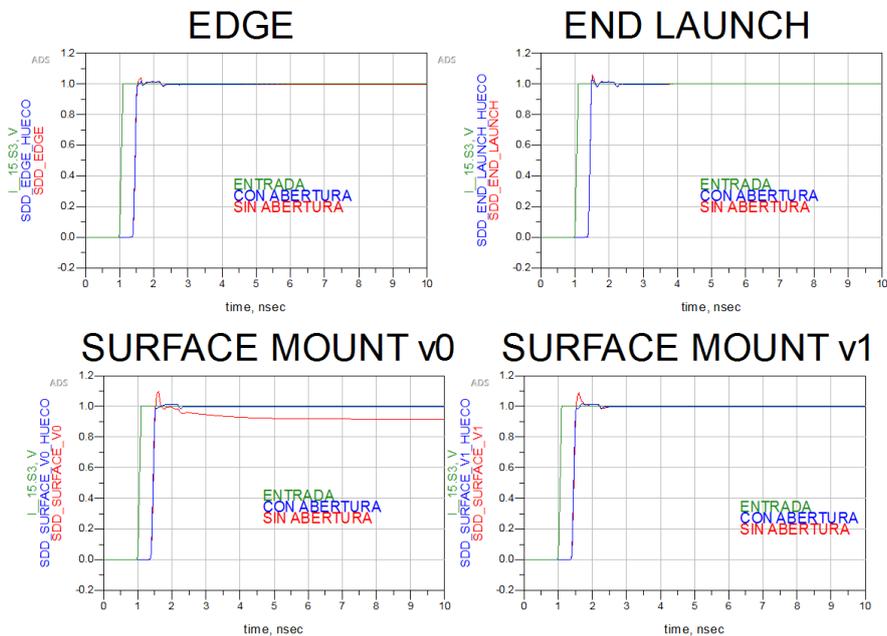


Figura 4.7: Respuesta al escalón

Las mejores respuestas son cuando los sistemas cuentan con una abertura debajo del pin ya que en todas el sobreimpulso es igual a un 1% y además la duración de la inestabilidad

es menor a 1ns. El conector de SURFACE MOUNT con la versión 0, muestra una respuesta poco deseada pues también incluye una atenuación. Se puede ver que las mejores respuestas al escalón son las debidas a los sistemas que cuentan con un conector tipo EDGE o END LAUNCH, cuando el sistema tiene abertura.

# 5 Conclusiones y recomendaciones

## 5.1. Conclusiones

Se obtuvo el layout de la plataforma de interconexiones garantizando la integridad de la señal, operando en el rango de frecuencia solicitado (0Hz hasta 10GHz) y al mismo tiempo alimentando el CI, asegurando la integridad de potencia. En el diseño final se debe usar un conector tipo SMA con geometría END LAUNCH, pues muestra una mejor respuesta a nivel de frecuencia, el mismo debe ser escogido correctamente ya que gran parte de las degradaciones de la señal son debidas a este componente, de acuerdo al trabajo realizado.

Otro aspecto para garantizar la integridad de la señal en diseños a alta frecuencia es efectuar un tipo de conexión diferencial y realizar una abertura debajo del pin, ayudando a disminuir las reflexiones, las pérdidas en la transmisión, el sobreimpulso y una disminución en el tiempo de estabilización. Para reducir el presupuesto sin comprometer la señal, cuando los diseños tienen baja densidad de interconexión se debe usar una tecnología de sustrato multicapa laminado y una conexión con el CI de tipo wirebond.

En cuanto a recursos computacionales cuando el hardware disponible no es de alto rendimiento, si se cuenta con estructuras complejas se debe dividir el diseño en un sistema de bloques y otro aspecto que ayuda el tiempo de simulación es la disminución de la caja de simulación.

## 5.2. Recomendaciones

- Investigar más soluciones de manufactura, en busca de soluciones más económicas.
- Buscar y simular con algún otro tipo de conectores, preferiblemente con geometrías que presenten un diámetro igual o menor al END LAUNCH.
- Antes de la manufactura implementar más pruebas para hacer el proceso de diseño más robusto, como lo pueden ser: respuesta al impulso, pruebas en el tiempo.
- Una vez que el chip esté ensamblado, realizar pruebas electromagnéticas, para comparar el grado de exactitud con respecto a las simulaciones.
- Cuando se tienen diseños que requieren alto rendimiento a alta frecuencia usar las opciones de interconexión tipo BGA y la tecnología de sustrato multicapa tipo SBU.

## 6 Bibliografía

- [1] R. Rímolo and P. Vega, “Circuito Integrada para la Espectroscopía de Células Humanas - Fase 1.”
- [2] “Electrical Impedance Spectroscopy (EIS) - Zilico Limited.” [Online]. Available: <https://zilico.co.uk/research-development/electrical-impedance-spectroscopy-eis.html>
- [3] T. Kerner, K. Paulsen, A. Hartov, S. Soho, and S. Poplack, “Electrical impedance spectroscopy of the breast: clinical imaging results in 26 subjects,” *IEEE Transactions on Medical Imaging*, vol. 21, no. 6, pp. 638–645, Jun. 2002. [Online]. Available: <http://ieeexplore.ieee.org/document/1021930/>
- [4] R. R. Tummala, *Introduction to Microsystems Packaging*. McGraw-Hill Education, 2001.
- [5] B. Bae, J. Cho, and J. Kim, “On-chip design techniques for reducing power supply noise effects on ADC with chip-PCB hierarchical structure.” IEEE, Aug. 2012, pp. 549–553. [Online]. Available: <http://ieeexplore.ieee.org/document/6351672/>
- [6] R. Winkel, “Four or more layer PCB design for beginners using EAGLE,” Jun. 2012. [Online]. Available: <http://brc-electronics.nl/Generalfiles/Report2.pdf>
- [7] V. Mishra, H. Bouayad, A. Schned, A. Hartov, J. Heaney, and R. J. Halter, “A Real-Time Electrical Impedance Sensing Biopsy Needle,” *IEEE Transactions on Biomedical Engineering*, vol. 59, no. 12, pp. 3327–3336, Dec. 2012. [Online]. Available: <http://ieeexplore.ieee.org/document/6280633/>
- [8] Z. Cheng, D. Xiuzhen, F. Feng, J. Zhenyu, and X. Canhua, “Breast Cancer Detection Based on Multi-Frequency EIS Measurement.” IEEE, Aug. 2007, pp. 4158–4160. [Online]. Available: <http://ieeexplore.ieee.org/document/4353252/>
- [9] “Low Resistivity or High Conductivity of Conducting Material.” [Online]. Available: <http://www.electrical4u.com/low-resistivity-or-high-conductivity-of-conducting-material/>
- [10] H. G. L. Coster, “Principles & Applications of Electrical Impedance Spectroscopy.compressed,” Universidad de Sidney, Escuela de Ingeniería Química y Biomolecular, Feb. 2015. [Online]. Available: <http://www3.ntu.edu.sg/newri2/Event/SMTC-seminar/5.%20Principles%20%26%20Applications%20of%20Electrical%20Impedance%20Spectroscopy.compressed.pdf>
- [11] “Electrical Performance of High Speed Signaling in Coupled Microstrip Lines.” [Online]. Available: <https://www.cst.com/Applications/Article/Electrical-Performance-Of-High-Speed-Signaling-In-Coupled-Microstrip-Lines>
- [12] J. Qiao, M. Jin, W. He, W.-T. K. Chien, and S. Zhao, “Comprehensive Wafer Level Package Die Processing Service quality control enhancement.” IEEE, Dec. 2015, pp. 1684–1688. [Online]. Available: <http://ieeexplore.ieee.org/document/7385934/>
- [13] G. V. Mahesh, “An Introduction to Electronics Systems Packaging.” [Online]. Available: <http://nptel.ac.in/courses/108108031/11>
- [14] Smithsonian, “INTEGRATED CIRCUIT ENGINEERING CORPORATION.” [Online]. Available: [http://smithsonianchips.si.edu/ice/cd/PKG\\_BK/CHAPT\\_12.PDF](http://smithsonianchips.si.edu/ice/cd/PKG_BK/CHAPT_12.PDF)
- [15] “Types of Printed Circuit Boards.” [Online]. Available: <http://www.pcbcart.com/blog/blog-printed-circuit.html>
- [16] “Glossary Definition for Printed-Circuit-Board.” [Online]. Available: <https://www.maximintegrated.com/en/glossary/definitions.mvp/term/Printed-Circuit-Board/gpk/973>
- [17] S. Jagarkal, M. Hossain, D. Agonafer, M. Lulu, and S. Reh, “Design optimization and reliability of PWB level electronic package.” IEEE, 2004, pp. 368–376. [Online]. Available: <http://ieeexplore.ieee.org/document/1318306/>
- [18] A. Trivedi, *Thermo-mechanical Solutions in Electronic Packaging: Component to System Level*. ProQuest, 2008, google-Books-ID: rSx5hU6TAGMC. [Online]. Available: [https://books.google.co.cr/books/about/Thermo\\_mechanical\\_Solutions\\_in\\_Electr.html?id=rSx5hU6TAGMC](https://books.google.co.cr/books/about/Thermo_mechanical_Solutions_in_Electr.html?id=rSx5hU6TAGMC)
- [19] S. K. Tewksbury, *Wafer-Level Integrated Systems: Implementation Issues*. Springer Science & Business Media, Dec. 2012, google-Books-ID: 64nuBwAAQBAJ. [Online]. Available: [https://books.google.co.cr/books/about/Wafer\\_Level\\_Integrated\\_Systems.html?id=64nuBwAAQBAJ](https://books.google.co.cr/books/about/Wafer_Level_Integrated_Systems.html?id=64nuBwAAQBAJ)
- [20] M. Pecht, R. Agarwal, F. P. McCluskey, T. J. Dishongh, S. Javadpour, and R. Mahajan, *Electronic Packaging Materials and Their Properties*. CRC Press, Dec. 1998, google-Books-ID:

- \_uWNnTYwc2IC. [Online]. Available: [https://books.google.co.cr/books/about/Electronic\\_Packaging\\_Materials\\_and\\_Their.html?id=\\_uWNnTYwc2IC](https://books.google.co.cr/books/about/Electronic_Packaging_Materials_and_Their.html?id=_uWNnTYwc2IC)
- [21] “Why multilayer pcb is used so widely?” May 2012. [Online]. Available: [http://www.goldphoenixpcb.com/html/Support\\_Resource/others/arc\\_110.html](http://www.goldphoenixpcb.com/html/Support_Resource/others/arc_110.html)
- [22] “Multilayer PCB,” Aug. 2015. [Online]. Available: <http://www.amitroncorp.com/printed-circuit-boards/multilayer.html>
- [23] R. Rimolo-Donadio, *Development, Validation, and Application of Semi-Analytical Interconnect Models for Efficient Simulation of Multilayer Substrates*. Logos Verlag Berlin GmbH, 2011, google-Books-ID: 8lhnDKXaerkC. [Online]. Available: [https://books.google.co.cr/books/about/Development\\_Validation\\_and\\_Application\\_o.html?hl=es&id=8lhnDKXaerkC](https://books.google.co.cr/books/about/Development_Validation_and_Application_o.html?hl=es&id=8lhnDKXaerkC)
- [24] J. Fjelstad, “Materials and Methods for IC Package Assemblies.” [Online]. Available: <http://electroiq.com/blog/2005/08/materials-and-methods-for-ic-package-assemblies/>
- [25] “Via | Online Documentation for Altium Products,” Nov. 2013. [Online]. Available: [http://techdocs.altium.com/display/ADRR/PCB\\_Obj-Via\(\(Via\)\)\\_AD](http://techdocs.altium.com/display/ADRR/PCB_Obj-Via((Via))_AD)
- [26] E. D. Blackshear, M. Cases, E. Klink, S. R. Engle, R. S. Malfatt, D. N. de Araujo, S. Oggioni, L. D. LaCroix, J. A. Wakil, N. H. Pham, G. G. Hougham, and D. J. Russell, “The evolution of build-up package technology and its design challenges,” *IBM Journal of Research and Development*, vol. 49, no. 4.5, pp. 641–661, Jul. 2005. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=5388811>
- [27] “High-Density Interconnect.” [Online]. Available: [http://www.mtarr.co.uk/courses/topics/0262\\_hdi/index.html](http://www.mtarr.co.uk/courses/topics/0262_hdi/index.html)
- [28] “Blind and Buried Vias | Omni Printed Circuit Boards.” [Online]. Available: <http://www.omnicircuitboards.com/vias>
- [29] “Ball Grid Array (BGA) Packaging.” [Online]. Available: <http://www.intel.co.uk/content/dam/www/public/us/en/documents/packaging-databooks/packaging-chapter-14-databook.pdf>
- [30] “MicroStar BGA Packaging Reference Guide,” Sep. 2000. [Online]. Available: <http://www.ti.com/lit/wp/ssyz015b/ssyz015b.pdf>
- [31] I. Poole, “BGA Solder Process | Soldering BGA Components.” [Online]. Available: <http://www.radio-electronics.com/info/manufacture/soldering/smt-soldering/bga-solder.php>
- [32] —, “What is a BGA | SMD Ball Grid Array Package | Tutorial.” [Online]. Available: <http://www.radio-electronics.com/info/data/smt/smd-bga-ball-grid-array-package.php>
- [33] J. B. Colvin, “BGA and advanced package Wire to Wire bonding for Backside emission microscopy,” in *INTERNATIONAL SYMPOSIUM FOR TESTING AND FAILURE ANALYSIS*. ASM International; 1998, 1999, pp. 365–376. [Online]. Available: <http://www.fainstruments.com/PDF/istfa99.PDF>
- [34] “Gold and aluminum wire bonding | Würth Elektronik: Printed Circuit Boards > Products > Wire Bonding > Production Process.” [Online]. Available: [http://www.we-online.com/web/en/leiterplatten/produkte\\_/bonden/verfahren/Verfahren.php](http://www.we-online.com/web/en/leiterplatten/produkte_/bonden/verfahren/Verfahren.php)
- [35] N. M. Ridler, “Connectors Air Lines and RF Impedance.” [Online]. Available: <http://anlage.umd.edu/Microwave%20Measurements%20for%20Personal%20Web%20Site/Connectors%20Air%20Lines%20and%20RF%20Impedance%2001515916.pdf>
- [36] A. D. Skinner, “Guidance on using coaxial connectors in measurement,” Feb. 1998. [Online]. Available: [http://resource.npl.co.uk/docs/networks/anamet/members\\_only/publications/report\\_015.pdf](http://resource.npl.co.uk/docs/networks/anamet/members_only/publications/report_015.pdf)
- [37] *RF CONNECTOR GUIDE*, 4th ed. Suiza: HUBER+SUHNER, 2007. [Online]. Available: [http://www.repic.co.jp/pdf/catalog/RF\\_Guide.EN.pdf](http://www.repic.co.jp/pdf/catalog/RF_Guide.EN.pdf)
- [38] T. Hirano, J. Hirokawa, and M. Ando, “Influence of the SMA connector and its modeling on electromagnetic simulation,” *Microwave & Optical Technology Letters*, vol. 57, no. 9, pp. 2168–2171, Sep. 2015. [Online]. Available: <http://search.ebscohost.com/login.aspx?direct=true&db=a9h&AN=103531623&lang=es&site=ehost-live>
- [39] S. C. Thierauf, *Understanding Signal Integrity*. Boston: Artech House, Inc, 2011. [Online]. Available: <http://search.ebscohost.com/login.aspx?direct=true&db=e000xww&AN=345692&lang=es&site=ehost-live>

- [40] B. Young, *Digital Signal Integrity: Modeling and Simulation with Interconnects and Packages*, 1st ed. Upper Saddle River, NJ: Prentice Hall, Oct. 2000.
- [41] “Basic Principles of Signal Integrity,” Dec. 2007. [Online]. Available: [https://www.altera.com/content/dam/altera-www/global/en\\_US/pdfs/literature/wp/wp\\_sgnIntgry.pdf](https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/wp/wp_sgnIntgry.pdf)
- [42] “Microstrip Filters for RF/Microwave Applications, 2nd Edition [Book].” [Online]. Available: <https://www.safaribooksonline.com/library/view/microstrip-filters-for/9781118002124/>
- [43] A. Weiler and A. Pakosta, “High-speed layout guidelines,” *Texas Instruments, Application Report, November*, pp. 1999–2007, 2006. [Online]. Available: <http://edge.rit.edu/content/P14251/public/Schematics/Electrical/PCB%20Info/scaa082.pdf>
- [44] “ELECTRICAL IMPEDANCE SPECTROSCOPY.” [Online]. Available: [http://www.micronit.com/wp-content/uploads/2015/01/EIS\\_guide-v1.pdf](http://www.micronit.com/wp-content/uploads/2015/01/EIS_guide-v1.pdf)
- [45] “Coupled Microstrip Analysis/Synthesis Calculator.” [Online]. Available: [http://wcalc.sourceforge.net/cgi-bin/coupled\\_microstrip.cgi](http://wcalc.sourceforge.net/cgi-bin/coupled_microstrip.cgi)
- [46] E. Petillon, “Power Delivery Network Analysis,” Nov. 2012. [Online]. Available: <http://www.ti.com/lit/an/swpa222a/swpa222a.pdf>
- [47] C. Schuster, “Fundamentals of Signal and Power Integrity,” 2012. [Online]. Available: <http://www.ee.cityu.edu.hk/~emc/20130530P1.pdf>
- [48] “Eagle.” [Online]. Available: <https://cadsoft.io/>
- [49] “Advanced Design System (ADS) | Keysight (formerly Agilent’s Electronic Measurement).” [Online]. Available: <http://www.keysight.com/en/pc-1297113/advanced-design-system-ads?cc=CR&lc=eng>
- [50] “EMPro 3d EM Simulation Software | Keysight (formerly Agilent’s Electronic Measurement).” [Online]. Available: <http://www.keysight.com/en/pc-1297143/empro-3d-em-simulation-software?cc=CR&lc=eng>
- [51] “ANSYS HFSS - High Frequency Electromagnetic Field Simulation.” [Online]. Available: <http://www.ansys.com/products/electronics/ANSYS-HFSS>
- [52] “PCB Quote, Cost Calculator.” [Online]. Available: <http://www.7pcb.ca/pcb-quote-online/#>
- [53] “Calculator PCB | Printed Circuit Board Manufacturing.” [Online]. Available: <http://www.pcbcart.com/quote>
- [54] “==PCBMAIN==.” [Online]. Available: <http://www.pcbmain.com/index.php/order>
- [55] “Microstrip Impedance | Electronics and Electrical Engineering Tools | EEWeb Community.” [Online]. Available: <https://www.eeweb.com/toolbox/microstrip-impedance/>
- [56] tensorbundle, “CST MWS Tutorial 04: Port Creation & Simulation of Microstrip Patch Antenna.” [Online]. Available: <https://www.youtube.com/watch?v=k54XWrcI5Bc>
- [57] “Edge Coupled Microstrip Impedance | Electronics and Electrical Engineering Tools | EEWeb Community.” [Online]. Available: <https://www.eeweb.com/toolbox/edge-coupled-microstrip-impedance/>
- [58] “Boundary and Excitation Training,” Feb. 2013. [Online]. Available: [http://data.eefocus.com/myspace/37/189477/bbs/2010-05-28/1275066936\\_8f80f270.pdf](http://data.eefocus.com/myspace/37/189477/bbs/2010-05-28/1275066936_8f80f270.pdf)
- [59] R. . S. G. . C. KG, “Calculate the mixed-mode S-parameter from an S4p file - FAQ.” [Online]. Available: [https://www.rohde-schwarz.com/us/faq/calculate-the-mixed-mode-s-parameter-from-an-s4p-file-faq\\_78704-30300.html](https://www.rohde-schwarz.com/us/faq/calculate-the-mixed-mode-s-parameter-from-an-s4p-file-faq_78704-30300.html)
- [60] “Parameterized Design - Differential Lines - Keysight EEsof Applications - Keysight EEsof Knowledge Center.” [Online]. Available: <http://edadocs.software.keysight.com/display/eesofapps/Parameterized+Design+-+Differential+Lines>
- [61] “RF Coaxial Calculator - everything RF.” [Online]. Available: <http://www.everythingrf.com/rf-calculators/coax-calculator>