

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica



Diseño de una unidad de estimación de parámetros para un sistema de optimización de energía de uso en paneles fotovoltaicos

Informe de Proyecto de Graduación para optar por el título de
Ingeniero en Electrónica con el grado académico de Licenciatura

Pablo Esteban Gómez Ramírez

5 de diciembre de 2017

INSTITUTO TECNOLÓGICO DE COSTA RICA

ESCUELA DE INGENIERÍA ELECTRÓNICA

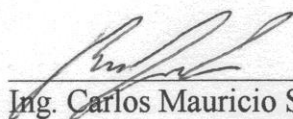
PROYECTO DE GRADUACIÓN

ACTA DE APROBACIÓN

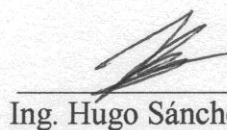
**Defensa de Proyecto de Graduación
Requisito para optar por el título de Ingeniero en Electrónica
Grado Académico de Licenciatura
Instituto Tecnológico de Costa Rica**

El Tribunal Evaluador aprueba la defensa del proyecto de graduación denominado Diseño de una unidad de estimación de parámetros para un sistema de optimización de energía de uso en paneles fotovoltaicos, realizado por el señor Pablo Esteban Gómez Ramírez y, hace constar que cumple con las normas establecidas por la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica.


Miembros del Tribunal Evaluador


Ing. Carlos Mauricio Segura Quirós

Profesor lector


Ing. Hugo Sánchez Ortíz

Profesor lector


Ing. Carlos Meza Benavides

Profesor asesor

Cartago, 1 de diciembre de 2017

Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía he procedido a indicar las fuentes mediante las respectivas citas bibliográficas. En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



Pablo Esteban Gómez Ramírez
Cartago, 4 de diciembre de 2017

Céd: 3-0477-0212

Resumen

En este trabajo se presenta el diseño y el desarrollo de una unidad digital de estimación de parámetros para un sistema de optimización de energía de paneles fotovoltaicos. Estos parámetros son necesarios para la búsqueda del punto de máxima potencia en los paneles. Se expone la integración de trabajos realizados anteriormente en este proyecto y el desarrollo del acondicionamiento de señales, necesario para la estimación. Se brinda una implementación en HDL, específicamente en Verilog. Se muestran los resultados de las simulación post-implementación de las partes que integran el sistema de estimación de parámetros y la comparación con resultados obtenidos de un programa de alto nivel.

Palabras clave: HDL, Verilog, FPGA, panel fotovoltaico.

Abstract

In this work, a digital parameter estimation unit for an energy optimization system of photovoltaic panels was implemented. These parameters are necessary to search for the maximum power point in a photovoltaic panel. This document demonstrates the Verilog design and implementation, the post-implementation simulation and the obtained results.

Keywords: HDL, Verilog, FPGA, panel fotovoltaico.

a mis queridos padres

Agradecimientos

A mi familia, que me brindan su apoyo de manera incondicional y en especial a mis padres, que siempre me han abierto oportunidades para crecer como persona y que son mi ejemplo a seguir.

A los profesores Dr. Carlos Meza y Dr. Alfonso Chacón, por permitirme participar en el proyecto y por la guía y confianza brindadas durante el desarrollo del mismo.

A los diferentes compañeros y amigos a lo largo de este periodo, por el apoyo mutuo que de una u otra forma permiten que llegue hasta esta meta.

Pablo Esteban Gómez Ramírez

Cartago, 5 de diciembre de 2017

Índice general

Índice de figuras	iii
Índice de tablas	v
1 Introducción	1
1.1 Entorno del proyecto	1
1.2 Descripción del problema y justificación	2
1.3 Meta	2
1.4 Síntesis del problema	2
1.5 Objetivos	3
1.5.1 Objetivo General	3
1.5.2 Objetivos específicos	3
1.6 Enfoque de la solución	3
1.7 Estructura	4
2 Marco Teórico	5
2.1 Panel fotovoltaico	5
2.2 Curvas corriente-tensión (I-V) para un panel fotovoltaico	5
2.3 Modelo de panel fotovoltaico	6
2.4 Estimación de parámetros	8
2.5 Representación binaria en punto fijo	10
2.6 Representación binaria en punto flotante	10
2.7 Método de Euler para ecuaciones diferenciales ordinarias	11
3 Acondicionamiento digital de las señales	12
3.1 Descripción de la unidad de acondicionamiento digital	13
3.1.1 Unidad de memoria ROM	13
3.1.2 Unidad de multiplicación en punto flotante	15
3.1.3 Unidad de suma-resta en punto flotante	17
3.1.4 Unidad de ajuste de exponente y mantissa	18
3.2 Control de flujo de datos del acondicionamiento digital	21
3.3 Verificación y resultados de la unidad de acondicionamiento digital de las señales mediante Verilog HDL	24
4 Integración de módulos del sistema estimador y control de flujo de datos	28

4.1	Descripción de la unidad del sistema estimador	28
4.1.1	Unidad de linealización, conversión punto flotante-punto fijo y normalización	28
4.1.2	Unidad de suma en punto fijo	30
4.1.3	Unidad de estimación de parámetros	31
4.1.4	Unidad de desnormalización, conversión punto fijo-punto flotante y deslinealización	33
4.2	Control de flujo de datos del sistema estimador	34
4.3	Integración de control y unidades	38
4.4	Verificación y resultados del control de la unidad del sistema de estimación de parámetros	41
5	Integración de unidades	43
5.1	Verificación y resultados de la integración de unidades mediante Verilog HDL	45
6	Conclusiones y recomendaciones	49
6.1	Conclusiones	49
6.2	Recomendaciones	49
	Bibliografía	51
A	Hoja de información del proyecto	53

Índice de figuras

1.1	Diagrama de solución para el sistema completo.	4
2.1	Curva característica corriente(I)-voltaje(V) y potencia(P)-voltaje(V) para un panel fotovoltaico.[3]	6
2.2	Modelo general no ideal para un panel fotovoltaico, compuesta por un diodo, una fuente de corriente, pérdidas resistivas por cada celda.[16]	7
3.1	Unidad general de acondicionamiento digital de las señales.	12
3.2	Unidad completa del acondicionamiento digital de las señales.	14
3.3	Unidad general de la memoria ROM.	15
3.4	Unidad general de multiplicación en punto flotante.	16
3.5	Unidad general de suma-resta en punto flotante.	17
3.6	Unidad general de ajuste de exponente y mantissa.	18
3.7	Tratamiento realizado sobre el exponente de la resta $I_g - i_{pv}$ para obtener la salida <i>EXP</i>	19
3.8	Tratamiento realizado sobre la mantissa de la resta $I_g - i_{pv}$ para obtener la salida <i>MANTISSA</i>	20
3.9	Unidad general del control de flujo de datos del acondicionamiento digital.	21
3.10	Estructura del control básico de la máquina de estados finita para el flujo de datos del acondicionamiento digital.	23
3.11	Resultados del modelo teórico y la simulación de comportamiento (behavioral) para v_{pv}	25
3.12	Resultados del modelo teórico y la simulación de comportamiento (behavioral) para $I_g - i_{pv}$	25
3.13	Error obtenido de v_{pv} en el acondicionamiento digital entre modelo teórico y la simulación de comportamiento (behavioral).	26
3.14	Error obtenido de $I_g - i_{pv}$ en el acondicionamiento digital entre modelo teórico y la simulación de comportamiento (behavioral).	26
3.15	Simulación de comportamiento (behavioral) del acondicionamiento digital.	27
4.1	Unidad general del sistema de linealización, conversión y normalización de corriente I y tensión v_{pv}	29
4.2	Resultado de la prueba de la unidad de linealización a una entrada rampa.	30
4.3	Resultado de $\ln(I_g - i_{pv})$ con entrada desde alto nivel.	31
4.4	Unidad general de suma en punto fijo.	31

4.5	Unidad general de estimación de parámetros $\theta_1 = \alpha$ y $\theta_2 = \ln(I_s)$	32
4.6	Diagrama de la estructura de las operaciones realizadas en la unidad de estimación de parámetros θ_1 y θ_2	33
4.7	Unidad general del sistema de conversión, desnormalización y deslinealización de parámetros $\theta_1 = \alpha$ y $\theta_2 = \ln(I_s)$	33
4.8	Unidad del sistema de estimación de parámetros.	35
4.9	Unidad general del control de flujo de datos.	36
4.10	Estructura del control de la máquina de estados finita para el flujo de datos del sistema estimador.	37
4.11	Unidad general del sistema de estimación de parámetros con control de flujo de datos.	38
4.12	Unidad completa del sistema de estimación de parámetros con control de flujo de datos.	40
4.13	Simulación de comportamiento (behavioral) del sistema de estimación digital.	41
4.14	Simulación de comportamiento (behavioral) de la unidad de estimación de parámetros.	42
5.1	Unidad general del sistema de estimación de parámetros.	43
5.2	Unidad general del acondicionamiento digital de datos.	44
5.3	Unidad general del sistema del proyecto.	44
5.4	Resultados del modelo teórico y la simulación de comportamiento (behavioral)) para α	45
5.5	Resultados del modelo teórico y la simulación de comportamiento (behavioral)) para I_s	46
5.6	Error obtenido de α en el acondicionamiento digital entre modelo teórico y la simulación de comportamiento (behavioral)).	46
5.7	Error obtenido de I_s en el acondicionamiento digital entre modelo teórico y la simulación de comportamiento (behavioral)).	47
5.8	Simulación de comportamiento (behavioral)) de la integración de unidades.	47

Índice de tablas

2.1	Modelos para un panel fotovoltaico: ideal, con pérdidas en serie R_s y con pérdidas en paralelo R_p	8
3.1	Resultados experimentales obtenidos de la simulación de comportamiento (behavioral) para los valores v_{pv} y $I_g - i_{pv}$	27
5.1	Resultados experimentales obtenidos de la simulación de comportamiento (behavioral)) para los valores α y I_s	48

Capítulo 1

Introducción

1.1 Entorno del proyecto

Actualmente, la búsqueda de fuentes renovables de energía ha provocado el desarrollo de tecnologías que satisfagan las necesidades y demandas energéticas de la sociedad, entre las cuales se encuentra la producción mediante la energía solar. Costa Rica, en los últimos años, ha abogado por la generación eléctrica de fuentes renovables, alcanzando el 99,06% de energía provenientes de este tipo de fuentes [6]. No obstante, el porcentaje proveniente de la energía solar es de 0,16%, el cual es un monto muy bajo con respecto a las demás fuentes. A pesar de ello, el país posee las condiciones necesarias para la generación eléctrica solar pero no las explota, pues el nivel de irradiación solar recibida en el país es mayor al de otros países que generan mayores porcentajes en su producción energética total. [10] Los sistemas fotovoltaicos están diseñados con una serie de componentes, entre los cuales se encuentran los paneles solares, acumuladores de energía, inversores de onda sinusoidal, protectores de tensión y reguladores[5]. Sin embargo, no cuentan con un componente que ubique el punto de máxima potencia de energía para que el sistema trabaje constantemente en el mismo. Este punto depende de la variación no lineal de la corriente y la tensión del panel fotovoltaica debido a la temperatura e irradiancia del medio, por lo que el sistema de generación depende directamente del entorno donde se encuentra. El objetivo del proyecto es buscar el punto de tensión donde se obtenga la máxima potencia aprovechando las condiciones del medio. El Laboratorio de Diseño de Circuitos Integrados (DCILab) ha tenido un acercamiento a este problema con un panel previamente escogido: KC65T Kyocera Solar[18]. El abordaje del proyecto ha tenido varias etapas en las cuales se han diseñado y probado varias unidades[16][8]. No obstante, no ha sido posible unir las distintas unidades, concluir el diseño y la implementación del mismo mediante la realización de pruebas.

1.2 Descripción del problema y justificación

Para incrementar la eficiencia y encontrar el punto de máxima potencia se pueden conseguir en el mercado sistemas enfocadas para abordar este problema. Comúnmente se utilizan sistemas MPPT (seguidor de punto máximo de potencia por sus siglas en inglés), que utilizan algoritmos heurísticos especialmente diseñados para mover el punto de operación del panel fotovoltaico mientras se observa la potencia generada para actuar de acuerdo al mismo y tratar de alcanzar el MPP. La mayoría de estos algoritmos no requieren de la utilización de un método que utilice la relación no lineal entre v_{pv} e i_{pv} . Sin embargo, si esta relación puede ser efectivamente estimada, se calcularía i_{pv} y v_{pv} del modelo del panel, evitando la utilización de MPPT, ahorrando la utilización de este sistema. [12]

El SESLab (Laboratorio de Sistemas Electrónicos para la Sostenibilidad) desarrolla un sistema electrónico digital que permita obtener el punto de máxima potencia, la cual se encuentra estimando parámetros específicos a partir de la curva característica I_{pv} - V_{pv} (corriente del panel fotovoltaico-tensión de panel fotovoltaico) mediante la utilización de algoritmos de control que dependen de la corriente y la tensión provenientes del panel fotovoltaico mencionado. Para ello, ha estado trabajando junto al DCILab (Laboratorio de Diseño de Circuitos Integrados) en este proyecto, en la cual se han desarrollado varias etapas.

Debido a que la curva característica I_{pv} - V_{pv} tiene un comportamiento no lineal y que las ecuaciones que estiman los parámetros tienen una naturaleza lineal, la información proveniente del panel fotovoltaico sufre una serie de transformaciones. Esta cualidad del estimador implica que la corriente y la tensión deben ser linealizadas para realizar la estimación. Una vez realizada esta operación, los parámetros obtenidos deben ser deslinealizados para ser utilizados posteriormente. Las distintas etapas que conforman el sistema digital han sido diseñadas, se han realizado en lenguaje de descripción de hardware y se ha comprobado su funcionamiento individualmente. No obstante, el comportamiento de los módulos en conjunto no ha sido observado ni probado, por lo que es necesario asegurar un correcto flujo de datos entre los módulos del sistema y luego realizar pruebas para verificar el funcionamiento a nivel de simulación y en la implementación del estimador de parámetros.

1.3 Meta

Desarrollar un sistema que incremente la eficiencia de un panel fotovoltaico para aprovechar de manera óptima la radiación que incide sobre la misma.

1.4 Síntesis del problema

¿Cómo implementar una unidad de estimación de parámetros para un sistema electrónico digital de optimización de eficiencia de un panel fotovoltaico?

1.5 Objetivos

1.5.1 Objetivo General

Desarrollar la unidad digital de estimación de parámetros corriente-tensión (I-V) de un panel fotovoltaico.

1.5.2 Objetivos específicos

- Desarrollar una unidad de acondicionamiento digital de datos provenientes de un convertidor analógico-digital en lenguaje de descripción de hardware para un estimador de parámetros corriente-tensión de un panel fotovoltaico.
Indicador: Verificar mediante un programa de alto nivel la precisión del acondicionamiento digital con un error menor al 3%.
- Desarrollar una unidad de control de flujo de datos en lenguaje de descripción de hardware para un estimador de parámetros corriente-tensión de un panel fotovoltaico.
Indicador: Unidad de control funcionando con comunicación entre unidades sin pérdida de información.
- Integrar las unidades de acondicionamiento digital de datos y del sistema estimador de parámetros para determinar el funcionamiento del sistema.
Indicador: Comprobar que la comunicación entre unidades se realiza sin pérdida de información y que la precisión del algoritmo tenga un error menor al 5%.

1.6 Enfoque de la solución

Primeramente, se conectarán las unidades del estimador anteriormente desarrolladas y la unidad de control de flujo de datos ideado para evitar errores en las señales entre los módulos. Para ello, se desarrollará una máquina de estados capaz de manejar los datos entre módulos y pruebas a nivel de simulación para comprobar el funcionamiento de la unidad de control y del sistema estimador de parámetros. Para validar el correcto comportamiento del sistema, se compararán los resultados obtenidos en la simulación con los resultados de un modelo teórico en un programa de alto nivel previamente desarrollado en Python. Luego, se desarrolla el acondicionamiento digital de las señales i_{pv} y v_{pv} , -necesario para el correcto funcionamiento del sistema estimador- provenientes del convertidor analógico-digital integrado en la FPGA Nexys 4. Así como con el sistema estimador de parámetros, se valida el comportamiento correcto del estimador con un modelo desarrollado en alto nivel en Python. Luego, se integran el acondicionamiento junto con el sistema estimador de parámetros y se comprueba su funcionamiento con un modelo de alto nivel. El sistema desarrollado tiene la forma de la figura 1.1.

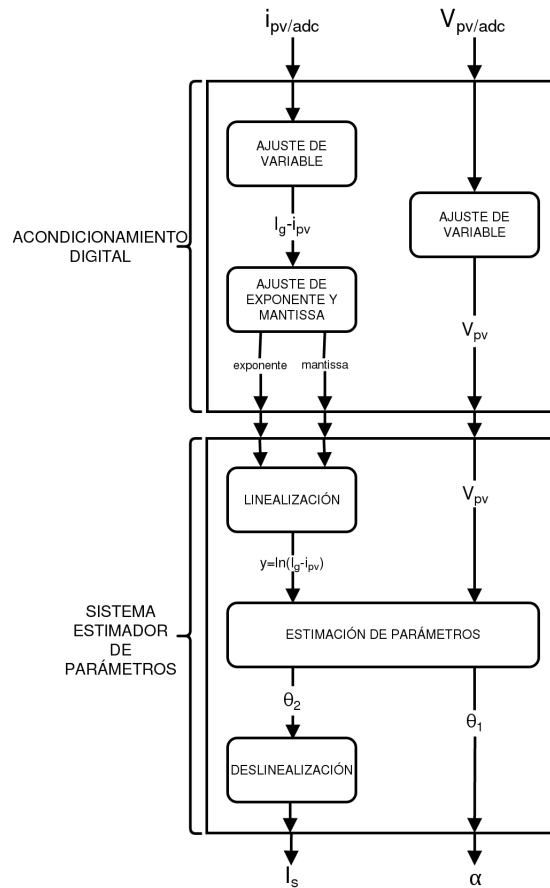


Figura 1.1: Diagrama de solución para el sistema completo.

1.7 Estructura

El capítulo 2 muestra la información utilizada en este proyecto y el sustento teórico en el cual se basa la tesis para la solución. En el capítulo 3 se desarrolla el diseño y la implementación digital del acondicionamiento de las señales provenientes desde el convertidor analógico-digital. En el capítulo 4 se expone la integración de las unidades del sistema estimador y el diseño y desarrollo del control. En el capítulo 5 se muestra la integración del acondicionamiento junto con el sistema estimador, resultados de la simulación y el porcentaje de error que se obtuvo. En el capítulo 6 se presentan las conclusiones y recomendaciones referentes al proyecto.

Capítulo 2

Marco Teórico

2.1 Panel fotovoltaico

Un panel fotovoltaico está compuesto por una gran cantidad de celdas solares: estas consisten en la unión de un par de capas delgadas conocidas como junta $p-n$ compuesta por materiales semiconductores no similares. Las capas n se encuentran hechas de silicio cristalino, el cual es dopado con una cantidad pequeña de impurezas para generar una gran cantidad de electrones libres. Igualmente, las capas p son de Silicio cristalino pero dopadas generalmente con Boro, haciendo que estas tengan un déficit de electrones libres (huecos).

Si la energía proveniente de la incidencia solar producida por un fotón es igual o mayor que la banda prohibida del semiconductor, esta hará que en la junta se presente una recombinación de electrones y huecos, de la capa n a la p y viceversa. Es por esto que se produce un efecto en el que se presentan una mayor cantidad de cargas positivas alrededor de la capa n semiconductor. Los semiconductores del panel, poseen un comportamiento exponencial y no lineal en sus regiones intrínsecas, contrario a las regiones extrínsecas. [17]

2.2 Curvas corriente-tensión (I-V) para un panel fotovoltaico

Un panel fotovoltaico produce su máxima corriente cuando no tiene ninguna resistencia en el circuito, es decir cuando existe un corto circuito entre las terminales positiva y negativa. Esta corriente es generalmente conocida como corriente de corto circuito (I_{sc}) y en este la tensión en el circuito es cero.

Contrario a I_{sc} , la tensión máxima se presenta cuando no se tiene una carga presente en el circuito. Este se conoce como voltaje de circuito abierto (V_{oc}) y bajo esta condición, es posible aproximar la resistencia a infinito y no existe una corriente circulante debido que no se tiene ninguna carga presente[9].

Cuando se realiza la caracterización de un panel fotovoltaico, se toman en consideración ambas pruebas debido a que la unión de ambas generará una curva de corriente-tensión que describirá el modelo eléctrico del panel. Esta caracterización es utilizada para determinar el rendimiento de un panel fotovoltaico. La curva corriente-tensión (I-V) se genera bajo condiciones de estándar de prueba conocidas como STC, en la que se establece una determinada cantidad de irradiancia, generalmente 1000 W/m^2 y un valor de temperatura del dispositivo de $25 \text{ }^\circ\text{C}$. [2]

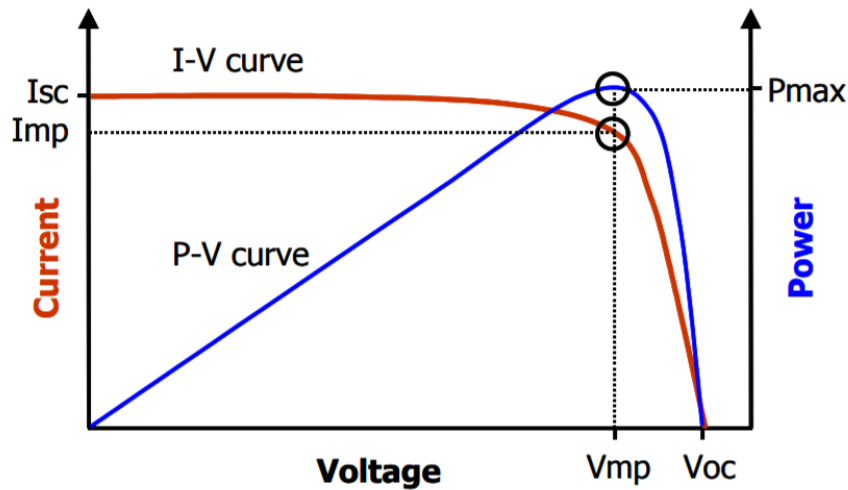


Figura 2.1: Curva característica corriente(I)-voltaje(V) y potencia(P)-voltaje(V) para un panel fotovoltaico.[3]

El punto de máxima potencia de un panel fotovoltaico puede ocurrir para una gran variedad de valores de corriente y tensión, al incrementar la carga resistiva desde el corto circuito I_{sc} hasta un valor muy alto cercano a circuito abierto V_{oc} , donde es posible determinar P_{max} , el punto en el que se genera la máxima salida eléctrica de potencia que la celda es capaz de proveer a un cierto nivel de irradiancia y se expresa como lo muestra la ecuación 2.1.

$$P_{max} = V_{max}I_{max} \quad (2.1)$$

2.3 Modelo de panel fotovoltaico

Un panel fotovoltaico puede ser modelado mediante una fuente de corriente en paralelo, un diodo, una resistencia paralela y una resistencia en serie, como se muestra en la figura 2.2. [8][16]

Este modelo incluye las variables características del panel:

- Dependencia de la temperatura, corriente de saturación del diodo (I_S) y fotocorriente (I_g).

- Pérdidas debidas al flujo de corriente (R_s) y pérdidas con referencia a tierra (R_p).
- Número de celdas en análisis en n.

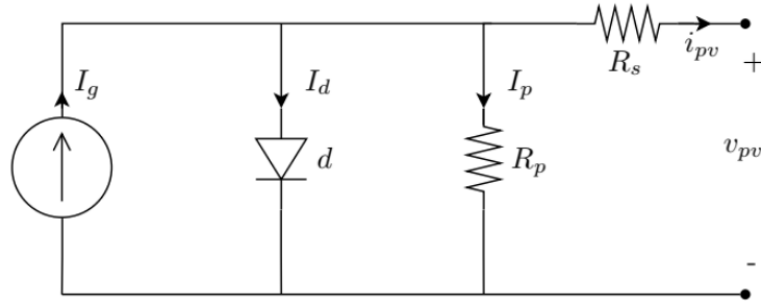


Figura 2.2: Modelo general no ideal para un panel fotovoltaico, compuesta por un diodo, una fuente de corriente, pérdidas resistivas por cada celda.[16]

El modelo presentado permite deducir la ecuación que describe las corrientes i_{pv} y I_g que se muestran a continuación:

$$i_{pv} = I_g - i_d + i_p \quad (2.2)$$

$$I_g = 2i_{pv} + \frac{v_{pv} + i_{pv}R_s}{R_p} - I_s + I_s e^{\frac{v_{pv} + i_{pv}v_{pv}}{nv_t}} \quad (2.3)$$

Despejando i_{pv}

$$i_{pv} = \frac{1}{2} \left[I_s + I_g - \frac{v_{pv} + i_{pv}R_s}{R_s} - I_s e^{\frac{v_{pv} + i_{pv}v_{pv}}{nv_t}} \right] \quad (2.4)$$

La corriente que fluye por las terminales de un generador fotovoltaico está determinada por tres funciones de corriente:

- I_g : corriente generada debido al efecto fotoeléctrico.
- i_d : corriente de pérdida debido a la juntura p-n.
- i_p : corriente de pérdida de naturaleza resistiva.

Las siguientes suposiciones se realizan para obtener un modelo del comportamiento estático del generador fotovoltaico:

- I_g : depende de la Irradiancia (S), pero no depende de la tensión en las terminales del generador fotovoltaico (v_{pv}).
- i_p e i_d : dependen de la tensión v_{pv} .

- i_p : depende de la temperatura (T).

De esta forma, la expresión que define i_{pv} es:

$$i_{pv}(v_{pv}, T, S) = i_g(v_{pv}) - i_d(v_{pv}, T) \quad (2.5)$$

Según se definan las funciones i_{pv} e i_d , se obtendrán modelos con complejidad y precisiones distintas, a partir de los siguientes casos mostrados en la tabla 2.1:

Tabla 2.1: Modelos para un panel fotovoltaico: ideal, con pérdidas en serie R_s y con pérdidas en paralelo R_p

Modelos	i_g	i_p	i_d
1	KS	-	$I_s(T)[e^{\frac{v_{pv}}{v_t}} - 1]$
2	KS	$G_p v_{pv}$	$I_s(T)[e^{\frac{v_{pv}}{v_t}} - 1]$
3	KS	-	$I_s(T)[e^{\frac{v_{pv} + i_{pv} R_s}{v_t}} - 1]$
4	KS	$G_p v_{pv} + G_p i_{pv} R_s$	$I_s(T)[e^{\frac{v_{pv} + i_{pv} R_s}{v_t}} - 1]$

De manera general se tiene para el modelo general del comportamiento estático de un generador PV:

$$i_{pv}(v_{pv}) = KS - G_p v_{pv} - G_p i_{pv} R_s - i_d \quad (2.6)$$

$$i_{pv}(v_{pv}) = KS - G_p v_{pv} + I_s(T) - G_p i_{pv} R_s - I_s(T) e^{\frac{v_{pv}}{v_t}} e^{\frac{i_{pv} R_s}{v_t}} \quad (2.7)$$

2.4 Estimación de parámetros

En la estimación de parámetros se considera al panel fotovoltaico como un sistema de dos puertos del cual es posible extraer la corriente que circula por el panel i_{pv} y la tensión que se presenta entre las terminales v_{pv} . Estas magnitudes se encuentran asociadas por una función no lineal dependiente de los parámetros de temperatura T e irradiación solar S. Del panel es posible obtener una serie de parámetros $\rho = (\rho_1, \dots, \rho_n)$ dados por los materiales utilizados en la fabricación.[11][16]

En la mayoría de las caracterizaciones de paneles, la relación entre la corriente i_{pv} y la tensión v_{pv} está representada por

$$i_{pv} = (S, T, \rho) - \varphi(S, T, v_{pv}, \rho) \quad (2.8)$$

Las funciones que componen 2.8 son dependientes de la tecnología del panel. Esta ecuación puede ser aproximada según [11] a:

$$i_{pv} = (S, \rho) - \varphi_1(S, i_{pv}, v_{pv}, \rho) - \varphi_2(T, v_{pv}, i_{pv}, \rho) \quad (2.9)$$

donde se separa la ecuación para establecer una relación directa a los parámetros de temperatura e irradiación solar, T y S respectivamente. Es posible simplificar la ecuación 2.9 considerando el caso en el que

$$\varphi_2(T, v_{pv}, i_{pv}, \rho) = \Psi(T, \rho) \exp(\alpha(T, \rho) z(\rho, v_{pv}, i_{pv})) \quad (2.10)$$

donde Ψ y α dependen únicamente en la temperatura T y ρ , y z es una nueva variable dependiente de ρ , la corriente y la tensión del panel fotovoltaico, i_{pv} y v_{pv} respectivamente. Estas funciones permiten reescribir 2.9 en

$$y(S, \rho, i_{pv}, v_{pv}) = \theta_1(T, \rho) z(i_{pv}, v_{pv}, \rho) + \theta_2(T, \rho) \quad (2.11)$$

donde

$$y = \ln(\varphi(S, \rho) - i_{pv} - \phi_1(S, v_{pv}, i_{pv}, \rho)) \quad (2.12)$$

$$\theta_1 = \alpha(T, \rho) \quad (2.13)$$

$$\theta_2 = \ln(\varphi(T, \rho)) \quad (2.14)$$

Es posible obtener entonces los valores de θ_1 y θ_2 a partir de las ecuaciones 2.12, 2.13, 2.14 y la tabla 2.1 mediante un modelo de estimación. Utilizando el modelo de panel fotovoltaico que utiliza un único diodo y una resistencia serie, que la corriente i_{pv} está dada por

$$i_{pv} = I_g(S) + I_s(T) - I_s(T) e^{\alpha(T) v_{pv}} \quad (2.15)$$

Esta ecuación se le realizan dos cambios. El primero, se le realiza una linealización. El segundo, se supone que $I_g \gg I_s$.

$$\ln(I_s(T) e^{\alpha(T) v_{pv}}) = \ln(I_g(S) - i_{pv}) \quad (2.16)$$

$$\alpha v_{pv} + \ln(I_s) = \ln(I_g - i_{pv}) \quad (2.17)$$

con

$$y = \alpha v_{pv} + \ln(I_s) \quad (2.18)$$

$$y = \theta_1 z + \theta_2 = \hat{\theta}_1 z + \hat{\theta}_2 \quad (2.19)$$

que permite identificar las variables de las ecuaciones 2.13 y 2.14 que provocan que la ecuación 2.19 se mantenga constante en un plano de fases.[11][12]

2.5 Representación binaria en punto fijo

La utilización de la representación binaria en coma fija se justifica en el coste de la implementación de unidades de punto flotante en el hardware reduciendo asimismo la exactitud (número de bits) en los cálculos sin sacrificar la calidad de los resultados y aumentando la velocidad de ejecución de los algoritmos. [19][14] El número binario a representar se divide en parte entera en una cantidad determinada de bits, parte fraccionaria con una cantidad determinada de bits y, si es necesario, 1 bit de signo. Suelen identificarse con el formato Q , donde dado un número binario Q , la cantidad de bits pertenecientes se representa como a y la cantidad de bits de la parte fraccionaria se representa como b dando como resultado la convención utilizada $Q(a,b)$. El bit de signo no se presenta.[14] Los números binarios en coma fija poseen 4 representaciones: enteros sin signo, racionales sin signo en coma fija, enteros con signo en complemento a 2 y racionales con signo en complemento a 2. Para este proyecto se utiliza la representación de racionales con signo en complemento a 2. Debido a ello, se explicará únicamente esta representación. Si se tiene una palabra de N -bits, esta contiene 2^N elementos, que se representa como $Q(a,b)$ donde $a = N - b - 1$. El rango de esta representación está dado por la ecuación 2.20.

$$-2^{N-1-b} \leq Q \leq 2^{N-1-b} - \frac{1}{2^b} \quad (2.20)$$

El valor de un número binario Q específico de N -bits se puede calcular mediante la expresión 2.21

$$Q = \left(\frac{1}{2^b} \left[-2^{N-1} A_{N-1} + \sum_0^{N-2} 2^n A_n \right] \right) \quad (2.21)$$

Donde A_n representa el bit n de Q . [7]

2.6 Representación binaria en punto flotante

Los números binarios pueden ser representados en formato de punto flotante utilizando el estándar *IEEE 754 floating-point*, presente en cada computadora desde 1980. Este formato permite representar un número mediante la notación científica, especificando una base y un exponente[15]. De manera general, los números en formato de punto flotante tienen la forma:

$$(-1)^{\text{signo}} \cdot \text{base}^{\text{exponente}} \cdot \text{mantissa} \quad (2.22)$$

El estándar permite 5 formatos básicos; 3 formatos en binario con codificaciones en tamaños de palabra de 32, 64 y 128 bits y 2 formatos en decimal con codificaciones en tamaños de palabra de 64 y 128 bits. Para el presente proyecto, se utiliza el formato binario en 32 bits llamado de precisión simple o *single precision*. Los valores 0 y 1 para el bit de signo corresponden a valores positivos o negativos, respectivamente. Para incluir más bits en la mantissa, el estándar hace que el primer bit 1 de los números binarios normalizados sea implícito. Esto provoca que los números sean interpretados como [15] [1]

$$(-1)^{\text{signo}} \cdot \text{base}^{\text{exponente}} \cdot (1 + \text{mantissa}) \quad (2.23)$$

2.7 Método de Euler para ecuaciones diferenciales ordinarias

El método de Euler consiste en seguir la tangente de cada punto (t_i, y_i) . Se tiene un intervalo $[a, b]$ al cual se le realiza una partición en n subintervalos $[t_i, t_{i+1}]$, cada uno de longitud $h = (b - a)/n$. Luego, $t_{i+1} = a + i \cdot h = t_i + h$. Iniciando con (t_0, y_0) , se calcula la ecuación de la tangente en (t_i, y_i) : $y_T(t) = f(t_i, y_i)(t - t_i) + y_i$ y se evalúa en $t = t_{i+1} = t_i + h$, es decir, [13]

$$y(t_{i+1}) \approx y_{i+1} = y_i + hf(t_i, y_i), i = 0, 1, \dots, n \quad (2.24)$$

Capítulo 3

Acondicionamiento digital de las señales

En este capítulo se describe el desarrollo de una estructura que realiza un tratamiento específico sobre las entradas v_{pv} e i_{pv} provenientes de la conversión analógico-digital del sistema. A continuación se describe el sistema



Figura 3.1: Unidad general de acondicionamiento digital de las señales.

La unidad de la figura 5.2 presenta 7 entradas y 4 salidas que se detallan a continuación:

- Entradas:
 - CLK : Reloj de sistema.
 - RST : Reset de la unidad. Reestablece los valores iniciales.
 - $ACK_{\theta I}$: Señal que indica la finalización del proceso de estimación del parámetro I_s .

- ACK_{θ_V} : Señal que indica la finalización del proceso de estimación del parámetro θ_1 .
 - I : Señal de entrada i_{pv} proveniente del convertidor analógico-digital.
 - V : Señal de entrada v_{pv} proveniente del convertidor analógico-digital.
 - EOC : Señal de entrada proveniente del convertidor analógico-digital que indica la finalización del proceso de conversión.
- Salidas:
 - ACK_{CAS_I} : Señal de salida que indica la finalización del acondicionamiento sobre la señal i_{pv} .
 - ACK_{CAS_V} : Señal de salida que indica la finalización del acondicionamiento sobre la señal v_{pv} .
 - $RESULT_V$: Señal de salida v_{pv} acondicionada.
 - $RESULT_I$: Señal de salida i_{pv} acondicionada.

3.1 Descripción de la unidad de acondicionamiento digital

La figura 3.2 muestra las unidades internas que componen el acondicionamiento y que se describen a continuación.

La unidad está compuesta por varios módulos que realizan operaciones sobre las señales para retornarlas a su valor original. El sistema de acondicionamiento digital recibe 2 señales desde el convertidor analógico-digital (ADC), i_{pv} y v_{pv} . Las señales provienen del panel fotovoltaico de manera analógica. Debido a que se desea utilizar el ADC que se encuentra integrado en la tarjeta FPGA Nexys 4 se debe considerar que la entrada solo puede ser convertida efectivamente a una señal digital si la entrada analógica se encuentra entre 0 – 1 V. La última condición implica que la señales i_{pv} y v_{pv} deben ser atenuadas para ser convertidas.

3.1.1 Unidad de memoria ROM

La salida del ADC es una señal de 12 bits que es proporcional a la señal medida en la entrada, lo que implica que $0V = 000000000000$ y $1V = 111111111111$. No obstante, se conoce de 2 que los valores provenientes de un panel fotovoltaico no suelen ubicarse entre este rango y que se debe ajustar los datos entrantes. Para la primera parte del acondicionamiento se diseña una memoria como la que se muestra en la figura 3.3, la cual consta de 3 entradas y 2 salidas.

- Entradas:

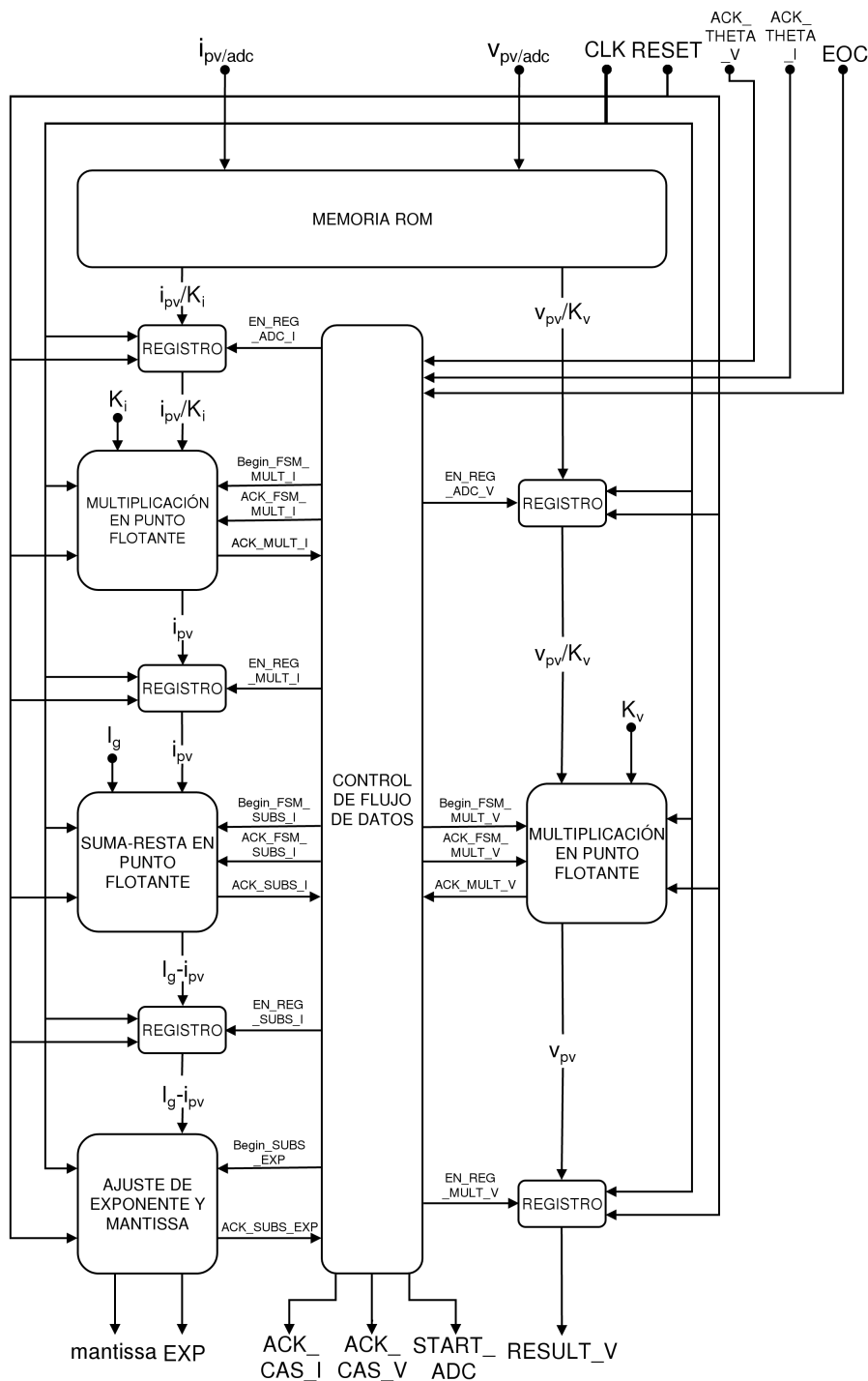


Figura 3.2: Unidad completa del acondicionamiento digital de las señales.

- *reset*: Reset de la unidad. Reestablece los valores iniciales.
- *din_i*: Señal de entrada i_{pv} proveniente del convertidor analógico-digital.
- *din_v*: Señal de entrada v_{pv} proveniente del convertidor analógico-digital.

- Salidas:

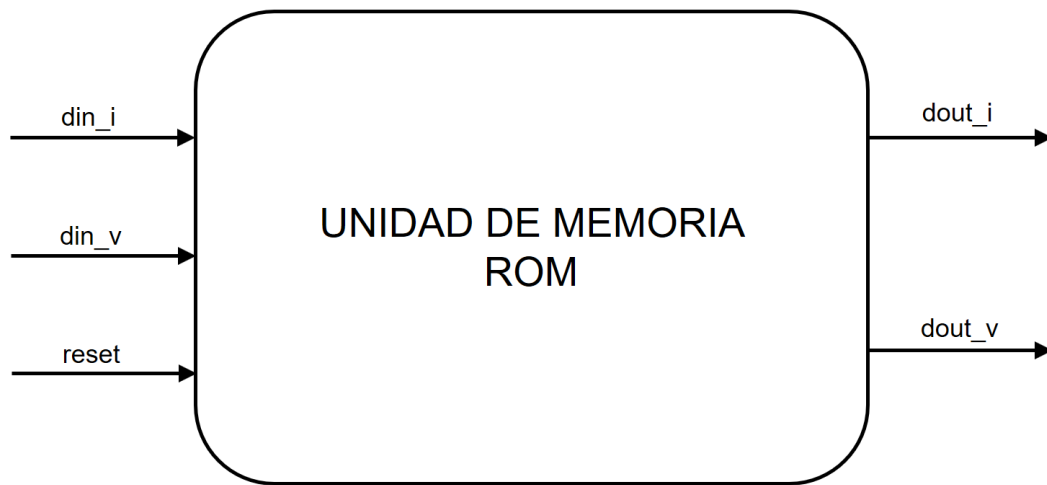


Figura 3.3: Unidad general de la memoria ROM.

- *dout_i*: Señal de salida correspondiente al valor de entrada de la señal i_{pv} .
- *dout_v*: Señal de salida correspondiente al valor de entrada de la señal v_{pv} .

El convertidor analógico-digital posee $4096 = 2^{12}$ posibles combinaciones para representar el valor convertido en el rango de $0 - 1V$, sea de corriente o de tensión. El valor de cada paso para el ADC es de 0.244 mV . Sin embargo, estos valores no se adecúan al formato de palabra en coma fija ni al tamaño de la palabra con el cual trabaja el sistema. Para adaptar la entrada se diseña una unidad de memoria asincrónica únicamente de lectura (ROM) de 4096 posiciones con tamaño de palabra de 32 bits donde los datos de entrada din_i y din_v se comporten como señales de dirección en la memoria. Estas direcciones apuntan al valor respectivo en coma fija que se desplaza hacia la salida respectiva $dout_i$ y $dout_v$.

3.1.2 Unidad de multiplicación en punto flotante

Las salidas de la unidad de memoria ROM representan los valores obtenidos por el ADC en punto flotante. Sin embargo, no son los valores que se obtienen desde el panel fotovoltaico, debido a que existe una etapa de atenuación de la señal antes de entrar al ADC. La figura 3.4 muestra la unidad de multiplicación en punto flotante utilizada, la cual consta de 7 entradas y 4 salidas.

- Entradas:
 - *clk*: Reloj de sistema.
 - *rst*: Reset de la unidad. Reestablece los valores iniciales.
 - *DATA_MX*: Señal de entrada que representa el multiplicando.



Figura 3.4: Unidad general de multiplicación en punto flotante.

- *DATA_MY*: Señal de entrada que representa el multiplicador.
 - *beg_FSM*: Señal de entrada de control que inicia la máquina de estados que controla multiplicación.
 - *ack_FSM*: Señal de entrada de control que le indica que debe iniciar la multiplicación a la unidad.
 - *round_mode*: Señal de entrada que establece el modo de redondeo de la unidad.
- Salidas:
 - *underflow_flag*: Señal de salida de control que indica que existe un subdesbordamiento del producto de la multiplicación (el producto final es más pequeño que el mínimo representable).
 - *overflow_flag*: Señal de salida de control que indica que existe un desbordamiento del producto de la multiplicación (el producto final es más grande que el máximo representable).
 - *ready*: Señal de salida de control que indica que la unidad ha finalizado la multiplicación.
 - *final_result_ieee*: Producto de la multiplicación.

Para reestablecer los valores aproximados de i_{pv} y v_{pv} , las señal de entrada se amplifica por un factor K_i y K_v , respectivamente. Estas ganancias son inversamente proporcionales al valor del factor de atenuación analógica realizada antes del ADC. Esta unidad se encuentra internamente en la unidad de desnormalización, conversión y deslinealización. El módulo se toma y se adecúa para el funcionamiento de esta sección del sistema.

3.1.3 Unidad de suma-resta en punto flotante

La unidad de linealización, conversión y normalización realiza sus operaciones sobre la señal $T = I_g - i_{pv}$. Es necesario realizar la resta anterior para que la linealización sea exitosa. La figura 3.5 muestra la unidad de suma-resta en punto flotante utilizada, la cual consta de 8 entradas y 4 salidas.

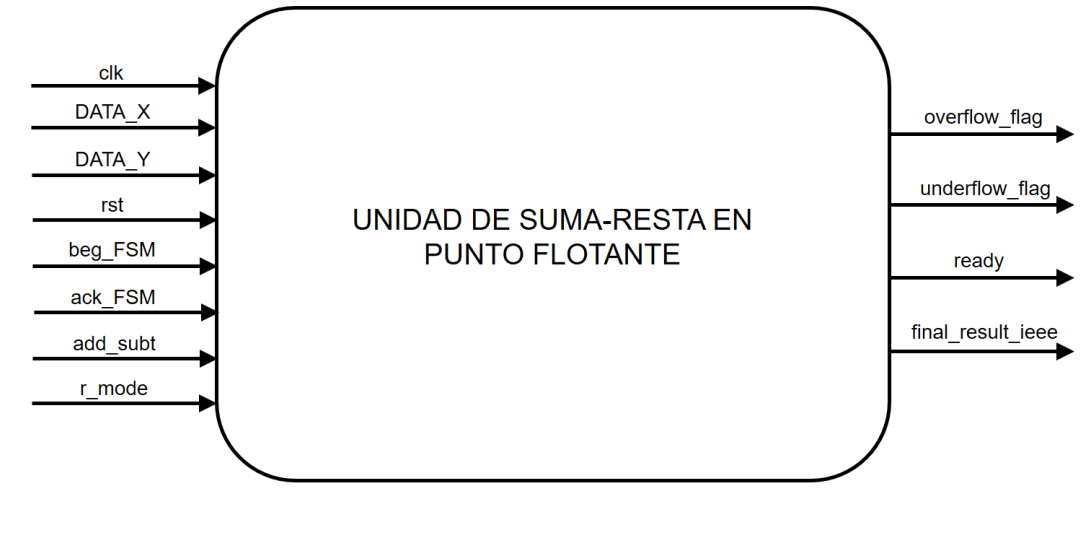


Figura 3.5: Unidad general de suma-resta en punto flotante.

- Entradas:
 - *clk*: Reloj de sistema.
 - *rst*: Reset de la unidad. Reestablece los valores iniciales.
 - *DATA_X*: Señal de entrada que representa uno de los operandos.
 - *DATA_Y*: Señal de entrada que representa uno de los operandos.
 - *beg_FSM*: Señal de entrada de control que inicia la máquina de estados que controla operación.
 - *ack_FSM*: Señal de entrada de control que le indica que debe iniciar la operación indicada a la unidad.
 - *r_mode*: Señal de entrada que establece el modo de redondeo de la unidad.
 - *add_subt*: Señal de entrada de control que le indica si debe realizar una suma (0) o una resta (1).
- Salidas:
 - *underflow_flag*: Señal de salida de control que indica que existe un subdesbordamiento del resultado de la operación (el resultado final es más pequeño que el mínimo representable).

- *overflow_flag*: Señal de salida de control que indica que existe un desbordamiento del resultado de la operación (el resultado final es más grande que el máximo representable).
- *ready*: Señal de salida de control que indica que la unidad ha finalizado la operación.
- *final_result_ieee*: Resultado de la operación.

Las entradas que representan los operandos I_g e i_{pv} corresponden a $DATA_X$ y $DATA_Y$ respectivamente. I_g es el valor de corto circuito dado por las características del panel fotovoltaico, el cual es un valor constante en el diseño.

3.1.4 Unidad de ajuste de exponente y mantissa

Esta unidad se diseña y se desarrolla debido al problema de rango de la unidad de linealización, conversión y normalización, el cual se detalla más adelante en este informe. El resultado de la resta $I_g - i_{pv}$ debe ser tratado de una manera especial para que sea posible realizar una linealización óptima sin limitaciones de rango. La figura 3.6 muestra la unidad de ajuste de exponente y mantissa utilizada, la cual consta de 4 entradas y 3 salidas.



Figura 3.6: Unidad general de ajuste de exponente y mantissa.

- Entradas:
 - *CLK*: Reloj de sistema.
 - *RST*: Reset de la unidad. Reestablece los valores iniciales.

- *Begin_SUBS_EXP*: Señal de entrada de control que le indica que debe iniciar las operaciones a la unidad.
 - *T*: Señal de entrada la cual es el resultado de la resta $I_g - i_{pv}$.
- Salidas:
 - *ACK_SUBS_EXP*: Señal de salida de control que indica que la unidad ha finalizado las operaciones.
 - *MANTISSA*: Señal de salida que contiene el valor de la mantissa de la palabra en punto flotante del resultado de la resta $I_g - i_{pv}$. La representación de esta salida se encuentra en punto flotante.
 - *EXP*: Señal de salida que contiene el valor del exponente de la palabra en punto flotante del resultado de la resta $I_g - i_{pv}$. La representación de esta se encuentra en punto fijo.

Tratamiento de la resta $I_g - i_{pv}$

Una manera alternativa de obtener el logaritmo natural de un número en formato de punto flotante se presenta en la ecuación 3.1[4]. La unidad prepara el operando ($exponente - 127$) · $\ln(2)$ y el argumento de $\ln(mantissa \cdot 2^7)$.

$$\ln(x) = (exponente - 127) \cdot \ln(2) + \ln(mantissa \cdot 2^7) \quad (3.1)$$

- Obtención de operando ($exponente - 127$) · $\ln(2)$:

La figura 3.7 muestra las operaciones realizadas para obtener el operando.

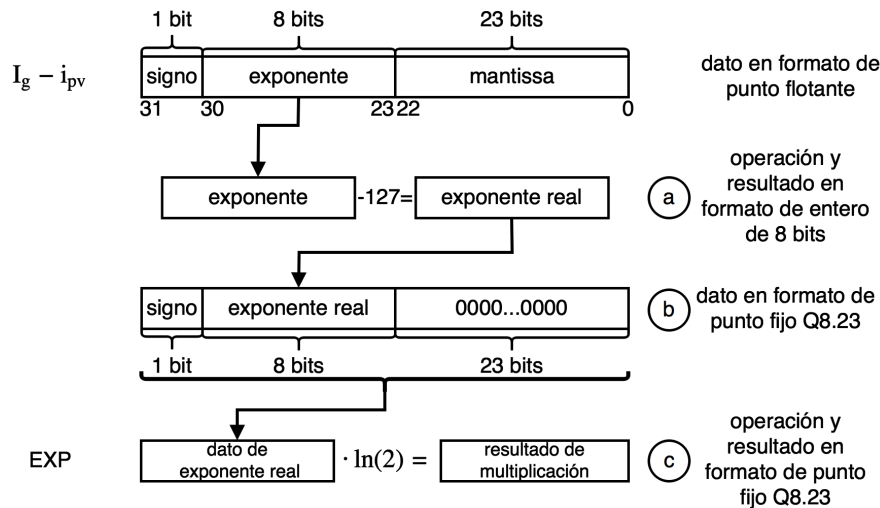


Figura 3.7: Tratamiento realizado sobre el exponente de la resta $I_g - i_{pv}$ para obtener la salida *EXP*.

- a) Del dato $I_g - i_{pv}$ que se encuentra en formato de punto flotante, se extrae el exponente, ubicado entre los bits 23 y 30. Este dato ahora se maneja como un entero sin signo de 8 bits al cual se le restan 127 (entero sin signo de 8 bits) para obtener el exponente real.
- b) El exponente real, en formato de entero sin signo de 8 bits, se introduce a un número de 32 bits que tiene un formato de punto fijo Q8.23 entre los bits 30 y 23 para formar la parte entera del número. El signo del resultado obtenido en la parte a) se concatena en el bit 31. Los restantes 23 bits, que representan la parte fraccionaria, se rellenan con ceros.
- c) El dato anterior corresponde al valor del exponente real el cual se multiplica por $\ln(2)$ para obtener el operando deseado, en formato de punto fijo Q8.23 y formar la salida EXP .
- Obtención de argumento de $\ln(mantissa \cdot 2^7)$

La figura 3.8 muestra las operaciones realizadas para obtener el argumento.

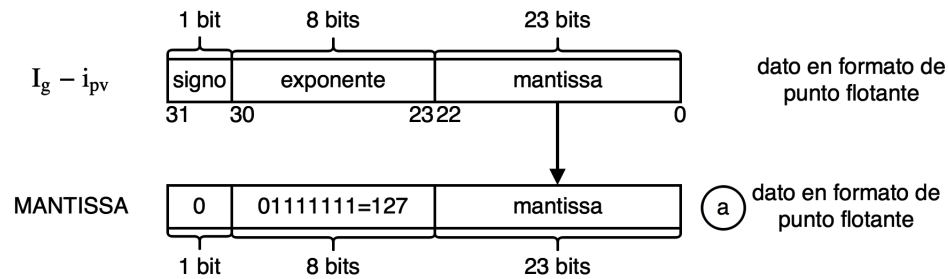


Figura 3.8: Tratamiento realizado sobre la mantisa de la resta $I_g - i_{pv}$ para obtener la salida $MANTISSA$.

- a) Del dato $I_g - i_{pv}$ que se encuentra en formato de punto flotante, se extrae la mantisa, ubicado entre los bits 0 y 22. Esta mantisa se introduce a un número de 32 bits, que tiene formato de punto flotante, entre los bits 0 y 22. El signo del número se concatena en el bit 31. Este es positivo siempre debido a que el resultado de la resta $I_g - i_{pv}$ no será negativo en ningún momento. Además, en la parte del exponente se concatena '01111111' en binario que equivale a un 127 en decimal. Este número se utiliza para mantener el valor de la mantisa al entrar al linealizador que también realiza, de manera interna, la resta $exponente - 127$. De esta manera se forma la salida $MANTISSA$.

3.2 Control de flujo de datos del acondicionamiento digital

Para el control de flujo de datos se propone la unidad de la figura 3.9 la cual presenta 9 entradas y 15 salidas que se detallan a continuación:

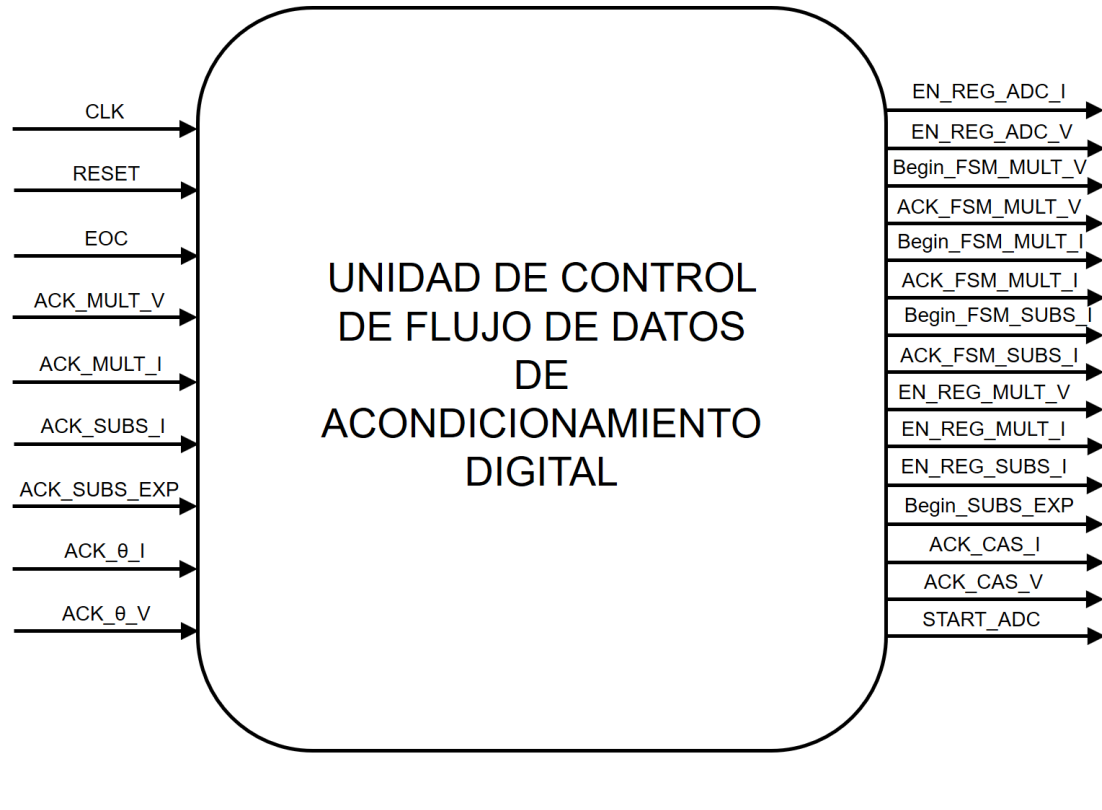


Figura 3.9: Unidad general del control de flujo de datos del acondicionamiento digital.

- Entradas:
 - *CLK*: Reloj de sistema.
 - *RESET*: Reset de la unidad. Reestablece los valores iniciales.
 - *ACK_MULT_I*: Señal que indica la finalización de la multiplicación de los operandos I y K_i .
 - *ACK_MULT_V*: Señal que indica la finalización de la multiplicación de los operandos I y K_v .
 - *ACK_SUBS_I*: Señal que indica la finalización de la resta $I_g - i_{pv}$.
 - *ACK_SUBS_EXP*: Señal que indica la finalización de las operaciones realizadas sobre la mantissa y el exponente.
 - *ACK_theta_I*: Señal que indica la finalización de las operaciones en el sistema estimador sobre la señal entrante I .

- *ACK_θ_V*: Señal que indica la finalización de las operaciones en el sistema estimador sobre la señal entrante v_{pv} .
- Salidas:
 - *Begin_FSM_MULT_I*: Señal que indica el inicio de la multiplicación de la señal i_{pv} por la constante K_i .
 - *ACK_FSM_MULT_I*: Señal que indica el inicio de la multiplicación de la señal i_{pv} por la constante K_i .
 - *Begin_FSM_MULT_V*: Señal que indica el inicio de la multiplicación de la señal v_{pv} por la constante K_v .
 - *ACK_FSM_MULT_V*: Señal que indica el inicio de la multiplicación de la señal v_{pv} por la constante K_v .
 - *Begin_FSM_SUBS_I*: Señal que indica el inicio de la resta $I_g - i_{pv}$.
 - *ACK_FSM_SUBS_I*: Señal que indica el inicio de la resta $I_g - i_{pv}$.
 - *Begin_SUBS_EXP*: Señal que indica el inicio de las operaciones realizadas sobre la mantissa y el exponente.
 - *EN_REG_ADC_I*: Señal de enable para el registro que guarda el valor de la salida $dout_i$ de la unidad de memoria ROM.
 - *EN_REG_ADC_V*: Señal de enable para el registro que guarda el valor de la salida $dout_v$ de la unidad de memoria ROM.
 - *EN_REG_MULT_I*: Señal de enable para el registro que guarda el valor de la salida de la multiplicación de la señal i_{pv} por la constante K_i .
 - *EN_REG_MULT_V*: Señal de enable para el registro que guarda el valor de la salida de la multiplicación de la señal v_{pv} por la constante K_v .
 - *EN_REG_SUBS_I*: Señal de enable para el registro que guarda el valor de la salida de la resta $I_g - i_{pv}$.
 - *ACK_CAS_I*: Señal de salida que indica la finalización de las operaciones sobre la señal I .
 - *ACK_CAS_V*: Señal de salida que indica la finalización de las operaciones sobre la señal v_{pv} .
 - *START_ADC*: Señal de salida que indica que el acondicionamiento digital de las señales ha finalizado e indica al ADC que inicie una nueva conversión.

Como se señala anteriormente, las unidades inician sus funciones con la activación de señales de control específicas en momentos determinados del proceso. Para ello, se diseña y se implementa un control básico para el funcionamiento del acondicionamiento digital de las señales. En la figura 3.10 se muestra la estructura propuesta para el control como una máquina de estados finita con 10 estados.

El funcionamiento de la máquina de estados se describe a continuación:

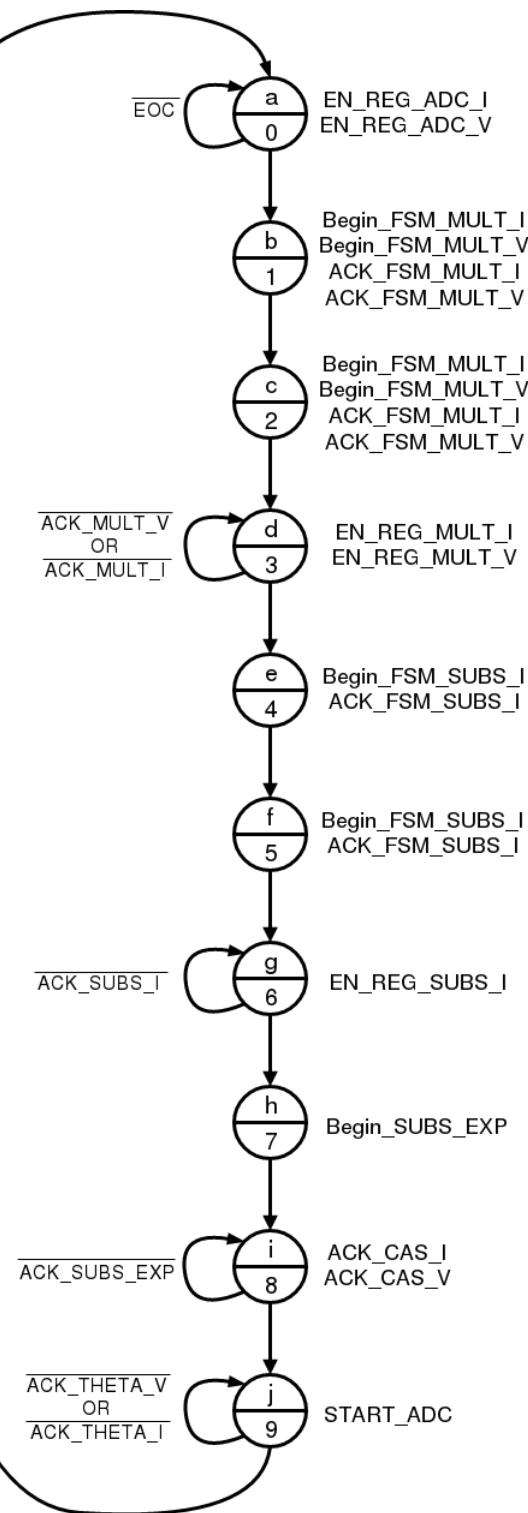


Figura 3.10: Estructura del control básico de la máquina de estados finita para el flujo de datos del acondicionamiento digital.

- Estado *a*: El estado espera hasta que la conversión digital de las señales finalice, lo cual sucede cuando se activa la señal *EOC*. Activa las señales de enable *EN_REG_ADC_I* y *EN_REG_ADC_V* para los respectivos registros.

- Estado *b*: Activa las señales *Begin_FSM_MULT_I*, *ACK_FSM_MULT_I*, *Begin_FSM_MULT_V* y *ACK_FSM_MULT_V* para iniciar la multiplicación sobre las señales.
- Estado *c*: Activa las señales *Begin_FSM_MULT_I*, *ACK_FSM_MULT_I*, *Begin_FSM_MULT_V* y *ACK_FSM_MULT_V* para iniciar la multiplicación sobre las señales. Realiza la misma función del estado *b* debido a que es necesario mantener estas señales en alto durante dos ciclos de reloj para que comience las operaciones.
- Estado *d*: El estado espera hasta que la multiplicación sobre las señales finalice, lo cual sucede cuando se activan las señales *ACK_MULT_I* y *ACK_MULT_V*. Activa las señales de enable *EN_REG_MULT_I* y *EN_REG_MULT_V* para los respectivos registros.
- Estado *e*: Activa las señales *Begin_FSM_SUBS_I* y *ACK_FSM_SUBS_I* para iniciar la resta $I_g - i_{pv}$.
- Estado *f*: Activa las señales *Begin_FSM_SUBS_I* y *ACK_FSM_SUBS_I* para iniciar la resta $I_g - i_{pv}$. Realiza la misma función del estado *e* debido a que es necesario mantener estas señales en alto durante dos ciclos de reloj para que comience las operaciones.
- Estado *g*: El estado espera hasta que la resta $I_g - i_{pv}$ finalice, lo cual sucede cuando se activa la señal *ACK_SUBS_I*. Activa la señal de enable *EN_REG_SUBS_I* para el respectivo registro.
- Estado *h*: Activa las señales *Begin_SUBS_EXP* para iniciar las operaciones sobre la mantissa y el exponente.
- Estado *i*: El estado espera hasta que las operaciones sobre la mantissa y el exponente finalicen, lo cual sucede cuando se activa la señal *ACK_SUBS_EXP*. Activa las señales *ACK_CAS_I* y *ACK_CAS_V* que indican la finalización del acondicionamiento digital de las señales.
- Estado *j*: El estado espera hasta que el sistema estimador finalice las operaciones, lo cual sucede cuando se activan las señales *ACK_THETA_I* y *ACK_THETA_V*. Activa la señal *START_ADC* para indicar el inicio de una nueva conversión al ADC.

3.3 Verificación y resultados de la unidad de acondicionamiento digital de las señales mediante Verilog HDL

Para comprobar el funcionamiento adecuado y evaluar el error que presenta la unidad de acondicionamiento digital planteado, se implementa en Verilog un banco de prueba (*test-bench*). La prueba consiste en estimular el acondicionamiento en las entradas con señales i_{pv} y v_{pv} que correspondan al comportamiento del panel fotovoltaico, las cuales se obtienen de un programa en alto nivel que modela las características del panel fotovoltaico. Estas entradas poseen al menos 1000 valores almacenados en archivos *txt* para i_{pv} y v_{pv} .

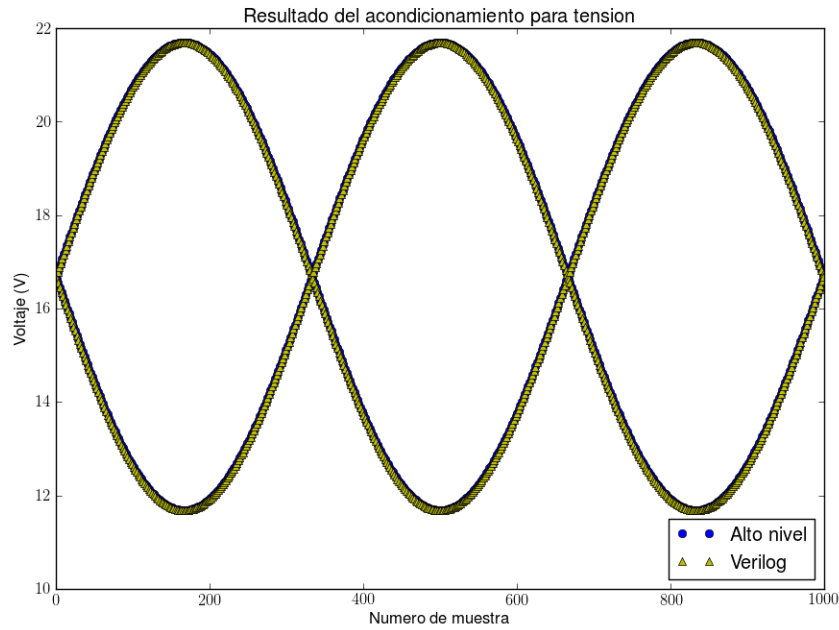


Figura 3.11: Resultados del modelo teórico y la simulación de comportamiento (behavioral) para v_{pv} .

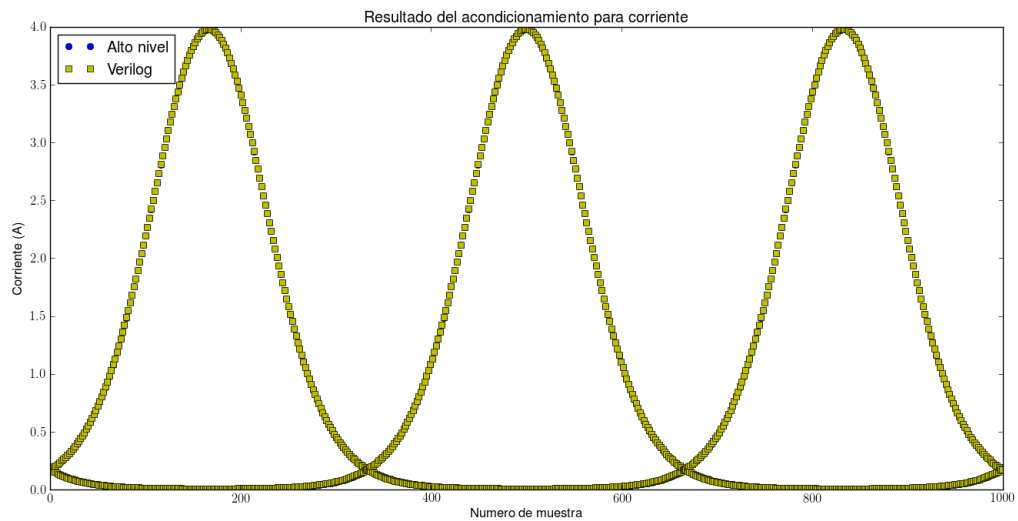


Figura 3.12: Resultados del modelo teórico y la simulación de comportamiento (behavioral) para $I_g - i_{pv}$.

Las figuras 3.11 y 3.12 muestran el resultado obtenido por el diseño en Verilog para las señales en simulación de comportamiento (behavioral) junto con los resultados teóricos.

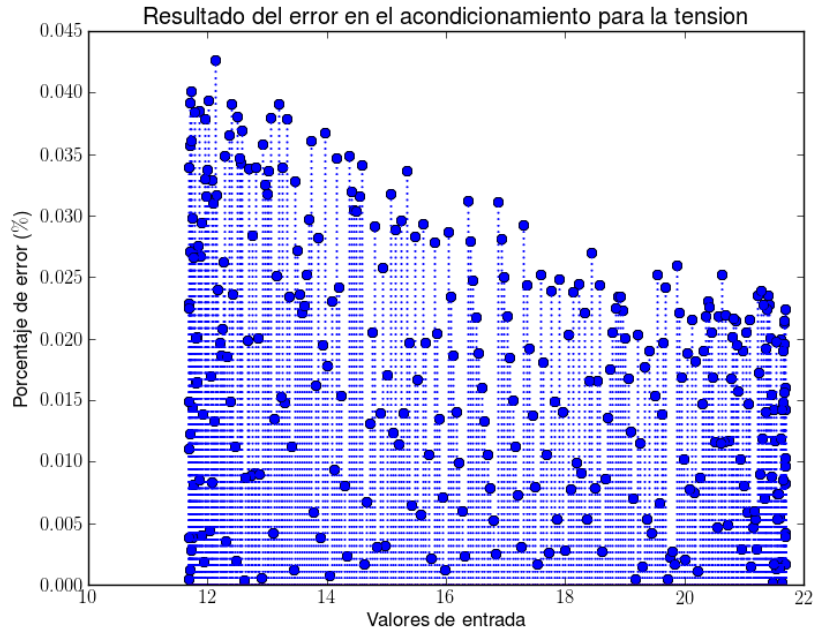


Figura 3.13: Error obtenido de v_{pv} en el acondicionamiento digital entre modelo teórico y la simulación de comportamiento (behavioral).

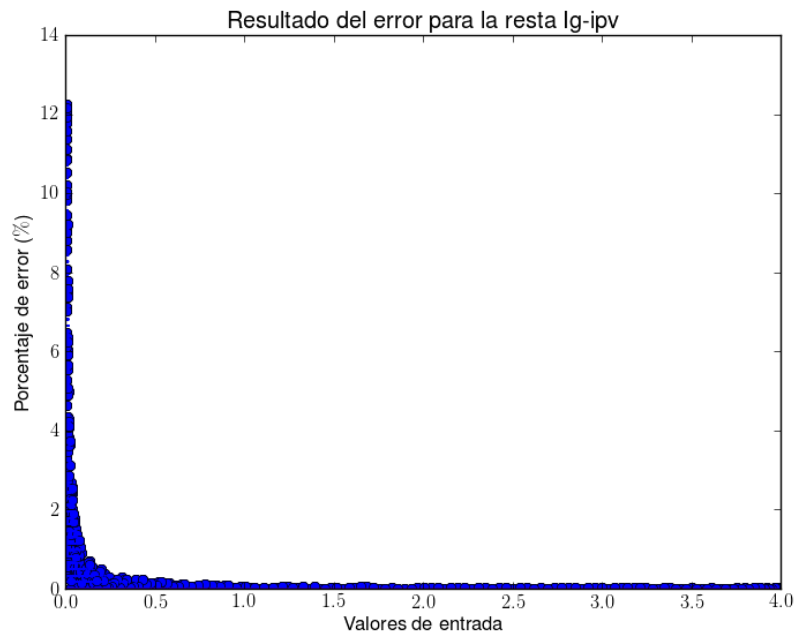


Figura 3.14: Error obtenido de $I_g - i_{pv}$ en el acondicionamiento digital entre modelo teórico y la simulación de comportamiento (behavioral).

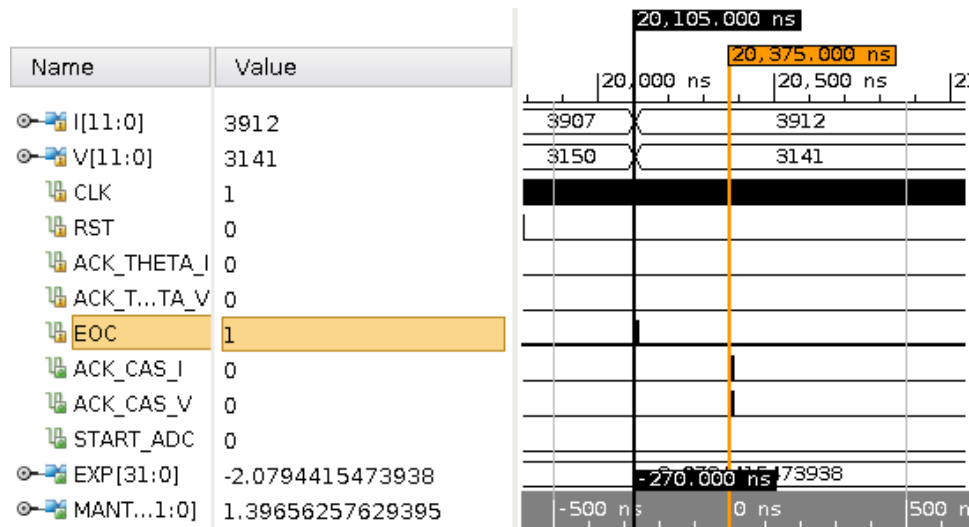


Figura 3.15: Simulación de comportamiento (behavioral) del acondicionamiento digital.

Las figuras 3.13 y 3.14 muestran el error obtenido entre los resultados descritos. De la figura 3.15 se observa la simulación del diseño y el tiempo de duración de la unidad.

La tabla 3.1 resume los resultados obtenidos en la simulación con el *testbench*.

Tabla 3.1: Resultados experimentales obtenidos de la simulación de comportamiento (behavioral) para los valores v_{pv} y $I_g - i_{pv}$.

	v_{pv}	$I_g - i_{pv}$
Error máximo (%)	0,04266	12,2461
Error promedio (%)	0,01729	1,77897
Desviación estándar	1,3012	3,5405
Número de ciclos	27	27
Tiempo de ejecución	270 ns	270 ns

El error máximo para v_{pv} no supera el 1%, debido a que el dato solo se expone a una multiplicación, contrario a lo que sucede con la señal i_{pv} , la cual además de pasar por el mismo ajuste de factor, forma parte de la resta $I_g - i_{pv}$ que pierde precisión cuando el resultado se acerca a cero. No obstante, debido a que los valores que causan este error son muy pequeños ($\times 10^{-3}$), la señal no se afecta de una manera notable como se observa en la figura 3.12 y que el error promedio de los datos no supera el 2%. Debido a que el tratamiento sobre i_{pv} es mayor, por la multiplicación y la resta, el tiempo de ejecución aumenta respecto a v_{pv} . Además, la unidad de ajuste de exponente y mantissa aumenta el tiempo de ejecución por un ciclo de reloj.

Capítulo 4

Integración de módulos del sistema estimador y control de flujo de datos

4.1 Descripción de la unidad del sistema estimador

En este capítulo se presenta la integración de módulos en lenguaje de descripción de hardware Verilog desarrollados en otros proyectos y del diseño e implementación del control del sistema estimador. Este control se realizará mediante la creación de una máquina de estados finita que obtenga las señales de control que brindan los módulos, las interprete y actúe de acuerdo a la información que posea. A continuación se presentan las unidades que conforman el sistema estimador de parámetros.

4.1.1 Unidad de linealización, conversión punto flotante-punto fijo y normalización

Esta unidad fue diseñada, implementada y probada con anterioridad al desarrollo de este proyecto como se señala en [8]. Para efectos de este informe, se explica de manera general este módulo. La unidad de la figura 4.1 presenta 6 entradas y 4 salidas que se detallan a continuación:

- Entradas:
 - CLK : Reloj de sistema.
 - I : Entrada $I = I_g - i_{pv}$ en coma flotante y 32 bits.
 - V : Tensión proveniente del panel fotovoltaico v_{pv} en coma flotante y 32 bits.
 - RST_LN_FF : Reset de la unidad. Reestablece los valores iniciales.
 - $Begin_FSM_V$: Bandera de inicio para comenzar la conversión y normalización de la tensión v_{pv} .

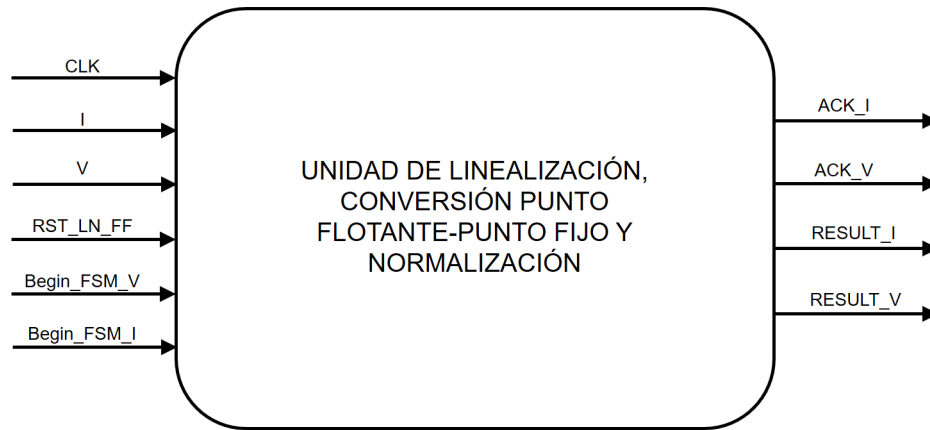


Figura 4.1: Unidad general del sistema de linealización, conversión y normalización de corriente I y tensión v_{pv} .

- *Begin_FSM_I*: Bandera de inicio para comenzar la conversión, normalización y linealización de y .
- Salidas:
 - *ACK_I*: Bandera de finalización de operaciones sobre I .
 - *ACK_V*: Bandera de finalización de operaciones sobre v_{pv} .
 - *RESULT_I*: Resultado $y = \ln(I_g - i_{pv})$ sobre I normalizado y en coma fija.
 - *RESULT_V*: Resultado $z = v_{pv}$ normalizado y en coma fija.

La entrada I ingresa al módulo y se realiza una linealización de los datos. Luego, junto con la entrada V , se realiza la conversión de punto flotante hacia punto fijo con un formato $Q8.23$ y sufre una normalización por una constante determinada, respectiva para cada una de las entradas. Para este proyecto las constantes tienen un valor de 1 , lo que implica que los datos no sufren ningún cambio luego de la conversión.

Pruebas de rango de operación y comportamiento de la unidad

Las unidades que se desarrollaron anteriormente a este proyecto fueron probadas para verificar su funcionamiento y el comportamiento que presentan. La figura 4.2 muestra el resultado de la salida *RESULT_I* a la prueba realizada, donde la entrada I es estimulada con 1000 datos que representan una rampa con valores desde $0,00066$ hasta $1,75$. Los datos obtenidos de la simulación en Verilog mediante *testbench* saturan a un valor aproximado de $-0,53$.

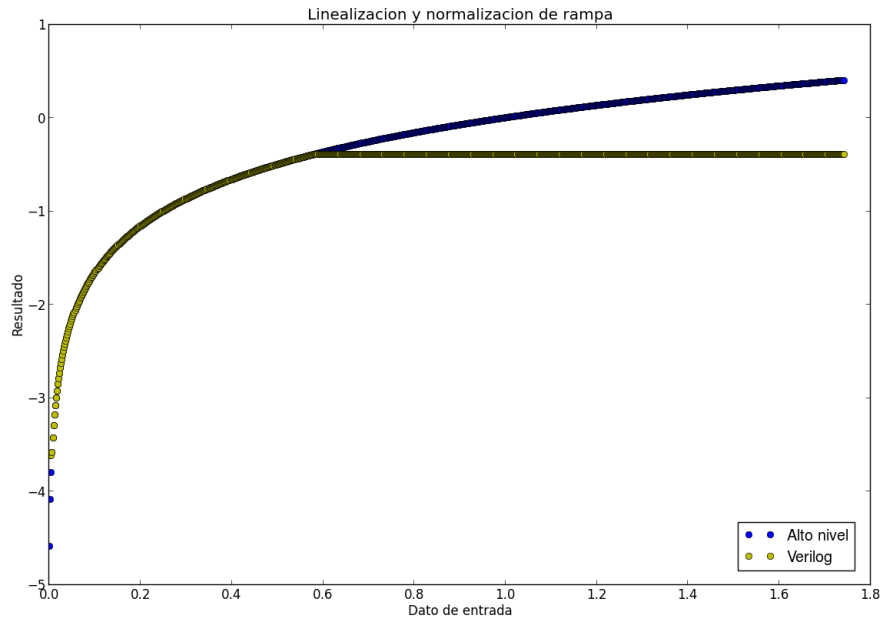


Figura 4.2: Resultado de la prueba de la unidad de linealización a una entrada rampa.

Al estimular la entrada I con valores de $I_g - i_{pv}$ provenientes de un modelo de alto nivel se obtiene la figura 4.3. Los resultados de la simulación mediante *testbench* saturan al valor indicado anteriormente y la forma de onda esperada queda distorsionada por lo que el rango de operación del linealizador es insuficiente para realizar cálculos sobre datos provenientes del panel fotovoltaico.

4.1.2 Unidad de suma en punto fijo

La unidad de la figura 4.4 presenta 2 entradas y 1 salida que se detallan a continuación:

- Entradas:
 - *EXP*: Operando de la suma proveniente del acondicionamiento que contiene el valor de $(exponente - 127) \cdot \ln(2)$
 - *LN_MANTISSA*: Operando de la suma proveniente de la unidad de linealización, conversión y normalización que contiene el valor de $\ln(mantissa \cdot 2^7)$.
- Salidas:
 - *Y*: Resultado de la suma que contiene el valor de $\ln(I_g - i_{pv})$

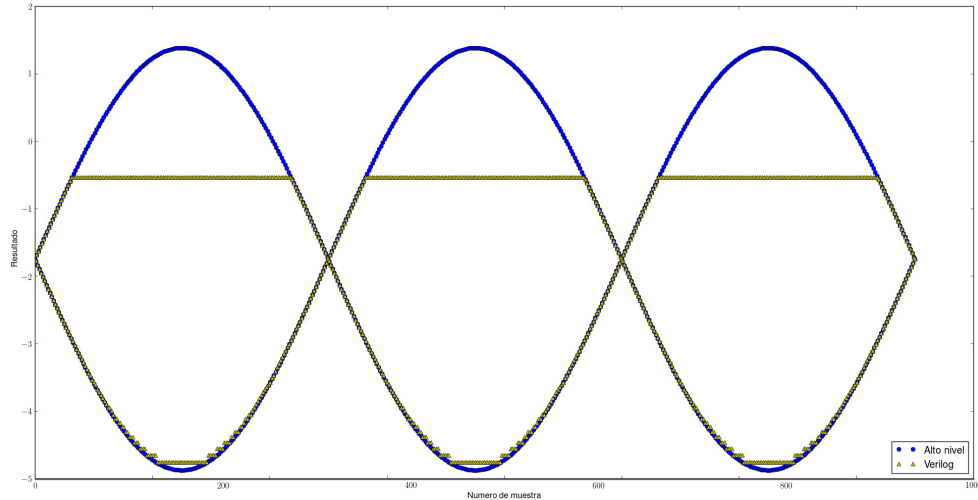


Figura 4.3: Resultado de $\ln(I_g - i_{pv})$ con entrada desde alto nivel.

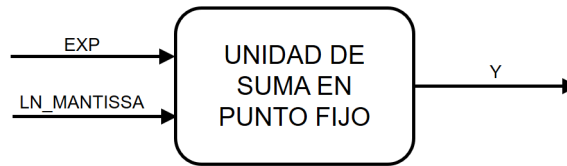


Figura 4.4: Unidad general de suma en punto fijo.

Esta unidad realiza la suma de la ecuación 3.1 con el resultado $\ln(I_g - i_{pv})$ sin limitaciones de rango y disponible para la unidad de estimación de parámetros. Representa la parte final del ajuste necesario en la linealización del dato en un rango que no se encuentre limitado por la unidad de linealización.

4.1.3 Unidad de estimación de parámetros

Esta unidad fue diseñada, implementada y probada con anterioridad al desarrollo de este proyecto por el estudiante Rolén Coto. Para efectos de este informe, se explica de manera general este módulo. La unidad de la figura 4.5 presenta 5 entradas y 3 salidas que se detallan a continuación:

- Entradas:
 - *CLK*: Reloj de sistema.
 - *Reset*: Reset de la unidad. Reestablece los valores iniciales.



Figura 4.5: Unidad general de estimación de parámetros $\theta_1 = \alpha$ y $\theta_2 = \ln(I_s)$.

- *Start*: Bandera de inicio para comenzar la estimación de los parámetros θ_1 y θ_2 .
 - *Y*: Entrada $y = \ln(I_g - i_{pv})$ en coma fija y 32 bits proveniente de la unidad de linealización, conversión y normalización.
 - *V*: Tensión $z = v_{pv}$ en coma fija y 32 bits proveniente de la unidad de linealización, conversión y normalización.
- Salidas:
 - θ_1 : Resultado de la estimación del parámetro $\theta_1 = \alpha$.
 - θ_2 : Resultado de la estimación del parámetro $\theta_2 = \ln(I_s)$.
 - *Flag*: Bandera de finalización de operaciones de estimación de parámetros.

Esta unidad trabaja únicamente con representación binaria en punto fijo con un formato *Q8.23* por lo que las entradas y salidas de datos se encuentran en esta forma. La estimación de los parámetros se realiza mediante el método de Euler. Para obtener los parámetros θ_1 y θ_2 se utilizan las ecuaciones 4.1 y 4.2 respectivamente.

$$\theta_1(k+1) = [Y(k) - \theta_1(k) \cdot V(k) - \theta_2(k)] \cdot [V(k) \cdot \Gamma_{11} \cdot T_s] + \theta_1(k) \quad (4.1)$$

$$\theta_2(k+1) = [Y(k) - \theta_1(k) \cdot V(k) - \theta_2(k)] \cdot [\Gamma_{22} \cdot T_s] + \theta_2(k) \quad (4.2)$$

Las operaciones necesarias para la obtención de los parámetros se implementan siguiendo la estructura que se presenta en la figura 4.6, donde $\Gamma_{11} \cdot T_s = 0,0000001$ y $\Gamma_{22} \cdot T_s = 0,0001$.

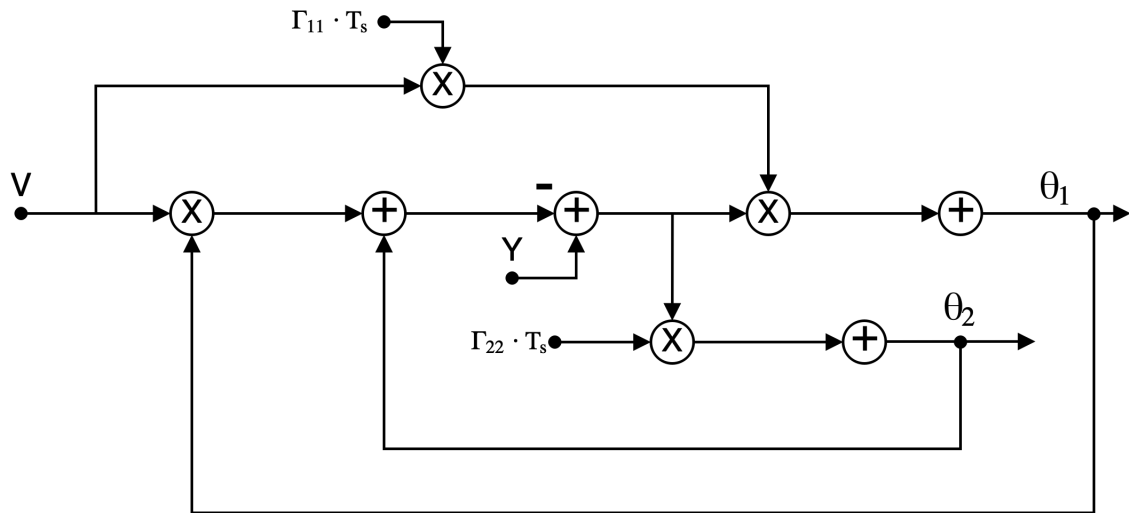


Figura 4.6: Diagrama de la estructura de las operaciones realizadas en la unidad de estimación de parámetros θ_1 y θ_2 .

4.1.4 Unidad de desnormalización, conversión punto fijo-punto flotante y deslinealización

Esta unidad fue diseñada, implementada y probada con anterioridad al desarrollo de este proyecto como se señala en [16]. Para efectos de este informe, se explica de manera general este módulo. La unidad de la figura 4.7 presenta 6 entradas y 4 salidas que se detallan a continuación:

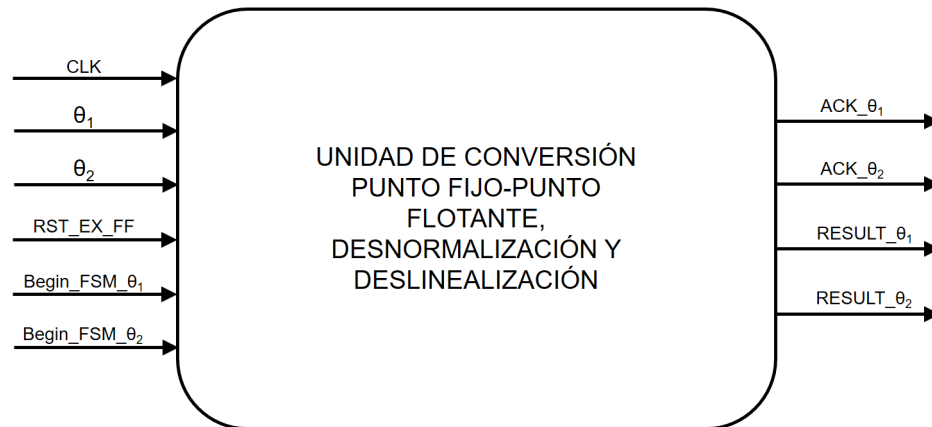


Figura 4.7: Unidad general del sistema de conversión, desnormalización y deslinealización de parámetros $\theta_1 = \alpha$ y $\theta_2 = \ln(I_s)$.

- Entradas:

- *CLK*: Reloj de sistema.
 - θ_1 : Entrada $\theta_1 = \alpha$ en coma flotante y 32 bits.
 - θ_2 : Entrada $\theta_2 = \ln(I_g - i_{pv})$ en coma flotante y 32 bits.
 - *RST_EX_FF*: Reset de la unidad. Reestablece los valores iniciales.
 - *Begin_FSM_θ1*: Bandera de inicio para comenzar la desnormalización y conversión de θ_1 .
 - *Begin_FSM_θ2*: Bandera de inicio para comenzar la deslinealización, desnormalización y conversión de θ_2 .
- Salidas:
 - *ACK_θ1*: Bandera de finalización de operaciones sobre θ_1 .
 - *ACK_θ2*: Bandera de finalización de operaciones sobre θ_2 .
 - *RESULT_θ1*: Resultado $\theta_1 = \alpha$ desnormalizado y en punto flotante.
 - *RESULT_θ2*: Resultado I_s desnormalizado, deslinealizado y en coma fija.

Las entradas θ_1 y θ_2 ingresan a la unidad donde se desnormalizan y se convierten de punto fijo a punto flotante. La señal $\theta_2 = \ln(I_s)$ se deslinealiza para obtener el parámetro I_s . Estos corresponden a los resultados finales del sistema.

Las unidades anteriores se conectan como se muestra en la figura 4.8 para realizar el cálculo de los parámetros α e I_s .

4.2 Control de flujo de datos del sistema estimador

La figura 4.8, además de mostrar la conexión entre bloques de los datos procesados por cada unidad, indica las señales de control que ingresan y salen de cada unidad en el sistema. Para estas últimas se diseña una unidad de control que maneje el flujo de datos y responda adecuadamente a las señales de control.

Se propone la unidad de la figura 4.9 la cual presenta 9 entradas y 8 salidas que se detallan a continuación:

- Entradas:
 - *CLK*: Reloj de sistema.
 - *RESET*: Reset de la unidad. Reestablece los valores iniciales.
 - *ACK_CAS_I*: Señal que indica la finalización del proceso de acondicionamiento digital sobre la señal I .
 - *ACK_CAS_V*: Señal que indica la finalización del proceso de acondicionamiento digital sobre la señal v_{pv} .

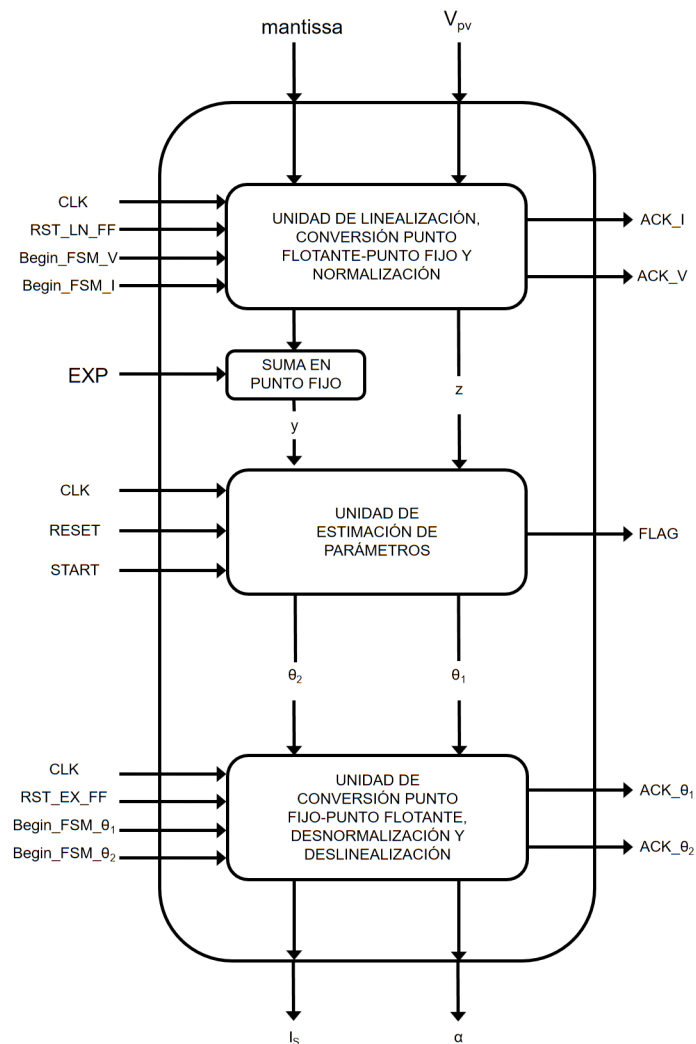


Figura 4.8: Unidad del sistema de estimación de parámetros.

- ACK_I : Señal que indica la finalización de la linealización, conversión y normalización de I .
- ACK_V : Señal que indica la finalización de la conversión y normalización de v_{pv} .
- ACK_{CAS_V} : Señal que indica la finalización de la estimación de los parámetros θ_1 y θ_2 .
- ACK_{θ_I} : Señal que indica la finalización de la conversión, desnormalización y deslinealización de la señal I_s .
- ACK_{θ_V} : Señal que indica la finalización de la conversión y desnormalización de la señal α .

- Salidas:

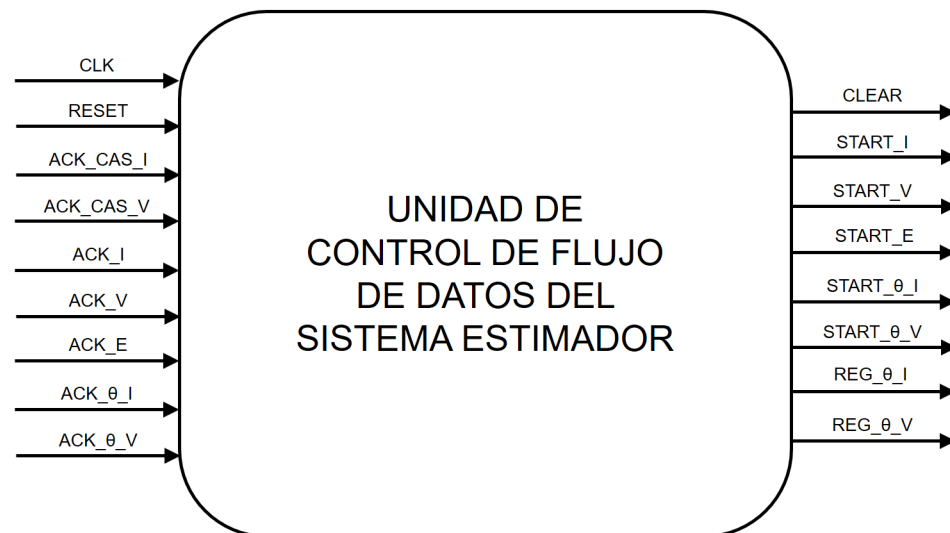


Figura 4.9: Unidad general del control de flujo de datos.

- *CLEAR*: Señal que reinicia los valores originales en las unidades de linealización, conversión y normalización y de conversión, desnormalización y deslinealización.
- *START_I*: Señal que indica el inicio de las operaciones sobre la señal I a la unidad de linealización, conversión y normalización.
- *START_V*: Señal que indica el inicio de las operaciones sobre la señal v_{pv} a la unidad de linealización, conversión y normalización.
- *START_I*: Señal que indica el inicio de las operaciones sobre la señal z y y a la unidad de estimación de parámetros.
- *START_theta_V*: Señal que indica el inicio de las operaciones sobre la señal θ_1 a la unidad de conversión, desnormalización y deslinealización.
- *START_theta_I*: Señal que indica el inicio de las operaciones sobre la señal θ_2 a la unidad de conversión, desnormalización y deslinealización.
- *REG_theta_V*: Señal de Enable para que el registro guarde el resultado $\theta_1 = \alpha$ en la salida del sistema.
- *REG_theta_I*: Señal de Enable para que el registro guarde el resultado I_s en la salida del sistema.

Debido a que las unidades realizan sus funciones cuando se activan las señales de control de inicio de operaciones se implementa un control para el funcionamiento del sistema estimador. En la figura 4.10 se muestra la estructura propuesta para el control como una máquina de estados finita con 5 estados.

El funcionamiento de la máquina de estados se describe a continuación:

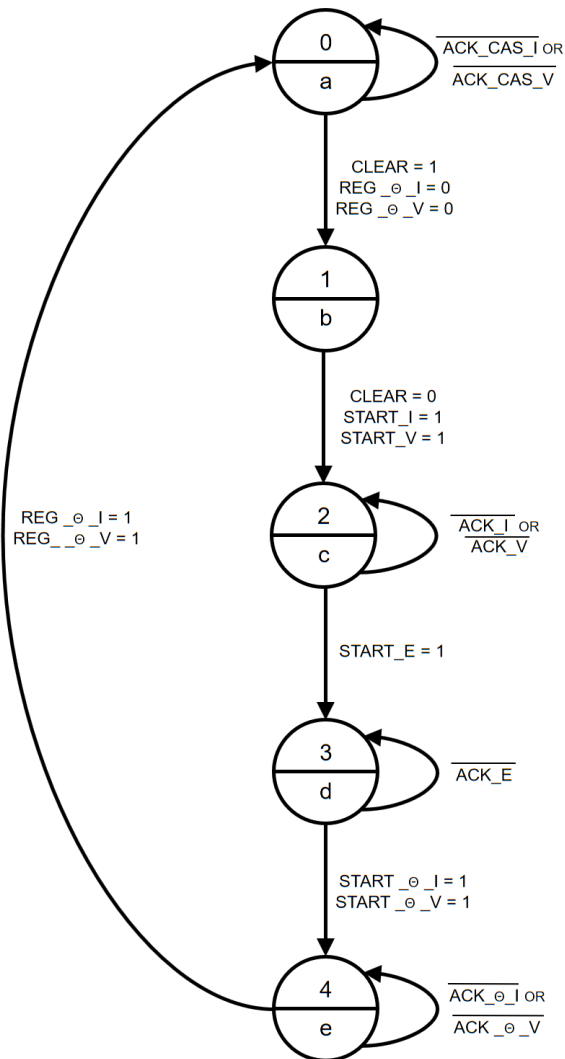


Figura 4.10: Estructura del control de la máquina de estados finita para el flujo de datos del sistema estimador.

- Estado *a*: El estado espera hasta que el acondicionamiento digital de I y v_{pv} finalice para ambas señales, lo cual sucede cuando se activan las señales ACK_CAS_I y ACK_CAS_V . Activa la señal $CLEAR$ que reinicia los valores en las unidades de linealización, conversión y normalización y conversión, desnormalización y deslinealización y desactiva las señales de Enable $REG__{\theta_I}$ y $REG__{\theta_V}$ para los registros al final del sistema.
- Estado *b*: El estado desactiva la señal $CLEAR$ y comienza las operaciones sobre las señales I y v_{pv} en la unidad de linealización, conversión y normalización activando las señales $START_I$ y $START_V$.

- Estado *c*: El estado espera hasta que la unidad de linealización, conversión y normalización finalice las operaciones del módulo, lo cual sucede cuando se activan las señales *ACK_I* y *ACK_V*. Activa la señal *START_E* para iniciar las operaciones en la unidad de estimación de parámetros.
- Estado *d*: El estado espera hasta que la unidad de estimación de parámetros finalice las operaciones del módulo, lo cual sucede cuando se activa la señal *ACK_E*. Activa las señales *START_θ_I* y *START_θ_V* para iniciar las operaciones en la unidad de conversión, desnormalización y deslinealización.
- Estado *e*: El estado espera hasta que la unidad de conversión, desnormalización y deslinealización finalice las operaciones lo cual sucede cuando se activan las señales *ACK_θ_I* y *ACK_θ_V*. Activa las señales de Enable *REG_θ_I* y *REG_θ_V* para los registros al final del sistema.

4.3 Integración de control y unidades

Luego de realizar la descripción de las unidades del sistema y el desarrollo de la unidad de control de flujo de datos se conectan los distintos módulos junto con el control. Se propone la unidad de la figura 5.1 la cual presenta 6 entradas y 4 salidas que se detallan a continuación:

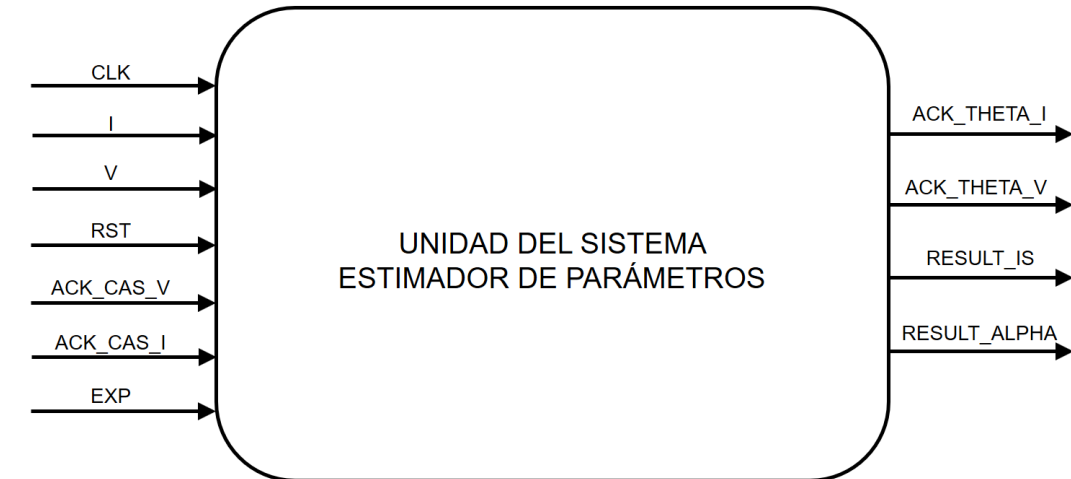


Figura 4.11: Unidad general del sistema de estimación de parámetros con control de flujo de datos.

- Entradas:
 - *CLK*: Reloj de sistema.
 - *RESET*: Reset de la unidad. Reestablece los valores iniciales.

- *ACK_CAS_I*: Señal de control que indica la finalización del proceso de acondicionamiento digital sobre la señal I .
 - *ACK_CAS_V*: Señal de control que indica la finalización del proceso de acondicionamiento digital sobre la señal v_{pv} .
 - *I*: Dato de entrada con el tratamiento realizado por el acondicionamiento. El valor de este dato en la entrada es $I = I$.
 - *ACK_V*: Señal que indica la finalización de la conversión y normalización de v_{pv} .
 - *ACK_CAS_V*: Señal que indica la finalización de la estimación de los parámetros θ_1 y θ_2 .
 - *ACK_θ_I*: Señal que indica la finalización de la conversión, desnormalización y deslinealización de la señal I_s .
 - *ACK_θ_V*: Señal que indica la finalización de la conversión y desnormalización de la señal α .
- Salidas:
 - *CLEAR*: Señal que reinicia los valores originales en las unidades de linealización, conversión y normalización y de conversión, desnormalización y deslinealización.
 - *START_I*: Señal que indica el inicio de las operaciones sobre la señal I a la unidad de linealización, conversión y normalización.
 - *START_V*: Señal que indica el inicio de las operaciones sobre la señal v_{pv} a la unidad de linealización, conversión y normalización.
 - *START_I*: Señal que indica el inicio de las operaciones sobre la señal z y y a la unidad de estimación de parámetros.
 - *START_θ_V*: Señal que indica el inicio de las operaciones sobre la señal θ_1 a la unidad de conversión, desnormalización y deslinealización.
 - *START_θ_I*: Señal que indica el inicio de las operaciones sobre la señal θ_2 a la unidad de conversión, desnormalización y deslinealización.
 - *REG_θ_V*: Señal de Enable para que el registro guarde el resultado $\theta_1 = \alpha$ en la salida del sistema.
 - *REG_θ_I*: Señal de Enable para que el registro guarde el resultado I_s en la salida del sistema.

La figura 5.1 muestra el sistema de estimación de parámetros conformado por las unidades desarrolladas.

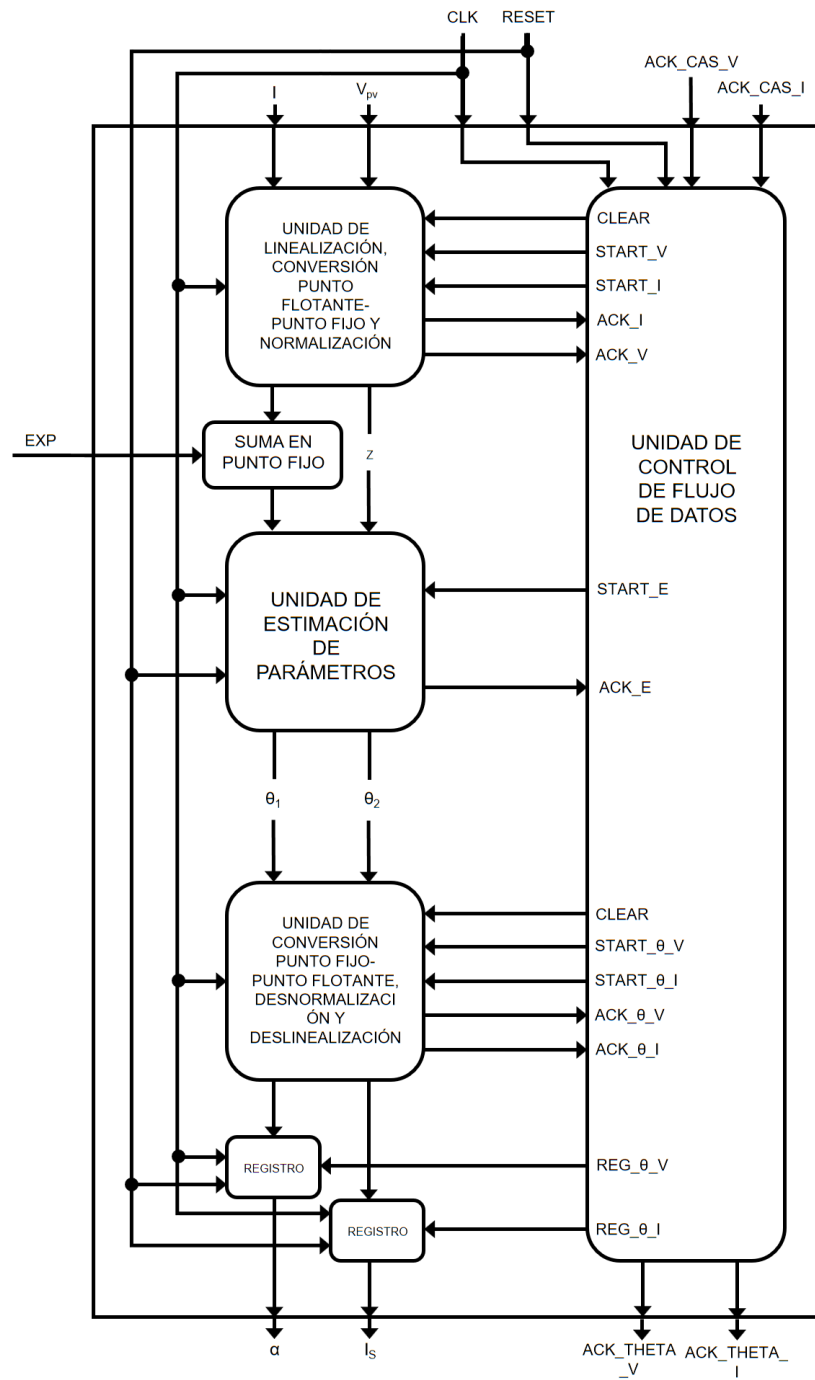


Figura 4.12: Unidad completa del sistema de estimación de parámetros con control de flujo de datos.

4.4 Verificación y resultados del control de la unidad del sistema de estimación de parámetros

Para comprobar el funcionamiento adecuado del control implementado para la unidad del sistema de estimación de parámetros, se diseña en Verilog un banco de prueba (*testbench*). La prueba consiste en estimular la unidad en las entradas con señales $I_g - i_{pv}$ y v_{pv} que correspondan al comportamiento del panel fotovoltaico, las cuales se obtienen de un programa en alto nivel que modela las características del panel fotovoltaico. Estas entradas poseen al menos 1000 valores almacenados en archivos *txt* para las señales.

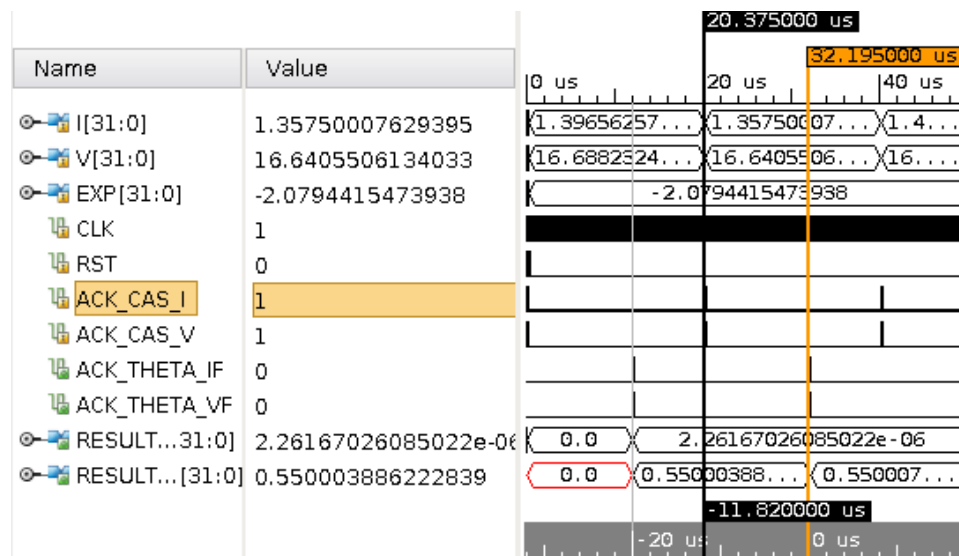


Figura 4.13: Simulación de comportamiento (behavioral) del sistema de estimación digital.

La figura 4.13 muestra el tiempo de ejecución de la unidad del sistema de estimación de parámetros, el cual se extiende por 11,82 μs . Como se menciona en [8] y [16], las unidades de linealización y conversión punto flotante-punto fijo y conversión punto fijo-punto flotante y deslinealización tienen un tiempo de ejecución de 8,23 μs y 3,48 μs , respectivamente. La unidad de estimación de parámetros tiene un tiempo de ejecución de 11 ciclos de reloj, por lo cual se extiende por 110ns como se muestra en la figura 4.14

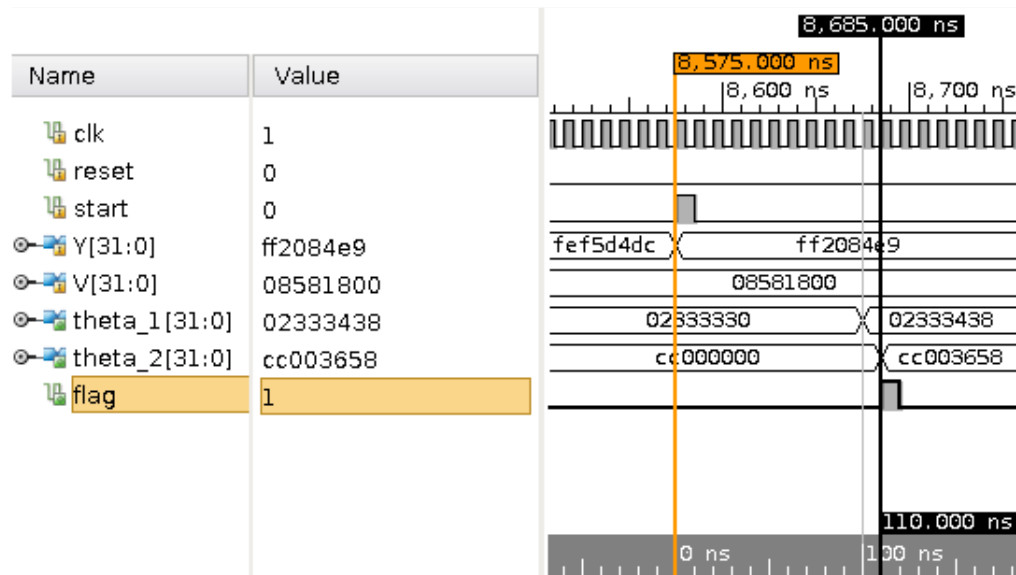


Figura 4.14: Simulación de comportamiento (behavioral) de la unidad de estimación de parámetros.

Capítulo 5

Integración de unidades

En este capítulo se describe la integración de las unidades del sistema de estimación de parámetros y el acondicionamiento digital de los datos, las pruebas realizadas y los resultados obtenidos. La figura 5.1 muestra las entradas y salidas del sistema de estimación de parámetros, de la misma manera que lo hace la figura 5.2 para el acondicionamiento digital de datos. Las entradas y salidas de estas unidades han sido descritas en los capítulos anteriores.

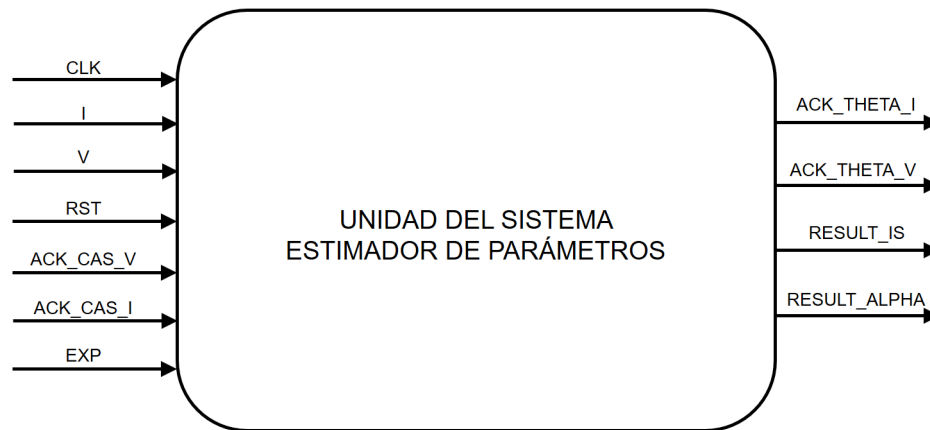


Figura 5.1: Unidad general del sistema de estimación de parámetros.

Se realiza la conexión de las señales de estas unidades, como se muestra en la figura 5.3, que da como resultado la integración completa del proyecto. Se realiza mediante un módulo que contenga las instancias de las unidades.

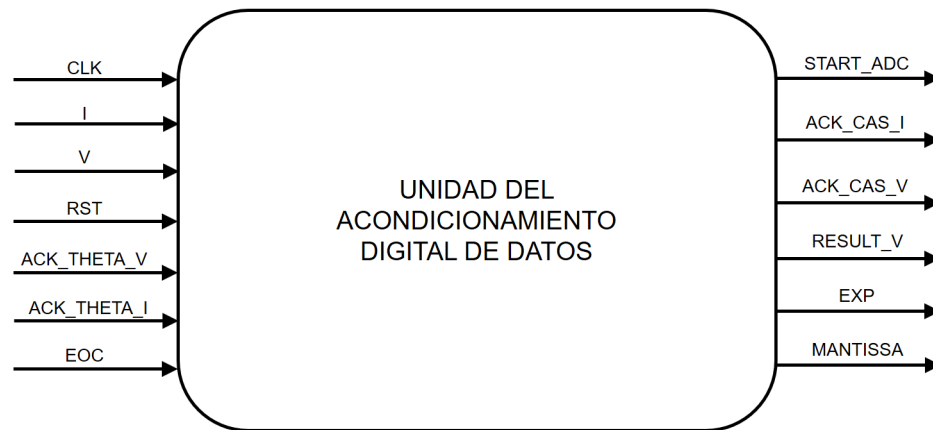


Figura 5.2: Unidad general del acondicionamiento digital de datos.

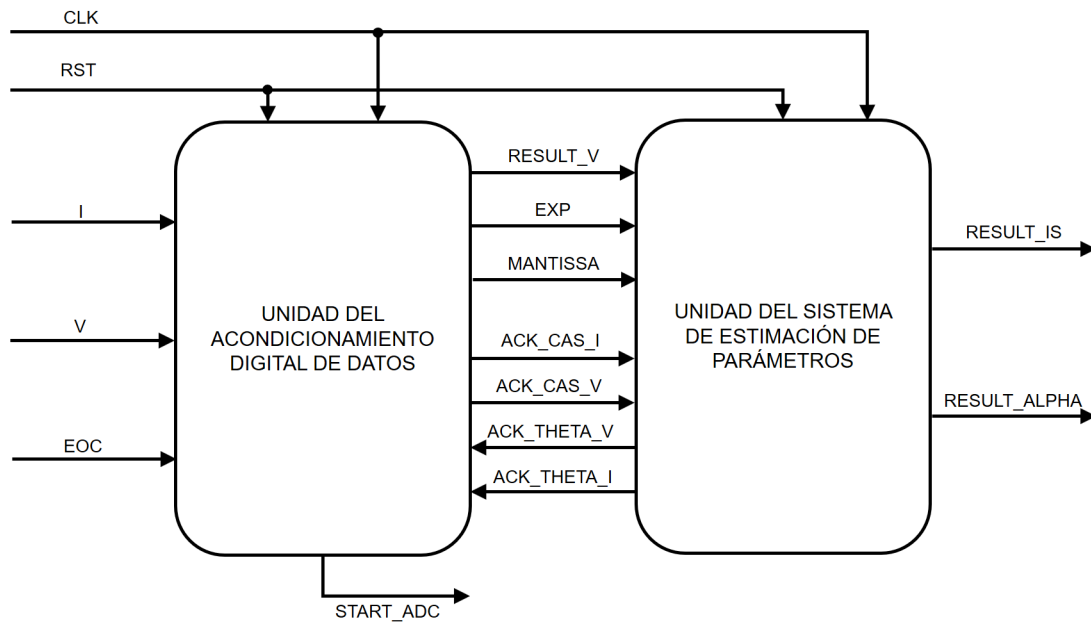


Figura 5.3: Unidad general del sistema del proyecto.

5.1 Verificación y resultados de la integración de unidades mediante Verilog HDL

Para comprobar el funcionamiento adecuado y evaluar el error que presenta la integración de las unidades, se implementa en Verilog un banco de prueba (*testbench*). La prueba consiste en estimular el acondicionamiento en las entradas con señales i_{pv} y v_{pv} que correspondan al comportamiento del panel fotovoltaico, simulando que vienen desde la conversión analógica-digital, las cuales se obtienen de un programa en alto nivel que modela las características del panel fotovoltaico. Estas entradas poseen al menos 1000 valores almacenados en archivos *txt* para i_{pv} y v_{pv} .

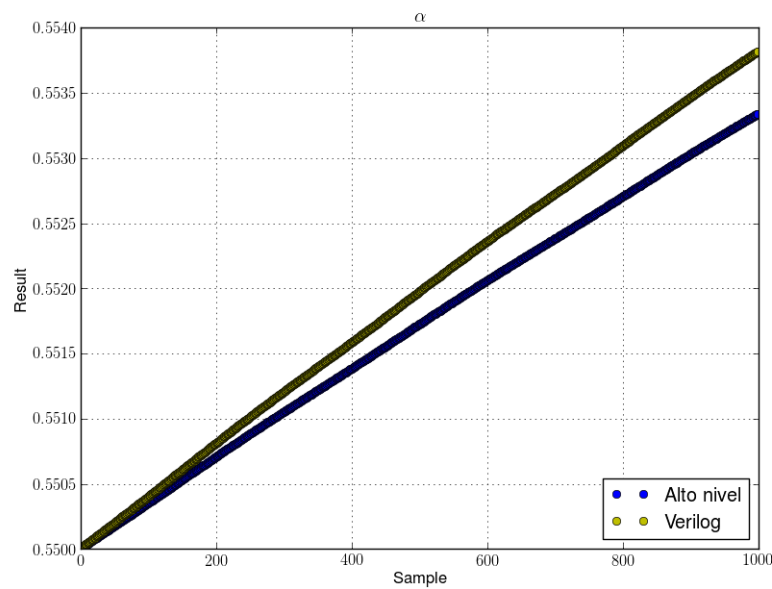


Figura 5.4: Resultados del modelo teórico y la simulación de comportamiento (behavioral) para α .

Las figuras 5.4 y 5.5 muestran el resultado obtenido por el diseño en Verilog para las señales en simulación de comportamiento (behavioral) junto con los resultados teóricos. Se observa un ajuste preciso de los datos obtenidos experimentalmente con los teóricos.

Las figuras 5.6 y 5.7 muestran el error obtenido entre los resultados descritos. De la figura 5.8 se observa la simulación del diseño y el tiempo de duración de esta integración.

La tabla 5.1 resume los resultados obtenidos en la simulación con el *testbench*.

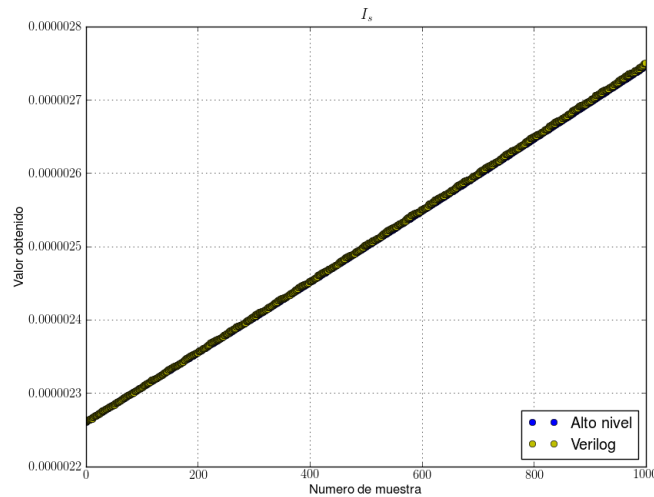


Figura 5.5: Resultados del modelo teórico y la simulación de comportamiento (behavioral) para I_s .

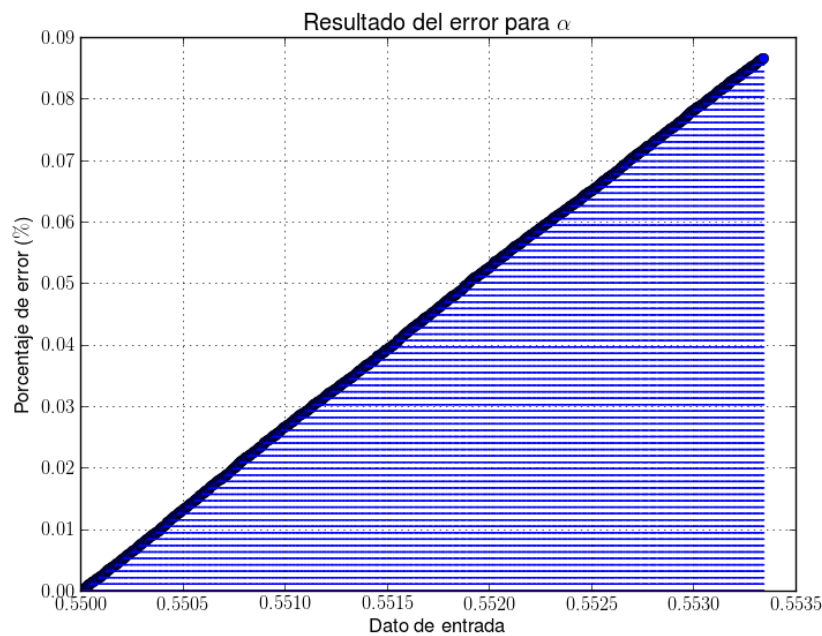


Figura 5.6: Error obtenido de α en el acondicionamiento digital entre modelo teórico y la simulación de comportamiento (behavioral)).

El error máximo para ambos parámetros no supera el 1%. A pesar del error que se arrastra desde 3, los datos mantienen una precisión adecuada, aún después del ajuste realizado para la linealización, para la estimación de los parámetros y que los resultados presenten un error promedio menor a 0,1%. Como se observa en ?? y3, el tiempo de ejecución del sistema estimador de parámetros y del acondicionamiento digital se extienden por $11,82\mu s$ y $270ns$ respectivamente, lo que implica que la integración de estas unidades se prolongue por $12,09\mu s$, como se muestra en la figura 5.8.

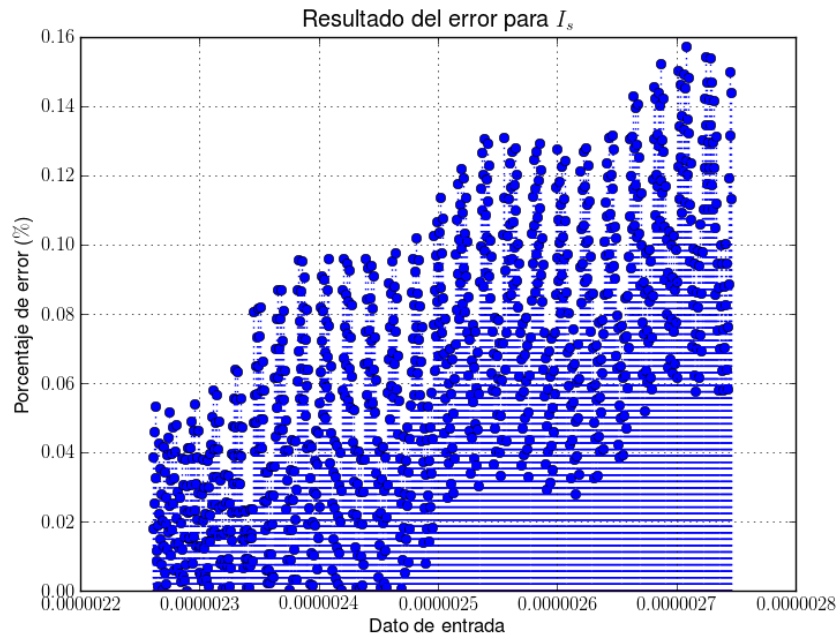


Figura 5.7: Error obtenido de I_s en el acondicionamiento digital entre modelo teórico y la simulación de comportamiento (behavioral)).

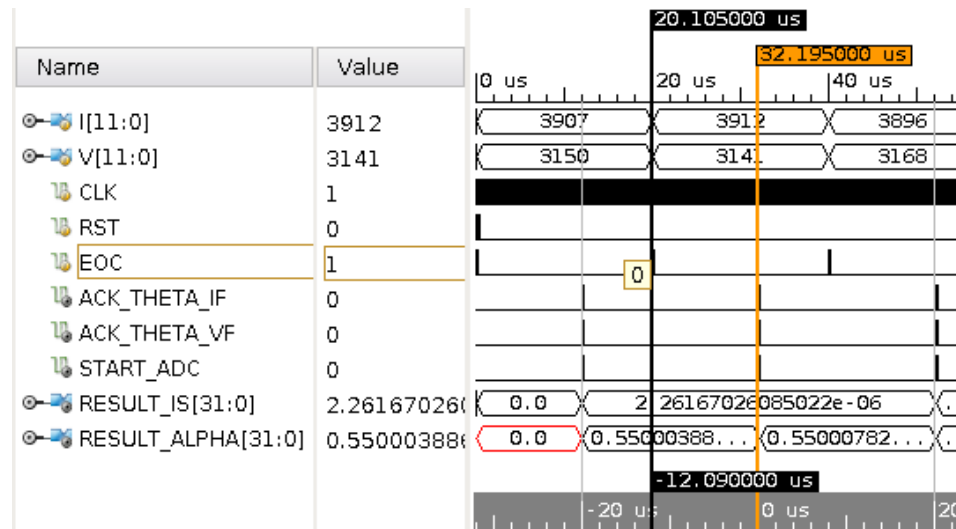


Figura 5.8: Simulación de comportamiento (behavioral)) de la integración de unidades.

Tabla 5.1: Resultados experimentales obtenidos de la simulación de comportamiento (behavioral)) para los valores α y I_s .

	α	I_s
Error máximo (%)	0,0866	0,1572
Error promedio (%)	0,0447	0,0638
Desviación estándar	0,0011	1,4120
Número de ciclos	1209	1209
Tiempo de ejecución	12,09 μs	12,09 μs

Capítulo 6

Conclusiones y recomendaciones

6.1 Conclusiones

- Se obtiene una unidad de acondicionamiento digital de datos con un error menor al 3 % para las señales v_{pv} y $I_g - i_{pv}$, con un error promedio de 0,1729% y 1,77897% respectivamente.
- Se comprueba, mediante la revisión de los datos obtenidos entre unidades y el tiempo de ejecución del sistema de estimación de parámetros, la conexión satisfactoria y sin errores de las unidades desarrolladas anteriormente al proyecto.
- Se obtiene porcentajes de error de 0,0447% y 0,0638% para los parámetros α e I_s , los cuales son menores al 5% propuesto, en la integración del acondicionamiento digital y el sistema de estimación de parámetros.
- Se comprueba, mediante la revisión de señales entre unidades y el tiempo de ejecución del sistema, el flujo correcto y sin errores de datos entre el acondicionamiento digital y el sistema de estimación de parámetros.

6.2 Recomendaciones

- Las unidades de control desarrolladas en este proyecto supervisan el flujo de un solo par de datos por el sistema. Es posible rediseñar las unidades de control para que supervisen varios pares de datos simultáneamente en el sistema y disminuya el tiempo entre resultados.

- La unidad de linealización, conversión punto flotante-punto fijo y normalización así como la unidad de conversión punto fijo-punto flotante, desnormalización y deslinealización poseen módulos de multiplicación en punto flotante, la cual se extiende por 10 ciclos de reloj, para realizar la normalización y desnormalización respectivamente. En este proyecto no son necesarias estas operaciones. El rediseño de estas unidades sin estas multiplicaciones permitiría disminuir el hardware utilizado y el tiempo de ejecución del sistema.
- El ajuste de la linealización realizado en este proyecto agrega un módulo más al sistema. El rediseño de la unidad de linealización, conversión punto fijo-punto flotante y normalización que permita un rango de operación mayor, evitaría la utilización del módulo agregado. Además, permitiría un dato válido a utilizar en el módulo estimador de parámetros.

Bibliografía

- [1] IEEE Standard for Floating-Point Arithmetic. *IEEE Std 754-2008*, pages 1–70, August 2008.
- [2] Test method for photovoltaic module power rating fsec standard 202-10, 2010. URL http://www.fsec.ucf.edu/en/publications/pdf/standards/FSECstd_202-10.pdf.
- [3] Guide to interpreting i-v curve measurements of pv arrays, 2011. URL <http://resources.solmetric.com/get/Guide%20to%20Interpreting%20I-V%20Curves.pdf>.
- [4] Implementation of log function in verilog, 2012. URL <https://opencores.org/forum,Cores,0,4771>.
- [5] Sunlight to Electricity [online]. 2016. URL <http://www.solardirect.com/pv/systems/systems.htm>.
- [6] Costa Rica supera 99% de generación renovable en primer trimestre de 2017, 2017. URL <http://presidencia.go.cr/comunicados/2017/04/costa-rica-supera-99-de-generacion>.
- [7] Tomas Akenine. [mobile] graphics hardware, 2007. URL http://fileadmin.cs.lth.se/cs/Education/EDA075/notes/mgh_appA_fixed.pdf.
- [8] Adrián Cervantes Segura. Unidad de linealización y normalización para un estimador de parámetros de uso en un sistema de optimización de energía en paneles fotovoltaicos. Lic, Tesis de Licenciatura, Escuela de Ingeniería Electrónica, ITCR, Cartago, Costa Rica, Junio 2016.
- [9] Francisco M. González-Longatt. Model of photovoltaic module in Matlab. *II CIBEL-LEC*, 2005:1–5, 2005. URL http://www.academia.edu/download/31994216/Model_of_Photovoltaic_Module_in_Matlab.pdf.
- [10] Juan Lara. Costa rica con potencial para producción de energía solar, 2016. URL http://www.nacion.com/nacional/servicios-publicos/Costa-Rica-potencial-produccion-energia_0_1594640542.html.

- [11] Carlos Meza and Romeo Ortega. Control and estimation scheme for PV central inverters. In *Information, Communication and Automation Technologies (ICAT), 2013 XXIV International Symposium on*, pages 1–6. IEEE, 2013. URL http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=6684052.
- [12] Carlos Meza and Romeo Ortega. On-line estimation of the temperature dependent parameters of photovoltaic generators. *IFAC Proceedings Volumes*, 46(11):653–658, 2013. URL <http://linkinghub.elsevier.com/retrieve/pii/S147466701633018X>.
- [13] Walter Mora. *Introducción a los Métodos Numéricos. Implementaciones Basic-Calc de LibreOffice y wxMaxima*. Revista digital Matemática. Educación e Internet, March 2010.
- [14] Erick Oberstar. Fixed-point representation fractional math, 2007. URL <http://darcy.rsgc.on.ca/ACES/ICE4M/FixedPoint/FixedPointRepresentationFractionalMath.pdf>.
- [15] D. Patterson and J. Hennessy. *Computer Organization and Design. The Hardware-Software Interface*. Morgan Kaufmann, March 2014.
- [16] Juan Rojas Salazar. Diseño de una unidad de deslinealización y desnormalización para un sistema de optimización de energía de uso en paneles fotovoltaicos. Lic, Tesis de Licenciatura, Escuela de Ingeniería Electrónica, ITCR, Cartago, Costa Rica, Noviembre 2016.
- [17] Zekai Sen. *Solar Energy Fundamentals and Modeling Techniques: Atmosphere, Environment, Climate Change and Renewable Energy*. Springer Science & Business Media, March 2008. Google-Books-ID: 244OdSz4dNQC.
- [18] Kyocera Solar. High efficiency multicrystal photovoltaic module [online]. 2016 [visitado el 5 de diciembre de 2017]. URL <http://www.kyocera.com.sg/products/solar/pdf/kc65t.pdf>.
- [19] Randy Yates. Fixed-point arithmetic: An introduction, 2007. URL <https://courses.cs.washington.edu/courses/cse467/08au/labs/l5/fp.pdf>.

Apéndice A

Hoja de información del proyecto

Información del estudiante:

Nombre: Pablo Esteban Gómez Ramírez

Cédula: 3 0477 0212 **Carné ITCR:** 201237381

Dirección de su residencia en época lectiva: Sagrada Familia, San Rafael de Oreamuno, Cartago

Teléfono: 89894518 **Email:** pabgora94@gmail.com

Información del proyecto:

Nombre del Proyecto: Diseño de una unidad de estimación de parámetros para un sistema de optimización de energía de uso en paneles fotovoltaicos

Área del Proyecto: Investigación¹

Información de la empresa:

Nombre: Instituto Tecnológico de Costa Rica

Zona: Cartago, Central , Oriental

Dirección: Un kilómetro al Sur de la Basílica de Nuestra Señora de los Ángeles (Avenida 14, Calle 15).

Teléfono: : (506) 2550-5333 **Sitio web:** www.tec.ac.cr

Actividad Principal: Docencia

Información del asesor en la empresa:

Nombre: Carlos Meza Benavides

Puesto que ocupa: Profesor e investigador

Departamento: Escuela de Ingeniería Electrónica

Profesión: profesor **Grado académico:** Doctor

Teléfono: 25502358

Email: cmeza@tec.ac.cr

¹Electrónica digital