

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica



Implementación de un modelo de simulación de una unidad de recepción con ecualización para aplicaciones de canales de transmisión de datos a alta velocidad

Informe de Proyecto de Graduación para optar por el título de Ingeniero en Electrónica con el grado académico de Licenciatura

José Daniel Netzer Hernández

Cartago, Diciembre de 2017

INSTITUTO TECNOLÓGICO DE COSTA RICA

ESCUELA DE INGENIERÍA ELECTRÓNICA

PROYECTO DE GRADUACIÓN

ACTA DE APROBACIÓN

**Defensa de Proyecto de Graduación
Requisito para optar por el título de Ingeniero en Electrónica
Grado Académico de Licenciatura
Instituto Tecnológico de Costa Rica**

El Tribunal Evaluador aprueba la defensa del proyecto de graduación denominado Implementación de un modelo de simulación de una unidad de recepción con ecualización para aplicaciones de canales de transmisión de datos a alta velocidad, realizado por el señor José Daniel Netzer Hernández y, hace constar que cumple con las normas establecidas por la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal Evaluador



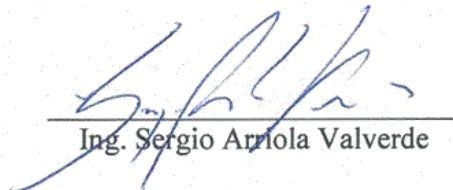
Dr-Ing. Renato Rimolo Donadio

Profesor lector



Ing. Ricardo Montero Ruiz

Profesor lector



Ing. Sergio Arriola Valverde

Profesor asesor

Cartago, 1 de diciembre de 2017

Declaratoria de Autenticidad

Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía, he procedido a indicar las fuentes mediante las respectivas citas bibliográficas.

En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.

A handwritten signature in blue ink, consisting of a stylized, cursive name followed by a horizontal line extending to the right.

Cartago, viernes 20 noviembre de 2017

José Daniel Netzer Hernández

Céd: 1-1573-0118

Resumen

Debido al constante aumento del tráfico de información, en los últimos años las nuevas tecnologías han evolucionado de manera vertiginosa. Este hecho exige el diseño de nuevos métodos de comunicaciones digitales que permitan aumentar la velocidad de procesamiento. Este incremento de velocidad en combinación con las limitaciones del ancho de banda del canal de comunicaciones, hacen crecer los efectos de la interferencia inter-símbolo (Interferencia entre símbolos - *ISI*). Para compensar este efecto se requiere implementar en el receptor potentes esquemas de ecualización. El ecualizador realimentado por decisiones (*DFE*) representa una de técnicas de ecualización más utilizadas en la industria. [19]

Debido a la dificultad de la simulación y predicción del comportamiento de los canales de transmisión de datos a alta velocidad a los diferentes esquemas de ecualización, es por lo que en el presente trabajo se realiza una investigación entre el Instituto Tecnológico de Costa Rica, en cooperación con el Instituto de Teoría Electromagnética de la Universidad Técnica de Hamburgo (TUHH), en el que se propone la implementación de un modelo de simulación, que caracterice el comportamiento de este tipo de ecualizador sobre canales de alta velocidad, analizando el criterio de error cuadrático medio para la estimación de los coeficientes óptimos del ecualizador. Con base a estimaciones y simulaciones, implementadas en el software *Advanced Design System (ADS)*, Se validó exitosamente este modelo con respecto a otros modelos anteriormente realizados y su efecto sobre diferentes configuraciones del canal de alta velocidad.

Palabras clave: *Advanced Design System (ADS)*, *DFE*, *ISI*.

Abstract

Due to the constant increase of information traffic in electronics systems, in recent years new technologies have evolved rapid pace. This fact demands the design of new methods of digital communications that allow to increase the speed of processing. The increase of speed, combined with the limitations of the bandwidth of the communication channel, increase the effects of Intersymbol Interference (*ISI*). It is necessary to implement powerful equalization schemes at the receiver. To compensate the impairment effects, it is necessary the Decision Feedback Equalizer (*DFE*) represents one of the most used equalization techniques in the industry. [19]

Due to the difficulty of simulations and prediction of the behavior of the high-speed data transmission channels, with the different equalization schemes, the Costa Rica Institute of Technology, in cooperation with the Institute of Electromagnetic Theory of the Technical University of Hamburg, are developing an investigation. This project aims to implement a simulation that characterize the behavior of this type of equalizer on high-speed channels, analyzing the mean squared error criterion for the estimation of the optimal coefficients for the equalizer. Based on estimates and simulations implemented with Advanced Design System (*ADS*) software, the proposed models were successfully validated with respect to other models from the literature, comparing their impact on different configurations at high data rates.

Keywords: Advanced Design System (*ADS*), Decision Feedback Equalizer (*DFE*), Intersymbol Interference (*ISI*), high-speed serial channels (*HSS*).

Dedicatoria

A Dios, porque mis logros son puestos en sus manos en todo momento y sin él nada de esto podría ser posible.

A mi familia que es el motor de mis logros, los que me motivan a dar siempre un poco más de mí para poder hacerlos sentir orgullosos.

A mi difunto padre Abraham Netzer que se convirtió en el ángel de mi vida y que este donde este mis logros siempre lo tendrán presente.

A mi madre Leída Hernández que siempre estuvo en todos mis logros apoyándome y enseñándome que todo en la vida tiene un propósito, además de guiarme en el camino correcto cuando lo necesite.

A mi tía Felicia Hernández que a lo largo de mi vida ha sido otra madre, que me ha apoyado en todas las decisiones que tomo para mi futuro, siempre creyendo en mi éxito.

A mi sobrina Abby Netzer que llegó a darle más sentido a mi vida y un nuevo latir a mi corazón.

A mi mejor amiga Angélica Fallas por apoyarme y aconsejarme siempre que lo necesite a lo largo de los años que tengo de conocerla.

A todos les dedico mi tesis, el cual culmina mi etapa de formación profesional en el Instituto Tecnológico de Costa Rica, cada logro que alcance en mi vida siempre será para ustedes...

Agradecimientos

Agradezco al Dr.-Ing Renato Rimolo Donadio, por extender su confianza en mi persona durante todo este tiempo, además de su dedicación, disponibilidad para aconsejarme y guiarme para el desarrollo exitoso de mi proyecto de graduación.

A mi profesor asesor Ing. Sergio Arriola, con sus aportes profesionales durante mi proceso de formación académica, que ayudaron a culminar mi etapa universitaria y contribuir a mi realización profesional.

A mi amigos y hermanos que tuve en el Instituto Tecnológico de Costa Rica, Angelica Fallas, Andrés Botero, Beatriz Moya, Daniel Zamora, Daniel León, Diego Brenes, Edgar Gutiérrez, Edgar Campos, Francisco Chacón, Geiner Granados, Isaac Valverde, Laura Quesada, Luis Chavarría, Michael Chávez, Rafael Harley, Rolén Coto y Yendri González. Gracias por toda su compañía, amistad y apoyo durante toda la carrera.

Índice General

Acta de Aprobación	II
Declaratoria de Autenticidad	III
Resumen	IV
Abstract	V
Dedicatoria	VI
Agradecimientos	VII
Índice de Figuras	3
Índice de Tablas	6
Capítulo 1: Introducción	8
1.1 Objetivos y Estructura del Documento	9
Capítulo 2: Marco Teórico	10
2.1 Enlaces Seriales De Alta Velocidad	10
2.2 Conceptos Básicos Para El Análisis De Enlaces Seriales.....	11
2.3 Tipos de Ecuación	14
2.4 Ecuación por Terminación Cercana	14
2.5 Ecuación por Terminación Lejana	16
2.5.1 CTLE (Ecuación lineal de tiempo continuo).....	17
2.5.2 DFE (Ecuación no lineal por realimentación de decisiones)	18
2.6 Retos de implementación de DFE.....	19
2.7 DFE Adaptativo	20
2.7.1 Método de Error Cuadrático Medio (LMS)	20
Capítulo 3: Implementación y Desarrollo del Sistema	22
3.1 Análisis y Selección Final de la Solución.....	23
3.2 Descripción de los módulos	26
3.2.1 Transmisor PRBS	26
3.2.2 FFE (Feed-Forward Equalizer)	29
3.2.3 Canal de Alta Velocidad	31
3.2.4 Modulo DFE (Decision Feedback Equalizer).	33
3.2.5 Configuración de la simulación.....	36
3.2.6 Pruebas en la recepción de datos.....	39
3.3 Implementación del modelo adaptativo en el módulo DFE.	40
Capítulo 4: Validación y Análisis del Modelo de Simulación	41

4.1	Resultados del sistema de simulación sobre un modelo de línea de transmisión.	41
4.1.1	Simulación de transmisión de datos sin el uso de ecualizadores.....	42
4.1.2	Simulación de transmisión de datos con el uso de un esquema de ecualización FFE en el transmisor.	43
4.1.3	Simulación de transmisión de datos con el uso de un esquema de ecualización DFE en el receptor.....	46
4.1.4	Simulación de transmisión de datos con el uso de los dos esquemas de ecualización FFE y DFE.	50
4.2	Resultados del sistema de simulación sobre un modelo de línea de transmisión acoplada.	52
4.2.1	Simulación a 5Gb/s del Sistema de Ecualización.....	53
4.2.2	Simulación a 8Gb/s del Sistema de Ecualización.....	54
4.3	Resultados del sistema de simulación de transmisión de datos sobre un Enlace Backplane.....	56
4.3.1	Enlace A.....	57
4.3.2	Enlace B.....	60
4.3.3	Enlace C.....	63
4.4	Resultados del sistema de simulación DFE ante la presencia de Crosstalk.....	64
4.4.1	Simulación a 16 Gb/s.....	65
4.4.2	Simulación a 20 Gb/s.....	67
Capítulo 5:	Conclusiones y Recomendaciones	69
5.1	Conclusiones.....	69
5.2	Recomendaciones	70
Capítulo 6:	Bibliografía	71
Capítulo 7:	Apéndices	73

Índice de Figuras

Figura 2-1. Diagrama de un enlace serie de alta velocidad tomada de [3].....	11
Figura 2-2. Ejemplos de efectos de componentes del enlace. [4]	12
Figura 2-3. Diagrama de ojos. [8] a) Elementos de forma de onda. B) Elementos del diagrama de ojos. c) Ejemplo de mascara en un diagrama. d) Ejemplo de JITTER.....	13
Figura 2-4. Circuitos controladores de transmisión [9] a) Controlado por corriente b) controlado por tensión.	14
Figura 2-5. Esquemático del diseño de un ecualizador FFE con ilustración de su efecto.	15
Figura 2-6. Ejemplo de circuitos controladores de recepción. [10]	16
Figura 2-7. Esquemático de ecualizador CTLE [7].....	17
Figura 2-8. Configuración básica del DFE. [7].	18
Figura 2-9. Configuración de DFE adaptativo por medio del algoritmo LMS. [7].....	21
Figura 3-1. Diagrama de módulos a implementar para el modelo de simulación del canal completo.....	25
Figura 3-2. Diagrama de módulos que están diseñados para el modelo de simulación del canal.....	26
Figura 3-3. Esquemático de obtención de señal PRBS en ADS.....	28
Figura 3-4. Diagrama modular del diseño de un ecualizador FFE.....	29
Figura 3-5. Esquemático del módulo de ecualización FFE en ADS.	30
Figura 3-6. Esquemáticos ADS: a) Configuración de modelo de línea de transmisión. b) Configuración de importación de parámetros S.	32
Figura 3-7. Esquemático del módulo de ecualización DFE.	34
Figura 3-8. Esquemático del módulo de ecualización DFE en ADS.	36
Figura 3-9. Esquemático de diferentes componentes del control de la simulación en ADS.	38
Figura 3-10. Ejemplo de un diagrama de ojos en el software ADS.	39
Figura 4-1. Modelo de línea de transmisión en ADS. A) Diagrama y configuración de una línea de transmisión. B) Respuesta al impulso de la línea de transmisión. C) Respuesta en frecuencia de la línea de transmisión.....	41

Figura 4-2. Diagramas de Ojos de diferentes velocidades de datos enviados por una línea de transmisión sin ecualización. a) 3Gb/s. B) 5Gb/s. C) 8Gb/s. D) 10 Gb/s. E) 20Gb/s. F) 30 Gb/s.	42
Figura 4-3. Diagramas de Ojos de diferentes velocidades de datos enviados por una línea de transmisión con ecualización FFE. a) 3Gb/s. B) 5Gb/s. C) 8Gb/s. D) 10 Gb/s. E) 20Gb/s. F) 30 Gb/s.....	44
Figura 4-4. Diagramas de Ojos de datos enviados a 8Gb/s por una línea de transmisión con ecualización FFE con diferente número de derivaciones. A) sin derivación. B) 1 derivación. C) 2 derivaciones. D) 3 derivaciones. E) 4 derivaciones.....	45
Figura 4-5. Diagramas de Ojos de diferentes velocidades de datos enviados por una línea de transmisión con ecualización DFE. a) 3Gb/s. B) 5Gb/s. C) 8Gb/s. D) 10 Gb/s. E) 20Gb/s. F) 30 Gb/s.....	47
Figura 4-6. Diagramas de Ojos de datos enviados a 8Gb/s por una línea de transmisión con ecualización DFE con diferente número de derivaciones. A) sin derivación. B) 1 derivación. C) 2 derivaciones. D) 4 derivaciones. E) 5 derivaciones F) 6 derivaciones.	49
Figura 4-7. Diagramas de Ojos de diferentes velocidades de datos enviados por una línea de transmisión. con ecualización FFE y DFE. a) 3Gb/s. B) 5Gb/s. C) 8Gb/s. D) 10 Gb/s. E) 20Gb/s. F) 30 Gb/s.	51
Figura 4-8. Modelo de Micro Cinta acoplada. A) Esquema de microcinta b) Respuesta en frecuencia de la transmisión.	52
Figura 4-9. Diagramas de Ojos de datos enviados a 5Gb/s por una línea de transmisión acoplada con diferentes esquemas de ecualización. A) sin ecualización. B) FFE. C) DFE. D) DFE+FFE.....	53
Figura 4-10. Diagramas de Ojos de datos enviados a 8Gb/s por una línea de transmisión acoplada con diferentes esquemas de ecualización. A) sin ecualización. B) FFE. C) DFE. D) DFE+FFE.....	55
Figura 4-11. Diagrama de los parámetros de enlace y modelo tomadas de [15].....	56
Figura 4-12. Parámetros de transmisión de el ejemplo A para un enlace donde las trazas se encaminan a diferentes niveles. A) Parámetro de transmisión en frecuencia de la traza seleccionada. B) Respuesta al impulso del modelo.....	57
Figura 4-13. Diagramas de Ojos de datos enviados a 10Gb/s por el enlace del ejemplo A con diferentes esquemas de ecualización. A) sin ecualización. B) FFE. C) DFE. D) DFE+FFE.	58

Figura 4-14. Diagramas de Ojos de datos enviados a 16Gb/s por el enlace del ejemplo A con diferentes esquemas de ecualización. A) sin ecualización. B) FFE. C) DFE. D) DFE+FFE..	59
Figura 4-15. Parámetros de transmisión de el ejemplo B para un enlace donde las trazas se encaminan a diferentes niveles. A) Parámetro de transmisión en frecuencia de la traza seleccionada. B) Respuesta al impulso del modelo.	60
Figura 4-16. Diagramas de Ojos de datos enviados a 10Gb/s por el enlace del ejemplo B con diferentes esquemas de ecualización. A) sin ecualización. B) FFE. C) DFE. D) DFE+FFE.	62
Figura 4-17. Diagramas de Ojos de datos enviados a 16Gb/s por el enlace del ejemplo B con diferentes esquemas de ecualización. A) sin ecualización. B) FFE. C) DFE. D) DFE+FFE.	62
Figura 4-18. Parámetros de transmisión de el ejemplo C para un enlace donde las trazas se encaminan a diferentes niveles. A) Parámetro de transmisión en frecuencia de la traza seleccionada. B) Respuesta al impulso del modelo.	63
Figura 4-19. Diagrama de ojo, antes y después de la ecualización en la ruta seleccionada para el ejemplo C.	63
Figura 4-20. Ejemplo de dos enlaces diferenciales enrutados en un sustrato multicapa con planos de referencia mixtos (un plano de potencia). (a) Vista superior. (b) Sección transversal. Tomada de [16]	64
Figura 4-21. Diagrama de conexión del ejemplo diferencial, para la prueba de crosstalk.	65
Figura 4-22. Diagramas de ojo de prueba para analizar efecto de crosstalk a una velocidad de datos de 16Gb/s. A) Sin ecualización y sin agresor. B) Con ecualización y sin agresor. C) Sin ecualización y con agresor. D) Con ecualización y con agresor.	66
Figura 4-23. Diagramas de ojo de prueba para analizar efecto de crosstalk a una velocidad de datos de 20Gb/s. A) Sin ecualización y sin agresor. B) Con ecualización y sin agresor. C) Sin ecualización y con agresor. D) Con ecualización y con agresor.	68
Figura 7-1. Esquemático del módulo de ecualización DFE con algoritmo LMS para determinar valor de las constantes en ADS.	73
Figura 7-2. Ventana principal de la aplicación Eye Front panel en ADS.	74

Índice de Tablas

Tabla 3.1. Requerimientos y restricciones mínimas del proyecto.	22
Tabla 3.2. Requerimientos y restricciones para el módulo de transmisión.	27
Tabla 3.3. Componentes utilizados en el módulo de transmisor PRBS.	28
Tabla 3.4. Componentes utilizados en el módulo de ecualización de terminación cercana FFE.	30
Tabla 3.5. Requerimientos y restricciones para el módulo del canal de alta velocidad.	31
Tabla 3.6. Componentes utilizados en el módulo del canal de alta velocidad.	32
Tabla 3.7. Requerimientos y restricciones para el módulo de ecualización DFE.	33
Tabla 3.8. Componentes utilizados en el módulo de ecualización DFE.	35
Tabla 3.9. Requerimientos y restricciones para el módulo configuración de simulación.	37
Tabla 3.10. Componentes utilizados en el módulo controlador de simulación.	38
Tabla 3.11. Componentes que se utilizaron en la implementación del algoritmo LMS adaptativo en el módulo DFE.	40
Tabla 4.1. Datos obtenidos a partir del diagrama de ojos para diferentes velocidades de datos transmitidos por una línea de transmisión.....	43
Tabla 4.2. Valores de las ganancias de las derivaciones en el esquema de ecualización FFE.	43
Tabla 4.3. Datos obtenidos a partir del diagrama de ojos para diferentes velocidades de datos transmitidos por una línea de transmisión con ecualización FFE en el transmisor.	45
Tabla 4.4. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 8Gb/s por una línea de transmisión con ecualización FFE en el transmisor.	46
Tabla 4.5. Valores de las ganancias de las derivaciones en el esquema de ecualización DFE.....	47
Tabla 4.6. Datos obtenidos a partir del diagrama de ojos para diferentes velocidades de datos transmitidos por una línea de transmisión con ecualización DFE en el receptor..	48
Tabla 4.7. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 8Gb/s por una línea de transmisión con ecualización DFE en el receptor.	49

Tabla 4.8. Datos obtenidos a partir del diagrama de ojos para diferentes velocidades de datos transmitidos por una línea de transmisión con ecualización DFE en el receptor y FFE en el transmisor.....	51
Tabla 4.9. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 5Gb/s por una línea de transmisión acoplada con diferentes esquemas de ecualización.....	54
Tabla 4.10. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 8Gb/s por una línea de transmisión acoplada con diferentes esquemas de ecualización.....	54
Tabla 4.11. Configuración de simulación para pruebas sobre los ejemplos del enlace BACKPLANE.....	56
Tabla 4.12. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 10Gb/s por el enlace del ejemplo A con diferentes esquemas de ecualización.....	58
Tabla 4.13. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 16Gb/s por el enlace del ejemplo A con diferentes esquemas de ecualización.....	59
Tabla 4.14. Ganancias de las derivaciones presentes en la adaptación en el DFE del ejemplo B a 10Gb/s.....	61
Tabla 4.15. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 10Gb/s por el enlace del ejemplo B con diferentes esquemas de ecualización.....	61
Tabla 4.16. Configuración de velocidades para la prueba de crosstalk.....	65
Tabla 4.17. Datos obtenidos a partir del diagrama de ojo de datos transmitidos a una velocidad constante de 16Gb/s para analizar el efecto del crosstalk sobre el enlace diferencial acoplado.....	67
Tabla 4.18. Datos obtenidos a partir del diagrama de ojo de datos transmitidos a una velocidad constante de 20Gb/s para analizar el efecto del crosstalk sobre el enlace diferencial acoplado.....	68

Capítulo 1: Introducción

La demanda de velocidades de transmisión de datos es más alta en los sistemas de comunicación digital actuales, esto impulsa a que la transmisión de datos ocurra desde varios hasta decenas de gigabits por segundo. Desafortunadamente, la comunicación a alta velocidad está limitada por distorsiones que contribuyen de manera importante a la degradación de la señal a través de un enlace de comunicación, principalmente por la atenuación y reflexiones dependientes de la frecuencia. Estos efectos no deseados se ven reflejados en la forma del pulso, que llega al receptor, lo cual impide una buena transmisión de datos. Por lo tanto, se pueden aplicar diferentes técnicas de diseño para mitigar este efecto no deseado y compensar las pérdidas del canal [2].

El estudio de estos enlaces de comunicación se realiza con el fin de desarrollar modelos de simulación que son de suma importancia para predecir su funcionamiento, así como realizar diseños que se encarguen de mejorar la transmisión de datos. Esto, debido a la importancia del desempeño que estos enlaces cumplen en subsistemas de entrada/salida, como por ejemplo enlaces de memoria (*DRAM*), comunicaciones en sistemas de cómputo modernos entre el procesador y los periféricos (*PCLe*, *USB*), almacenamiento (*SATA*) y enrutadores [3].

Por lo anterior el ITCR ha estado llevando a cabo una investigación en cooperación con la Universidad Técnica de Hamburgo (TUHH), para el análisis de estos enlaces de alta velocidad. En la cual se realizó una primera etapa donde se desarrolló un modelo de simulación para la etapa de transmisión, con un ecualizador lineal de entrada (FFE) realizado por la estudiante Rebeca Castro Artavia [14].

El trabajo realizado en este documento es una continuación a la contribución antes mencionada el cual consiste en completar el sistema, es necesario diseñar un modelo de simulación para la etapa de recepción con ecualización adaptativa [4].

De acuerdo con esto se presenta la construcción del modelo de comportamiento a nivel de sistema de un receptor genérico con ecualizador por realimentación de decisiones (DFE), que sea ajustable para simulaciones en canales de alta velocidad. Con esto se busca mejorar los modelos para la interconexión de canales de alta velocidad [5] que se tiene en estos momentos.

1.1 Objetivos y Estructura del Documento

El proyecto tiene como objetivo principal el desarrollo del modelo de comportamiento a nivel de sistema de un receptor genérico con ecualización por realimentación de decisiones (*DFE*). Para esto es necesario definir la arquitectura a utilizar para la unidad de recepción a partir de modelos estandarizados para canales de transmisión de datos a alta velocidad. Luego, se desarrolla la implementación del modelo parametrizado a nivel de comportamiento en el software *Advanced Design System (ADS)* con la arquitectura seleccionada, para su posterior validación a nivel de simulación con casos de estudio realistas de canales de transmisión de datos a alta velocidad.

Este documento está estructurado en cinco capítulos. En el Capítulo 2 se explican fundamentos de los enlaces de alta velocidad donde se abarcan conceptos básicos y las principales preocupaciones en relación los enlaces en serie, la ecualización y la aplicación de algoritmos adaptativos para el ecualizador.

El Capítulo 3 presenta el proceso y desarrollo del diseño realizado para la implementación del ecualizador *DFE*, para enlaces de puertos diferenciales y de extremo único. Además, se presenta el desarrollo de un algoritmo de adaptación *LMS* para diferente número de realimentaciones (taps). Por otra parte, este mismo capítulo involucra una explicación de los modelos de enlaces utilizados para la prueba que se incluyeron los resultados del algoritmo aplicado en la *DFE*.

En el Capítulo 4 se realiza la validación del diseño y análisis del sistema implementado por medio de diferentes pruebas con el uso de simulaciones que se enfocan en la funcionalidad del modelo a altas velocidades para casos realistas.

Para finalizar en el Capítulo 5 con una breve discusión alrededor de las conclusiones obtenidas con el desarrollo del modelo, así como recomendaciones para posteriores trabajos que se enfoque en temas asociados a la implementación de este tipo de estos sistemas.

Capítulo 2: Marco Teórico

En este capítulo se tratarán temas necesarios para comprender el desarrollo de la solución, además se pretende brindar al lector terminología referente a circuitos de enlaces de alta velocidad y técnicas de ecualización para este tipo de enlaces. Si se desea ampliar los temas que se trataran a continuación.

2.1 Enlaces Seriales De Alta Velocidad

El crecimiento explosivo de datos procesados por los circuitos integrados exige que los datos se transmitan a través de enlaces a gigabits por segundo, este tipo de enlaces están conformados por: interconexiones, vías, conectores, paquetes de pines, circuitos impresos y cable coaxial [1].

Por esta razón, muchas empresas están implementando cambios en los diseños de circuitos para mejorar su rendimiento y lograr una comunicación eficiente. Un ejemplo es una transición de enlaces de transmisión de datos de forma paralela a seriales a alta velocidad como forma de simplificar el diseño del sistema, para poder tener más capacidad de aumentar la reducción de ancho de banda, escalabilidad y costo [2].

Un enlace serial típico de alta velocidad se muestra en la Figura 2-1, que consta de un transmisor con datos de entrada en paralelo serializados, ecualizadores en el transmisor (T_x), el enlace de comunicación, un controlador para el receptor, ecualizadores en el receptor (R_x). y los datos de salida paralelos después de pasar por un de-multiplexor. Estos sistemas son asíncronos típicamente, por lo que el reloj debe ser recuperado con precisión de la señal recibida por medio del *CDR* [3].

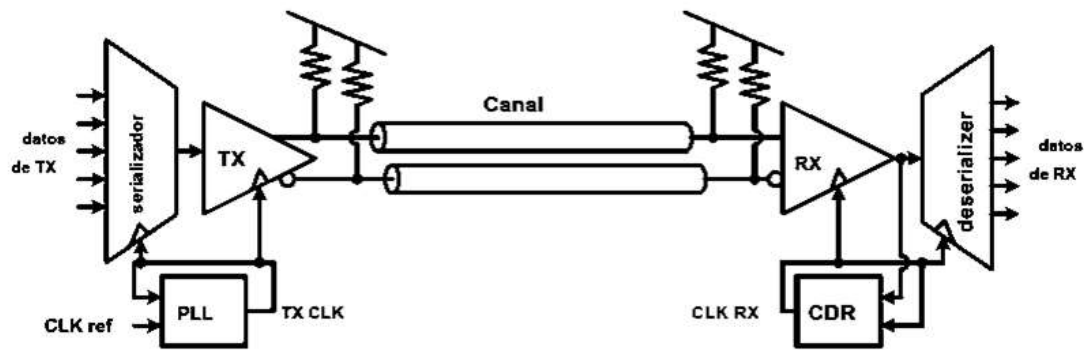


Figura 2-1. Diagrama de un enlace serie de alta velocidad tomada de [3].

2.2 Conceptos Básicos Para El Análisis De Enlaces Seriales

Dado que los elementos que conforman los enlaces seriales tienen efectos directos sobre la transmisión y recepción de datos, estos se logran percibir a partir de residuos de bits de estados anteriores que pueden distorsionar el bit actual, lo que resulta en la interferencia entre símbolos (ISI) causada por: Reflexiones, resonancias en el canal, Pérdidas de canal (dispersión) entre otras [3].

Existen diferentes tipos de valoraciones para determinar el efecto del enlace sobre la transmisión de datos, tanto en el dominio del tiempo ó en la frecuencia como lo son la respuesta al impulso, diagrama de ojo, parámetros S entre otros [3].

Por medio de las pruebas que se mencionaron se pueden determinar efectos como el ancho de banda limitado en los enlaces causado por el aumento de la pérdida resistiva y dieléctrica de los enlaces a altas frecuencias, como se muestra en la Figura 2-2a. La reflexión causada por el desajuste de impedancia de los canales, en gran parte debido a la inclusión de vías, conectores e interconexiones en los enlaces, da como resultado crestas y valles que no están uniformemente distribuidos en un gran número de intervalos en la respuesta en el dominio de la frecuencia, como se muestra en la Figura 2-2b y Figura 2-2c

[4-6].

La diafonía (*crosstalk*) se debe principalmente a la inducción capacitiva e inductiva que se da con el acoplamiento con dispositivos vecinos y se manifiesta como crestas y valles en la respuesta de impulso de canal. Como resultado, los símbolos de datos recibidos en el extremo lejano del enlace (receptor) consisten en precursores, cursor principal y post-cursos con el número de post-cursos significativamente mayor que el de los precursores, como se muestra en la Figura 2-2d [6].

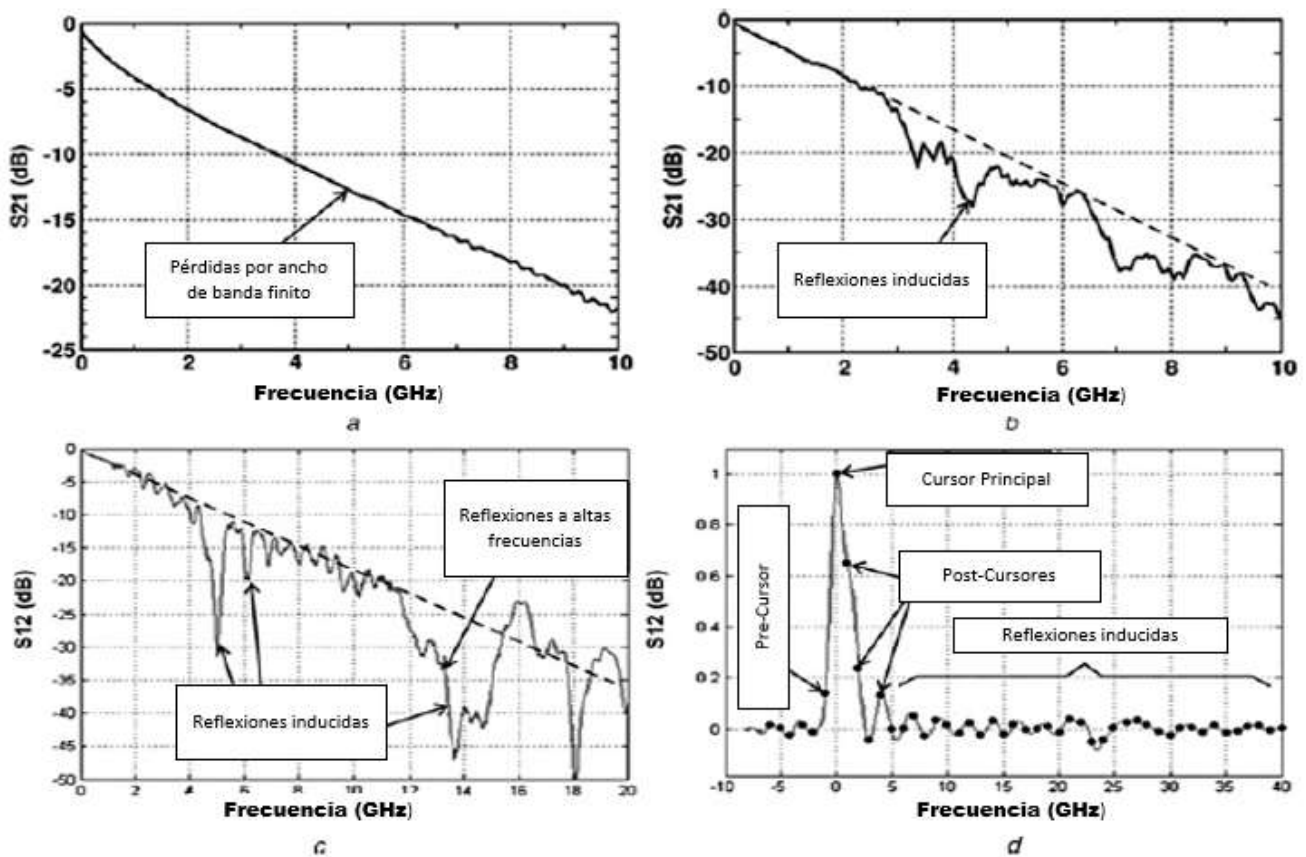


Figura 2-2. Ejemplos de efectos de componentes del enlace. [4]

El impacto en las comunicaciones de datos normalmente se determina a partir de la prueba antes mencionada como análisis diagrama de ojo, esta corresponde esencialmente, a un diagrama que muestra la superposición de las distintas combinaciones posibles de unos y ceros en un rango de tiempo o cantidad de bits determinados [8].

Con base a este tipo de prueba existen dos tipos de análisis que se realizan. El primero se refiere fundamentalmente al análisis de las distintas características de la forma de onda del pulso como son el *Rise time*, *Fall time*, *overshoot*, *undershoot* y el *jitter*, como se pueden ver en la Figura 2-3b y Figura 2-3d. Los anteriores datos están referidas a cuatro propiedades fundamentales del ojo, el nivel de cero, nivel de uno, cruce de amplitud y cruce en el tiempo, los cuales se explican a continuación y se muestra en la Figura 2-3b [8].

- Nivel de Uno: Corresponde a la medición del valor promedio del nivel de un uno lógico.
- Nivel de Cero: Corresponde a la medida del valor medio del nivel de cero lógico.
- Cruce en el tiempo: Se refiere al tiempo en el que se produce la apertura del ojo y su posterior cierre.
- Cruce de amplitud: Se refiere al nivel de voltaje en el cual se produce la apertura del ojo y su posterior cierre.
- Jitter: Se denomina a la variabilidad temporal durante el envío de señales digitales.

El patrón de ojo con una máscara definida dependiendo directamente de los requerimientos para los cuales sea utilizado este tipo de enlaces, como se muestra en la Figura 2-3c [8].

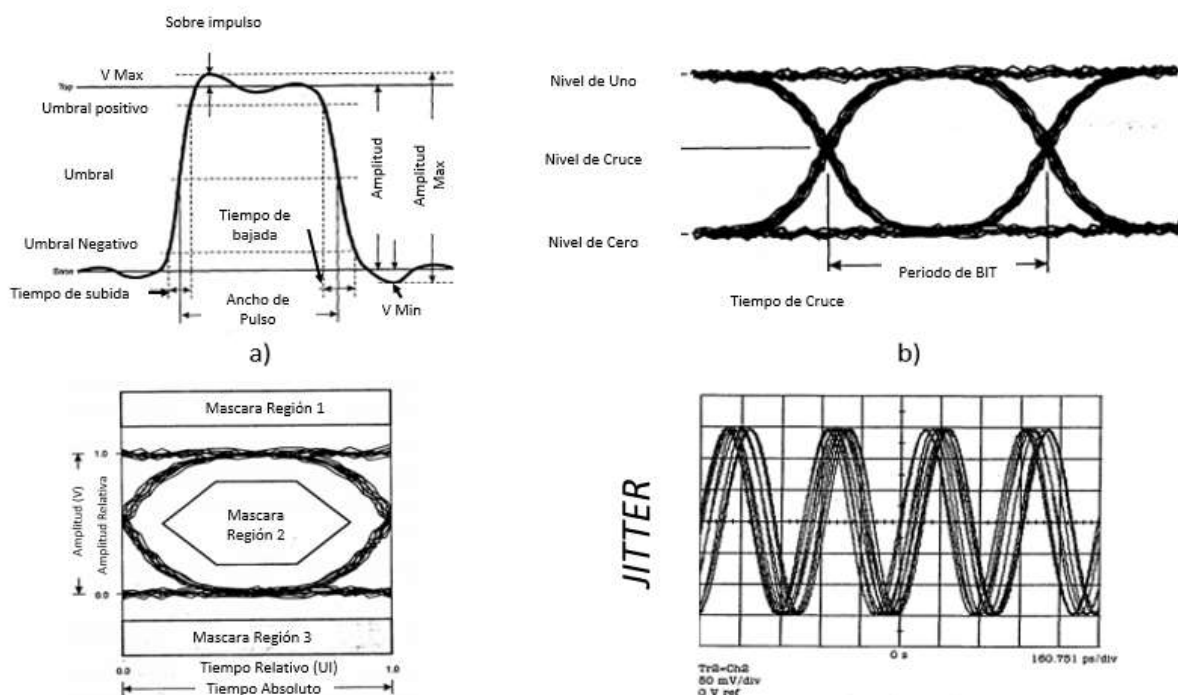


Figura 2-3. Diagrama de ojos. [8] a) Elementos de forma de onda. b) Elementos del diagrama de ojos. c) Ejemplo de máscara en un diagrama. d) Ejemplo de JITTER.

2.3 Tipos de Ecuación

Los efectos analizados anteriormente para los enlaces seriales pueden ser controlados mediante un diseño adecuado de la línea de transmisión, tipos Vías, tamaño, número y posición de vías, interconexiones, conectores, etc. Pero cuando los vínculos de trabajo se dan a velocidades de gigabit por segundo, estos cambios en el diseño no son suficientes para mitigar tales efectos por lo que se requieren técnicas de ecuación para compensar la degradación del enlace y mitigar el ISI [7,9].

A partir de la respuesta al impulso por medio del cursor principal se puede dar la recuperación de datos, mientras que los precursores y post-cursos necesitan ser removidos. Ellos pueden ser eliminados mediante dos tipos de ecuación para este tipo de canales como los son de terminación cercana y terminación lejana [7].

2.4 Ecuación por Terminación Cercana

Este tipo de ecuación es utilizada antes de que los datos sean enviados por el canal, esto permite realizar una transmisión de datos más eficiente. Para explicar la ecuación de terminación cercana es importante referirse a los circuitos controladores de transmisión ya que son la etapa encargada de realizar el envío de datos antes de que estos lleguen a la etapa de ecuación [9].

Un controlador típico de transmisión se puede diseñar por fuentes de corriente o de tensión como se muestra en la Figura 2-4. los controladores de modo actuales se implementan con mayor frecuencia. Estos controladores suelen utilizar etapa de salida controlada [9].

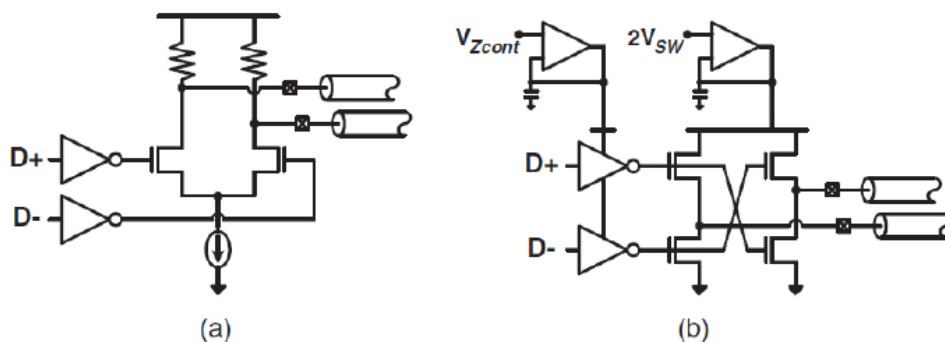


Figura 2-4. Circuitos controladores de transmisión [9] a) Controlado por corriente b) controlado por tensión.

Por lo tanto, luego de pasar por el controlador de transmisión es necesario una etapa de ecualización más conocida como ecualización de preénfasis para poder eliminar los precursores y los post-cursos aumentando los componentes de alta frecuencia lo que reduce la *crosstalk* o atenuando los componentes de baja frecuencia de los símbolos de datos antes de su transmisión para así reducir la interferencia de los símbolos transmitidos [14].

La ecualización de canal de terminación cercana se implementa a menudo utilizando *FFE (Feed Forward Equalizer)* que introducen ceros para compensar el efecto de los polos de los canales [7].

Por lo tanto, el efecto de este tipo de ecualización se logra apreciar en la disminución del efecto generado por los bits anteriores sobre el actual, disminuyendo directamente los precursores que se pueden presentar en el enlace, como se muestra en la Figura 2-5 [7 ,11].

Dado que las pérdidas en los canales de alta velocidad son típicamente mucho mayores a 20 dB por década, se necesita un filtro lineal de terminación cercana (*FFE*) de alto orden. El orden de estos, sin embargo, por lo general está limitado a cuatro, ya que aumentar aún más el orden mejora el rendimiento sólo marginalmente [7,11]

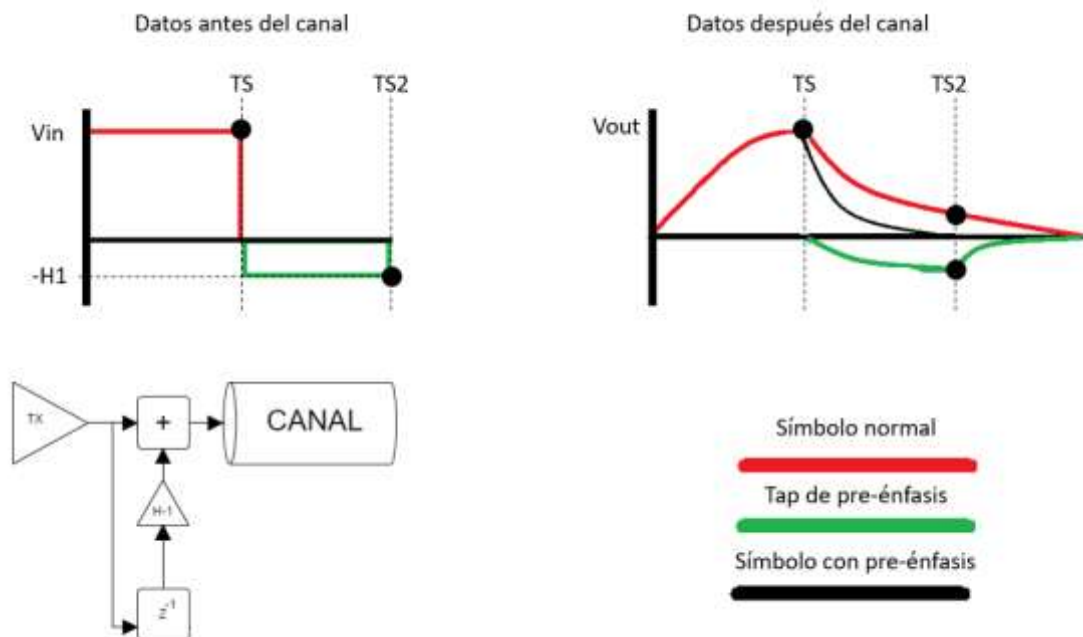


Figura 2-5. Esquemático del diseño de un ecualizador FFE con ilustración de su efecto.

Algunas limitaciones de este tipo de ecualizadores es que las características del canal no se conocen antes de la transmisión de datos, por lo que los coeficientes de derivación óptimos de los filtros FFE de preénfasis no pueden obtenerse. Esta restricción disminuye la robustez de este tipo de ecualización. Por otro lado, también existe la incapacidad para eliminar el ISI causado por la reflexión y el *crosstalk*, ya que estos ISI se manifiestan como crestas y valles en lugar de una atenuación uniformemente inclinada [7].

2.5 Ecualización por Terminación Lejana

Este tipo de ecualización es utilizada después de que los datos sean enviados por el canal, esto con el fin de mejorar la señal luego de su respectiva recepción. Para poder explicar la ecualización de terminación lejana es importante referirse a los circuitos controladores de recepción ya que son la etapa encargada de realizar la recepción de datos antes de que estos lleguen a la etapa de post-ecualización [10]. Un circuito controlador de recepción típico utilizado para aplicaciones de alta velocidad es con señalización diferencial binaria, como el que se muestra en la Figura 2-6, ya que la principal ventaja es que los datos de entrada son comparados con un umbral inherente, mientras que la señalización de terminación única requiere generación umbral cuidado [10].

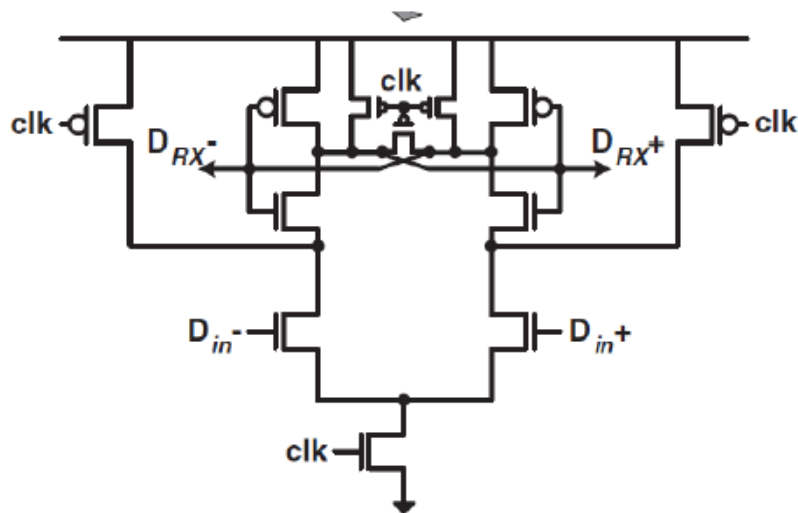


Figura 2-6. Ejemplo de circuitos controladores de recepción. [10]

Por lo tanto, luego de pasar por el controlador de transmisión es necesario una etapa de ecualización más conocida como post-ecualización para poder eliminar efectos no deseados después de pasar por el canal. Existen dos tipos de post-ecualizadores los cuales se pueden usar juntos o de manera individual, estos son el CTLE y el DFE, se diferencian principalmente porque uno es lineal y el otro no [10].

2.5.1 CTLE (Ecuador lineal de tiempo continuo)

Este tipo de ecualizador proporciona ceros que son utilizados para cancelar los polos característicos de los canales, esto lo puede realizar por medio de un circuito activo como el que se muestra en la Figura 2-7, de modo que el canal ecualizado exhibe una característica de mejor transferencia de datos.

Una ventaja de la implementación de este ecualizador en solitario para canales con reflexiones despreciables es la ausencia de retroalimentación, lo que permite soportar mayores velocidades, además es eficaz en la eliminación de pérdidas inducidas por el canal e ineficaz en la eliminación de *crosstalk* y reflexiones [7].

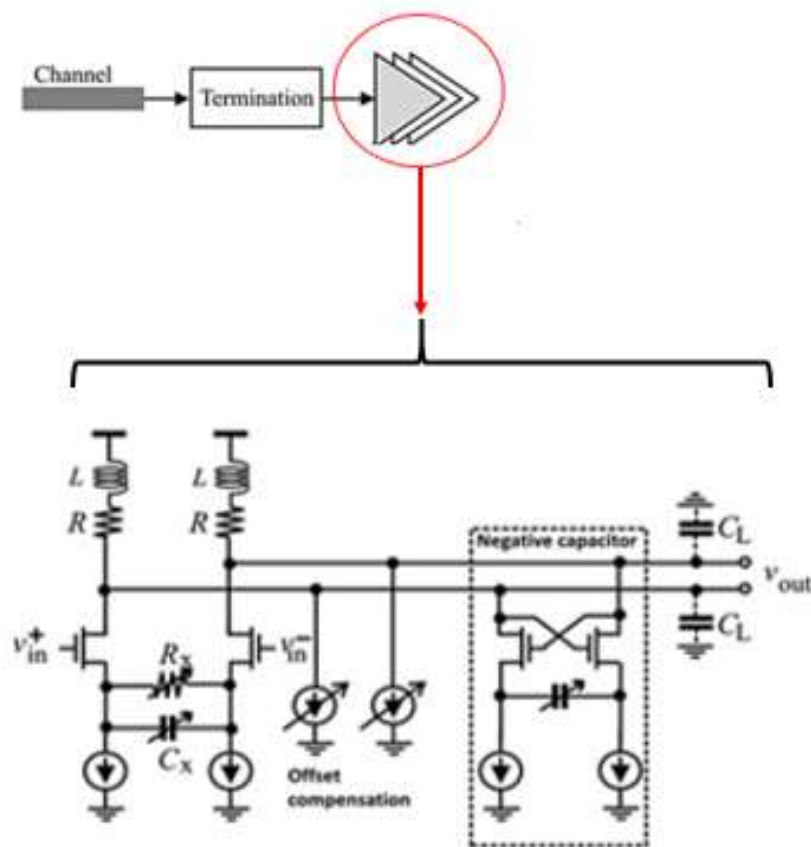


Figura 2-7. Esquemático de ecualizador CTLE [7].

2.5.2 DFE (Ecuador no lineal por realimentación de decisiones)

La ecualización no lineal más utilizada es la ecualización por retroalimentación de decisiones (*DFE*). Este tipo de ecualizador a diferencia de *CTLE*, controla el efecto de la pérdida de canal, la reflexión y el *crosstalk*. Eliminando los post-cursores del dato recibido, ya que como *DFE* sólo utiliza las decisiones anteriores, no tiene ningún efecto sobre los precursores. Como resultado, el único medio efectivo disponible para combatir los precursores es el preénfasis [11].

En la Figura 2-8, se puede ver la configuración básica de un filtro por realimentación de decisiones con 3 realimentaciones. De esta misma se puede apreciar el funcionamiento del ecualizador DFE el cual se encarga de eliminar el efecto de S1, S2 y S3 (post-cursores) sobre el S4. Esto a partir de una realimentación que permite a partir de datos anteriores predecir su efecto sobre el dato actual y así eliminarlo [7].

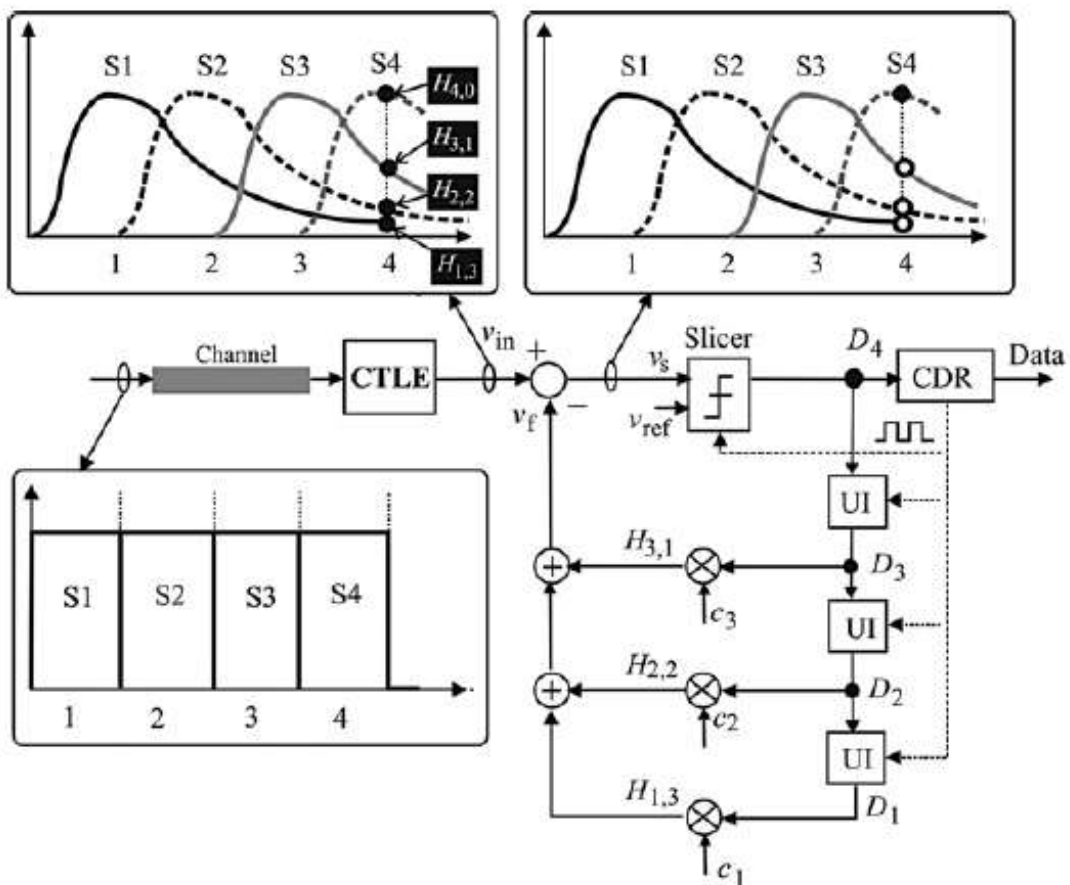


Figura 2-8. Configuración básica del DFE. [7].

2.6 Retos de implementación de DFE

A la hora de realizar la implementación de un ecualizador por realimentación de decisiones es necesario saber cuáles son los principales retos del mismo, por lo que es necesario tomar en cuenta los efectos que se analizarán a continuación:

- **BER (Bit error rate):** dado que la apertura ocular se maximiza típicamente en el centro del ojo de datos donde *BER* se minimiza y gradualmente se nivela hacia los bordes del ojo de datos donde *BER* sube, la apertura ocular horizontal en un BER dado se usa normalmente como una figura de mérito para cuantificar el rendimiento del ecualizador [13].
- **Restricciones temporales:** las operaciones *DFE* incluyen el corte de datos, la multiplicación y la resta deben completarse dentro de una *UI*, ya que sólo hay un *UI* entre el símbolo actual y la retroalimentación de tap-1 [7].
- **Propagación de error:** si la salida del detector de umbral (*slicer*) no corresponde al símbolo de datos recibido, se produce un error de corte. El error del detector de umbral no sólo afectará a la decisión actual, también afectará a la decisión siguiente. Además, el error se propagará a través de toda la cadena de retardo. Esta característica de propagación de error es un inconveniente fundamental de DFE [7 a 11].
- **Canales con dispersidad severa:** la respuesta de impulso de los canales severamente dispersivos se extiende sobre un gran número de intervalos de símbolos. Para igualar estos canales, se necesita un gran número de derivaciones (*taps*), resultando en un consumo excesivo de energía y silicio [7].
- **Consumo de energía:** el consumo de energía de un ecualizador de retroalimentación de decisión consiste en el consumo de energía del detector de umbral, las unidades de retardo y las operaciones [7].
- **Muestreo:** la calibración del detector de umbral antes de cualquier operación de corte de datos es indispensable [11].

2.7 DFE Adaptativo

La variación de canales requiere que DFE sea adaptativo de manera que los coeficientes de derivación de DFE se puedan ajustar de acuerdo con las características de diferentes canales manteniendo su funcionalidad [12].

Diferentes algoritmos se utilizan para ajustar los valores de las derivaciones (*taps*). Estos algoritmos presentan algunas limitaciones y ventajas en comparación con sus otros competidores. El principal reto a la hora de realizar una post-ecualización adaptativa es seleccionar el mejor algoritmo para el ecualizador no lineal debido a la amplia variedad. Se requiere el conocimiento de la robustez para tomar una decisión luego de ser seleccionados los valores estables de las derivaciones [7 a 12].

De todos los principales algoritmos utilizados para la adaptación de coeficientes de derivaciones, el método de error cuadrático medio (*LMS*) es el que presenta una mayor robustez al momento de realizar el cálculo respectivo de constantes para sistemas de convergencia para mecanismos adaptativos [7].

2.7.1 Método de Error Cuadrático Medio (LMS)

La adaptación de *LMS* actualiza los coeficientes de derivación del *DFE* de tal manera que se minimiza la potencia del error entre la salida y la entrada del detector de umbral (*slicer*). [7,12]

Los coeficientes de derivación C_k en cada etapa k del *DFE* se actualizan usando la ecuación 1, donde los valores de ϵ_k y v_{k-j} son calculados normalmente por medio de un *ADC*, en donde h es el tamaño de paso [7].

$$C_{j,k+1} = C_{j,k} + h \cdot \epsilon_k \cdot v_{k-j} \quad (1)$$

Una variación de este algoritmo muy eficaz es el *SS-LMS* el cual realiza el cálculo de los coeficientes por medio de un cambio en (1), y por lo tanto se actualiza por medio de (2), donde los valores de $Sig(\epsilon_k)$ y $Sig(v_{k-j})$ son calculados por medio de comparadores [7].

$$C_{j,k+1} = C_{j,k} + h \cdot sig(\epsilon_k) \cdot sig(v_{k-j}) \quad (2)$$

El esquema del circuito que representa el ecualizador DFE con la implementación del algoritmo LMS adaptativo se muestra en la Figura 2-9, en donde se puede visualizar el uso de la ecuación (2), para el cálculo de las constantes utilizadas para las ganancias de las diferentes derivaciones de la arquitectura.

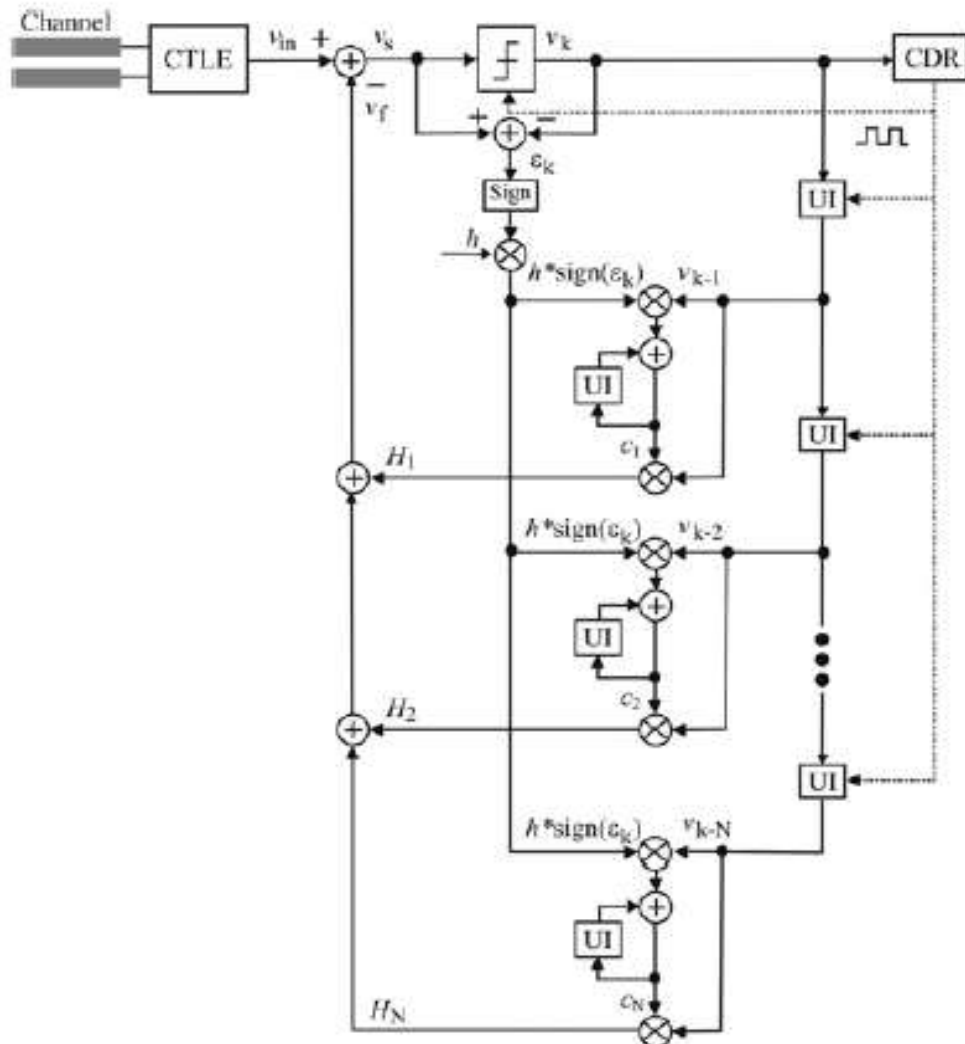


Figura 2-9. Configuración de DFE adaptativo por medio del algoritmo LMS. [7]

Otros métodos alternativos que existen para poder realizar un DFE adaptativos son: *Eye-opening*, *Jitter-based*, *Blind ADC-based* [7]. Los cuales están basados en un hardware específico que se encarga de adaptar los valores de los taps para tener la funcionalidad deseada del ecualizador para cualquier tipo de canal lo que presenta como único inconveniente su simulación previa [7].

Capítulo 3: Implementación y Desarrollo del Sistema

En este capítulo se abordará todo el detalle del proceso de desarrollo e implementación del ecualizador por realimentación de decisiones en el software ADS.

Como fase inicial del proyecto se procedió a definir los requerimientos mínimos y restricciones que deberá contemplar el diseño del ecualizador DFE. en la Tabla 3.1, se muestran los requerimientos y restricciones, definidos en conjunto con el investigador responsable del proyecto.

Tabla 3.1. Requerimientos y restricciones mínimas del proyecto.

Requerimiento	Indicador	Restricciones
Unidad de recepción cumpla al menos con un amplificador de ganancia variable	Posea una señal recuperada después del ecualizador que mantenga valores de tensiones máximos y mínimos sin importar las pérdidas del canal.	$V_{out\ max} = 1$ $V_{out\ min} = -1$
Utilización de las derivaciones (taps) necesarias para la ecualización efectiva del canal.	Posea una cantidad de derivaciones implementadas de acuerdo con el número de post cursores significativos presentes en la respuesta al impulso del canal a utilizar.	$N_{derivaciones} >$ $N_{Post-cursos\ significativos}$
Funcionalidad del modelo a tasas mayores a 1Gb/s.	Simulaciones de eventos con una apertura en el diagrama de ojo con respecto al sistema sin ecualizar a tasas mayores a 1Gb/s.	$Tasas_{Datos} > 1Gb/s$ $V_{Opening+eq} > V_{Opening-eq}$
Funcionalidad del modelo de simulación al utilizar canales de ejemplos reales.	Simulaciones de eventos con una apertura en el diagrama de ojo con respecto al sistema sin ecualizar al utilizar ejemplos de canales reales.	Utilizar archivos <i>touchstone</i> (snp) de ejemplos reales. $V_{Opening+eq} > V_{Opening-eq}$
Funcionalidad del sistema al ser acoplado con los demás módulos realizados en la investigación de los modelos de simulación.	Simulaciones de las dos arquitecturas de ecualizadores (FFE, DFE) acopladas.	Modelo de simulación con ecualización tanto en el transmisor como en el receptor del enlace.

3.1 Análisis y Selección Final de la Solución

Respecto a la problemática conocida se formularon 3 soluciones capaces en desarrollar la simulación del comportamiento de un ecualizador por retroalimentación de decisiones (DFE) que cumplan los mínimos requerimientos y restricciones propuestos por el investigador responsable del proyecto.

- **Solución 1: Modelo de comportamiento a partir del algoritmo funcional de la arquitectura.**

Analizando la unidad del modelo de recepción con ecualización DFE, surge la opción en desarrollar un algoritmo que simule el comportamiento del modelo mediante el respectivo análisis para así determinar la funcionalidad de cada uno de los bloques que completan este modelo de simulación, utilizando además recursos de software disponibles en las licencias que se encuentran en la universidad (Matlab, Octave, C, C++, Python), con el objetivo de desarrollar el modelo de simulación sin la necesidad de un software especializado en este tipo de análisis.

- **Solución 2: Modelo de comportamiento a partir de componentes básicos.**

Esta solución se centra en el desarrollo e implementación del modelo de simulación DFE, a partir del uso de una herramienta especializada en el análisis de este tipo de circuitos como lo es ADS. Además, se trabajaría en el diseño de los componentes que conforman los bloques funcionales de la arquitectura DFE esto con el fin de analizar desde muy bajo nivel el desarrollo del modelo para así tener una idea más clara sobre el diseño en físico que se necesitaría para la realización del mismo.

- **Solución 3: Modelo de comportamiento a partir del uso de bloques funcionales.**

Esta solución centra el desarrollo e implementación del modelo de simulación DFE, a partir del uso de una herramienta especializada en el análisis de este tipo de circuitos como lo es ADS, la misma en que se propone en la solución 2, con la diferencia de que no se trabajaría en el diseño de bloques funcionales de la arquitectura sino que se utilizarían componente que posee la herramienta para poder modelar su comportamiento, esto con el fin de analizar desde un alto nivel el desarrollo del modelo para así tener una idea de la funcionalidad general de este tipo de arquitecturas.

Mediante un diseño modular de la arquitectura será posible la conformación de los diferentes bloques necesarios para el modelado del sistema de recepción, esta solución también posea la ventaja de que existe la posibilidad de acoplar el sistema con las versiones anteriores del proyecto las cuales fueron realizadas en el mismo software ADS, por lo que no sería necesario modelar las arquitecturas nuevamente.

Esta solución proporcionaría una mayor flexibilidad, donde no se tomarían en cuenta todos los pormenores existentes en el diseño de los bloques funcionales con el objetivo de analizar más a fondo el comportamiento de este tipo de sistemas.

Comparación y selección de la solución

Para realizar la comparación con respecto a funcionalidad las tres soluciones presentan en su implementación la capacidad de desarrollar el modelado del funcionamiento del sistema de simulación para un receptor con ecualización por retroalimentación de decisiones.

En cuanto a flexibilidad se necesita que futuros estudiantes u investigadores puedan continuar con el proyecto, así como acoplarlo con versiones anteriores de este proyecto existentes que son necesarios para la culminación de uno de los requerimientos del trabajo, por lo tanto, la solución que presenta mayor flexibilidad sería la solución 3 ya que se realizaría bajo el mismo concepto de implementación que se ha venido implementando y mejoraría el tiempo de implementación ya que no necesitaría desarrollar los módulos existentes, con el inconveniente de que el software presenta un déficit numérico importante para el desarrollo de las operaciones lo que alarga el tiempo de simulación.

Según las comparativas realizadas para las 3 soluciones, se deberá escoger la propuesta de solución número 3 para realizar la implementación del modelo de simulación de un receptor con DFE, permitiendo el acople con otros proyectos relacionados incorporando mejoras a futuro con suficiente flexibilidad para realizar estas modificaciones al sistema, con complejidad normal y muy buen tiempo de implementación.

Desarrollo de la implementación del modelo

Con base a la propuesta de solución seleccionada, a continuación, se mostrará la conformación del sistema a nivel modular para llevar a cabo la implementación del modelo de simulación de recepción y la funcionalidad de cada módulo por separado en el software *ADS*, de acuerdo con las especificaciones definidas previamente. En la Figura 3-1, se muestra el diagrama de conexión del trabajo principal para el cual se desarrolla el módulo de este proyecto.

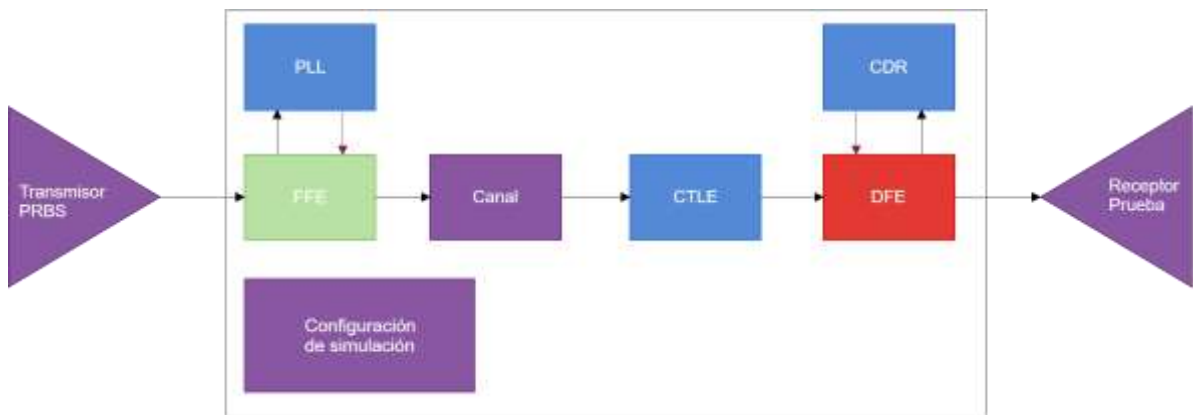


Figura 3-1. Diagrama de módulos a implementar para el modelo de simulación del canal completo.

En la misma Figura 3-1, se observan los sub módulos que contemplan el desarrollo general para poder modelar la arquitectura del canal de manera completa, dentro de la figura se muestran 4 estados referenciados con diferentes colores para cada uno de los submódulos los cuales se dividen en:

- Morado: Módulos que se necesitan para probar el comportamiento de la estructura.
- Verde: Módulo que se encuentran finalizados y listos para hacer pruebas.
- Rojo: Módulo que se realizó en este trabajo.
- Azul: Módulo faltantes para futuros trabajos.

En la Figura 3-2, se pueden ver el diagrama de módulos conectados en el cual se pueden los bloques funcionales que fueron utilizados para el desarrollo de este trabajo, en lo que respecta a implementación total solo se realizó para la arquitectura del ecualizador por retroalimentación de decisiones *DFE*, pero por funcionalidad a continuación, se explicará cada uno de los submódulos presentes en ese diagrama, esto con el fin de entender las necesidades principales que se esperan realizar en el desarrollo de este proyecto, así como las limitantes del mismo.

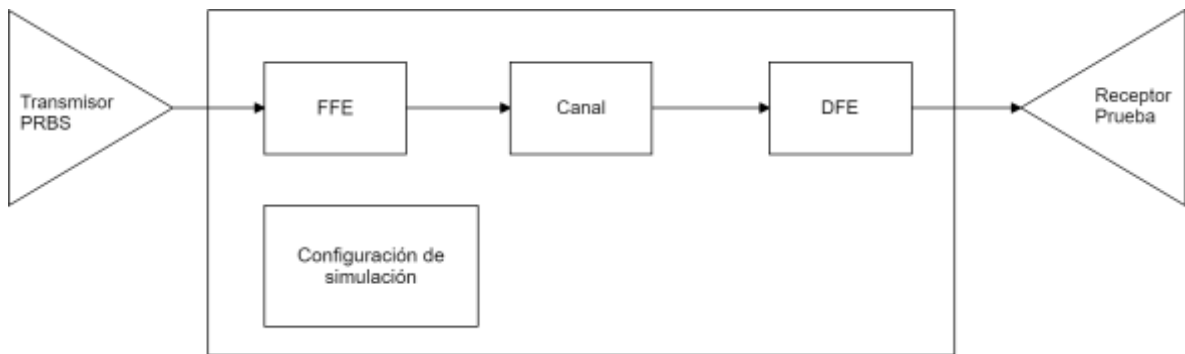


Figura 3-2. Diagrama de módulos que están diseñados para el modelo de simulación del canal.

3.2 Descripción de los módulos

A continuación, se explica la conformación de cada módulo, donde se detalla para cada uno las entradas y salidas, y la selección de los componentes utilizados en la herramienta *ADS*. En las siguientes secciones se encuentran en detalle la selección de los componentes utilizados para cada uno de los módulos.

3.2.1 Transmisor PRBS

Para la simulación de eventos, la cual consiste en un análisis en el dominio del tiempo, es necesario la creación de una fuente que sea capaz de enviar una cantidad de datos aleatorios a velocidades de datos definidas.

Respecto a lo anterior, este módulo pretende encargarse de la creación de datos aleatorios, para ser procesados posteriormente por los diferentes módulos que modelaran el comportamiento de los respectivos ecualizadores. En la Tabla 3.2, se muestran los requerimientos y restricciones planteados para este módulo.

Tabla 3.2. Requerimientos y restricciones para el módulo de transmisión.

Requerimientos	Restricciones
Generar datos aleatorios	Generar archivos de simulación del formato. tim
Variar la velocidad de datos	Variar la frecuencia de simulación.
Generar datos con las tensiones de nivel que trabaja el sistema.	$V_{max} = 1V$ $V_{min} = -1V$

Objetivo

- Acondicionar las señales aleatorias que se encargaran de simular los eventos dentro del modelo de simulación del canal de alta velocidad.

Entradas

- Indicaciones de velocidades de datos con las que se trabara la simulación.

Salidas

- Datos aleatorios con tensiones de nivel entre 1V y -1V, generados con las velocidades indicadas.

Según lo expuesto anteriormente, los recursos de software utilizados en ADS son los que se muestran en la Tabla 3.3, para poder generar archivos (. tim) los cuales serán guardados para su posterior lectura dentro de las simulaciones en las que sean necesarios en la Figura 3-3, se puede observar a nivel de esquemático este módulo.

La configuración del PRBS, se ejecuta por medio de un controlador DFE, en donde se debe definir la velocidad de datos, así como su respectiva cantidad de muestras a evaluar.

Se utilizo una cantidad de muestras por símbolo dependiendo de la precisión con la que se quiera trabajar ya que dependiendo de este se determinara el tiempo de muestreo de los diferentes componentes que se encuentran en la simulación

Tabla 3.3. Componentes utilizados en el módulo de transmisor PRBS.

Componente	Funcionalidad
<i>Data</i>	Genera datos aleatorios a partir de un tiempo de muestreo y un tiempo de exacto por Bit.
<i>Gain</i>	Acondicionar la señal para que se encuentre en los valores de simulación: 1V y -1V.
<i>SavePRBS</i>	Genera archivos “. tim” para su posterior simulación.

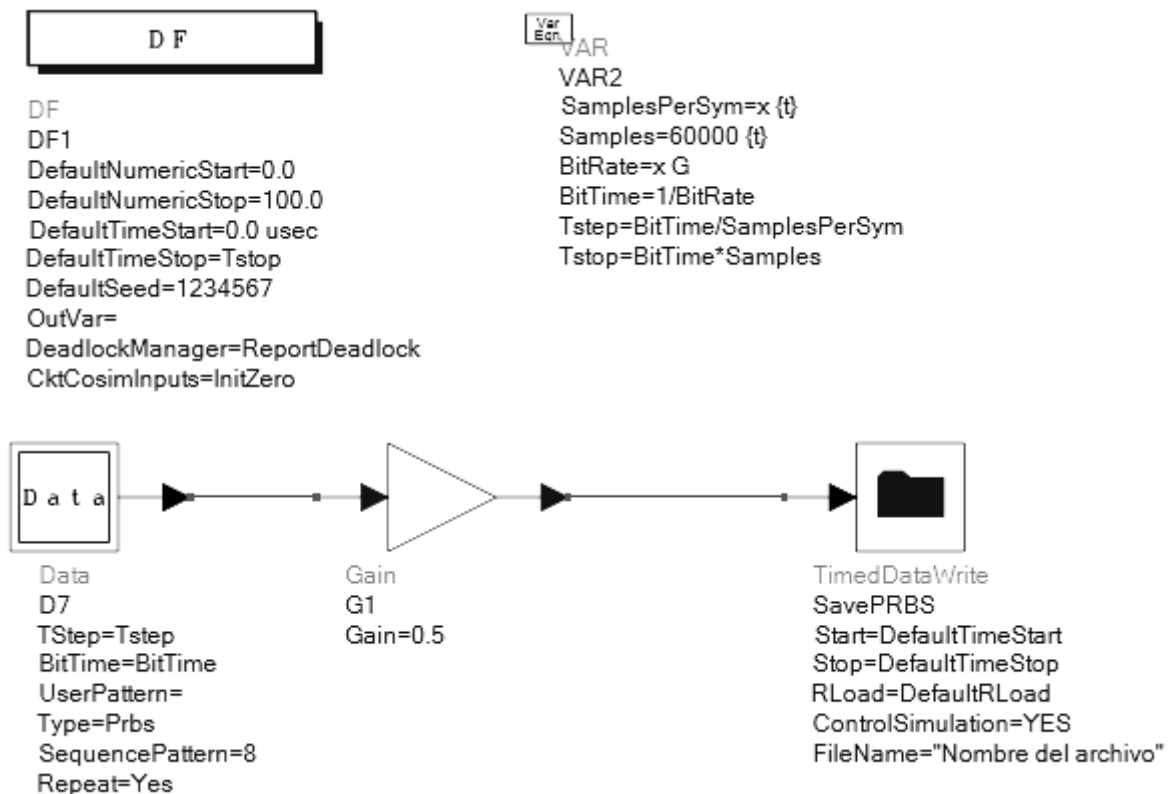


Figura 3-3. Esquemático de obtención de señal PRBS en ADS.

3.2.2 FFE (*Feed-Forward Equalizer*)

Para la implementación de sistema de simulación, es necesaria la incorporación de este módulo de ecualización de terminación cercana, el cual fue desarrollado por la estudiante Rebeca Artavia [14], este mismo se implementó a partir del diagrama que se observa en la Figura 3-4, donde se puede apreciar los diferentes cursores: H_0 (precursor), H_1 (cursor), ..., H_n (Post cursores). Estos utilizados para mitigar su efecto al ser enviados después del canal.

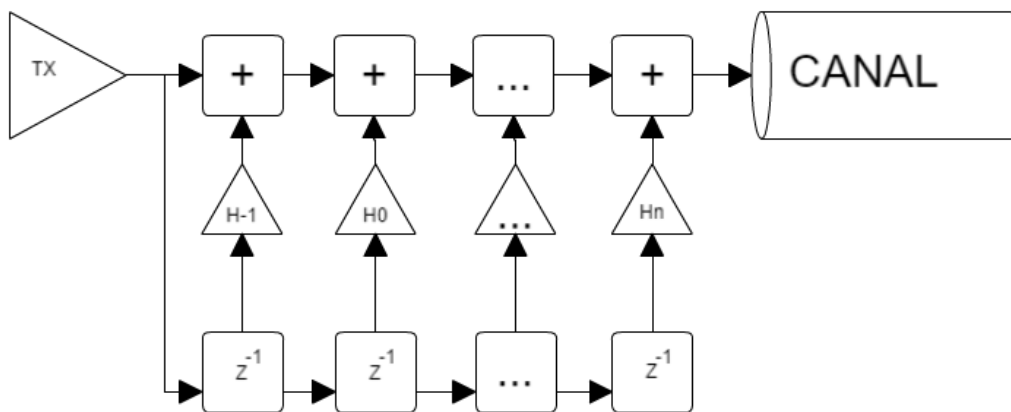


Figura 3-4. Diagrama modular del diseño de un ecualizador FFE.

Objetivo

- Ecualizar las señales aleatorias antes de que estas ingresen al canal para sus posteriores pruebas, dentro del modelo de simulación del canal de alta velocidad.

Entradas

- Datos aleatorios con tensiones de nivel entre 1V y -1V, generados con las velocidades especificadas por módulos anteriores.
- Valores de los taps de manera adaptativa.

Salidas

- Datos ecualizados por medio de la mitigación del efecto de pre y post cursores.

Según lo expuesto anteriormente, los recursos de software utilizados en ADS son los que se muestran en la Tabla 3.4, para poder generar la ecualización de los datos, los cuales serán enviados por el canal para su posterior análisis de su efecto mediante las respectivas simulaciones, en la Figura 3-5, se puede observar a nivel de esquemático este módulo el cual debe variar si se quieren implementar mayor número de derivaciones.

Es importante mencionar que el cálculo de los taps se puede adaptar automáticamente mediante diferentes métodos por lo se puede analizar esta variable como una entrada o un valor constante.

Tabla 3.4. Componentes utilizados en el módulo de ecualización de terminación cercana FFE.

Componentes	Funcionalidad
<i>Delay</i>	Retrasar la señal para obtener muestras de bits anteriores para su posterior uso.
<i>Gain</i>	Amplificar el valor de los bits por un factor relativo a los valores de los taps.
<i>Add</i>	Suma dos señales

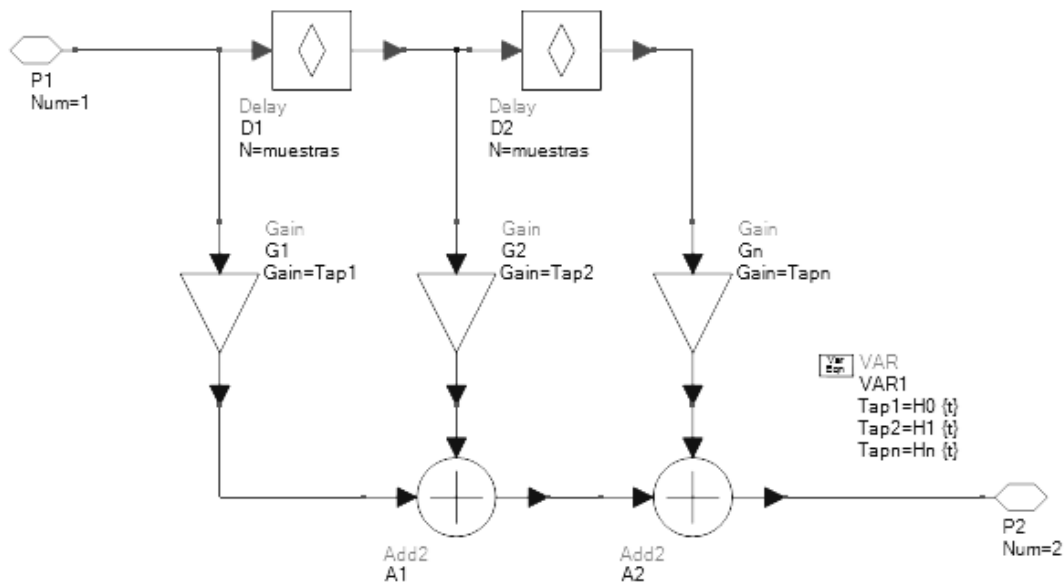


Figura 3-5. Esquemático del módulo de ecualización FFE en ADS.

3.2.3 Canal de Alta Velocidad

Para modelar el comportamiento del modelo de canal, es necesario de alguna manera poder comprobar su funcionamiento, por lo que este módulo tiene que ser capaz de adaptar al modelo ejemplos de líneas creadas en ADS o con ejemplos reales tomados de archivos *touchstone* estos utilizados para obtener la respuesta que sufre esta señal al ser transmitida por este específico módulo.

Respecto a lo anterior, este módulo realiza la configuración de modelos de canal sencillos con base en modelos de líneas de transmisión, o de forma más general, importando un modelo de parámetro S, para realizar análisis relacionados con los datos obtenidos después de este módulo. En la Tabla 3.5, se muestran los requerimientos y restricciones planteados para este módulo.

Tabla 3.5. Requerimientos y restricciones para el módulo del canal de alta velocidad.

Requerimientos	Restricciones
Permitir la configuración de modelos de canal sencillo con base en modelos de líneas de transmisión, o de forma más general, importando con un modelo de parámetro S.	Contar con una simulación transitoria para el canal para el respectivo análisis de la simulación.

Objetivo: Configurar ó importar un modelo de canal en parámetros S.

Según lo expuesto anteriormente, los recursos de software utilizados en ADS son los que se muestran en la Tabla 3.6, para poder generar las simulaciones de los canales a utilizar en las diferentes pruebas, para su posterior análisis de su efecto sobre los datos de entrada, en la Figura 3-6, se puede observar a nivel de esquemáticos las diferentes variaciones existentes para este módulo.

Tabla 3.6. Componentes utilizados en el módulo del canal de alta velocidad.

Componentes	Funcionamiento
MLIN	Permite la configuración de una línea Microstrip.
MCLIN	Permite la configuración de líneas acopladas de microstrip.
SnP	Permite cargar archivos del tipo touchstone.
MSUB	Permite la configuración del sustrato utilizado por MLIN y MCLIN.

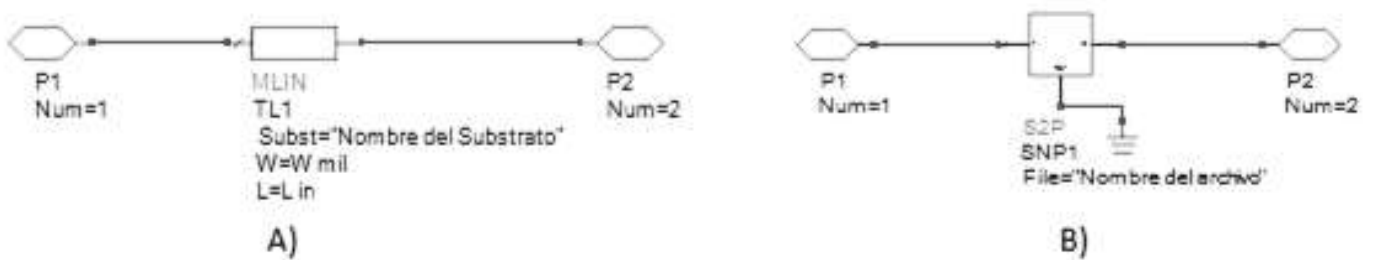


Figura 3-6. Esquemáticos ADS: a) Configuración de modelo de línea de transmisión. b) Configuración de importación de parámetros S.

3.2.4 Modulo DFE (Decision Feedback Equalizer).

A continuación, se explicará el módulo principal del trabajo, el cual consiste en una arquitectura de ecualización lejana no lineal del tipo DFE, el cual es útil para la ecualización de canales con distorsión severa.

Utiliza decisiones obtenidas mediante realimentación para cancelar la interferencia entre símbolos debido a símbolos ya detectados o muestreados, en la Figura 3-7, se muestra un diagrama de bloques de este ecualizador, en el que la señal ecualizada corresponde a e_k ya después de pasar por su respectiva realimentación de decisiones con la finalidad de ecualizar los datos antes de ser muestreados.

Respecto a lo anterior, este módulo pretende encargarse de ecualizar una señal a velocidades específicas después de ser enviadas por medio de un canal de alta velocidad, para así modelar el comportamiento del respectivo ecualizador. En la Tabla 3.7, se muestran los requerimientos y restricciones planteados para este módulo.

Tabla 3.7. Requerimientos y restricciones para el módulo de ecualización DFE.

Requerimiento	Restricciones
Funcionar al menos con un amplificador de ganancia variable	$V_{out\ max} = 1$ $V_{out\ min} = -1$
Funcionalidad del módulo a tasas mayores a 1Gb/s.	$Tasas_{Datos} > 1Gb/s$ $V_{Opening+eq} > V_{Opening-eq}$
Funcionalidad del sistema al ser acoplado con los demás módulos del modelo de simulación del canal de alta velocidad.	Funcionalidad del sistema completo para modelar el comportamiento de canales de alta velocidad.
Numero de Taps necesarios para la correcta ecualización del modelo de canal.	Que la cantidad de taps sean proporcionales al número de post cursores significativos del canal según el UI seleccionado.

Con respecto al diseño de este módulo este mismo se implementó a partir del diagrama que se observa en la Figura 3-7, donde se puede apreciar los diferentes cursores: A1 (cursor), A2...n (post cursores). Estos utilizados para disminuir su efecto al ser realimentados por medio decisiones tomadas por el muestreador, lo que permite una mejora en las futuras decisiones.

Una parte fundamental de este módulo es el diseño del muestreador el cual se encarga de seleccionar a partir del valor del dato entrante e_k , los valores de 1V y -1V para asignárselos a D_k , este tipo de elección depende directamente del valor del dato anterior d_{k-1} , y posee su referencia en el valor de A1 que corresponde al primer post-cursor, por lo que para su mejor apreciación se puede ver el código presente en dicha figura.

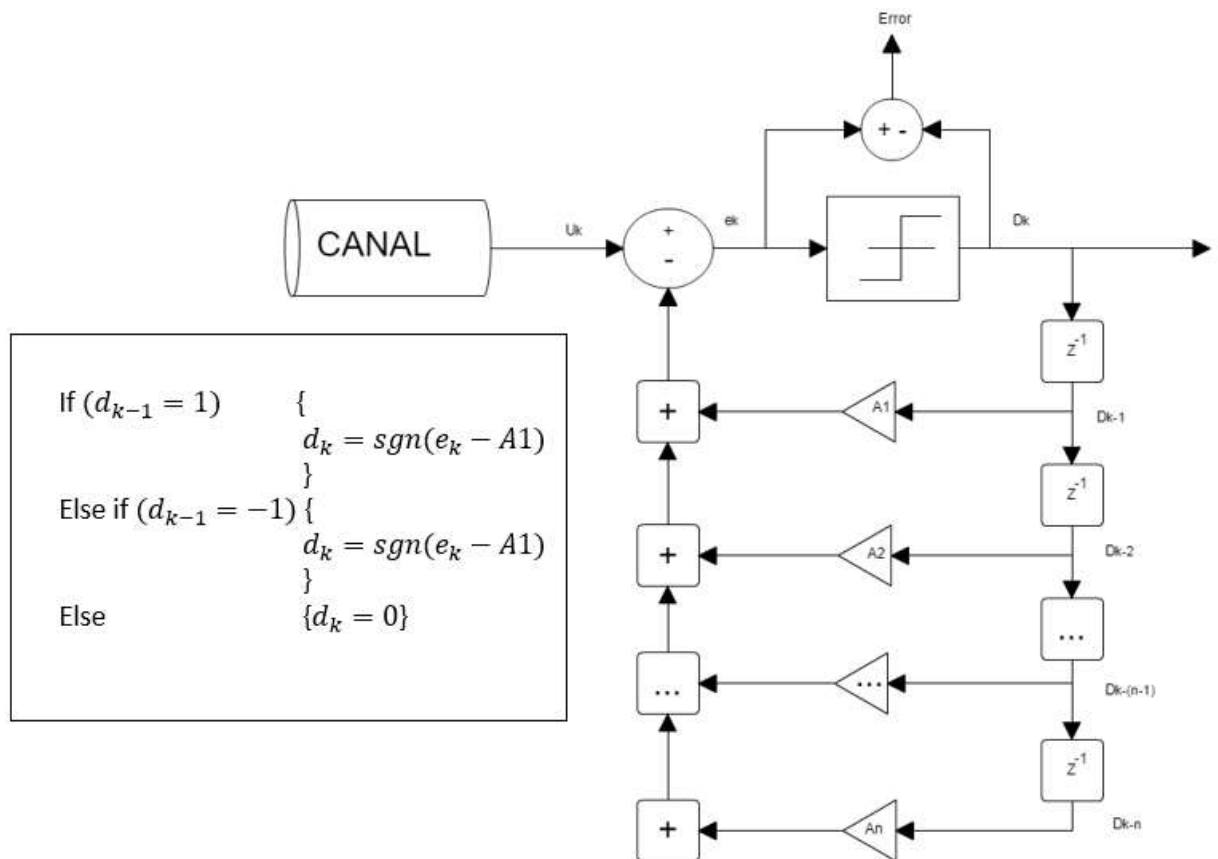


Figura 3-7. Esquemático del módulo de ecualización DFE.

Objetivo

- Ecuilizar las seales aleatorias despues de que estas han pasado por el canal para su posterior validacin, dentro del modelo de simulacin del canal de alta velocidad.

Entradas

- Datos aleatorios daados adquiridos a la salida del canal, con o sin ecualizacin.

Salidas

- Datos aleatorios con tensiones de nivel entre 1V y -1V, muestreados despues de su respectiva ecualizacin con las velocidades indicadas por el controlador de la simulacin.

Segn lo expuesto anteriormente, los recursos de software utilizados en ADS para este mdulo son los que se muestran en la Tabla 3.8, con la finalidad de generar la ecualizacin del lado del receptor, para analizar el efecto sobre los datos daados, en la Figura 3-8, se puede observar a nivel de esquemticos la implementacin de esta arquitectura en el software.

Tabla 3.8. Componentes utilizados en el mdulo de ecualizacin DFE.

Componentes	Funcionalidad
<i>Delay</i>	Retrasar la seal para obtener muestras de bits anteriores para su posterior uso.
<i>Gain</i>	Amplificar el valor de los bits por un factor relativo a los valores de los taps.
<i>Add</i>	Suma dos seales
<i>SDC (SLICER)</i>	Se encarga de muestrear los valores daados tratando de reconocerlos como tensiones de nivel entre 1V y -1V por medio de la ecuacin $D_k = \text{sgn}(e_k - (\text{tap1} * D_{k-1}))$
<i>SDC (Realimentacin)</i>	Se encarga de realizar la resta de seales.

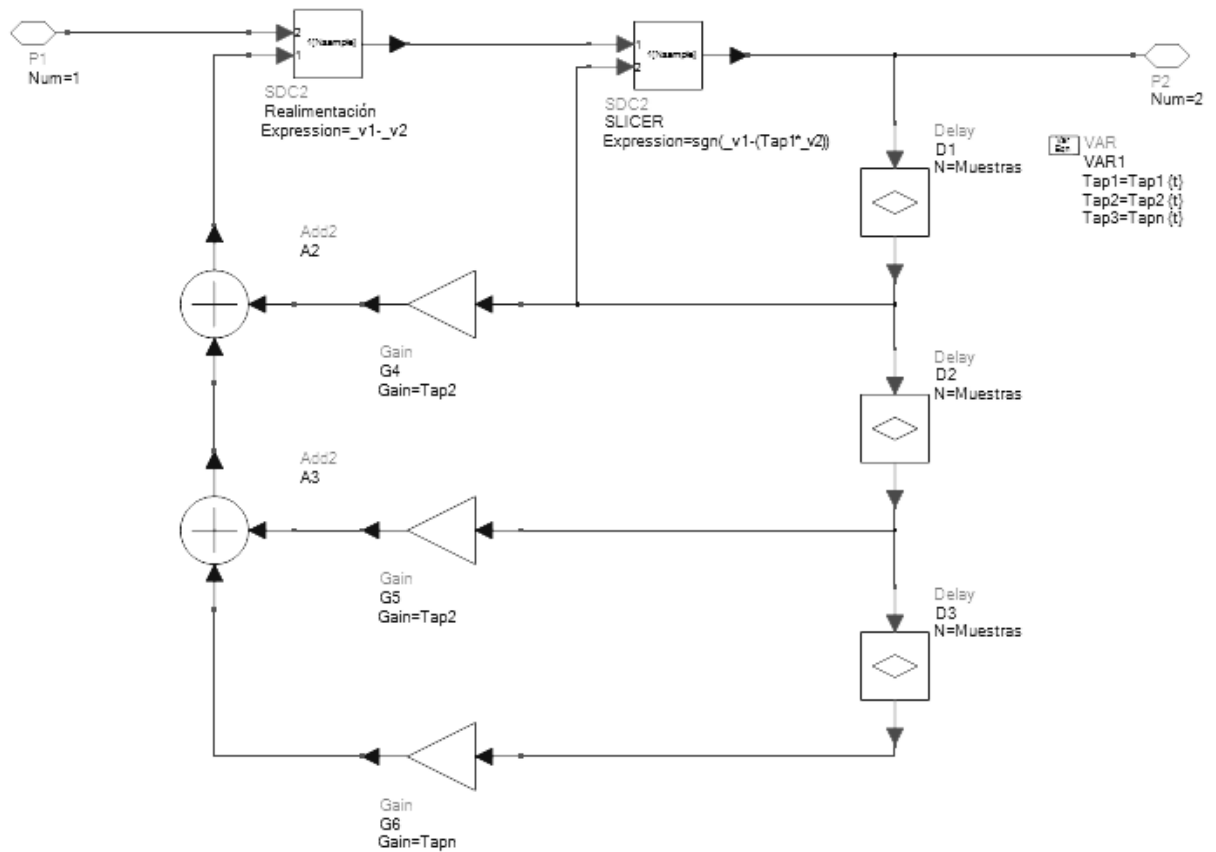


Figura 3-8. Esquemático del módulo de ecualización DFE en ADS.

3.2.5 Configuración de la simulación

Este módulo es el necesario para llegar a modelar el comportamiento del sistema de ecualización, por medio de la implementación de dos tipos de simulaciones que se utilizan simultáneamente: *ADS ptolemy* que utiliza un enfoque de simulación de flujo de datos y se controla mediante el *DF* (flujo de datos) componente controlador de la simulación para los circuitos de ecualización (es decir, un simulador de comportamiento) y una simulación transitoria para el canal. Esto es posible porque *ADS* permite la co-simulación utilizando convertidores de datos [17].

Respecto a lo anterior, este módulo pretende encargarse de control general de la simulación del comportamiento del sistema. En la Tabla 3.9, se muestran los requerimientos y restricciones planteados para este módulo.

Tabla 3.9. Requerimientos y restricciones para el módulo configuración de simulación.

Requerimiento	Restricciones
Permitir el funcionamiento del modelo de simulación a frecuencias variables.	Es necesario tener los archivos (.tim) con las velocidades requeridas antes de realizar la simulación.
Poder caracterizar el efecto del canal en la señal enviada.	Es necesario tener el diseño del sustrato o los archivos touchstone antes de realizar la simulación.
Permitir muestrear nodos específicos con el mismo tiempo de muestreo que se envían las señales del transmisor PRBS.	Poder obtener los vectores de tensión en el dominio del tiempo para los nodos que se necesiten graficar.

Objetivo

- . Controlar el flujo de datos, configuración de los componentes digitales y realizar la respectiva caracterización del canal.

Entradas

- Velocidad de datos.
- Archivos. tim
- Tiempo de muestreo.
- Tiempo de finalización de la simulación.

Salidas

- Configuración de componentes digitales.
- Toma de muestras de nodos a medir.
- Caracterización del canal.

Según lo expuesto anteriormente, los recursos de software utilizados en ADS para este módulo son los que se muestran en la Tabla 3.10, con la finalidad de poder controlar el modelo de simulación, en la Figura 3-9, se puede observar a nivel de esquemáticos la implementación de esta arquitectura en el software.

Tabla 3.10. Componentes utilizados en el módulo controlador de simulación.

Componentes	Funcionalidad
<i>DF</i>	Controlador que funciona para configuración de la simulación ADS ptolemy que utiliza un enfoque de flujo de datos, que se encarga de configurar los componentes digitales.
<i>TRAN</i>	Se encarga de controlar el flujo transitorio de datos para establecer las características del canal.
<i>TimeDataRead</i>	Se encarga de leer archivos .tim generados por el módulo Transmisor PRBS, para la respectiva simulación de eventos.
<i>TimeSink</i>	Realiza muestreo de nodos en los que se conecta.

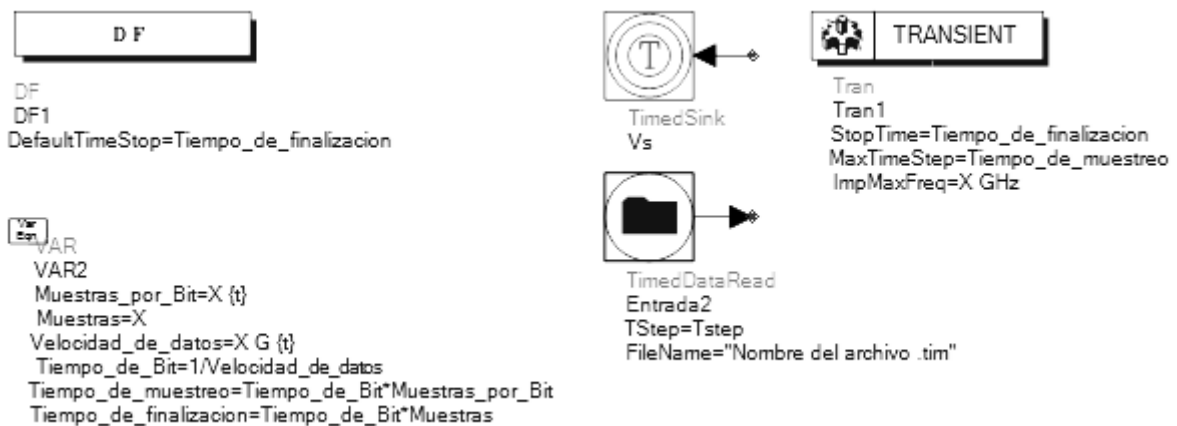


Figura 3-9. Esquemático de diferentes componentes del control de la simulación en ADS.

3.2.6 Pruebas en la recepción de datos.

Este tipo de pruebas para los resultados adquiridos por medio de la simulación de eventos, permiten obtener datos importantes de los nodos medidos por los muestreadores sincronizados (*TSink*), con la finalidad de ver los resultados de las diferentes pruebas realizadas.

Para la adquisición de los resultados a partir de los vectores de datos muestreos se utilizó la aplicación *Eye_Front_Panel*, la cual se muestra en el apéndice 2. La que permite hacer un análisis detallado de las muestras a partir de los datos que se consiguen dentro un diagrama de ojos.

En la Figura 3-10, se muestra un ejemplo en la cual se puede visualizar un diagrama de ojo, el cual se obtiene mediante su respectiva simulación del modelo del canal de alta velocidad, y de este tipo de diagramas se tienen como resultado diferentes valores de importancia como los son:

- Apertura vertical: distancia entre nivel de uno y nivel de cero en voltios.
- Apertura horizontal: distancia entre cruces en segundos.
- Porcentaje de apertura vertical: Porcentaje existente entre la amplitud total del ojo y la apertura vertical.
- Retardos de subida y bajada: tiempo que ocurre un cambio ente un 20% a un 80% del valor del bit ó en viceversa para tiempo de bajada.

Con los cuales se puede analizar de mejor manera el efecto de los diferentes módulos sobre el modelo de simulación

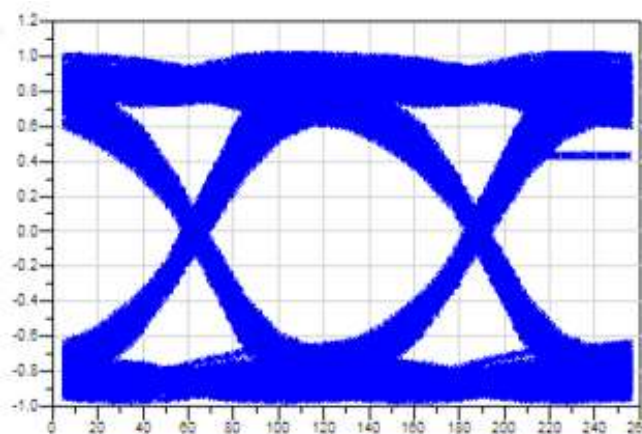


Figura 3-10. Ejemplo de un diagrama de ojos en el software ADS.

3.3 Implementación del modelo adaptativo en el módulo DFE.

Para el desarrollo de una simulación efectiva del ecualizador DFE es necesario una calibración de las constantes de las derivaciones (TAPS), estos se implementaron en este trabajo por medio del método de error cuadrático medio este se encarga de modificar los valores adecuándolos a valores que permiten una ecualización considerable.

De acuerdo con la Figura 3-7, diagrama del moduló del DFE sin algoritmo adaptativo, se formularon las ecuaciones LMS de acuerdo con las variables que se ven el respectivo diagrama donde la variable μ se selecciona lo suficientemente pequeña para poder asegurar que A_n pueda converger al menor error cuadrático medio.

$$A_{n+1} = A_n + D_{k-n} * error * \mu \quad (3)$$

Una de las ventajas de utilizar este tipo de implementación adaptativa permite que el muestreador debido a que depende de la constante A_1 del primer post cursor, se comporte como un comparador con referencia variable hasta el momento en el que los datos convergen.

Según lo expuesto anteriormente, los recursos de software utilizados en ADS para esta implementación son los que se muestran en la Tabla 3.11, con la finalidad de convergencia de las ganancias de las derivaciones (*taps*) de manera adaptativa, en el apéndice 1, se puede observar a nivel de esquemáticos la implementación de esta arquitectura en el software.

Tabla 3.11. Componentes que se utilizaron en la implementación del algoritmo LMS adaptativo en el módulo DFE.

Componentes	Funcionalidad
SDC (error)	Realizar la resta entre el dato muestreado y el dato a ecualizar.
SDC (Ecuación del tap)	Realizar la ecuación (3) de acuerdo con los nodos de entrada.
Delay	Retrasar la señal para obtener muestras de los taps anteriores para su posterior uso dentro del SDC de la ecuación del tap.

Capítulo 4: Validación y Análisis del Modelo de Simulación

En este capítulo se muestran las validaciones para diferentes escenarios a los que se sometieron todos los módulos que conforman el sistema de simulación del canal de alta velocidad. Para ello se utilizaron varias pruebas para comparar su adecuado funcionamiento, y determinar las diferencias asociadas al uso de los diferentes esquemas de ecualización. También se validó el funcionamiento del sistema de simulación, donde se integrarán todos los modelos de ecualización que conforman el mismo.

4.1 Resultados del sistema de simulación sobre un modelo de línea de transmisión.

Para las diferentes pruebas que se realizaron en el sistema de simulación en esta sección, fue necesario implementar un modelo de una línea de transmisión en configuración de terminación única (*Single ended*), cuyas especificaciones se pueden ver en la Figura 4-1.a, con el fin de poder analizar el efecto de la variación de velocidades de datos sobre la recepción de los mismos, fue necesario conocer sus respuestas tanto en el tiempo como en la frecuencia para poder realizar pruebas en secciones posteriores como se puede ver en la Figura 4-1.b y Figura 4-1.c.

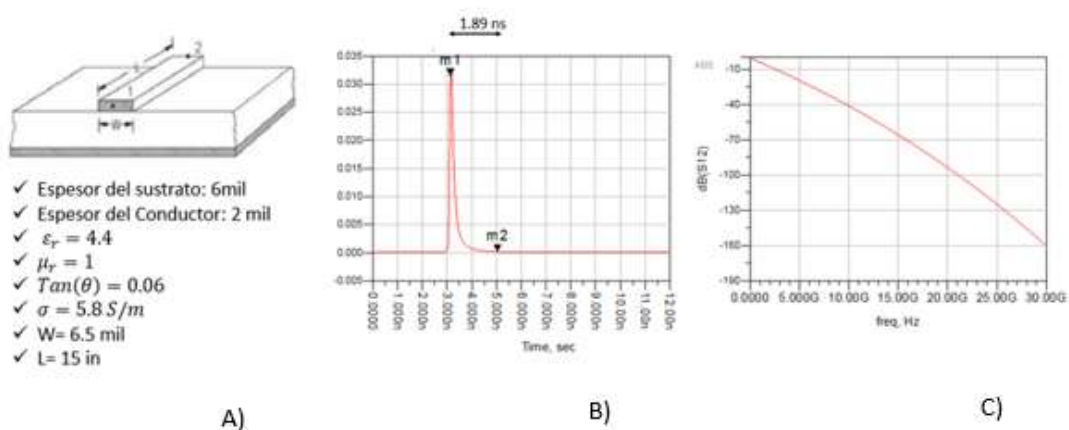


Figura 4-1. Modelo de línea de transmisión en ADS. A) Diagrama y configuración de una línea de transmisión. B) Respuesta al impulso de la línea de transmisión. C) Respuesta en frecuencia de la línea de transmisión.

4.1.1 Simulación de transmisión de datos sin el uso de ecualizadores

Para esta sección se analizó el efecto de la configuración del canal (línea de transmisión) sobre la transmisión de datos a diferentes velocidades, sin el uso de ninguno de los ecualizadores, para lo que se realizó una simulación en la cual se enviaron datos por medio de un PRBS a diferentes velocidades, con el fin de analizar su comportamiento.

Se realizaron pruebas de diagrama de ojo en el receptor, esto con el fin de ver el efecto de la transmisión de datos sobre la línea configurada en la cual se aprecia un aumento en las pérdidas al incrementar la velocidad, pero sin mucha distorsión. En la Figura 4-2, se muestra ese efecto donde se ven los diferentes resultados de diagramas de ojo para 6 diferentes velocidades de datos, donde a partir de 8 Gb/s se empieza a apreciar pérdidas considerables. En la Tabla 4.1, se observan los valores de tensiones y tiempo de apertura, en donde se ve de mejor manera la reducción de la apertura del diagrama conforme aumenta la velocidad de datos.

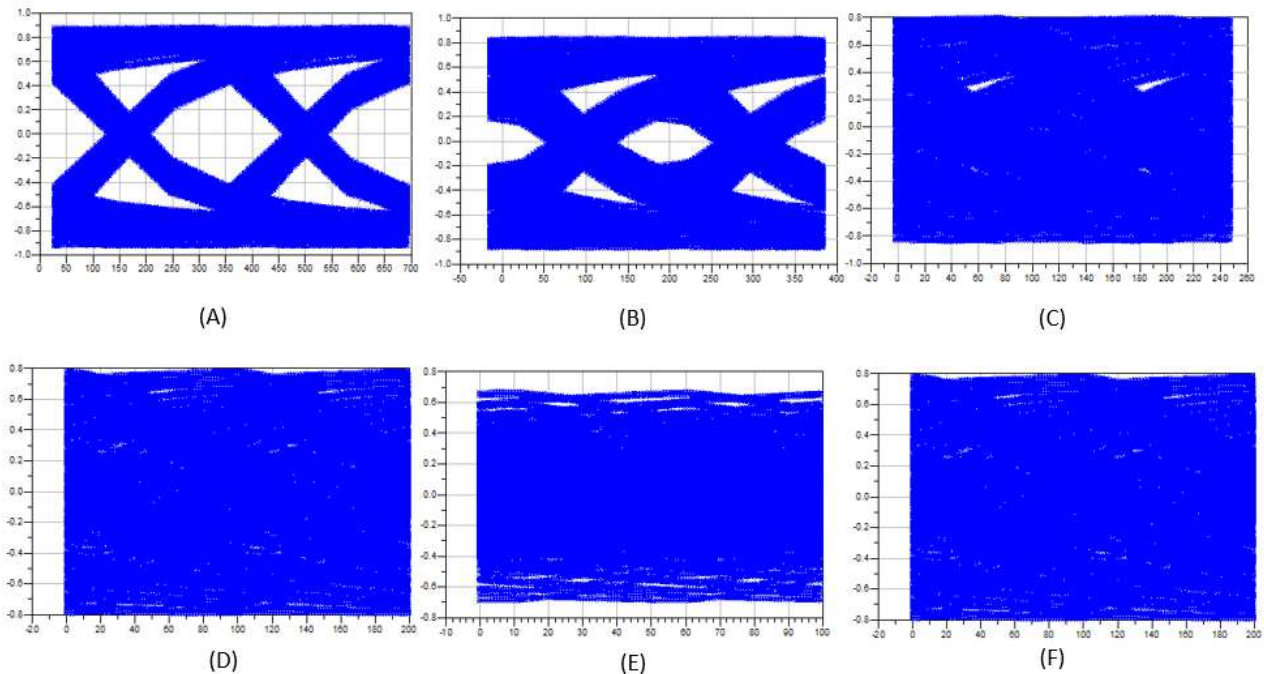


Figura 4-2. Diagramas de Ojos de diferentes velocidades de datos enviados por una línea de transmisión sin ecualización. a) 3Gb/s. B) 5Gb/s. C) 8Gb/s. D) 10 Gb/s. E) 20Gb/s. F) 30 Gb/s.

Tabla 4.1. Datos obtenidos a partir del diagrama de ojos para diferentes velocidades de datos transmitidos por una línea de transmisión.

Velocidad de datos (Gb/s)	Apertura vertical (mV)	Apertura horizontal (ps)	Apertura Porcentaje Vertical (%)	Tiempo de subida (20-80) (ps)	Tiempo de bajada (80-20) (ps)	Jitter (ps)
3	634.6	258.6	75.9%	195.5	183.3	78.3
5	319.23	123.88	60%	131	133	78
8	0	28	45%	92.67	85.13	43.909
10	0	0	0	False	False	False
20	0	0	0	False	False	False
30	0	0	0	False	False	False

4.1.2 Simulación de transmisión de datos con el uso de un esquema de ecualización FFE en el transmisor.

4.1.2.1 Resultados al Variar la Velocidad de Datos.

Para esta sección se analizó el efecto de un esquema de ecualización lineal FFE, que se referencio en el capítulo 2, con 3 derivaciones correspondientes a los valores de los post-cursores que se adaptaron mediante el algoritmo LMS los cuales se muestran en la Tabla 4.2, con respecto a la respuesta de la configuración del canal sobre la transmisión de datos a diferentes velocidades, para lo que se realizó una simulación en la cual se enviaron datos por medio de un PRBS cambiando la configuración de velocidad en cada iteración, con el fin de analizar su comportamiento.

Tabla 4.2. Valores de las ganancias de las derivaciones en el esquema de ecualización FFE.

Velocidad de datos (Gb/s)	Pre- Cursor (mV)	Cursor (mV)	1Post- Cursor (mV)	2 Post-Cursor (mV)	3 Post-Cursor (mV)
3	-15	1	-350	-106	-22
5	-13	1	-334	-161	-36
8	-11	1	-270	-206	-73
10	-14	1	-240	-198	-88
20	-20	1	-138	-131	-98
30	-18	1	-121	-110	-101

Con los valores de los ganancias de la Tabla 4.2, se realizaron pruebas de diagrama de ojo en el receptor con la finalidad de ver el efecto que se muestra en la Figura 4-3, en donde se aprecia una apertura considerable del ojo en relación a los que no presentan ningún tipo de ecualización, esto debido al efecto del ecualizador sobre los post cursores característicos de la línea de transmisión, los resultados al simular el sistema a velocidades de 20 Gb/s y 30 Gb/s se muestran en la Figura 4-3e y Figura 4-3f, en donde el ecualizador no es capaz de recuperar la señal esto debido a que la línea de transmisión presenta pérdidas mayores a los 20 dB en esos rangos.

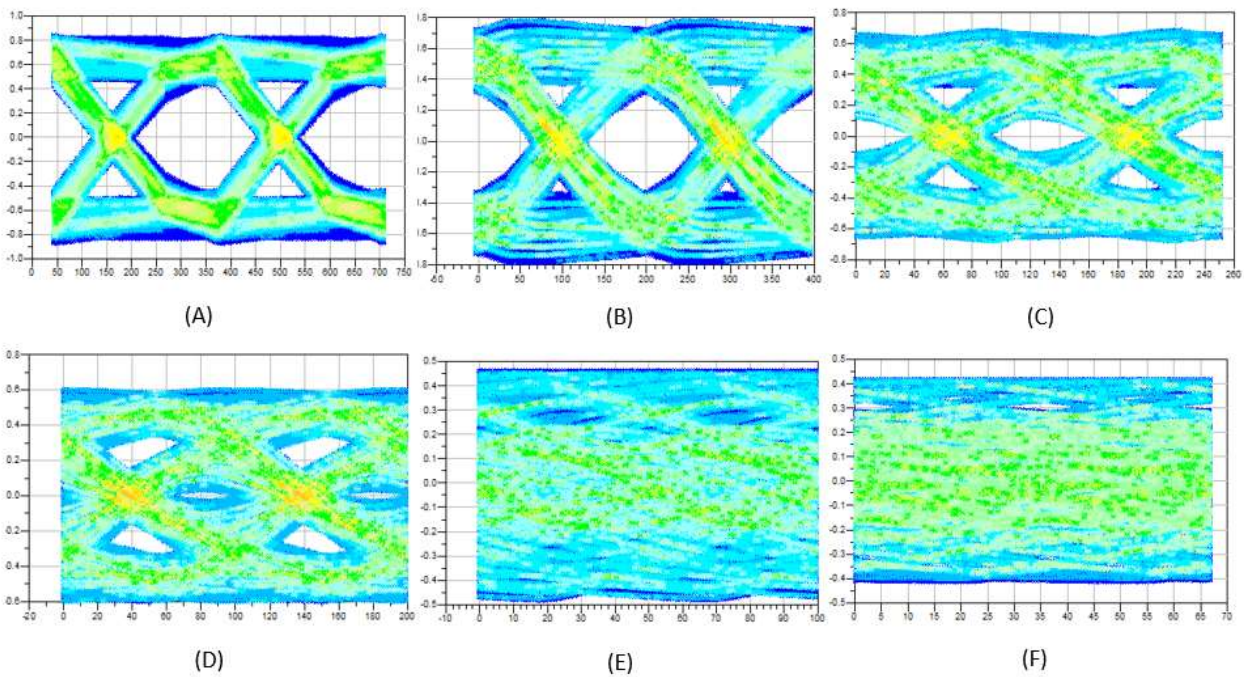


Figura 4-3. Diagramas de Ojos de diferentes velocidades de datos enviados por una línea de transmisión con ecualización FFE. a) 3Gb/s. B) 5Gb/s. C) 8Gb/s. D) 10 Gb/s. E) 20Gb/s. F) 30 Gb/s.

En la Tabla 4.3, se muestra el efecto en los valores de tensiones y tiempo de apertura, en donde al compararlos con los datos del modelo sin ecualización, estos presentan mejor porcentaje de apertura, y reducción de los tiempo, lo que permite mejor transmisión de datos, con lo que se comprueba el funcionamiento de este tipo de ecualizador, con el único inconveniente presentado al tener que realizar pruebas pre simulación para el cálculo de las referencias que se utilizan en la adaptación de las constantes, debido a su comportamiento lineal, lo que no permite ecualizar efectos presentes al momento de la simulación.

Tabla 4.3. Datos obtenidos a partir del diagrama de ojos para diferentes velocidades de datos transmitidos por una línea de transmisión con ecualización FFE en el transmisor.

Velocidad de datos (Gb/s)	Apertura vertical (mV)	Apertura horizontal (ps)	Apertura Porcentaje Vertical (%)	Tiempo de subida (20-80) (ps)	Tiempo de bajada (80-20) (ps)	Jitter (ps)
3	770.00	260.02	87.60	146.63	147.30	76.80
5	472.30	147.20	81.95	105.13	105.07	55.32
8	239.60	83.70	69.34	78.31	76.63	49.34
10	26.07	41.68	57.72	54.98	57.34	26.02
20	0	0	0	False	False	False
30	0	0	0	False	False	False

4.1.2.2 Resultados al Variar el Número de Derivaciones.

Para esta sección se analizó el efecto en la transmisión de datos con respecto a la variación en la cantidad de derivaciones en el esquema de ecualización lineal FFE, a una velocidad constante de 8Gb/s, esto con la finalidad de validar la prueba sobre la misma tasa de envío de datos, como se muestra en la Figura 4-4, en donde a partir del aumento del derivaciones incrementa el porcentaje de apertura en el diagrama de ojo.

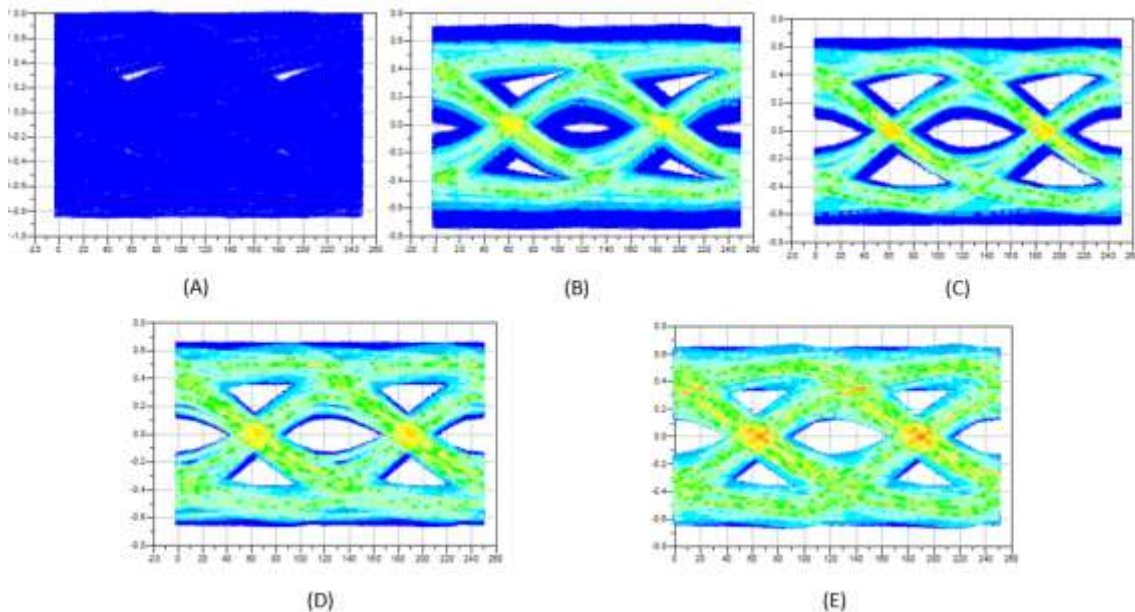


Figura 4-4. Diagramas de Ojos de datos enviados a 8Gb/s por una línea de transmisión con ecualización FFE con diferente número de derivaciones. A) sin derivación. B) 1 derivación. C) 2 derivaciones. D) 3 derivaciones. E) 4 derivaciones.

En la Tabla 4.4, se observa el efecto en la variación realizada, donde se logra ver un aumento en el valor de la apertura vertical a partir del uso de la primera y segunda derivación a partir de ahí el aumento no es tan notorio debido a que esas derivaciones corresponden al valor de post-cursores muy pequeños que solo ayudan en la apertura del diagrama en la corrección de los datos cercanos a los valores límites.

Tabla 4.4. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 8Gb/s por una línea de transmisión con ecualización FFE en el transmisor.

Numero de derivaciones	Apertura vertical (mV)	Apertura horizontal (ps)	Apertura Porcentaje Vertical (%)	Tiempo de subida (20-80) (ps)	Tiempo de bajada (80-20) (ps)	Jitter (ps)
0	0	28.27	45.12	92.67	85.13	156.21
1	94.60	68.07	60.20	82.17	79.66	53.12
2	209.70	88.13	62.54	81.58	78.8	50.23
3	239.60	83.70	69.34	78.31	76.63	49.34
4	250.45	78.15	68.23	77.42	74.02	48.74

4.1.3 Simulación de transmisión de datos con el uso de un esquema de ecualización DFE en el receptor.

4.1.3.1 Resultados al Variar la Velocidad de Datos.

Para esta sección se analizó el esquema de ecualización no lineal DFE adaptativo, que se referencia en el capítulo 2, con 6 derivaciones que se adaptan mediante el algoritmo LMS, este al ser simulado presentan las ganancias en las derivaciones que se muestran en la Tabla 4.5, este esquema se analizó con respecto a la transmisión de datos a diferentes velocidades, con el fin de analizar su comportamiento de la misma manera que se simuló en el esquema FFE.

Tabla 4.5. Valores de las ganancias de las derivaciones en el esquema de ecualización DFE.

Velocidad de datos (Gb/s)	1Post-Cursor	2Post-Cursor (mV)	3Post-Cursor (mV)	4Post-Cursor (mV)	5Post-Cursor (mV)	6Post-Cursor (mV)
3	155.00	40.00	21.00	10.00	7.00	14.00
5	268.00	77.00	37.00	21.00	14.00	21.00
8	206.00	106.00	51.00	31.00	24.00	21.00
10	209.00	128.00	64.00	40.00	29.00	28.00
20	158.00	124.00	101.00	86.00	48.00	61.00
30	160.00	125.00	111.00	106.00	76.00	75.00

Con las ganancias de las derivaciones que se muestran en la Tabla 4.5, se realizaron pruebas de diagrama de ojo en el receptor, lo que dio como resultado los diferentes diagramas que muestran en la Figura 4-5, en la cual se da una apertura considerable del ojo en relación a los que presentan ecualizador lineal de manera más notoria analizando el efecto en la velocidad de 10 Gb/s, con respecto a las simulaciones a velocidades de 20 Gb/s y 30 Gb/s, el esquema DFE no presenta apertura por lo que no presento mejoría con respecto al filtro lineal.

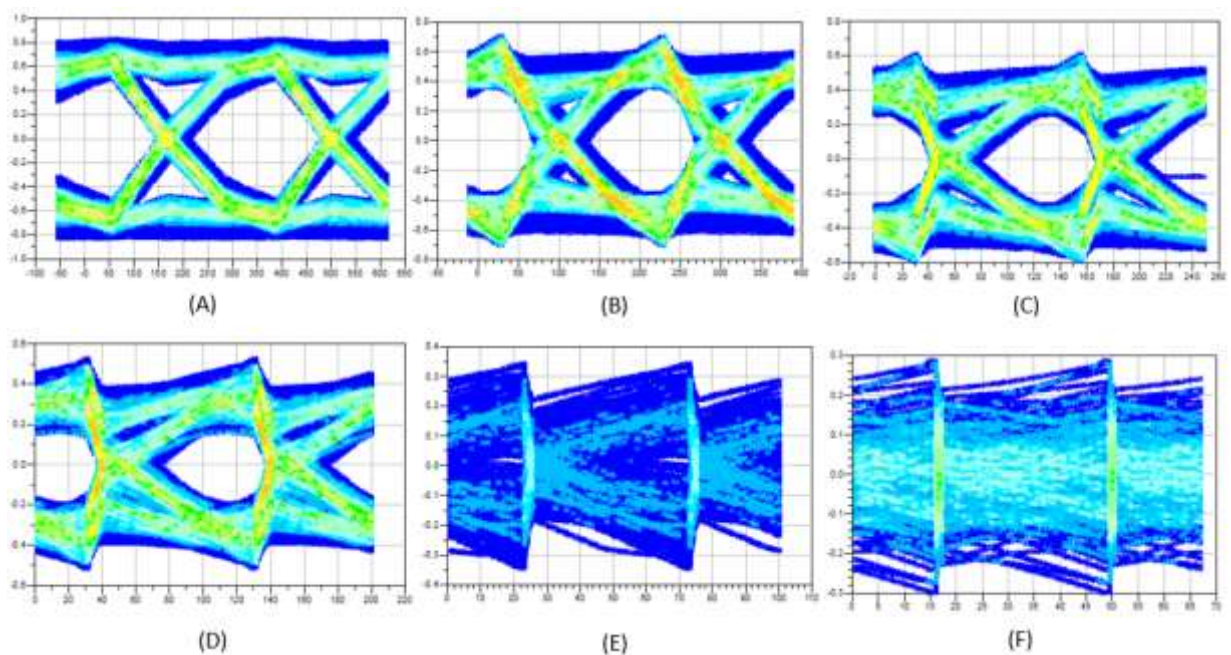


Figura 4-5. Diagramas de Ojos de diferentes velocidades de datos enviados por una línea de transmisión con ecualización DFE. a) 3Gb/s. B) 5Gb/s. C) 8Gb/s. D) 10 Gb/s. E) 20Gb/s. F) 30 Gb/s.

En la Tabla 4.6, se muestra el efecto del ecualizador DFE con respecto a los valores de tensiones y tiempo de apertura, en donde se ve que al compararlos con los que se obtuvieron mediante la ecualización lineal FFE, estos presentan mejores resultados. Además de tener la ventaja de no tener que realizar pruebas pre simulación para la adaptación de las ganancias, debido a su comportamiento no lineal, lo que permite ecualizar por medio de realimentación efectos presentes al momento de la simulación como reflexiones y *crosstalk*.

Tabla 4.6. Datos obtenidos a partir del diagrama de ojos para diferentes velocidades de datos transmitidos por una línea de transmisión con ecualización DFE en el receptor.

Velocidad de datos (Gb/s)	Apertura vertical (mV)	Apertura horizontal (ps)	Apertura Porcentaje Vertical (%)	Tiempo de subida (20-80) (ps)	Tiempo de bajada (80-20) (ps)	Jitter (ps)
3	858.00	282.30	90.27	144.00	145.20	51.70
5	583.00	141.20	86.80	91.40	91.10	50.60
8	305.90	92.05	81.61	53.90	52.91	35.40
10	130.89	66.51	75.04	43.50	41.54	37.78
20	0	0	0	False	False	False
30	0	0	0	False	False	False

4.1.3.2 Resultados al Variar el Número de Derivaciones.

De la misma manera en que se realizó la simulación del esquema FFE, al analizar el efecto del número de derivaciones sobre el diagrama de ojo, a una velocidad constante de 8Gb/s, por lo que se realizó también en este esquema de ecualización DFE, con el fin de ver el efecto directo de utilizar más derivaciones sobre la misma tasa de envío de datos, como se puede apreciar en la Tabla 4.7, en donde a partir del aumento del derivaciones aumenta el porcentaje de apertura en el diagrama, así como mejoran los tiempos de subida y bajada.

Por otra parte, a partir de la Figura 4-6, se observa el efecto del número de derivaciones sobre las respuestas del canal a una velocidad de 8Gb/s. de donde se puede deducir que la ecualización con rangos menores a 3 derivaciones, no presentan un efecto significativo en la respuesta al canal configurado en la simulación

Tabla 4.7. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 8Gb/s por una línea de transmisión con ecualización DFE en el receptor.

Numero de derivaciones	Apertura vertical (mV)	Apertura horizontal (ps)	Apertura Porcentaje Vertical (%)	Tiempo de subida (20-80) (ps)	Tiempo de bajada (80-20) (ps)	Jitter (ps)
0	0	28.27	45.00	92.67	85.13	156
1	25.23	29.35	52.00	38.00	37.00	138.58
2	45.16	73.72	59.76	48.23	57.43	52.10
3	132.45	89.80	63.97	52.8	43.21	41.28
4	166.81	77.05	76.13	52.16	51.26	46.83
5	194.18	80.37	77.57	53.18	52.49	48.35
6	305.90	92.05	81.61	53.90	52.90	35.40

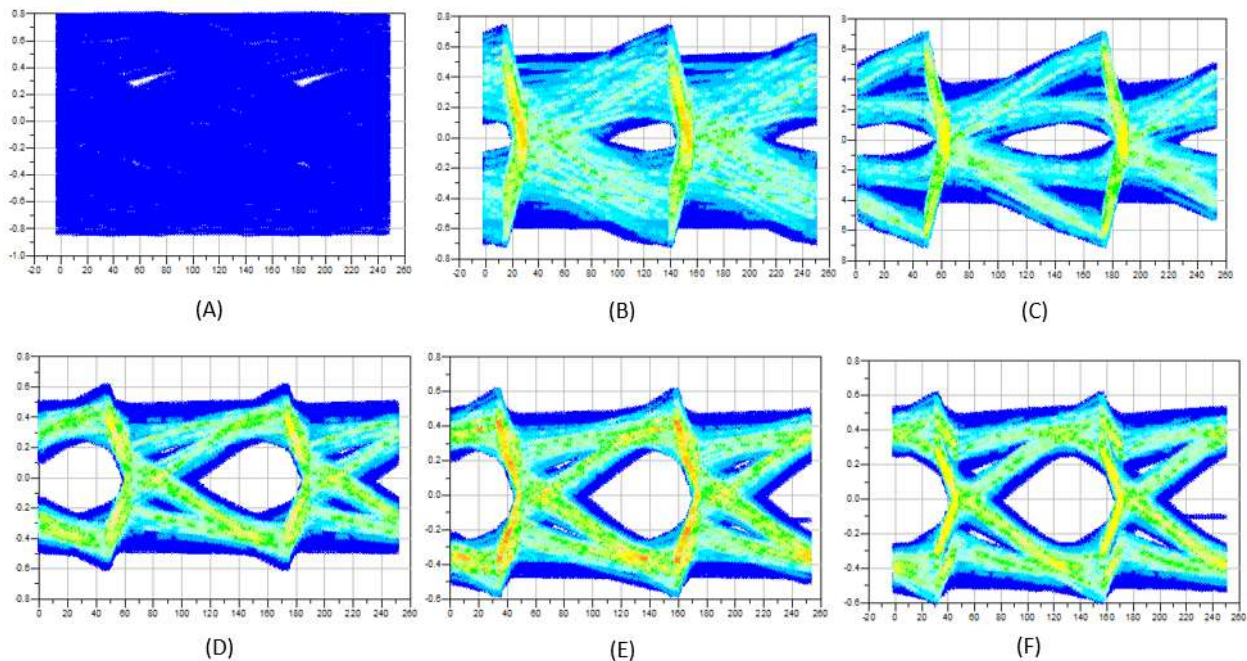


Figura 4-6. Diagramas de Ojos de datos enviados a 8Gb/s por una línea de transmisión con ecualización DFE con diferente número de derivaciones. A) sin derivación. B) 1 derivación. C) 2 derivaciones. D) 4 derivaciones. E) 5 derivaciones F) 6 derivaciones.

4.1.4 Simulación de transmisión de datos con el uso de los dos esquemas de ecualización FFE y DFE.

Para esta sección se analizó el efecto de los dos esquema de ecualización de manera unificada para poder ver el efecto de utilizarlos como complementos, con 6 derivaciones correspondientes al ecualizador DFE y 4 derivaciones correspondientes al FFE, que se encargan de disminuir el efecto de los valores de los post-cursores presente es la respuesta al impulso de la línea de transmisión, estos se adaptan mediante el algoritmo LMS en ambos ecualizadores, este simulación se analizó con respecto a la respuesta del canal sobre la transmisión de datos a diferentes velocidades, para lo que se realizó una simulación en la cual se enviaron datos por medio de un PRBS, de la misma manera que se simuló en las secciones anteriores.

En la Figura 4-7, se muestra el efecto de usar ambos ecualizadores al complementar su funcionalidad y contribuir de igual manera a la ecualización, se nota una deformidad presente en los diagramas de ojo, presente también en las simulaciones de del DFE, donde existe un corrimiento de la apertura del diagrama en el lado derecho, esto corresponde al efecto del ecualizador por realimentación de decisiones, que consiste en actuar sobre cambio de bit, lo que se traduce en una apertura para reconocer de mejor manera el bit al que se planea detectar.

De la misma manera que en las secciones anteriores, en la Tabla 4.8, se muestran los datos más importantes relacionados con los diagramas de ojo, simulados en esta sección, donde se puede ver que al utilizar los dos esquemas de modulación se presenta mejores resultados esto debido a que al DFE le es más sencillo detectar los bits por medio del detector de umbral, ya que los bits a reconocer están previamente ecualizados lo que agiliza el efecto del ecualizador por realimentación de decisiones.

Tabla 4.8. Datos obtenidos a partir del diagrama de ojos para diferentes velocidades de datos transmitidos por una línea de transmisión con ecualización DFE en el receptor y FFE en el transmisor.

Velocidad de datos (Gb/s)	Apertura vertical (mV)	Apertura horizontal (ps)	Apertura Porcentaje Vertical (%)	Tiempo de subida (20-80) (ps)	Tiempo de bajada (80-20) (ps)	Jitter (ps)
1	828.02	269.03	91.27	141.60	141.16	64.85
5	727.23	171.17	90.30	92.56	91.85	28.80
8	409.16	101.44	83.07	66.79	61.10	19.97
10	298.85	79.82	82.37	42.25	45.20	25.27
20	0	0	0	False	False	False
30	0	0	0	False	False	False

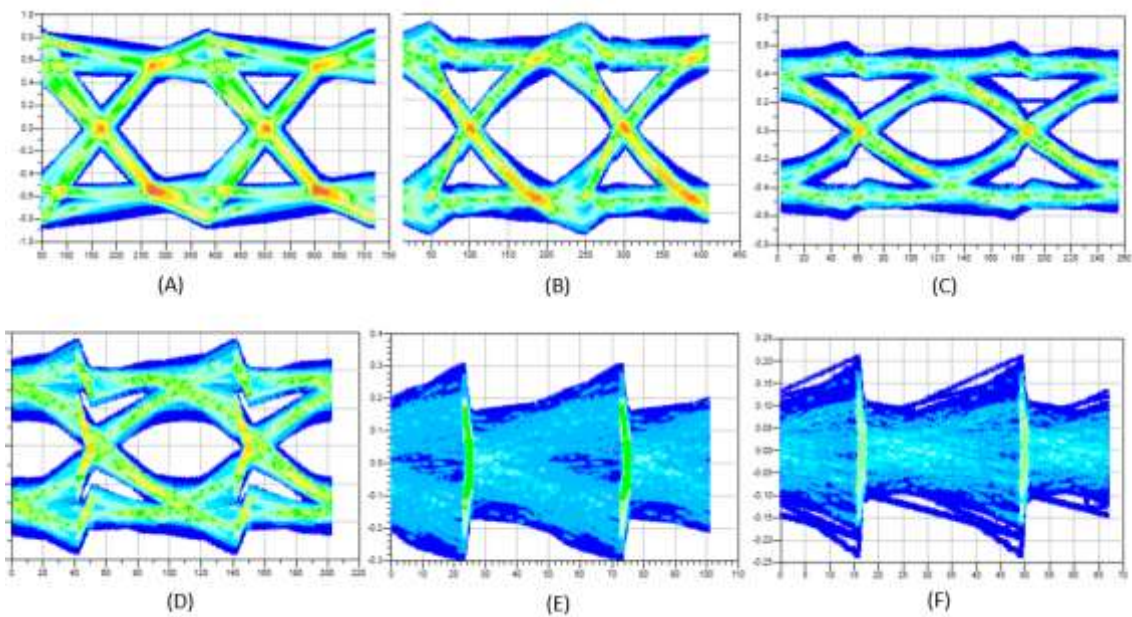


Figura 4-7. Diagramas de Ojos de diferentes velocidades de datos enviados por una línea de transmisión, con ecualización FFE y DFE. a) 3Gb/s. B) 5Gb/s. C) 8Gb/s. D) 10 Gb/s. E) 20Gb/s. F) 30 Gb/s.

4.2 Resultados del sistema de simulación sobre un modelo de línea de transmisión acoplada.

En esta sección se realizó una simulación de los esquemas de ecualización y su comportamiento con una terminación diferencial, fue necesario implementar un modelo de una línea de transmisión en configuración de terminación diferencial, cuyas especificaciones se muestran en la Figura 4-8.a.

Esta simulación se realiza para analizar el efecto de la variación de velocidades de datos al utilizar configuración diferencial, por lo que fue necesario conocer sus respuestas en frecuencia para poder realizar pruebas en secciones posteriores como se observa en la Figura 4-8.b.

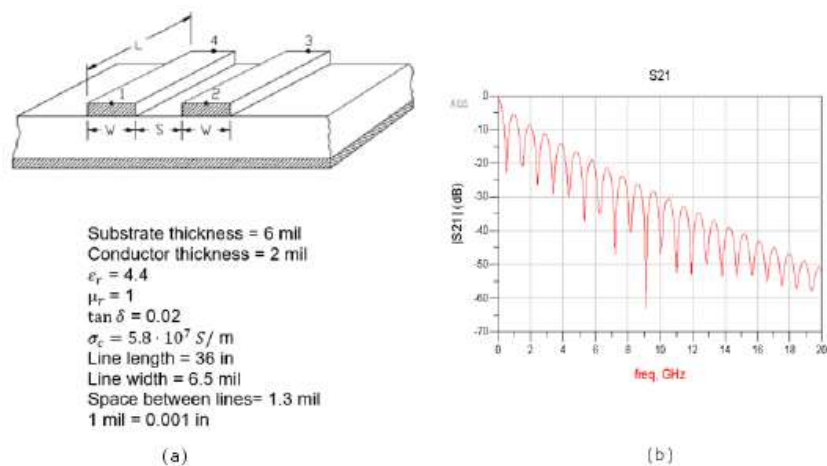


Figura 4-8. Modelo de Micro Cinta acoplada. A) Esquema de microcinta b) Respuesta en frecuencia de la transmisión.

Para el desarrollo de simulación de esta sección se, procedió a elegir velocidades de datos (5Gb/s, 8Gb/s) y así analizar el efecto de estos modelos de simulación sobre este tipo de configuración del canal, por lo que fue necesario realizar simulaciones previas para el cálculo de las referencias del ecualizador lineal.

4.2.1 Simulación a 5Gb/s del Sistema de Ecuación

En esta sección se realizó una simulación sobre la transmisión de datos por medio de una línea acoplada a una velocidad constante de 5Gb/s, con un tiempo por bit de 200ps, por lo que al realizar las respectivas pruebas de diagrama de ojo en el receptor obtuvieron los resultados que se muestran en la Figura 4-9.

Con base a los diagramas de ojo de la Figura 4-9, se realizó la recopilación de información referente a dichos diagramas, los cuales se muestran en la Tabla 4.9, en donde se observa que el esquema de ecuación lineal FFE por separado presenta mejores resultados que al implementar el DFE de la misma manera, esto se debe a que al analizar el efecto del ecuador por realimentación de decisiones este depende completamente del detector de umbral, lo que genera dependencia al deterioro de los datos después de ser transmitidos por la línea de transmisión acoplada. Por otra parte, al utilizar los dos esquemas se presenta la mejor ecuación de los datos ya que al ecuación los datos en el transmisor, este le permite tomar mejores decisiones al DFE lo que a su vez mejora los resultados de ecuación.

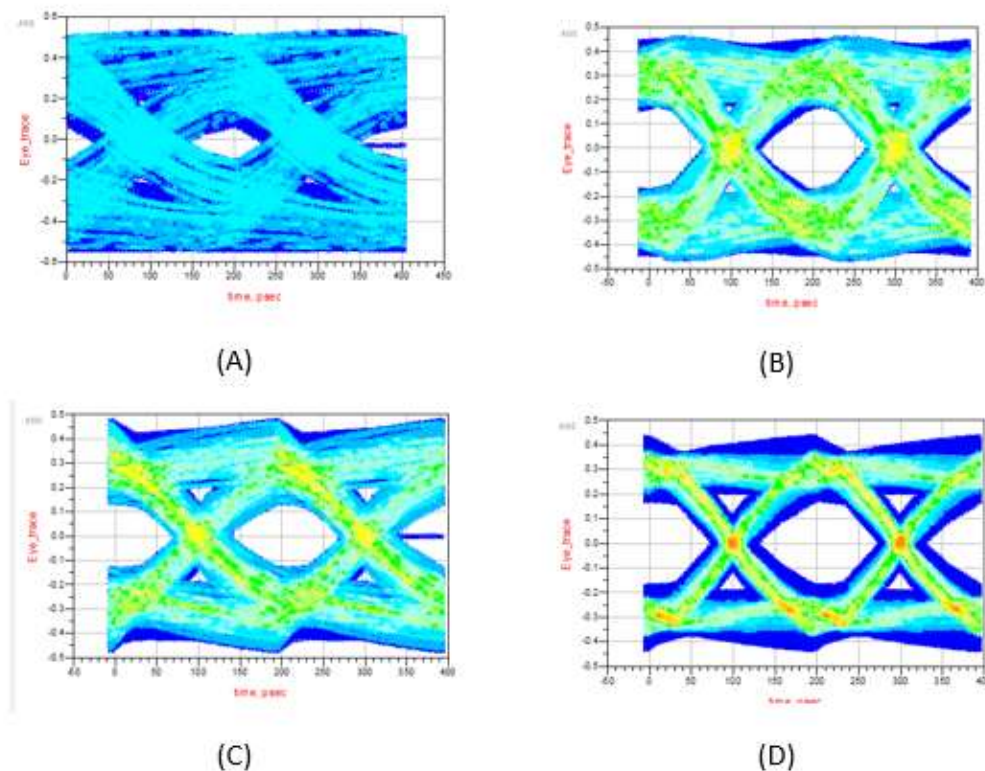


Figura 4-9. Diagramas de Ojos de datos enviados a 5Gb/s por una línea de transmisión acoplada con diferentes esquemas de ecuación. A) sin ecuación. B) FFE. C) DFE. D) DFE+FFE.

Tabla 4.9. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 5Gb/s por una línea de transmisión acoplada con diferentes esquemas de ecualización.

Esquema de ecualización	Apertura vertical (mV)	Apertura horizontal (ps)	Apertura Porcentaje Vertical (%)	Tiempo de subida (20-80) (ps)	Tiempo de bajada (80-20) (ps)	Jitter (ps)
Ninguno	70.03	91.35	60.27	132.01	129.70	124.5
FFE	278.23	137.47	80.60	98.55	90.74	63.8
DFE	192.56	120.65	76.97	109.32	110.82	62.40
DFE+FFE	364.03	160.53	87.49	86.66	82.87	33.27

4.2.2 Simulación a 8Gb/s del Sistema de Ecualización

Esta sección se realizó para caracterizar el envío de datos por medio de una línea de transmisión acoplada a una velocidad constante de 8Gb/s, con un tiempo por bit de 125ps, por lo que al realizar las respectivas pruebas de diagrama de ojo en la recepción de datos se obtuvieron los resultados que se muestran en la Figura 4-10.

Se seleccionaron los datos más relevantes de los diagramas de ojo a 8Gb/s, los cuales se observan en la Tabla 4.10, donde se muestra la nula apertura del diagrama sin ecualización a estas velocidades de datos, y comprueba el funcionamiento de ambos esquemas de ecualización que logran aumentar el porcentaje de apertura del diagrama al ser implementados, con mejor ecualización individual de parte del esquema FFE, pero al complementarlos se observa un aumento considerable en las aperturas, así como una excelente reducción en los tiempos de retardos.

Tabla 4.10. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 8Gb/s por una línea de transmisión acoplada con diferentes esquemas de ecualización.

Esquema de ecualización	Apertura vertical (mV)	Apertura horizontal (ps)	Apertura Porcentaje Vertical (%)	Tiempo de subida (20-80) (ps)	Tiempo de bajada (80-20) (ps)	Jitter (ps)
Ninguno	0	0	0	False	False	False
FFE	184.21	87.51	78.22	71.83	69.77	33.34
DFE	134.3	73.17	74.25	76.14	76.63	92.94
DFE+FFE	213.03	92.57	83.25	63.84	63.54	29.08

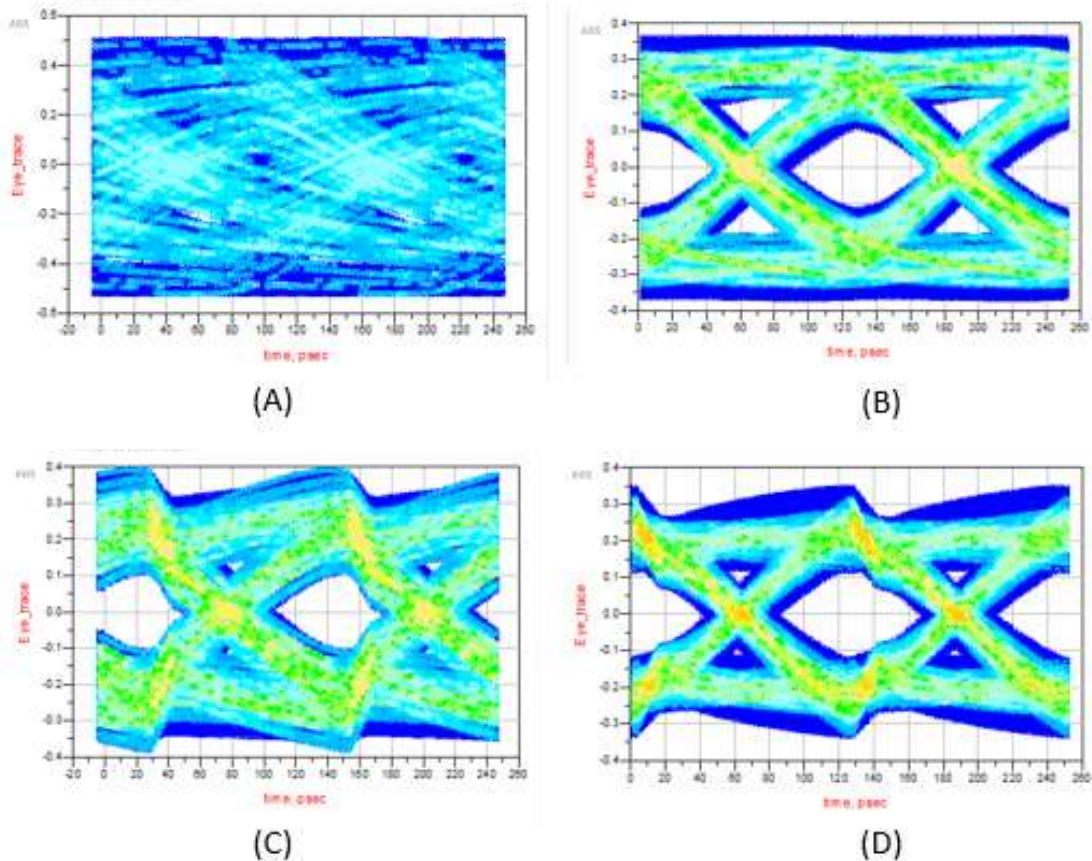


Figura 4-10. Diagramas de Ojos de datos enviados a 8Gb/s por una línea de transmisión acoplada con diferentes esquemas de ecualización. A) sin ecualización. B) FFE. C) DFE. D) DFE+FFE.

En esta sección se logró corroborar el funcionamiento de los diferentes esquemas de ecualización con el uso de una configuración de canal diferencial, es importante tomar en cuenta que se seleccionaron, dichas velocidades, debido a que a partir de 10Gb/s, la línea de transmisión acoplada empezaba a presentar pérdidas considerables mayores a 20 dB, lo que dificulta la ecualización ya que no permite recuperar los datos.

4.3 Resultados del sistema de simulación de transmisión de datos sobre un Enlace *Backplane*.

En esta sección se realiza una simulación sobre un ejemplo de un modelo de enlace formado con dos tarjetas conectadas por medio de un enlace *Backplane* como se muestra en la Figura 4-11. Este enlace es tomado de [18]. Dicho modelo se utilizó para la para probar el diseño de ecualizador *DFE*. Este modelo de canal es un ejemplo donde las enlaces se encaminan a diferentes niveles, para esta sección se seleccionaron dos ejemplos (A,B).

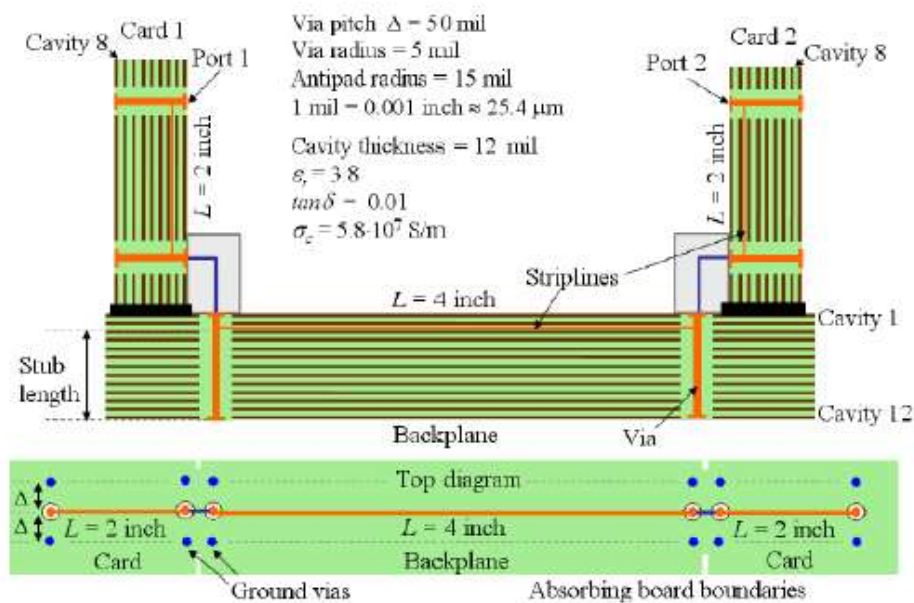


Figura 4-11. Diagrama de los parámetros de enlace y modelo tomadas de [15].

Los ejemplos seleccionados se simularon con dos velocidades de datos diferentes (10 Gb / s, 16 Gb / s), esto con el fin de analizar el comportamiento del esquema de simulación FFE y DFE con respecto a este tipo de enlaces con alta distorsión, la configuración de cada una de las pruebas se puede visualizar en la Tabla 4.11.

Tabla 4.11. Configuración de simulación para pruebas sobre los ejemplos del enlace BACKPLANE.

Velocidad de datos (Gb/s)	Frecuencia fundamental (GHz)	Tiempo de Bit (ps)	Perdidas del Enlace A (dB)	Perdidas del Enlace B (dB)
10	5	100.00	-5.88	-5.560
16	8	62.50	-9.24	-16.14

4.3.1 Enlace A

En el enlace A, se analizó una ruta en la que el enlace se encamina por dos cavidades para llegar a la primera tarjeta, por dos cavidades para llegar al *Backplane* y dos cavidades para llegar a la segunda tarjeta.

En la Figura 4-12.a, se observa el parámetro de transmisión en un barrido de frecuencia en el cual se marcan las frecuencias fundamentales utilizadas para posteriores simulaciones, en las que ninguna presenta pérdidas mayores a los 20 dB. En la Figura 4-12.b, se muestra la respuesta al impulso de dicho ejemplo en la cual se muestra el efecto de post cursores por un tiempo de 3 ns, pero los que son efectivos en este caso serían los presentes en los primeros 825 ps, lo que da una idea del comportamiento del enlace con respecto a la transmisión de bits en el tiempo.

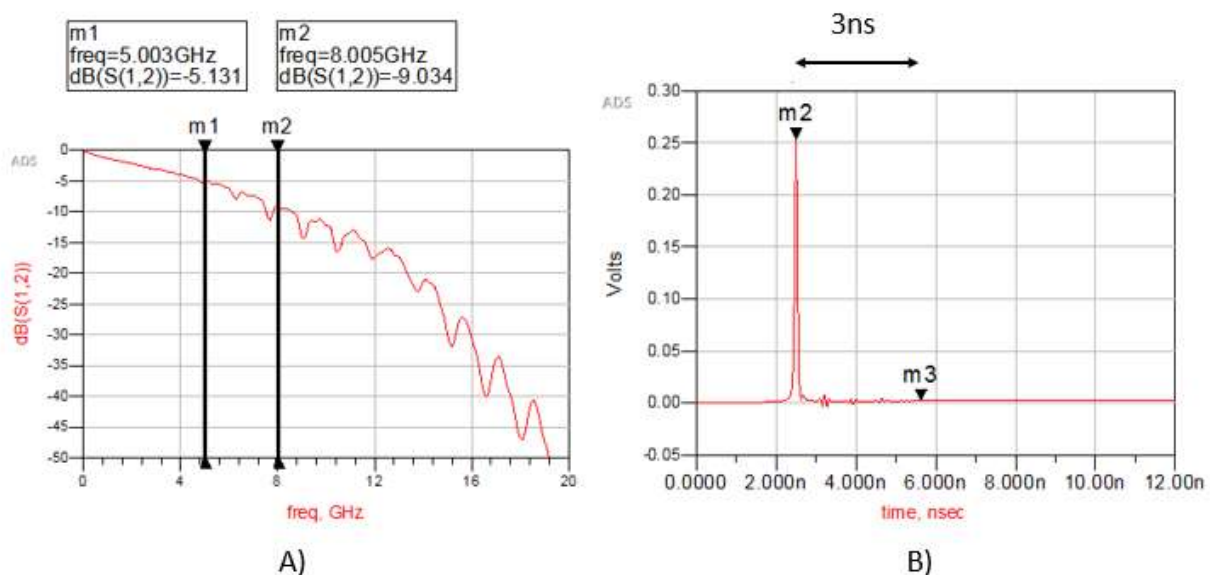


Figura 4-12. Parámetros de transmisión de el ejemplo Apara un enlace donde las trazas se encaminan a diferentes niveles. A) Parámetro de transmisión en frecuencia de la traza seleccionada. B) Respuesta al impulso del modelo.

Tomando como parámetro de la prueba el tiempo en el que se presentan post-cursos en la respuesta al impulso del ejemplo seleccionado (8.25 ps), da una idea de la cantidad de derivaciones que este enlace ocuparía para tener una ecualización considerable, con respecto a la velocidad de 10Gb/s, se tiene un tiempo de bit de 100ps, lo que permitiría arrastra el efecto de este hasta 8 bits posteriores que serían los post cursores más efectivos, conforme la velocidad de datos aumente este efecto lo hace de la misma manera.

4.3.1.1 Simulación del Enlace A con una velocidad de datos de 10Gb/s.

El enlace A, se simula con una velocidad de datos de 10 Gb / s. Con esta velocidad de datos, debido a la característica de canal, sin ecualización el ojo está abierto y la señal puede ser recuperada. Cuando la ecualización se aplica no tiene un efecto mayor sobre la de señal (véase la Figura 4-13).

En la Tabla 4.12, se muestran las diferencias presentes en el uso de cada uno de los esquema, en el cual el FFE es el que presenta de manera individual mejor efecto de ecualización con respecto al DFE, por lo que al utilizar ambos esquemas mejora notablemente la ecualización en la cual se aprecia un mejor y más rápida toma de decisiones por el detector de umbral por lo que la ecualización DFE es más efectiva.

Tabla 4.12. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 10Gb/s por el enlace del ejemplo A con diferentes esquemas de ecualización.

Esquema de ecualización	Apertura vertical (mV)	Apertura horizontal (ps)	Apertura Porcentaje Vertical (%)	Tiempo de subida (20-80) (ps)	Tiempo de bajada (80-20) (ps)	Jitter (ps)
Ninguno	1027.96	86.81	86.57	45.54	44.32	14.20
FFE (4)	1166.18	90.02	91.42	42.30	41.74	12.72
DFE(6)	1040.93	88.24	87.02	45.67	44.59	12.87
DFE(6)+FFE(4)	1193.00	89.13	92.12	42.19	41.77	11.20

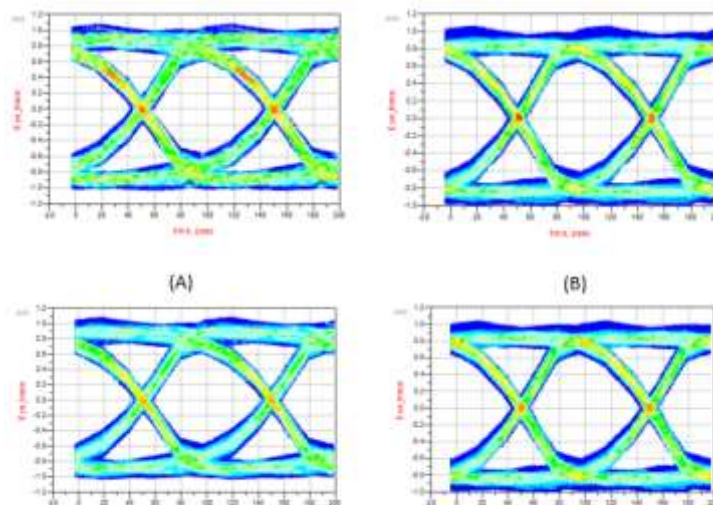


Figura 4-13. Diagramas de Ojos de datos enviados a 10Gb/s por el enlace del ejemplo A con diferentes esquemas de ecualización. A) sin ecualización. B) FFE. C) DFE. D) DFE+FFE.

4.3.1.2 Simulación del Enlace A con una velocidad de datos de 16Gb/s.

El ejemplo A se simula con una velocidad de datos de 16 Gb / s. Por esta velocidad de datos, debido a la característica de canal, sin ecualización el ojo se mantiene abierto esto debido a que en ese intervalo presenta pérdidas menores a 10 dB y la señal puede ser recuperada. Cuando la ecualización se aplica no tiene un efecto mayor sobre la de señal (véase la Figura 4-14).

En la Tabla 4.13, se pueden ver el mismo resultado con respecto a la efectividad de los esquemas de ecualización con una velocidad de 16 Gb/s, en el cual el FFE es el que presenta de manera individual mejor efecto de ecualización con respecto al DFE, por lo que al utilizar ambos esquemas mejora la ecualización.

Tabla 4.13. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 16Gb/s por el enlace del ejemplo A con diferentes esquemas de ecualización.

Esquema de ecualización	Apertura vertical (mV)	Apertura horizontal (ps)	Apertura Porcentaje Vertical (%)	Tiempo de subida (20-80) (ps)	Tiempo de bajada (80-20) (ps)	Jitter (ps)
Ninguno	506.79	43.23	70.53	38.6	39.08	19.17
FFE(4)	512.23	46.84	75.78	32.24	31.16	17.18
DFE(6)	509.20	43.33	72.25	37.80	36.02	17.22
DFE(6)+FFE(4)	572.00	45.17	79.72	37.30	35.49	17.17

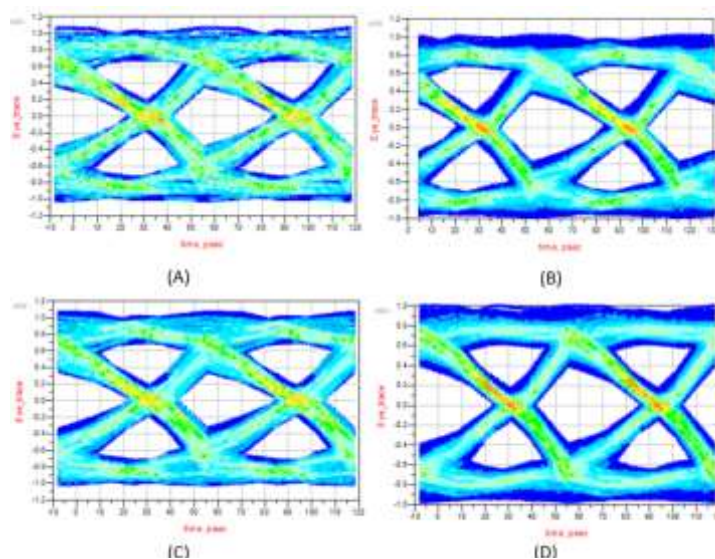


Figura 4-14. Diagramas de Ojos de datos enviados a 16Gb/s por el enlace del ejemplo A con diferentes esquemas de ecualización. A) sin ecualización. B) FFE. C) DFE. D) DFE+FFE..

4.3.2 Enlace B

En el enlace B, se analizó una ruta en la que el enlace se encamina por seis cavidades para llegar a la primera tarjeta, por seis cavidades para llegar al *Backplane* y por seis cavidades para llegar a la segunda tarjeta.

En la Figura 4-15.a, se puede apreciar el parámetro de transmisión en un barrido de frecuencia en el cual se marcan las frecuencias fundamentales utilizadas para posteriores simulaciones.

En la Figura 4-15.b, se muestra la respuesta al impulso de dicho ejemplo en la cual se puede apreciar un efecto de post cursores por un tiempo de 3 ns, en donde los que son efectivos en este caso serían exactamente los presentes en esos rangos, lo que nos da una idea del comportamiento del enlace con respecto a la transmisión de bits en el tiempo.

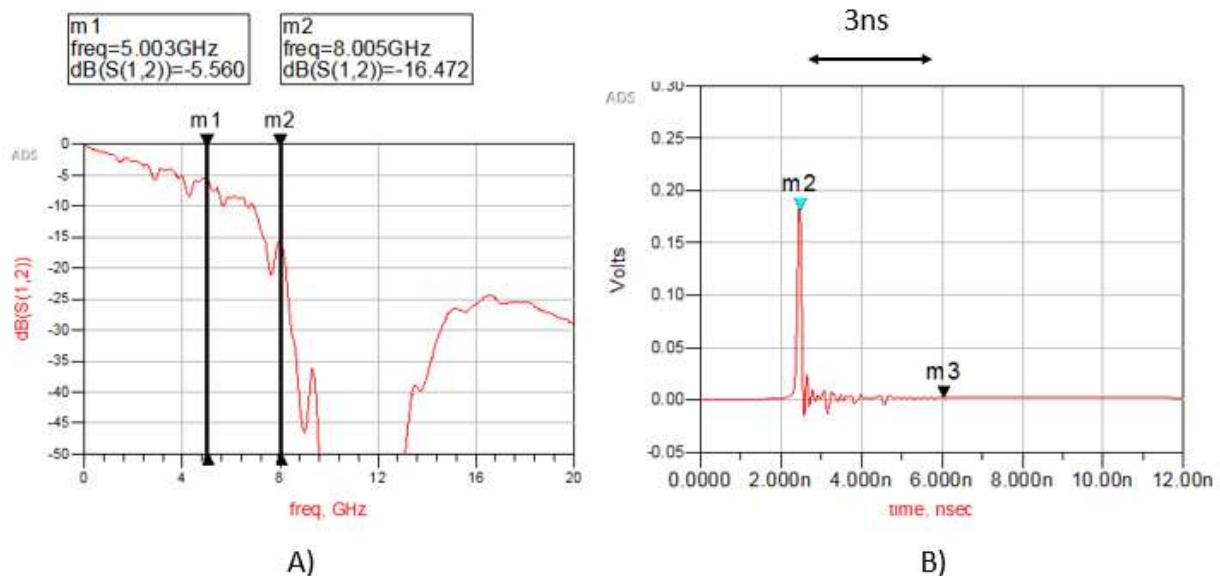


Figura 4-15. Parámetros de transmisión de el ejemplo B para un enlace donde las trazas se encaminan a diferentes niveles. A) Parámetro de transmisión en frecuencia de la traza seleccionada. B) Respuesta al impulso del modelo.

4.3.2.1 Simulación del Enlace B con una Velocidad de Datos de 10Gb/s.

Al simular el enlace B, con una velocidad de datos de 10 Gb/s. debido a la característica de canal, sin ecualización el ojo está abierto y la señal puede ser recuperada. Debido a que las pérdidas a esa velocidad no son significativas. Cuando la ecualización se aplica presenta mayor efecto en la apertura vertical esto debido a un efecto mayor sobre la señal de parte de los post-cursos más significativos por lo tanto el efecto de ecualización es más notorio (véase la Figura 4-16).

En la Tabla 4.14, se observan los valores de las adaptaciones de los post-cursos del canal, en el cual se puede ver una variación significativa en los valores, lo que da una idea de la distorsión presente en el enlace simulado.

Tabla 4.14. Ganancias de las derivaciones presentes en la adaptación en el DFE del ejemplo B a 10Gb/s.

Velocidad de datos (Gb/s)	1Post-Cursor (mV)	2Post-Cursor (mV)	3Post-Cursor (mV)	4Post-Cursor (mV)	5Post-Cursor (mV)	6Post-Cursor (mV)
16	40	12	10	15	-60	-62

En la Tabla 4.15, se pueden ver el mismo resultado con respecto a la efectividad de los esquemas de ecualización con una velocidad de 10Gb/s, al utilizar ambos esquemas FFE+DFE se presenta una mejor apertura de hasta 180mV.

Tabla 4.15. Datos obtenidos a partir del diagrama de ojos de datos transmitidos a una velocidad constante de 10Gb/s por el enlace del ejemplo B con diferentes esquemas de ecualización.

Esquema de ecualización	Apertura vertical (mV)	Apertura horizontal (ps)	Apertura Porcentaje Vertical (%)	Tiempo de subida (20-80) (ps)	Tiempo de bajada (80-20) (ps)	Jitter (ps)
Ninguno	381.16	53.21	72.29	56.44	51.72	102.43
FFE (4)	464.02	54.54	77.48	53.82	51.07	57.29
DFE(6)	494.04	55.87	76.02	52.87	51.74	43.26
DFE(6)+FFE(4)	559.44	56.31	78.78	49.80	51.93	45.95

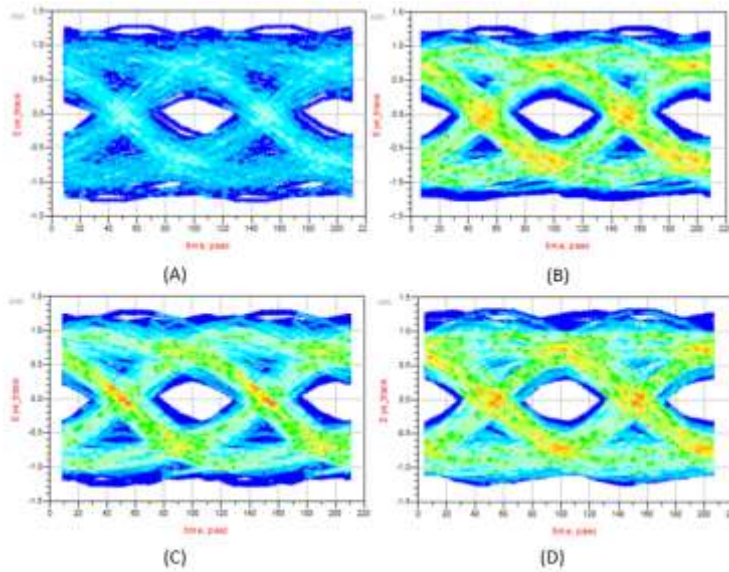


Figura 4-16. Diagramas de Ojos de datos enviados a 10Gb/s por el enlace del ejemplo B con diferentes esquemas de ecualización. A) sin ecualización. B) FFE. C) DFE. D) DFE+FFE.

4.3.2.2 Simulación del Enlace B con una Velocidad de Datos de 16Gb/s.

Se realizó la simulación del enlace B con una velocidad de datos de 16 Gb/s. Con esta velocidad de datos hay más pérdidas, y, como se muestra en la Figura 4-17, sin ecualización no es posible recuperar la señal. Cuando se aplica la compensación sigue sin presentar ecualización debido a que las pérdidas presentes en el enlace no permiten la recuperación, pero esto depende de la capacidad del receptor, así como la configuración de esquemas de ecualización que se quieran utilizar (véase la Figura 4-17).

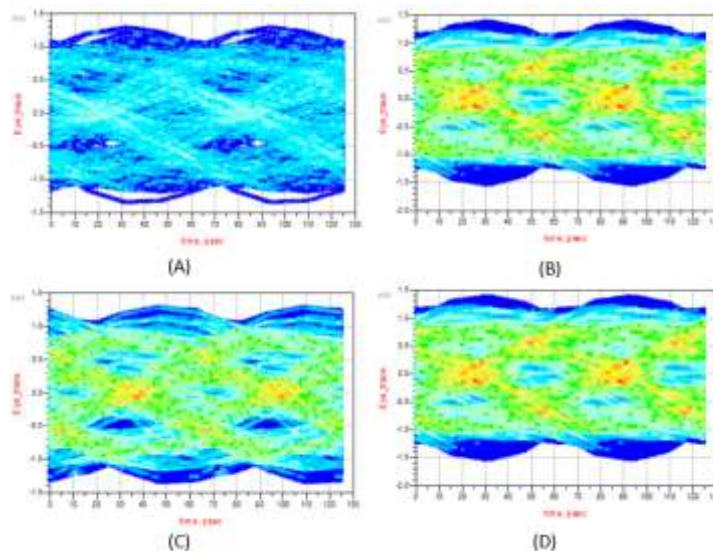


Figura 4-17, Diagramas de Ojos de datos enviados a 16Gb/s por el enlace del ejemplo B con diferentes esquemas de ecualización. A) sin ecualización. B) FFE. C) DFE. D) DFE+FFE.

4.3.3 Enlace C

Para esta prueba se realizó una prueba funcional en donde se analiza el efecto del solo el DFE sobre una ruta tomada de la Figura 4-11, en donde no se paa por ninguna cavidad para ingresar a la primera tarjeta, por dos para pasar a el backplane y dos hacia la segunda tarjeta.

Las respuestas al impulso y parámetros S de dicha ruta seleccionada se muestran en Figura 4-18, en donde se seleccionaron las dos frecuencias fundamentales (10GHz, 11.5 GHz) en donde las perdidas superan los -20 dB.

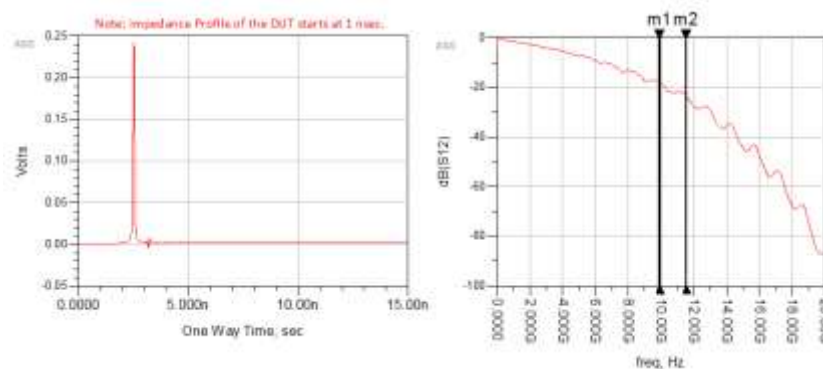


Figura 4-18. Parámetros de transmisión de el ejemplo C para un enlace donde las trazas se encaminan a diferentes niveles. A) Parámetro de transmisión en frecuencia de la traza seleccionada. B) Respuesta al impulso del modelo.

Al realizar la simulación a 23 Gb/s en donde la apertura del ojo sin ecualización es de 0 mV, por lo que se aprecia que al aplicar DFE en el receptor este presenta una apertura de 88 mV, lo que corrobora el funcionamiento del DFE en un canal que presenta perdidas de -21dB para esa velocidad. (véase la Figura 4-19)

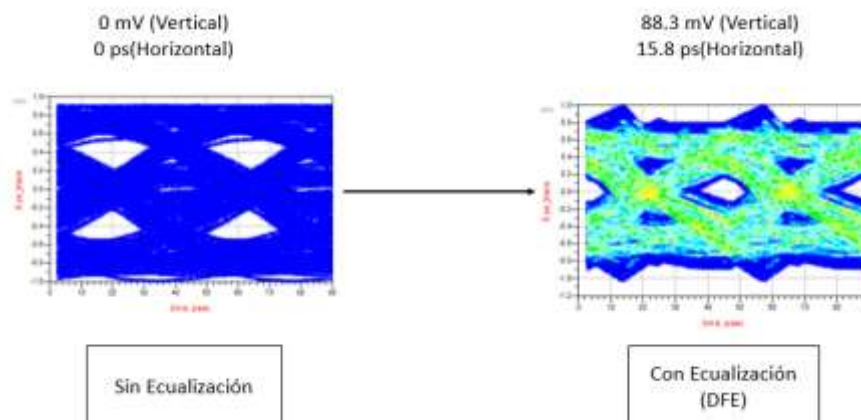


Figura 4-19. Diagrama de ojo, antes y despues de la ecualización en la ruta seleccionada para el ejemplo C.

4.4 Resultados del sistema de simulación DFE ante la presencia de Crosstalk.

Para esta sección se planteó analizar el efecto de ecualización por realimentación de decisiones ante la presencia de señales que agreden de cierta manera la transmisión de datos, como no pueden ser medidas previamente para lo que el uso de ecualización lineal no es algo que se pueda analizar, para esta prueba se utilizara una estructura de enlaces diferenciales acoplados tomada de [16] que se puede apreciar en la Figura 4-20, lo que permitió utilizar uno de los canales diferenciales para agredir la señal por medio de otra transmisión con un diferente PRBS.

Para este tipo de simulación se analizó el ejemplo diferencial con el diagrama de conexión que se utilizó en el software que se muestran en la Figura 4-21, en donde las señales a transmitir se realizaran por medio de un PRBS, en donde la señal principal se comunica por el puerto diferencial 1-2, y la señal agresora para la prueba de crosstalk se comunica por medio del puerto diferencial 3-4.

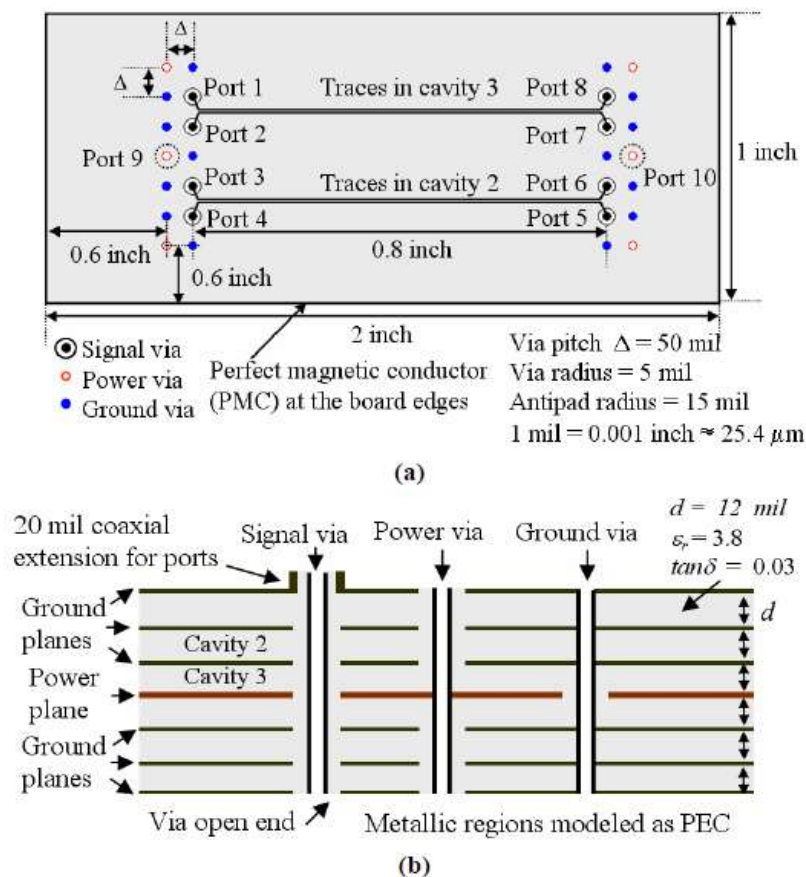


Figura 4-20. Ejemplo de dos enlaces diferenciales enrutados en un sustrato multicapa con planos de referencia mixtos (un plano de potencia). (a) Vista superior. (b) Sección transversal. Tomada de [16]

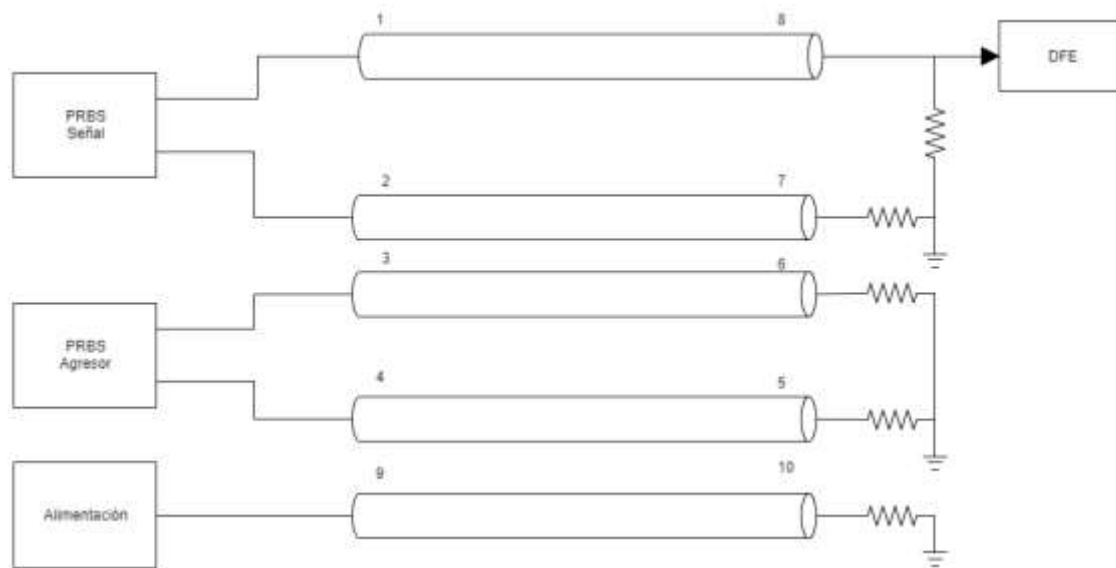


Figura 4-21. Diagrama de conexión del ejemplo diferencial, para la prueba de crosstalk.

Para la prueba se analizaron 2 diferentes velocidades de datos, para poder visualizar el efecto de la ecualización por realimentación de decisiones, con o sin presencia de crosstalk, las configuraciones de estas simulaciones se muestran en la Tabla 4.16.

Tabla 4.16. Configuración de velocidades para la prueba de crosstalk.

Velocidad de datos (Gb/s)	Frecuencia fundamental (GHz)	Tiempo de Bit (ps)
16	8	62.50
20	10	50.00

4.4.1 Simulación a 16 Gb/s

Al realizar una simulación a 16 Gb/s, en donde en la Figura 4-22.a, se puede ver la señal transmitida sin la presencia de agresión por lo que se observa que presenta una apertura vertical considerable para una correcta comunicación de datos, por lo que el efecto de la ecualización no es considerable como se muestra en la Figura 4-22.b.

Ahora bien al analizar esta velocidad de datos con la presencia de una señal agresora en el segundo puerto diferencial, se observa el daño presente en el diagrama de la Figura 4-22.c, en donde su apertura vertical se ve claramente afectada, y al utilizar el ecualizador por realimentación de decisiones debido a su lazo de realimentación se ve el efecto de ecualización ante este tipo de eventos, como se muestra en la Figura 4-22.d.

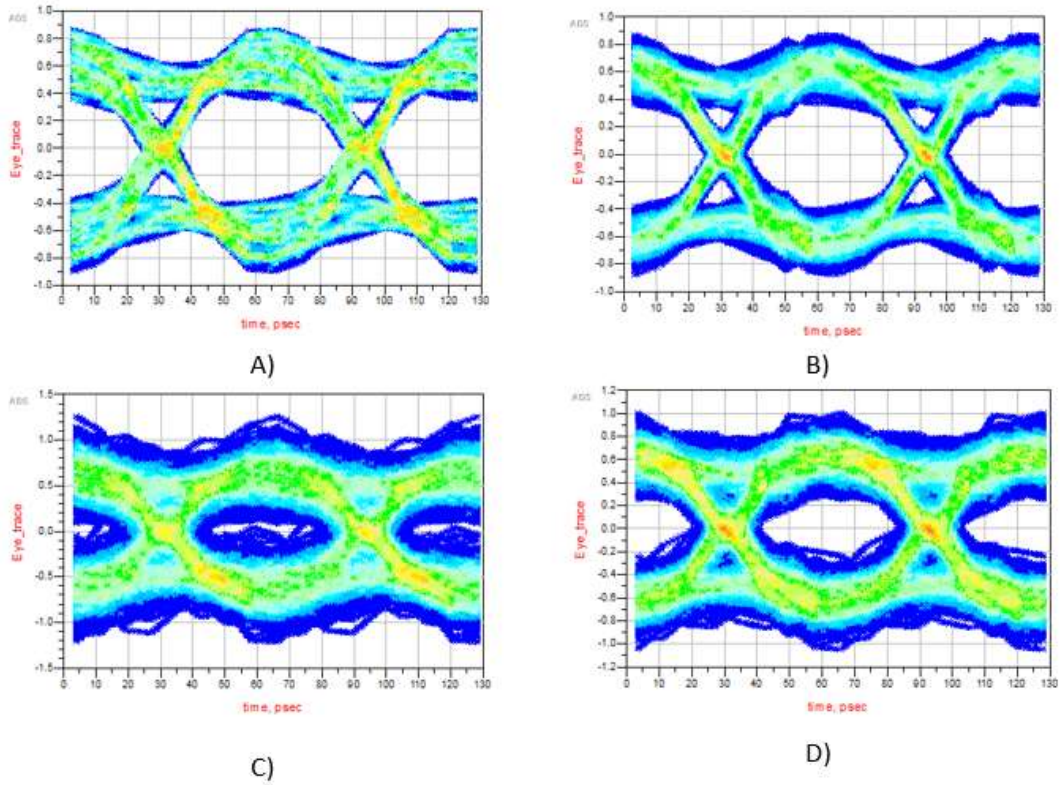


Figura 4-22. Diagramas de ojo de prueba para analizar efecto de crosstalk a una velocidad de datos de 16Gb/s. A) Sin ecualización y sin agresor. B) Con ecualización y sin agresor. C) Sin ecualización y con agresor. D) Con ecualización y con agresor.

Los valores obtenidos de los diagramas de la prueba a 16Gb/s, se muestran en la Tabla 4.17, donde se observa el daño presente de una señal con o sin crosstalk es casi de 528 mV, por lo que el efecto de ese mismo crosstalk en una señal ecualizada es de aproximadamente 190 mV. Por lo que los efectos de este tipo de ecualizadores no lineales son de utilidad para disminuir el efecto de señales no deseadas en la comunicación de datos.

Tabla 4.17. Datos obtenidos a partir del diagrama de ojo de datos transmitidos a una velocidad constante de 16Gb/s para analizar el efecto del crosstalk sobre el enlace diferencial acoplado.

Esquema de prueba	Apertura vertical (mV)	Apertura horizontal (ps)	Apertura Porcentaje Vertical (%)	Tiempo de subida (20-80) (ps)	Tiempo de bajada (80-20) (ps)	Jitter (ps)
Canal	713.02	52.11	82.01	25.02	27.21	16.53
Canal +DFE	734.21	52.12	86.07	24.51	25.59	11.36
Canal + Crosstalk	185.11	33.54	71.16	25.74	29.53	34.22
Canal+ Crosstalk+ DFE	544.21	43.51	81.11	25.17	27.20	16.42

4.4.2 Simulación a 20 Gb/s

Al realizar una simulación a 20 Gb/s, se observa la señal transmitida sin la presencia de agresión da una correcta comunicación de datos, por lo que no es necesario el uso de ecualización. A diferencia del mismo canal con la presencia de la señal agresora, donde el diagrama de ojo presenta nula apertura vertical lo que no permitiría comunicación eficiente de datos a esa velocidad. Al utilizar ecualización en la presencia de la señal de perturbación este presenta una mejoría notoria y una apertura vertical que permite la trasmisión de datos (véase la Figura 4-23).

Los valores de la prueba a 20Gb/s, se muestran en la Tabla 4.18, donde el daño presente de una señal con o sin *crosstalk* es casi de 563 mV, donde el daño de esa misma agresión en una señal ecualizada es de aproximadamente 146 mV. Por lo que el efecto de este tipo de ecualizadores no lineales al evitar el efecto generado por *crosstalk* en la comunicación de datos de la misma forma que en la simulación a 16Gb/s.

Tabla 4.18. Datos obtenidos a partir del diagrama de ojo de datos transmitidos a una velocidad constante de 20Gb/s para analizar el efecto del crosstalk sobre el enlace diferencial acoplado.

Esquema de prueba	Apertura vertical (mV)	Apertura horizontal (ps)	Apertura Porcentaje Vertical (%)	Tiempo de subida (20-80) (ps)	Tiempo de bajada (80-20) (ps)	Jitter (ps)
Canal	563.02	36.14	74.92	20.89	23.53	15.52
Canal +DFE(10)	566.11	36.81	79.51	21.39	21.10	13.75
Canal + Crosstalk	0	10.21	54.21	21.56	24.76	54.18
Canal+ Crosstalk+ DFE(10)	420.01	37.04	77.01	21.40	22.71	19.82

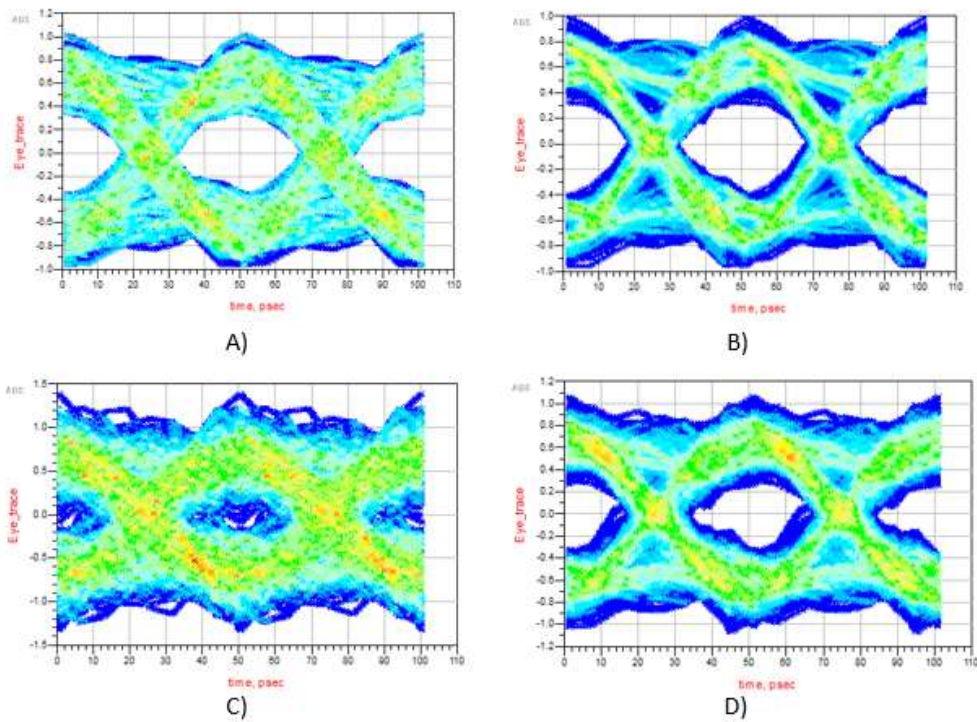


Figura 4-23. Diagramas de ojo de prueba para analizar efecto de crosstalk a una velocidad de datos de 20Gb/s. A) Sin ecualización y sin agresor. B) Con ecualización y sin agresor. C) Sin ecualización y con agresor. D) Con ecualización y con agresor.

Capítulo 5: Conclusiones y Recomendaciones

5.1 Conclusiones

En este trabajo se implementó, a nivel de simulación, un receptor con ecualización por realimentación de decisiones (*DFE*) adaptativa por medio del criterio de error cuadrático medio (*LMS*) para la estimación de los coeficientes óptimos del enlace para las diferentes derivaciones (*TAPS*) en el software ADS.

Se logró validar el modelo de simulación a través de varios escenarios en los que se varió la configuración y caracterización del enlace de alta velocidad, así como diferentes velocidades de datos en los que se presentaron buenos resultados al ecualizar y presentar una reducción del error existente por los efectos de la interferencia inter-símbolo (*ISI*) característico de cada uno de los escenarios, con un rango de funcionamiento para ecualizar enlaces con pérdidas de hasta -20 dB en la frecuencia fundamental de operación.

Se logró acoplar el modelo de simulación del DFE al modelo FFE existente al ser implementado con los dos esquemas de ecualización en donde presenta mayor ecualización que al usar los esquemas por separado, aunque presenta algún tipo de deformidad en el diagrama de ojos debido al efecto del DFE relacionado a la corrección del error del bit posterior.

Se verificó el funcionamiento del ecualizador por realimentación de decisiones el cual actúa directamente sobre el ruido generado a partir de señales que dañen la señal de manera indirecta como *crosstalk*.

5.2 Recomendaciones

Se sugiere la estimación de los coeficientes óptimos del enlace para las diferentes derivaciones, por medio de diferentes métodos de corrección de error para su posterior comparación con los obtenidos mediante el criterio de error cuadrático medio (*LMS*).

Se recomienda la implementación de un bloque con la arquitectura de un clock and data recovery (*CDR*) en el modelo de simulación del DFE para poder realizar simulaciones sin la necesidad de configurar las velocidades de datos previamente, lo que le permitiría al sistema poder realizar simulaciones de comportamiento más versátiles y sincronizar la simulación de manera autónoma.

Se podría realizar un módulo que caracterice un ecualizador lineal del tipo *CTLE* al modelo de simulación, con el fin de corroborar su funcionamiento con respecto a los modelos estudiados en este trabajo y así poder comparar su efecto.

Se debe analizar este tipo de simulaciones por medio de un algoritmo funcional implementado algún lenguaje de programación con el fin de mejorar la eficiencia numérica, lo que permitiría mayor flexibilidad para elegir número arbitrario de derivaciones a utilizar en la arquitectura.

Capítulo 6: Bibliografía

- [1] Hu, A., Yuan, F.: ‘Inter-signal timing skew compensation of parallel links with voltage-mode incremental signaling’, IEEE Trans. Circuits and Systems I, 2009, 56, (4), pp. 773–783
- [2] B. McComas. Interconexiones de alta velocidad de serie Ventajas técnicas e IC y Estrategias de diseño del sistema. 15 de mayo de 2003.
- [3] S. Palermo ECEN720: Enlaces de alta velocidad Circuitos y SystemsSpring Conferencia 1: Introducción. Universidad Texas A & M. 2014.
- [4] Aziz, P., Kimura, H., Malipatil, A., Kotagiri, S.: “A class of down-sampled floating tap dfe architectures with application to serial links”. Proc. IEEE Int. Symp. Circuits and Systems, 2012, pp. 325–328
- [5] Zhong, F., Quan, S., Liu, W., et al.: “A 1.0625-to-14.025 Gb/s multimedia transceiver with full-rate source-series-terminated transmit driver and floating-tap decision-feedback equalizer in 40 nm CMOS”. IEEE Int. Solid-State Circuit Conf. Digest of Technical Papers, 2011, pp. 348–349.
- [6] Zhong, F., Quan, S., Liu, W., et al.: “A 1.0625–14.025 Gb/s multi-media transceiver with full-rate source-series-terminated transmit driver and”
- [7] Fei Yuan¹, Alaa R. AL-Taeel, Andy Ye¹, Saman Sadr² “Design techniques for decision feedback equalization of multi-giga-bit-per-second serial data links:a state-of-the-art review” IET Circuits, Devices & Systems, 21st January 2013.
- [8] José Antonio Dinamarca Ossa. “Análisis de Diagramas de Ojo”. Informe de Teoría de Comunicaciones Digitales. Universidad Técnica Federico Santa María, Departamento de Electrónica, 2002.
- [9] S. Palermo ECEN720: Enlaces de alta velocidad Circuitos y SystemsSpring conferencia 5: Termination, TX Driver, & Multiplexer Circuits, 2014.
- [10] S. Palermo ECEN720: Enlaces de alta velocidad Circuitos y SystemsSpring conferencia 6: RX Driver, & Multiplexer Circuits, 2014.
- [11] S. Palermo ECEN720: Enlaces de alta velocidad Circuitos y SystemsSpring conferencia 7: eq_ Intro, & Multiplexer Circuits, 2014.
- [12] S. Palermo ECEN720: Enlaces de alta velocidad Circuitos y SystemsSpring conferencia 8: Rx_adaptative, & Multiplexer Circuits, 2014.

[13] Kim, B., Liu, Y., Dickson, T., Bulzacchelli, J., Friedman, D.: “A 10-Gb/s compact low-power serial I/O with DFE-IIR equalization in 65-nm CMOS”, IEEE J. Solid-State Circuits, 2009, pp. 3535–3538

[14] Rebeca Castro Artavia, “ Feed Forward Equalization Simulation Model for High-Speed Channel Applications” Graduation Project report to qualify for the title of Electronic Engineer, Licentiate Degree in ITCR. 2016.

[15] R. Rímolo-Donadio, T. Winkel, C. Siviero, D. Kaller, H. Harrer, H. Brüns, C. Schuster. Paramétrico Pre-Layout Análisis rápido de integridad de la señal del plano posterior Interconexiones. IEEE Taller de propagación de la señal de Interconexiones (SPI), Nápoles, Italia, 8-11 de mayo, 2011.

[16] R. Rímolo-Donadio. Desarrollo, validación y aplicación de Semi-analítico Modelos de interconexión para la simulación eficiente de múltiples capas de sustratos. Disertación 2010. Logos Verlag Berlin. 2011 (ISBN 978-3-8325-2776-1).

[17]"keysight", *Lista de componentes del software ADS*, 2017. [Online]. Available: <https://www.keysight.com/main/home.jsp?cc=US&lc=eng>. [Accessed: 10- Sep- 2017].

[18] Beukema, T. (2010). Consideraciones de diseño para alta velocidad de datos de interconexión de chip Los sistemas. Revista de Comunicaciones IEEE, 48 (10), 174-183.

[19] A. L. Pola, «repositoriodigital,» 2016. [En línea]. Available: http://repositoriodigital.uns.edu.ar/bitstream/123456789/2993/1/20160909_TesisPhD_ArielPola.pdf. [Último acceso: 12 Octubre 2017].

Capítulo 7: Apéndices

1. Implementación a nivel de esquemático en el software ADS de la arquitectura DFE con algoritmo adaptativo LMS.

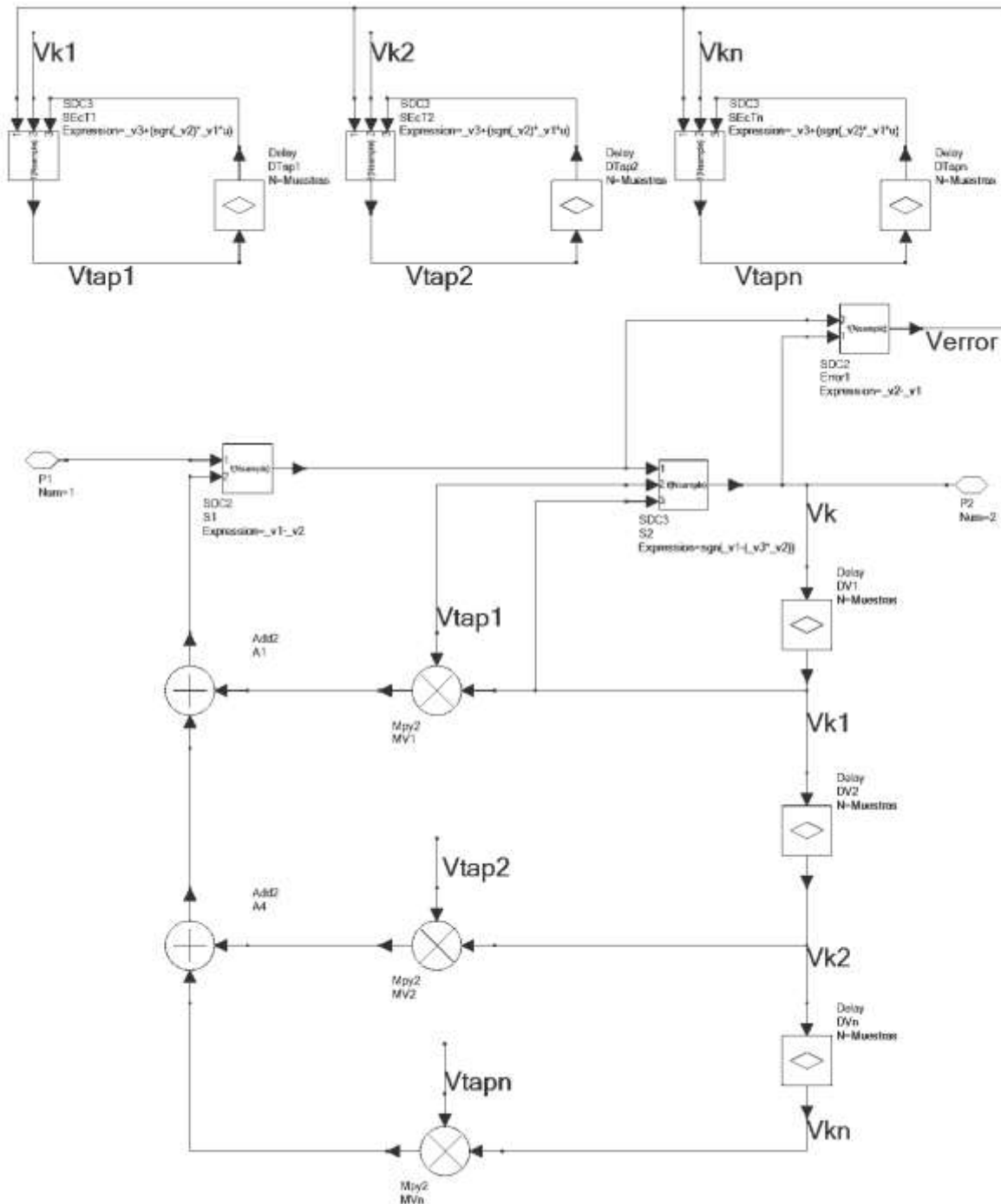


Figura 7-1. Esquemático del módulo de ecualización DFE con algoritmo LMS para determinar valor de las contantes en ADS.

2. Ventana de simulación *Eye front panel*, para la visualización de diagramas de ojos y mediciones relacionadas con este tipo de simulación.

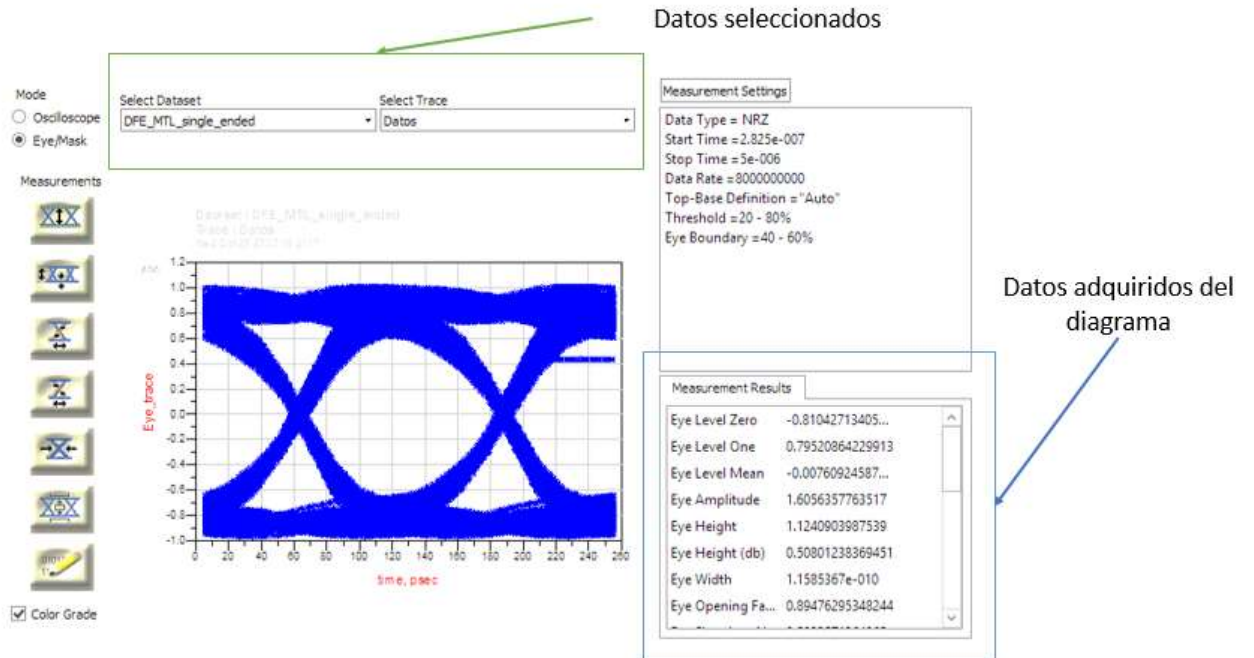


Figura 7-2. Ventana principal de la aplicación Eye Front panel en ADS.