

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica



Diseño, estudio e implementación de técnicas de diseño DFT para
un microprocesador de propósito general

Informe de Proyecto de Graduación para optar por el título de
Ingeniero en Electrónica con el grado académico de Licenciatura

Luis Enrique Alfaro Rojas

Cartago, Semestre I 2018

INSTITUTO TECNOLÓGICO DE COSTA RICA

ESCUELA DE INGENIERÍA ELECTRÓNICA

PROYECTO DE GRADUACIÓN

ACTA DE APROBACIÓN

**Defensa de Proyecto de Graduación
Requisito para optar por el título de Ingeniero en Electrónica
Grado Académico de Licenciatura
Instituto Tecnológico de Costa Rica**

El Tribunal Evaluador aprueba la defensa del proyecto de graduación denominado Diseño, estudio e implementación de técnicas de diseño DFT para un microprocesador de propósito general, realizado por el señor Luis Enrique Alfaro Rojas y, hace constar que cumple con las normas establecidas por la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal Evaluador



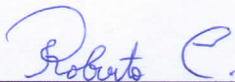
Ing. Anibal Ruiz Barquero

Profesor lector



Ing. Esteban Baradín Méndez

Profesor lector



Ing. Roberto Molina Robles

Profesor asesor

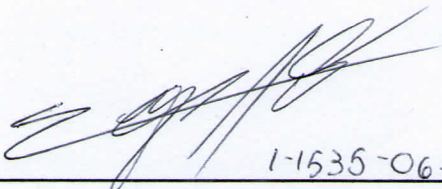
Cartago, 25 de junio, 2018

Declaratoria de Autenticidad

Declaro que el presente Proyecto de Graduación ha sido realizado, en su totalidad, por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado material bibliográfico, he procedido a indicar las fuentes mediante citas.

En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



1-1535-0672

Luis Enrique Alfaro Rojas

Céd. 1-1535-0672

Cartago Junio, 2018.

Resumen

En este documento se resume el procedimiento que se siguió para estudiar el funcionamiento y utilización de 3 técnicas de diseño de DFT, las cuales buscan mejorar ciertas características de los circuitos digitales para reducir el tiempo invertido en el desarrollo e implementación de pruebas una vez manufacturados los dispositivos.

Desde la aparición de los circuitos integrados el diseño y la prueba de los circuitos una vez producidos han sido todo un reto para los diseñadores, debido a lo difícil que se torna el diseñar diferentes patrones de entradas necesarios para fijar estados internos y extraer datos, por ello muchos algoritmos de probabilidad se desarrollaban para establecer la buena o mala producción de un integrado. En este documento se trata una parte de la solución que se utiliza desde hace varias décadas, el DFT, Design For Testability.

DFT mejora la controlabilidad y observabilidad de los circuitos digitales secuenciales. La controlabilidad se refiere a que tan fácil se puede cambiar el estado lógico de una señal interna, y la observabilidad que tan sencillo es ver el estado lógico de una señal interna por medio de un pin físico del dispositivo que se diseña.

Se estudian tres técnicas básicas de DFT los cuales buscan mejorar la controlabilidad y observabilidad, la detección de grandes retardos en señales internas y reducir los tiempos de ejecución de pruebas. Para lograr completar el estudio, se realizan diferentes diseños de un mismo circuito digital aplicando las diferentes técnicas, una vez conseguido ello, se procede a realizar simulaciones de operación y pruebas, se obtienen datos de consumo de potencia y consumo de recursos.

Finalmente se implementan los diseños en un circuito de pruebas como lo es la Nexys 4 de Digilent, la cual contiene una FPGA Artix 7 capaz de simular desde circuitos combinacionales simples, hasta microprocesadores complejos, lo que la convierte en una tarjeta muy versátil. Para obtener los resultados de la implementación se utiliza un osciloscopio Tektronix TDS-220.

Palabras clave: Circuito digital, Design For Testability, Nexys 4, Máquinas de estado, Flip-Flop.

Abstract

This document resumes the procedure that was followed to study the functionality and the use of some DFT design techniques, that try to improve some features of digital circuits, with the goal of reduce the time invested on the development and implementation of tests when the devices are manufactured.

Since the appearance of the integrated circuits, the design and tests of the circuits when are produced have being a challenge for the designers, because it's too hard to design the required patterns of inputs to set some internal signals and to extract internal data, that is the reason because some probability algorithms was designed to establish the good or bad production of an integrated circuit. In this document the theme is about a little part of the solution that some engineers applied since a few decades ago, DFT, Design For Testability.

DFT improves the controllability and observability of sequential digital circuits. The controllability refers to how easy is to set an internal signal, and the observability is about of how easy is to get an internal signal state on a physical pin of the device that is being designed.

Three basic techniques of DFT that search the improve of controllability and observability, the detection of internal big latches and reduce the execution time of test, are studied. To achieve the study completion, a sort of different designs of the same circuit applying this techniques are developed, when that goal have being achieve, some simulations of functionality and tests are executed, and the power and resources consumption.

For the finish of the document and project the developed designs are implemented on a tests circuit board like the Nexys 4 of Digilent is, that board contents an Artix 7 FPGA that can simulate since simple combinational circuits until complex microprocessors, that feature tells how versatile is the board. To obtain the results of the implementation a Tektronix TDS-220 oscilloscope is used.

Keywords: Digital circuit, Design For Testability, Nexys 4, States Machine, Flip-Flop.

Agradecimientos

Agradezco a los compañeros y amigos que conocí durante mi estadía en el TEC, quienes hicieron del día a día un motivo más por el que avanzar siempre. A los profesores que conocí a lo largo de la carrera, quienes siempre inculcaron un espíritu de lucha, nunca rendirse y siempre esforzarse para cumplir los objetivos.

Le agradezco a mi familia por el apoyo incondicional que me brindaron a lo largo de mi carrera universitaria, e incluso a lo largo de la vida. Siempre dándome el ejemplo al no rendirse ni afligirse ante los momentos difíciles que hemos pasado juntos y principalmente respetar las demás personas.

Le agradezco principalmente a mi madre Jeannethe Rojas Agüero quién siempre ha estado a mi lado y me ha apoyado en mi toma de decisiones, mujer a la que admiro y respeto por sobre todas las cosas y a la que nunca podré pagarle por todo lo que me ha dado y enseñado.

Especialmente le dedico este trabajo y mi título a mi hermano Kenneth Alfaro Rojas quién sé que desde el cielo me está viendo y cuidando, y como siempre, riendo de mis tonterías.

Índice general

Resumen	II
Abstract	III
Agradecimientos	IV
Lista de figuras	VIII
Lista de cuadros	X
1. Introducción	1
1.1. Entorno	1
1.2. Desarrollo del problema	3
2. Propuesta de solución	4
2.1. Enfoque de solución	4
2.2. Hipótesis	5
3. Meta y Objetivos	6
3.1. Meta	6
3.2. Objetivo general	6
3.3. Objetivos específicos	7
4. Marco Teórico	8
4.1. DUT	8
4.2. Design For Testability (DFT)	8
4.3. Scan Cells	9
4.4. Scan Chain	10
4.5. Ruta Crítica	11
4.6. Vectores de Prueba	11
4.7. Scan Design	12
4.8. Diagrama de Flujo para Scan Design	15
4.9. Scan Hold Flip Flop	17
4.10. Enhanced Scan	18
4.11. Snapshot Scan	19
4.12. Error-Resilient Scan	21

5. Desarrollo de Solución	23
5.1. Circuito de pruebas	24
5.2. Uso de software para prueba de diseños HDL	26
5.2.1. Chipscope Pro	26
5.3. Diseño de circuito de adquisición y generación de datos	27
5.3.1. Circuito de control para Scan Design basico	28
5.3.2. Circuito de control para Enhanced Scan	32
5.3.3. Circuito de control para Snapshot Scan	35
5.4. Circuito de prueba con Scan Design	38
5.5. Circuito de Prueba con Enhanced Scan	40
5.6. Circuito de Prueba con Snapshot Scan	41
6. Resultados	43
6.1. Circuito de pruebas	43
6.1.1. Simulación	43
6.1.2. Consumo de potencia	43
6.2. Circuito de pruebas con ChipScope	44
6.2.1. Simulación de circuito creado con Chipscope	44
6.2.2. Consumo de potencia	45
6.3. Circuito de control para Scan Design	46
6.3.1. Simulación	46
6.3.2. Consumo de potencia	46
6.4. Circuito de control para Enhanced Scan	47
6.4.1. Simulación	47
6.4.2. Consumo de potencia	48
6.5. Circuito de control con Snapshot	49
6.5.1. Simulación	49
6.5.2. Consumo de potencia	50
6.6. Circuito de pruebas con Scan Design	50
6.6.1. Simulación	50
6.6.2. Consumo de potencia	51
6.6.3. Señales obtenidas de FPGA	52
6.7. Circuito de pruebas con Enhanced Scan	54
6.7.1. Simulación	54
6.7.2. Consumo de potencia	55
6.7.3. Señales obtenidas de FPGA	56
6.8. Circuito de pruebas con Snapshot Scan	58
6.8.1. Simulación	58
6.8.2. Consumo de potencia	59
6.8.3. Señales obtenidas de FPGA	59
7. Análisis de Resultados	63
7.1. Circuito inicial de pruebas	63
7.2. Simulaciones de circuitos de control y de circuitos rediseñados	63
7.3. Consumo de potencia de circuitos de pruebas rediseñados	64

7.4. Recursos de FPGA utilizados por circuitos rediseñados	65
7.5. Consumo de potencia de circuitos de control	66
7.6. Recursos de FPGA utilizados por circuitos de control	67
7.7. Señales adquiridas de implementación en FPGA	68
7.8. Aplicación en un microprocesador o cualquier circuito digital	69
8. Conclusiones y Recomendaciones	71
8.1. Conclusiones	71
8.2. Recomendaciones	73
Bibliografía	74
Anexos	76

Índice de figuras

1.	Celda de escaneo. Tomado de [1]	9
2.	Cadena de escaneo (Scan Chain).	10
3.	Ejemplo de ruta crítica de un circuito combinacional.	11
4.	Ejemplo de circuito secuencial. Tomado de [2]	12
5.	Ejemplo de circuito secuencial con SFF. Tomado de [2]	13
6.	Ejemplo de Partial-Scan design. Tomado de [2]	13
7.	Ejemplo de Random-Access-Scan design. Tomado de [2]	14
8.	Diagrama de flujo para implementar el scan design. Tomado de [2]	15
9.	Esquema de un SHFF. Tomado de [1]	17
10.	Esquema de un circuito con Enhanced Scan. Tomado de [1]	18
11.	Diagrama de señales de un circuito con Enhanced Scan. Tomado de [1]	18
12.	Diagrama de señales de un circuito con Snapshot Scan. Tomado de [1]	19
13.	Esquema de celda utilizada para Error-Resliente Scan. Tomado de [1]	21
14.	Circuito inicial de pruebas. Tomado de [2]	24
15.	Tabla de transiciones de circuito de pruebas. Tomado de [2]	25
16.	Diagrama de estados de circuito de pruebas. Tomado de [2]	25
17.	Circuito de pruebas modificado con ChipScope	26
18.	Diagrama de circuito de adquisición y generación de datos.	27
19.	Diagrama de estados de control para Scan Design.	28
20.	Esquemático de circuito de control para Scan Design.	29
21.	Esquemático Post synthesis de circuito de control para Scan Design.	30
22.	Diagrama de tiempo para pruebas en Scan Design. Tomado de 2	30
23.	Esquemático de circuito de control para Enhanced Scan.	32
24.	Esquemático Post synthesis de circuito de control para Enhanced Scan.	32
25.	Diagrama de tiempo para pruebas en Enhanced Scan. Tomado de 2	33
26.	Diagrama de estados de control para Enhanced Scan.	34
27.	Esquemático de circuito de control para Snapshot Scan.	35
28.	Esquemático Post synthesis de circuito de control para Snapshot Scan.	35
29.	Sección de Esquemático Post synthesis de circuito de control para Snapshot Scan.	36
30.	Diagrama de estados de control para Snapshot Scan.	37
31.	Circuito de pruebas con Scan Design.	38
32.	Circuito de pruebas postsynthesis con Scan Design.	39
33.	Circuito de pruebas con Enhanced Scan.	40
34.	Circuito de pruebas postsynthesis con Enhanced Scan.	40

35.	Circuito de pruebas con Snapshot Scan.	41
36.	Circuito de pruebas post-synthesis con Snapshot Scan.	42
37.	Simulación de circuito de pruebas en FPGA	43
38.	Consumo de potencia de circuito de pruebas en FPGA	44
39.	Simulación de circuito de pruebas al incorporar Chipscope.	44
40.	Señales de salidas de flip-flops de circuito de pruebas al incorporar Chipscope.	45
41.	Consumo de potencia de circuito de pruebas al incorporar Chipscope.	45
42.	Simulación de circuito de control para Scan Design.	46
43.	Consumo de potencia de circuito de control para Scan Design.	46
44.	Diagrama de señales para circuito de control de Enhanced Scan. Tomado de 2	47
45.	Consumo de potencia de circuito de control para Enhanced Scan.	48
46.	Diagrama de tiempos de señales de control para Snapshot Scan.	49
47.	Consumo de potencia de circuito de control para Snapshot Scan.	50
48.	Simulación de circuito de pruebas con Scan Design.	50
49.	Consumo de circuito de pruebas con Scan Design.	51
50.	Señal de reloj 1MHz para circuito con Scan Design.	52
51.	Señal de reloj 100 KHz para circuito con Scan Design.	52
52.	Señal EN_S y SE en circuito con Scan Design.	53
53.	Señal EN_S y SI en circuito con Scan Design.	53
54.	Señal CLK y SO en circuito con Scan Design.	54
55.	Simulación de circuito de pruebas con Enhanced Scan.	54
56.	Consumo de circuito de pruebas con Enhanced Scan.	55
57.	Señal de reloj de 100KHz para circuito con Enhanced Scan.	56
58.	Señal de HOLD para circuito con Enhanced Scan.	56
59.	Señal de SI para circuito con Enhanced Scan.	57
60.	Señal de SO para circuito con Enhanced Scan.	57
61.	Señales en el tiempo de circuito de pruebas con Snapshot Scan.	58
62.	Consumo de potencia y recursos de circuito de pruebas con Snapshot Scan.	59
63.	Señal de reloj del DUT con Snapshot Scan	59
64.	Señal DCK del DUT con Snapshot Scan	60
65.	Señal UCK del DUT con Snapshot Scan	61
66.	Señal SI del DUT con Snapshot Scan	61
67.	Señal SO del DUT con Snapshot Scan	62

Índice de cuadros

1.	Distribución de I/O para circuito de control para Scan Design	30
2.	Distribución de I/O para circuito de control para Enhanced Scan	33
3.	Distribución de I/O para circuito de control para Snapshot Scan	36
4.	Distribución de I/O para circuito rediseñado con Scan Design	39
5.	Distribución de I/O para circuito rediseñado con Enhanced Scan	40
6.	Distribución de I/O para circuito rediseñado con Snapshot Scan	42
7.	Consumo de potencia de circuitos de prueba rediseñados	64
8.	Recursos de FPGA utilizados por circuitos de prueba rediseñados	65
9.	Consumo de potencia de circuitos de control diseñados	66
10.	Recursos de FPGA utilizados por circuitos de control diseñados	67

Capítulo 1

Introducción

A continuación, se brinda una breve descripción de importantes aspectos generales, necesarios para comprender el origen del proyecto. Aspectos como el donde se desarrolla, la problemática que lo rodea, así como su motivación e importancia en el desarrollo de circuitos digitales utilizados en la industria actualmente, son tocados durante el desarrollo del presente documento.

1.1. Entorno

El Instituto Tecnológico de Costa Rica es una institución nacional de educación superior universitaria, dedicada a la docencia, la investigación y la extensión de la tecnología. Por medio de la escuela de Ingeniería en Electrónica y con ayuda de varios de sus estudiantes y profesores está desarrollando un microprocesador de propósito general para su implementación en un dispositivo médico implantable.

Un microprocesador es un tipo de circuito integrado (chips) complejo constituido por componentes extremadamente pequeños, formados en una única pieza plana de poco espesor de un material semiconductor. Es un circuito electrónico que actúa como unidad central de proceso de un ordenador, es decir, es el componente dentro de un ordenador que interpreta las instrucciones de un programa informático.

El circuito logra esa interpretación mediante la realización de operaciones básicas aritméticas, lógicas y de entrada/salida del sistema obteniendo así el control de las operaciones de cálculo, a las cuales no se tiene un fácil acceso. Este tipo de circuitos digitales se pueden encontrar no solo en computadoras, si no también en otros dispositivos programables, como por ejemplo impresoras, automóviles, aviones e incluso dispositivos médicos.

En el área médica se han desarrollado microprocesadores que cumplen tareas específicas, como por ejemplo, algunos son capaces de almacenar la información del ADN de las personas, esto para poder determinar cómo reaccionará el organismo ante ciertos fármacos; así como algunos que pueden convertir la luz en señales eléctricas y así poder enviar información al

cerebro de una persona ciega.

Este tipo de dispositivos médicos consisten en artefactos que son introducidos de manera parcial o total en el cuerpo humano por medio de una intervención quirúrgica, y que permanecen allí luego del procedimiento para mejorar o monitorear la salud del paciente.

El microprocesador que se encuentra en desarrollo tendrá ciertas características físicas y operacionales que lo harán útil para cualquier aplicación en la medicina. Características como un bajo consumo de energía, gran velocidad de procesamiento, capacidad de ejecución de pocas instrucciones y ser físicamente pequeño, son parte de las características deseadas.

Sin embargo, para lograr ese tipo de características estos chips deben ser sometidos, una vez manufacturados, a diferentes pruebas complejas para comprobar en un corto tiempo que su funcionamiento sea el esperado según lo que el cliente solicita, en este caso, el Instituto Tecnológico de Costa Rica; además, deben hallarse la mayor cantidad de errores en el funcionamiento de componentes internos causados por su manufactura, de igual manera en un período corto.

Tomando en cuenta lo anterior, es necesario encontrar una manera de disminuir la complejidad y el tiempo que tomará realizar las diferentes pruebas al circuito que se encuentra en desarrollo, una vez se construya físicamente.

Muchas tareas complicadas e importantes, e incluso la vida de los pacientes en el caso de los dispositivos implantables, dependen enormemente de los microprocesadores, es por ello que debe asegurarse que los errores que pueden aparecer después de su fabricación sean menores, para así no comprometer su funcionamiento y asegurar la seguridad del paciente o portador final.

1.2. Desarrollo del problema

Durante la manufactura de microprocesadores existen varias etapas de prueba muy importantes; una de las finales es en la que se verifica que el producto después de su manufacturación continúe cumpliendo con los requerimientos solicitados por un cliente y además con sus funcionalidades esperadas.

Un reto para los desarrolladores, y en la que se enfocará este proyecto, es el diseño de circuitos a partir de diferentes técnicas en DFT (Design For Testability) que puedan cumplir con los requerimientos de diseño y brindar un camino más sencillo para la realización de pruebas. Esas técnicas de diseño son utilizadas para poder simplificar las pruebas, la depuración y las tareas de diagnóstico en la evaluación del rendimiento y funcionalidad de un circuito digital manufacturado; además de mejorar la calidad y reducir el costo de esas pruebas.

Además es necesaria la estimulación de las diferentes señales internas asociadas a los componentes del circuito en desarrollo para poder realizar las pruebas, el lograr esto sin contar con una estrategia consume mucho tiempo y dinero para una empresa que se dedique a ello, e incluso, en el caso del Instituto Tecnológico de Costa Rica y el desarrollo de su microprocesador.

Las diferentes técnicas de DFT que se estudiarán en el presente proyecto, pueden ser aplicadas a un circuito digital para conseguir, como se menciona en [2], un diseño listo para escaneo (Scan Design), y cumplir los objetivos mencionados anteriormente. Por ello es necesario la evaluación y comparación entre ellas para poder seleccionar las más eficientes para ser aplicadas en el circuito digital que se encuentra en desarrollo. Siempre tratando de reducir el tiempo de ejecución y mejorar precisión de los resultados de las pruebas post manufactura.

Capítulo 2

Propuesta de solución

2.1. Enfoque de solución

Una manera de lograr la reducción de fallas es mejorar la testabilidad de los circuitos digitales; la testabilidad describe las características de controlabilidad y observabilidad de un dispositivo. La controlabilidad indica la dificultad de poder establecer un estado lógico a una señal interna por medio de los pines de entrada físicos del circuito digital bajo prueba, y por otro lado la observabilidad indica la dificultad de mostrar o propagar el valor lógico de una señal de salida interna hacia los pines físicos de salida.

Las técnicas de diseño de circuitos integrados brindadas por DFT (Design for Testability) agregan características de testabilidad a el diseño de un producto. Se plantea el estudio, evaluación y aplicación de 3 diferentes técnicas de DFT que se enfocan en el diseño para escaneo, para así poder crear un circuito digital capaz de brindar las facilidades y beneficios en la etapa de pruebas post manufactura de un circuito digital, además con estas técnicas, en su aplicación industrial, se pretenden identificar y corregir violaciones a reglas de diseño.

De manera un poco más detallada, en este proyecto, el objetivo principal es rediseñar una serie de circuitos digitales dependiendo de la técnica de DFT implementada. Estos circuitos serán útiles para tomarlos como ejemplo de implementación de las técnicas de DFT para la realización de pruebas tanto de rendimiento como de operación de un microprocesador de propósito general que se encuentra en desarrollo, el cual puede ser programado en una FPGA.

Lo anterior se logrará por medio de la evaluación, comparación e implementación de las técnicas de DFT de propósito específico que se listan más adelante, en el diseño de un circuito digital de propósito general. Dichas técnicas serán comprobadas con ayuda de dicho circuito y una FPGA.

- Scan Design Básico
- Escaneo mejorado (Enhanced Scan).

- Escaneo instantáneo (Snapshot Scan).

Estas tres técnicas son utilizadas para realizar pruebas de retardo y depuración del sistema. Cada una con diferentes características de implementación y operación. Inicialmente se planea aplicar individualmente las diferentes técnicas de DFT en el diseño de circuitos digitales con los que se pueda extraer información de rendimiento y operación, como por ejemplo compuertas lógicas o máquinas de estados simples.

A partir de los resultados adquiridos por el paso mencionado anteriormente, se planteará teóricamente la implementación de las técnicas de DFT bajo estudio en un microprocesador de código abierto; se dice teóricamente ya que la utilización de estas técnicas de diseño implica un trabajo que tomaría mucho tiempo si no se cuenta con información de operación del mismo. Al no contar con datos esperados a nivel interno, la realización de pruebas y la comparación de resultados es muy difícil de lograr. Por ello, y por el tiempo con el que se cuenta para poder desarrollar el proyecto, se utilizará un circuito digital de propósito general para comprobar en una FPGA el funcionamiento de los circuitos rediseñados con las técnicas de DFT.

2.2. Hipótesis

Mediante el uso de las técnicas de DFT se crean circuitos similares al sistema original, con la diferencia que estos circuitos son capaces de extraer estados lógicos de las señales internas de los diferentes componentes que conforman el sistema. Información como tiempos de retardo, y la generación de protección ante errores leves son algunas características y mejoras que se obtienen con su aplicación.

Estos circuitos adicionales son accedidos por medio de la configuración de las entradas físicas del sistema para así forzar un estado de prueba, en el cual se extrae información tanto de la lógica secuencial como de la lógica combinacional de los componentes, y con ello de ser necesario rediseñar los componentes que fallen o el sistema en su totalidad.

Capítulo 3

Meta y Objetivos

3.1. Meta

La realización de pruebas post manufactura del microprocesador que se encuentra en desarrollo en el Instituto Tecnológico de Costa Rica, utilizando las técnicas de DFT estudiadas.

Indicador: Adquisición de datos internos del microprocesador por medio de un pin físico.

3.2. Objetivo general

Rediseñar un sistema digital de propósito general que implementen las técnicas de DFT bajo estudio.

Indicador: Simulación de los sistemas creados y comprobación de su funcionamiento en una FPGA.

3.3. Objetivos específicos

- Rediseñar un circuito que implemente la técnica de Scan Design en un sistema digital de propósito general.

Indicador: Simulación del circuito diseñado en el software Xilinx/Modelsim y su implementación en una FPGA.

- Rediseñar un circuito que implemente la técnica de escaneo mejorado (Enhanced scan) a un sistema digital de propósito general.

Indicador: Simulación del circuito que aplica el Escaneo Mejorado en el software Xilinx/Modelsim para realizar su implementación en una FPGA.

- Rediseñar un circuito que implemente la técnica de escaneo instantáneo (Snapshot Scan) aplicado a un sistema digital de propósito general.

Indicador: Simulación del circuito que aplica el escaneo instantáneo en el software Xilinx/Modelsim y su implementación en una FPGA.

Capítulo 4

Marco Teórico

4.1. DUT

Siglas de "Device Under Test", es un acrónimo que se utiliza para hacer referencia al dispositivo al que se le está realizando una prueba.

4.2. Design For Testability (DFT)

El DFT, o como se le puede llamar en español, Diseño para "Testabilidad", consiste en el uso de diferentes técnicas y reglas de diseño de circuitos digitales, las cuales son utilizadas para mejorar la calidad y reducir el costo de las pruebas realizadas a los propios circuitos digitales, tal y como se indica en [1] (Wang, L., Wu, C. and Wen, X. 2006).

Este tipo de diseño es utilizado para detectar violaciones a las reglas de DFT utilizadas para crear circuitos que puedan ser "testeables". Al hacer caso omiso a esas reglas de diseño, será más complicado y costoso la creación de las pruebas para ese circuito.

Parte de las complicaciones a las que se enfrentaban años atrás los diseñadores era la gran dificultad de crear patrones de prueba que fueran capaces de estimular y extraer señales internas de los dispositivos de almacenamiento, las cuales implicaban a su vez un alto costo de desarrollo de pruebas y una pérdida de calidad en los dispositivos producidos. Esto generó la necesidad de combinar el diseño de un circuito digital, junto al diseño de sus pruebas, (Wang et al.,2006).

Una característica primordial de este tipo de diseño es que se busca mejorar la "testabilidad"(Testability) de un circuito, esto quiere decir que se busca mejorar la controlabilidad, que indica que tan fácilmente se puede cambiar el estado lógico de una señal interna por medio de un pin físico, así como la observabilidad, la cual busca aumentar la facilidad con la que es posible el observar el estado lógico de una señal interna por medio de un pin físico.

El mejoramiento de la controlabilidad y observabilidad se logra, como se menciona anteriormente, por medio del rediseño del circuito original, sustituyendo los elementos de alma-

cenamiento de interés por su equivalente con ciertas modificaciones; entre otros aspectos de rediseño a considerar de los que se hablará más adelante para alcanzar ese objetivo.

Las técnicas de DFT se aplican tanto para circuitos combinacionales como para secuenciales, donde en estos últimos, es más complicado la aplicación de las técnicas de rediseño y la realización de las pruebas, y años atrás, muy complicado el alcanzar una buena zona de cobertura de señales. Sin embargo, gracias a la investigación y desarrollo que se ha dado durante el surgimiento de nuevas tecnologías la dificultad de realizar pruebas y obtener información de los circuitos secuenciales, se ha podido reducir a temas puramente combinacionales.

4.3. Scan Cells

Las Scan Cells, o celdas de escaneo, son elementos de almacenamiento modificados, los cuales son de gran ayuda para poder acceder de una manera más sencilla a los datos que almacenan. Generalmente el poder tener acceso a los datos almacenados sin el uso de estas celdas resulta en una tarea muy complicada, ya que se requiere utilizar muchos recursos del circuito bajo prueba para poder establecer valores definidos en las diferentes rutas de datos.

Existen diferentes tipos de estructuras de DFT utilizadas en la industria:

- Muxed-D Scan Cell
- Clocked-Scan Cell
- LSSD Scan Cell

Típicamente las celdas más utilizadas y las que se van a tratar en este proyecto, son las Muxed-D, las cuales se basan en la conexión de un multiplexor en la entrada de un flip-flop tipo D, para formar un conjunto llamado Scan Flip-Flop (SFF) [2] (Bushnell, M., Agrawal, V. D., 2000).

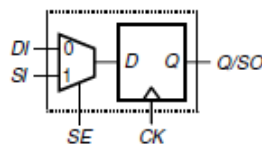


Figura 1: Celda de escaneo. Tomado de [1]

Como se puede apreciar en la figura 1 estas celdas están compuestas por 3 entradas y una salida, así como una señal de reloj. Dos de esas entradas se utilizan para ingresar los datos a manipular; generalmente en la entrada 0 del multiplexor se conecta la fuente de la señal regular del circuito (DI, Data Input), y en la entrada 1 se conecta la fuente de la señal que se desea insertar (SI, Scan Input), es decir, la señal de prueba. La tercer entrada de esta celda se trata de la señal de control del multiplexor (SE, Scan Enable), la cual se encarga de

cambiar la fuente de datos. Cuando SE está en estado bajo y se aplica una señal de reloj, el flip-flop almacenará el dato actual de la ruta de datos normal. Caso contrario se almacenará el dato de prueba que se encuentre en SI.

Una de las ventajas, y a la vez desventaja, del uso de este tipo de celdas es que el área que comprende el circuito no se incrementa demasiado debido al uso del multiplexor. Sin embargo, su uso incrementa sustancialmente la controlabilidad del circuito bajo prueba. La mayor desventaja es que se agrega un retardo de un multiplexor a la operación regular del circuito.

4.4. Scan Chain

Se refiere a la conexión en serie de varias celdas de escaneo (Scan Cells); cuando se realiza una o varias cadenas de este tipo es posible el ingreso y extracción de datos simplemente por medio de 2 pines físicos. En la figura 2 se puede ver la conexión y formación de este tipo de cadenas.

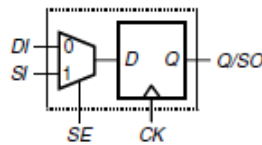


Figura 2: Cadena de escaneo (Scan Chain).

La construcción de estas cadenas es bastante simple, basta con interconectar todas las señales de control SE y ubicar correctamente las entradas DI de los Scan Flip-Flop en sus puntos originales dentro de la lógica combinacional, así como conectar la señal de salida de un SFF a la entrada 2 del siguiente SFF para poder utilizar este recurso tan útil. (Wang et al.,2006).

El funcionamiento de las celdas se conserva, simplemente al formar una cadena se logra obtener un registro de corrimiento que utilizará la entrada SI de la primer celda de escaneo para ingresar datos, y la salida SO de la última celda de escaneo para extraer los bits que se encuentran almacenados en los SFF. Pueden existir varias cadenas de celdas, dependiendo de la disponibilidad de pines físicos así como de la cantidad y ubicación de los datos que se requieren.

4.5. Ruta Crítica

Se le conoce como ruta crítica a la ruta por la que se puede dar un flujo de datos que pasan por la mayor cantidad de elementos combinatoriales de un circuito digital (Wang et al.,2006), lo que implicaría que es la ruta con el mayor retardo combinatorial. En la figura 3 se puede ver un ejemplo de lo mencionado anteriormente.

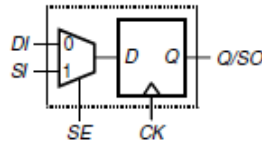


Figura 3: Ejemplo de ruta crítica de un circuito combinatorial.

Un aspecto importante en este tema es que siempre existen retardos entre la estimulación de la entrada de un elemento y su salida, además de la oscilación de estados lógicos mientras se distribuye la información por el elemento a la que se le llama transiente; lo que se busca con la ruta crítica es encontrar los componentes que generen un retardo tan grande en la ruta de datos, que la respuesta del circuito final en sus salidas se prolongue por mucho tiempo. Durante el diseño y fabricación de dispositivos siempre se trata que el retardo de la respuesta de las salidas no sea mayor a un ciclo de reloj de operación del elemento a desarrollar (Wang et al.,2006).

4.6. Vectores de Prueba

Los vectores de prueba son la combinación de los bits que serán utilizados para forzar un estado del DUT; este grupo de bits incluye las entradas primarias, físicas, del DUT llamadas PI (Primary Input) y las entradas pseudo-primarias llamadas PPI (Pseudo-Primary Inputs), estas últimas se refiere a los puntos en los cuales se conectan las salidas de los SFF que a su vez se dirigen hacia la entrada de la lógica combinatorial del circuito bajo prueba.

Aunque no forman parte del vector de prueba, cabe mencionar que a las salidas físicas del DUT se les conoce como PO (Primary Output), y a las salidas internas de la lógica combinatorial del DUT como PPO (Pseudo Primary Outputs); estas señales forman parte primordial de la prueba a realizar, ya que generalmente forman parte de los resultados de interés y por ende parte de los datos que se almacenan para poder determinar el correcto funcionamiento del circuito.

Estos vectores son ingresados de forma serial a los SFF, tal y como se mencionó anteriormente en el apartado de "Scan Cells", es decir, se agrega uno a uno los bits que lo componen, lo que implica que el tiempo de prueba depende directamente de la cantidad de SFF que forman la cadena o las cadenas con las que se cuenta.

4.7. Scan Design

Scan Design según [2] (Bushnell, M., Agrawal, V. D., 2000), se refiere a la metodología estructurada de DFT más utilizada en el diseño de circuitos digitales, la cual logra mejorar la controlabilidad y observabilidad de elementos secuenciales dentro de un dispositivo. La sustitución de elementos de almacenamiento por SFF equivalentes y la adición de señales de control es parte de las herramientas utilizadas en este proyecto para poner al dispositivo en diferentes modos de operación según se requiere.

Los modos de operación son el modo normal, modo registro y modo de captura; después de rediseñar el circuito, durante el modo normal la operación del circuito es la misma que la alcanzada con el diseño original, es decir, el dispositivo no tomará en cuenta las señales de control generadas por el circuito de control usado durante pruebas. El modo de registro es el primer modo utilizado al ingresar los bits por medio de la entrada SI, consiste en indicarle al DUT que permita el paso de los datos ingresados por SI y a su vez extraiga los resultados del ingreso del vector previo por medio de la salida SO. El modo de captura utiliza las mismas señales de control que el modo registro, con la diferencia conceptual que durante el modo captura, se toman los datos de la salida SO y se almacena en un registro con latches para su posterior revisión.

Dependiendo de la cantidad de elementos de memoria de los que se desea obtener información, existen diferentes estructuras que serán de utilidad. Entre ellas existen las siguientes:

- **Full-scan design (Diseño para Escaneo Completo)**

En este tipo de arquitectura, todos los elementos de almacenamiento son sustituidos por SFF para poder formar las cadenas de SFF (Wang et al., 2006), así se logra tener con certeza el estado lógico de todos los datos internos, sin embargo, hay que tomar en cuenta que dependiendo de las dimensiones del área máxima que se pueda utilizar en el desarrollo del dispositivo, puede ser conveniente o no el utilizar esta arquitectura, ya que, si se cuenta con poco espacio no debe utilizarse. A pesar de esto, esta arquitectura es la más utilizada en la actualidad debido a la facilidad de uso y beneficios en cuanto adquisición de datos.

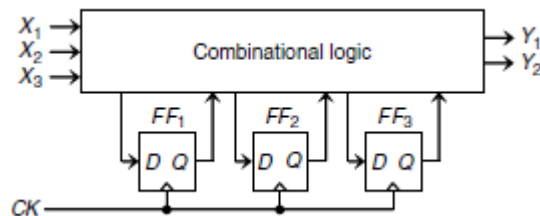


Figura 4: Ejemplo de circuito secuencial. Tomado de [2]

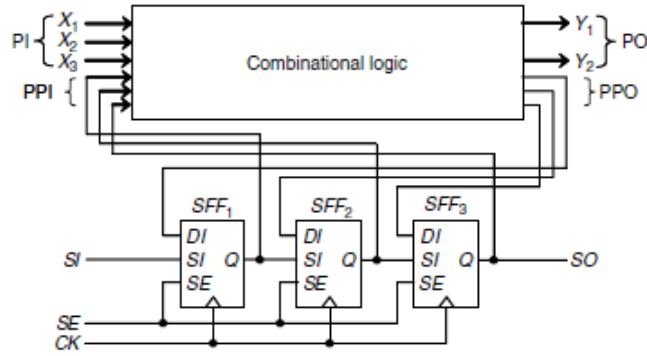


Figura 5: Ejemplo de circuito secuencial con SFF. Tomado de [2]

Observando las figuras 10 y 11 se puede comprobar como todos los elementos de almacenamiento de la figura 10 son sustituidos por las celdas de escaneo, brindando así la oportunidad de conseguir información de cada uno.

■ **Partial-Scan Design(Diseño para Escaneo Parcial)**

A diferencia del Full-Scan Design, esta arquitectura solamente sustituye una parte de los elementos de memoria (Wang et al.,2006), un obstáculo que se encuentra en el uso de este tipo de estructura es la complejidad que adquiere la generación de los vectores de prueba, ya que será necesario establecer un mayor número de combinaciones de las entradas de los SFF disponibles para poder establecer un estado deseado en los flip-flop que no se encuentren dentro de la cadena de celdas.

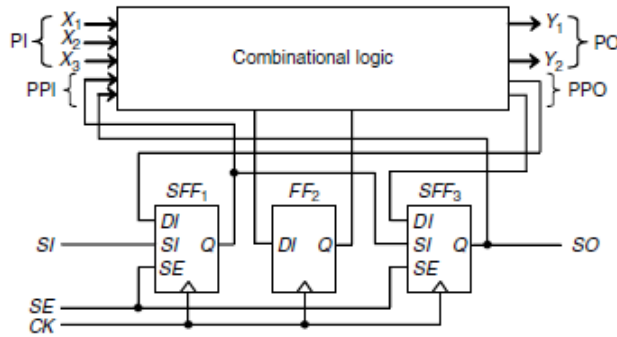


Figura 6: Ejemplo de Partial-Scan design. Tomado de [2]

Al no incluir todos los elementos de almacenamiento en la cadena existe una complejidad mucho mayor en el control de los mismos, ya que va a ser necesario controlarlos con señales de reloj diferentes y por ende una mayor cantidad de líneas de conexión y área que ocuparían los elementos en general del DUT.

■ Random-Access Scan Design

Este tipo especial de diseño tiene una mayor complejidad, ya que, a diferencia de las 2 arquitecturas anteriores esta arquitectura le asigna una dirección a cada SFF, por lo que, no existirán los problemas de consumo de potencia, calentamiento, fallas del circuito, etc, debido al acceso desproporcionado al circuito.

Dentro de sus desventajas se encuentra el alto calentamiento en los componentes debido a la implementación del acceso aleatorio que se debe desarrollar, entre ellos las señales de reloj, SI, SO y demás dependiendo de las cadenas que se deseen activar según la dirección de registro que se envíe desde el circuito de control. (Bushnell, M., Agrawal, V. D., 2000)

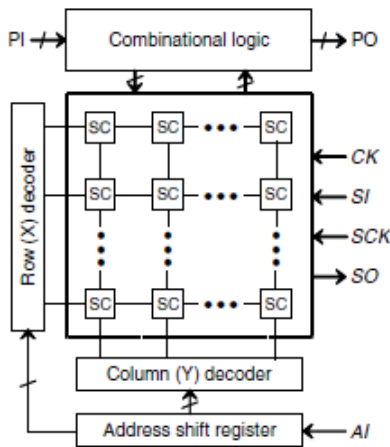


Figura 7: Ejemplo de Random-Access-Scan design. Tomado de [2]

Sin embargo, de igual manera que en las anteriores, esta arquitectura afecta los valores de las señales de otras celdas cuando están dentro de la misma cadena.

4.8. Diagrama de Flujo para Scan Design

Esta sección se incluye para brindar información extra sobre el DFT y Scan design.

A pesar de que no es posible ni viable implementar este diagrama de flujo en el presente proyecto, ya que no se cuenta con la disponibilidad de equipo, el recurso humano que implica ni el tiempo disponible, es importante tener presente que detrás del simple concepto de rediseño de un circuito, existe una larga lista de pasos y requerimientos que implementar en el momento de utilizar este tipo de diseño.

A continuación se presenta el diagrama de flujo utilizado durante la implementación del scan design, el mismo se resume de (Wang et al.,2006).

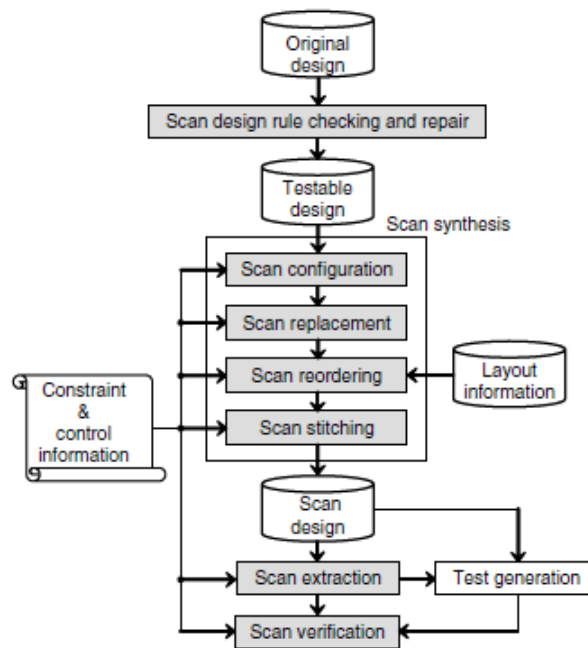


Figura 8: Diagrama de flujo para implementar el scan design. Tomado de [2]

De la figura 8 se pueden introducir las siguientes secciones:

- **Scan design rule checking and repair:** Identificar y reparar todas las violaciones al scan design para convertir el diseño original en un diseño testeable.

Reglas de Scan Design necesarias:

- Buses tristate
- Puertos bidireccionales
- Gated clocks (muxed D full scan)
- Clocks derivados /muxed D full scan)
- Realimentaciones combinacionales

- Señales de Set/Reset asíncronas
 - Señales de reloj que transportan datos
 - Buses flotantes
 - Entradas flotantes
 - Compuertas NAND-NOR cruzadas-emparejadas
 - Elementos de almacenamiento no usados en el scan
- **Scan síntesis:** Una vez que se han realizado todas las reparaciones del circuito original. Es en este punto donde se convierte el circuito testeable a un diseño escaneable sin afectar el funcionamiento del circuito original. Se utilizan herramientas de análisis estático y verificadores de equivalencia para comprobar que la operación de los 2 circuitos sea la misma.
 - **Configuración de scan:** Primer paso en la formación en la cadena de escaneo. Aquí se toma la decisión de el número de cadenas, el tipo de scan cell a utilizar, los elementos de almacenamiento a incluir en las cadenas y la manera en la que se ordenarán las scan cell.
 - **Sustitución de scan:** Aquí se sustituyen todos los FF por los SFF. Al nuevo circuito se le conoce como scan-ready design.
 - **Reordenamiento de scan:** Se refiere al reordenamiento de las scan cells en las cadenas de escaneo, dependiendo de su ubicación física, esto para minimizar las interconexiones.
 - **Union de puntos de scan:** En este paso se unen las scan cells para formar la cadena. El proceso se refiere a la unión de la salida de los SFF a la entrada del siguiente SFF, así como la conexión de la entrada física con el SI del primer SFF, al igual que la conexión de la salida física con el SO del último SFF.
 - **Extracción de scan:** Aquí se verifica la integridad de las cadenas de escaneo. En él se extraen todas las instancias de todas las cadenas, se logra trazando el diseño para cada cadena para verificar que todas las conexiones están intactas cuando el diseño entre en shift mode.
 - **Verificación de scan:** Esta se realiza cuando ya se ha implementado físicamente el diseño, es decir, ya cuando se ha manufacturado el dispositivo, es por ello que se genera un archivo de tiempo llamado Standard Delay Format (SDF), ese archivo construye el comportamiento en el tiempo del dispositivo manufacturado, necesario para poder realizar las pruebas.
 - Verificación de la operación de ingreso de vectores.
 - Verificación de la operación de captura.
 - **Costo del Scan Design:** La implementación del diseño implica sobrecalentamiento de un área, costo de pines de I/O, disminución de rendimiento y esfuerzo del circuito. Sin embargo, los beneficios son el incremento de la testabilidad, bajo costo de desarrollo y la reducción del tiempo de diagnóstico y análisis de fallas.

4.9. Scan Hold Flip Flop

El SHFF (Scan Hold Flip flop) es un tipo de celda de escaneo a la cual se le adiciona en la salida un latch, el cual lo convierte en un componente importante en el análisis de retardos de circuitos combinacionales y secuenciales; este latch es útil para aislar la parte de extracción de datos del resto del circuito, y con ello el problema de análisis de retardos se convierte en un problema combinacional, ya que solo se debe manipular una señal no secuencial para poder cumplir con el objetivo.

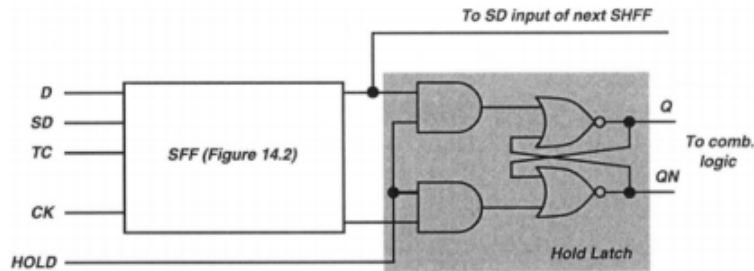


Figura 9: Esquema de un SHFF. Tomado de [1]

De la figura 9 se puede notar que mientras la señal HOLD se mantenga en estado bajo, no se permitira la actualizacion de datos en las PPI, una vez se active esa señal, el latch será transparente para el resto del circuito, por lo que dejará pasar las señales a través de él.

El modo normal se selecciona con $HOLD=1$, en modo de escaneo $TC=1$ y $HOLD=0$. Con este procedimiento se puede separar la parte combinacional de la actividad de escaneo.

Una vez que se ingresa el vector V1 de prueba para el circuito, se debe aplicar un cambio de HOLD de 0 a 1 para ingresar los nuevos valores a la lógica combinacional.

4.10. Enhanced Scan

Este tipo de diseño es muy similar al Scan Design básico, el principio y objetivo de funcionamiento es el mismo, su nombre se adjudica debido a la adición de un latch en la salida de los SFF, es decir, a la utilización de un SHFF.

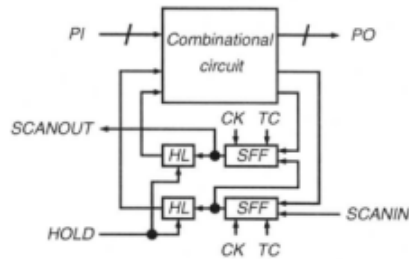


Figura 10: Esquema de un circuito con Enhanced Scan. Tomado de [1]

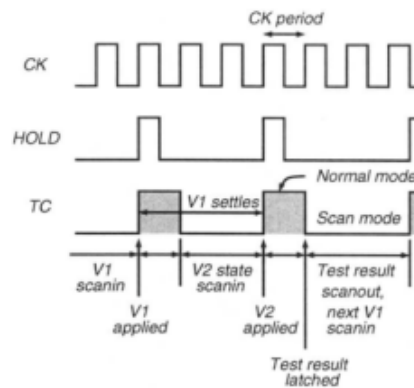


Figura 11: Diagrama de señales de un circuito con Enhanced Scan. Tomado de [1]

Como se puede ver en la figura 10, la adición del latch se encuentra entre la conexión de las salidas de los SFF y las entradas de la lógica combinacional (PPI). En la figura 11 se puede apreciar el diagrama temporal de señales necesario para poder llevar a cabo las pruebas, y obtener el resultado de las mismas.

Inicialmente se introduce por medio de los SFF el primer vector de prueba, una vez finalizado esto, se procede a cargar el vector a la lógica combinacional estableciendo en 1 la señal TC y HOLD, después de realizar esto se procede a ingresar el segundo vector de pruebas, de la misma manera se manipulan las señales TC y HOLD para cargar el vector en el DUT; finalmente mientras se carga el siguiente vector 1 de pruebas se extraen los resultados del vector 2 de la prueba anterior.

La desventaja de esta técnica con respecto al Scan Design básico es el calentamiento y retrasos en respuesta de la señal debido al uso constante del latch. Además, el tamaño de los FF se incrementa hasta un 30% al utilizar los SHFF, y el uso de una señal extra también

implica una reducción del espacio de trabajo para la ubicación de otros componentes debido al enrutamiento de la señal de H hacia todos los FF, o viéndolo de otra manera implica que el área y tamaño del dispositivo sea mayor.

Una ventaja con respecto al Scan Design básico es la utilización de cualquier par de vectores, no es necesario que solamente 1 bit del total que componen a los vectores sea diferente.

4.11. Snapshot Scan

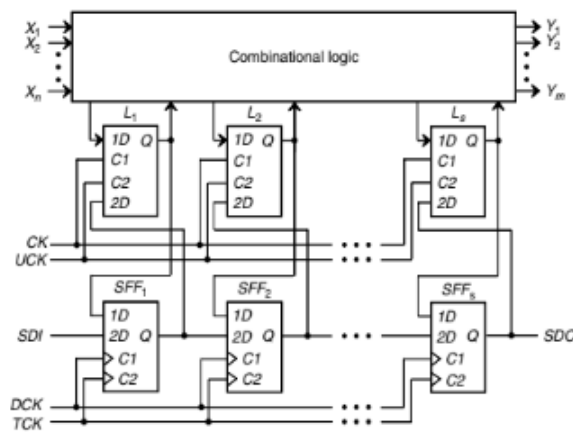


Figura 12: Diagrama de señales de un circuito con Snapshot Scan. Tomado de [1]

Con el circuito diseñado a partir de esta técnica es posible conocer los estados de señales internas de elementos de almacenamiento en cualquier momento sin necesidad de interrumpir la operación funcional del circuito.

Para lograr esto es necesario agregar un SFF especial por cada elemento de almacenamiento de interés, y se conectan esos SFF en cadena para poder extraer la información del estado de ese elemento. Además, se colocan latches de 2 entradas entre las líneas que se encuentran entre los PPO de la lógica combinatorial y las entradas de los elementos de almacenamiento.

Se dice que se utilizan SFF especiales ya que cuentan con 2 señales de reloj, con lo que dependiendo de cual se encuentre en estado alto, el dato de entrada del pin correspondiente será transmitido a la salida.

Los latches son utilizados para poder cargar en la lógica combinatorial en cualquier momento los datos que se encuentran en las salidas de los SFF, esto durante la ejecución de las pruebas; como se menciona anteriormente no es necesario inducir un estado de prueba en el circuito para lograr extraer la información de interés ya que con simplemente inducir

un estado alto en la señal de reloj 1 del SFF se pueden cargar los datos previos a la llegada del flanco positivo de la señal de reloj.

Detallando un poco más, y utilizando como referencia la figura 12, se puede introducir y extraer datos por medio de los SFF y las señales de SDI y SDO utilizando la señal de TCK. Así como los datos pueden ser transferidos a los Latch del sistema (L1, Lx) en paralelo a través de su entradas 2D utilizando UCK. Los datos del sistema pueden ser cargados a los SFF por medio de la entrada 1D y utilizando DCK. El circuito puede operar en modo normal utilizando CK para capturar los valores de la lógica combinatorial en los FF del sistema (Lx).

Lo interesante de esta técnica es cuando se capturan los datos que se encuentran en los FF del sistema, en el los SFF, esto se puede realizar en cualquier momento cuando DCK es aplicado. Seguidamente los datos pueden ser extraídos por medio de SDO.

Una característica de esta técnica es que puede cambiar datos de prueba a los FF del sistema para facilitar el diagnóstico y análisis de fallas cuando se aplica UCK. Su aplicación implica una gran mejora a la observabilidad de nodos que no son de almacenamiento. El mayor problema del uso es el gran aumento de sobrecalentamiento en un área específica del circuito debido al gran cambio de componentes, esto según se comenta en (Wang et al.,2006). Es de esta técnica que se desarrolló la arquitectura llamada LSSD, utilizada frecuentemente en la actualidad.

4.12. Error-Resilient Scan

A pesar que en este proyecto no se va a desarrollar, se va a comentar su funcionamiento mas no es posible comprobarlo debido a su fuerte necesidad de contar con el dispositivo post manufactura para poder determinar la mejora en el diseño, además, del tipo de pruebas físicas a las que debería someterse.

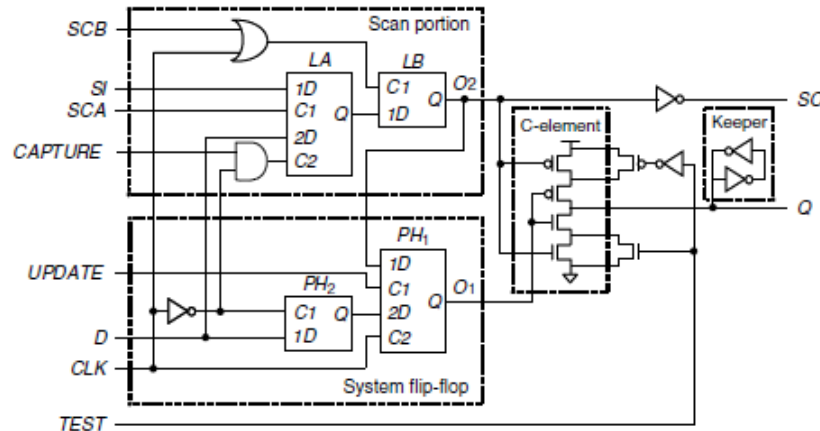


Figura 13: Esquema de celda utilizada para Error-Resilient Scan. Tomado de [1]

Para iniciar hay que introducir el concepto de errores suaves o Soft Errors, los cuales son distorsiones de flancos de las señales internas causadas por diferentes tipos de radiación, como por ejemplo la radiación cósmica que afecta internamente a las memorias e incluso las partículas alpha que se pueden desprender del encapsulado de un chip. Estos problemas comienzan a tomar más importancia en la actualidad debido a la implementación de la tecnología en el rango de los nanómetros y la alta frecuencia de operación.

El desarrollo de esta técnica se da debido al deseo de brindar protección a los chips de posibles cambios repentinos en los datos almacenados o de la deformación del transiente en las entradas de la lógica combinacional del circuito. La mayoría de los errores en la manufactura de un dispositivo se da en la lógica combinacional y los elementos de almacenamiento, con un 60 por cien de los casos; por otro lado, en un 40 por cien de los errores se da en las memorias, (Wang et al.,2006).

Existen 2 modos de operación de este tipo de celda:

- **Operación normal:** Durante esta operación, siempre y cuando se mantenga la señal $\overline{\text{TEST}}$ en cero el elemento C funcionará como un comparador entre las señales de la porción de escaneo y el sistema de flip-flop y retendrá su estado anterior hasta que esas 2 señales sean iguales.

Para poder evitar lo anterior, es necesario mantener en cero las señales SCA, SCB y UPDATE, mientras CAPTURE se mantiene en 1, con ello, basta con operar normalmente la señal CLK para capturar y mantener la ruta de datos normal del circuito.

Además, es en este modo donde se corrige la falla causada por algún soft error, ya que si se da el caso que exista un error en PH2 o LA, O2 y O1 tendrán diferentes valores lógicos por lo que el elemento C mantendrá el estado anterior en la salida. De igual manera ocurre con PH1, PH2, LA y LB la salida Q conservará su estado anterior hasta el siguiente ciclo de reloj, si ya no existe el error.

- **Modo prueba:** En este modo es donde se pueden extraer los datos de los elementos de almacenamiento requeridos y se encuentren dentro de la cadena. Una vez se active en alto la señal TEST se le indica al elemento C, que se puede apreciar en la figura 13, que active el transistor correspondiente y además permita el flujo de datos que provienen del latch LB de la parte de escaneo de la celda. En ese estado se pueden ingresar los vectores de prueba por medio de la entrada SI de LA y las señales SCB y SCA intercaladamente, siempre y cuando la señal CLK y CAPTURE se mantengan en cero.

Una vez finalizado el ingreso de todo el vector de prueba, se procede a enviar un pulso a la señal UPDATE para cargar el vector de datos en la logica combinatorial del DUT.

Seguidamente se induce un estado de captura de datos, durante el cual se almacena la respuesta del circuito ante el vector ingresado anteriormente, para ello se establece un 1 en la señal CAPTURE y se activa la señal CLK para capturar la informacion en PH1, finalmente se intercalan las señales SCA y SCB hasta que se obtengan todos los bits de las celdas en SO.

Capítulo 5

Desarrollo de Solución

En esta sección se presentarán todos los circuitos utilizados durante la totalidad del proyecto. Desde los circuitos base u originales, hasta los diseños resultantes al realizar las modificaciones necesarias para mantener la operación original y la posibilidad de realizar las pruebas que se requieran, según la técnica de DFT que se utilizará.

Se cuenta con un circuito secuencial con el que se trabaja al inicio para poder comprender el funcionamiento de las modificaciones que se requieren implementar para las técnicas de DFT, a ese circuito original se le realizan simulaciones y se obtienen datos de consumo de potencia para poder tener datos bases de comparación cuando se implementen la técnicas ya descritas en secciones anteriores.

Al finalizar el estudio de las técnicas y comprendiendo su funcionamiento con la ayuda de ese circuito de pruebas, se procede a implementar las modificaciones necesarias a un microprocesador seleccionado aleatoriamente, del que no se tiene ningún criterio en especial para seleccionarlo.

Sin embargo, cabe resaltar que la implementación a ese microprocesador es teórica, ya que para poder implementar las técnicas de DFT, como se había mencionado antes, es necesario utilizarlas durante el diseño en sí del circuito, por lo que, al contar con un circuito y diseño ya finalizados, la complejidad de la implementación del DFT es muy alta, debido a que sería necesario estudiar y comprender completamente el comportamiento de todos los bloques que componen el circuito, lo cual requeriría una enorme cantidad de tiempo.

Considerando lo anterior, en este capítulo se detallarán los diseños y funcionamiento de un circuito original de pruebas, su respectivas modificaciones según el Scan Design, el Enhanced Scan y el Snapshot Scan; además de los circuitos de adquisición y generación de señales de control para pruebas del circuito de pruebas modificado con Scan Design, otro para Enhanced Scan y uno finalmente para Snapshot Scan.

De igual manera se muestran las modificaciones realizadas al microprocesador según Scan Design, Enhanced Scan y Snapshot Scan.

Se decide realizar circuitos por aparte de las técnicas y demás, por un tema de simplicidad y desconocimiento de operación del hardware generado por los rediseños. Una vez comprendido su funcionamiento al %100 se puede pensar en un diseño más robusto del circuito de adquisición y generación de señales de control, el cual en un solo circuito contenga todas las técnicas de DFT estudiadas, sin embargo, ese no es el objetivo principal del proyecto.

Se utilizan LEDs para mostrar resultados de pruebas como una versión inicial de detalle de resultados por su facilidad de utilización en HDL y ayuda para determinar de una manera más simple los resultados de las pruebas.

Todos los detalles de simulaciones, datos de potencia y area o elementos necesarios para la implementación, serán tocados en el siguiente capítulo.

5.1. Circuito de pruebas

Como circuito de pruebas iniciales se utiliza el circuito tomado de [3] el cual es un ejemplo de circuitos secuenciales, el mismo se muestra en la figura 14.

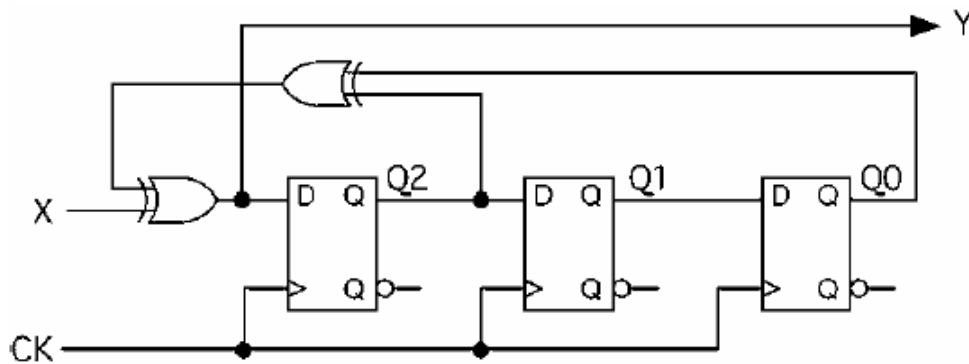


Figura 14: Circuito inicial de pruebas. Tomado de [2]

$$Q2^* = Y = X \oplus Q2 \oplus Q0; \quad Q1^* = Q2; \quad Q0^* = Q1;$$

Q2	Q1	Q0	X=0	X=1	X=0	X=1
0	0	0	000	100	0	1
0	0	1	100	000	1	0
0	1	0	001	101	0	1
0	1	1	101	001	1	0
1	0	0	110	010	1	0
1	0	1	010	110	0	1
1	1	0	111	011	1	0
1	1	1	011	111	0	1

Q2* Q1* Q0*
Y

Figura 15: Tabla de transiciones de circuito de pruebas. Tomado de [2]

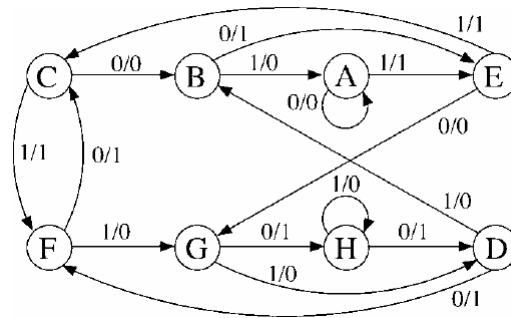


Figura 16: Diagrama de estados de circuito de pruebas. Tomado de [2]

Este circuito consiste en una máquina de estados que tiene 1 entrada "X", y 1 salida "Y", la máquina avanzará entre sus 8 estados dependiendo de su señal de entrada. Su tabla de verdad y este comportamiento se puede ver en la tabla de la figura 15. La primera columna de la tabla indica el estado actual de las salidas de los flip-flop y con ello el estado actual de la máquina; la segunda columna indica el estado al que avanzará la máquina dependiendo del valor de "X"; la tercera columna indica el valor de la salida "Y" dependiendo del valor de "X".

Por ejemplo, en el estado 0, si "X" es igual a 0, se mantendrá el estado 0 y la salida "Y" será igual a 0, por lo contrario, si "X" es igual a 1 la máquina avanzará al estado 4 y la salida "Y" será igual a 1. Estado por estado se puede estudiar cada uno para entender el comportamiento de la máquina de estados.

Se determina el uso de este circuito debido a su simplicidad y al cumplimiento de un requisito primordial, contar con elementos de memoria de los cuales no es posible conocer la posición actual de la máquina, esto incluso conociendo los estados lógicos de su I/O. Es por ello que se requiere modificar el diseño del circuito para poder extraer esa información,

además de verificar su correcta funcionalidad, es decir, que avance al estado correcto y mantenga el valor correcto de la salida cuando se cumpla cierta condición.

Las modificaciones que se le realicen al circuito dependerá de la técnica de DFT a implementar, así como de la información requerida, sin tomar en cuenta que con todas las técnicas de DFT es posible el conocer los estados lógicos internos del circuito.

5.2. Uso de software para prueba de diseños HDL

El software ISE Design Suite cuenta con herramientas disponibles las cuales realizan un trabajo similar a la implementación de las técnicas de DFT. Una de estas herramientas es la aplicación llamada Chipscope Pro, el cual es utilizado para la depuración del código utilizado en la programación de FPGAs, según (Xilinx. UG029 (v14.3) October 16, 2012); con él es posible aplicar vectores de prueba en puntos deseados y ver el resultado de los mismos en las salidas, muy similar al DFT. Según la página web de Xilinx, desarrolladores del software, esta aplicación cuenta con un analizador lógico y diferentes componentes capaces de probar y realizar mediciones de hardware al circuito bajo prueba.

5.2.1. Chipscope Pro

Al implementar el uso del software Chipscope Pro, se crea un core ILA (Integrated Logic Analyzer) el cual brinda ayuda para poder visualizar en un intervalo de tiempo el estado lógico de varios puntos del circuito implementado. A continuación se puede visualizar los bloques que agrega el software para poder realizar la captura de datos del circuito inicial de pruebas.

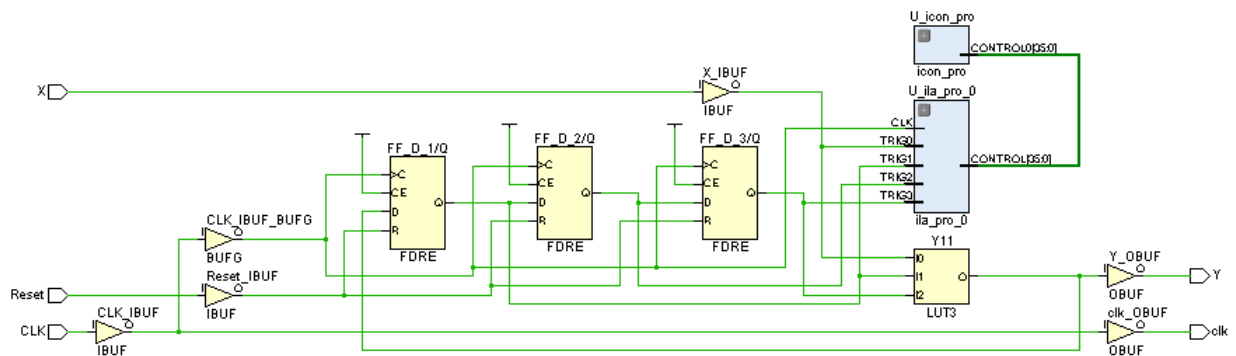


Figura 17: Circuito de pruebas modificado con Chipscope

Como se puede apreciar en la figura 17, los bloques agregados al diseño son U_ila_pro_0 y U_icon_pro los cuales se encargan de realizar la captura de los datos, en este caso, de las salidas de los FF, las cuales indican el estado actual de la máquina de estados.

5.3. Diseño de circuito de adquisición y generación de datos

Se plantea el diseño de un circuito capaz de crear e incorporar al circuito de prueba (DUT, Device Under Test) los vectores de prueba que se le indiquen, así como la adquisición de los datos resultantes de la aplicación de estos vectores. Cabe aclarar que para cada tipo de técnica se tendrá un circuito de control.

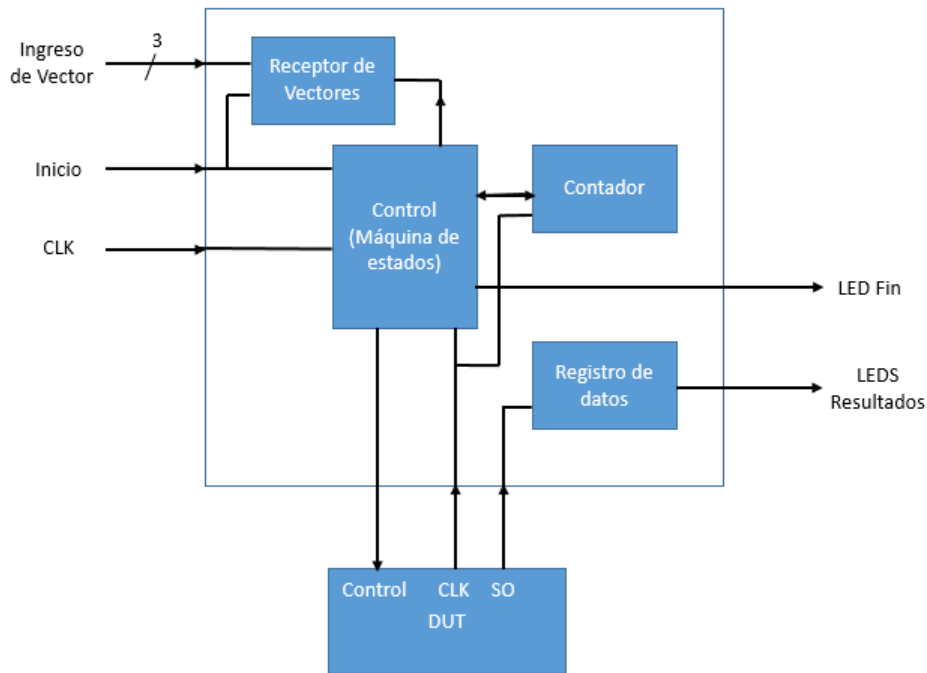


Figura 18: Diagrama de circuito de adquisición y generación de datos.

El diagrama de bloques en el que se basa el diseño del circuito de adquisición utilizado en las diferentes modificaciones del DUT original puede verse en la figura 18, el cual, generalmente está conformado por:

- **Receptor de Vectores:** Se encarga de recibir los vectores de prueba ingresados por el usuario que se utilizarán durante la prueba.
- **Control:** Se trata de una máquina de estados la cual se encarga de realizar en su totalidad todos los pasos necesarios para completar la prueba dependiendo del diseño de DFT utilizado, tareas como la generación de las señales de control (SI, SE, HOLD, etc) del DUT, la cuenta de los bits de los vectores enviados y el traslado de esos vectores de prueba desde el bloque Receptor de Vectores hasta el DUT.
- **Contador:** Se encarga de llevar el registro de los ciclos de reloj que pasan durante la prueba, esto es necesario para que la máquina de estados envíe en el momento correcto los datos de control para poder ingresar los vectores de prueba así como el poder indicarle al registro de datos cuando almacenar datos.

- **Registro de datos:** Es necesario para poder almacenar los resultados después de la prueba tomados del DUT y en este caso mostrar por medio de LEDs el estado actual de la máquina de estados cuando se realizó la carga de los vectores de pruebas.

5.3.1. Circuito de control para Scan Design básico

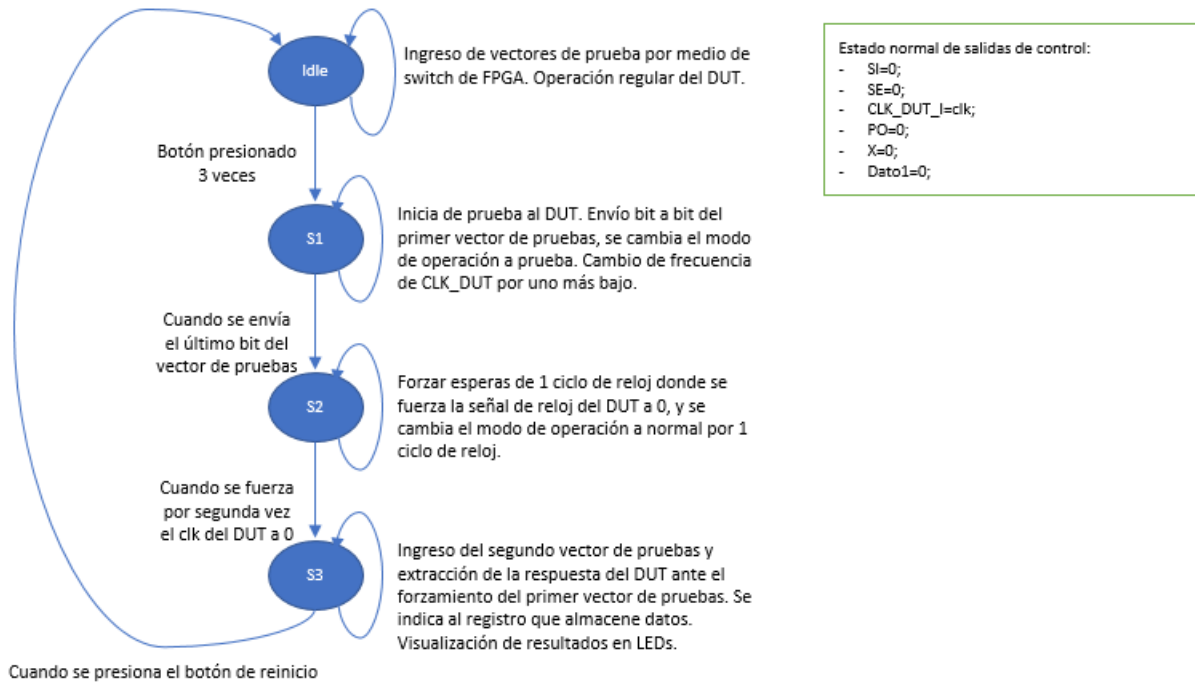


Figura 19: Diagrama de estados de control para Scan Design.

El anterior diagrama de estados describe el comportamiento de la máquina que se encarga de generar las señales de control para el DUT al que se le aplicara la técnica de Scan Design, así como se encarga de indicarle al registro de datos cuando debe iniciar la recolección de datos. Como se puede ver en la figura 19 la máquina normalmente está enviando las señales de control necesarias para que el circuito opere regularmente.

Una vez se desea iniciar la prueba, el usuario debe ingresar el primer vector de prueba por medio de los switch de la FPGA, presiona el pulsador central para indicar el almacenamiento del vector y seguidamente ingresa el segundo vector de prueba con los switch correspondientes, de nuevo, presiona el botón central y automáticamente se inicia la prueba.

Cuando se inicia la prueba, la máquina se encarga de realizar el cambio de señal de reloj al DUT por uno de menor frecuencia y cambia de estado la señal SE a 1. Esto le permite ingresar el vector 1 de prueba por medio de la señal SI, mientras transcurren n ciclos de reloj, donde n es el largo del vector de prueba, es decir, el largo de la cadena de celdas.

Cuando se finaliza el ingreso del vector 1, se le brinda una pausa de un ciclo de reloj al

DUT para que se distribuya correctamente el vector, seguidamente se le envía un pulso de reloj a la vez que se traslada a modo normal. Se realiza otra pausa de un ciclo de reloj para permitir la captura de las PO del DUT.

A continuación se procede a ingresar el segundo vector de pruebas y se realizan los mismos pasos que con el vector 1, a su vez se extraen los resultados generados por el vector anterior. Una vez que se finaliza el ingreso del vector 2, se tiene con certeza que se obtienen los resultados del vector 1, por lo que finaliza la prueba y se procede a indicar visualmente al usuario la finalización.

Los resultados de la prueba se mostrarán al usuario por medio de LEDs en la FPGA, dependiendo de si el largo de la cadena es menor a 16. Los n LEDs se ubicarán en orden de derecha a izquierda dependiendo del largo del vector de prueba, iniciando con el resultado del vector 1 y continuando con el vector 2.

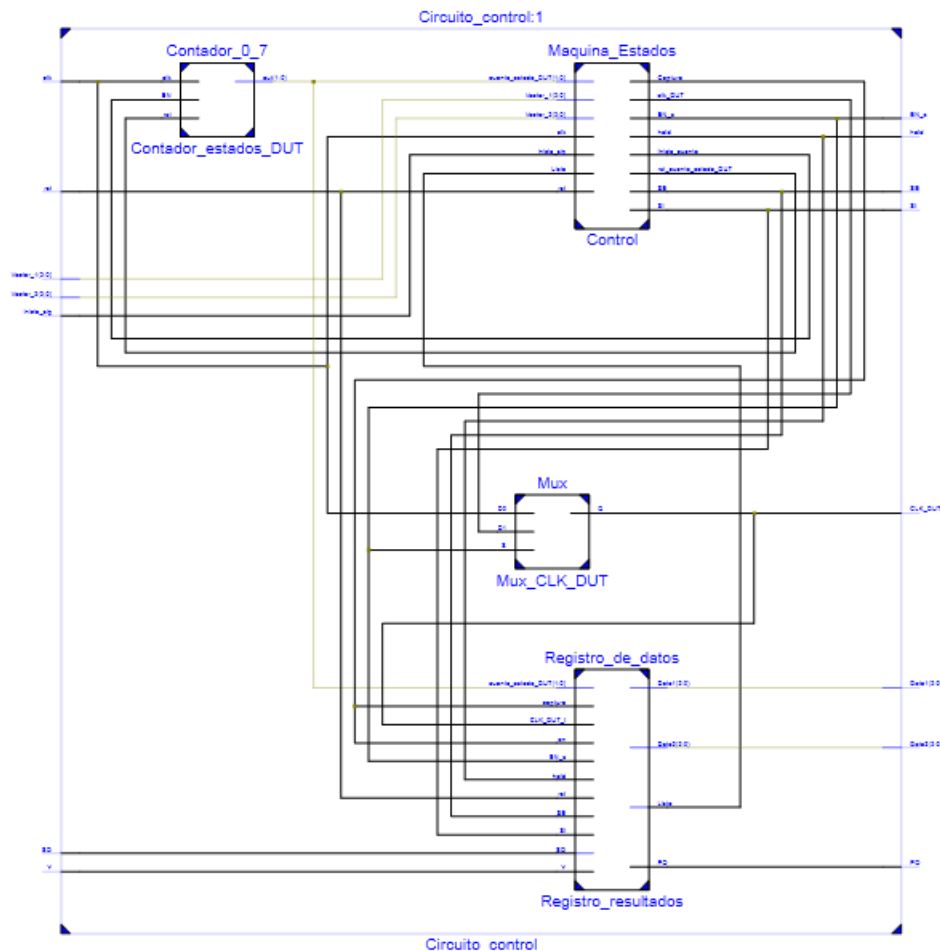


Figura 20: Esquemático de circuito de control para Scan Design.

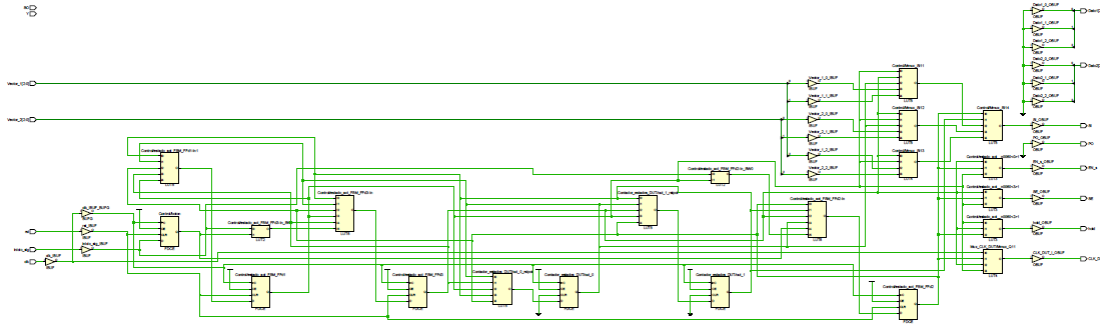


Figura 21: Esquemático Post synthesis de circuito de control para Scan Design.

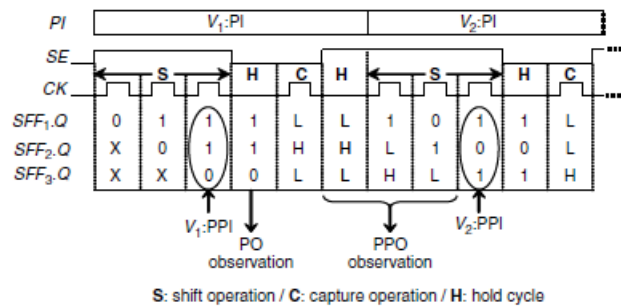


Figura 22: Diagrama de tiempo para pruebas en Scan Design. Tomado de 2

Cuadro 1: Distribución de I/O para circuito de control para Scan Design

Señal	Tipo	Función
inicio_sig	Input	Pulsador para iniciar la prueba
clk	Input	Señal de reloj principal
rst	Input	Señal de reset general
Y	Input	Salida de PO del DUT
SO	Input	Salida de datos de DUT
Vector_1[2:0]	Input	Ingreso de vector de pruebas 1
Vector_2[2:0]	Input	Ingreso de vector de pruebas 2
SI	Output	Entrada de datos de prueba del DUT
SE	Output	Señal de selección de datos del DUT
CLK_DUT_I	Output	Señal de reloj hacia el DUT
PO	Output	Indicador de dato de salida principal del DUT
X	Output	Señal de entrada para DUT
Dato1[2:0]	Output	Bus de datos adquiridos del DUT

Tomando como base el diagrama de bloques de la figura 18 se construye el circuito de la figura 20, para el que se realizan ciertas modificaciones a la maquina de estados principal para poder cumplir con el diagrama de señales de la figura 22, tal y como se detalló anteriormente.

Dentro de los bloques que conforman este circuito se encuentra el contador de estados de DUT, el Registro de resultados, el multiplexor de la señal del CLK del DUT y el control general del circuito de adquisición. Cada uno realiza las funciones descritas anteriormente, con el ligero cambio en la máquina de estados encargada del control, a continuación se mostrarán ciertos detalles del esquemático resultante.

Contador de estados de DUT: Se encarga de contar los ciclos de reloj que han pasado después de ingresar un bit del vector de pruebas, es decir, lleva el control de los bits que se han ingresado al DUT; su salida forma parte de las condiciones de avance de la máquina de estados del control del circuito de adquisición.

Registro de resultados: Este bloque recibe las señales de control del DUT para evaluar los momentos en los que debe almacenar los datos que se muestren en la salida SO. Siempre y cuando se mantenga la señal Enable activa, cada vez que el registro determine la combinación indicada de las señales hold, SE, captura, SI y demás, almacenará los resultados del vector 2 de prueba, ya que es durante el ingreso de los bits del mismo que se pueden capturar los resultados del ingreso del primer vector.

Multiplexor de CLK: Este selector por medio de la señal EN_s permite el ingreso de la señal CLK con la que comúnmente el DUT trabaja, o ingresa la señal de reloj que utiliza el circuito de control para realizar las pruebas.

Control general: Esta máquina de estado se encarga de generar las señales de control para el DUT cuando se active el modo de pruebas, las señales EN_s, SI, SE, Inicia_cuenta, rst_cuenta y Captura son generadas para que el DUT opere normalmente o entre en modo de prueba.

5.3.2. Circuito de control para Enhanced Scan

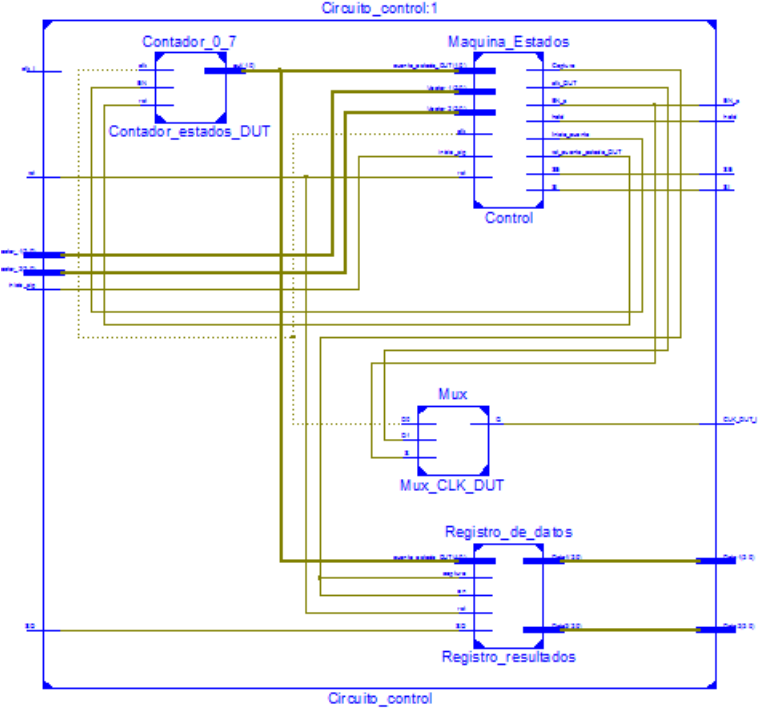


Figura 23: Esquemático de circuito de control para Enhanced Scan.

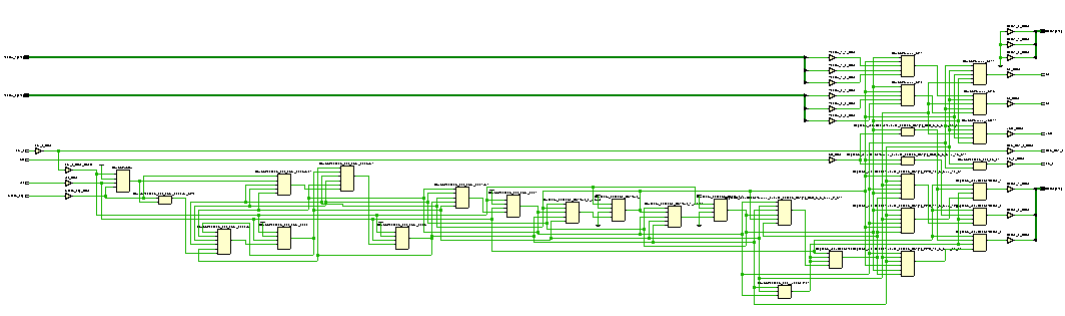


Figura 24: Esquemático Post synthesis de circuito de control para Enhanced Scan.

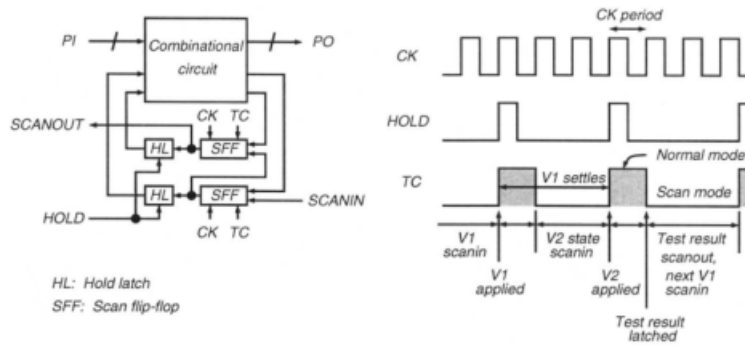


Figure 12.10: Enhanced-scan delay test application to sequential circuit.

Figura 25: Diagrama de tiempo para pruebas en Enhanced Scan. Tomado de 2

Cuadro 2: Distribución de I/O para circuito de control para Enhanced Scan

Señal	Tipo	Función
inicio_sig	Input	Pulsador para iniciar la prueba
clk	Input	Señal de reloj principal
rst	Input	Señal de reset general
Y	Input	Salida de PO del DUT
SO	Input	Salida de datos de DUT
Vector_1[2:0]	Input	Ingreso de vector de pruebas 1
Vector_2[2:0]	Input	Ingreso de vector de pruebas 2
SI	Output	Entrada de datos de prueba del DUT
SE	Output	Señal de selección de datos del DUT
Hold	Output	Señal de carga de datos en el DUT
CLK_DUT_I	Output	Señal de reloj hacia el DUT
PO	Output	Indicador de dato de salida principal del DUT
X	Output	Señal de entrada para DUT
Dato1[2:0]	Output	Bus de datos adquiridos del DUT

Para el caso del diseño del circuito de control para Enhanced Scan de la figura 23 también se toma como base el diagrama de bloques de la figura 18, al cual de igual manera que el circuito de control anterior, se le realizan modificaciones principalmente al bloque que contiene la máquina de estados para obtener el comportamiento esperado cuando se realice la extracción de datos internos del DUT. El resultado de la implementación post-synthesis es el que se puede apreciar en la figura 24, debido a que es difícil apreciar sus componentes, en la sección de Anexos se puede encontrar una versión ampliada del diagrama por si se desea percibir de mejor manera los bloques que lo componen.

Hay que tener especial cuidado con la operación normal de los latches que se colocan a la salida de los SFF, ya que, para que el DUT opere regularmente debe mantenerse en alto la señal de HOLD, y cuando se realicen pruebas debe mantenerse en bajo hasta el punto que sea necesario. Tomando en cuenta esto, se construye la siguiente máquina de estados:

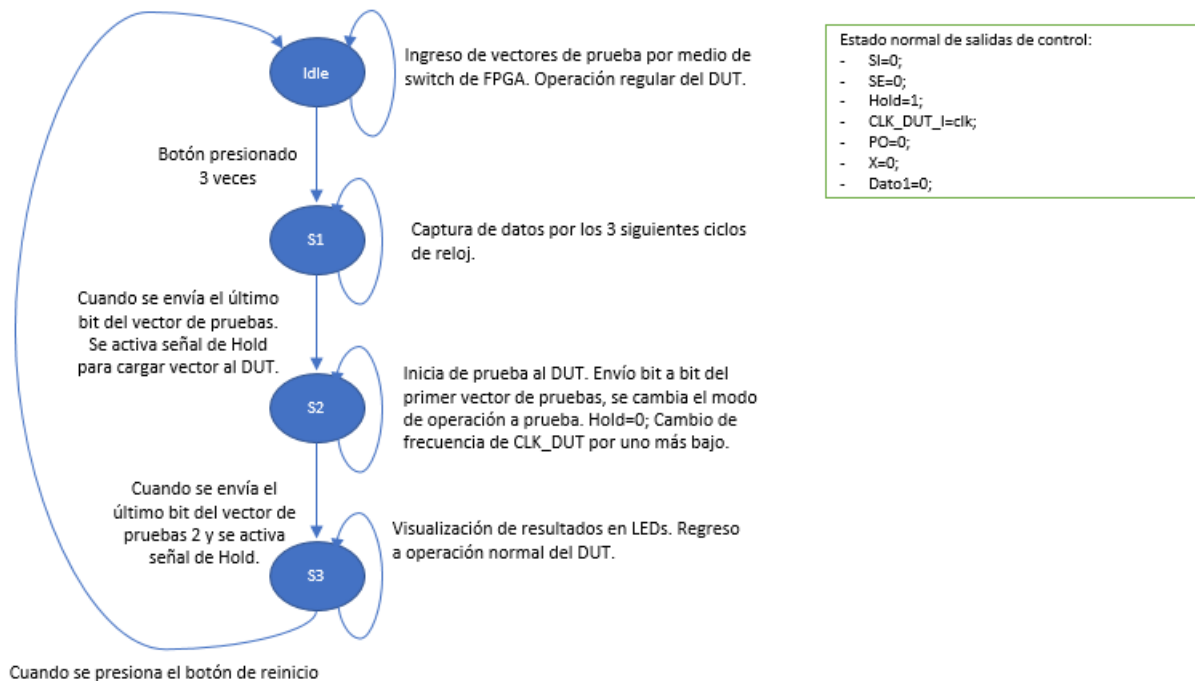


Figura 26: Diagrama de estados de control para Enhanced Scan.

En el diseño de este circuito, al igual que en el utilizado para Scan Design y tomando como guía el diagrama de tiempos de la figura 25, se considera la necesidad de extraer datos del DUT mientras se ingrese el segundo vector de pruebas en la cadena de SFFs, con ello, mientras se está almacenando en los SFF el estado siguiente al que se desea llevar a la máquina, es decir, el vector 2; el circuito estabiliza en su lógica combinatorial las señales que fueron ingresadas con el vector 1 y actualiza de inmediato el estado en el que se encuentra, el cual debe ser el estado consecutivo al vector 1 ingresado. Los bits que conforman el estado de la máquina, son extraídos uno a uno por medio del pin físico SO, cada uno tarda 1 ciclo de reloj del circuito de control. Todo lo anterior se puede visualizar en la máquina de estados de la figura 26.

La secuencia cambiará dependiendo del largo de la cadena de celdas, lo importante es el cumplir con los estados lógicos de las señales de control al inicio del ingreso del vector 1, y al final del ingreso del vector 2.

El diagrama de tiempos de la figura 25 y las tareas de la máquina de estados funcionan básicamente de la siguiente manera; cuando se inicia la prueba, se debe ingresar a la vez el primer bit del vector, Hold=0 y SE=0, cuando se vaya a ingresar el último bit del vector 1, se debe de cambiar Hold=1 para poder realizar la carga correcta del vector 1 a las entradas de la lógica combinatorial (PPI), cuando se regresa a Hold=0 se debe ingresar a la vez el primer bit del vector 2, finalmente cuando se ingresa el último bit del vector 2, se debe de cambiar Hold=1 y mantener hasta este punto y desde el inicio de la prueba a SE=1.

Si se cumple lo anterior se podrá realizar una correcta extracción de datos, si no se logra

ver los datos esperados, se podrá llegar a la conclusión de que existe un retardo en la ruta principal del circuito.

5.3.3. Circuito de control para Snapshot Scan

En las diferentes lecturas consultadas sobre esta técnica no fue posible encontrar en alguna una explicación o interpretación del diagrama en el tiempo de señales de control, necesarias para poder ejecutar las diferentes funciones con las que cuenta el circuito resultante al implementar esta técnica. Debido a esto, fue necesario el realizar muchas pruebas en la simulación para poder establecer un orden correcto de la manipulación de las señales, después de muchas iteraciones se logró determinar el patrón que se mostrará más adelante en la sección de Resultados.

Lo que se quiere decir con lo anterior, es que no se cuenta con un modelo teórico a seguir, por lo que los resultados obtenidos son los esperados en base a las otras técnicas implementadas.

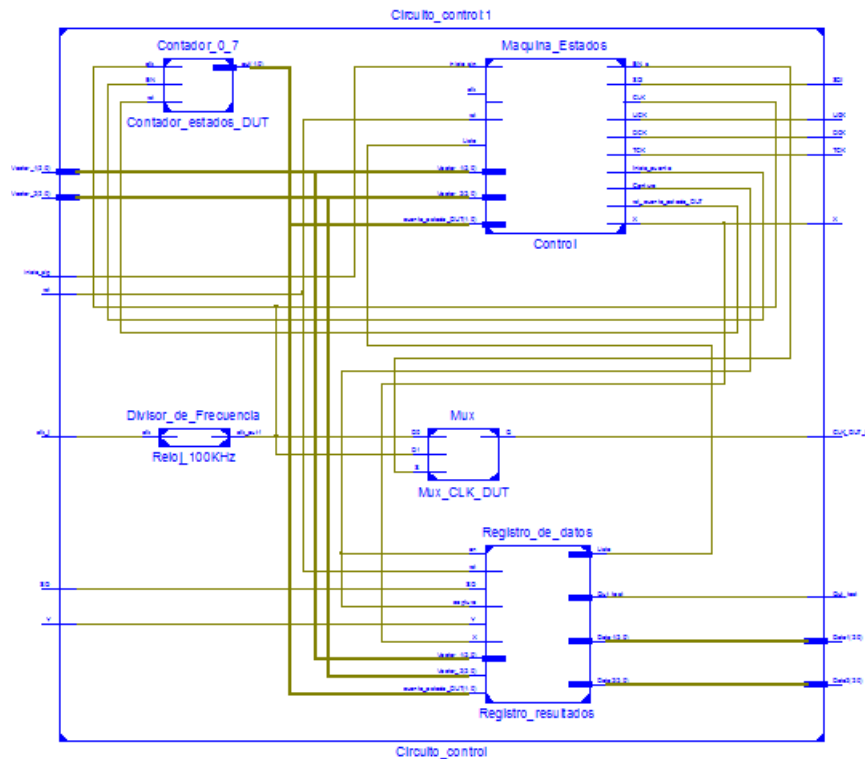


Figura 27: Esquemático de circuito de control para Snapshot Scan.

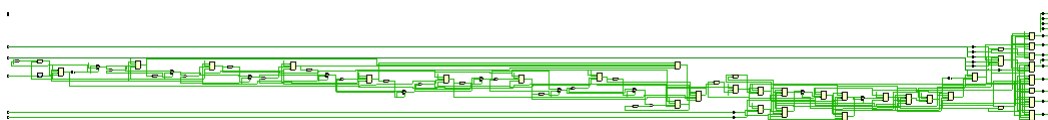


Figura 28: Esquemático Post synthesis de circuito de control para Snapshot Scan.

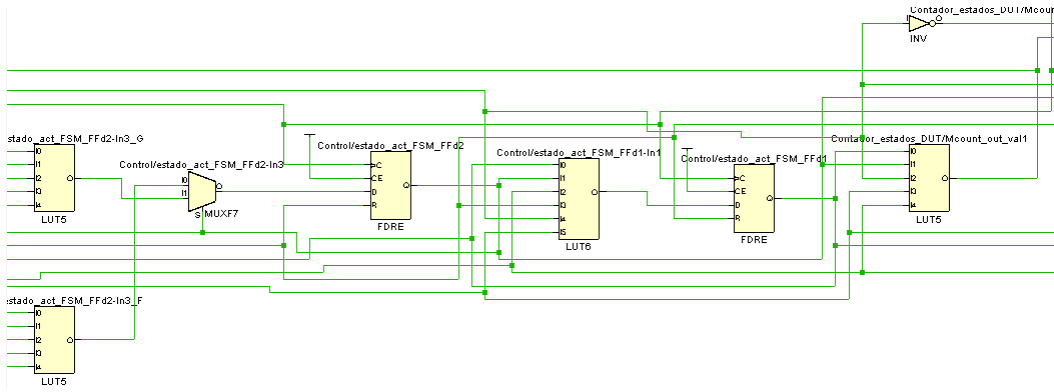


Figura 29: Sección de Esquemático Post synthesis de circuito de control para Snapshot Scan.

Cuadro 3: Distribución de I/O para circuito de control para Snapshot Scan

Señal	Tipo	Función
inicio_sig	Input	Pulsador para iniciar la prueba
clk	Input	Señal de reloj principal
rst	Input	Señal de reset general
Y	Input	Salida de PO del DUT
SDO	Input	Salida de datos de DUT
Vector_1[2:0]	Input	Ingreso de vector de pruebas 1
Vector_2[2:0]	Input	Ingreso de vector de pruebas 2
SDI	Output	Entrada de datos de prueba del DUT
DCK	Output	Señal de captura de datos del DUT
TCK	Output	Señal de ingreso de datos del DUT
UCK	Output	Señal de carga de datos en el DUT
CLK_DUT_I	Output	Señal de reloj principal hacia el DUT
PO	Output	Indicador de dato de salida principal del DUT
X	Output	Señal de entrada para DUT
Dato1[2:0]	Output	Bus de datos adquiridos del DUT

En las figuras 28 y 29 se puede apreciar el esquema post-synthesis del circuito de control diseñado, en la figura figuras 28 es difícil notar todos los componentes del circuito, por lo que se muestra una pequeña sección donde se puede apreciar la carga de estados de la máquina según el estado de alguna señal de control que se encuentra en el multiplexor que se puede apreciar. De igual manera que con los demás circuitos, el diagrama se puede consultar en página completa en la sección de Anexos.

Dentro de las funciones que se plantean implementar en el circuito resultante de la figura 27 por medio de la máquina de estados principal, se encuentra el modo de prueba y el modo normal. En el modo de prueba se encuentran diferentes fases, las mismas de los circuitos anteriores, la primera consiste en la captura del estado en el que se encuentra el circuito previo al inicio de la prueba, la segunda se trata del ingreso del primer vector de prueba, la

siguiente es la carga del vector de prueba al DUT y la última es la adquisición del resultado y su extracción.

El modo de operación normal del circuito es permanente siempre y cuando no se fuerce un estado bajo en la señal de reloj principal CLK, por lo contrario, no importa como se manipulen las demás señales de control.

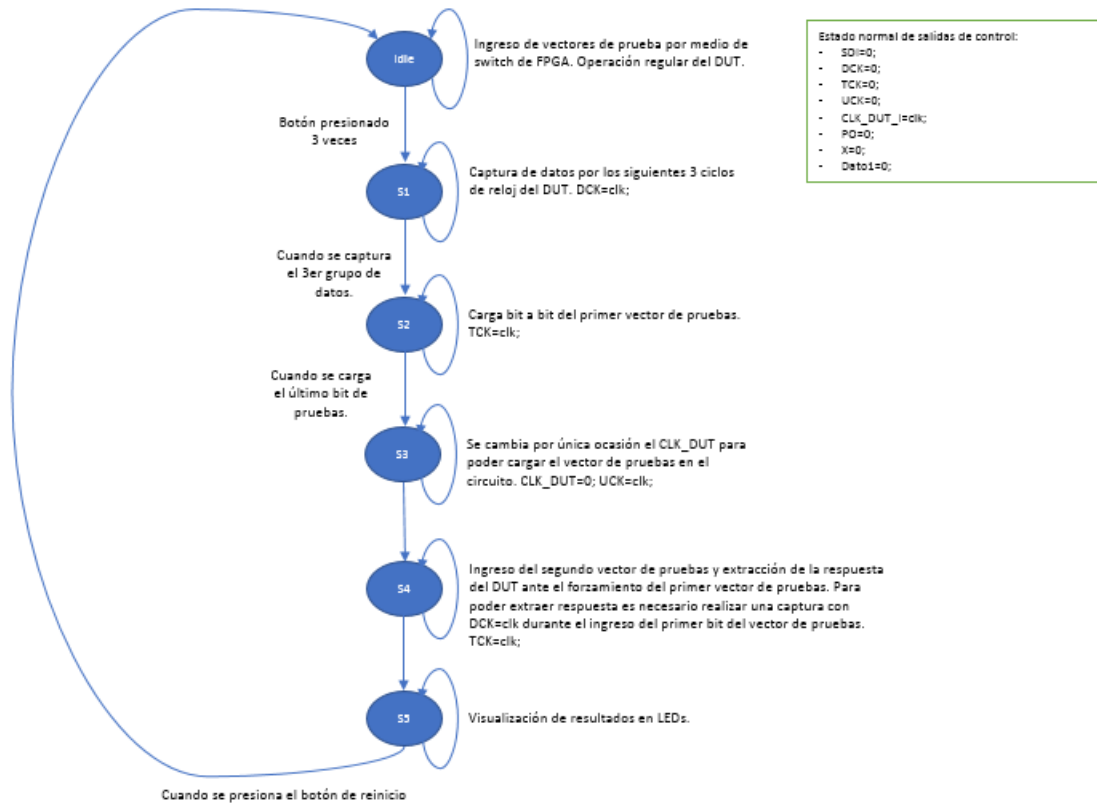


Figura 30: Diagrama de estados de control para Snapshot Scan.

Con el diagrama de estados de la figura 30 se logra establecer el orden de envío de señales de control para conseguir principalmente, extraer los estados lógicos de señales internas de interés, en este caso, las señales de salida de los flip-flop que establecen el paso actual de la máquina de estados.

Los demás bloques que componen el circuito de control se mantienen con las mismas funciones que cumplen en los circuitos de control de las demás técnicas.

Inicialmente se mantiene el envío normal de la señal principal de reloj, se recuerda que la señal de reloj del DUT es enviada desde el circuito de control, una vez se finalice el ingreso de los vectores de prueba, se hace oscilar la señal DCK la cual permite capturar el estado actual del DUT cada ciclo de reloj. Una vez finalizado ese paso, se procede a ingresar bit a bit el vector de pruebas 1 para lo cual se genera un estado alto y bajo en TCK por cada bit. En el siguiente paso, en el que se desea cargar el vector 1 en el DUT, es necesario forzar un

estado cero en la señal CLK a la vez que se aplica un pulso en UCK, esto permite enviar los datos que se encuentran en las entradas 2 de los latches a las entradas de los flip-flop del DUT, esto fuerza el estado deseado una vez se aplique regularmente la señal CLK.

Finalmente, posterior al pulso generado en UCK, se procede a generar un pulso en DCK y TCK a la vez para poder capturar la respuesta al ingreso del vector 1, así como iniciar inmediatamente la extracción de esa respuesta. Se continua con la aplicación de pulsos en TCK para extraer los demás bits.

Mientras se realiza la extracción de señales, la máquina de estados de la figura 30 envía constantemente una señal llamada Captura al bloque Registro de resultados, esto le indica al bloque que debe tomar la señal SO del DUT y asignarla al bit correspondiente en los LEDs de salida del circuito, con lo que, al finalizar la prueba, se tendrá el resultado de la prueba en los LEDs del circuito de control. Con este paso final, el circuito de control regresa a la espera del ingreso de los nuevos vectores de prueba y a su indicación de inicio.

5.4. Circuito de prueba con Scan Design

Se realiza la incorporación de los SFF en el circuito de pruebas, por lo que el diagrama del circuito de la figura 14 cambia al que se muestra en la figura 31.

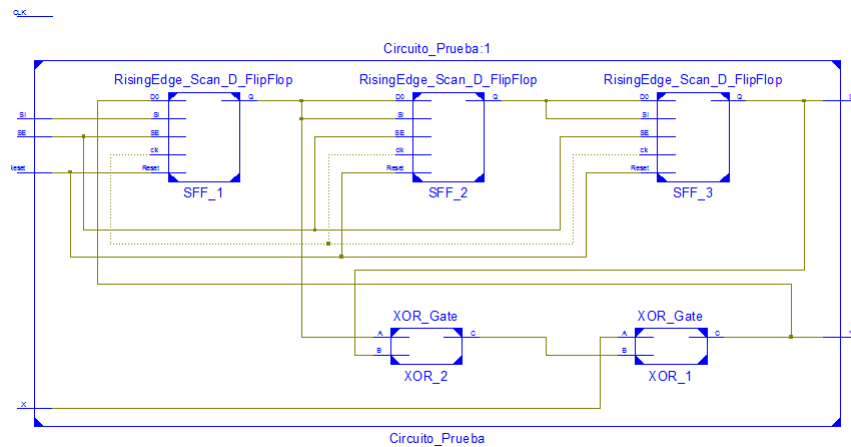


Figura 31: Circuito de pruebas con Scan Design.

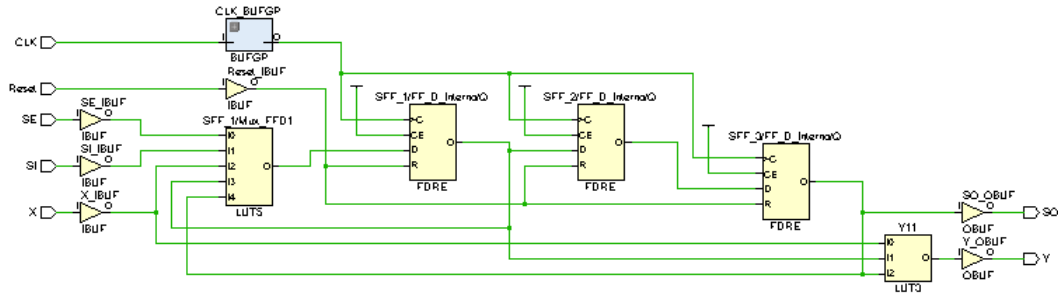


Figura 32: Circuito de pruebas postsynthesis con Scan Design.

Cuadro 4: Distribución de I/O para circuito rediseñado con Scan Design

Señal	Tipo	Función
X	Input	Entrada de control de estados
Reset	Input	Reinicio general
CLK	Input	Señal de reloj principal
SE	Input	Señal de control de datos
SI	Input	Entrada de datos de prueba
SO	Output	Salida de datos en cadena
Y	Output	Salida principal de datos

La única posible Scan Chain es formada por los 3 SFF, conectando la salida de uno en la SI del siguiente, y la SI del primero en un pin físico de entrada, así como la SO del último en un pin físico de salida de la FPGA, además de la adición de la señal SE para indicar al DUT que opere regularmente o en modo de prueba.

5.5. Circuito de Prueba con Enhanced Scan

Se procede a utilizar la técnica de Enhanced Scan, la cual incorpora un latch adicional por cada celda de escaneo. Se tomarán los mismos datos y se realizará la misma prueba para comprobar que tanto aumenta el consumo de potencia en la Nexys.

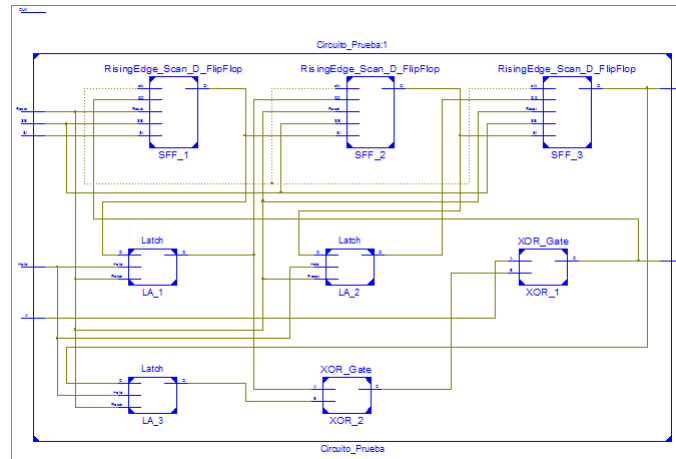


Figura 33: Circuito de pruebas con Enhanced Scan.

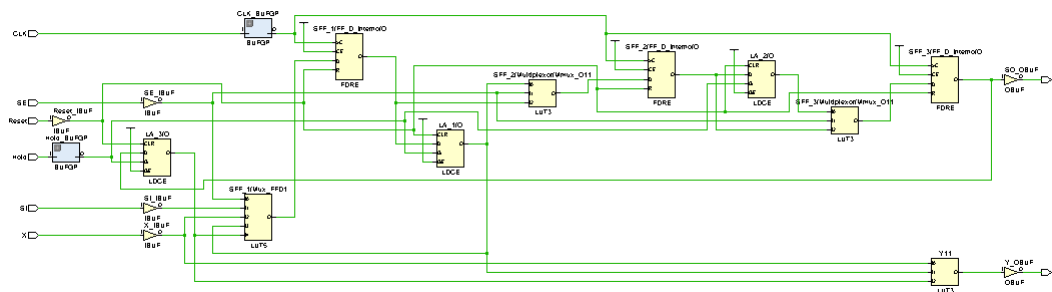


Figura 34: Circuito de pruebas postsynthesis con Enhanced Scan.

Cuadro 5: Distribución de I/O para circuito rediseñado con Enhanced Scan

Señal	Tipo	Función
X	Input	Entrada de control de estados
Reset	Input	Reinicio general
CLK	Input	Señal de reloj principal
SE	Input	Señal de control de datos
SI	Input	Entrada de datos de prueba
Hold	Input	Señal de control de carga de datos de prueba
SO	Output	Salida de datos en cadena
Y	Output	Salida principal de datos

Como se menciona anteriormente, el mayor cambio radica en la adición de un flip-flop D previo al ingreso de los datos a la ruta normal del circuito original, tal y como se puede apreciar en la figura 33. La adición de un latch por cada SFF se debe a la necesidad de poder separar la captura y la extracción de los datos requeridos.

Se estudia el comportamiento del circuito de ejemplo con la incorporación del Enhance Scan Design, se realizan varias pruebas de funcionamiento para lograr obtener los pasos correctos para la extracción de datos, en este caso del estado al que debe ir la máquina después de aplicado el vector 2 de prueba, el estado al que se dirija la máquina depende tanto del vector 2 como de la entrada física X.

5.6. Circuito de Prueba con Snapshot Scan

La implementación de esta técnica consiste en la adición de un latch y un SFF de 2 entradas de datos y 2 señales de CLK o control cada uno, en el circuito original.

Para el circuito de la figura 14 fue necesario intervenir las líneas de comunicación entre las entradas de los flip-flop y la lógica combinacional restante del circuito por medio de los latches de 2 entradas.

Se realiza en este punto ya que, cuando se alcance la etapa de carga del vector de prueba al DUT, si los latches de Snapshot se colocaran en la salida de los flip-flop originales existirían datos atrapados entre la salida de los ff y los latches, lo que, al aplicar de nuevo la señal de reloj normal, se cargaría automáticamente los datos que el circuito mantenía para el siguiente estado, por lo que, la carga del vector de pruebas no tendría efecto alguno.

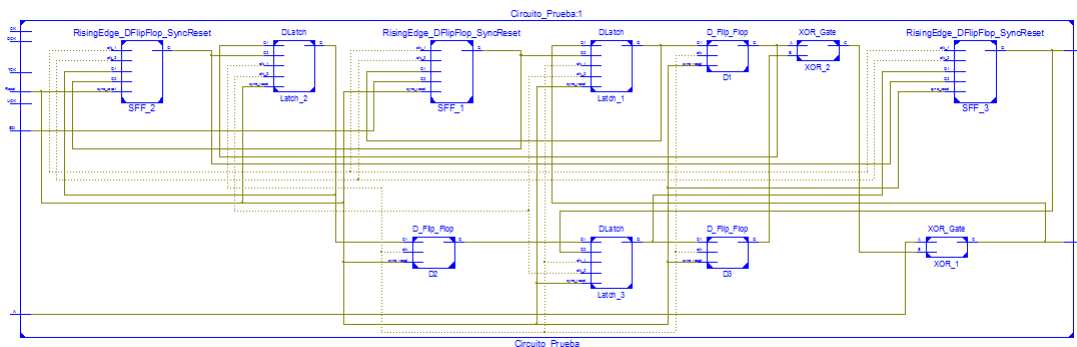


Figura 35: Circuito de pruebas con Snapshot Scan.

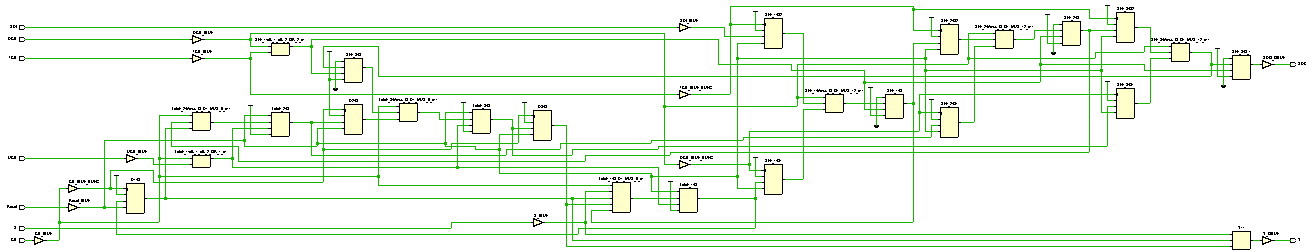


Figura 36: Circuito de pruebas post-synthesis con Snapshot Scan.

Cuadro 6: Distribución de I/O para circuito rediseñado con Snapshot Scan

Señal	Tipo	Función
X	Input	Entrada de control de estados
Reset	Input	Reinicio general
CK	Input	Señal de reloj principal
UCK	Input	Señal de carga de datos de prueba
DCK	Input	Señal de captura de datos
TCK	Input	Señal de envío de datos almacenados
SDI	Input	Entrada de datos de prueba
SDO	Output	Salida de datos en cadena
Y	Output	Salida principal de datos

En la figura 35 se puede verificar la adición de los latches en las entradas de los flip-flop del circuito original, con ellos se podrán capturar en cualquier momento los datos actuales del DUT y cargar un vector de pruebas.

Para poder obtener los resultados deseados, ya sea la captura, ingreso y extracción de datos en el DUT, fue necesario realizar varias simulaciones en las cuales se cambiaban los instantes en los que se enviaban las señales de control UCK, TCK y DCK que permitieran lo mencionado. Sin embargo, en la sección de resultados se mostrarán los diagramas de tiempo obtenidos que satisfacen el cumplimiento de funciones similares a los demás circuitos.

Capítulo 6

Resultados

Para esta etapa del proyecto se utiliza el software de simulación ISIM, el cual forma parte del grupo de aplicaciones de ISE Design Suite, para consultar el modo de operación del mismo, se puede consultar el manual de usuario adjunto [14] (Xilinx. UG660 (v14.1) April 24, 2012). Para la sección de consumo de potencia, se utiliza la aplicación, también de ISE Design Suite, XPower Analyzer, cuyo manual de usuario se adjunta [6] (UG440 (v2013.3/14.7) Octubre 2, 2013).

6.1. Circuito de pruebas

6.1.1. Simulación

A continuación se procede a simular el comportamiento del circuito de la figura 14 para verificar la veracidad de la tabla de la figura 15, se comprueba que el circuito inicia en el estado 0 y una vez se cambie el estado lógico de la entrada "X", en ciertos instantes, la máquina variará el valor lógico de la salida "Y", hasta que regrese al estado inicial y se mantenga en el mismo.

La máquina salta en sus diferentes estados en el siguiente orden para lograr lo anterior, 0-4-2-1-0, por lo que la salida Y variará según lo que se indica en la tabla de la figura 15, tal y como se puede comprobar en la gráfica de la figura 37.

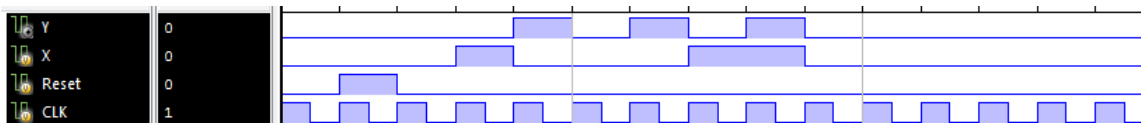


Figura 37: Simulación de circuito de pruebas en FPGA

6.1.2. Consumo de potencia

A continuación se muestra el consumo de potencia de este circuito en la FPGA.

Device		On-Chip	Power (W)	Used	Available	Utilization (%)	Supply Summary		Total	Dynamic	Quiescent	
Family	Artix7	Clocks	0.001	1	---	---	Source	Voltage	Current (A)	Current (A)	Current (A)	
Part	xc7a100t	Logic	0.000	2	63400	0	Vccint	1.000	0.018	0.001	0.017	
Package	csg324	Signals	0.000	6	---	---	Vccaux	1.800	0.013	0.000	0.013	
Temp Grade	Commercial	I/Os	0.004	4	210	2	Vcco33	3.300	0.005	0.001	0.004	
Process	Typical	Leakage	0.088				Vccbram	1.000	0.000	0.000	0.000	
Speed Grade	-1	Total	0.093				Vccadc	1.710	0.020	0.000	0.020	
Environment		Thermal Properties			Effective TJA	Max Ambient	Junction Temp	Supply Power (W)		Total	Dynamic	Quiescent
Ambient Temp (C)	25.0			(C/W)	(C)	(C)				0.093	0.005	0.088
Use custom TJA?	No		4.6		84.6	25.4						
Custom TJA (C/W)	NA											
Airflow (LFM)	250											
Heat Sink	Medium Profile											
Custom TSA (C/W)	NA											
Board Selection	Medium (10"x10")											
# of Board Layers	12 to 15											
Custom TJB (C/W)	NA											
Board Temperature (C)	NA											

Figura 38: Consumo de potencia de circuito de pruebas en FPGA

En la figura 38 se puede ver que el consumo es de 0.093 W, este será el dato de comparación a seguir con los demás diseños. Además se obtiene los recursos físicos de la FPGA utilizados para crear el circuito, dentro de los cuales se encuentran 1 señal de reloj, 2 bloques lógicos, 6 señales internas y 4 entradas-salidas; estos datos funcionarán como objeto de comparación contra los circuitos rediseñados.

6.2. Circuito de pruebas con ChipScope

6.2.1. Simulación de circuito creado con ChipScope



Figura 39: Simulación de circuito de pruebas al incorporar ChipScope.

Se procede a simular el comportamiento del circuito cuando se utiliza esta herramienta, utilizando las mismas condiciones de simulación que el circuito previo, se mantiene la variación de la señal X para lograr el inicio en el estado 0 y el final de la prueba en el mismo estado, esto pasando entre los estados 4-2-1, los resultados se pueden apreciar en la figura 39. Como se puede ver el comportamiento del circuito es el mismo, no hay ningún cambio respecto a las simulaciones realizadas en la sección anterior.

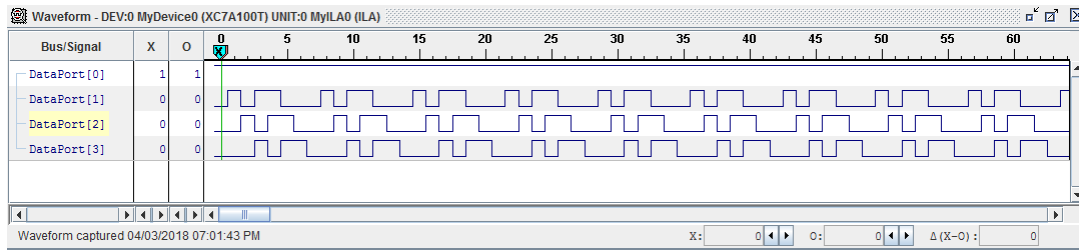


Figura 40: Señales de salidas de flip-flops de circuito de pruebas al incorporar Chipscope.

Chipscope cuenta con su propio graficador de señales el cual se puede ver en la figura 40, las señales llamadas DataPort[1,3] se refieren a las salidas de los FF 1,2 y 3 correspondientemente, es decir, el estado actual de la máquina. Se recuerda que, los estados a los que puede acceder esta máquina y su salida correspondiente depende del valor lógico de su entrada "X".

En la prueba realizada se mantiene siempre en 1 la entrada "X", por lo que la máquina saltará infinitamente entre sus estados o hasta que se cambie el estado lógico de la entrada. Se puede apreciar en código binario y de arriba hacia abajo, con el MSB arriba, el estado actual y como salta entre 0-4-2-5-6-3-1-0 infinitamente.

6.2.2. Consumo de potencia

A continuación se muestra el consumo de potencia que requiere el circuito una vez implementados los bloques creados por Chipscope.

Device		On-Chip Power (W)				Supply Summary				
		Clocks	Logic	Signals	BRAMs	IOs	Leakage	Total	Dynamic	Quiescent
Family	Artix7	0.003	4	---	---	---	---	1.000	0.022	0.005
Part	xc7a100t	0.000	240	63400	0	---	---	1.800	0.014	0.001
Package	csg324	0.000	441	---	---	---	---	3.300	0.010	0.006
Temp Grade	Commercial	0.001	5	---	---	---	---	1.000	0.000	0.000
Process	Typical	0.021	5	210	2	---	---	1.710	0.020	0.000
Speed Grade	-1	0.088	---	---	---	---	---	---	---	---
		Total	0.115	---	---	---	---	---	---	---
Environment		Thermal Properties				Supply Power (W)				
Ambient Temp (C)	25.0	Effective TjA	Max Ambient	Junction Temp	Total	Dynamic	Quiescent			
Use custom TjA?	No	(C/W)	(C)	(C)	0.115	0.027	0.088			
Custom TjA (C/W)	NA	4.6	84.5	25.5						
Airflow (LFM)	250									
Heat Sink	Medium Profile									
Custom TjSA (C/W)	NA									
Board Selection	Medium (10"x10")									
# of Board Layers	12 to 15									
Custom TjB (C/W)	NA									
Board Temperature (C)	NA									

Figura 41: Consumo de potencia de circuito de pruebas al incorporar Chipscope.

Como se puede apreciar en la figura 41 el consumo de este circuito es bastante más alto que el circuito original, lo que sugiere que existirá un mayor calentamiento de elementos durante la operación normal del circuito, incluso considerando que no todos los elementos que forman parte del total agregado por ChipScope operan durante ese estado.

El software determina que existe un consumo máximo de 0.115 W, es decir, un 23 % más de potencia que debe disipar la FPGA. En lo que respecta al área que ocupara el circuito se debe decir que en comparación al circuito original se incrementa de manera considerable los recursos necesarios, se requieren 4 señales de reloj, 240 bloques lógicos, 441 señales internas y 5 pines I/O.

6.3. Circuito de control para Scan Design

6.3.1. Simulación

A continuación se muestra una gráfica que contiene las señales necesarias para operar normalmente, ingresar vectores de prueba y extraer la respuesta del circuito de prueba debido a esos vectores; estas señales son generadas y controladas por la máquina de estados de la figura 19 para cumplir con el diagrama de tiempos de la figura 22 la cual asegura la correcta extracción de la respuesta del DUT.

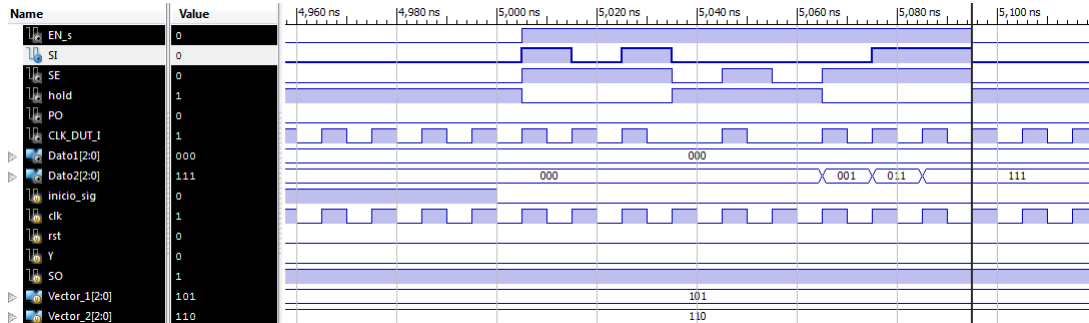


Figura 42: Simulación de circuito de control para Scan Design.

Como se puede observar en el diagrama de tiempos anterior, a partir de aproximadamente los 5000 ns se inicia la prueba en el DUT y se cumple al pie de la letra lo indicado en el diagrama de la figura 22, la espera después del ingreso del vector 1 y la espera posterior al regreso a operación normal del circuito son parte de las características que se pueden notar.

Además, se puede ver como cerca de los 5060 ns se inicia la extracción de datos del DUT y se almacenan y ubican con éxito en la salida del circuito de control, en este caso se supone una respuesta de un vector de 1's en la salida SO, por lo que el circuito de control almacena el mismo en Dato2.

6.3.2. Consumo de potencia

En la siguiente figura se muestran los datos brindados por XPower Analyzer de ISE Design Suite para este circuito.

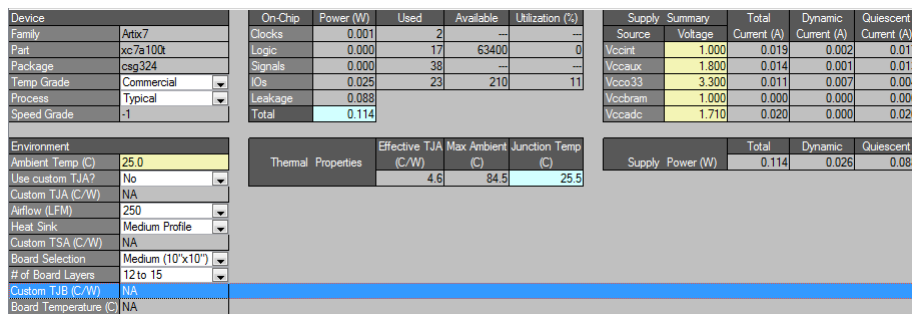


Figura 43: Consumo de potencia de circuito de control para Scan Design.

El consumo de potencia de este circuito es muy similar al requerido por el circuito de pruebas modificado por ChipScope, sin embargo no existe relación entre uno y el otro. Los 0.114 W que consume este circuito será la base para comprobar que tanto más consumen los demás circuitos de control para poder realizar las funciones necesarias para llevar a cabo las pruebas en los DUT modificados.

En lo que área respecta, se toman como base de comparación los siguientes datos, 2 señales de reloj, 17 bloques lógicos, 38 señales internas y 23 señales de I/O.

6.4. Circuito de control para Enhanced Scan

6.4.1. Simulación

En el caso de este circuito de control se debe cumplir con el diagrama de tiempos teórico de la figura 25 utilizando la máquina de estados de la figura 26. Cabe destacar que en este caso se planea utilizar las 2 salidas Dato1 y Dato2 para almacenar la respuesta de 2 vectores de prueba, por lo que es necesario ingresar 4 vectores de prueba según lo requerido en el diagrama de tiempos de la figura 25; es de esperar que debido a la mayor cantidad de pasos que debe realizar la máquina de estados el consumo de potencia sea mayor en comparación al circuito de control del Scan Design.

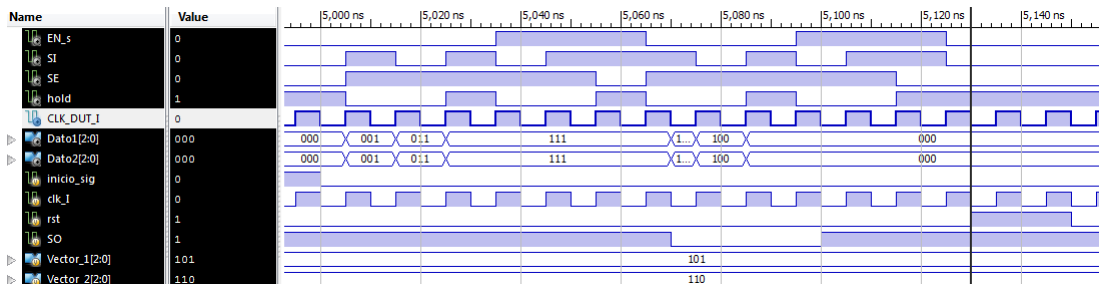


Figura 44: Diagrama de señales para circuito de control de Enhanced Scan. Tomado de 2

En la figura anterior se puede observar como cerca de los 5000 ns se inicia con la prueba y se almacenan los datos actuales del circuito, es decir, mientras se ingresa el vector de pruebas 1 se extrae información del estado en el que se encontraba el circuito por medio de la señal SO, que para efectos de simulación se mantiene en 1.

Según el diagrama de la figura 25 los resultados de las pruebas utilizando este circuito se dan durante el ingreso del primer vector de prueba del par de vectores utilizados posteriormente. Es decir, para poder validar los resultados de un par de vectores de prueba, se necesitan 4 vectores, de los cuales inicialmente serán necesarios 3, ya que cuando se continúan agregando vectores de prueba, por cada uno que se ingrese el resultado de su aplicación será observado en el ingreso del siguiente vector.

Para esta simulación se utilizan 4 vectores de prueba, como se menciona anteriormente el ingreso del primer vector permite el almacenamiento del estado de las señales del DUT

previo al inicio de la prueba. Seguidamente cerca de los 5030 ns se ingresa el segundo vector de pruebas del cual se almacenarán los datos durante el ingreso del vector 3 de pruebas, cerca de los 5050 ns.

Recordando una diferencia notable de este circuito con respecto al Scan Design, la señal HOLD es activada durante la operación regular del circuito (continuamente antes y después de las pruebas) y cada vez que se finaliza el ingreso de un vector de pruebas para cargarlo en la lógica combinacional, en la figura 44 se puede apreciar lo anterior claramente.

6.4.2. Consumo de potencia

A continuación se muestran los datos de consumo de potencia y recursos necesarios de la FPGA para implementar el circuito de control:

Device		On-Chip	Power (W)	Used	Available	Utilization (%)	Supply Summary		Total	Dynamic	Quiescent		
Family	Part	Clocks					Source	Voltage	Current (A)	Current (A)	Current (A)		
Artix7	xc7a100t	Logic	0.001	4	63400	0	Vccint	1.000	0.018	0.002	0.017		
Package	esp324	Signals	0.000	34	—	—	Vccaux	1.800	0.014	0.001	0.013		
Temp Grade	Commercial	I/Os	0.031	21	210	10	Vccio33	3.300	0.013	0.009	0.004		
Process	Typical	Leakage	0.088	—	—	—	Vccbram	1.000	0.000	0.000	0.000		
Speed Grade	3	Total	0.121	—	—	—	Vccadc	1.710	0.020	0.000	0.020		
Environment		Thermal Properties				Effective TJA	Max Ambient	Junction Temp	Supply Power (W)		Total	Dynamic	Quiescent
Ambient Temp (C)	25.0	(C/W)	4.6	(C)	84.4	(C)	25.6	Total	0.121	0.033	0.088		
Use custom TJA?	No												
Custom TJA (C/W)	NA												
Airflow (LFM)	250												
Heat Sink	Medium Profile												
Custom TSA (C/W)	NA												
Board Selection	Medium (10"x10")												
# of Board Layers	12 to 15												
Custom TJB (C/W)	NA												
Board Temperature (C)	NA												

Figura 45: Consumo de potencia de circuito de control para Enhanced Scan.

Como se menciona anteriormente, ya que la máquina de estados del control debe realizar más funciones su consumo de potencia será mayor, tal y como se puede ver en la figura 45 su consumo total es de 0.121 W, claramente, es mayor al circuito de control del Scan Design debido a la mayor cantidad de operaciones que debe realizar, sin embargo tomando esto en cuenta el consumo de potencia es de un 6% más.

En el caso de los recursos se puede ver que son muy similares a los necesarios para implementar el circuito de control anterior. Son necesarios 4 señales de reloj, 18 bloques lógicos, 34 señales internas y 21 señales de I/O. Es decir se necesitan 2 señales de reloj, 1 bloque lógico, 4 señales internas menos y 2 señales de I/O de más para poder construir este circuito de control.

6.5. Circuito de control con Snapshot

6.5.1. Simulación

A continuación se presenta el diagrama de señales en el tiempo necesarias para poder realizar las funciones requeridas. Estas señales son generadas por la máquina de estados de la figura 30. Como se indica en otras secciones, este diagrama de tiempos es adquirido después de realizar diferentes pruebas con el circuito al que se le implementó la técnica de Snapshot. En dichas pruebas se simulaba el envío de las señales en cierto orden, si no se obtenía el comportamiento esperado, se cambiaba el orden y tiempos de envío de las señales.

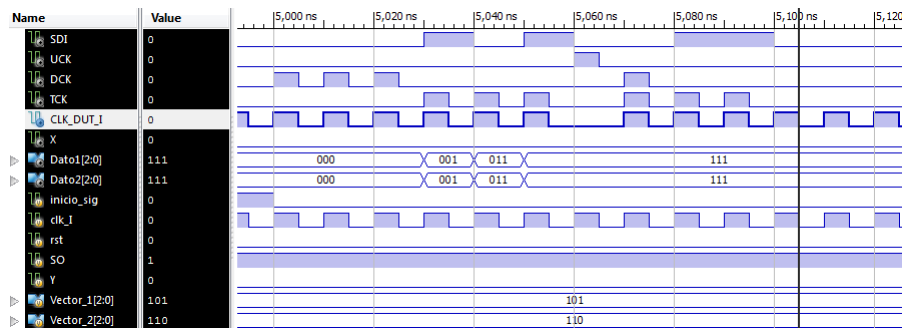


Figura 46: Diagrama de tiempos de señales de control para Snapshot Scan.

En el diagrama de la figura 46 se puede ver como cerca de los 5ns se inicia la captura de los datos con la generación de pulsos en la señal DCK, lo que implica que cada pulso transfiere un vector de datos desde los latches hasta las salidas de los SFF.

Seguidamente cuando se finaliza la captura de datos, se procede a ingresar el primer vector de pruebas por medio de SDI y la variación del estado lógico de TCK. Una vez se finaliza el ingreso del vector de prueba es necesario forzar un estado de cero en la señal CLK, de lo contrario, la lógica interna del latch permitirá que los datos que corresponden a la lógica combinatorial del DUT sean transferidos, lo que eliminará el efecto del pulso que se debe aplicar en UCK para poder cargar es estados deseado.

Después de aplicar el pulso de UCK, cerca de los 5.060ns, se inicia la captura de la respuesta del circuito ante el vector, en el caso de este circuito es necesario capturar el resultado e iniciar la extracción del mismo a la vez para reducir el tiempo de extracción. Mientras se extraen los datos por medio de SDO se puede ingresar el siguiente vector de pruebas, es decir, si se planea ingresar diferentes vectores de pruebas, es posible ingresar uno, aplicar el pulso de UCK, y mientras se ingresa el siguiente vector, se extrae el resultado de la prueba anterior.

Nótese como los datos que se encuentran en SO, es decir, la salida del último SFF del DUT, son almacenados en el vector Dato1, el cual es el enviado a los LEDs de la FPGA, mientras se realiza el ingreso del vector 1 de pruebas, cerca de los 5.030ns.

6.5.2. Consumo de potencia

En la siguiente figura se muestra el consumo de potencia brindado por el analizador de ISE Design Suite.

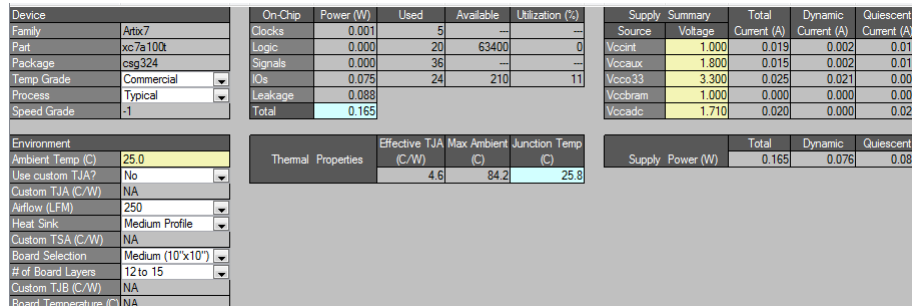


Figura 47: Consumo de potencia de circuito de control para Snapshot Scan.

En la figura 47 se encuentran los datos tomados por ISE Design Suite, entre ellos se puede ver que el consumo total del circuito es de 0.165 W, lo que lo convierte en el circuito de control con mayor consumo. Entre los recursos consumidos se encuentran 5 señales de reloj, 20 bloques lógicos, 36 señales internas y 24 señales de I/O.

6.6. Circuito de pruebas con Scan Design

6.6.1. Simulación

A continuación se muestra el diagrama de señales de una simulación realizada al circuito de pruebas rediseñado con Scan Design:

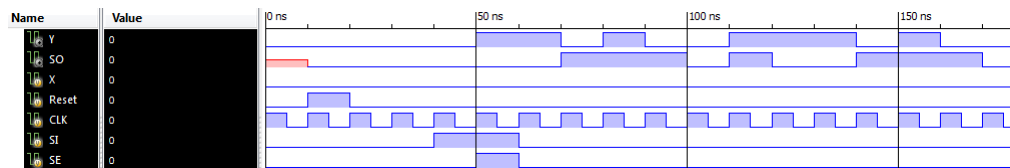


Figura 48: Simulación de circuito de pruebas con Scan Design.

Utilizando este nuevo diseño se procede a realizar la prueba al circuito, se fuerza el estado correspondiente con el vector de prueba 100, el cual fuerza el estado número 4 de la máquina, una vez realizado esto, es de esperar que la máquina cumpla con el comportamiento descrito en la figura 15, donde se espera que junto a la entrada física "X", en cero, salte entre los estados 4,6,7,3,5,2,1,4,etc.

Para reconocer el cumplimiento de lo anterior es necesario ubicarse a los 50ns de la figura 48 donde se finaliza el ingreso del vector 100, tomando en cuenta ese periodo de reloj y los siguientes 2, se puede formar el vector 100 siguiendo la señal SO iniciando en 50ns con el LSB.

Otro ejemplo se puede notar en los 55 ns, donde según la tabla de comportamiento el circuito debe ubicarse en el estado 110, lo que se puede comprobar a partir de ese ciclo de reloj y los siguientes 2 ciclos, donde en SO se puede apreciar la formación en esos 3 ciclos de 110.

6.6.2. Consumo de potencia

A continuación se muestran los datos de consumo de potencia y recursos necesarios para implementar el Scan Design en el circuito de pruebas:

Device		On-Chip	Power (W)	Used	Available	Utilization (%)	Supply Summary						
Family	Artix7	Clocks	0.001	1	---	---	Source	Voltage	Total Current (A)	Dynamic Current (A)	Quiescent Current (A)		
Part	xc7a100t	Logic	0.000	2	63400	0	Vccint	1.000	0.018	0.001	0.017		
Package	csg324	Signals	0.000	8	---	---	Vccaux	1.800	0.013	0.000	0.013		
Temp Grade	Commercial	I/Os	0.006	7	210	3	Vcco33	3.300	0.006	0.002	0.004		
Process	Typical	Leakage	0.088	---	---	---	Vccbram	1.000	0.000	0.000	0.000		
Speed Grade	-1	Total	0.095	---	---	---	Vccadc	1.710	0.020	0.000	0.020		
Environment		Thermal Properties		Effective TJA	Max Ambient	Junction Temp	Supply Power (W)						
Ambient Temp (C)	25.0	(C/W)		(C)	(C)	(C)	Total	Dynamic	Quiescent				
Use custom TJA?	No		4.6	84.6	25.4		0.095	0.007	0.088				
Custom TJA (C/W)	NA												
Airflow (LFM)	250												
Heat Sink	Medium Profile												
Custom TSA (C/W)	NA												
Board Selection	Medium (10"x10")												
# of Board Layers	12 to 15												
Custom TJB (C/W)	NA												
Board Temperature (C)	NA												

Figura 49: Consumo de circuito de pruebas con Scan Design.

En la figura 49 se puede apreciar que el consumo de potencia y el área ocupada por el circuito no es mucho mayor al consumo que se tiene sin aplicar el Scan Design, pero si es considerablemente menor al consumo que se da cuando se utiliza Chipscope.

Se cuenta con un consumo de 0.095 W, es decir un 0.2% más que el circuito original. Se requiere 1 señal de reloj, 2 bloques lógicos, 8 señales internas y 7 señales de I/O. En comparación con el circuito original se necesitan 2 señales internas y 3 señales de I/O más que el circuito original para poder operar regularmente.

6.6.3. Señales obtenidas de FPGA

A continuación se mostrarán las señales adquiridas por medio de un osciloscopio Tektronix TDS-220 de dos entradas el cual se programa para adquirir datos de 2 señales a partir del pulso de una.

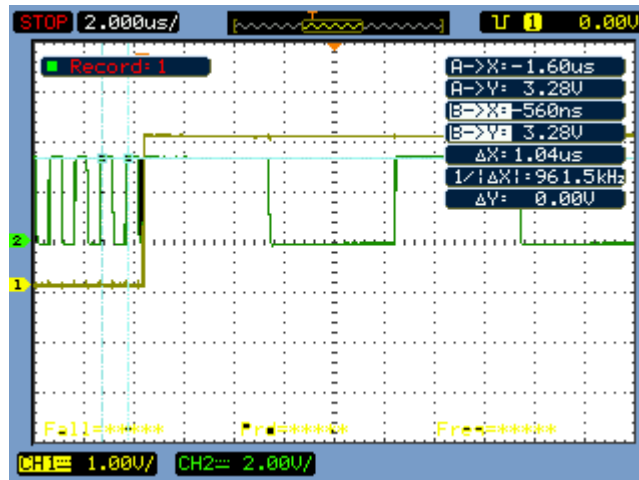


Figura 50: Señal de reloj 1MHz para circuito con Scan Design.

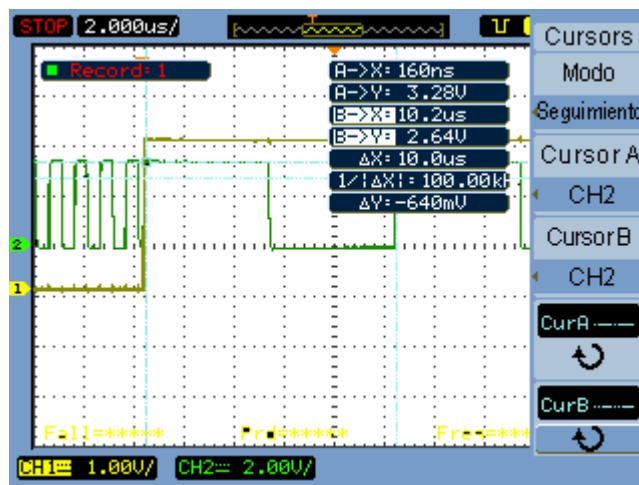


Figura 51: Señal de reloj 100 KHz para circuito con Scan Design.

En la figura 50 muestra la señal de reloj regular (1-verde) con la que opera el DUT, una vez se inicia la prueba el circuito de control cambia la señal de reloj enviada al DUT por la que se muestra en 51 con frecuencia más baja, esto se realiza por una recomendación dada en [1] (Wang, et al.,2006) para reducir el calentamiento en el DUT. La señal que se utiliza como disparador es SE (2-verde musgo), la cual indica al DUT que datos debe cargar, si los enviados por medio de la entrada SI o los de su ruta regular. Como se puede apreciar el cambio de la señal de reloj es efectiva, lo que indica el correcto funcionamiento del circuito de control.

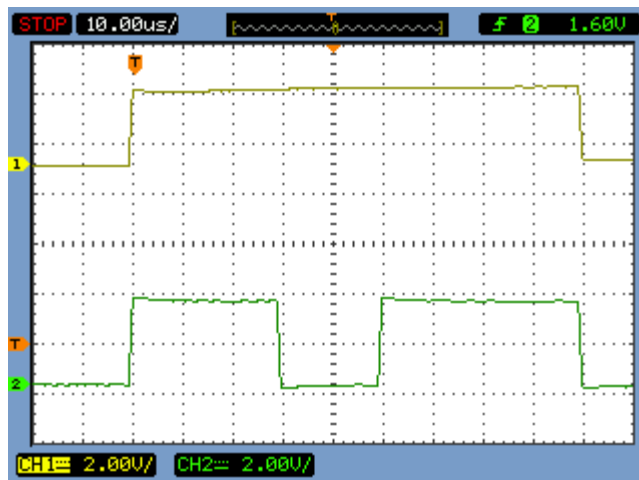


Figura 52: Señal EN_S y SE en circuito con Scan Design.

En la figura 52 se toma como referencia la señal EN_s (1-verde musgo), la cual se encarga de enviar la señal de reloj de baja frecuencia una vez iniciada la prueba, una vez finaliza la prueba, regresa a su estado cero y envía la señal de reloj de alta frecuencia con la que opera regularmente el DUT. Como se puede ver la señal SE (2-verde) varía su estado lógico durante la prueba, regularmente se encuentra en 0, lo que permite el paso de los datos regulares del DUT, cuando se encuentra en 1 se debe al ingreso de 1 vector de pruebas el cual tarda 3 ciclos de reloj por cada vector. En esta figura se puede apreciar el inicio y el fin de la prueba.

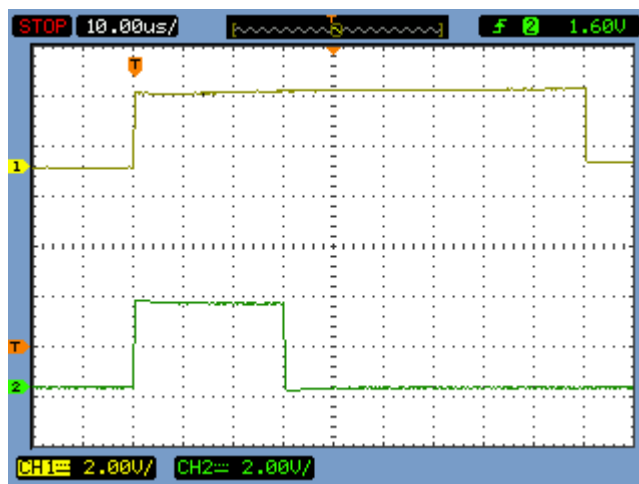


Figura 53: Señal EN_S y SI en circuito con Scan Design.

En la figura 53 se encuentran las señales EN_S y SI que recibe el DUT, en la primera fase de la prueba se envía el vector 1, el cual es 111 (estado 7) el cual será el estado al que se fuerza el circuito, el segundo vector de pruebas que se envía es 000 (estado inicial), el resultado del ingreso del vector 1, debe ser un estado 011 (estado 3) según la tabla de la figura 15.

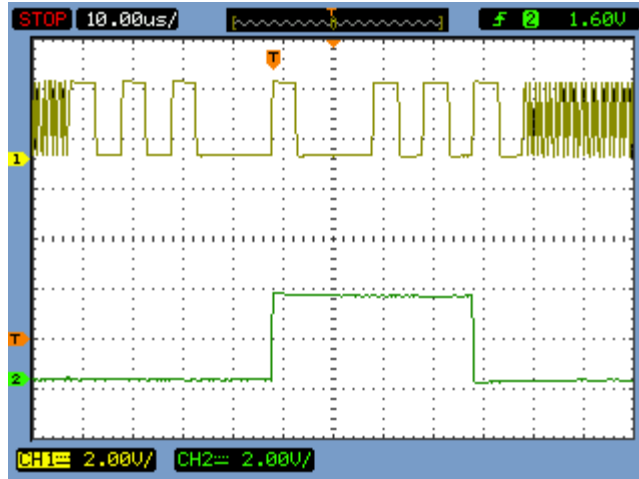


Figura 54: Señal CLK y SO en circuito con Scan Design.

En el caso de la figura 54 se obtiene la señal de SO (2-verde) junto a CLK (1-verde musgo), esto para comprobar que la señal que envía el DUT por medio de SO corresponde efectivamente a la respuesta esperada; cerca del último pulso en frecuencia baja de CLK, se puede apreciar que SO es 0, y en los 2 últimos ciclos de reloj previos se mantenía en 1, lo que le permite al bloque que registra los datos poder construir el estado 011 en los LEDs de la FPGA.

Con la figura 54 se puede comprobar que la técnica Scan Design efectivamente cumple con sus objetivos y fue posible replicar su funcionamiento según la teoría.

6.7. Circuito de pruebas con Enhanced Scan

6.7.1. Simulación

El siguiente es el gráfico de las señales que se obtiene al simular la prueba en el circuito de pruebas rediseñado con Enhanced Scan con los vectores V1:110 y V2:111; se puede ver como a partir de los 20 ns, después de reiniciar el circuito, el circuito opera con normalidad desplazándose entre los estados 6,3,1,0 y 4, iniciando en 6; esto se comprueba observando la señal SO y la tabla de la figura 15.

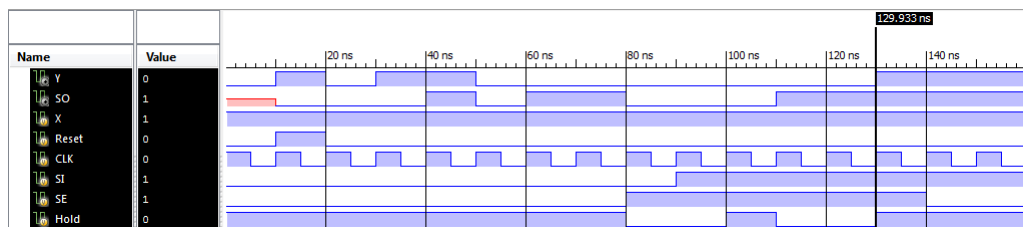


Figura 55: Simulación de circuito de pruebas con Enhanced Scan.

A partir de los 130 ns la señal de SO se mantiene en 1, correspondiendo de manera correcta al estado en el que debería de mantenerse cuando está en el estado 7 y la entrada X del circuito es igual a 1, esto después de realizar el ingreso de los vectores 110 y 111, tal y como se puede apreciar observando a partir de los 80 ns las señales SI, SE y Hold.

6.7.2. Consumo de potencia

A continuación se muestra el consumo de potencia y la cantidad de recursos requeridos para implementar el Enhanced Scan en el circuito de prueba.

Device		On-Chip	Power (W)	Used	Available	Utilization (%)	Supply Summary				
Family	Artix7	Clocks	0.001	2	--	--	Source	Voltage	Total Current (A)	Dynamic Current (A)	Quiescent Current (A)
Part	xc7a100t	Logic	0.000	3	63400	0	Vccint	1.000	0.018	0.001	0.017
Package	csg324	Signals	0.000	11	--	--	Vccaux	1.800	0.013	0.000	0.013
Temp Grade	Commercial	I/Os	0.002	8	210	4	Vcco33	3.300	0.005	0.001	0.004
Process	Typical	Leakage	0.088	--	--	--	Vccbram	1.000	0.000	0.000	0.000
Speed Grade	-1	Total	0.091	--	--	--	Vccadc	1.710	0.020	0.000	0.020
Environment		Thermal Properties		Effective TJA (C/W)	Max Ambient (C)	Junction Temp (C)	Supply Power (W)		Total	Dynamic	Quiescent
Ambient Temp (C)	25.0			4.6	84.6	25.4			0.091	0.003	0.088
Use custom TJA?	No										
Custom TJA (C/W)	NA										
Airflow (LFM)	250										
Heat Sink	Medium Profile										
Custom TSA (C/W)	NA										
Board Selection	Medium (10"x10")										
# of Board Layers	12 to 15										
Custom TJB (C/W)	NA										
Board Temperature (C)	NA										

Figura 56: Consumo de circuito de pruebas con Enhanced Scan.

Este circuito, en comparación al circuito con la implementación del Scan Design general e inclusive al circuito original, tiene un menor consumo de potencia, lo que denota el leve cambio en cuanto a consumo de recursos que genera el uso de esta técnica para un circuito digital.

El consumo máximo de potencia es de 0.091 W, es decir, un 2% menos que el circuito original. Los recursos necesarios para reproducir este circuito en la FPGA son 2 señales de reloj, 3 bloques lógicos, 11 señales internas y 8 señales de I/O. En comparación al circuito original se requieren 1 señal de reloj más, 1 bloque lógico menos, 5 señales internas más y 4 señales de I/O más.

6.7.3. Señales obtenidas de FPGA

Se realizan capturas de señales físicas de la comunicación entre el circuito de control y el circuito bajo pruebas al cual se le implementó un rediseño con Enhanced Scan.

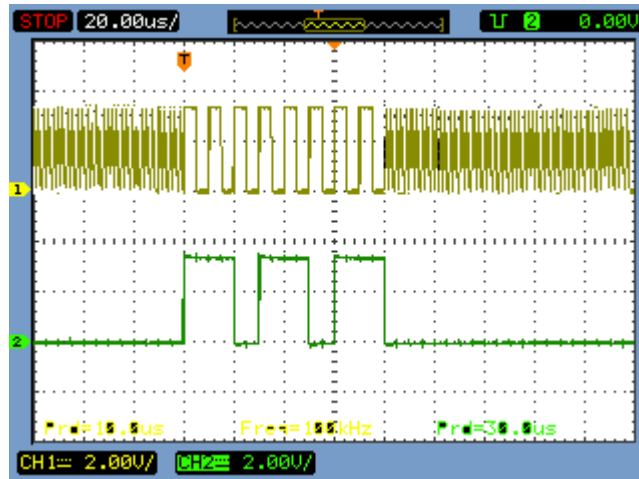


Figura 57: Señal de reloj de 100KHz para circuito con Enhanced Scan.

En la figura 57 se puede ver la señal de reloj que se aplica al DUT mientras se realiza la prueba, al igual que en el caso de Scan Design, el reloj aplicado al DUT es cambiado por uno de menor frecuencia en el momento en el que se inicia la prueba, esto con el mismo objetivo de reducir el calentamiento en el dispositivo. En este caso la señal que se utiliza para disparar la adquisición de señales es SE, la cual cambia de estado una vez inicia la prueba, regresa a 0 cuando se carga el vector de pruebas, de nuevo cambia a 1 para ingresar el siguiente vector, y finalmente regresa a 0 para continuar con la operación regular.

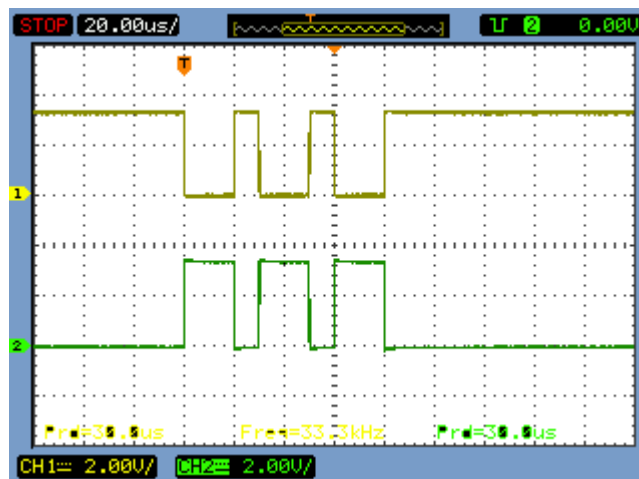


Figura 58: Señal de HOLD para circuito con Enhanced Scan.

La figura 58 muestra el funcionamiento de la señal HOLD, la cual antes de iniciar la prueba se mantiene en 1 para trasladar constantemente los datos de la ruta regular del

DUT desde la salida de los SFF hacia los latches que cargan la información en la lógica combinacional. Durante la prueba, cada vez que HOLD regresa a 1 es para cargar un vector de pruebas al DUT, al final de la prueba regresa a su estado 1 para la operación regular del DUT.

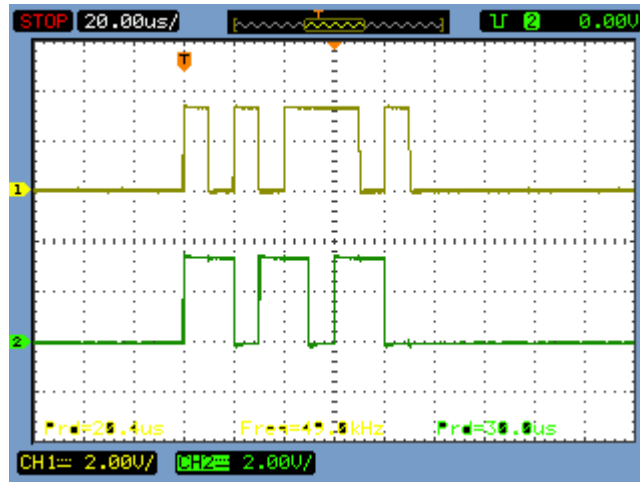


Figura 59: Señal de SI para circuito con Enhanced Scan.

En la figura 59 la señal SI se envía al DUT una vez se inicia la prueba, en ella se puede notar como en la primer parte se envía un 101 el cual es el vector 1 ingresado por medio de los switches de la FPGA, en la segunda parte se envía un 110 el cual es el segundo vector de pruebas y del cual se va a almacenar el resultado, y finalmente se envía de nuevo el vector 1 para extraer el resultado de la aplicación del vector 2.



Figura 60: Señal de SO para circuito con Enhanced Scan.

Como se menciona anteriormente el resultado a adquirir es el generado por el vector 2 de pruebas 110, según la tabla de la figura 15 cuando la señal de entrada X es igual a 0, el próximo estado será 111; conociendo esto, se puede ver que la señal SO se mantiene en 1

mientras la señal SE es igual a 1 en su parte final de la prueba, dicho de otra manera, SO es 1 desde que SE es 1 en su tercer variación.

El diseño y funcionamiento de la técnica fueron comprobados gracias a las señales mostradas anteriormente, según lo que se indicaba en la teoría de [1], el circuito bajo prueba puede operar regularmente durante la prueba pero a una frecuencia más baja, no es necesario el forzar la señal de reloj principal a 0, lo que ahorra tiempo de pruebas.

6.8. Circuito de pruebas con Snapshot Scan

6.8.1. Simulación

A continuación se muestra el diagrama de señales del circuito de la figura 14 cuando se le implementa un diseño que utiliza Snapshot Scan.

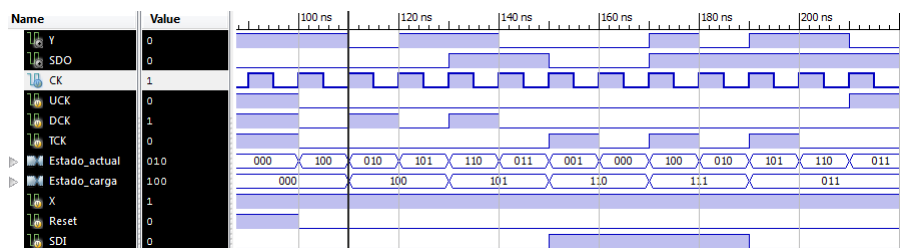


Figura 61: Señales en el tiempo de circuito de pruebas con Snapshot Scan.

En el diagrama de señales anterior se muestra como se comporta el circuito durante su operación regular y como responde ante el estímulo de sus señales de control. Dentro de las funciones que se pueden apreciar es la captura de estados, el ingreso del vector de pruebas y la carga del vector al DUT.

Aproximadamente cerca de los 140 ns se termina de enviar el pulso para capturar el estado actual del circuito, como se puede apreciar el estado final capturado es el 5 (101), para poder comprobar la captura de datos durante la simulación se consulta el bus llamado Estado_carga, el cual corresponde a las salidas de datos de los SFF donde se almacenan los vectores de prueba y los resultados de las pruebas.

Un aspecto a notar es que el estado almacenado corresponde al estado previo a la aplicación del pulso en DCK, ya que el SFF requiere de 1 período para trasladar los datos de entrada a su salida. Una vez se inicia el ingreso del vector de pruebas, en la salida SDO se pueden ver los bits correspondientes a los almacenados en los SFF, cada vez que se aplica un pulso en TCK, el dato de SDI se traslada a uno de los SFF lo que desplaza los internos bits almacenados hacia SDO.

Por ejemplo, cerca de los 130 ns se aplica el último pulso a DCK, lo que genera la captura del 101, que inmediatamente muestra un 1 en SDO, haciendo referencia al bit 0 de 101; en los siguientes 2 ciclos de reloj de TCK se puede notar como se extrae el bit 1 (0) y el bit 1 (1). Siempre y cuando no se estimule más la señal TCK, el estado de SDO no variará.

6.8.2. Consumo de potencia

El consumo de potencia y recursos consumidos por el circuito modificado que reporta ISE se muestra a continuación.

Device	On-Chip	Power (W)	Used	Available	Utilization (%)	Supply	Summary	Total	Dynamic	Quiescent	
Family	Clocks	0.000	5	—	—	Source	Voltage	Current (A)	Current (A)	Current (A)	
Part	Logic	0.000	5	63400	0	Vccint	1.000	0.017	0.000	0.017	
Package	Signals	0.000	22	—	—	Vccaux	1.800	0.013	0.000	0.013	
Temp. Grade	I/Os	0.000	9	210	4	Vcco33	3.300	0.004	0.000	0.004	
Process	Leakage	0.088	—	—	—	Vccbram	1.000	0.000	0.000	0.000	
Speed Grade	Total	0.088	—	—	—	Vccadc	1.710	0.020	0.000	0.020	
Environment						Thermal Properties		Effective TJA	Max Ambient	Junction Temp	
Ambient Temp (C)	Use custom TJA?	Custom TJA (C/W)	Airflow (LFM)	Heat Sink	Custom TSA (C/W)	Board Selection	# of Board Layers	Custom TJB (C/W)	Board Temperature (C)	Supply Power (W)	
25.0	No	NA	250	Medium Profile	NA	Medium (10"x10")	12 to 15	NA	NA	Total	
								4.6	84.6	25.4	Total
										0.088	Dynamic
										0.000	Quiescent
										0.088	

Figura 62: Consumo de potencia y recursos de circuito de pruebas con Snapshot Scan.

El consumo máximo de este circuito es de 0.088W, lo que lo hace en el circuito rediseñado que consume menos potencia. Entre los recursos consumidos se encuentran 5 señales de reloj, 5 bloques lógicos, 22 señales internas y 9 señales de I/O.

6.8.3. Señales obtenidas de FPGA

Ahora se mostrarán los resultados de la implementación del diseño con Snapshot Scan sobre el circuito de la figura 14.

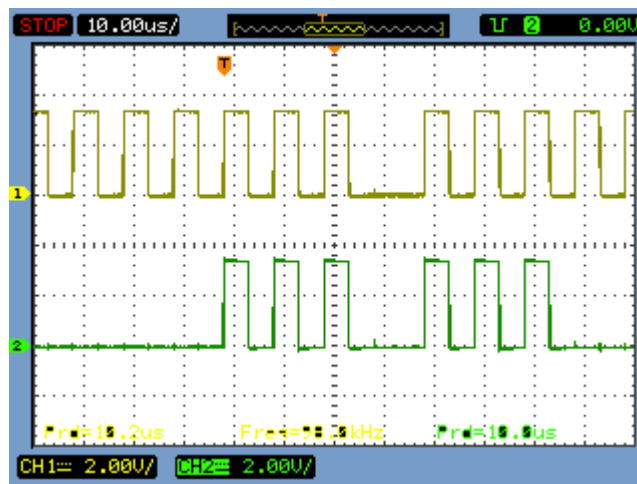


Figura 63: Señal de reloj del DUT con Snapshot Scan

La señal de reloj CLK (1-verde musgo) que se muestra en la figura 63 es la utilizada por el DUT para operar regularmente, como se menciona en la teoría la operación del circuito no se ve afectada por el diseño, lo que implica que se pueden adquirir datos sin necesidad de cambiar la señal de reloj, y con ello la operación regular. Sin embargo, durante el estudio y simulación del circuito resultante al aplicar el Snapshot Scan, se descubrió que para poder

llevar acabo el forzamiento del vector de pruebas en el DUT es necesario forzar un estado de cero en la señal de reloj principal del DUT, lo que implica una interrupción en la operación regular.

Como señal de disparo se toma la señal TCK (2-verde), la cual es utilizada para ingresar los vectores de prueba y a la vez extraer los datos que se encuentran en los SFF, como se puede apreciar es utilizada en 2 ocasiones para ingresar y extraer 3 bits durante la prueba. Se usa para ingresar los bits del vector 1 de pruebas y para extraer el resultado de la aplicación del mismo en el DUT.

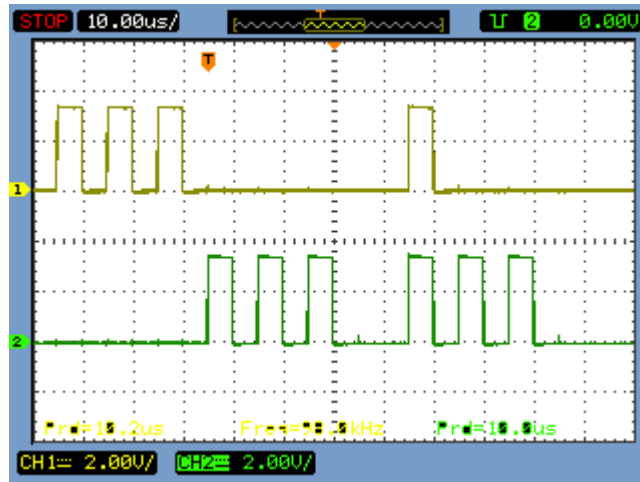


Figura 64: Señal DCK del DUT con Snapshot Scan

La señal DCK (1-verde musgo) de la figura 64 es utilizada para capturar el estado o los datos requeridos, ya sea que se desee simplemente conocer los datos de un tiempo determinado o el resultado de la aplicación de un vector de pruebas, para ello basta con la aplicación de un pulso de reloj, inmediatamente se almacenará el vector de datos que compone la cadena de celdas. En este caso se aplica un pulso 3 veces seguidas para utilizar todas las señales de datos del contador que se encuentra dentro del circuito de control, pero se puede aplicar 1 sola vez y ahorrar 20 us de duración de la prueba.

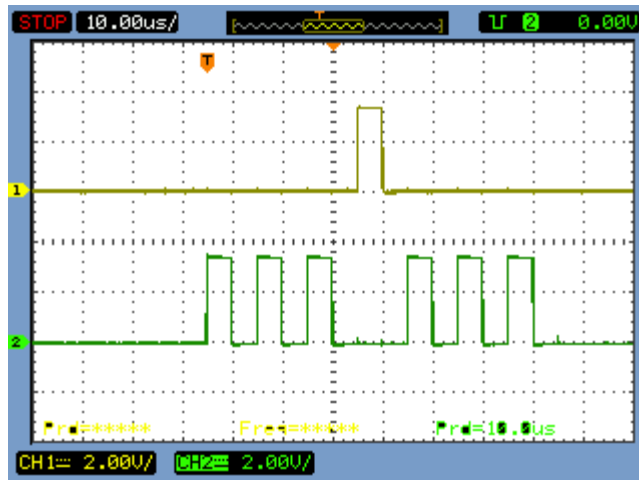


Figura 65: Señal UCK del DUT con Snapshot Scan

La señal de la figura 65 se utiliza muy pocas veces, y si solo se desea adquirir datos y extraerlos su funcionamiento es nulo, ya que esta señal se utiliza para cargar el vector de pruebas en el DUT. Una característica que se descubre durante el análisis de esta técnica que no se menciona en 1, es que para poder cargar el vector de pruebas, es necesario forzar un 0 en CLK.

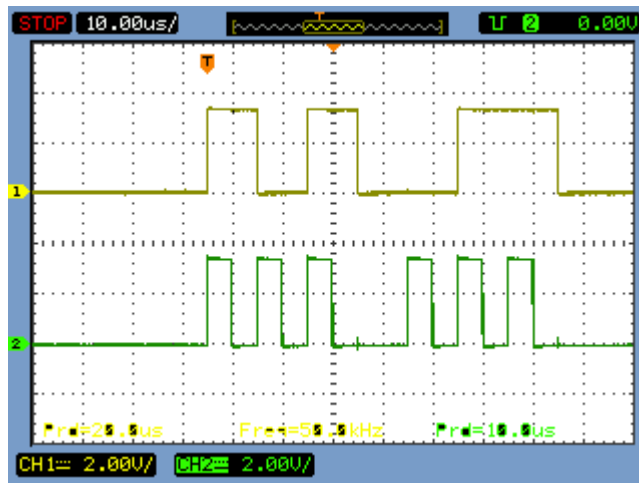


Figura 66: Señal SI del DUT con Snapshot Scan

Para la prueba que se realizó al capturar estas señales se fijaron los vectores V1:101 y V2:110 en la FPGA; en la figura 66 se puede ver como al inicio de la prueba se inicia el envío de V1 durante la aplicación a su vez de un pulso en TCK por cada bit que compone V1. Después de aplicar el pulso a UCK y cargar el vector, se procede a ingresar V2 de la misma manera, aplicando pulsos en TCK, durante ese período la máquina de estados del control está indicándole al registro de datos que almacene los datos que lea en SDO.

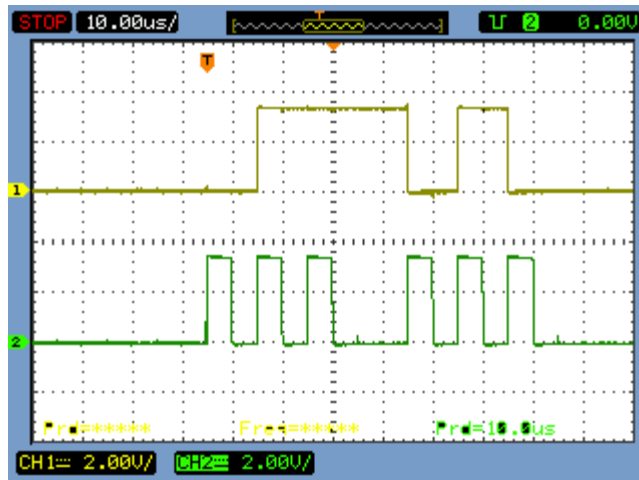


Figura 67: Señal SO del DUT con Snapshot Scan

Con la captura de la señal SO del DUT, es posible demostrar el funcionamiento del circuito rediseñado con Snapshot Scan y del circuito de control creado para manipular las señales de control. En la figura 67 se muestra el estado de la señal SO durante toda la prueba, iniciando en 0 debido a la ubicación del estado cero del DUT con lo que constantemente envía un 0, una vez se inicia el ingreso de V1 comienza el cambio de su estado lógico, pero la sección de interés para esta prueba es la que comprende la segunda ocasión en la que se generan pulsos en TCK y luego se mantiene en cero.

Cuando se alcanza ese punto se puede ver el resultado del ingreso de V1, el cual según la tabla de la figura 15 después del estado 5 cuando X es 0, el próximo estado es 010; y en la gráfica que se muestra antes, durante el primer pulso de TCK SO es 0, en el segundo es 1 y en el tercero es 0, lo que comprueba que se forzó con éxito el estado 101 en el DUT y la respuesta del mismo es acertada, y además, que se reciben correctamente los datos.

Capítulo 7

Análisis de Resultados

7.1. Circuito inicial de pruebas

Básicamente con la simulación mostrada en la figura 37 se verifica el funcionamiento descrito en la tabla de la figura 15, la activación de señales y respuesta del circuito cumplen con lo que se esperaba, lo que indica una correcta programación en el software de Xilinx y la obtención de un circuito que ayudará a comprender el funcionamiento de las técnicas de DFT.

En lo que respecta al consumo de potencia del circuito, no hay mucho que comentar, ya que, como se ha mencionado anteriormente, se están obteniendo características base que serán de utilidad para lograr una crítica y determinación de funcionalidad de los circuitos a rediseñar. El consumo de potencia es de 0.093 W, relativamente bajo; y los elementos físicos de la FPGA necesarios para construir el circuito, como es de esperar por el tamaño del circuito, son muy pocos, menos del %2 de los recursos.

7.2. Simulaciones de circuitos de control y de circuitos rediseñados

En general, las simulaciones realizadas y que se presentan en la sección de Resultados cumplen con el comportamiento requerido de las señales y del circuito en sí, no hay mucho que discutir ya que se logra que la programación active y desactive señales en los momentos correctos según los diagramas de tiempo teóricos. Con excepción del circuito de control para el circuito rediseñado con Snapshot Scan, ya que fue necesario realizar pruebas de simulación con el circuito rediseñado antes de crear el control, para lograr encontrar el patrón correcto de señales para la operación del mismo.

7.3. Consumo de potencia de circuitos de pruebas rediseñados

Se cuenta con la herramienta de ISE Design Suite llamada XPower Analyzer la cual considera el uso de recursos, la frecuencia con la que cambian los datos, el uso de las entradas y salidas del diseño entre otros factores, para poder calcular una aproximación del consumo que tendrá ese diseño en una FPGA [3].

Para calcular la potencia total la herramienta suma la potencia que consume los transistores de la FPGA mientras no se utiliza la misma, con la potencia que consume el circuito mientras no se estimulen las señales de entrada o salida, y finalmente suma la potencia dinámica que incluye la potencia de más que debe utilizar la FPGA cuando se estimulan las entradas o salidas del circuito programado [6].

A continuación se presenta una tabla donde se resume el consumo de potencia de los diferentes circuitos rediseñados.

Cuadro 7: Consumo de potencia de circuitos de prueba rediseñados

Versión circuito de pruebas	Potencia consumida (W)
Original	0.093
ChipScope	0.115
Scan Design	0.095
Enhanced Scan	0.091
Snapshot	0.088

Como se puede apreciar en el cuadro 7, el consumo de potencia en general de los circuitos es relativamente bajo y muy similar. Haciendo comparación entre ellos es claro que el circuito que tiene un menor consumo de potencia es el que utiliza la técnica de snapshot Scan para encontrar problemas de retardo y fallos en sus componentes a pesar de la utilización de una mayor cantidad de componentes.

Se destaca el consumo del circuito que utiliza ChipScope ya que consume por lo menos un 20% más de potencia que el circuito original; como se mencionaba antes, ese software debe tener una mejor adquisición de datos y con ello una mayor variedad de opciones.

El consumo mejorado del circuito con Snapshot Scan se debe a la mejor distribución que pudo realizar el Synthesizer de Xilinx al ubicar las rutas de datos y elementos, cabe recordar que el programa siempre busca un equilibrio entre rendimiento y consumo de potencia en el momento de ubicar componentes del diseño en la FPGA, ya que no se encontraron errores ni recomendaciones por parte del programa para mejorar el código utilizado.

En general se puede ver que la implementación de las técnicas de DFT estudiadas afectan de gran manera el consumo de potencia del circuito bajo prueba original, ya que la máxima

variación de consumo es de un 5.48 %. En estos casos el dato depende en gran medida de las optimizaciones que realice el software de programación utilizado.

7.4. Recursos de FPGA utilizados por circuitos rediseñados

De acuerdo a la cantidad de recursos utilizados por ISE para poder implementar los diseños en la FPGA se puede determinar de cierta manera, que tanta área o espacio necesitarían los circuitos modificados con las técnicas de DFT.

Cuadro 8: Recursos de FPGA utilizados por circuitos de prueba rediseñados

Versión circuito de pruebas	Señales CLK	Lógica combinacional	Señales internas	I/Os
Original	1	2	6	4
% del Total Utilizado	-	-	-	2
Scan Design	1	2	8	7
% del Total Utilizado	-	-	-	3
Enhanced Scan	2	3	11	8
% del Total Utilizado	-	-	-	10
Snapshot	5	5	22	9
% del Total Utilizado	-	-	-	11

Como se puede ver en la tabla 8 el consumo de recursos aumenta conforme se avanza en el tipo de técnica implementada, siendo el circuito con Snapshot Scan el que requiere de más recursos en la FPGA para su reproducción con un promedio de 3.5 veces más los recursos utilizados por el circuito original. Con respecto al circuito con Scan Design, se requiere también aproximadamente 3 veces más recursos. Con respecto al circuito con Enhanced Scan se requiere el doble de recursos. Estas comparaciones se realizan sin tomar en cuenta la cantidad de señales de I/O que se requieren para cada circuito, ya que como se puede ver, todos los rediseños requieren por lo menos el doble de señales para operar. Es de esperar que el circuito con Snapshot Scan sea el que requiera un área de construcción mayor debido a la cantidad de componentes que se agregan al diseño.

Este tema de área es importante ya que indica que tan viable es para una empresa el implementar una técnica de DFT en un circuito y además que tipo de arquitectura debería utilizarse según los recursos con los que se cuente para poder producir en masa un dispositivo, ya sea que se pueda utilizar una arquitectura de full scan design, partial scan design, o incluso que tipo de celda de escaneo es más conveniente utilizar. Sin embargo, para poder saber con exactitud cual sería más conveniente implementar es necesario comprender cuales son las necesidades de los diseñadores, aspectos como que datos son necesarios conocer, y el área con la que se cuenta para la construcción del circuito determinará si es necesario trabajar en diferentes rediseños de un mismo circuito o la elección de una técnica y arquitectura en específico.

En el caso de este proyecto, como inicialmente no se tiene suficiente conocimiento sobre el tema, se optó por escoger la arquitectura full scan design y el tipo de celda de flip flop multiplexado debido a su gran cobertura de alcance de señales en las pruebas, influye en la elección de la arquitectura; la menor cantidad de señales adicionales al circuito original necesarias para la operación regular y de pruebas, son criterio de elección del tipo de celda de escaneo.

7.5. Consumo de potencia de circuitos de control

A continuación se muestra una tabla en la que se encuentran los datos de consumo de potencia de los circuitos de control diseñados.

Cuadro 9: Consumo de potencia de circuitos de control diseñados

Versión circuito de control	Potencia consumida (W)
ChipScope	0.115
Control para Scan Design	0.114
Control para Enhanced Scan	0.121
Control para Snapshot	0.165

Como se puede ver en el cuadro 9 el consumo de los diferentes circuitos diseñados para el control de señales de los circuitos rediseñados es relativamente alto, esto en comparación al circuito creado por el software ChipScope ya que el mismo incluye el circuito bajo prueba y el circuito de control de las señales de control.

El aumento en consumo se debe a la depuración de código que tiene cada uno de los circuitos, ya que el diseño creado por ChipScope es resultado de un software con años de estudio, pruebas y depuración de código, por lo que brindará mejores resultados en este aspecto en comparación a los circuitos diseñados en este proyecto en un corto tiempo.

Aspectos tales como el enrutamiento de señales que realiza ISE, la cantidad de señales de control requeridas, y la cantidad de elementos diseñados y utilizados afectan el consumo de potencia; comparando los 3 circuitos diseñados en este proyecto se pueden notar estos aspectos, ya que, por ejemplo en el circuito de control para Enhanced Scan se añaden 3 latches y se enruta 1 señal más de control en comparación al circuito de control para Scan Design original, lo que implica lo anterior y explica el consumo de potencia de más.

En el caso del circuito de control de Snapshot Scan, los puntos tocados anteriormente explican el por qué su excesivo consumo de potencia en comparación a los demás, ya que el enrutamiento ahora no solo de 1, si no de 4 señales de reloj es sumamente complejo, además del uso de latches de 2 entradas de datos, es decir, por cada latch de 2 entradas agregado se están adicionando en realidad 2 latches, por lo que finalmente se tendrán 6 latches agregados, lo que implica también como mínimo 12 retardos combinacionales de señales.

7.6. Recursos de FPGA utilizados por circuitos de control

La siguiente tabla contiene un resumen de los datos que se mostraron en la sección de resultados, donde se muestran los datos de recursos requeridos, generados por ISE Design Suite.

Cuadro 10: Recursos de FPGA utilizados por circuitos de control diseñados

Versión circuito de control	Señales CLK	Lógica combinacional	Señales internas	I/Os
Original	1	2	6	4
% del Total Utilizado	-	-	-	2
ChipScope	4	240	441	5
% del Total Utilizado	-	-	-	2
Scan Design	1	17	38	23
% del Total Utilizado	-	-	-	11
Enhanced Scan	2	18	34	21
% del Total Utilizado	-	-	-	10
Snapshot	5	20	36	24
% del Total Utilizado	-	-	-	11

Los datos de la tabla 10 indican que el circuito de control que consume más recursos es el creado por la aplicación ChipScope, pero al ser un diseño que incluye las modificaciones necesarias al circuito original, es de esperar el uso de tantos recursos. Dejando lo anterior de lado y considerando solamente los circuitos diseñados para manipular las señales de control de los circuitos a los que se le implementaron las técnicas de DFT estudiadas, se puede ver que el circuito de control para Snapshot es el que requiere una mayor cantidad de recursos.

Es de esperar que el control de Snapshot requiera de una gran cantidad de señales internas y bloques lógicos, debido a la incorporación de los latches de 2 entradas y los SFF que requieren de 2 señales de CLK; la implementación de estas técnicas de DFT influyen de gran manera en el área y componentes requeridos para construir un circuito equivalente, aumentando casi linealmente los recursos necesarios según la técnica, debido a la cantidad de señales de control necesarias para operar.

El uso de más recursos de la FPGA implica que para construir físicamente el circuito, es necesario realizar una inversión más alta para utilizar tecnologías de construcción más avanzadas, sin aumentar en gran medida el área que ocupe el dispositivo a desarrollar.

Sin embargo, en este caso las ventajas que se logran al implementar el diseño de Snapshot Scan pueden ser un punto que influya en gran medida para la toma de decisiones.

Repasando las ventajas de cada técnica; el scan design regular es el punto de inicio, con él se logra extraer información de señales de elementos de almacenamiento interno, dígame

de los flip-flop, simplemente por medio de una pin de salida físico, además, es posible forzar estados lógicos en los elementos de memoria.

Al utilizar ese diseño, el consumo de recursos aumenta considerablemente con respecto al circuito original, el utilizar un multiplexor en la entrada de los flip-flop aumenta en gran medida los bloques combinacional necesarios, así como la cantidad de señales que se deben enrutar y conectar entre sí al utilizar un pin físico extra para una señal de control.

Cuando se implementa el diseño de Enhanced Scan los recursos no aumenta mucho respecto al anterior, su aumento radica en el uso de un latch más por cada SFF, el cual brinda una mejora en el diseño y operación, ya que es posible cargar un vector de prueba sin necesidad de interrumpir el funcionamiento del DUT, así, cuando se desea forzar un estado, se debe operar la señal HOLD para cargarlo.

Finalmente la operación del diseño de Snapshot es el que menos interviene el funcionamiento regular del DUT, ya que se puede controlar para cumplir la función de captura y extracción de datos, la cual no interrumpirá la operación regular, esta ventaja requiere el enrutamiento de 2 señales de reloj extra, las cuales implica el rediseño de las rutas de comunicación y ubicación de componentes.

7.7. Señales adquiridas de implementación en FPGA

En la sección de Resultados se muestran los diagramas en el tiempo de las diferentes señales que utilizan los circuitos de control para operar normalmente y en modo de pruebas los circuitos rediseñados de la sección Desarrollo de Solución. Esos diagramas concuerdan perfectamente con los diagramas de simulación de la sección de Resultados. Además, se consigue comprobar el funcionamiento y las funciones de esos circuitos, funciones implícitas como el ingreso de datos, la carga de datos en el DUT, cambio de frecuencia de reloj, captura de datos y extracción de datos forman parte de los resultados adquiridos.

Se puede consultar la sección de resultados para ver las funciones y señales que fueron tomadas con éxito. Cabe destacar que la sincronización de señales de reloj y señales de control se realiza de forma implícita, ya que es con el circuito de control, cuyo corazón es la máquina de estados, donde se generan las señales cada vez que se detecta un flanco positivo de reloj que será enviado al DUT para su operación normal.

Para las señales adquiridas no se detectan anomalías fuera de lo normal, como por ejemplo deformación de las señales o retardos que evidencien desincronización entre ellas, lo que se puede apreciar es un leve ruido sobre las mismas, sin embargo no es un ruido que se considere problemático ya que puede ser producido por la calidad de los cables utilizados para transmitir las señales entre las FPGAs y los utilizados para ver las señales en el osciloscopio.

7.8. Aplicación en un microprocesador o cualquier circuito digital

La implementación de cualquiera de las técnicas de diseño de DFT estudiadas en este documento en circuitos digitales secuenciales sigue el procedimiento resumido en la sección del Marco Teórico. No está de más aclarar que existen diferentes técnicas de DFT para la mejora de circuitos analógicos, digitales, señales mixtas, e incluso para mejorar el consumo de potencia.

En otras secciones del documento se recomienda, de ser posible, contar con un documento en el que se detalle el funcionamiento de los componentes internos del circuito digital a rediseñar, será de gran ayuda para tener una fuerte referencia de los resultados que se pueden esperar después de la realización de las pruebas.

Inicialmente se realiza una revisión de ciertas reglas de diseño del Scan Design para poder conseguir un diseño testeable y cubrir satisfactoriamente la mayor parte de las fallas que pueda presentar el circuito.

- Buses de 3 estados: Se debe corregir la contención de datos mientras se ingresan vectores de prueba, ya que se puede generar la asignación de 2 estados lógicos diferentes pueden dañar el integrado.
- Puertos bidireccionales: Se debe forzar ya sea como una entrada o como una salida.
- Gated clocks: Se debe modificar la lógica combinacional que permite el uso de la señal de reloj en algún dispositivo de memoria, para que una vez se inicie la prueba sobre el DUT, se pueda controlar el uso de esa señal de reloj para así disminuir el consumo de potencia en el circuito que se debe a actividad innecesaria.
- Clocks derivados: Se refiere a las señales de reloj generadas a partir de otras, estas señales deben ser bypaseadas.
- Bucles de realimentación combinacional: Se debe rediseñar el RTL para generar el bucle de otra manera, si no es posible, se debe bypasear el bucle colocando un multiplexor y utilizando la señal de control que se utiliza para generar el modo de prueba en el DUT.
- Señales de set y reset asíncronas: Si no se encuentran ligadas a señales físicas, se debe utilizar una compuerta OR para forzar un estado inactivo de la señal con la señal que habilita el modo de prueba en los circuitos.

Las anteriores son algunas de las reglas a revisar para el Scan Design, pero una vez revisadas, así como corregidas sus posibles violaciones a un nivel pre synthesis o post synthesis se puede concluir que se obtiene un circuito "testeable"; durante el proceso de corrección de reglas, por ende rediseño del circuito, es cuando se toma la decisión de utilizar una arquitectura de full o partial scan, donde se procede a sustituir todos los elementos de memoria (flip-flop tipo D) por SFF o a sustituir una parte de ellos respectivamente. Además,

como se indica en capítulos anteriores, en este punto se decide si se utilizara 1 o más scan chains, dependiendo de la cantidad de pines físicos con los que se cuente.

Debido a la falta de componentes que utilicen las reglas de diseño listadas previamente, en el caso de este proyecto se procede a determinar el uso de 1 sola scan chain, ya que no se desea aumentar en gran medida el enrutamiento de señales internas, y el uso de una arquitectura full scan porque es necesario conocer el estado lógico de todas las salidas de los elementos de memoria, esto para conseguir una serie de datos que en conjunto brinden conocimiento del estado de la máquina de estados y la posible existencia de errores en estos elementos o la lógica combinacional.

El paso anterior se conoce como Scan Síntesis, donde se debe realizar la comprobación teórica del funcionamiento de los elementos sustituidos de acuerdo a las señales de control que se seleccionaran en el momento de su sustitución. A continuación se realiza la construcción de cadenas entre los SFF que reemplazarán los elementos de memoria, punto en el que se realiza un reordenamiento de la ubicación de los SFF si es posible para reducir el área de cobertura y la distancia entre conexiones.

Después de determinar la configuración a utilizar (tipo de celda, arquitectura, cantidad de cadenas, etc), es momento de comprobar las conexiones entre las cadenas para asegurar un correcto funcionamiento cuando se ingresen los vectores de prueba; para conseguir esto se procede a ingresar un bit en el inicio de la cadena, al ejecutar n ciclos de reloj, el mismo bit debería verse en el final de la cadena.

Hasta este punto fue posible ejecutar los pasos del diagrama de flujo de aplicación de una técnica para Scan Design, en el caso de las 3 técnicas estudiadas. El siguiente paso no fue posible ejecutarlo realmente ya que no se puede contar con un dispositivo manufacturado a partir de los rediseños conseguidos, por ello se procede a programar los circuitos rediseñados en la FPGA y a realizar simulaciones de ingreso de vectores de prueba y captura y adquisición de datos, posteriormente se adquieren las señales físicas ejecutadas por la FPGA para realizar una comparación de resultados.

Para finalizar el diagrama de flujo se debe realizar un análisis del costo de producción del circuito diseñado; aspectos como el consumo de potencia, la cantidad de pines de entrada-salida utilizados y la temperatura de operación original versus la final, son algunas características que se toman en cuenta para evaluar la viabilidad de la implementación de la técnica.

Todos los pasos anteriores fueron ejecutados para cada una de las 3 técnicas de diseño DFT para full Scan Design, cuyos resultados se encuentran en este documento. Todos estos pasos fueron seguidos de la lectura [1] (Wang, L., Wu, C. and Wen, X. 2006).

Capítulo 8

Conclusiones y Recomendaciones

8.1. Conclusiones

Las técnicas de DFT estudiadas mejoran considerablemente la controlabilidad y observabilidad de un circuito digital, ya que si no se utiliza este tipo de diseño, no se puede saber con certeza el estado lógico de las señales internas del DUT.

Además, el concepto del uso de las técnicas de DFT es de fácil entender, sin embargo, su aplicación requirió de varias iteraciones en las simulaciones para lograr comprobar su funcionamiento. Parte del uso de estas técnicas implican conocer que es una celda de escaneo, llamada Scan Flip-Flop (SFF), la cual es una herramienta simple, pero de gran ayuda para alcanzar el objetivo del DFT.

La implementación de estas técnicas de diseño incrementan en gran medida los recursos necesarios para crear un circuito equivalente al original cuando ya se cuenta con uno en su etapa final de diseño.

Tal es el uso del diseño de Snapshot Scan, que implica el mayor consumo de recursos entre las técnicas estudiadas, sin embargo, la posibilidad de capturar datos y extraerlos sin interrumpir de alguna manera la operación del circuito hace que sea la mejor opción.

Por otro lado, el circuito desarrollado al utilizar la técnica Enhanced Scan realiza las mismas funciones y tiene los mismos objetivos que la técnica de Scan Design básico, pero tiene la ventaja que puede detener la operación del DUT sin generar la pérdida de datos que se puede generar al ingresar pares de vectores en los que la mayoría de sus bits sean diferentes.

La utilización del Enhanced Scan implica un 30% más de recursos con respecto a los necesarios al utilizar el Scan Design, por lo que, si es necesario el seleccionar una de las 2 técnicas para implementarla, se puede optar por el Scan Design básico y utilizar vectores de prueba consecutivos.

Finalmente, los circuitos de control desarrollados, cumplieron a cabalidad su objetivo, generar las señales de control para operar los circuitos bajo prueba y adquirir y almacenar los resultados de las pruebas.

Algo a tener siempre en consideración es que, el requisito primordial para el uso de las técnicas de DFT es que el circuito que se desee desarrollar sea secuencial y cuente con elementos de memoria que puedan ser sustituidos por las celdas de escaneo.

Un detalle que se sale de las manos de este proyecto es que el consumo de potencia de cada circuito rediseñado con las técnicas de DFT, varió debido a la optimización que el software ISE Design Suite brindaba para cada uno, este es un tema en el que no se tiene control a menos que se cambien las opciones al utilizar el generador de reporte de consumo de potencia, en el cual se puede seleccionar un estudio a nivel industrial, comercial o común.

8.2. Recomendaciones

Para mejorar los resultados que se pueden conseguir al replicar este proyecto se pueden desarrollar circuitos capaces de crear n retardos de señales los cuales puedan ayudar a comprobar el fallo de un circuito debido a la falta de tiempo para lograr una estabilización en el transiente de los datos.

Inclusive sería importante integrar en un solo circuito todos los desarrollados para manipular las señales de control de los circuitos rediseñados con las diferentes técnicas de DFT, para no tener que programar constantemente la FPGA.

Se recomienda utilizar equipo de medición el cual permita capturar en tiempo real las señales utilizadas para la extracción de datos junto a las utilizadas para el control del DUT, ya que en este proyecto fue necesario extraer 1 a 1 las señales debido a la poca cantidad de puertos tipo BNC con los que se contaba.

El implementar el uso de las técnicas de DFT durante el desarrollo del circuito deseado es vital, esto podría reducir la dificultad en la sustitución de elementos de memoria y mejorar el plan de trabajo para la realización de pruebas.

Ahora, si no es posible lo anterior y se deben utilizar las técnicas descritas en el documento en un circuito ya desarrollado, se debería contar con el apoyo de las personas que desarrollaron el dispositivo o al menos con documentación que sea de provecho, para saber con certeza cual es la operación regular y cuales deberían de ser los datos resultantes al realizar las pruebas.

Otra buena práctica que se aconseja con las técnicas de DFT durante el desarrollo de un circuito, es utilizar el diagrama de flujo que se menciona en este documento, en la sección de Marco Teórico, para determinar si es posible o no la aplicación de las técnicas sin afectar el funcionamiento esperado del circuito.

Utilizar las diferentes funciones de ISE Design Suite las cuales recomiendan diferentes métodos de diseño los cuales mejoran el rendimiento, el uso de recursos e incluso el consumo de potencia del circuito bajo estudio. Para ello se utilizan diferentes estrategias predefinidas que se utilizan en el desarrollo de circuitos digitales por medio de HDL. El software se llama SmartXplorer.

Muy importante es el estudiar las diferentes opciones de diseño con las que cuenta ISE Design Suite, entre ellas las metas para lograr una reducción de área, tiempo de ejecución mínimo, optimización de potencia, rendimiento en el tiempo y balanceado, siendo el último utilizado por defecto para implementar los diseños.

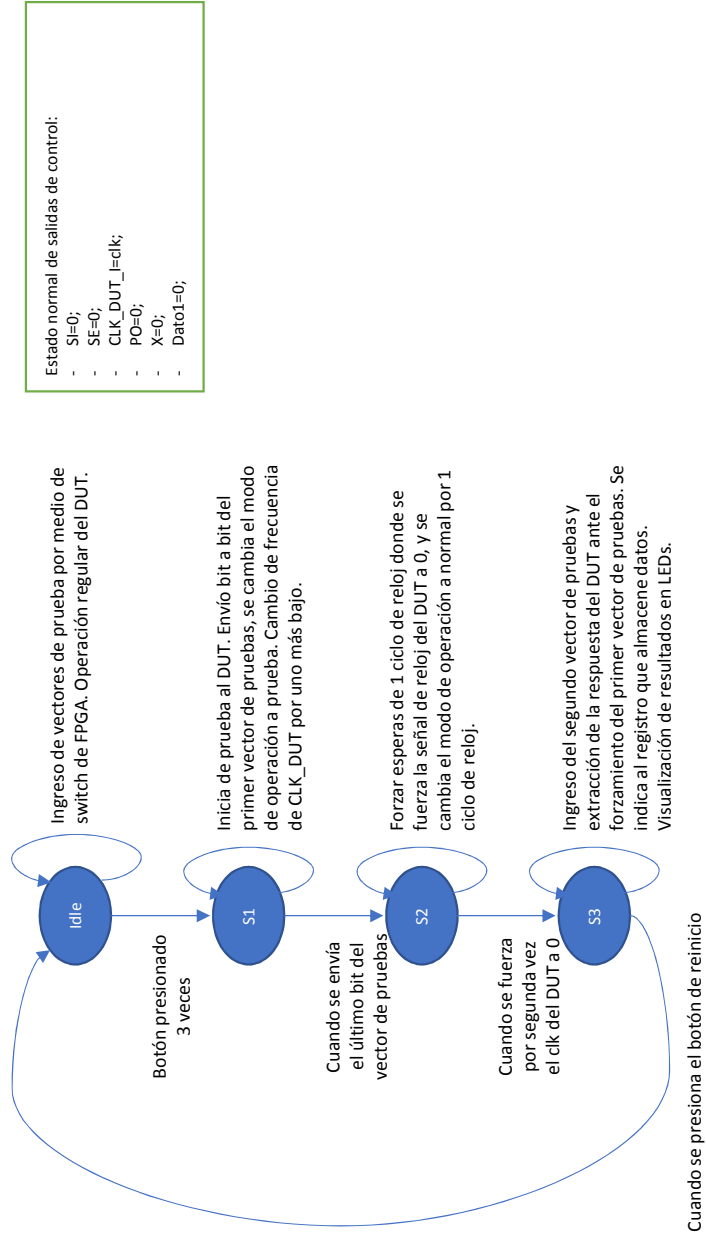
Bibliografía

- [1] Wang, L., Wu, C. and Wen, X. (2006). VLSI Test Principles and Architectures. Burlington: Elsevier.
- [2] Bushnell, M., & Agrawal, V. D. (2000). Essentials of Electronic Testing for Digital, Memory and MixedSignal VLSI Circuits (Vol. 30).
- [3] Mohanram, K. Sequential Circuit Analysis. University of Pittsburgh. Recuperado de: <http://www.pitt.edu/~kmram/0132/lectures/sequential-circuit-analysis.pdf>
- [4] McFarland, G. (2006). Microprocessor Design: A Practical Guide from Design Planning to Manufacturing. 1st Edition, Kindle Edition. Accesado desde: <https://ezproxy.itcr.ac.cr:3029/browse/microprocessor-design-a-practical-guide-from-design-planning-to-manufacturing/p2000ee549970331001?s.num=3&q=design+for+test&subject=%23DISCIPLINE%23Electrical+%26+electronics+engineering>
- [5] Tummala, R. (2000). Fundamentals of Microsystems Packaging. 1st Edition. Rao Tummala. Accesado desde: <https://ezproxy.itcr.ac.cr:3029/browse/fundamentals-of-microsystems-packaging/p2000a9a09970748001?s.num=12&start=10&subject=%23DISCIPLINE%23Electrical+%26+electronics+engineering&q=design+for+test#p2000a9a09970769001>
- [6] Xilinx. UG440 (v2013.3/14.7) Octubre 2, (2013). Xilinx Power Estimator User Guide. Recuperado de: <https://www.xilinx.com/support/documentation-navigation/development-tools/hardware-development/ISE-design-suite.html?resultsTablePreSelectdocumenttype:SeeAll#documentation>
- [7] Coombs, C. F., Holden, H. (2007). Printed Circuits Handbook. Sixth Edition. Clyde F. Coombs. Accesado desde: https://ezproxy.itcr.ac.cr:3029/browse/printed-circuits-handbook-sixth-edition/p2001310999754_1001?s.num=16&start=10&subject=%23DISCIPLINE%23Electrical+%26+electronics+engineering&q=design+for+test
- [8] Geng, H. (2005). Semiconductor Manufacturing Handbook. Second Edition. Accesado desde: <https://ezproxy.itcr.ac.cr:3029/browse/semiconductor-manufacturing-handbook-second-edition/c9781259587696ch21lev1sec22?s.17&start=10subject=%23DISCIPLINE%23Electrical+%26+electronics+engineering&q=design+for+test#c9781259587696ch21lev2sec39>

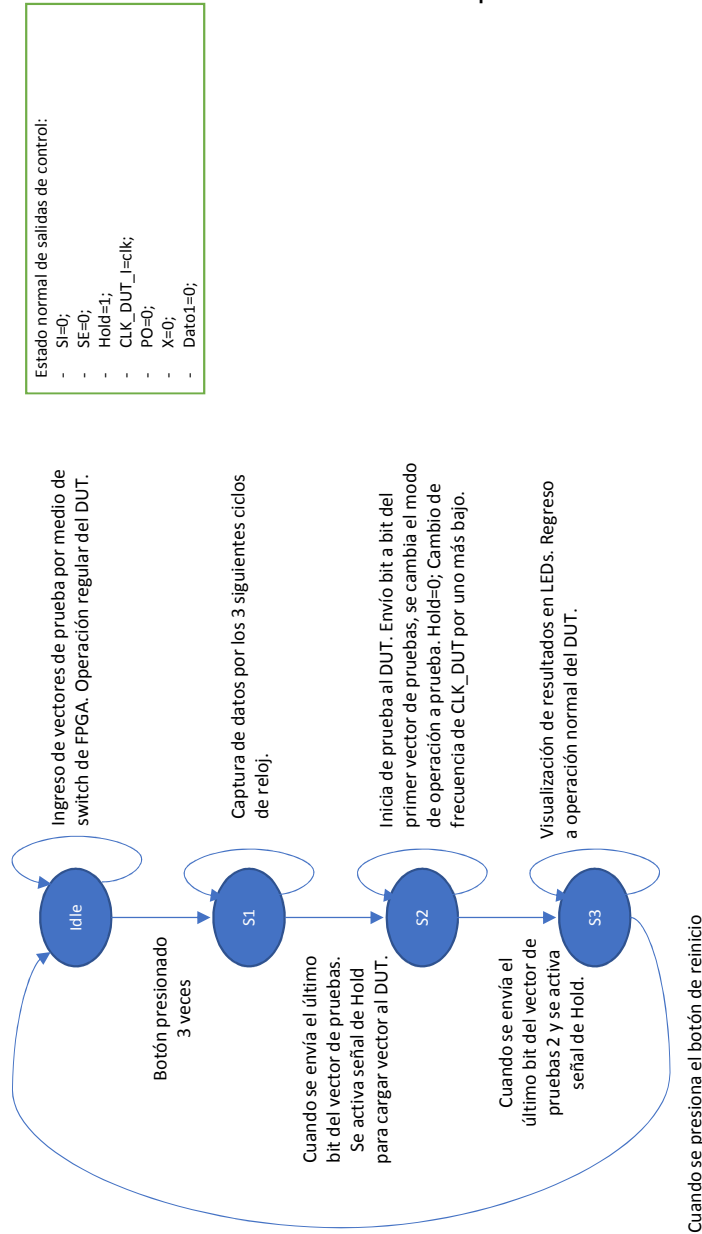
- [9] Xilinx. UG733 (v1.0) March 15, (2010). Xilinx Power Tools Tutorial . Recuperado de: https://www.xilinx.com/support/documentation/sw_manuals/xilinx11/ug733.pdf
- [10] Xilinx. UG029 (v14.3) October 16, (2012). ChipScope Pro Software and Cores . Recuperado de: https://www.xilinx.com/support/documentation/sw_manuals/xilinx14_3/chipscope_pro_sw_cores_ug029.pdf
- [11] Coombs, C. F., Holden, H. (2015). Printed Circuits Handbook. Seventh Edition. Clyde F. Coombs. Accesado desde: <https://ezproxy.itcr.ac.cr:3029/browse/printed-circuits-handbook-seventh-edition/c9780071833950ch04lev1sec04?s.num=21start=20qdesign+for+testsubject+%23DISCIPLINE+%23Electrical+%26+electronics+engineering#c9780071833950ch04lev2sec03>
- [12] Mittal, R., Balasubramanian, L., Sontakke, A., Parthasarthy, H., Narayanan, P., Sabbarwal, P., Parekhji, R. A. (2011). DFT for extremely low cost test of mixed signal SOCs with integrated RF and power management. Test Conference (ITC) 2011 IEEE International, pp. 1-10.
- [13] Kawoosa, M. S., Mittal, R. K., Jalsuthram, M., Parekhji, R. A. (2018). Towards Single Pin Scan for Extremely Low Pin Count Test, VLSI Design and 2018 17th International Conference on Embedded Systems (VLSID) 2018 31st International Conference on, pp. 97-102.
- [14] Xilinx. UG660 (v14.1) April 24, (2012). ISim User Guide. Recuperado de: https://www.xilinx.com/support/documentation/sw_manuals/xilinx14_1/plugin_ism.pdf
- [15] Tahoori, M. (2010). Testing Digital Systems II, Lecture 3: Design for Testability (II). Recuperado de: https://www.xilinx.com/support/documentation/sw_manuals/xilinx14_1/plugin_ism.pdf

Anexos

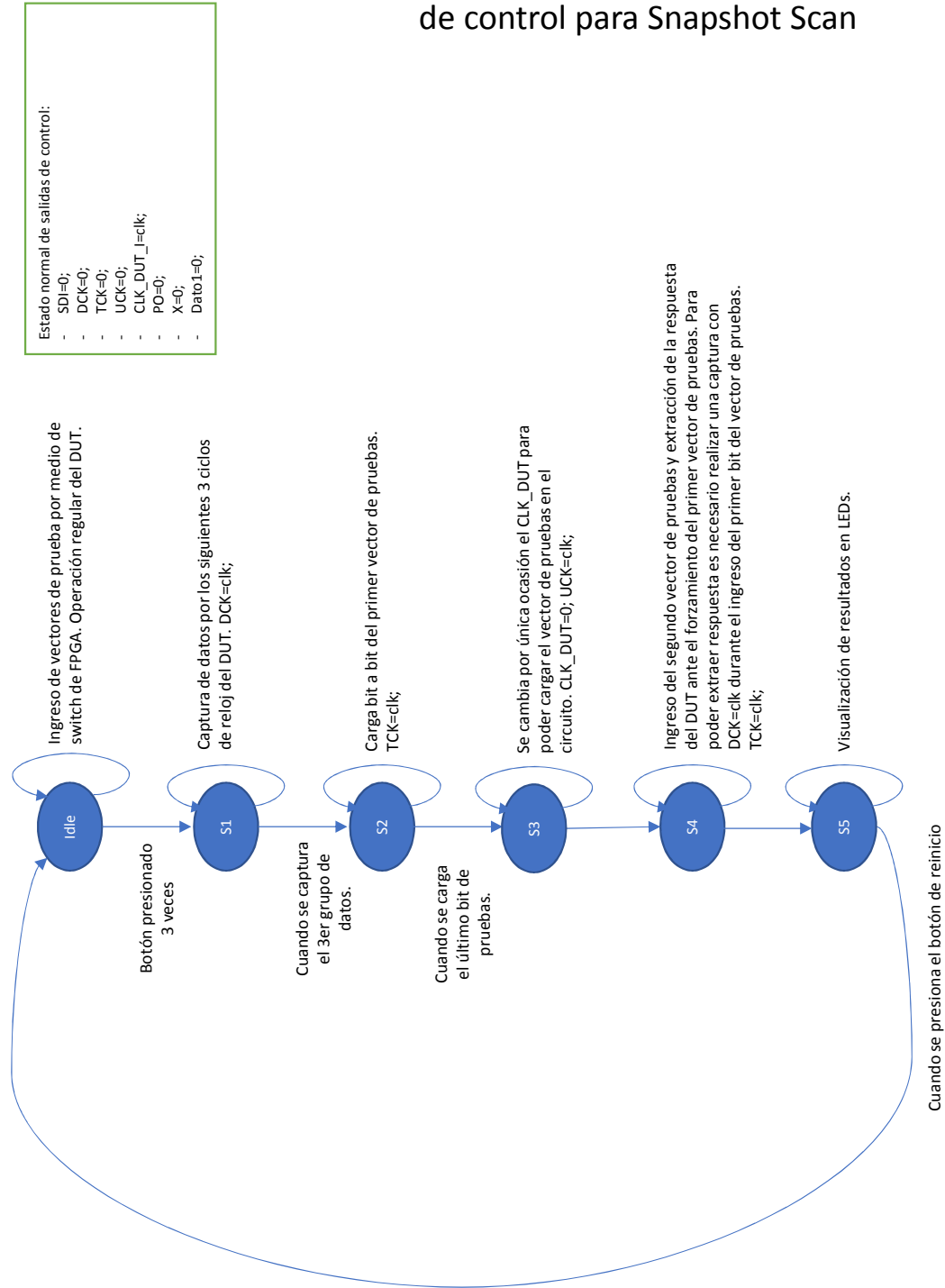
Máquina de estados de circuito de control para Scan Design.

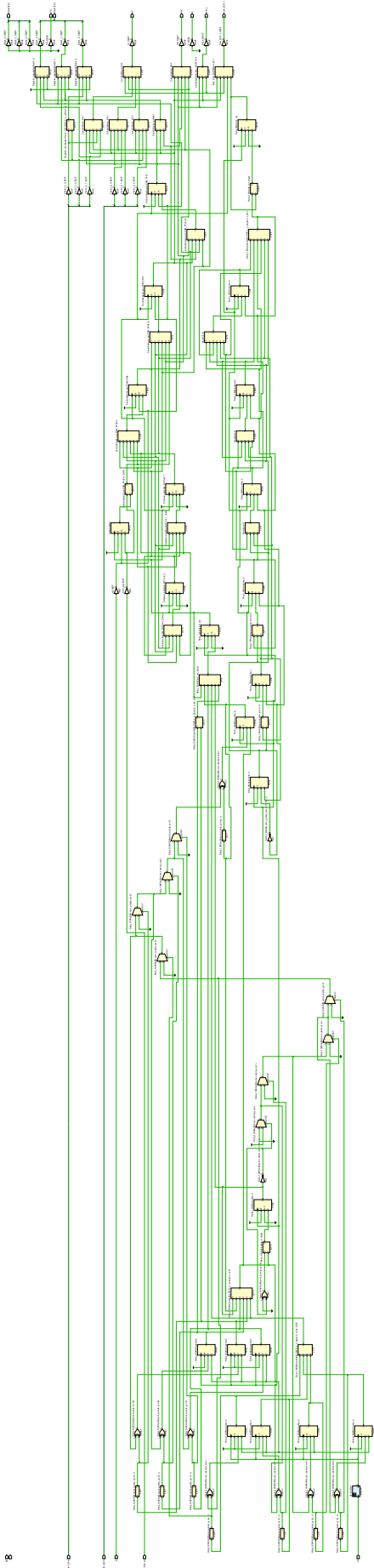


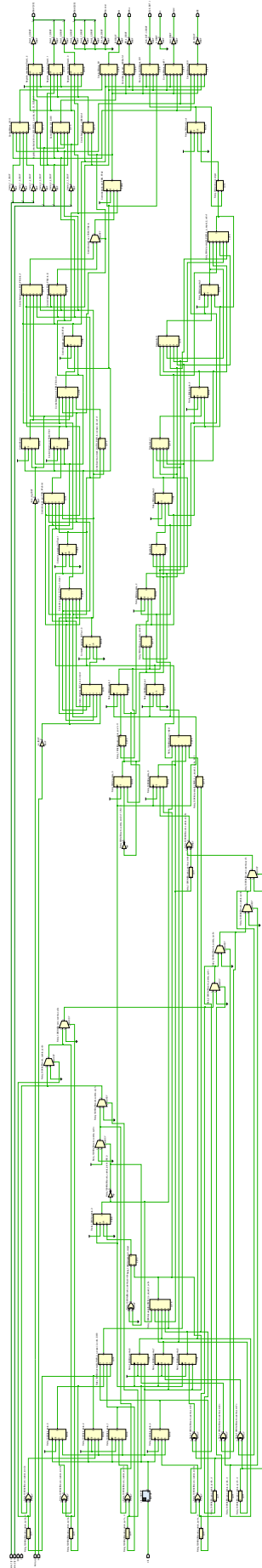
Máquina de estados de circuito de control para Enhanced Scan.

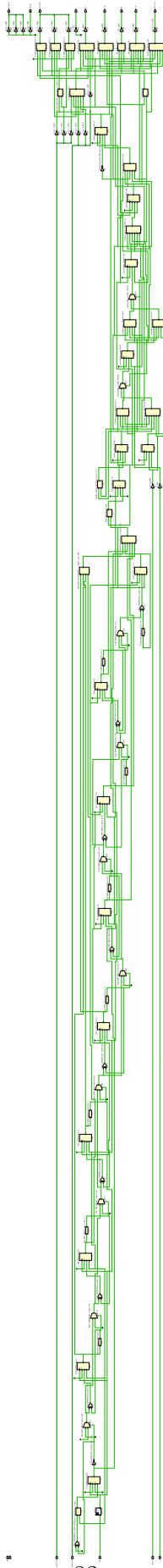


Máquina de estados de circuito de control para Snapshot Scan

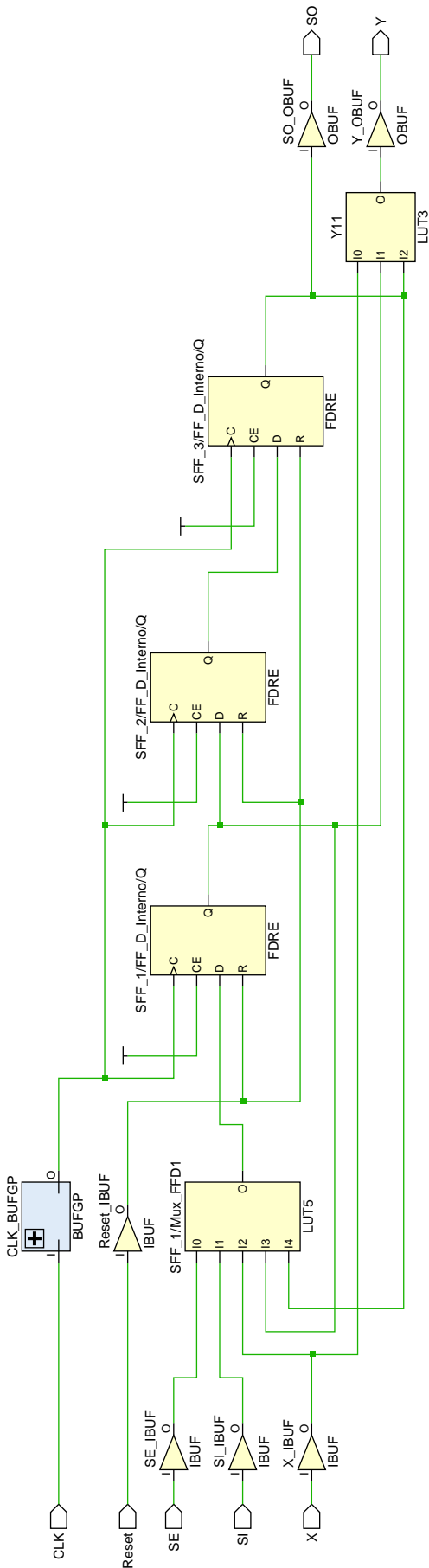


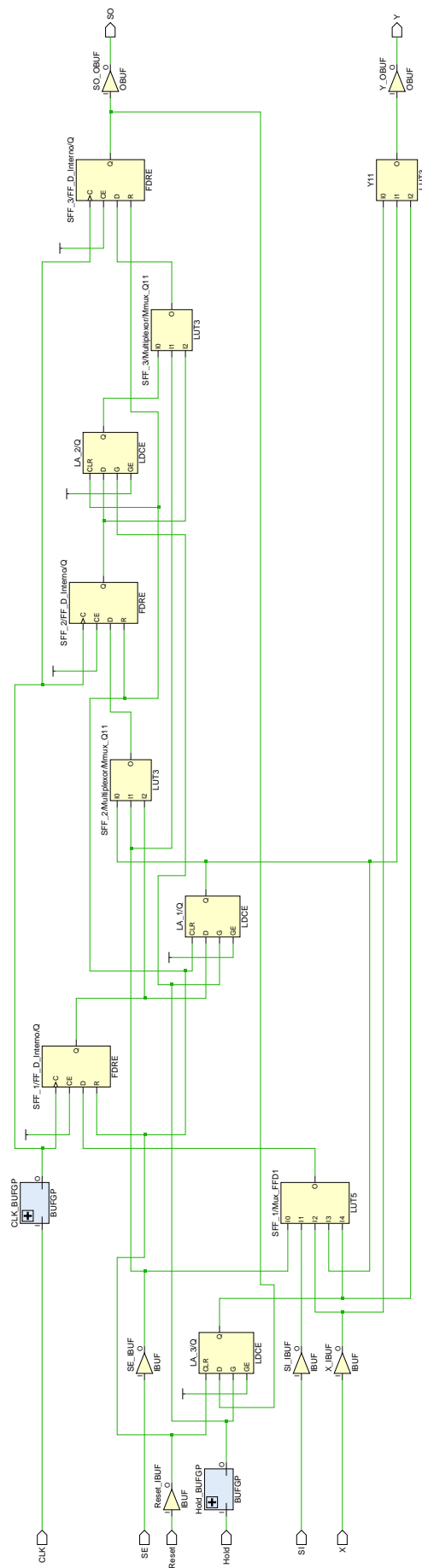




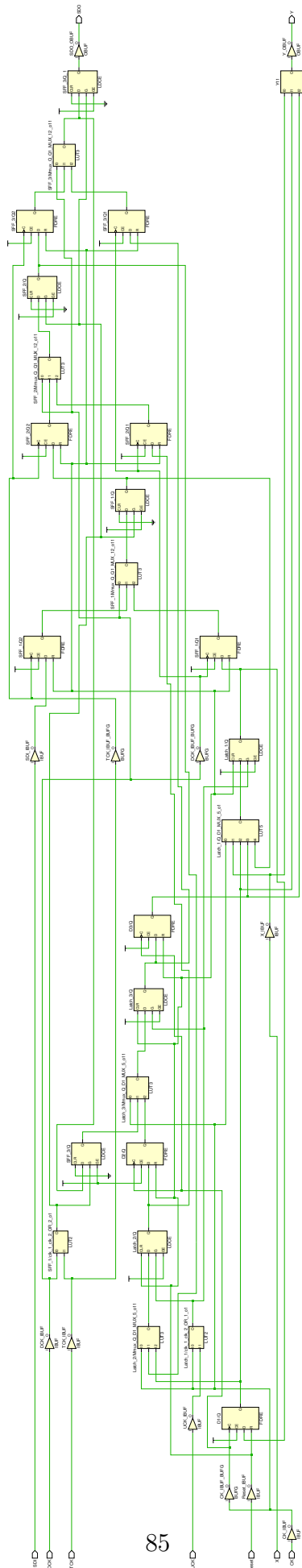


Esquema_Post_Synthesis_Control_Snapshot_Scan





Esquema_Post_Synthesis_Circuito_Enhanced_Scan



Esquema_Post_Synthesis_Circuito_Snapshot_Scan