

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica



**Diseño de circuitos de columna para memoria SRAM para su integración en un
microprocesador con arquitectura RISCv**

**Informe de Proyecto de Graduación para optar por el título de Ingeniero en
Electrónica con el grado académico de Licenciatura**

Felipe Herrero Chavarría

Cartago, Noviembre 2018

INSTITUTO TECNOLÓGICO DE COSTA RICA

ESCUELA DE INGENIERÍA ELECTRÓNICA

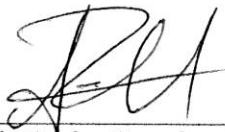
PROYECTO DE GRADUACIÓN

ACTA DE APROBACIÓN

**Defensa de Proyecto de Graduación
Requisito para optar por el título de Ingeniero en Electrónica
Grado Académico de Licenciatura
Instituto Tecnológico de Costa Rica**

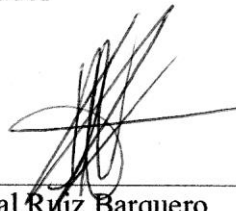
El Tribunal Evaluador aprueba la defensa del proyecto de graduación denominado Diseño de circuitos de columna para memoria SRAM para su integración en un microprocesador con arquitectura RISC-V, realizado por el señor Felipe Herrero Chavarría y, hace constar que cumple con las normas establecidas por la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal Evaluador



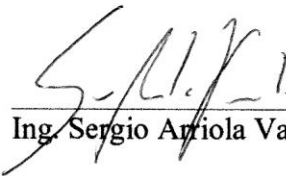
Ing. Luis Carlos Rosales Alpizar

Profesor lector



Ing. Aníbal Ruiz Barquero

Profesor lector



Ing. Sergio Arriola Valverde

Profesor asesor

Cartago, 26 de noviembre de 2018

Declaratoria de autenticidad

Declaro que el presente proyecto de graduación ha sido realizado, en su totalidad, por mi persona y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos que he utilizado material bibliográfico, he procedido a indicar las fuentes mediante citas. En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



Nombre: Felipe Herrero Chavarría

Cédula: 115640632

Viernes 26 de noviembre de 2018

Resumen

En este documento se presenta el diseño de los circuitos periféricos de una memoria SRAM de 64 palabras con 32 bits, en específico el manejador de escritura y el amplificador de sensado. La tecnología utilizada es CMOS de 180 nm y se realizaron los diseños en el programa Custom Compiler de Synopsys. Diferentes topologías para los periféricos fueron comparadas con el fin de encontrar cual se ajusta más a los requerimientos del proyecto. Una vez seleccionado el circuito se diseñan los trazados de los periféricos para ser incluidos con el trazado de la memoria. Al final se construye el trazado de una memoria SRAM capaz de escribir y leer datos en todas las posiciones de memoria utilizando un reloj de 20 MHz y una alimentación de 1.8V

Palabras clave: transistores, CMOS, SRAM, trazado, manejador de escritura, amplificador de sensado

Abstract

This document describes the design of the periphery circuits for 64 word of 32 bits SRAM memory, specifically for the write driver and sensing amplifier. Technology used was 180nm CMOS. All designs and simulations were deployed in Custom Compiler tool from Synopsys. Every circuit model considered on this work has been compared to each other, in order to determine which one suits better memory requirements. As comparison result, best option was chosen as per space and power consumption criteria has emerged and peripherals layout was designed to be included on memory layout design. Finally, SRAM memory with reading/writing capacity over all its positions, at 20 MHz clock and 1.8V power supply, was implemented.

Keywords: transistors, CMOS, SRAM, layout, write driver, sense amplifier

Dedicatoria

Para la abuela que siempre estuvo orgullosa de mí, la que me impulso a terminar este proyecto y será la más feliz de verme concluir esta etapa. ¡Con todo el amor que puedo dar esto va para vos Nena!

Agradecimientos

Primero quiero agradecer a mi papá y a mi mamá, los cuales velaron por mi educación estos 24 años y me volvieron en la persona y profesional que soy hoy. No hay suficientes palabras para agradecerles todo el amor, paciencia y sabiduría que me han dado durante estos años. A mi hermano le doy las gracias por ser el mejor compañero durante los momentos fáciles y difíciles. A Cindy quiero agradecerle por ser la mejor persona en animarme, motivarme y saber que decir en cada momento. Sin ustedes este proyecto no habría sido posible.

También quiero agradecer a todos los profesores y compañeros del DCILab por todos los consejos y conocimiento que me han dado durante este tiempo. En especial quiero darle gracias al profesor Alfonso Chacón quien me dio la oportunidad de ser asistente en el laboratorio y ha sido el guía principal durante el desarrollo de todo este proyecto. También darle gracias a Bernardo por todo el trabajo que hemos hecho en conjunto para llegar a este punto.

A todo el resto de profesores de cada curso y compañeros con los que estudie les doy las gracias.

Índice General

1. Introducción	1
1.1 Objetivos y estructura del documento.....	2
2. Teoría de Transistores y Memorias SRAM.....	3
2.1 Transistor MOS.....	3
2.2 Características corriente-tensión del CMOS.....	4
2.3 Modelo RC.....	6
2.4 Capacitancias parásitas	8
2.5 Resistencia de interconexiones	8
2.6 Estructura de memoria SRAM.....	9
2.7 Fases de funcionamiento de una SRAM de 6 transistores.....	11
2.7.1 Escritura	11
2.7.2 Lectura.....	12
2.7.3 Precarga.....	14
2.8 Circuitos de columna	14
2.8.1 <i>Write Driver</i>	15
Figura 13. Diagrama de manejador de escritura básico [3, p.501].....	15
2.8.2 Amplificador de señal grande	17
2.8.3 Amplificador de señal pequeña.....	17
2.8.4 Amplificador de sensado básico.....	18
2.8.5 Amplificador de sensado de tensión.....	19
2.8.5 Amplificador de sensado de tensión con transistores de paso	20
2.8.6 Amplificador de sensado de corriente.....	22
3. Diseño de circuitos de escritura y lectura.....	24
3.1 Modelo RC de las líneas de bit	26
3.2 Diseño de amplificador de sensado.....	32
3.2.1 Esquemáticos de amplificador de señal grande.....	32
3.2.2 Diagramas prelayout y trazados de amplificadores de sensado	36
3.3 Diseño de <i>write drivers</i>	44
3.3.1 Esquemáticos de <i>write driver</i>	45
3.3.2 Diagrama prelayout y trazado de <i>write driver</i>	49

3.4 Integración de trazados a la memoria <i>SRAM</i>	53
3.4.1 Integración de amplificador de lectura con inversor triestado	54
3.4.2 Corrección de señales de control.....	60
3.4.3 Unión de trazados a la memoria <i>SRAM</i>	62
4. Reporte de funcionamiento de memoria <i>SRAM</i> 64x32	67
5. Conclusiones	73
Bibliografía.....	75

Índice de Figuras

Estructura de un diodo unión p-n y símbolo [3, p.7].....	3
Corte lateral de un transistor tipo-N [3, p.7].....	4
Dimensiones del transistor CMOS [3, p. 65].....	5
Regiones de operación de transistor N-MOS [4].....	5
Modelo RC del transistor [3, p. 147].....	7
Capacitancias entre terminales del transistor [5].....	8
Representación de un segmento de conexión metálica [1, p. 214].....	9
Diagrama de SRAM de 6 transistores [1, p. 500].....	10
Arreglo de una memoria SRAM con periféricos [1, p.499].....	11
Proceso de escritura de una celda SRAM [1, p. 501].....	12
Ejemplo de diagrama para la lectura de una celda SRAM [3, p. 501].....	13
Diagrama de circuito de acondicionamiento/precarga [3, p. 501].....	14
Diagrama de manejador de escritura básico [3, p.501].....	15
Diagrama de manejador de escritura con lógica de control y VDD adicional [11].....	16
Diagrama de amplificador de sensado básico [13].....	18
Diagrama de amplificador de sensado de tensión [13].....	19
Diagrama de amplificador de tensión con transistor de paso [19].....	20
Diagrama de amplificador de sensado de tensión con transistores de paso y precarga [21].....	21
Diagrama de amplificador de sensado de corriente [22].....	22
Diagrama de amplificador de sensado de corriente 2 [15].....	23
Flujo de diseño VLSI.....	24
Estado de la memoria durante una escritura o lectura.....	27
Esquemático de transistor de paso de memoria SRAM.....	28
Modelo RC de las líneas de bit para simulaciones SRAM.....	29
Esquemático de celda SRAM con modelo RC de líneas de bit y periféricos básicos.....	30
Señales de control de simulaciones.....	31
Esquemático de amplificador de sensado básico.....	33
Esquemático de amplificador de sensado de tensión.....	33
Esquemático de amplificador de sensado de tensión con transistores de paso.....	34
Esquemático amplificador de sensado de corriente.....	34

Diagrama pre-layout de amplificador de sensado de tensión 1	37
Diagrama pre-layout de amplificador de sensado de tensión 2	38
Extracción de trazado de amplificador de sensado de tensión	39
Diagrama prelayout de amplificador de sensado de corriente.....	39
Diagrama prelayout de amplificador de sensado de corriente con reducción de polisilicio utilizado	40
Trazado de amplificador de sensado de corriente	41
Resultados de simulaciones potslayout de amplificador de sensado de tensión con memoria SRAM 64x32	42
Resultados de simulaciones potslayout de amplificador de sensado de corriente con memoria SRAM 64x32.....	42
Esquemático de write driver básico.....	45
Esquemático de base de write driver complejo	46
Esquemático de write driver complejo completo	46
Simulación con barrido de ancho de transistor de descarga de esquemático write driver básico	48
Diagrama prelayout de write driver básico.....	49
Diagrama prelayout de write driver básico con transistores volteados verticalmente	50
Cambio propuesto al write driver básico.....	51
Diagrama prelayout de write driver básico con reducción de polisilicio y recorte al número de transistores	51
Extracción de trazado de write driver básico con transistores volteados verticalmente	52
Extracción de trazado de write driver básico con reducción de polisilicio y recorte al número de transistores	52
Inversor triestado [24]	54
Esquemático de inversor triestado.....	55
Simulación con esquemático de inversor triestado.....	56
Diagrama prelayout de inversor triestado.....	57
Diagrama prelayout de amplificador de sensado de corriente con inversor triestado de salida	57
Trazado de inversor triestado	58

Trazado de inversor triestado con transistores horizontales	58
Modificaciones al trazado del inversor triestado con transistores horizontales y espacio entre líneas de metal	59
Trazado de amplificador de sensado con inversor triestado en la salida	60
Simulación con barrido de tiempos de la señal SE.....	61
Simulación postlayout de memoria SRAM con corrección en señales de control	62
Ejemplo de unión del trazado del amplificador de sensado con la memoria SRAM	63
Inclusión a nivel de trazado del bus de datos	64
Extracción de memoria SRAM con periféricos y bus de datos	64
Simulación postlayout de memoria SRAM con circuitos periféricos	65
Trazado de memoria SRAM 64x32 completa	68
Diagrama de tiempos para los procesos de escritura y lectura de la memoria SRAM 64x32	69
Resultados de simulación postlayout de las primeras 4 palabras de la memoria SRAM.....	70

Índice de Tablas

Zonas de operación de los transistores TIPO-N y TIPO-P.....	6
Tabla de verdad de manejador de escritura basado en las señales de la figura 14	16
Dimensiones de transistor de acceso de memoria SRAM	27
Resultados de simulaciones de lectura con amplificador de señal grande con diferentes modelos de líneas de bit.....	31
Resultados de simulaciones de amplificadores de sensado utilizando modelo RC de las líneas de bit.....	35
Resultados de simulaciones postlayout de amplificadores de sensado con memoria SRAM 64x32	43
Resultados de simulaciones de esquemáticos de write drivers con modelo RC de las líneas de bit	47
Resultado de simulaciones de barrido de ancho de transistores de descarga de esquemático de write driver básico	48
Resultados de simulaciones postlayout de write driver básico.....	53

Resultados de simulaciones postlayout de amplificadores de sensado	62
Dimensiones de extracción de la memoria SRAM 64x32.....	65
Resultados de simulación postlayout de la figura 64	65
Dimensiones memoria SRAM 64x32 completa	69
Tiempos de setup y hold de la memoria SRAM.....	71
Consumo de la memoria SRAM 64x32.....	71
Tiempos de lectura y escritura de la memoria SRAM 64x32.....	71
Comparación de resultados con requisitos de diseño	72

1. Introducción

El Laboratorio de Diseño de Circuitos Integrados (DCILab) de la Escuela de Ingeniería Electrónica se encuentra realizando el diseño de la arquitectura de un microprocesador RISC-V 32I micro programado. Ya en proyectos anteriores se trabajó en el DCILab en una prueba de concepto de microprocesador de aplicación específica basado en la tecnología RISC-V, como base para un sistema de reconocimiento de patrones orientado a la detección de disparos de armas de fuego en zonas protegidas [1, 2].

A partir de dicha experiencia, se ha propuesto ahora un proyecto de investigación que busca integrar un procesador basado en RISC-V dentro de un dispositivo implantable médico, en conjunto con la Universidad Católica del Uruguay, con financiamiento de la Agencia Nacional de Investigación e Innovación del Uruguay. Como parte del desarrollo del procesador, desde el año pasado, se ha estado trabajando en el diseño de un bloque de memoria SRAM (*Static Random Access Memory*) de seis transistores que pueda ser integrado en el microprocesador. La tecnología utilizada para el diseño de esta memoria es CMOS de 180 nm.

Actualmente se cuenta con un arreglo de memoria SRAM de 64 palabras con 32 bits cada una. El trazado, o *layout*, del arreglo de memoria ya cuenta con extracción y se han realizado simulaciones *post-layout* de la misma con éxito. A este arreglo de memoria le hacen falta los circuitos de columna a nivel de trazado, los cuales son necesarios para su funcionamiento e inclusión en el microprocesador. Específicamente los circuitos de columna faltantes son los *drivers* de escritura y los amplificadores de sensado.

Los periféricos deben ajustarse a las dimensiones del arreglo de memoria: en el caso de los circuitos de columna, se debe tomar en cuenta el ancho de la memoria para mantener un bloque completo con forma rectangular. Esto permite que su inclusión al procesador sea más sencilla, haciendo un mejor uso del espacio con el que se cuenta. Es por esta razón que se opta por diseñar estos circuitos con un proceso *full custom*, utilizando la herramienta *Custom Compiler* de Synopsys. Se deben generar los *layouts* de los circuitos y realizar simulaciones

post-layout en conjunto con la extracción de la memoria para corroborar su funcionamiento y desempeño.

1.1 Objetivos y estructura del documento

Este proyecto pretende diseñar los circuitos de escritura y lectura para una memoria SRAM de 64 palabras de 32 bits utilizando un proceso CMOS de 180 nm. Esto implica que se deberán generar y seleccionar los trazados a nivel de silicio de los circuitos de columna. Se deberán tomar en cuenta factores de desempeño y área total de los diseños a la hora de decidir cuales modelos se van a utilizar. La memoria trabajará con un reloj de 20 MHz, por lo cual los procesos de lectura y escritura deberán poderse realizar de manera correcta en medio ciclo de reloj de 25 ns. Adicionalmente se deben determinar los tiempos necesarios para que los datos se encuentren listos en los procesos de escritura y lectura. Los tiempos de estos procesos serán necesarios para generar las señales de control a la hora de incluir el circuito de control a la memoria en el procesador. Como restricciones del diseño los circuitos de escritura y lectura no deberán ser más anchos que la memoria SRAM y se deberá mantener al mínimo posible el largo de los mismos, siempre y cuando no se comprometa el funcionamiento correcto de la memoria.

La estructura del documento sigue el siguiente orden. En el capítulo 2 se expondrán los conceptos básicos necesarios para analizar circuitos CMOS. En este capítulo también se mostrarán las arquitecturas que se planean comparar durante el proceso de diseño de los periféricos. El capítulo 3 estará dedicado a mostrar el proceso de selección y diseño del amplificador de sensado y el manejador de escritura, también conocido como *write driver*, hasta llegar con un trazado y su extracción. Este capítulo terminará con la unión de los circuitos de columna con la memoria SRAM. El capítulo 4 servirá como un reporte del comportamiento final de la memoria SRAM para los procesos de lectura y escritura. Por último el capítulo 5 tendrá las conclusiones y recomendaciones del proyecto.

2. Teoría de Transistores y Memorias SRAM

En esta sección se presentaran los conceptos necesarios para el diseño de los periféricos deseados para la memoria SRAM. Será necesario mostrar los conocimientos teóricos de diseño VLSI, iniciando por la composición y funcionamiento de los transistores hasta llegar a detallar el cómo trabaja una memoria SRAM. Todo esto brindará el respaldo teórico para la selección de las arquitecturas de los periféricos que mejor se ajusten a las necesidades del proyecto.

2.1 Transistor MOS

Los transistores están compuestos por materiales semiconductores, generalmente el silicio (*Si*). El silicio es un elemento del grupo 4, lo cual indica que tiene 4 electrones de valencia. Las estructuras de silicio puro no son muy buenos conductores, pero con la adición de impurezas, llamadas dopantes, es posible aumentar la conductividad [3, p.6]. Estos dopantes pueden añadir huecos o electrones adicionales a las estructuras dependiendo del material que se utilice. Cuando el dopante deja un electrón libre (elemento del grupo 5) se le conoce al resultado como un semiconductor de tipo-N, y cuando el dopante añadido deja un hueco (elemento del grupo 3) se genera un semiconductor de tipo-P. En la Figura 1 se muestra la unión de un semiconductor tipo-N y un semiconductor tipo-P forman un diodo.

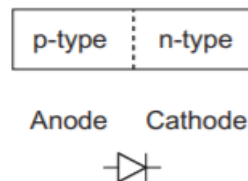


Figura 1. Estructura de un diodo unión p-n y símbolo [3, p.7]

Los diodos permiten el flujo de corriente desde el ánodo hacia el cátodo pero muy poca corriente puede fluir en el sentido contrario. A partir de esta estructura es que se generan los transistores, y existen dos tipos de transistores tales como los de tipo-N y los de tipo-P. En la Figura 2 se muestra el corte lateral de un tipo-N.

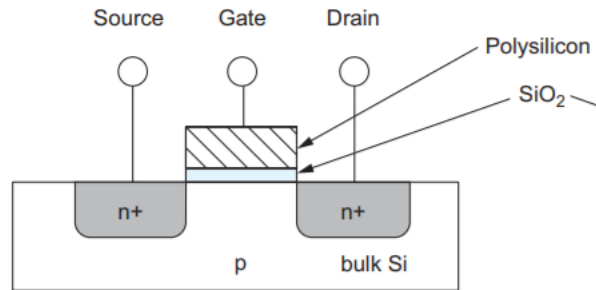


Figura 2. Corte lateral de un transistor tipo-N [3, p.7]

Los transistores tipo-N están compuestos por un semiconductor tipo-P (conocido como sustrato) y dos tinas en su parte superior compuestas por material semiconductor tipo-N (conocidas como surtidor y drenador). Estas tinas generan múltiples diodos con la base, cancelando el flujo de corriente a través de ambas tinas. Para generar el flujo de corriente los transistores cuentan con una compuerta conocida como compuerta, la cual se encuentra entre ambas tinas pero se mantiene separada del semiconductor por una capa delgada de dióxido de silicio (SiO_2). Es importante notar que la compuerta está conectada por polisilicio, el cual es altamente resistivo. Una vez que se coloque una carga positiva en la compuerta se genera una concentración de huecos al borde del SiO_2 . Estos huecos repelerán los huecos que se encuentran en el sustrato creando un puente de electrones que une el drenador con el surtidor, permitiendo el flujo de los electrones si se encuentran ambas tinas polarizadas de manera adecuada [3].

En el caso de los transistores tipo-P su construcción es inversa a los transistores tipo-N, donde el sustrato está conformado por semiconductores tipo-N y sus dos tinas son hechas con semiconductores tipo-P. Una carga lo suficientemente baja en la puerta del transistor atraerá cargas positivas a la cerca de la unión con el SiO_2 , habilitando el flujo de corriente entre las dos tinas.

2.2 Características corriente-tensión del CMOS

El funcionamiento de los transistores está determinado por sus dimensiones físicas, donde el largo del canal, ancho del canal y el ancho del óxido de silicio permite caracterizar el funcionamiento del transistor, donde además se afectan la movilidad de los portadores de carga del sustrato y la permitividad del óxido de silicio. Estas características son propias de

los procesos de producción de los transistores y, con excepción del ancho y largo del transistor, estos valores son constantes en cada proceso. Todos estos factores definirán la corriente que puede fluir a través del transistor dependiendo de su región de operación [3]. En relación a lo anterior en la figura 3 y 4 se muestran las dimensiones de un transistor CMOS y las regiones de operación a partir de las tensiones entre sus terminales.

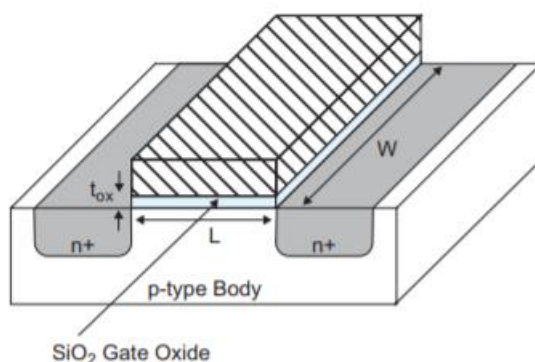


Figura 3. Dimensiones del transistor CMOS [3, p. 65]

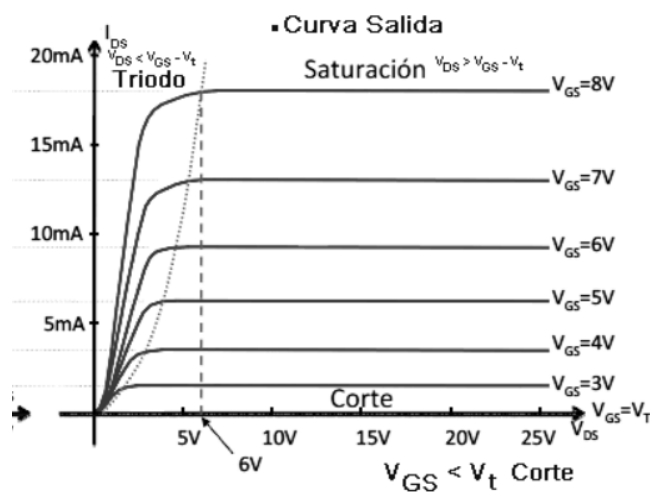


Figura 4. Regiones de operación de transistor N-MOS [4]

La región de corte se presenta cuando la tensión entre la base y surtidor (V_{GS}) es menor que la tensión de umbral V_t . Una vez que la tensión V_{GS} supera a la tensión de umbral inicia el flujo de corriente por el transistor. Si la tensión entre el drenador y surtidor V_{DS} es menor que la resta de V_{GS} y V_t , el transistor se encuentra en la región de triodo y la corriente en esta zona sigue la ecuación 1.

$$I_{ds} = \beta((V_{gs} - V_t)V_{ds} - \frac{V_{ds}^2}{2}) \quad (1)$$

$$\beta = \mu C_{ox} \frac{W}{L} \quad (2)$$

La constante β está definida por las características físicas descritas en (2) del transistor y en relación con (1) se demuestra que es proporcional a la corriente que atraviesa al transistor. Por último se tiene la zona de saturación, la cual se presenta cuando V_{DS} es mayor que la diferencia matemática entre V_{GS} y V_t , en donde la corriente para esta zona está definida por la ecuación (3).

$$I_{ds} = \frac{\beta}{2}(V_{gs} - V_t)^2 \quad (3)$$

Las ecuaciones (1), (2) y (3) son válidas para los dos tipos de transistores pero, en el caso del tipo-P, las condiciones de tensión para determinar en cual zona de operación se encuentra son opuestas a las anteriormente mencionadas. A manera de resumen se presentan las condiciones de las diferentes zonas de operación en la tabla 1.

Tabla 1. Zonas de operación de los transistores TIPO-N y TIPO-P

Zona de operación	Tipo-N	Tipo-P
Corte	$V_{gs} < V_t$	$V_{gs} > V_{dd} + V_t$
Triodo	$V_{ds} < V_{gs} - V_t$	$V_{ds} > V_{gs} - V_{dd} - V_t$
Saturación	$V_{ds} > V_{gs} - V_t$	$V_{ds} < V_{gs} - V_{dd} - V_t$

2.3 Modelo RC

Un modelo RC de un circuito con transistores es una aproximación para determinar el retraso que presenta el circuito bajo estudio. Los resultados basados en este modelo son bastante acertados a pesar de las limitaciones que presenta al tratar de representar un comportamiento analógico [3]. Para generar el modelo RC es necesario conocer las capacitancias parasitas del transistor y su resistencia efectiva. En la Figura 5 se muestra el modelo RC de un transistor.

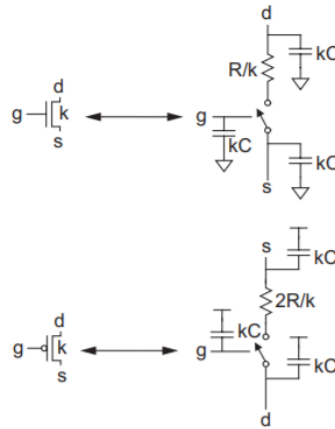


Figura 5. Modelo RC del transistor [3, p. 147]

El modelo RC toma al transistor como un switch y una resistencia en serie. Esta resistencia es generada tomando el promedio de la tensión y la corriente que atraviesan el transistor. Se toma como medida base una resistencia efectiva de R para un transistor unitario, el cual es de ancho y largo mínimo (en el caso de la tecnología utilizada en este proyecto el transistor unitario es de 220 nm de ancho y 180 nm de largo). Si un transistor es k veces más ancho que el unitario entonces su resistencia efectiva es de $\frac{R}{k}$. La resistencia efectiva también es proporcional al largo del transistor. Para el caso de un tipo-P la resistencia efectiva será entre 2 a 3 veces mayor que la del transistor unitario [1].

El modelo RC de la Figura 5 muestra las capacitancias entre las terminales y el cuerpo, a estas capacitancias se les puede sumar las capacitancias entre las mismas terminales (C_{dg} y C_{sg}). En la Figura 6 se muestra un diagrama que contemple el transistor MOS y sus capacitancias parásitas.

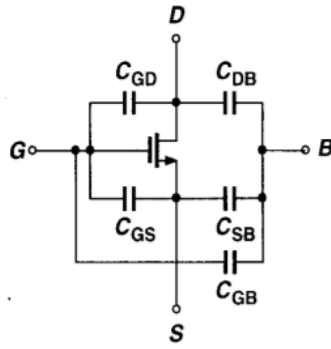


Figura 6. Capacitancias entre terminales del transistor [5]

Una vez que se tienen estos valores se puede calcular la aproximación del retraso como si se tratara de un circuito RC. De igual manera se puede definir una unidad básica de capacitancia denominada C que se calcula a partir del valor de la capacitancia C_{gb} del transistor de tamaño mínimo. Conforme se aumente k veces el ancho del transistor el capacitor aumentará de manera proporcional.

2.4 Capacitancias parásitas

En relación con la Figura 6, entre cada terminal del transistor se generan capacitancias que afectaran el funcionamiento. De acuerdo con las especificaciones de la tecnología estas capacitancias son descritas mediante las ecuaciones (4) hasta (6).

$$C_{gs} = W L C_{OX} + W C_{OV} \quad (4)$$

$$C_{db} = C_{sb} = C_{gs} \quad (5)$$

$$C_{gd} = W C_{OV} \quad (6)$$

Las ecuaciones anteriores consideran el ancho y largo completo de los transistores (W y L) y adicionando además las capacitancias de superposición (C_{OV}) de los contactos sobre el cuerpo del transistor. La capacitancia del óxido de silicio (C_{OX}) es una constante del proceso con el que se esté trabajando.

2.5 Resistencia de interconexiones

Toda conexión realizada en un circuito tendrá una resistencia asociada por sus características físicas. En el caso de los circuitos *VLSI* las interconexiones se realizan con canales de diferentes metales conductores. En la Figura 7 se describe un segmento de conexión metálica.

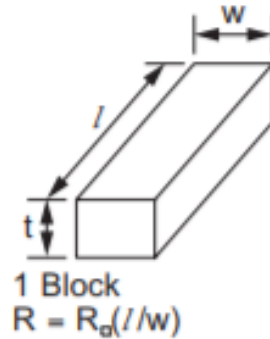


Figura 7. Representación de un segmento de conexión metálica [1, p. 214]

$$R = \frac{\rho l}{t w} = R_{\blacksquare} \frac{l}{w} \quad (7)$$

En (7) las variables l , t y w se encuentran debidamente representadas según lo mostrado en la Figura 7, donde además la constante ρ es la resistividad del material. En los diversos procesos de producción *VLSI* el alto de las líneas de metal es constante por lo cual es conveniente unir las dos constantes en solo una, dando como resultado la resistencia de lámina. Según se describió en (7), este cálculo de resistencia de las conexiones proporcionará un modelo RC más completo y con resultados más cercanos a un circuito real [3].

2.6 Estructura de memoria SRAM

Las *SRAM* son un tipo de memoria basada en semiconductores compuesta por dos inversores *CMOS* retroalimentados entre sí. La característica fundamental de este tipo de memoria es que puede guardar datos por una cantidad indefinida de tiempo siempre y cuando la fuente de alimentación se encuentre conectada a las celdas de memoria, esta es la diferencia principal con el otro tipo de memoria *RAM*, la cual es conocida como *DRAM*. Las *DRAM* requieren que se refresque el dato que se encuentra almacenado periódicamente [6].

Con el avance de los años y la tecnología se está en búsqueda de aumentar la velocidad de las memorias, disminuyendo el área en que son construidas manteniendo el consumo al mínimo [7]. Las memorias *SRAM* cuentan con la ventaja de ser más compactas que arreglos de *flip-flops*, y además son compatibles con cualquier proceso *CMOS*, son más rápidas y sencillas de implementar que las *DRAM* [3]. En la figura 8 se muestra la topología de una memoria *SRAM*.

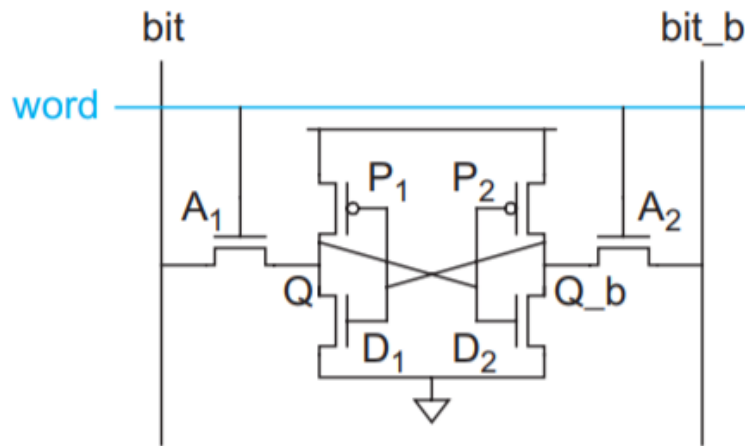


Figura 8. Diagrama de *SRAM* de 6 transistores [1, p. 500]

Las memorias *SRAM* pueden escribir, leer y retener los datos siempre y cuando se esté aplicando una tensión de alimentación adecuada. El diseño de 6 transistores tiene la ventaja de ser compacto a cambio de tener circuitos periféricos más complejos que otros modelos. El tamaño de estos periféricos no se vuelve relevante si la cantidad de celdas de memoria es lo suficientemente grande. Para poder retener los datos dentro de la memoria o tener acceso a las líneas de bit se cuenta con dos transistores de acceso. Es a través de las líneas de bit que la celda recibe los datos que va a guardar y envía los datos de lectura [1]. En la Figura 9 se describe el arreglo de una memoria *SRAM*.

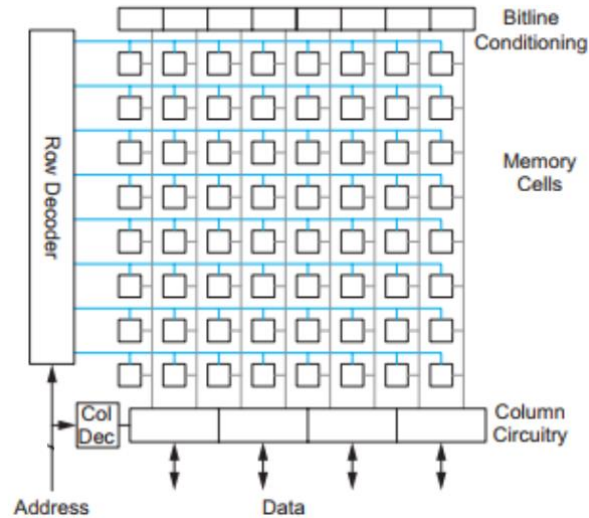


Figura 9. Arreglo de una memoria SRAM con periféricos [1, p.499]

Múltiples celdas individuales pueden compartir una misma señal de word para generar la estructura conocida como palabra. Estas estructuras luego se pueden apilar compartiendo las líneas de bit para generar los arreglos de memoria. Para realizar la selección de la palabra a la cual se desea acceder se utiliza un decodificador de línea. Adicionalmente se requieren implementar tres circuitos de columna para los procesos que realiza la memoria. Estos circuitos son: circuito de acondicionamiento (precarga), amplificador de sensado (lectura) y manejador de escritura. En los casos en que las memorias sean de mayor tamaño y contengan una gran cantidad de palabras se puede hacer la inclusión de un decodificador de columna. Este decodificador permite la integración de múltiples palabras que compartan la misma señal de word, resultando en líneas de bit más pequeñas y un uso eficiente del área. [3]

2.7 Fases de funcionamiento de una SRAM de 6 transistores

La celda *SRAM* de 6 transistores cuenta con dos fases de funcionamiento: fase de escritura/lectura (ϕ_1) y la precarga (ϕ_2). En relación de lo anterior, a continuación se detallará los procesos que lleva a cabo la memoria *SRAM*.

2.7.1 Escritura

Para realizar una escritura primero se deben forzar las líneas de bit y bit_b al valor que se desea colocar dentro de la celda. Luego se activan las compuertas de acceso con la señal de word, sobrescribiendo el estado en el que se encuentra los inversores retroalimentados. En la figura 10 se muestra un diagrama temporal de escritura de una memoria SRAM.

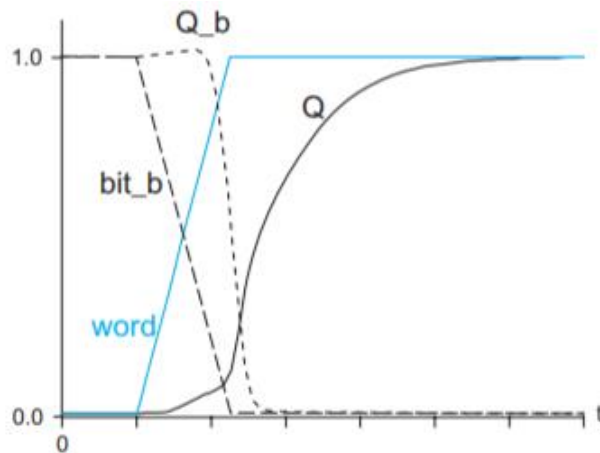


Figura 10. Proceso de escritura de una celda SRAM [1, p. 501]

Según la Figura 10 en relación a proceso de escritura, Q originalmente se encuentra con un “0” lógico almacenado. Para dar inicio con la escritura es necesario forzar la línea bit_b a “0”, conectándolo a tierra y dejando la línea de bit flotando. Luego da el flujo de corriente por los transistores de acceso activando la señal de word. Q_b se descargara a través de bit_b y se tendrá un “0” lógico en ese lado de la celda, al mismo tiempo el nodo Q tendrá un “0” lógico, ocasionando que se cargue nuevamente por los efectos de la retroalimentación de los inversores de la celda. El proceso de escritura termina cuando la señal de word se apaga y se procede a la fase de precarga.

En [8] se resumen los siguientes cuatro pasos para una escritura correcta: decodificación de fila y columna, forzar las líneas de bit, el cambio de los valores de las celdas de memoria y precarga.

2.7.2 Lectura

La lectura en una memoria *SRAM* se realiza conectando las líneas de bit a los nodos internos de la celda *Q* y *Q_b* por medio de los transistores de acceso. Al inicio de este proceso ambas líneas de bit se encuentran flotando y en alto. Una vez que las líneas de bit se conecten iniciará un proceso de descarga de la línea a través de los transistores *N* de la memoria, lo que dejará una línea de bit con un “0” lógico y otra con un “1” lógico. Durante este proceso de descarga de la línea de bit la carga pasa a través de la celda, aumentando los niveles de tensión del “0” que se encuentra almacenado.

El diseño de la memoria deberá tolerar este cambio sin voltar a los inversores, esta tolerancia al cambio de estado se conoce como margen de escritura. El principal retraso en el proceso de lectura se debe a las líneas de bit, las cuales son largas y tienen un alto valor capacitivo, las cuales tienen que descargarse por medio de los transistores de las celdas. Estos transistores tienden a ser pequeños para minimizar el área de la celda, volviendo la descarga aún más lenta. Es por esta razón que para los procesos de lectura se incluye un amplificador de sensado para realizar lecturas de manera más rápida y con una reducción en el consumo total de la celda [3]. En la Figura 11 se describe un diagrama de interconexión para una celda *SRAM*.

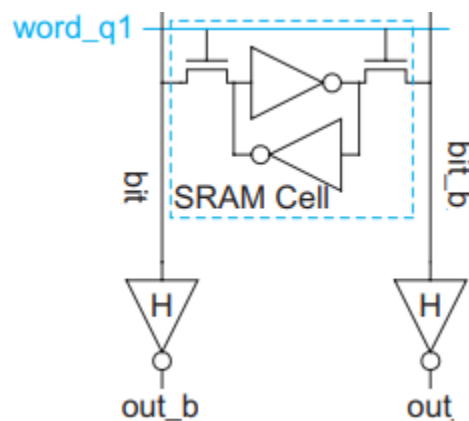


Figura 11. Ejemplo de diagrama para la lectura de una celda SRAM [3, p. 501]

Existen dos tipos de amplificadores de sensado, amplificadores de señal grande y señal pequeña. Los amplificadores de señal grande esperan a un cambio del valor en las líneas de bit entre V_{DD} y V_{SS} como una señal digital regular. Por otra parte, los amplificadores de

pequeña señal detectan un cambio de tensión leve en las líneas de bit durante la lectura y logran convertir ese cambio a un nivel de tensión estable y útil para la lectura [3].

En [8] se resumen los siguientes pasos que se deben de seguir para poder realizar un proceso de lectura correcto: decodificación de fila y columna, descarga de las celdas en las líneas de bit, sensado (en caso de utilizar un amplificador de sensado) y precarga.

2.7.3 Precarga

Para los dos procesos descritos anteriormente las líneas de bit se consideran que ya se encuentran previamente cargadas a un “1” lógico, esto se logra con los circuitos de acondicionamiento. El funcionamiento de la *SRAM* se divide en dos fases, es durante una de estas fases que sucede la precarga que consiste en cargar al valor de V_{DD} las líneas de bit para aumentar la eficiencia del proceso que corresponda durante la siguiente fase. En la Figura 12 se muestra la topología del circuito para acondicionamiento y precarga [3].

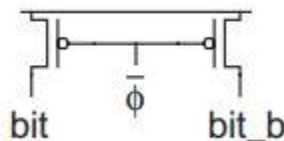


Figura 12. Diagrama de circuito de acondicionamiento/precarga [3, p. 501]

El circuito de acondicionamiento/precarga consiste únicamente de dos transistores tipo P conectados a las líneas de bit. Ya que únicamente se transferirá un “1” lógico por estos transistores es que se seleccionan de tipo P. La velocidad de este proceso dependerá del tamaño de las líneas de bit y del dimensionamiento de los transistores [3].

2.8 Circuitos de columna

La memoria *SRAM* de 6 transistores tiene la ventaja de que sus arreglos son fáciles de compactar, obteniendo memorias con una alta densidad de transistores. Para que estos arreglos funcionen de manera correcta es necesario incluir circuitos adicionales que le permitan a la memoria llevar acabo las lecturas y escrituras. Entre los circuitos de lectura y escritura se manejan la entrada y salida de datos. Este manejo de información puede llevarse

a cabo de dos maneras: teniendo canales individuales de datos (bus de entrada y un bus de salida) [9] o un único bus compartido de datos [10]. A continuación se mostraran en mayor detalle los circuitos periféricos encargados de estas dos tareas.

2.8.1 Write Driver

Un *write driver* típico se encarga de forzar una de las dos líneas de bit y manteniendo la otra en un valor de V_{DD} . Dependiendo el modelo de *write driver* solo una línea de bit se conecta a tierra mientras la otra queda flotando. En la Figura 13 se muestra una topología básica de un *write driver*.

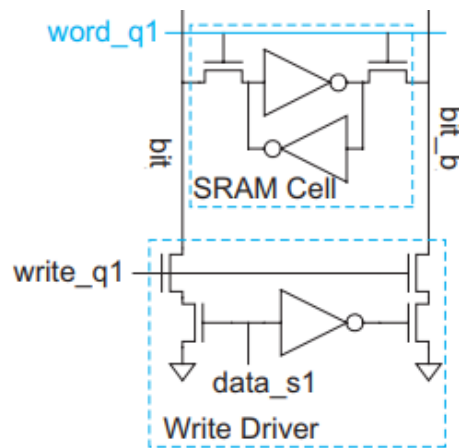


Figura 13. Diagrama de manejador de escritura básico [3, p.501]

En la Figura 13 se muestra la construcción más básica de un *write driver*, donde primero se selecciona el dato que se desea escribir en la memoria. El inversor en este circuito asegura que solo una de las dos líneas de bit será conectada a V_{SS} . Adicionalmente se necesita un transistor de paso y una señal que actúe como un habilitador para el circuito. Esto es necesario para asegurar que solo se fuerzen las líneas de bit a V_{SS} durante los procesos de escritura. *Write drivers* más complejos cuentan con lógica adicional que permiten añadir una conexión a V_{DD} para ayudar a mantener el valor en las líneas de bit. En la Figura 14 se muestra un *write driver* con su lógica de control.

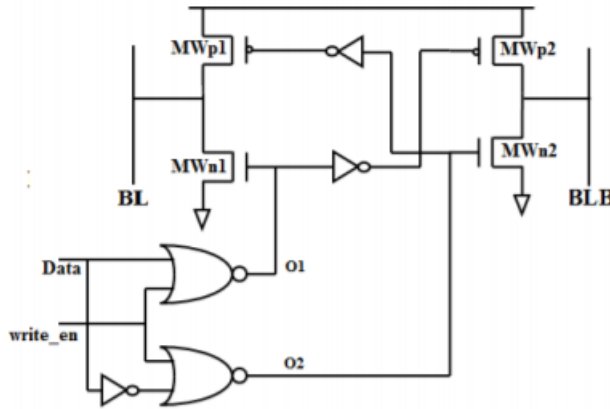


Figura 14. Diagrama de manejador de escritura con lógica de control y V_{DD} adicional [11]

El circuito mostrado en la Figura 14 tiene las mismas señales de control que el circuito básico pero este modelo tiene la posibilidad de incluir la conexión adicional a V_{DD} . El funcionamiento sigue la misma lógica que el *write driver* básico, una señal indica el dato que se desea escribir en la memoria y solo entra en funcionamiento cuando la señal de habilitación se encuentra activa. Ahora bien, la salida de las compuertas *NOR* junto con los inversores activan los transistores correspondientes y fuerzan las líneas de bit a V_{DD} o V_{SS} . En la Tabla 2 se resumen las combinaciones para el *write driver* con lógica adicional.

Tabla 2. Tabla de verdad de manejador de escritura basado en las señales de la Figura 14

Data	N_Data	Write_en	Nodo 01	Nodo 02	BL	BLB
0	1	0	1	0	0	1
0	1	1	0	0	X	x
1	0	0	0	1	1	0
1	0	1	0	0	X	x

Toda la lógica adicional que añaden los *write drivers* más complejos es en busca de un proceso de escritura mayor confiabilidad. El forzar la segunda línea de bit a V_{DD} en lugar de dejarla flotando reforzará todo el proceso de escritura y disminuye el consumo durante el proceso y la siguiente precarga. De acuerdo a [11] una buena manera de medir la confiabilidad de un *write driver* es medir los valores finales de las líneas de bit luego de un proceso de escritura. Entre más cercanos a V_{DD} y V_{SS} se encuentren las líneas de bit se pueden reducir los errores de la memoria *SRAM*, sobre todo en memorias que trabajen a altas velocidades.

2.8.2 Amplificador de señal grande

Los amplificadores de señal grande requieren un cambio completo en el nivel de tensión de las líneas de bit para realizar el proceso de lectura. Normalmente se utiliza un inversor para desacoplar la salida de los datos de la alta capacitancia de las líneas de bit. El inversor agiliza parcialmente el proceso de lectura pero aun así se requiere que las líneas de bit conmuten hasta cruzar el nivel de tensión necesario para que los inversores conmuten sus salidas.

Este tipo de amplificador es el más pequeño y fácil de implementar ya que no requiere ningún tipo de señal de control adicional para su funcionamiento. Una técnica utilizada frecuentemente para agilizar este tipo de amplificadores es la jerarquización de las líneas de bit, la cual consiste en dividir las líneas de bit en grupos de palabras de menor cantidad. Cada subgrupo está conectado a través de una compuerta *NAND* hacia una línea de bit global. En general, los amplificadores de señal grande no deben de ser usados en arreglos de memorias que contengan líneas con más de 32 palabras [3].

2.8.3 Amplificador de señal pequeña

Para maximizar la densidad de los diseños de las memorias *SRAM* se colocan una gran cantidad de palabras en una sola línea de bit. De acuerdo a [3], los amplificadores de señal grande ya no son efectivos en este panorama, por lo cual se vuelve necesario la implementación otro tipo de amplificador para cumplir con los requerimientos de la memoria deseada. Es en esta situación que se hace uso de los amplificadores de señal pequeña o amplificadores de sensado.

El funcionamiento básico de los amplificadores de sensado siempre se basa en la diferencia de tensión que se genera entre las dos líneas de bit. Los amplificadores detectan cuál de las dos líneas tiene el menor valor y generan el resultado de la lectura. Siempre se busca que esta diferencia sea la menor posible, esto no solo hará el proceso de lectura más rápido sino que también reducirá el consumo de la celda durante la próxima precarga [13].

2.8.4 Amplificador de sentido básico

Esta configuración está compuesta por 6 transistores, 3 tipo N y 2 tipo P. Los transistores tipo N, N1 y N2, son activados por las líneas de bit. Los transistores tipo P, P1 y P2, son espejos de corriente que se encargan de mantener constante el flujo de corriente entre las dos ramas. Por último el transistor tipo N, N3, tiene en su base la señal para habilitar el amplificador. Este mismo transistor conecta los nodos a tierra y su dimensionamiento definirá la corriente y por ende la velocidad con la que trabajara el amplificador. En la Tabla 14 se muestra la topología del amplificador de sentido.

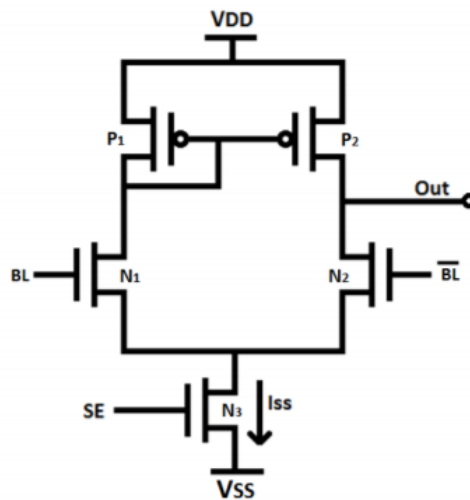


Figura 15. Diagrama de amplificador de sentido básico [13]

Ahora bien durante el proceso de precarga las líneas de bit se fijan a un “1” lógico, esto nivelará la carga en los nodos internos del amplificador, agilizando la siguiente lectura. Cuando se inicie el proceso de lectura alguna de las dos líneas de bit se descargará generando una diferencia de tensión entre las entradas de los transistores N1 y N2, es en este mismo momento que se enciende la señal SE. El transistor con menor corriente tendrá un aumento de tensión V_{DS} , la cual podrá ser vista en el nodo de salida obteniendo el valor de lectura deseado [9].

Este diseño tiene la ventaja de ser bastante compacto por su poca cantidad de transistores y la salida de los datos está desacoplada de la entrada (que en el caso de los

amplificadores son las líneas de bit). Esta última característica será de las más buscadas en los amplificadores de sensado para tratar de desligar los retrasos generados por las líneas de bit con la lectura final del amplificador. La desventaja de este diseño es que tiene un alto consumo ya que siempre tendrá un camino directo entre V_{DD} y tierra durante el proceso de escritura. Adicionalmente, si la señal de habilitación se apaga el dato de la lectura ya no estará disponible en la salida.

2.8.5 Amplificador de sensado de tensión

La base de este diseño utiliza dos inversores acoplados entre sí. La alimentación y la tierra se encuentran separadas por el transistor P1 y N1 respectivamente, ambos controlados por la señal de habilitación. En la Figura 16 se muestra la topología del amplificador de sensado de tensión.

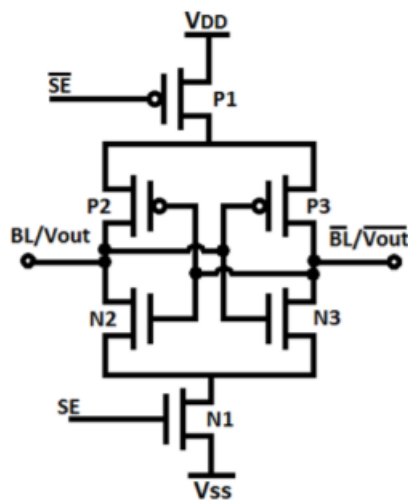


Figura 16. Diagrama de amplificador de sensado de tensión [13]

Las líneas de bit inician en un estado de “1” lógico por la etapa de precarga y la señal SE en “0”. Este estado forzará a los inversores a tener en ambos nodos de salida un “1” lógico. Al iniciar la lectura la señal SE se activa junto con la señal que activa la *wordline* (WL), en este punto una de las dos líneas de bit comienza a descargarse, con esto uno de los dos nodos también conmutará a “0”. Al tener valores opuestos en los nodos de los inversores los transistores permitirán el paso de las fuentes para reforzar la descarga de la bitline [13].

Esto implica que la línea de bit se descargara a través del nodo V_{SS} de la celda y del nodo V_{SS} del amplificador de tensión. Para poder tener un mejor rendimiento de este amplificador los tres transistores tipo N deben ser de mayor tamaño para permitir una mayor corriente, tal como se describió en (2). Nuevamente la señal SE deberá mantenerse encendida durante todo el proceso de lectura y durante todo el tiempo en que sea necesario mantener el dato en los nodos de salida.

Este modelo de amplificador agiliza la lectura ya que V_{DD} y V_{SS} ayudan al proceso de transición de la lectura, forzando ambas líneas de bit. El punto negativo de este modelo es que la salida no se encuentra desacoplada de las líneas de bit, esto implica que para generar la lectura la línea de bit debe descargarse por completo.

2.8.5 Amplificador de sensado de tensión con transistores de paso

El método de operación de este amplificador es igual al amplificador de tensión básico, pero para solucionar uno de los puntos negativos del amplificador de tensión se hace la inclusión de dos transistores de paso entre las *bitlines* y los nodos de salida de los inversores retroalimentados. En la Figura 17 se muestra la topología del amplificador de sensado de tensión con transistores de paso, donde se utiliza únicamente la señal de habilitación (en este caso *sen*) para activar el amplificador y los transistores de paso hacia las *bitlines*.

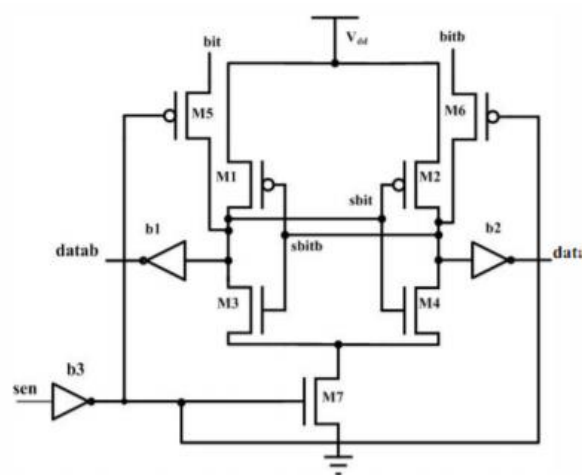


Figura 17. Diagrama de amplificador de tensión con transistor de paso [19]

Esta configuración aún no hace el mejor uso de este amplificador ya que, aunque sea a través de los transistores M5 y M6, los inversores deberán descargar la línea de bit para obtener el resultado de la lectura. De ser necesario, se pueden agilizar los procesos de lectura de este tipo de amplificador por medio de la inclusión de una señal de control adicional que separe la señal de habilitación y la señal que activa los transistores de paso. A este modelo también se le puede incluir un proceso de precarga, tal como se muestra en la Figura 18.

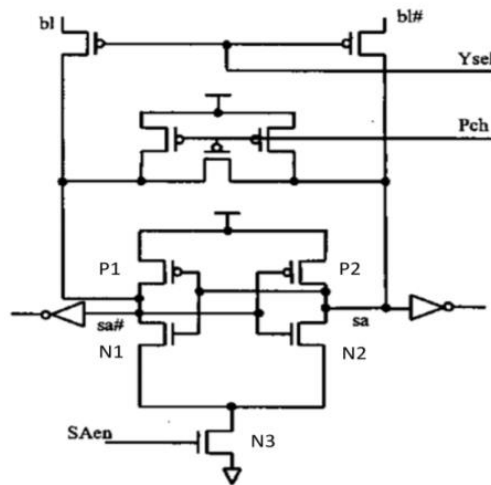


Figura 18. Diagrama de amplificador de sensado de tensión con transistores de paso y precarga [21]

La separación de las señales de control permitirá que el amplificador continúe funcionando sin necesidad de tener una conexión directa a las *bitlines*, esto trae dos beneficios adicionales. Primero el dato de lectura podrá ser utilizado incluso después de que las *wordlines* se cierran y se encuentre en otro proceso. Segundo, el amplificador podrá terminar más rápido la lectura ya que al cerrar el transistor de paso se termina de desacoplar las salidas de las entradas y los inversores retroalimentados solo deberán encontrar su estado estable, en donde uno de los dos nodos de salida tiene un “1” lógico y el otro un “0” lógico. La adición de un circuito de precarga agilizará las lecturas asegurando que solo se tenga que voltear uno de los nodos a “0”. El problema de la adición de estas mejoras es el aumento de área del amplificador y el aumento de la complejidad del ajuste de las señales de control.

2.8.6 Amplificador de sensado de corriente

El funcionamiento básico de este amplificador se basa en dos inversores acoplados entre sí (conformado por los transistores M1, M2, M3 y M4). Las líneas de *bit* son conectadas a las bases de los transistores M5 y M6. Los transistores M7 y M8 tienen en su base conectada la señal *EN* (equivalente a *SE* en las figuras anteriores) y controlan la precarga del amplificador. Por último el transistor M9 conecta el resto del circuito a tierra, permitiendo el flujo de corriente cuando *EN* se encuentra en alto. En la Figura 19 se muestra la topología del amplificador de sensado de corriente.

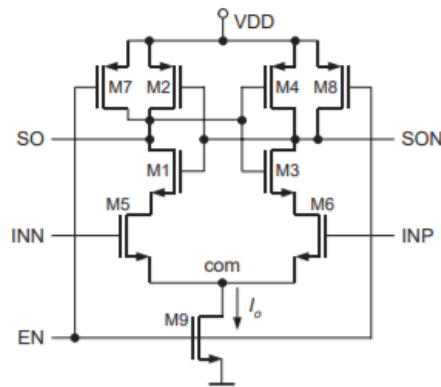


Figura 19. Diagrama de amplificador de sensado de corriente [22]

Antes de iniciar la lectura, ambas líneas de bit se encuentran cargadas con un 1 lógico debido al proceso de precarga, esto genera que los transistores M5 y M6 se encuentren encendidos. Al tener EN desactivado los transistores M7 y M8 tendrán activo el proceso de precarga interno del amplificador. Esta combinación de señales hará que los dos nodos de salida estén conectados entre sí y forzados a un valor de V_{DD} . Una vez que se inicia la lectura una de las líneas de bit se comenzará a descargar cuando la señal EN se enciende, cortando la conexión a V_{DD} y permitiendo la descarga de ambos nodos a través de M9. A medida que una de las líneas de bit se descargue, uno de los transistores de entrada (M5 o M6) comenzará a apagarse y dejar fluir menos corriente. La línea de bit que se mantiene en “1” lógico hará que su nodo de salida correspondiente se descargue más rápido, activando el transistor que conecta a V_{DD} y forzando el otro nodo de salida a tener el “1” lógico, los inversores

realimentados mantendrán estables estos valores de salida para la lectura [9]. En la Figura 20 se muestra una topología alternativa al amplificador de sensado de corriente.

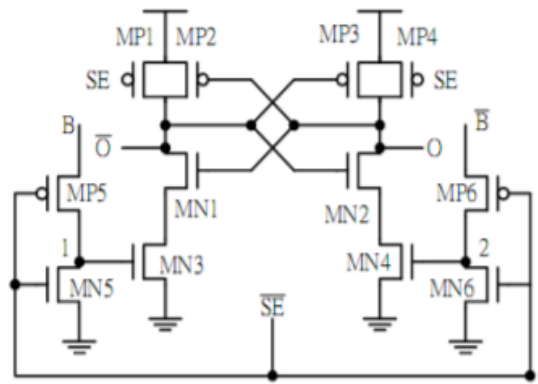


Figura 20. Diagrama de amplificador de sensado de corriente con refuerzo de precarga [15]

Una desventaja del amplificador de sensado de corriente en comparación con el amplificador de sensado de tensión es que los modelos de tensión solo tienen un transistor por el cual descargan sus nodos de salida, ahorrando en área y velocidad. En [15] se muestra una variación del amplificador de sensado de corriente en donde la descarga de las salidas durante la lectura sólo se pasará a través de solo un transistor tipo N, resultando en una conmutación aún más rápida. Este aumento de velocidad vendrá con el costo de un aumento en la cantidad de transistores y en la complejidad de construcción del trazado del circuito.

La ventaja principal de este tipo de amplificador es que no requiere que la línea de word se mantenga activa, solo será necesario generar una diferencia de tensión entre las dos líneas de bit para que uno de los dos nodos de salida se descargue más rápido, reduciendo tiempos de lectura y potencia. A pesar de esto, este modelo es muy sensible si sus señales de control no se encuentran temporizadas de manera correcta, esto se debe a que si los nodos de salida presentan capacitancias diferentes, ya sea por el diseño que se realice o por variaciones durante el proceso de construcción, la diferencia de tensión necesaria para poder realizar la lectura de manera correcta aumentará y podría generar errores en los datos de salida.

3. Diseño de circuitos de escritura y lectura

En este capítulo se mostrará el proceso de investigación y selección de los circuitos periféricos de la memoria *SRAM*, en específico el manejador de escritura y el amplificador de sensado, de los diferentes modelos comentados en la sección 2 de este documento.

Una vez seleccionado el modelo se realizará el diseño del trazado del circuito, esto incluye la generación del *layout* y el proceso de verificación del mismo. El flujo de diseño de circuitos *VLSI* será con la herramienta *Custom Compiler* de *Synopsys*. En relación a lo anterior en la figura 21 se muestra el diagrama de flujo que será implementado en *Synopsys*.

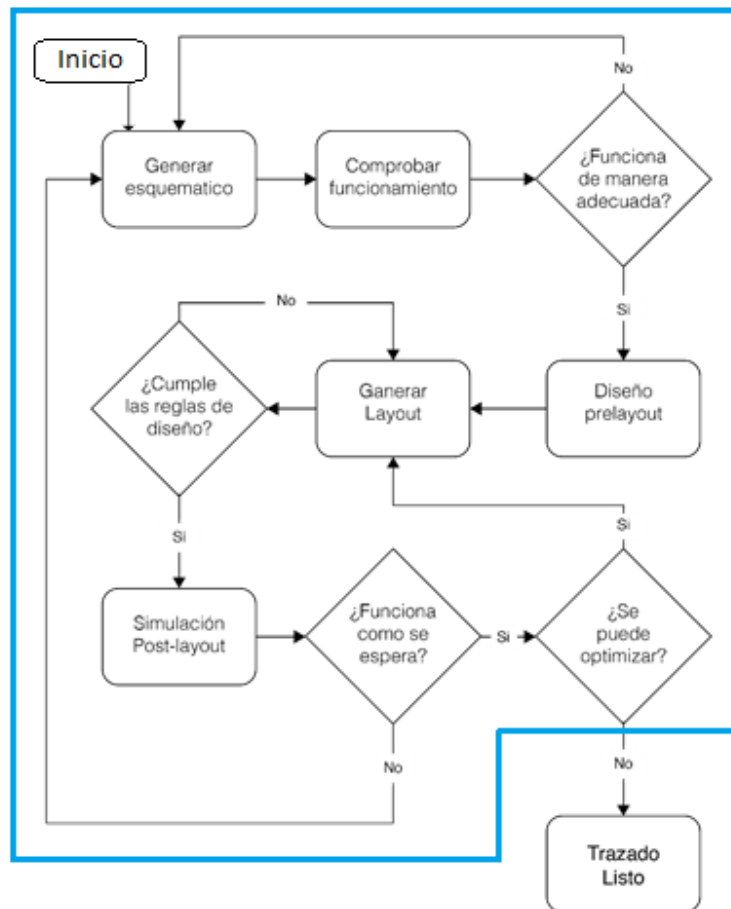


Figura 21. Flujo de diseño VLSI

El primer proceso es generar el esquemático del circuito, esto será una versión teórica del circuito en la cual se seleccionan los componentes y las dimensiones de los mismos.

Custom Compiler nos permite realizar simulaciones con *HSPICE* de los esquemáticos. Las simulaciones llevadas a cabo son a nivel teórico, ya que no contemplan todos los elementos parásitos que aparecerán en el diseño real, este proceso le permitirá al diseñador comprobar el funcionamiento del circuito e imagen genérica de su comportamiento.

Luego de completar la comprobación de funcionamiento se continua con el diseño del trazado donde el circuito se arma a nivel de silicio tal y como se enviaría a producción. En el proceso de trazado se colocan los metales, tintas de silicio dopado y las interconexiones a criterio del diseñador para formar los transistores y los diferentes componentes del circuito. Para facilitar la construcción del trazado *Custom Compiler* cuenta con una herramienta llamada *Smart DRD*, la cual le indica al diseñador en tiempo real los errores y violaciones de las reglas de construcción del trazado, agilizando el proceso de construcción y facilitando la optimización de área del diseño final.

Finalizado el trazado se debe pasar el diseño por dos etapas de verificación, el *DRC* (*Design Rule Check*) y el *LVS* (*Layout Versus Schematic*). El *DRC* se encarga de verificar que el trazado cumpla con las reglas de construcción de la tecnología. La prueba *LVS* compara el esquemático con el trazado que se diseñó, asegurándose que en el trazado se encuentren todos los elementos, y sus interconexiones, presentes en el esquemático. No obstante si alguna de estas dos pruebas falla se debe volver a cambiar el trazado hasta que ambas se pasen exitosamente. Luego de superar estas dos pruebas *Custom Compiler* permite generar la extracción del trazado a través de la herramienta *LPE* que permite generar los elementos parásitos de resistencias y capacitancias que tiene el diseño del trazado. Cuando este proceso se termine se le habrán añadido al trazado las capacitancias parásitas y resistencias de los metales de los componentes y las interconexiones.

Teniendo el trazado extraído se pueden realizar pruebas *post-layout*, estas pruebas mostrarán un comportamiento más cercano al que se podrá cuantificar en la realidad luego de que el circuito se envíe a producción. Es importante revisar de manera minuciosa los resultados de estas simulaciones ya que la forma en que fue construido el circuito, junto con los elementos añadidos durante la extracción, va a añadir retrasos al comportamiento del circuito, haciendo que no se cumplan con tiempos establecidos o generando errores en el funcionamiento esperado. En estos casos se debe volver a la etapa de diseño del trazado y si

aun así no se solucionan los problemas se deben redimensionar los componentes utilizados en el esquemático.

3.1 Modelo RC de las líneas de bit

Antes de iniciar con el diseño de los circuitos de columna será necesario generar un modelo *RC* de las líneas de bit que tenga un comportamiento similar al de la extracción de la memoria *SRAM* de 64 por 32 bits. Esto se debe a que las simulaciones con el trazado completo de la memoria *SRAM* junto con su extracción se vuelven lentas, aun cuando se trata de simulaciones en la escala de los nanosegundos. Ello pues se va a estar verificando muchos modelos de los diferentes circuitos de columna y, en algunos casos, realizando múltiples simulaciones con barridos de tamaños en los transistores que los componen. Es por esta razón que resulta conveniente generar dicho modelo *RC*. Una vez que este modelo sea implementado en las simulaciones solo será necesario contar con la extracción del trazado de una celda individual de la memoria *SRAM*, permitiendo tener simulación rápidas y a su vez facilitando el proceso de comparación entre los múltiples diseños que se pondrán a prueba.

Para generar el modelo *RC* se utilizarán las topologías mostradas en las Figura 5, Figura 6 y Figura 7. Primero se considerarán las capacitancias que se encuentran conectadas a la línea de bit de una memoria *SRAM* de 64x32. En la Figura 22 se muestra el estado de la memoria durante la escritura y lectura.

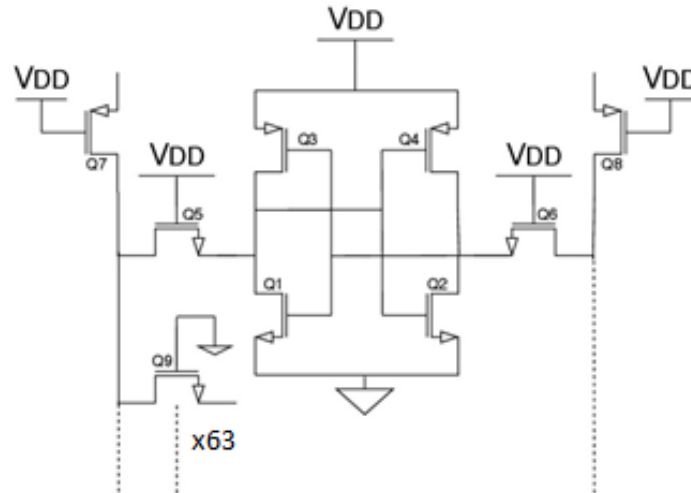


Figura 22. Estado de la memoria durante una escritura o lectura

Los casos de mayor interés serán los estados en que la memoria se encuentre realizando una lectura o una escritura. Como se mostró en la Figura 22, durante estos estados los transistores Q5 y Q6 se encuentran activos, conectando los nodos internos a las líneas de bit y a su vez conectadas a los circuitos de columna. El peor escenario a considerar será el de la *wordline* más alta de la memoria. Una vez que se activen los transistores de paso, la carga deberá pasar a través de la longitud completa de la línea de bit hasta llegar a las entradas de los periféricos. Esto a su vez implica que deberá también descargar todos los capacitores de los transistores de acceso conectados a la línea de bit. Para iniciar se calcula la capacitancia que aportaría únicamente Q9 a partir de (4), (5) y (6). En la tabla 3 se muestran los resultados obtenidos para las capacitancia parásitas y dimensiones del transistor de acceso a la memoria *SRAM*. En las figuras 23 se muestran los resultados obtenidos de las simulaciones.

Tabla 3. Dimensiones de transistor de acceso de memoria *SRAM*

Transistor	Largo (nm)	Ancho (nm)
Q9	180	290

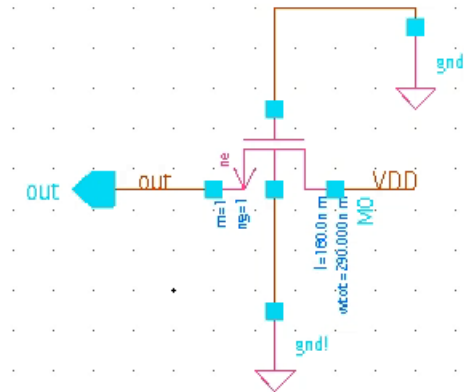


Figura 23. Esquemático de transistor de paso de memoria SRAM

En la Figura 23 se le llamo *out* al nodo de interés, el cual es el que se encontraría conectado a las líneas de bit. Utilizando la opción *CAPTAB* de HSPICE se pueden medir las capacitancias de los nodos de los circuitos que se simulen. Los resultados de *HSPICE* concuerdan con la capacitancia calculada para el capacitor, sin tomar en cuenta las capacitancias añadidas por los efectos de *overlap* (*COV*). Incluir este efecto de *overlap* en el modelo RC hará que los resultados de las simulaciones sean más realistas que si solo se utilizara el esquemático de los transistores de acceso. El valor calculado para la capacitancia de cada transistor se debe multiplicar por 63 para contabilizar por todos los transistores conectados a la línea de bit, resultando en una capacitancia total de 39.14 *fF*.

La otra capacitancia que resulta de interés para el modelo es la que aporta el transistor de precarga sobre la línea de bit. A diferencia de los transistores de acceso que no se planean incluir en el esquemático, el transistor de precarga se deberá incluir para poder realizar simulaciones que pasen por múltiples procesos de escritura o lectura. Basándose en los resultados de la **¡Error! No se encuentra el origen de la referencia.**, las simulaciones de los esquemáticos solo toman en cuenta la capacitancia del óxido de silicio. La capacitancia de traslape se puede añadir para seguir teniendo un modelo más realista de las líneas de bit.

El siguiente proceso para generar el modelo es calcular la resistencia del metal de la línea de bit. La memoria *SRAM* sobre la que se está trabajando tiene sus líneas de bit en metal 3. Utilizando la información de los archivos de la tecnología y la ecuación (7) se puede calcular el valor de la resistencia y además conocer la resistividad del metal 3.

$$R = 86.52 \Omega \quad (8)$$

Tomando todos estos datos y factores en consideración son útiles para generar un circuito que aproxime el comportamiento de la memoria de 64x32. En la figura 25 se muestra el modelo RC para las líneas de bit.

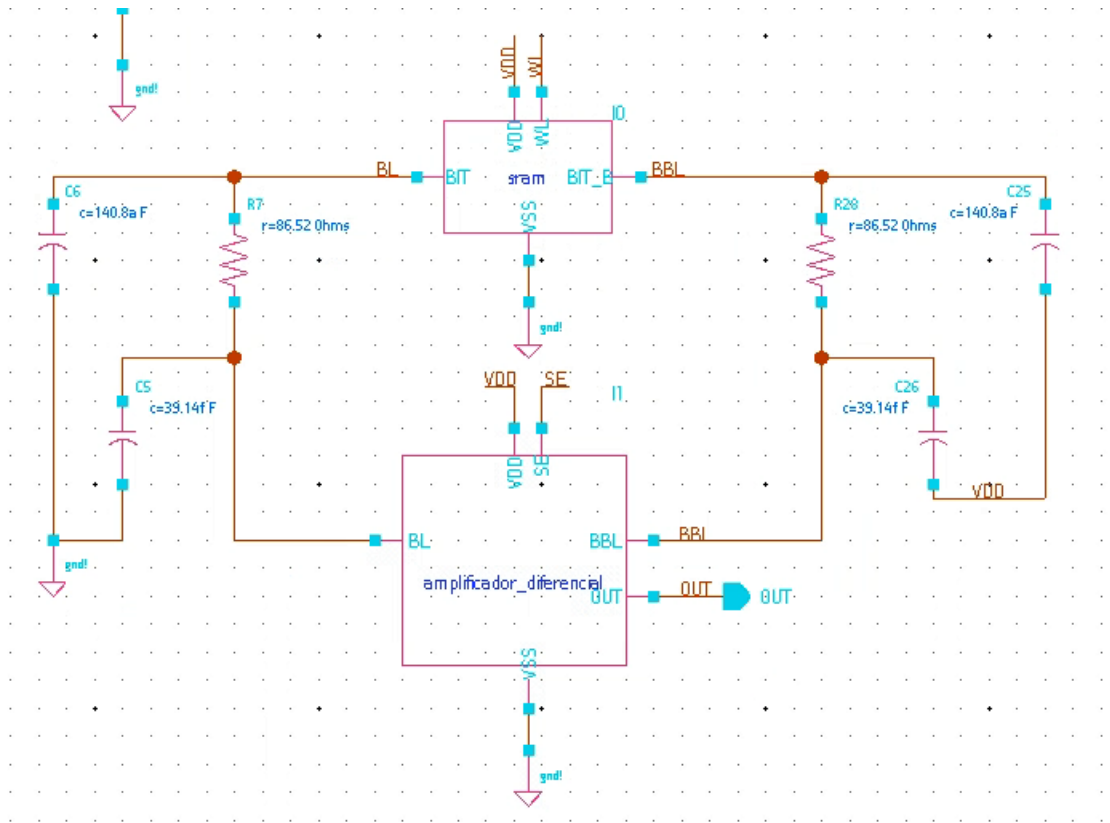


Figura 24. Modelo RC de las líneas de bit para simulaciones SRAM

Para hacer más sencillo el análisis de las simulaciones y mantener un esquemático organizado se modela la línea de bit como una única resistencia con todas las capacitancias al final de la línea. Un modelo más preciso dividiría las resistencias entre cada transistor de acceso y se mostrarían individualmente las 64 capacitancias, pero para la simulaciones deseadas esto no será una variación de peso, ya que lo que interesa observar es el comportamiento de los periféricos ante un nodo con una alta capacitancia, similar a la de una línea de bit. Para comprobar la validez de este modelo se realizaron simulaciones del sistema de lectura actual (amplificador de señal grande) con el esquemático de la memoria de 64x32, luego con el modelo RC propuesto y por último con la extracción de la memoria. Se

compararán los resultados del tiempo de lectura y el tiempo en que dura la línea de bit en llegar a $V_{DD}/2$. En la figura 26 se muestra el esquemático de la celda *SRAM*.

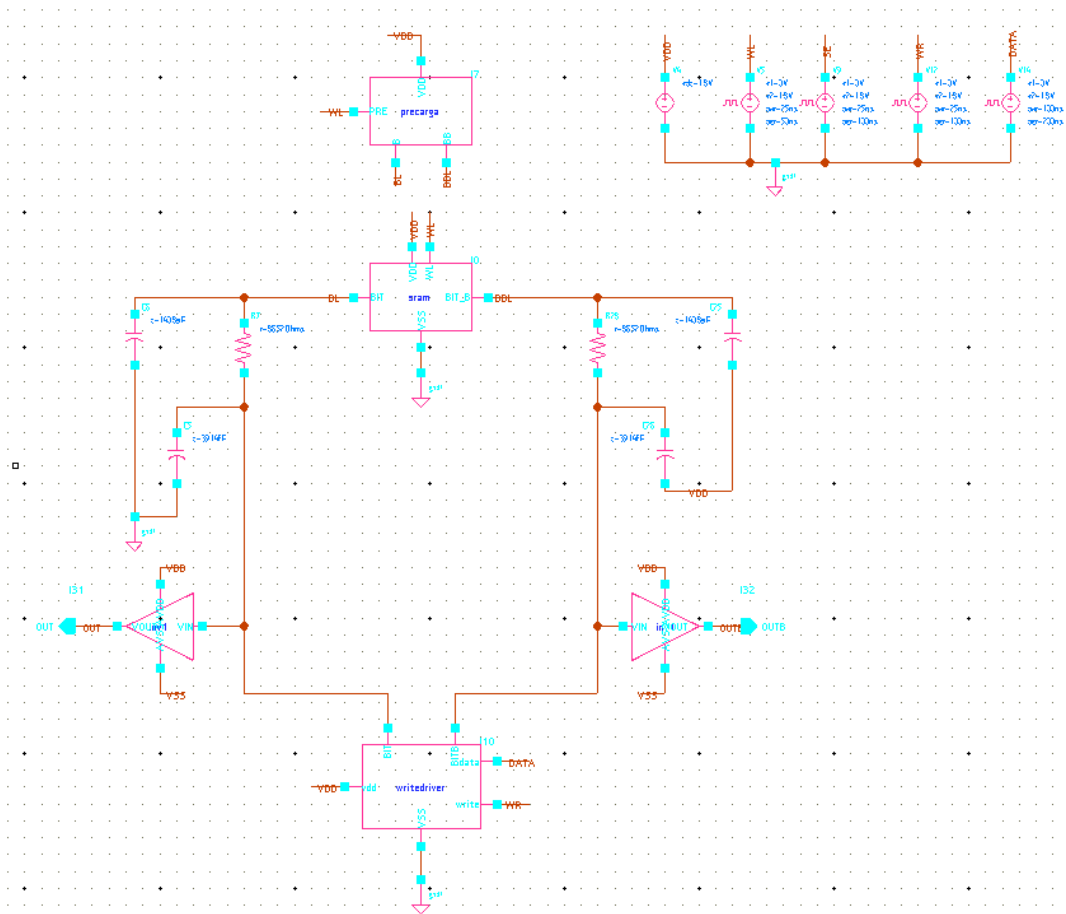


Figura 25. Esquemático de celda *SRAM* con modelo *RC* de líneas de bit y periféricos básicos

El esquemático de la Figura 25 fue validado mediante un *testbench* que le permita a la memoria realizar una escritura de un dato seguido de una lectura, cambiando el dato en cada escritura. En la figura 27 se muestran las señales de control de la memoria *SRAM*, y en la tabla 6 se resumen los resultados obtenidos.

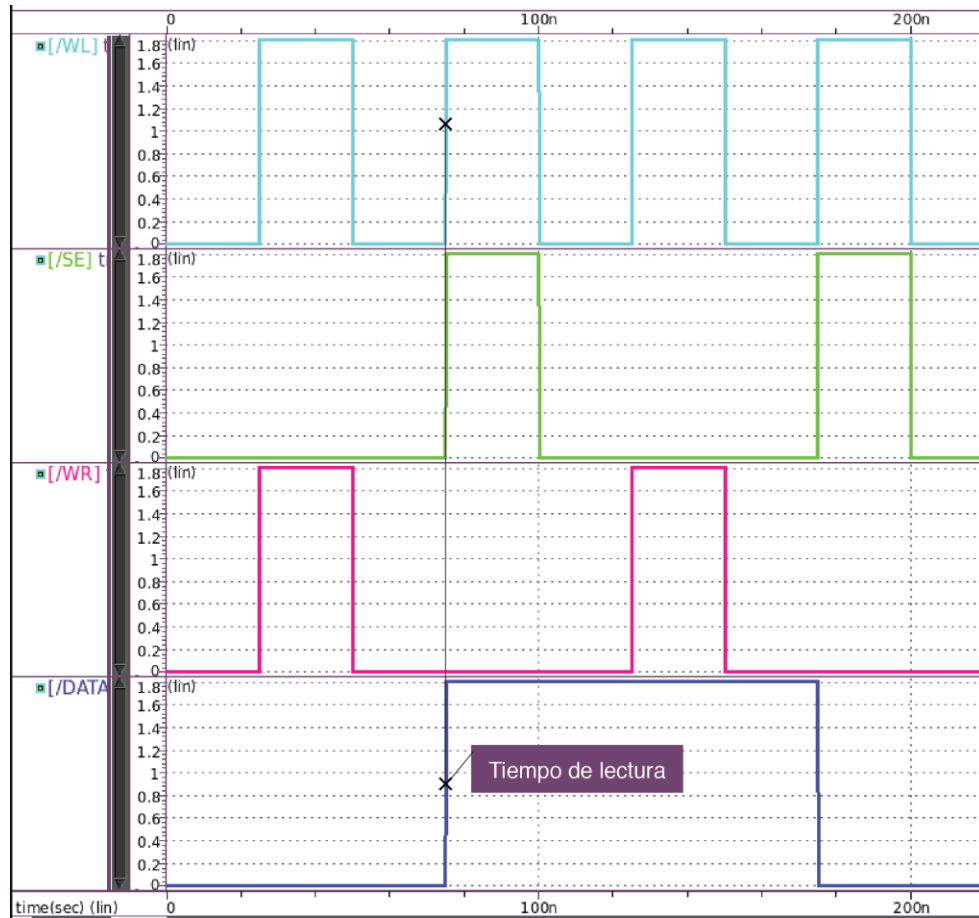


Figura 26. Señales de control de simulaciones

Tabla 4. Resultados de simulaciones de lectura con amplificador de señal grande con diferentes modelos de líneas de bit

Señal	Esquemático	Modelo RC	Extracción de Trazado
Línea de bit	235 ps	329 ps	645 ps
Inversor de Lectura (salida)	354 ps	445 ps	871 ps

El modelo RC presenta un mayor retraso en comparación con las simulaciones utilizando únicamente el esquemático. La extracción le añade a las líneas de bit más elementos parásitos que los que se podrían calcular viendo simplemente el esquemático, como son las capacitancias que se generan entre los diferentes niveles de metales y las conmutaciones entre los nodos cercanos en el trazado. Lo importante de este modelo es poder

tener una transición de la línea de bit que tenga una forma más real para poder ver mejor las tendencias de los diferentes periféricos que se pondrán a prueba.

3.2 Diseño de amplificador de sensado

En esta sección se mostrará el proceso de selección y diseño del amplificador de sensado, siguiendo el flujo de trabajo mostrado en la Figura 21. Para tener mayor criterio de cual amplificador se implementará en la memoria se compararán los 4 tipos de amplificadores de sensado de señal pequeña mostrados en el capítulo 2: amplificador de sensado básico, amplificador de sensado de tensión, amplificador de sensado de tensión con transistores de paso y amplificador de sensado de corriente. De acuerdo a [15] los siguientes 6 factores se deben tomar en cuenta para el desarrollo de un amplificador de sensado son los siguientes:

1. Retraso en los tiempos de lectura.
2. Cambio mínimo de tensión necesario.
3. Consumo mínimo.
4. Optimización de área en el *layout*.
5. Alta confiabilidad.
6. Tolerancia a ruido ambiental especificado.

3.2.1 Esquemáticos de amplificador de señal grande

En esta etapa se construye el esquemático y se dimensionan los transistores que se utilizaran en los circuitos. Teniendo en cuenta que se busca mantener al mínimo posible el área de la memoria, se modelan los transistores tipo N a tamaño mínimo ($220\text{ nm}/180\text{ nm}$) y los de tipo P al doble de ancho ($440\text{ nm}/180\text{ nm}$) para compensar por la movilidad de los electrones en estos transistores y no afectar el desempeño de los amplificadores. En las figuras 28 hasta la 31 se muestran los esquemáticos de los amplificadores de sensado implementados.

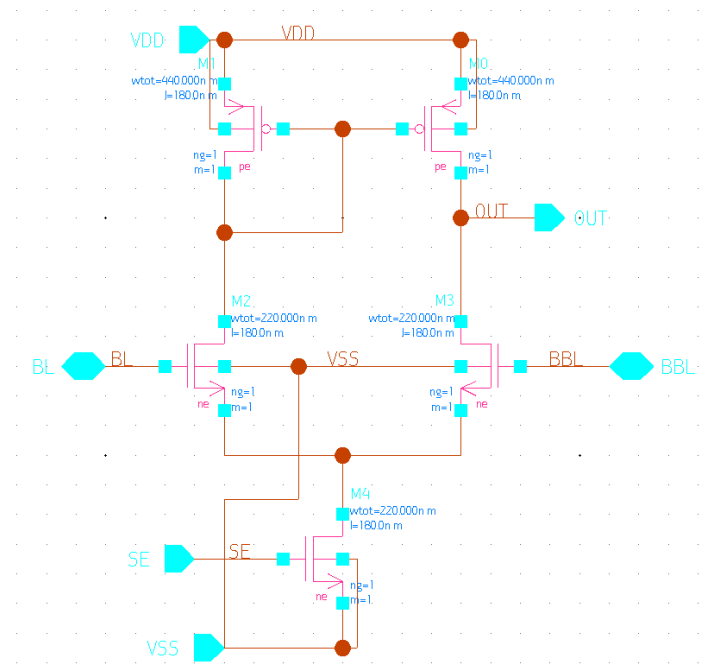


Figura 27. Esquemático de amplificador de sensado básico

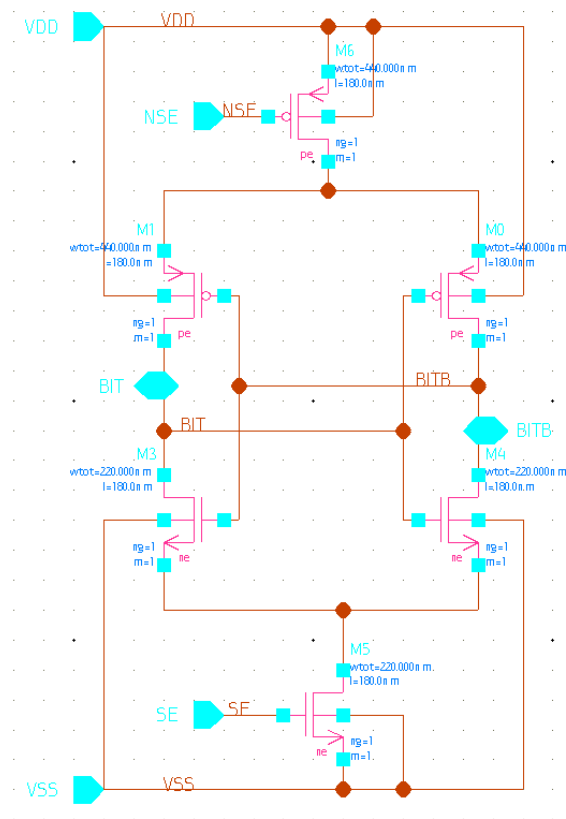


Figura 28. Esquemático de amplificador de sensado de tensión

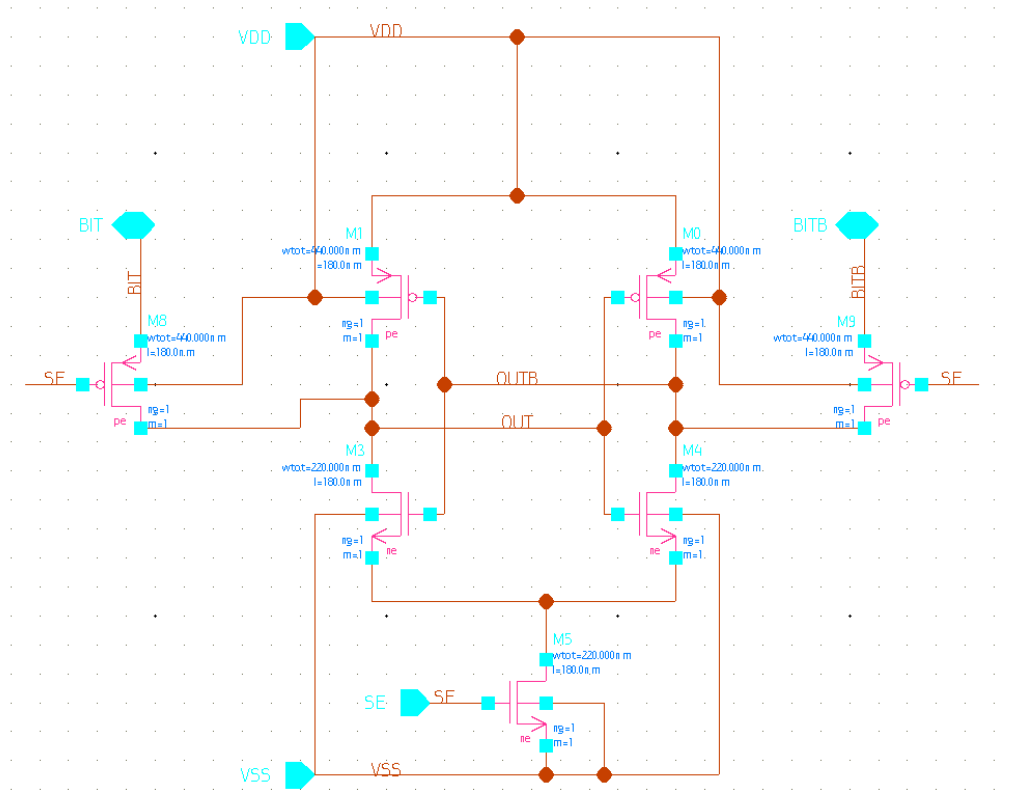


Figura 29. Esquemático de amplificador de sensado de tensión con transistores de paso

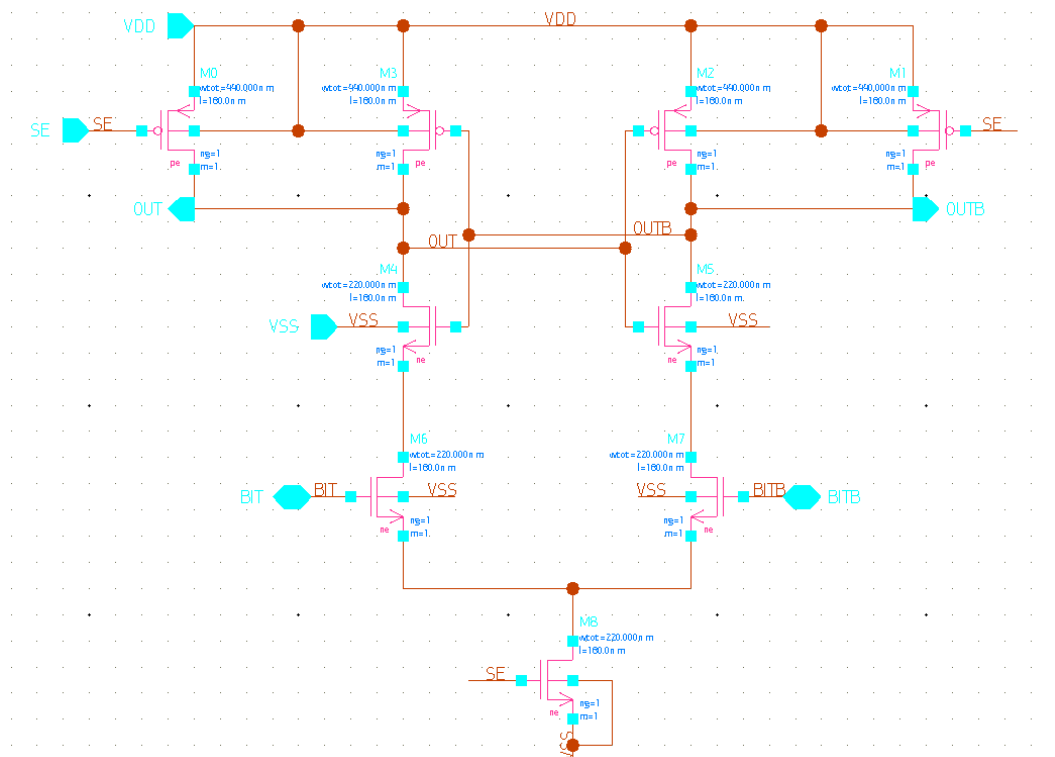


Figura 30. Esquemático amplificador de sensado de corriente

Los cuatro esquemáticos fueron ejercitados utilizando un mismo *testbench*, el cual consistió en conectar las líneas de bit en los nodos de entrada de cada amplificador. Se vuelve a correr la prueba mostrada en la Figura 26 para los cuatro amplificadores. Las mediciones de interés se enfocan en el tiempo que la señal de salida cruza $V_{DD}/2$ desde que la señal que activa el transistor de acceso de la celda de memoria pasa por $V_{DD}/2$.

Otro factor utilizado para la comparación de los amplificadores es su consumo, donde las mediciones fueron recopiladas desde la alimentación completa del *testbench*, es decir, incluirá los consumos de la celda bajo simulación, el amplificador en prueba y los periféricos incluidos. Es importante notar que para estas simulaciones se utiliza la extracción del trazado de la celda individual de memoria. Los resultados de estas simulaciones se resumen en la Tabla 5.

Tabla 5. Resultados de simulaciones de amplificadores de sensado utilizando modelo RC de las líneas de bit

Amplificador	Cantidad de transistores	Tiempo lectura (ps)	Consumo durante 1 ms (nJ)
Amplificador de sensado básico	5	219	21.899
Amplificador de sensado de tensión	6	230	5.409
Amplificador de sensado de tensión con transistor de paso	7	88.6	5.395
Amplificador de corriente	9	102	3.208

A partir de estos resultados se hace evidente la necesidad de utilizar un amplificador de sensado de señal pequeña observando los tiempos de lectura en comparación con los resultados reportados en la Tabla 4, donde los tiempos de lectura del amplificador de señal grande son el doble que los de señal pequeña. Analizando los resultados de la Tabla 5 se concluye que el amplificador básico tiene un alto consumo en comparación con los otros

modelos de amplificador, esto se debe a que cuando se realiza la lectura de un “1” lógico en la línea de bit genera un camino directo entre V_{DD} y tierra, lo que implica un consumo constante durante el tiempo que se esté realizando la lectura. Esto hace que, a pesar de su pequeño tamaño y su facilidad de utilización, no sea un modelo relevante para implementar ya que su tiempo de lectura es el más lento. Finalmente este tiempo aumentará cuando se pase a la etapa de trazado y se esté utilizando la extracción de la memoria completa, aumentando el consumo de la celda.

En el caso del amplificador de tensión el incluir los transistores de paso y separar las salidas de las líneas de bit agiliza el proceso de lectura aproximadamente en 150 *ps*. No obstante, al desconectar las líneas de bit los inversores retroalimentados que se encuentran en el amplificador deberán descargar el nodo de salida y no toda la línea de bit.

Por último el amplificador de corriente es el amplificador que tiene un menor consumo de energía, en comparación a los demás modelos. Al igual que con el amplificador de tensión, al tener las salidas desacopladas de las bitlines reduce el tiempo de lectura, debido a que solo se deben descargar los nodos internos de las salidas y no toda la línea de bit. A pesar de que nunca tiene las líneas de bit conectadas, la salida se debe descargar a través de dos transistores, donde hay un transistor controlado por la línea de bit y otro transistor de habilitación, mientras que el de tensión sólo debe descargarse por el transistor de habilitación.

Finalmente con base a los resultados obtenidos entre las diversas topologías de amplificadores utilizara el flujo de diseño propuesto utilizando el amplificador de sensado de tensión con transistor de paso y el amplificador de sensado de corriente.

Puede acá hacerse notar que este amplificador aún no ha sido optimizado, y se partirá del diseño inicial considerado con los transistores P del doble del transistor N. Es posible realizar esta optimización según algunos de los métodos de optimización pro algoritmo genético descritos en [16], [17] y [18], pero dicho proceso ya no es objetivo de este trabajo. No obstante, se recomienda evaluar esta opción en la continuación del circuito para disminuir aún más el consumo de esta memoria, sin impactar en su velocidad.

3.2.2 Diagramas prelayout y trazados de amplificadores de sensado

Antes de generar los trazados en *Custom Compiler* es conveniente realizar algún tipo de borrador para guiarse a la hora de diseñar los circuitos, no obstante estos diagramas de *prelayout* sirven este propósito. Los *prelayout* no solo muestran las conexiones entre los componentes sino que también permiten representar los metales y diferentes materiales necesarios para hacer los transistores de un diseño. A pesar de que son una guía muy útil, los diagramas *prelayout* no logran representar de manera correcta las dimensiones finales del circuito ni las reglas de construcción de la tecnología que se van a utilizar.

El proceso de diseño inicia con el diagrama *prelayout* del amplificador de sensado de tensión. Los diagramas realizados tienen colores asignados para los diferentes tipos de conexiones. Las líneas grises representan metal 1, amarillas corresponden a metal 2, celestes son metal 3, rojos son difusión de tipo P, los morados son difusión tipo N y las verdes son polisilicio. Por último los cuadros representan las vías para pasar entre los diferentes materiales. En la figura 32 se muestra el *prelayout* del amplificador de sensado de tensión.

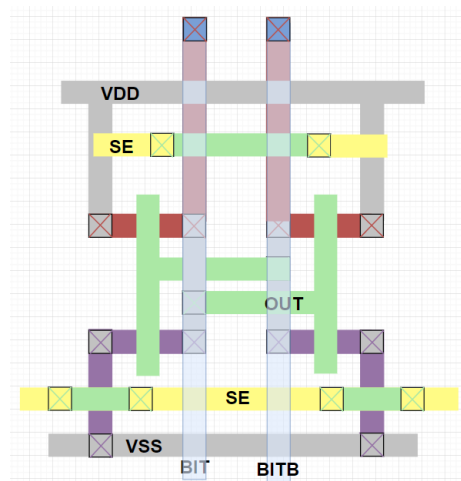


Figura 31. Diagrama prelayout de amplificador de sensado de tensión

En esta primera propuesta se realizó únicamente observando las conexiones del esquemático y buscando posiciones sencillas de implementar para los transistores. Una de las restricciones principales que tienen los diseños que se deben realizar es que su ancho no supere el ancho de una celda de memoria, esto asegurará que el ancho total de los 32 periféricos no supere el ancho de la *SRAM* facultando un mejor provecho del área disponible. Tomando en cuenta lo anterior, y en búsqueda de disminuir el ancho del diseño, se determinó

que los transistores N que descargan la salida, controlados por la señal SE, se pueden reemplazar a uno solo.

No obstante la unión de los surtidores N también se puede realizar con los transistores P uniendo los nodos que tienen a V_{DD} conectado. Esto aunque no reduzca la cantidad de transistores que se utilizan genera que las líneas de bit se separen (reduciendo capacitancias entre las líneas) y permite disminuir el uso de polisilicio en los nodos de salida. El polisilicio es un material que es altamente resistivo por lo cual siempre es de interés tratar de reducir su uso siempre que sea posible. En relación a lo anterior y los cambios sugeridos, en la figura 33 se muestra el diagrama *prelayout* para la topología de amplificador de sensado de tensión.

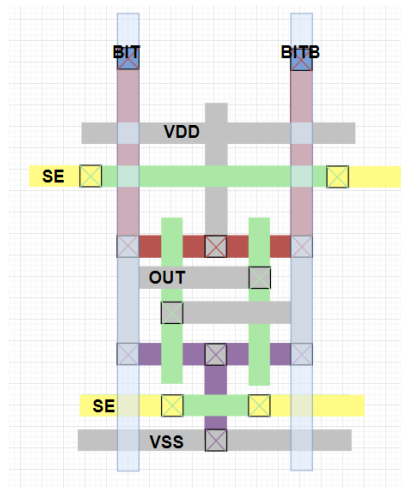


Figura 32. Diagrama *prelayout* de amplificador de sensado de tensión con disminución de líneas de polisilicio

Según las consideraciones aplicadas al diseño del amplificador de sensado de tensión, esta topología será diseñada en *Custom Compiler*, no obstante mediante el soporte de la herramienta *Smart DRD* se garantiza que el diseño está siendo compactado según lo facultan las reglas de construcción. Una vez finalizada la optimización en la herramienta *Smart DRD* y ejecutadas las pruebas de *DRC* y *LVS*, conjunto con la extracción con la herramienta *LPE*, en la figura 34 se muestra la extracción del circuito amplificador de sensado de tensión.

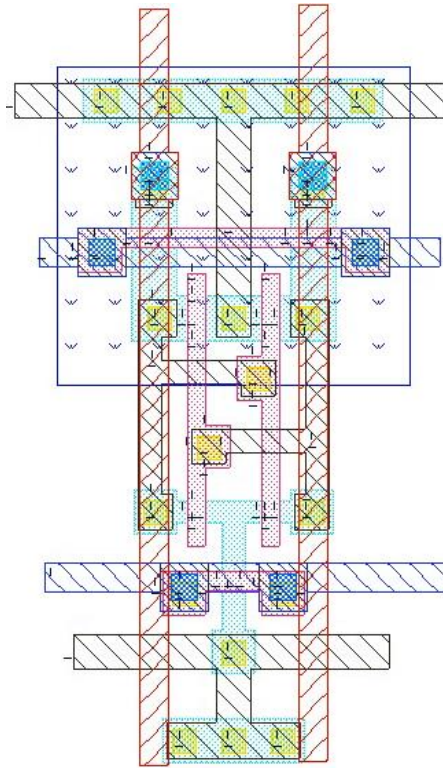


Figura 33. Extracción de trazado de amplificador de sentido de tensión

El mismo proceso de diseñar el trazado es utilizado para el amplificador de sentido de corriente. El primer paso es tener un diagrama de *prelayout* general del cual se pueda partir y observar mejoras que se puedan realizar. En la figura 35 se muestra el diagrama *prelayout* del amplificador de sentido de corriente.

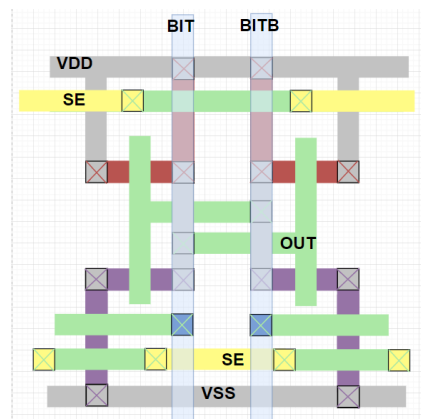


Figura 34. Diagrama *prelayout* de amplificador de sentido de corriente

Buscando disminuir el ancho del diseño, los transistores que conectan a los nodos de alimentación se unen. Esto genera un problema de implementación ya que los transistores

que son controlados por las líneas de bit deben estar en serie con el último transistor que conecta a tierra y deja poco espacio para las líneas de polisilicio que conectan con BIT y BITB. Esto se soluciona cambiando las conexiones de polisilicio de los nodos de salida por metal 1, dejando solo el polisilicio necesario para las compuertas. En la figura 36 se muestra el diagrama *prelayout* del amplificador de sensor de corriente según las modificaciones planteadas.

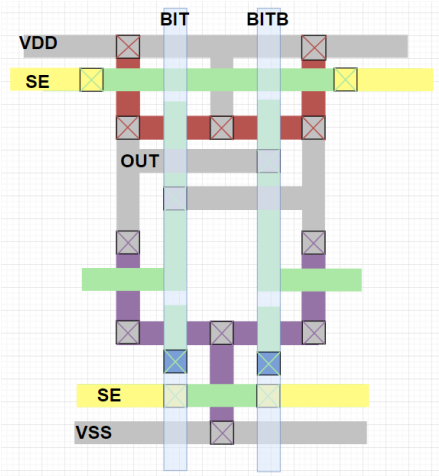


Figura 35. Diagrama prelayout de amplificador de sensor de corriente con reducción de polisilicio utilizado

Se usa como base el diagrama de la Figura 35 para hacer el trazado del amplificador de sensor de corriente donde se toman las mismas consideraciones y se siguen los mismos pasos que para el diseño del amplificador de sensor de tensión. En la figura 37 se muestra la extracción del amplificador de sensor de corriente.

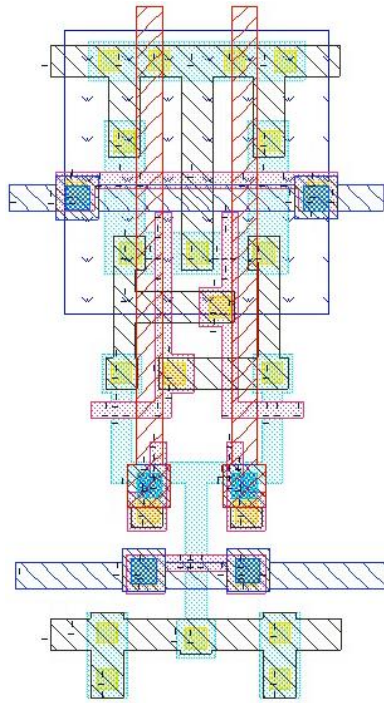


Figura 36. Trazado de amplificador de sensado de corriente

Para la selección del amplificador de sensado es necesario realizar simulaciones con la extracción de la memoria *SRAM*, con el objetivo de obtener los resultados más cercanos a la realidad. En relación a los trazados, físicamente aún no se unen pero únicamente se realizan conexiones entre las líneas de bit y los nodos de entrada de cada amplificador a nivel de esquemático. Para la validación de su funcionamiento se utiliza la misma prueba que se le aplicó a los esquemáticos y que se encuentra en la Figura 26. En la figuras 38 y 39 se muestran los resultados de las simulaciones realizadas y resumidas en la Tabla 6.

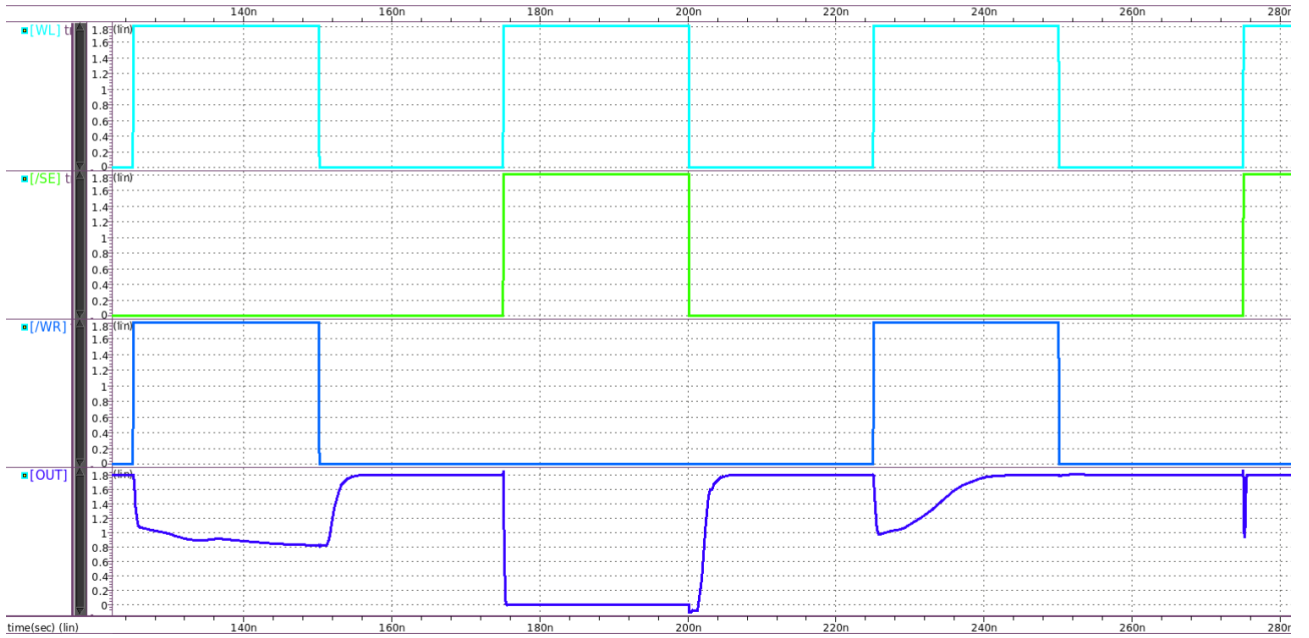


Figura 37. Resultados de simulaciones potslayout de amplificador de sensado de tensión con memoria SRAM 64x32

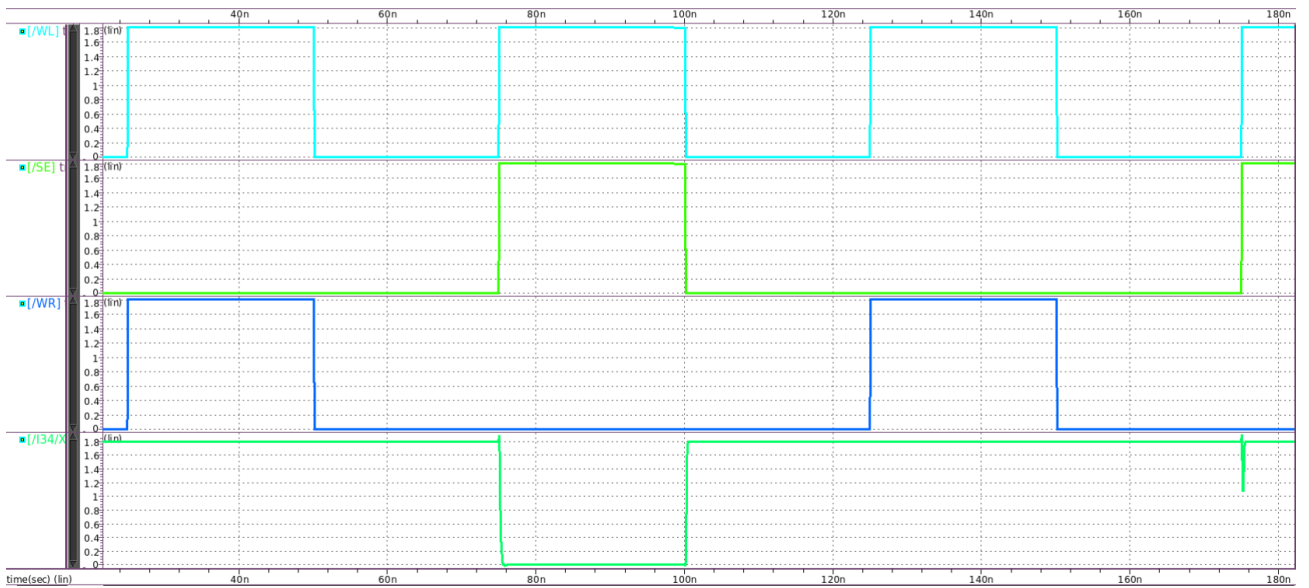


Figura 38. Resultados de simulaciones potslayout de amplificador de sensado de corriente con memoria SRAM 64x32

Tabla 6. Resultados de simulaciones postlayout de amplificadores de sensado con memoria SRAM 64x32

Amplificador	Tiempo de lectura esquemático (ps)	Tiempo de lectura extracción (ps)	Ancho (μm)	Alto (μm)	Área (μm^2)	Consumo durante 1 ms (nJ)
Amplificador de sensado de tensión	80.9	109	3.02	6.625	20.0075	5.692
Amplificador de sensado de corriente	119	155	3.02	7.07	21.3514	3.251

Para realizar una comparación entre los modelos de amplificadores se seguirán los elementos mencionados en [9]. En relación a métricas temporales es notorio que el amplificador de tensión es más rápido que el de corriente; aun así la diferencia es tan pequeña en comparación con el tiempo de lectura total disponible (25 ns, medio ciclo de reloj) que hace que los tiempos no sean un factor decisivo. En cuanto alimentación no se tomó en cuenta ya que los valores no son solo dependientes de los amplificadores y van a cambiar cuando se realicen las conexiones de los buses de datos y el *write driver*.

En relación al consumo de los amplificadores, el amplificador de corriente tiene un menor consumo en comparación al de tensión, esto se debe a dos razones, el amplificador de sensado de corriente al tener las líneas de bit conectadas a la base de transistores aísla de una mejor manera los nodos de salida y elimina cambios innecesarios en los niveles de tensión. En relación al amplificador de sensado de tensión los cambios considerados en el amplificador de corriente si están presentes. En la Figura 37 es evidente que el nodo de salida tiene variaciones incluso fuera de los procesos de lectura. Todos estos cambios implican flujos de corriente entre V_{DD} y V_{SS} , generando pérdidas de energía.

La segunda razón es que, en relación a la corriente de fuga, el amplificador de sensado de corriente tiene una mayor tolerancia ya que los dos transistores por los cuales los nodos

de salida se podrían descargar generan una resistencia mayor que con la que cuenta el de tensión.

En cuanto a trazados y dimensiones ambos diseños poseen el mismo ancho, el cual es el ancho mínimo dada la cantidad de vías y líneas horizontales que tienen los diseños. No obstante el ancho mínimo está dado por la cantidad de vías y líneas horizontales que tienen los diseños. El amplificador de corriente es 1 μm más largo que el de tensión, lo cual no es una diferencia considerable que pueda utilizarse para la toma de la decisión.

En términos de la confiabilidad ambos amplificadores durante la simulación de 1 ms muestran que todas las lecturas se realizaron con éxito, indicando que son sistemas altamente confiables [23]. Aun así, de la prueba de donde se tomaron los datos, no ponen a los amplificadores en situaciones críticas.

Finalmente en tolerancia al ruido los amplificadores y el proceso de lectura no se les designaron un margen. Al igual que como se mencionó en el punto del consumo, el amplificador de corriente cuenta con la ventaja de estar conectado a las líneas de bit de forma tal que se afecten menos los nodos internos del amplificador. Los mismos movimientos observados en los niveles de tensión del amplificador de tensión muestran que es susceptible a variaciones.

Tomando en cuenta todos estos puntos se toma la decisión de implementar el amplificador de sensado de corriente (Figura 36). Las cantidades en que los factores del amplificador de tensión superan al amplificador de corriente son pequeños o no son relevantes. El hecho de que el amplificador de corriente consuma una menor cantidad de energía lo vuelve ideal para la implementación final de la memoria. Su resistencia al ruido también es un factor de interés ya que las líneas de bit y el bus de datos son los elementos de la memoria que añaden mayor capacitancia y conmutan en la mayoría de los ciclos de reloj.

3.3 Diseño de *write drivers*

En esta sección se hará la comparación entre el *write driver* básico (Figura 13) y el *write driver* con lógica de control y nodo V_{DD} adicional (Figura 14), el cual se nombrará como *write driver* complejo. A pesar de que el *write driver* básico sea un circuito bastante pequeño,

consumirá menos área que el *write driver* complejo, en relación a ello se realizará el estudio pertinente para determinar las diferencias a nivel de funcionamiento entre ambos circuitos.

3.3.1 Esquemáticos de *write driver*

Para iniciar el análisis de los *write drivers* se crean los esquemáticos de las dos propuestas. Nuevamente los transistores tipo N se colocan con el tamaño mínimo permitido por la tecnología (220 nm/180 nm) y los de tipo P al doble de este tamaño (440 nm/180 nm). Para estas simulaciones se utilizará el modelo *RC* calculado en la sección 3.1 y las mismas señales de la Figura 26. La celda individual de la *SRAM* y el amplificador de sensado serán simulados con su extracción. Los tiempos de lectura se toman desde el momento en que la señal *WL* activa el transistor de acceso de la celda de memoria hasta el punto en que el nodo interno de la memoria cruza un valor de $V_{DD}/2$. En las figuras 40 hasta 42 se muestran los esquemáticos del *write driver*.

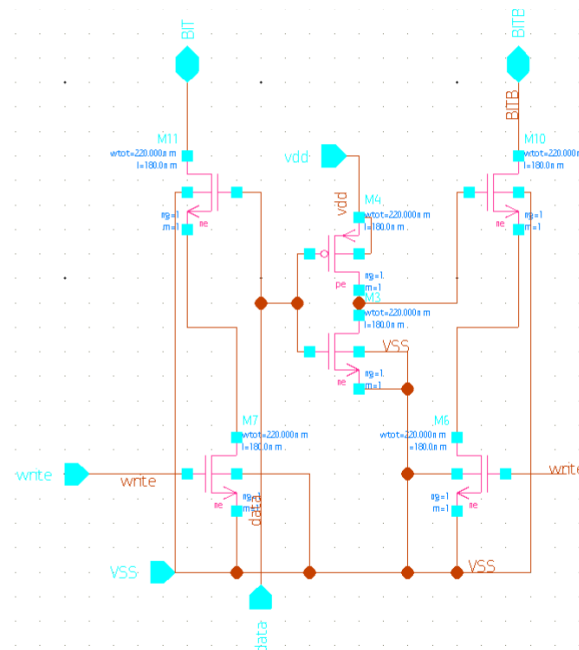


Figura 39. Esquemático de *write driver* básico

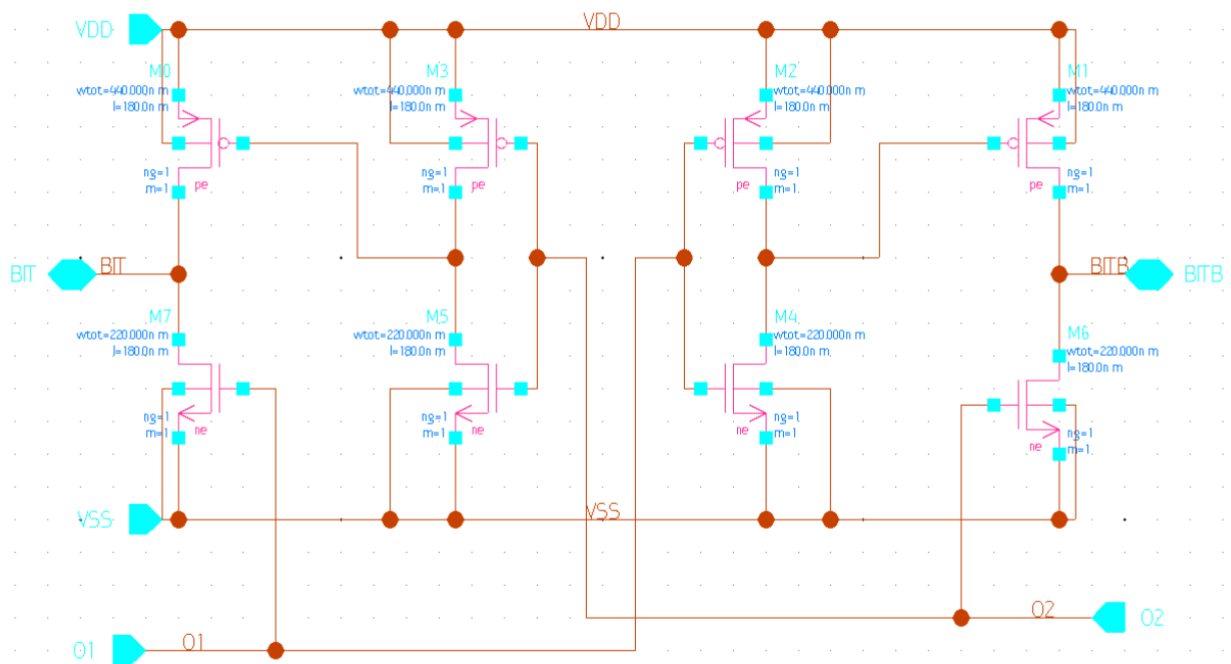


Figura 40. Esquemático de base de write driver complejo

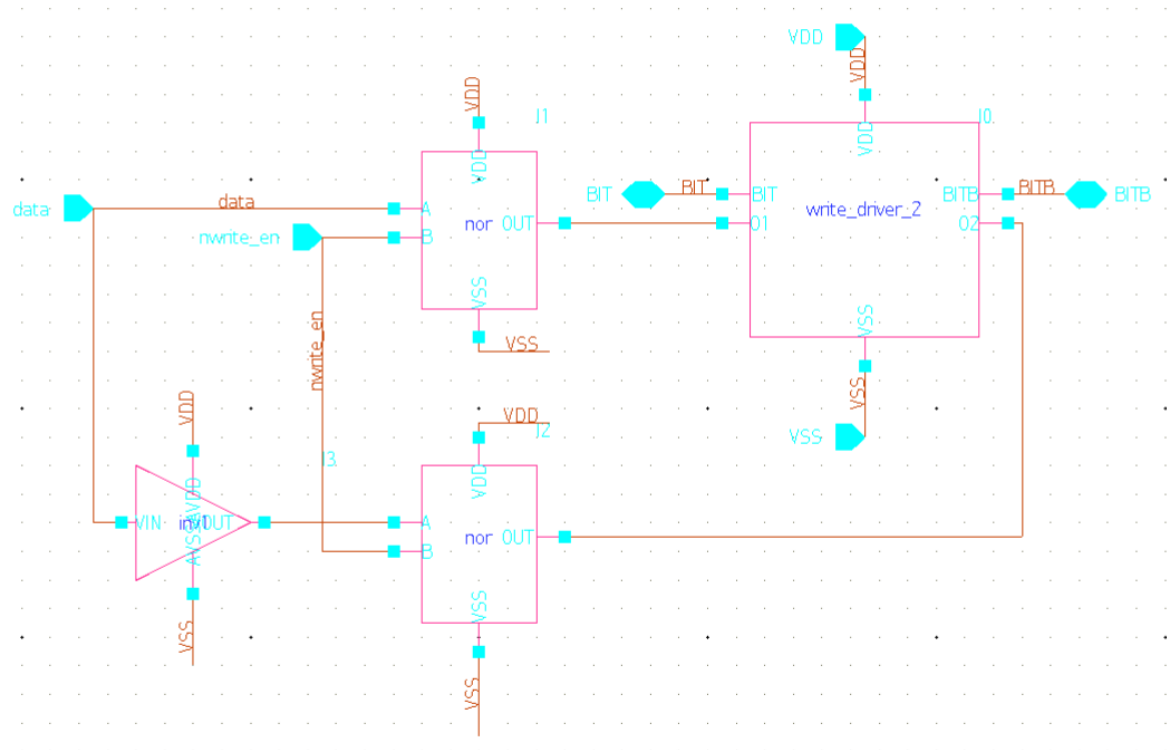


Figura 41. Esquemático de write driver complejo completo

Tabla 7. Resultados de simulaciones de esquemáticos de write drivers con modelo RC de las líneas de bit

Write Driver	Cantidad de transistores	Tiempo de escritura (ns)	Consumo 1 ms (nJ)
Básico	6	3.4	5.54938
Complejo	18	1.23	6.1218

Con estos primeros resultados se puede observar que el *write driver* complejo, a pesar de tener más transistores y lógica que requiere conmutar durante el proceso de escritura, es más rápido que el *write driver* básico. La razón principal de este resultado es la conexión adicional que se hace a una de las líneas de bit al nodo de V_{DD} , ayudando a mantener esa línea en alto y reforzando el volteo de los valores en la celda de memoria. A pesar de tener estos resultados queda la incógnita de si se puede hacer más rápido el diseño del *write driver* básico y aprovechar que su área es menor a la del *write driver* complejo. Para poder realizar esto se debe aumentar el tamaño del ancho del transistor de descarga del circuito, disminuyendo la resistencia equivalente del transistor y aumentando la corriente con la cual puede descargar las líneas de bit.

Con la misma prueba que se ha estado trabajando se le asigna una variable al ancho del transistor de descarga y se realiza un barrido de esta variable de 220 hasta 880 *nm* con un paso de 110 *nm*. En la figura 43 se muestra el resultado de llevar a cabo un barrido de ancho del transistor, y en la tabla 10 se resumen y totalizan dichos resultados.

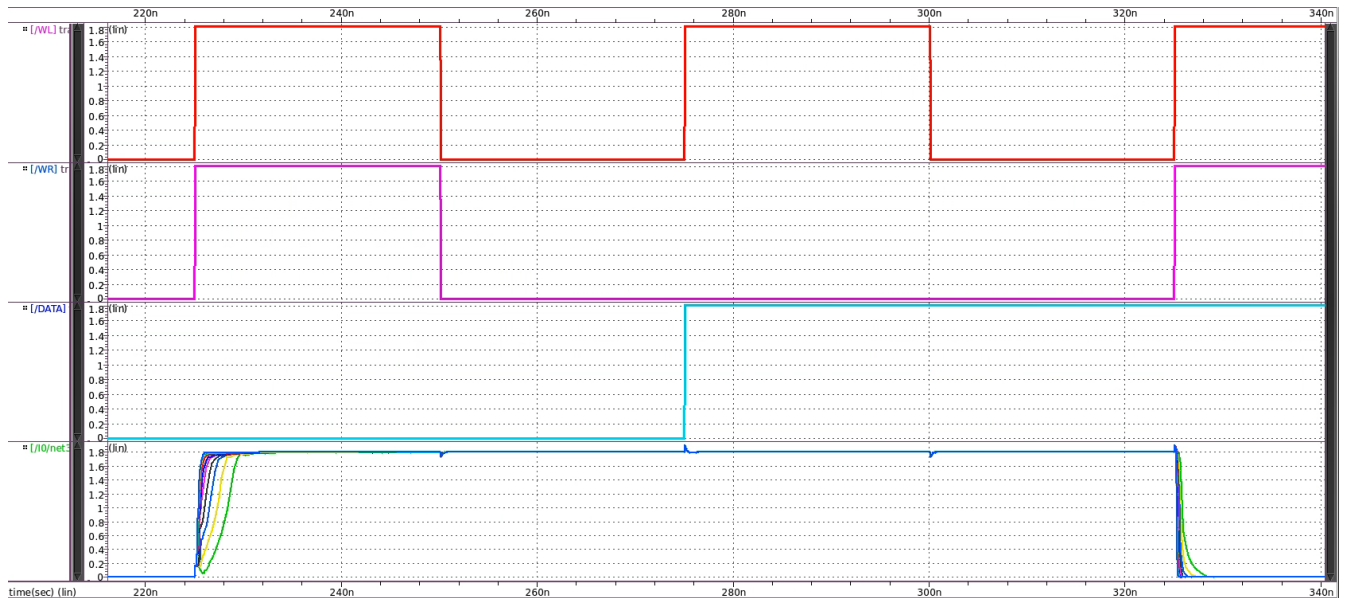


Figura 42. Simulación con barrido de ancho de transistor de descarga de esquemático write driver básico

Tabla 8. Resultado de simulaciones de barrido de ancho de transistores de descarga de esquemático de write driver básico

Ancho transistores tipo N (nm)	Tiempo Escritura (ns)	Consumo durante 1 ms (nJ)
220	3.23	5.364
330	2.21	5.035
440	1.45	4.523
550	0.932	4.763
660	0.593	4.631
770	0.491	4.534
880	0.432	4.55

Como se observa en esta misma tabla, conforme el ancho del transistor de descarga aumenta el tiempo de escritura disminuye ya que aumenta la corriente que puede fluir por el transistor. Aun así el consumo de la memoria no continúa con esta misma tendencia. Se observa que los puntos más bajos de consumo son cuando el ancho es de 440 nm y 770 nm. Esto se debe a que se encuentran en competencia dos factores que hacen variar el consumo de la memoria.

A medida que aumente la corriente, los tiempos de escritura disminuirán, pero a su vez con el aumento de la corriente aumenta la potencia. El aumento y disminución de estos

dos factores genera estas variaciones. La Figura 42 muestra como la variación del tiempo de escritura cada vez es menor pero la corriente seguirá aumentando con el ancho del transistor, marcando una tendencia de que la potencia seguirá aumentando de un punto, el cual es el ancho de 770 nm .

Comparando estos resultados con los del *write driver* complejo, los transistores de 440 nm de ancho proporcionan un tiempo de escritura similar a un consumo de energía más bajo. Teniendo esto en cuenta se toma la decisión de utilizar el *write driver* básico con un transistor de descarga de 440 nm de ancho ($440\text{ nm}/180\text{ nm}$). De nuevo, esto puede optimizarse a futuro usando una herramienta como la indicada en [16], [17] y [18].

3.3.2 Diagrama prelayout y trazado de *write driver*

Con el esquemático del *write driver* básico con un transistor de descarga de 440 nm se avanza a diseñar el diagrama prelayout del *write driver*. El primer paso es hacer el diagrama para tener una idea general de la posición de los elementos que componen el *write driver*, siguiendo el circuito mostrado en la Figura 13. En la Figura 43 se muestra el diagrama *prelayout* del *write driver*.

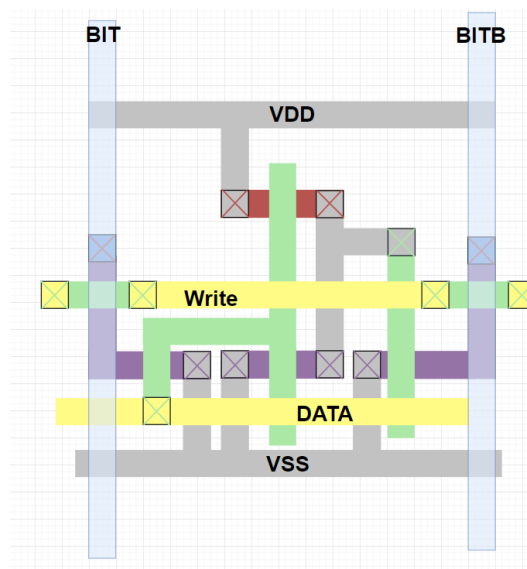


Figura 43. Diagrama prelayout de *write driver* básico

Aunque no se puede calcular de manera precisa las dimensiones finales de un trazado a partir de su diagrama prelayout, el diseño mostrado en la Figura 43 es un circuito ancho en

comparación con la celda individual de memoria debido a que quedan tres transistores tipo N que deben estar separados y se encuentran en posición horizontal. A esto hará que añadirle el ancho de los transistores de descarga (los que son controlados por la señal Write) y las distancias mínimas que se deben de dejar entre las líneas de polisilicio. Recordando que es prioridad que los diseños no sean más anchos que las celdas de memoria individuales ($3.085 \mu m$), se estudia la posibilidad de disminuir el ancho del diseño a costas de aumentar el largo.

El primer cambio que se realizó fue colocar de manera vertical todos los transistores y cambiando el orden de los transistores por los cuales pasan las líneas de bit. En la Figura 44 se muestra el diagrama *prelayout* de *write driver*.

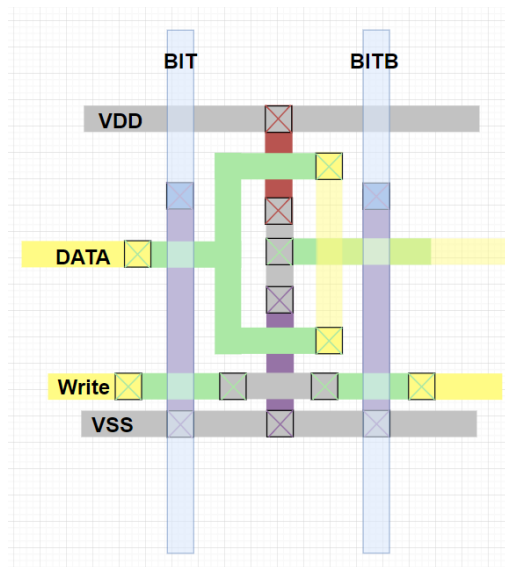


Figura 44. Diagrama *prelayout* de *write driver* básico con transistores volteados verticalmente

Se puede ver que este diseño cuenta con todos sus transistores en posición vertical, lo cual permite un mejor acomodo de las líneas de polisilicio. Aun así, este segundo diseño será más largo debido a este cambio. Además este orden de los transistores permite ver que es posible ahorrar un transistor controlado por la señal de Write. Teniendo en cuenta que durante el proceso de escritura solo una de las dos líneas de bit se conecta a V_{SS} , se decide quitar los dos transistores de descarga y cambiarlos por un único transistor que conecte el *write driver* a V_{SS} controlado por la misma señal de Write. En la Figura 45 se muestra el cambio de transistores para el *write driver* y en la Figura 46 el diagrama *prelayout* de estos cambios.

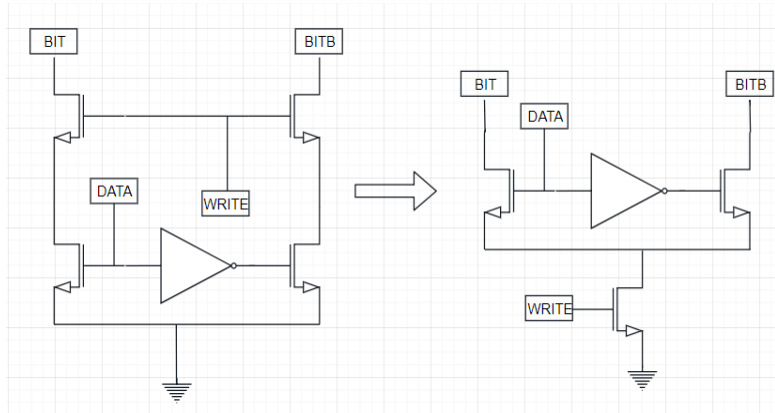


Figura 45. Cambio propuesto al write driver básico

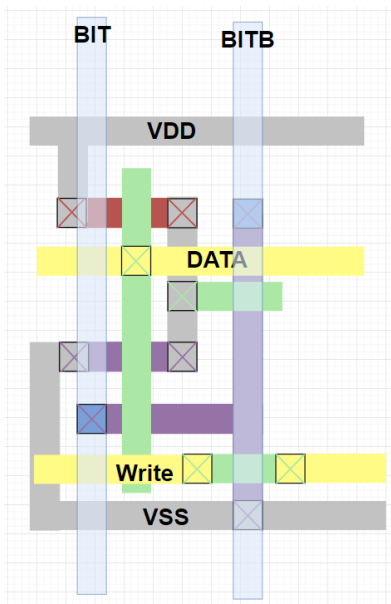


Figura 46. Diagrama prelayout de write driver básico con reducción de polisilicio y recorte al número de transistores

En la Figura 46 está el diagrama *prelayout* con los cambios propuestos en la Figura 45. El tener un único transistor de descarga controlado por la señal de Write permite colocar horizontalmente los tres transistores que tienen conectada en su base la señal de DATA uno sobre otro. El único transistor que se deja vertical es el transistor controlado por la salida del inversor, con propósitos de mantener el ancho al mínimo. Para tener puntos de comparación se realiza el trazado del *write driver* básico de la Figura 44 y el *write driver* básico Figura 46.

Para estos dos trazados se siguió el mismo proceso de diseño y verificación que se aplicó en el diseño de los amplificadores de sensado. En las figuras 48 y 49 se muestran las extracciones de los trazados de las dos propuestas de *write driver*.

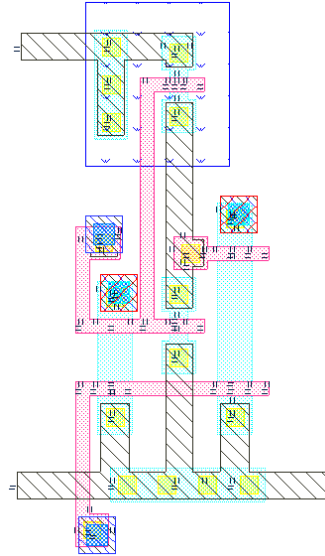


Figura 47. Extracción de trazado de write driver básico con transistores volteados verticalmente

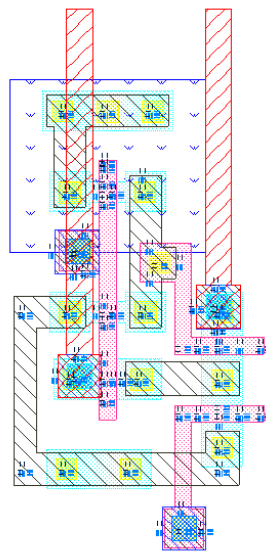


Figura 48. Extracción de trazado de write driver básico con reducción de polisilicio y recorte al número de transistores

Para las simulaciones *postlayout* de ambas propuestas se conectan a la extracción de la memoria *SRAM* de 64x32 y la extracción del amplificador de sensado. Aunque se utilicen

las extracciones de todos los módulos aún se mantienen las conexiones entre ellos a nivel de esquemático. Las señales de control son las mismas utilizadas en las pruebas realizadas previamente en este documento. En la Tabla 9 se muestran los resultados de las simulaciones *postlayout* para el *write driver*.

Tabla 9. Resultados de simulaciones *postlayout* de *write driver* básico

Write driver	Tiempo de escritura (ns)	Ancho (μm)	Alto (μm)	Área (μm^2)	Consumo durante 1 ms (nJ)
Básico con transistores verticales	1.53	2.46	6.63	16.3098	4.795
Básico con reducción de transistores y polisilicio	1.57	2.775	4.88	13.542	4.775

A nivel de desempeño cuando las propuestas son comparadas entre sí no se logra obtener una conclusión definitiva debido a que ambas presentan resultados con diferencias despreciables. El punto que más interesaba observar era el área de las propuestas. Como se había previsto en los diagramas *prelayout*, el *write driver* básico con transistores verticales es más angosto por tener todos los transistores colocados verticalmente. El problema es que el largo aumenta considerablemente en este diseño. En cambio el *write driver* básico con reducción de transistores y polisilicio no solo ahorra 1 transistor, también logra cumplir con las restricciones de ancho del diseño en un menor área total que la otra propuesta. Con estos resultados se toma la decisión de implementar el *write driver* básico con reducción de transistores y polisilicio en la memoria *SRAM*.

3.4 Integración de trazados a la memoria *SRAM*

Teniendo los trazados extraídos y seleccionados se puede realizar la unión de los trazados con la memoria *SRAM* de 64x32. Esto implica que se necesitaran 32 amplificadores de sensado y 32 *write drivers*, uno por cada par de líneas de bit. Adicionalmente a los periféricos diseñados, se implementará un único bus de entrada y salida de datos. Aunque esto implique que se deberá pensar en lógica adicional para la manipulación de las señales de control, el ahorro de área será de mayor beneficio para el diseño final de la memoria. Este

bus de datos se colocara en metal 4 para que no interfiera con ninguno de los diseños que ya están seleccionados.

3.4.1 Integración de amplificador de lectura con inversor triestado

Al incluir un bus de datos compartidos se da la necesidad de desacoplar la salida del amplificador de sensado de las líneas que componen los buses de datos. La idea de los amplificadores de sensado es tener lo más rápido posible el dato de la lectura en el nodo de salida. Si este nodo se le interconecta elementos adicionales aumentarán dichos tiempos de lectura y la diferencia de potencial necesaria en las líneas de bit para realizar la lectura va a aumentar. Para reducir estos efectos se implementa un inversor triestado en el nodo de salida del amplificador de corriente. En la Figura 49 se muestra la topología de un inversor triestado.

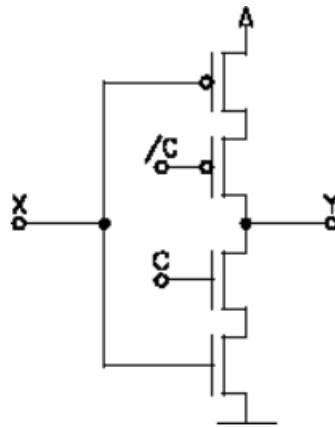


Figura 49. Inversor triestado [24]

El nodo de salida del amplificador será conectado al nodo de entrada del inversor y la señal que se muestra en la Figura 49 llamada C será la misma que el *enable* (SE) del amplificador. De esta manera no solo se mantendrán al mínimo los efectos negativos previamente mencionados del bus de datos, también disminuye el ruido que pueda ocasionar los cambios de tensión en las líneas del bus de datos durante otros procesos que no sean la lectura. Otro beneficio de añadir el inversor triestado es que el proceso de precarga del amplificador de sensado de corriente no se verá afectado y se evitarán posibles caminos directos entre la alimentación y la tierra durante los procesos de escritura. Este circuito será necesario generarlo a nivel de trazado y unirlo al trazado del amplificador de sensado. El dimensionamiento del inversor triestado se mantendrá al mínimo para evitar añadirle

capacitancias adicionales al amplificador, teniendo un ancho de 220 nm para los de tipo N y 440 nm para los de tipo P. En la Figura 50 se muestra el esquemático del inversor triestado.

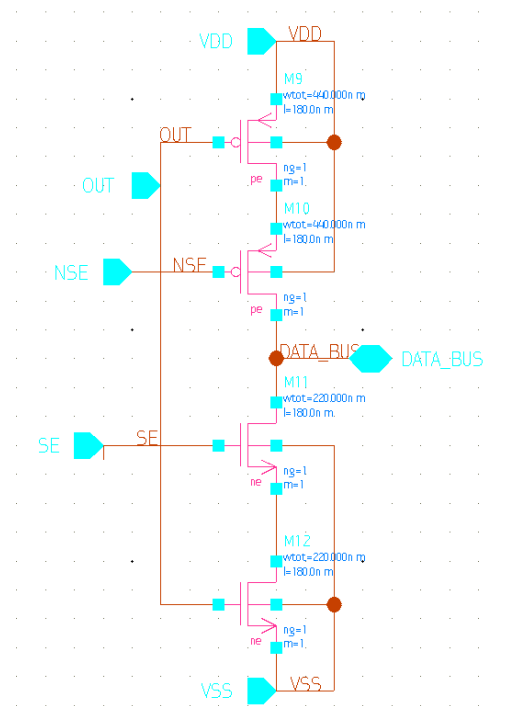


Figura 50. Esquemático de inversor triestado

Se realiza una simulación para comprobar el funcionamiento del amplificador luego de añadirle el inversor triestado. Todos los circuitos menos el amplificador triestado están siendo simulados con su extracción. En la Figura 51 se muestra la simulación del circuito triestado.

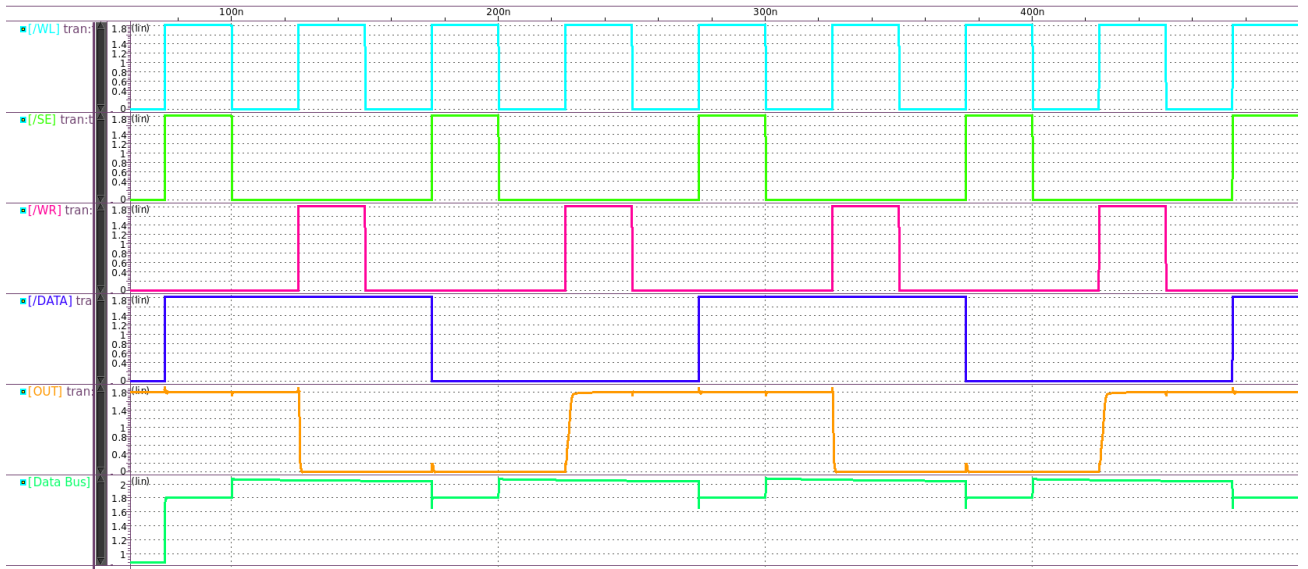


Figura 51. Simulación con esquemático de inversor triestado

Analizando los resultados de la Figura 51 se observa que el Data Bus siempre tiene un “1” lógico a la salida a pesar de que en cada escritura se guarda un dato diferente en la celda de memoria. Esto se debe a que la diferencia de tensión necesaria para poder realizar la lectura y que el amplificador funcione de manera correcta aumento por la adición del inversor. El amplificador de corriente tiene dos posibles nodos de salida, uno controlado por la línea de BIT y otro por BITB. Cuando la lectura inicia ambas líneas tienen un valor de V_{DD} por el proceso de precarga, esto genera que los nodos de salida del amplificador se comiencen a descargar. El nodo con la capacitancia adicional se descargará más lento, generando que siempre se llegue a V_{SS} primero el otro nodo sin importar el dato en la celda. Estos son efectos de activar el amplificador de sentido antes de que exista la diferencia de potencial necesaria entre las líneas de bit.

Para solucionar este problema lo que se debe de hacer es retrasar la señal SE, lo cual dará el tiempo necesario para poder realizar correctamente la lectura. En búsqueda de encontrar un resultado del tiempo necesario más preciso es importante contar con el trazado el inversor triestado y tenerlo conectado al trazado del amplificador de sentido. Nuevamente se sigue el proceso de diseño de trazados y se parte generando un diagrama *prelayout* del inversor triestado. En la Figura 52 se muestra el *prelayout* del inversor triestado.

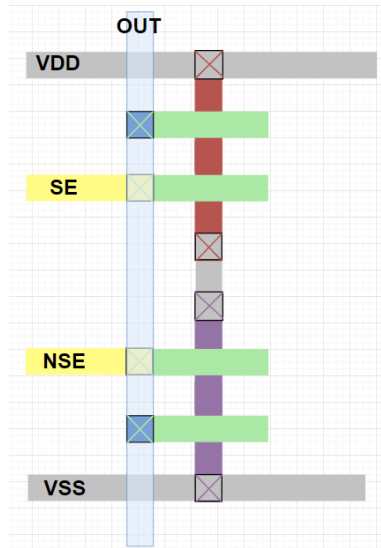


Figura 52. Diagrama prelayout de inversor triestado

La consideración principal que se tomó en este diagrama de *prelayout* fue colocar los transistores de manera vertical para no sobrepasar el ancho del trazado del amplificador de sentido. En la Figura 53 se muestra el diagrama *prelayout* de la unión del inversor triestado con el amplificador de sentido y en la Figura 54 el trazado del mismo.

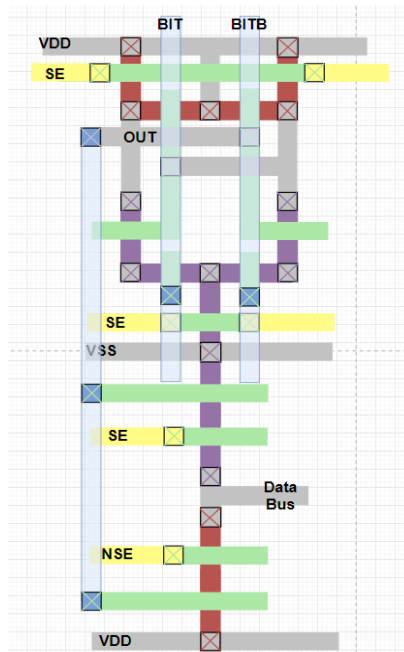


Figura 53. Diagrama prelayout de amplificador de sentido de corriente con inversor triestado de salida

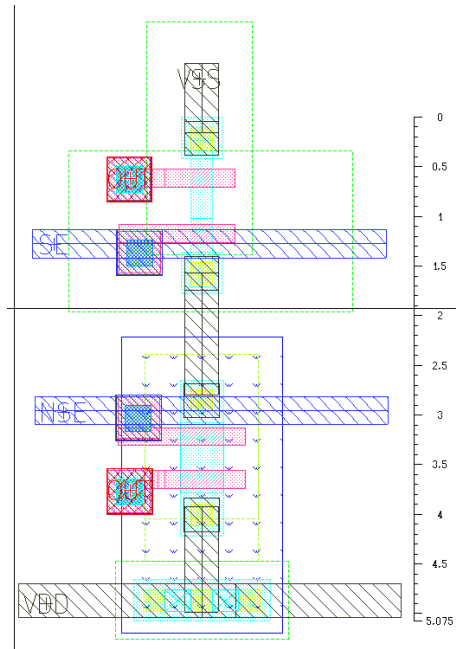


Figura 54. Trazado de inversor triestado

Este diseño aún se puede compactar si se orientan horizontalmente algunos transistores, siempre teniendo en mente que no se puede superar un ancho de 3.08 nm . En la Figura 55 se muestra el trazado de inversor triestado modificando la orientación.

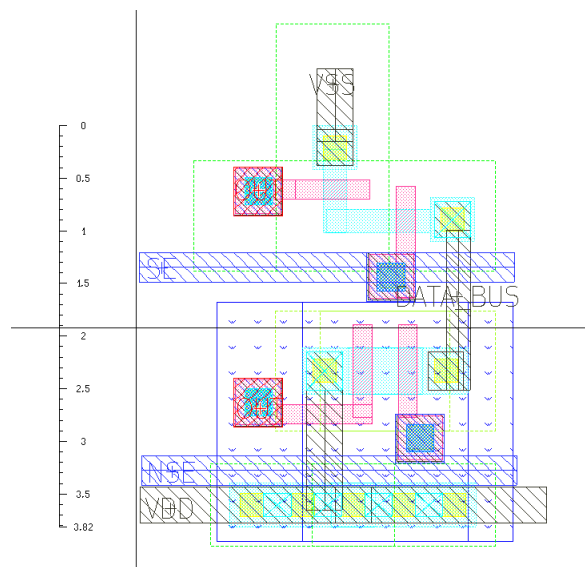


Figura 55. Trazado de inversor triestado con transistores horizontales

El diseño mostrado en la Figura 55 tiene el problema de que no tiene forma de conectar el nodo de salida del inversor hacia donde se conectará el bus de datos. Como se observa, la salida del inversor no se pueden pasar por metal 1 ya que choca con la línea de alimentación de V_{DD} , por metal 2 no se puede conectar el nodo ya que las señales de control también impiden el paso. No se puede enviar por metal 3 ya que se tiene que dejar espacio para que las líneas de bit para que lleguen al *write driver*. Por último metal 4 no es una opción ya que el bus de datos irá por este nivel y las salidas deben pasar por debajo del bus para poder conectar la salida con el bit correspondiente del bus. En comparación con el primer inversor triestado la segunda propuesta es de menor largo y todavía se podrían realizar modificaciones al diseño y obtener provecho a las modificaciones realizadas al inversor triestado con transistores horizontales. Se decide dejar un espacio entre la línea de NSE y la línea de V_{DD} con el fin de poder colocar una vía hacia metal 2 y llegar al bus de datos por este metal. En la Figura 56 se muestran las modificaciones realizadas al trazado del inversor triestado.

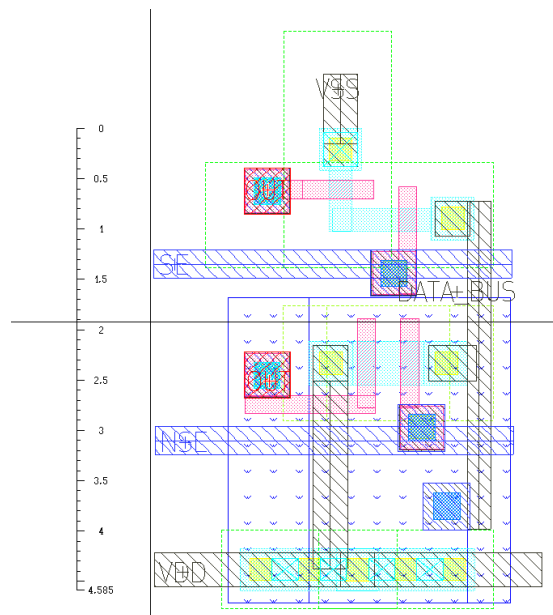


Figura 56. Modificaciones al trazado del inversor triestado con transistores horizontales y espacio entre líneas de metal

El siguiente paso es unir los trazados del inversor triestado y el amplificador de sentido, realizar las pruebas *DRC* y *LVS* y por último generar la extracción. Esta extracción se observa en la Figura 57.

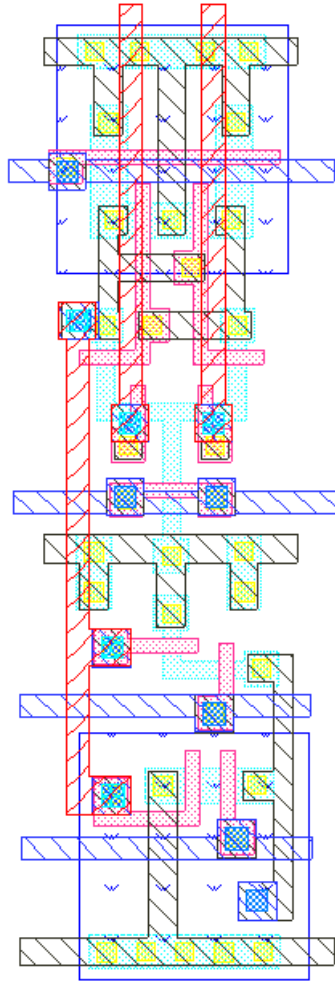


Figura 57. Trazado de amplificador de sensado con inversor triestado en la salida

3.4.2 Corrección de señales de control

Para encontrar solución al problema de que las señales de control no le están permitiendo a las líneas de bit llegar a tener la diferencia de tensión adecuada para poder realizar el proceso de lectura se realiza una simulación con la extracción de todos los circuitos que se encuentran diseñados y la memoria *SRAM*. Para encontrar el tiempo necesario se realiza un barrido al *delay* que tiene la señal *SE* desde el momento en que se activa la señal *WL*. Esto permitirá que alguna de las líneas de bit se descargue y adquiera el dato del interior de la celda a la que se le aplica la lectura y permitirá que el nodo al que se le conectó el

inversor triestado se descargue más rápido cuando lo necesite. En la Figura 58 se muestra el resultado de llevar a cabo un barrido de tiempo para la señal SE.

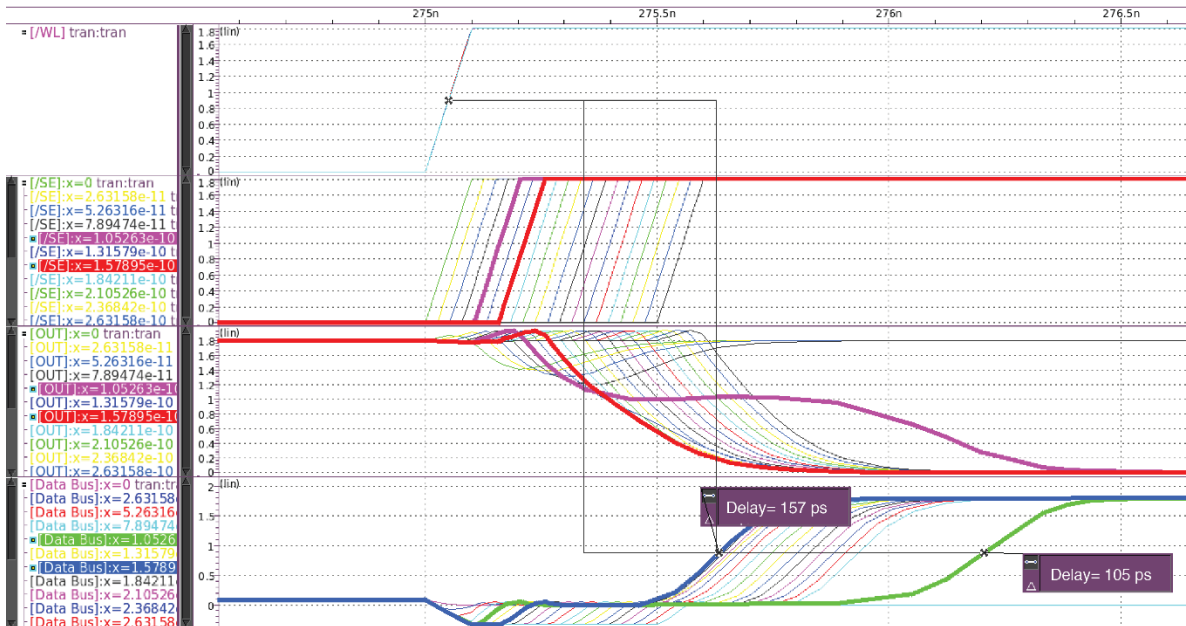


Figura 58. Simulación con barrido de tiempos de la señal SE

El barrido se realiza con entre 0 y 500 ps con un salto de 25 ps. Los resultados de la Figura 58 muestran que el tiempo mínimo para realizar la lectura es de aproximadamente 100 ps, mientras que el resultado más rápido es aproximadamente de 150 ps. Para asegurar el funcionamiento y posibles variaciones durante el acople de los trazados se seguirá realizando las simulaciones con 200 ps de retraso a partir de que la señal de WL sea activada. En la Figura 59 se muestra una simulación postlayout para la memoria SRAM y en la Tabla 10 se muestra un resumen con los resultados.

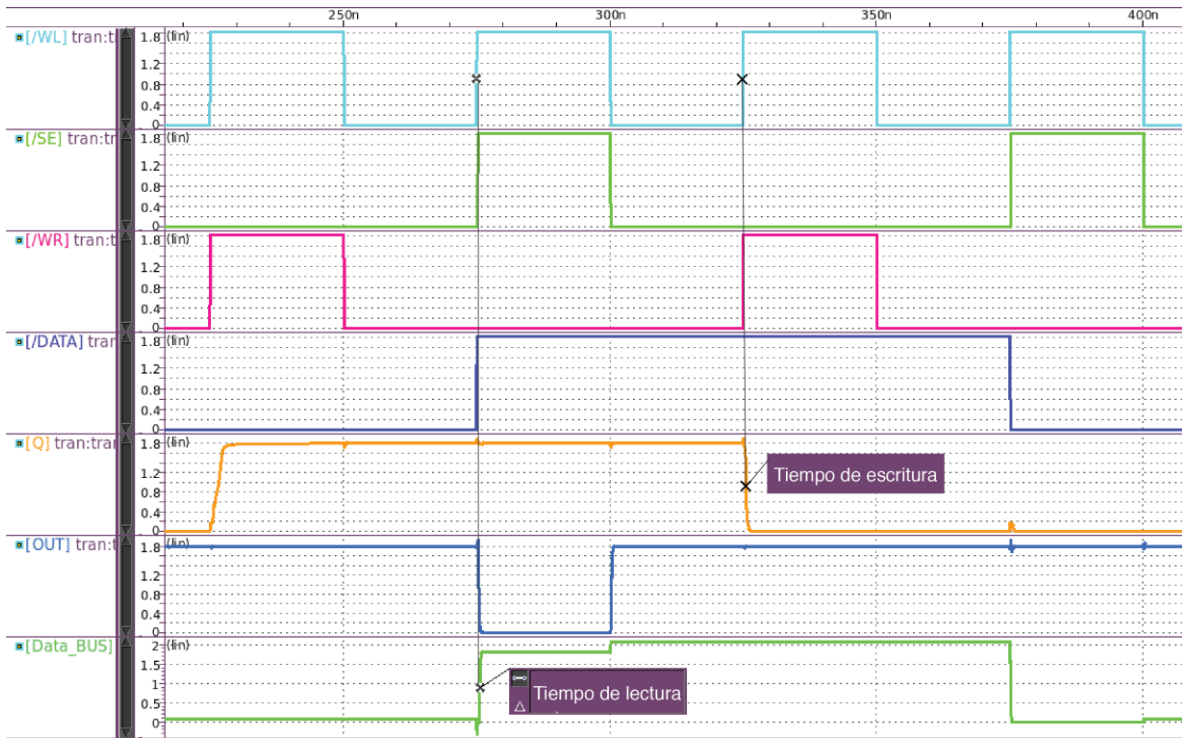


Figura 59. Simulación postlayout de memoria SRAM con corrección en señales de control

Tabla 10. Resultados de simulaciones postlayout de amplificadores de sensado

Tipo de amplificador	Tiempo de lectura (ps)	Consumo durante 1 ms (nJ)
Amplificador de corriente	155	5.266
Amplificador de corriente con inversor triestado	398	5.545

Los tiempos de lectura son tomados desde el momento en que la señal SE pasa $V_{DD}/2$ hasta que el bus de datos llega a $V_{DD}/2$. El aumento en el consumo se debe a la carga del bus de datos durante las lecturas. Este valor también aumentara cuando la escritura también tenga que conmutar los valores del bus de datos.

3.4.3 Unión de trazados a la memoria SRAM

Teniendo listos los trazados de los periféricos de escritura y lectura se procede a unirlos con el trazado de la memoria SRAM de 64x32. Primero se colocará el amplificador de sensado. Es de interés que este sea el circuito más cercano a las celdas de memoria dada la sensibilidad de su funcionamiento con respecto a la diferencia de tensión necesaria en las

líneas de bit. Al estar más cerca de las celdas, más rápido podrá tener en sus nodos de entrada la diferencia necesaria para realizar la lectura. Adicionalmente el bus de datos no puede quedar sobre el amplificador de sensado ya que aumentaría la capacitancia en los nodos internos del amplificador, añadiendo retrasos en la escritura y aumentando la diferencia de potencial necesaria para la lectura. Se coloca cada amplificador de sensado individualmente centrado entre las líneas de bit. En la Figura 60 se muestra la unión del trazado del amplificador de sensado a la memoria *SRAM*.

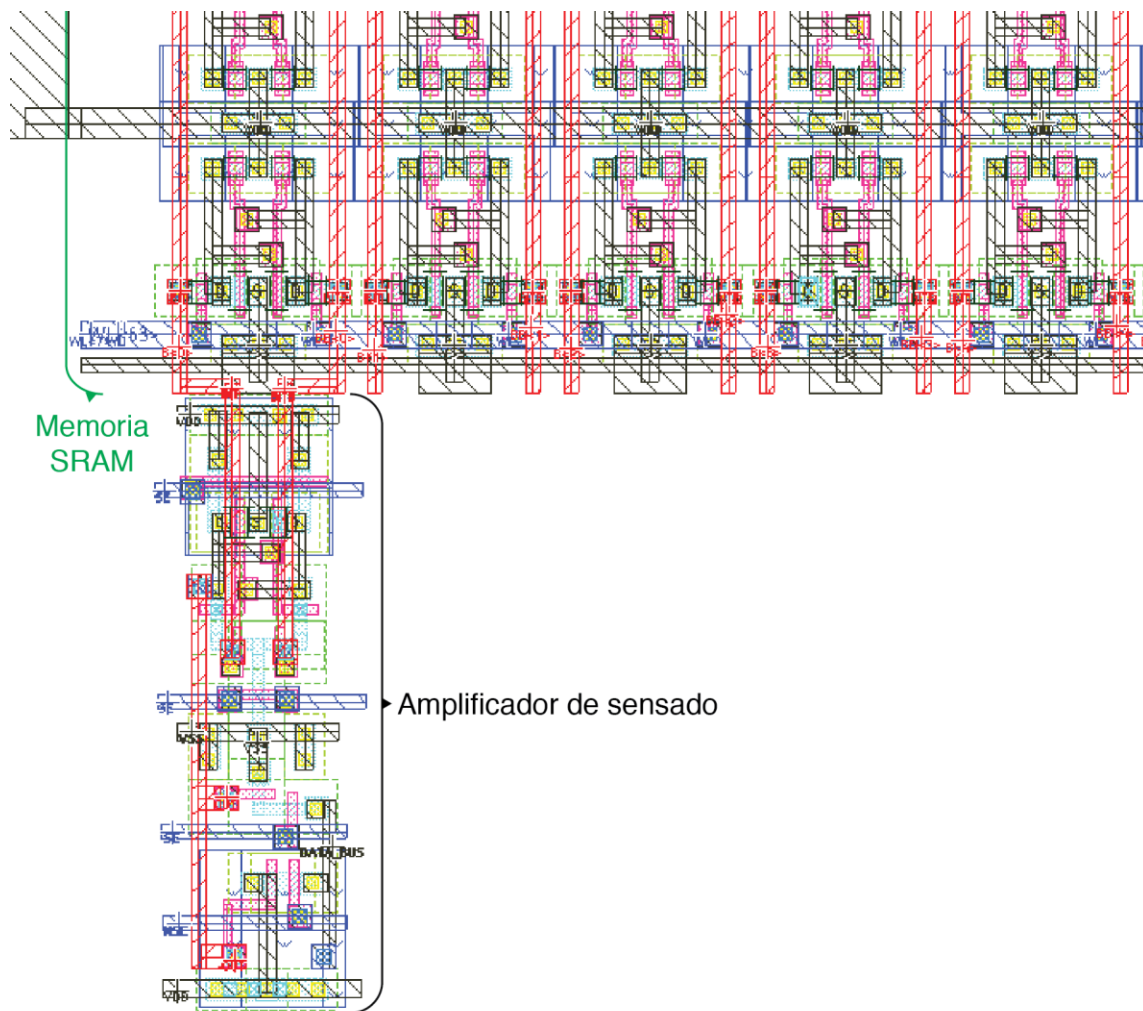


Figura 60. Ejemplo de unión del trazado del amplificador de sensado con la memoria *SRAM*

Luego de conectar los 32 amplificadores se verifica que se esté cumpliendo con las reglas de diseño por medio del *DRC*. Luego de verificar estas reglas se procede a incluir el bus de datos y conectar la salida de los amplificadores a cada línea del bus de datos. Es

importante notar que estas líneas se encuentran en metal 4 para no interferir con las conexiones de ninguno de los otros circuitos que se están diseñando. En la Figura 61 se muestra a nivel de trazado la inserción del bus de datos.

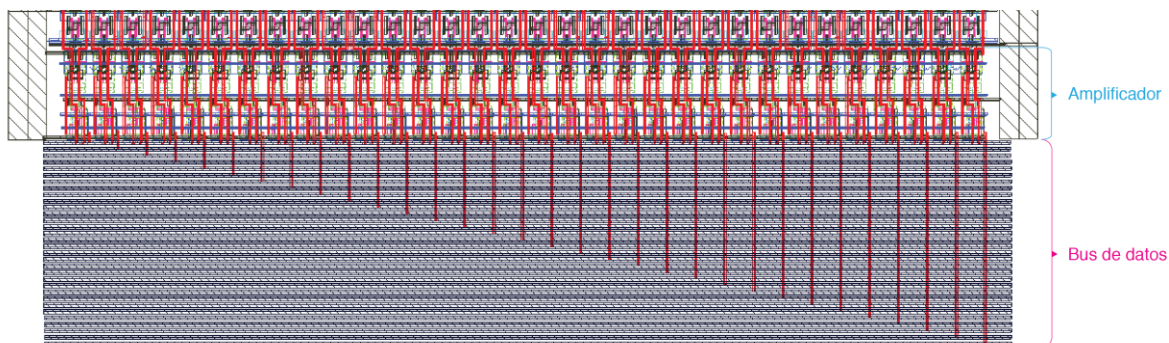


Figura 61. Inclusión a nivel de trazado del bus de datos

Para evitar alargar las líneas de bit se decide colocar el trazado del *write driver* por debajo del bus de datos, estando lo más cercano posible al amplificador de sensado. El ruido y la capacitancia adicional generada por el bus de datos no serán de importancia para el funcionamiento del *write driver* ya que solo debe forzar una línea de bit a V_{SS} . A continuación en la Figura 62 se muestra la extracción de la memoria *SRAM* con los circuitos periféricos incluidos. Las dimensiones de la memoria con los periféricos de columna y el bus de datos se resumen en la Tabla 12.

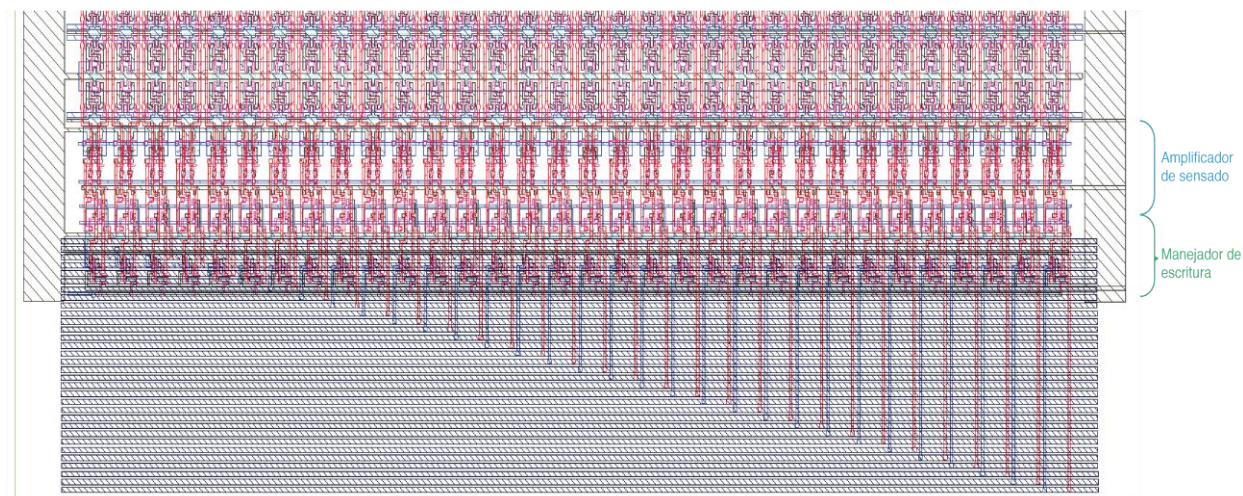


Figura 62. Extracción de memoria *SRAM* con periféricos y bus de datos

Tabla 11. Dimensiones de extracción de la memoria SRAM 64x32

SRAM 64x32	Ancho (μm)	Alto (μm)	Área (nm^2)
Sin circuitos de columna	120.68	299.36	36.13
Con circuitos de columna	120.68	338.03	40.79

Se realiza una simulación *postlayout* para verificar el funcionamiento de la memoria con los periféricos integrados. En la figura 64 se muestra la simulación *postlayout* de la memoria SRAM con sus periféricos, además en la tabla 14 se resumen resultados importantes de la simulación.

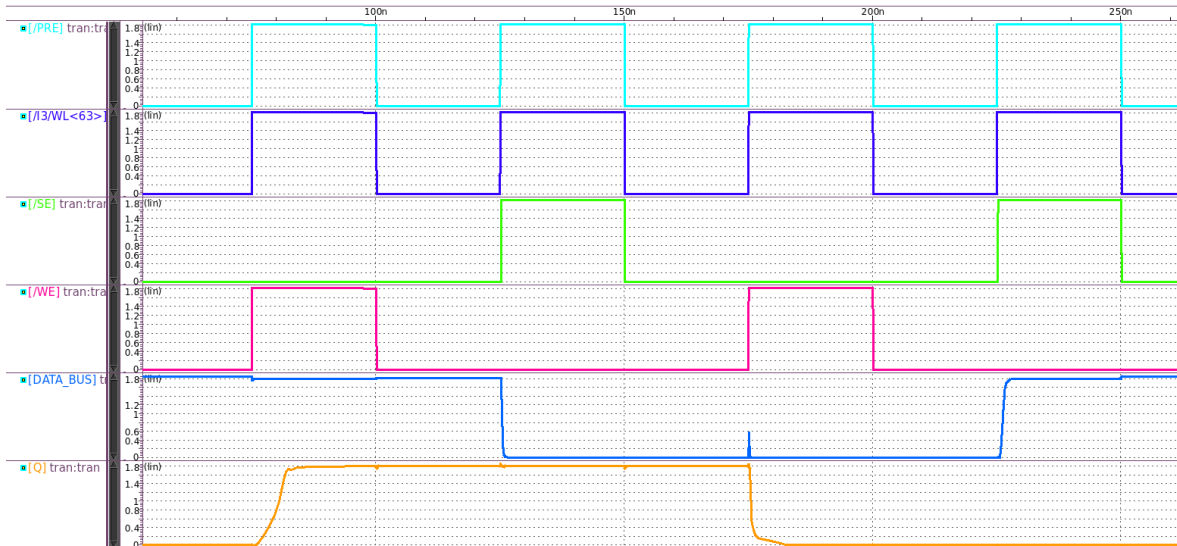


Figura 63. Simulación *postlayout* de memoria SRAM con circuitos periféricos

Tabla 12. Resultados de simulación *postlayout* de la Figura 63

SRAM 64x32	Lectura (ns)	Escritura (ns)
Modelo RC de bitlines	0.155	1.57
Layout SRAM con circuitos de columna	1.21	5.26

El aumento en los tiempos de los procesos muestra que aun cuando se tienen los trazados de los circuitos individuales con los que se está trabajando, es importante realizar

las simulaciones con todas las conexiones a nivel de trazado y con su extracción. Tener los trazados interconectados a nivel de esquemático aun genera simulaciones idealizadas y que no van a mostrar el verdadero comportamiento de los circuitos. Adicionalmente el resultado de la escritura es un caso crítico en donde el *write driver* no solo debe cambiar el valor de las líneas de bit, también debe esperar que el bus de datos conmute al valor deseado. También fue necesario añadirle a la señal SE un retraso de 200 *ps* adicionales a partir de que la señal de WL se active, dando un total de 400 *ps* de retraso necesarios para poder realizar la lectura.

4. Reporte de funcionamiento de memoria SRAM 64x32

En este capítulo se mostrarán los resultados de la lectura y escritura de la memoria *SRAM* 64x32 completa. Esto incluye los trazados de los periféricos de columna (escritura, lectura y precarga) y el trazado del decodificador de palabra. Esto implica conectar todas las alimentaciones y tierras a un único nodo y asegurarse de que las señales de control no hagan corto circuito con otras conexiones de la memoria. También se debe de asegurar que se está manteniendo al mínimo el área que se está utilizando. En la Figura 64 se muestra la unión de todos los trazados que conforman la memoria *SRAM* y en la Tabla 13 se reportan las dimensiones finales de la memoria.

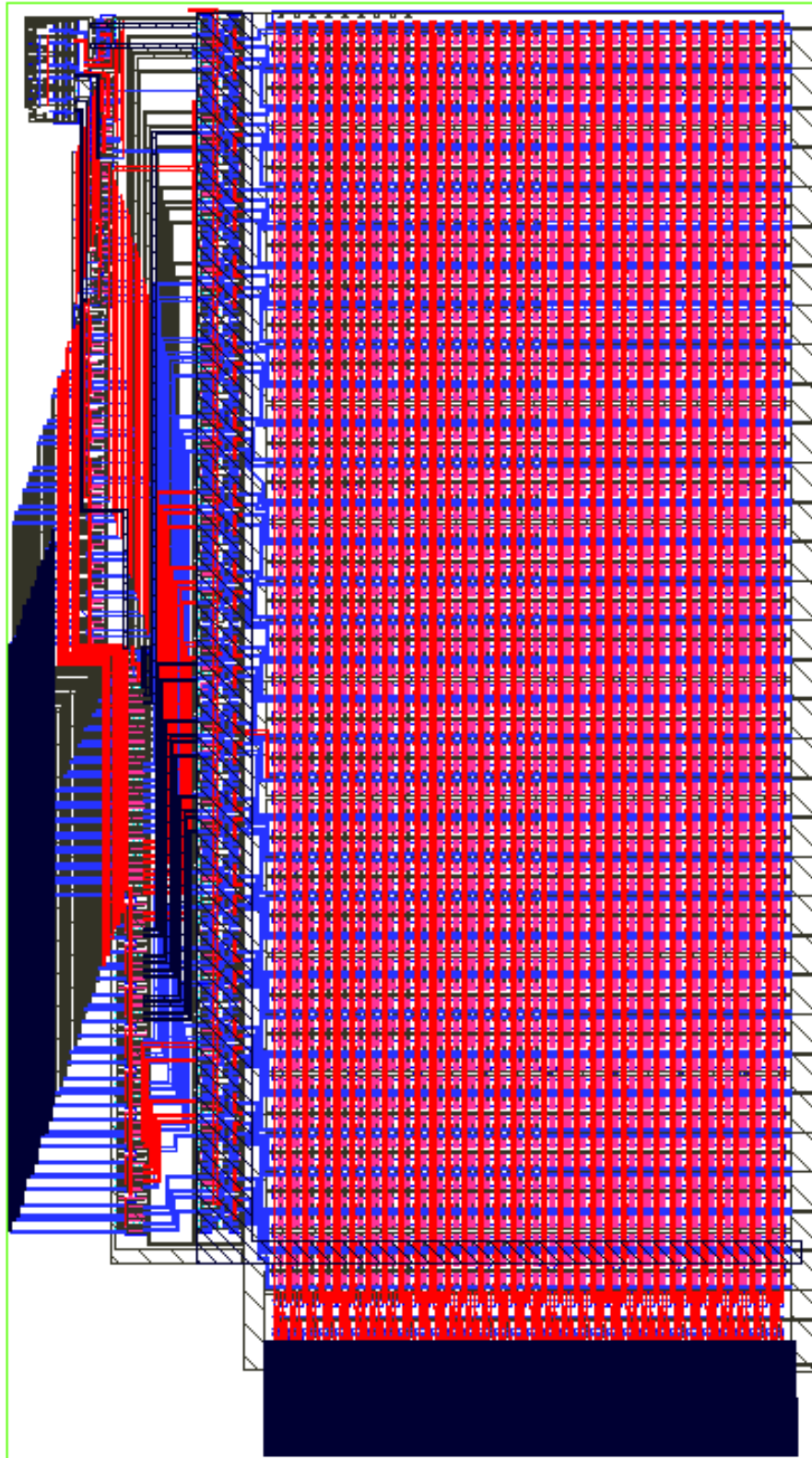


Figura 64. Trazado de memoria SRAM 64x32 completa

Tabla 13. Dimensiones memoria SRAM 64x32 completa

Ancho (μm)	Largo (μm)
189.785	342.43

Nuevamente es necesario añadir retraso a la señal de SE ya que existe un tiempo de propagación en la señal de WL cuando sale del decodificador. Este tiempo de propagación es de aproximadamente 150 ps, por lo cual el tiempo necesario para que se pueda generar la diferencia de tensión necesaria entre las bitlines es de 550 ps. Por seguridad y mantener la confiabilidad de la memoria SRAM se establece que este tiempo debe de ser de 600 ps. Adicionalmente se considera que cuando se incluya una máquina de control se deberá contar con la propagación de las señales de control de la memoria. Por el momento se estima que esto añadirá 100 ps al tiempo necesario para realizar una lectura. En la Figura 65 se muestra un diagrama de tiempos que muestran los tiempos de *setup* y *hold* de la memoria.

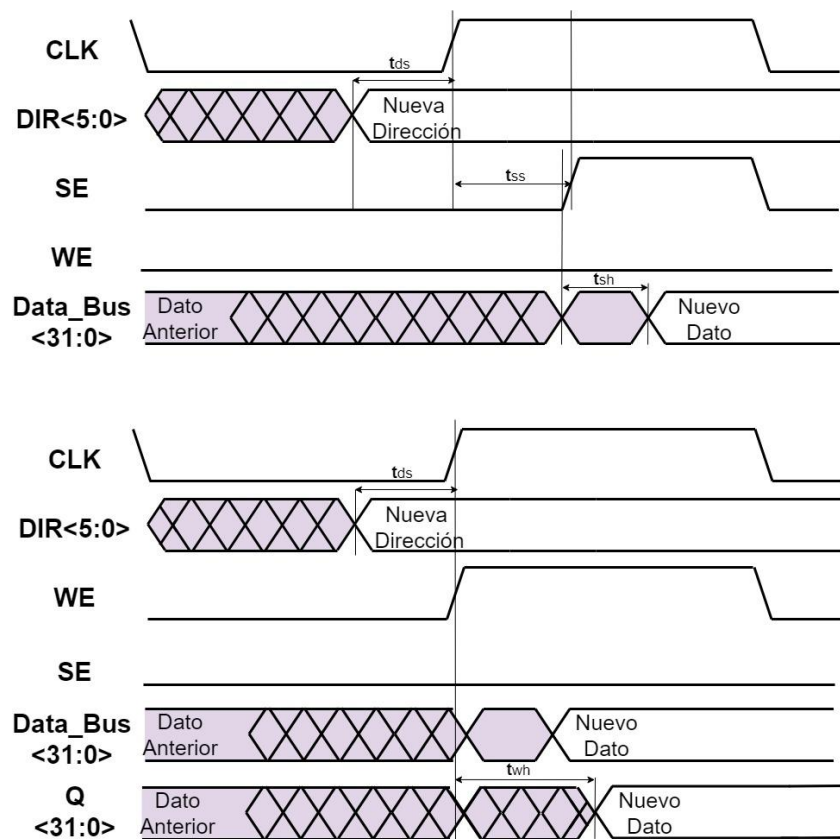


Figura 65. Diagrama de tiempos para los procesos de escritura y lectura de la memoria SRAM 64x32

Para determinar los tiempos de *hold* de la lectura y escritura se realiza una simulación que permita ver el comportamiento de toda la memoria SRAM. En esta misma simulación se comprobó el funcionamiento de las 64 palabras, colocando “1” y “0” lógicos intercalados en los bits de cada palabra y luego escribiendo los valores opuestos en la misma palabra. Después de cada escritura se realizara una lectura de la última palabra que fue accedida. También se medirá el consumo de la memoria durante este proceso. En la Figura 66 se muestra la simulación postlayout de las cuatro primeras palabras de la memoria *SRAM*.

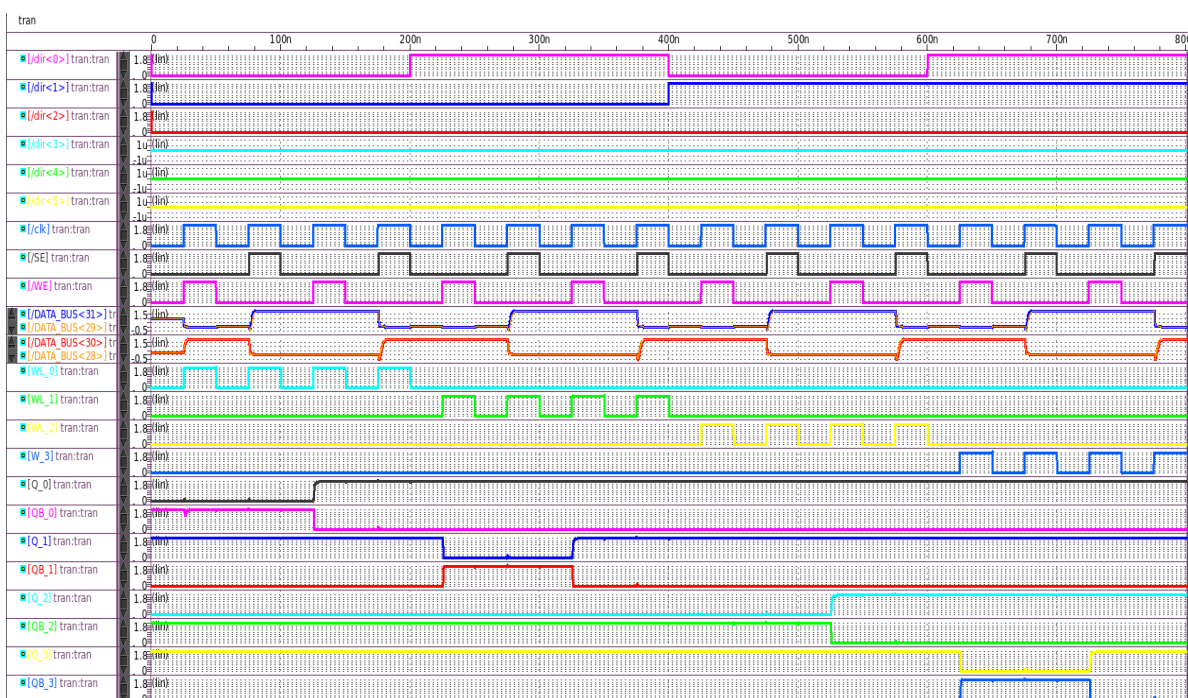


Figura 66. Resultados de simulación postlayout de las primeras 4 palabras de la memoria *SRAM*

En la Figura 66 se muestran únicamente las primeras 4 palabras de la memoria *SRAM*. Aun así en la simulación completa se observaron las 64 palabras y todas siguen el comportamiento esperado. Las primeras 5 líneas de la Figura 66 son las direcciones que entran al decodificador. Seguido se observan las 3 señales de control de esta versión de la memoria *SRAM* (clk, SE y WE). Luego se muestran las líneas de los buses de datos. Estos fueron agrupados en las líneas pares e impares, ya que si la memoria funciona de manera adecuada, estos grupos deberían mostrar los mismos cambios en los niveles de tensión. Debajo del bus de datos se cuenta con las señales de WL de las primeras 4 palabras. Por último se observan

los nodos Q y QB de la décima celda de cada palabra. En las Tabla 14 hasta la Tabla 16 se muestra resultados relacionados a la memoria *SRAM*.

Tabla 14. Tiempos de setup y hold de la memoria SRAM

Tiempo	Duración (ps)
T_{ds}	770
T_{ss}	700
T_{sh}	1710
t_{wh}	1030

Tabla 15. Consumo de la memoria SRAM 64x32

Potencia promedio (μW)	Energía durante 12.8 μs (nJ)
564	7.22

Tabla 16. Tiempos de lectura y escritura de la memoria SRAM 64x32

Proceso	Mínimo (ns)	Típico (ns)	Máximo (ns)
Lectura	2.26	2.3	2.41
Escritura	0.987	1	5.11 *

Los tiempos de la Tabla 16 fueron tomados desde el inicio de la fase de escritura/lectura hasta el momento en que el bus de datos pasa $V_{DD}/2$ (para la lectura) o el nodo Q de la celda interna de la memoria pasa $V_{DD}/2$. Todos los resultados mostrados fueron tomados de la simulación de la Figura 66 excepto el tiempo máximo de escritura. Este caso sucede únicamente cuando el bus de datos tiene un valor diferente al que se desea escribir en el siguiente proceso de escritura. Para encontrar este valor se realizó una simulación en donde únicamente se hacían las escrituras de los datos sin hacer una lectura entre cada uno. Aun tomando en cuenta este caso crítico de escritura, todos los tiempos de los procesos cumplen con las especificaciones de diseño de la memoria *SRAM*. En la tabla 17 se muestran la comparación de los resultados obtenidos con los requisitos establecidos para el diseño final de la memoria.

Tabla 17: Comparación de resultados con requisitos de diseño

Parámetro	Requerido	Obtenido/Utilizado
Reloj	20 MHz	20 MHz
Ancho	Menor o igual a 190 μm	189.785 μm
Tiempo del proceso de lectura	Menor a 20 ns	2.41 ns
Tiempo del proceso de escritura	Menor a 20 ns	5.11 ns

5. Conclusiones

Mediante la investigación y selección de diversas topologías se ha llegado a generar una memoria *SRAM* de 64 palabras de 32 bits a nivel de trazado con una frecuencia de reloj de 20 MHz.

En relación a la inclusión de los circuitos de escritura y columna, únicamente se vio afectado el largo de la memoria. En términos de temporización los procesos de lectura y escritura tienen una duración aproximada de 25 ns, lo que corresponde a medio ciclo de reloj e implica el cumplimiento del requerimiento establecido para una memoria *SRAM* de 6 transistores.

Para el proceso de lectura es necesario dejar un retraso total de 700 ns desde que se da inicio a la fase de lectura. Este retraso incluye los tiempos de *hold* y *setup* que requiere el amplificador de sensado de corriente para funcionar de manera correcta con la memoria implementada. En términos eléctricos se necesitó una diferencia de tensión de al menos 500 mV para concretar una lectura.

La forma en que el *write driver* seleccionado fue implementado y colocado en la memoria deja a nivel de trazado suficiente espacio libre debajo del bus de datos para que un circuito de control también pueda ser colocado en esta área y seguir manteniendo la forma rectangular del diseño. La celda individual es lo suficientemente estable como para no necesitar la conexión adicional de V_{DD} que proporciona la propuesta del *write driver* complejo.

El amplificador de sensado de corriente resultó ser un diseño sensible a cambios físicos de la memoria y a la configuración de las señales de control. A pesar de esto, el amplificador de sensado de corriente permite generar un diseño compacto y altamente inmune al ruido en las líneas de bit y en las salidas, dándole al diseño una alta confiabilidad incluso en casos críticos de lectura.

Finalmente en relación al proceso de implementación desarrollado en este trabajo se puede resumir que:

- La frecuencia de reloj utilizada fue de 20 MHz.

- El ancho de la memoria *SRAM* fue de $189.785 \mu m$, el cual estuvo por debajo $190 \mu m$.
- Los procesos de lectura y escritura, se dieron en un tiempo de $2.41 ns$ para lectura y $5.11 ns$ para la escritura, manteniéndose siempre por debajo de $20 ns$.

5.1 Recomendaciones

A manera de recomendación para futuras iteraciones de la memoria se pueden mencionar 3 posibles cambios al diseño, tales como:

Para evitar el caso crítico de la escritura, se recomienda cargar los datos a escribir en el bus de datos durante la etapa de precarga, junto con la dirección del decodificador.

En relación también al manejo del bus de datos, a costo de un mayor consumo de área y potencia se puede incluir un circuito de precarga para el bus de datos el cual cargue las líneas del bus $V_{DD}/2$, eliminando los casos críticos de escritura y lectura.

Con respecto al dimensionamiento del amplificador de sensado, al aumentar el tamaño de los transistores P es posible llevar a cabo una transición más estable y confiable de los nodos de salida. Para la selección de los tamaños es necesario utilizar una herramienta de optimización tal como se expone en [16], [17] y [18], ya que facilita la conformación de un diseño más simétrico a nivel de trazado, lo que permitirá disminuir la diferencia de tensión necesaria para llevar a cabo procesos de lectura.

Bibliografía

- [1] C. Salazar-García, R. Castro-González, and A. Chacón-Rodríguez, "RISC-V based sound classifier intended for acoustic surveillance in protected natural environments," presented at the Circuits & Systems (LASCAS), 2017 IEEE 8th Latin American Symposium on, 2017, pp. 1–4.
- [2] Salazar-Garcia C., Alfaro-Hidalgo L.; Carvajal-Delgado, M.; Montero-Aragon, J.; Castro-Gonzalez, R.; Rodriguez, J.A.; Chacon-Rodriguez, A.; Alvarado-Moya, P., "Digital integrated circuit implementation of an identification stage for the detection of illegal hunting and logging," in *Circuits & Systems (LASCAS), 2015 IEEE 6th Latin American Symposium on* , pp.1-4, 24-27 Feb. 2015
- [3] N. Weste, D. Money, *CMOS VLSI Design A Circuits and Systems Perspective*, 4th ed. Pearson, 2011.
- [4] "Regiones de operación del TIPO-N FET - Electrónica Unicrom", Electrónica Unicrom, 2016. [En línea]. Disponible en: <https://unicrom.com/regiones-de-operacion-del-tipo-n-fet/>. [Accesado: 23- 8- 2018].
- [5] B. Razavi, *Design of analog CMOS integrated circuits*. New York, NY: McGraw-Hill Education, 2001, p. 30.
- [6] A. Agal, Pardeep and B. Krishan, "6T SRAM Cell: Design And Analysis", *Int. Journal of Engineering Research and Applications*, vol. 4, no. 3, pp. 574-577, 2014.
- [7] S. P. Cheng, S. Y. Huang "A Low-Power SRAM Design Using QuietBitline Architecture" Proc. of IEEE Int'l Workshop on Memory Technology Design and Testing, 2005.
- [8] A. Azizi-Mazreah, M. Manzuri, H. Barati y A. Barati, "Delay and Energy Consumption Analysis of Conventional SRAM", *International Journal of Electrical and Computer Engineering*, vol. 2, no. 1, 2008.
- [9] A. Dosi, "6T-SRAM 1Mb Design with Test Structures and Post Silicon Validation", Maestría, Arizona State University, 2017.
- [10] Y. Kohno *et al.*, "A 14-ns 1-Mbit CMOS SRAM with variable bit organization," in *IEEE Journal of Solid-State Circuits*, vol. 23, no. 5, p. 1060-1066, Oct. 1988.

- [11] P. Sharma, M. S. Hashmi, "A novel design of a Dual Functionality Read-Write driver for SRAM", 2016 29th IEEE International System-on-Chip Conference (SOCC), Seattle, WA, 2016, p. 280-285.
- [12] A. Ney, P. Girard, S. Pravossoudovitch, A. Virazel, M. Bastian y V. Gouin, "A Design-for-Diagnosis Technique for SRAM Write Drivers", Francia, 2008.
- [13] P. Patel, S. Zafar and H. Soni, "Performance of Various Sense Amplifier Topologies in sub100nm Planar MOSFET Technology", *International Journal of Emerging Trends & Technology in Computer Science*, vol. 3, no. 2, p. 42-49, 2014.
- [14] C. Hong, Y. Chiu, J. Zhao, S. Jou, W. Wang y R. Lee, "A low-power charge sharing hierarchical bitline and voltage-latched sense amplifier for SRAM macro in 28 nm CMOS technology," 2014 27th IEEE International System-on-Chip Conference (SOCC), Las Vegas, NV, 2014, p. 160-164.
- [15] Shalini y S. Kumar, "Design of a high speed and low power Sense Amplifier for SRAM Applications", *International Journal of Scientific & Engineering Research*, Vol. 4, no. 7, p. 402-406, 2013
- [16] Pereira-Arroyo, R.; Nicaragua-Guzmán, F.; Chacón-Rodríguez, A.; , "Design of an Operational Transconductance Amplifier applying multiobjective optimization," *Argentine School of Micro-Nanoelectronics Technology and Applications (EAMTA), 2010* , vol., no., pp.12-17, 1-9 Oct. 2010
- [17] R. Pereira-Arroyo, A. Chacon-Rodríguez. "Diseño de una biblioteca de compuertas MCML utilizando un algoritmo genético y de optimización multiobjetivo". *Tecnología en Marcha*, vol. 27, no. 4, pp. 41-48 , Oct.-Dic. 2014.
- [18] R. Pereira-Arroyo, R. Molina-Robles, A. Chacon-Rodríguez. "Diseño de un amplificador operacional de transconductancia aplicando técnicas de optimización multiobjetivo". *Tecnología en Marcha*, vol. 27, no. 1, pp. 2-12 , Ene.-Mar. 2014.
- [19] Brooks, A. Cicchetti, "Design of a Low Power Latch Based SRAM Sense Amplifier", Worcester Polytechnic Institute, 2014.
- [20] Z. Wei, X. Peng, J. Wang, H. Yin, N. Gong, "NOVEL CMOS SRAM VOLTAGE LATCHED SENSE AMPLIFIERS DESIGN BASED ON 65 nm TECHNOLOGY", VLSI and System Lab, Beijing University of Technology, Beijing, China, 2014.

- [21] S. Ahamed, "Design and Analysis of Sense Amplifier Circuits used in HighPerformance and Low-Power SRAMs", The University of Texas at Austin, Austin, Texas, 2011.
- [22] B. Wicht, T. Nirschl and D. Schmitt-Landsiedel, "A yield-optimized latch-ape SRAM sense amplifier", Alemania, 2003.
- [23] I. Lázaro, G. Cervín and J. Anzurez, *Análisis de Confiabilidad de Circuitos Electrónicos Usando Matlab®*. Michocán, Mexico, 2011.
- [24] G. Schrom, "Transmission Gates, Tri-State Inverters, and Buffers", *Iue.tuwien.ac.at*. [En línea]. Disponible en: <http://www.iue.tuwien.ac.at/phd/schrom/node96.html>. [Accesado: 13- Sep- 2018].