

This page is available in the following languages:



Creative Commons License Deed

Attribution-NonCommercial 4.0 International (CC BY-NC 4.0)

This is a human-readable summary of (and not a substitute for) the [license](#).

You are free to:

Share — copy and redistribute the material in any medium or format

Adapt — remix, transform, and build upon the material

The licensor cannot revoke these freedoms as long as you follow the license terms.

Under the following terms:

Attribution — You must give appropriate credit, provide a link to the license, and indicate if changes were made. You may do so in any reasonable manner, but not in any way that suggests the licensor endorses you or your use.

NonCommercial — You may not use the material for commercial purposes.

No additional restrictions — You may not apply legal terms or technological measures that legally restrict others from doing anything the license permits.

Notices:

You do not have to comply with the license for elements of the material in the public domain or where your use is permitted by an applicable exception or limitation.

No warranties are given. The license may not give you all of the permissions necessary for your intended use. For example, other rights such as publicity, privacy, or moral rights may limit how you use the material.

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica



**Análisis de Modulaciones en Pasabanda para Comunicaciones
Eléctricas Alambradas de Alta Velocidad**

Documento de Tesis para optar por el grado académico de Maestría en Electrónica con
Énfasis en Microelectrónica

Juan Pablo Soto Garita

Alajuela, 15 de junio de 2022

Declaro que el presente documento de tesis ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos y resultados experimentales propios.

En los casos en que he utilizado bibliografía he procedido a indicar las fuentes mediante las respectivas citas bibliográficas. En consecuencia, asumo la responsabilidad total por el trabajo de tesis realizado y por el contenido del presente documento.

Juan Pablo Soto Garita

Alajuela, 15 de junio de 2022

Céd: 207430811

Resumen

En el presente documento se realiza un análisis de enlaces seriales eléctricos de alta velocidad con esquemas de señalización en banda base y pasa bandas. Entre estos se utilizan esquemas como NRZ, PAM, QPSK, QAM. El documento se enfoca en modelar un canal eléctrico de PCIe Gen6 a nivel comportamental, donde el se tiene la interferencia entre símbolos como principal componente de degradación del canal. Se exploran las soluciones tradicionales de esquemas de señalización como NRZ y cómo la industria de enlaces de comunicaciones eléctricas alambradas han trabajado en aumentar la tasa de transferencia de datos utilizando diferentes esquemas de señalización. Luego se presenta un análisis matemático que permitió desarrollar un entorno de simulación en “Matlab” y que se comparó con herramientas tradicionales de simuladores de enlace completo. Finalmente se definieron también métricas que permiten comparar entre las diferentes soluciones de esquemas de señalización y las ventajas que presentan unas sobre otras; con el fin de determinar la mejor solución para PCIe Gen6. Los resultados de este trabajo muestran que en principio es factible utilizar acercamientos pasa banda para alcanzar las tasas de enlaces modernos, sin embargo, se debe estudiar más a profundidad aspectos de implementación de las diversas interfaces.

Palabras clave: modulación, PAM, ISI, QAM, PSK, OFDM, enlace serial.

Abstract

In this document an analysis of high-speed serial links is done with baseband and passband signaling schemes. Among these, such as NRZ, PAM, QPSK and QAM are used. This document focuses on modeling a PCIe Gen6 electrical channel at behavioral level, where the inter symbol interference is the main contributor to channel degradation. It's explored traditional solutions of signaling schemes such as NRZ and how the high-speed serial link industry has worked to increase the data transfer rate using different signaling schemes. Then, a mathematical analysis allowed to develop a simulation framework in "Matlab" and it was compared with traditional serial link simulators. Finally, the metrics to compare the advantages and disadvantages between different signaling schemes solutions were defined; with the final goal to determine the best solution for PCIe Gen6. The results from this work show that it's to use passband approaches to achieve data transfer rates for modern links: nevertheless, this study needs to be deepened with aspects such as integrated circuit implementations and different high-speed communication protocols.

Keywords: modulation, PAM, ISI, QAM, PSK, OFDM, serial link

*A mis queridos padres, a mi esposa María José y personas
que confiaron siempre en mí.*

Agradecimientos

Los resultados de este trabajo no hubiesen sido posibles sin la ayuda de diferentes instituciones y personas que me dieron las herramientas y soporte para llevarlo a cabo. Al Tecnológico de Costa Rica por su calidad técnica, herramientas y de profesores en el programa y mi profesor asesor que fue una gran guía durante este proceso. A mis compañeros de trabajo los cuales me inspiraron y me guiaron para definir la meta por realizar y a Yun Ling, persona por la cual pude comprender todos los fundamentos matemáticos para llevar este trabajo a cabo y sin duda fue pieza fundamental para poder realizarlo. Finalmente a todas las personas que me vieron esforzarme día a día y nunca dudaron en mí y creyeron en la importancia de este trabajo.

Juan Pablo Soto Garita

Alajuela, 15 de junio de 2022

Índice general

Índice de figuras	ii
Índice de tablas	vi
1 Introducción	1
2 Canales de Alta Velocidad sobre Interconexiones Eléctricas Alambradas	5
2.1 Desafíos ante aumento de la tasa de transferencia de datos en enlaces de alta velocidad	5
2.2 Enlaces Eléctricos Alambrados de Alta Velocidad	9
2.3 Modulación Digital en Esquemas de Señalización Seriales	11
2.3.1 Tendencias en Esquemas de señalización en Banda Base	12
2.4 Esquemas de Señalización en Pasa Banda	17
2.4.1 Modulación por Cambio de Fase o PSK	18
2.4.2 Modulación por Amplitud de Cuadratura o QAM	18
2.5 Esquemas de Señalización en Multibanda	19
2.5.1 Modulación por Amplitud de Tono	20
3 Implementación a Nivel Comportamental de Arquitecturas en Bandabase y Pasabanda	23
3.1 Canales de referencia para PCIe Gen6	24
3.2 Ecuación para canales de PCIe Gen6	26
3.3 Modulación en Bandabase	28
3.3.1 Desarrollo de Metodología de Evaluación a Nivel de Comportamiento	29
3.4 Modulación en Pasabanda	35
3.5 Arquitectura Multibanda	38
3.6 Métricas de Evaluación	39
4 Análisis Comparativo de Modulaciones en Bandabase y Pasabanda . .	41
4.1 Implementación y Evaluación de Esquemas de señalización NRZ y PAM4 por medio de Matlab y ADS	41
4.1.1 Resultados NRZ	41
4.1.2 Resultados PAM4	44
4.2 Implementación y Evaluación QPSK y QAM16 por medio de Matlab y ADS	46
4.2.1 Resultados QPSK	46

4.2.2	Resultados QAM16	49
4.3	Métricas y Comparación de Resultados en Bandabase y Pasabanda	52
5	Conclusiones	57

Índice de figuras

1.1	Compendio de crecimiento de tráfico de datos esperado (a) y crecimiento por tipo de dato específico (b) debido a dispositivos móviles conectados del 2016 al 2021 [1].	2
1.2	Cuello de botella de interconexión para un sistema “manycore”. [3]	2
1.3	Representación del crecimiento esperado del ancho de banda de la especificación del bus de PCIe. Tecnologías como NVME (“Non-Volatile Memory Express”) o CXL (“Computer Express Link”). en función del tiempo. [5]	3
2.1	“Backplane” de interconexión entre dos “chips”. [7].	6
2.2	Respuesta en frecuencia para canales en “backplane” de dos longitudes, 9” y 26”, para trazas en capas superiores e inferiores (en otras palabras con y sin “stub” de vías). [6].	6
2.3	Especificación CEI-56G con canales eléctricos “VSR”, “MR” y “LR” con adopción de PAM4 como esquema de señalización. [9]	7
2.4	(a) Funciones de transferencia de canales backplane de altas y bajas pérdidas (b) apertura de ojo medida en señalización PAM2 y PAM4 a 6.4 Gb/s con las mismas escalas verticales y horizontales. [7]	8
2.5	Tendencia en el desarrollo de enlaces de alta velocidad por parte de diferentes investigadores y grupos de desarrollo líderes en el mundo.[10]	8
2.6	Tendencia en estándares emergentes de entrada/salida que muestra el crecimiento de tasa de transferencia de datos de al menos el doble cada cuatro años. QPI: “QuickPath Interconnect”; PCIe: “Peripheral Component Interconnect Express”; S-ATA: “Serial AT Attachment”; SAS: “Serial Attached Small Computer System Interface”; OIF/CEI: “Optical Internetworking Forum/Common Electrical I/O”; PON: “passive optical network”; DDR: “Double Data Rate Memory”; GDDR: “Graphics Double Data Rate Memory.” [11].	9
2.7	Eficiencia de potencia en publicaciones recientes de estándares digitales de entrada/salida en ISCC (“IEEE Solid-State Circuits Magazine”) trazada contra las pérdidas del canal. [11].	9
2.8	Interconexión de comunicación serial de alta velocidad, con terminación en el transmisor y receptor. [11].	10

2.9	Comparación de señal en banda base vs señal en pasa bandas [13].	11
2.10	Arquitectura Básica para un enlace serial de alta velocidad. [15]	12
2.11	Ejemplo de señales moduladas por PAM en (a) banda base y (b) pasa bandas. [23].	15
2.12	Arquitectura de un trasceptor duobinario. [30]	17
2.13	Diagrama de espacio de señal, para BPSK, QPSK y 8-PSK. [23]	18
2.14	Diagrama de espacio de señal, para diferente cantidad de símbolos QAM rectangular. [23]	19
2.15	Arquitectura de un transceptor AMT. [29]	20
2.16	Diagrama de Bloques de Transmisor Multibanda. [32]	21
2.17	Comparación entre diferentes implementaciones con esquemas binarios y multibanda. [33]	22
3.1	Comparación de diferentes canales de interconexión con componentes adi- cionales. [34]	24
3.2	Métricas de desarrollo de la especificación PCIe Gen6. [5]	24
3.3	Diagrama de bloques de canal de referencia elaborado para PCIe Gen6. Fuente: Elaboración propia	25
3.4	Diagrama de interconexión de un canal de referencia de PCIe Gen6, sobre una computadora personal. [35]	25
3.5	Pérdidas de interconexiones eléctricas de tres canales diferenciales de alta velocidad de PCIe Gen6.	26
3.6	Diagrama de ecualizador de transmisión FFE con una implementación de 4 taps (tres precursores y un post cursor).	27
3.7	Curvas genéricas de ecualización de recepción de CTLE posibles para PCIe Gen6 sin valores en los ejes.	27
3.8	Ecualización Completa de Receptor para un Enlace Serial de Alta Velocidad. 28	28
3.9	Diagrama de Bloques de Implementación de Simulación a Nivel Comporta- mental para diferentes esquemas de señalización en Bandabase y Pasabanda . 29	29
3.10	Ejemplo de simulación “bit by bit” de un canal con respuesta al pulso ideal y un patrón de entrada de tres bits.	30
3.11	Respuesta al pulso muestreada para un canal con respuesta pasa-bajas, con espaciamiento de 1UI entre cursores.	31
3.12	Diagrama de Ojo para esquema de señalización NRZ utilizando el algoritmo y la herramienta de simulación bit por bit.	32
3.13	Diagrama de Ojo para esquema de señalización PAM4 utilizando el algo- ritmo y la herramienta de simulación bit por bit	32
3.14	Circuito de implementación del algoritmo de un ecualizador no lineal DFE. 34	34
3.15	Diagrama de ojo para componentes en fase y cuadratura para modulación en QPSK	37
3.16	Diagrama de ojo para componentes en fase y cuadratura para modulación QAM16.	37

3.17	Subdivisión del canal con ancho de banda W en sub-canales con ancho de banda equivalente a Δf . [23].	38
3.18	Síntesis de señal con modulación con múltiples frecuencias de acarreo basado en la transformada discreta de fourier inversa. [23].	40
4.1	Resultados de simulación a nivel comportamental para el canal de 66 mm con un esquema de señalización NRZ y una tasa de transferencia de 40 Gbps. a) Pulso de salida del canal, más optimización por TXLE+CTLE y DFE. b) Resultados de PDA incluyendo crosstalk de pares adyacentes. c) Resultados de simulación de 10000 bits por medio de la metodología bit by bit	43
4.2	Resultados de simulación a nivel comportamental para el canal de 83 mm con un esquema de señalización NRZ y una tasa de transferencia de 40 Gbps. a) Pulso de salida del canal, más optimización por TXLE+CTLE y DFE. b) Resultados de PDA incluyendo crosstalk de pares adyacentes. c) Resultados de simulación de 10000 bits por medio de la metodología bit by bit	43
4.3	Resultados de simulación a nivel comportamental para el canal de 101 mm con un esquema de señalización NRZ y una tasa de transferencia de 40 Gbps. a) Pulso de salida del canal, más optimización por TXLE+CTLE y DFE. b) Resultados de PDA incluyendo crosstalk de pares adyacentes. c) Resultados de simulación de 10000 bits por medio de la metodología bit by bit	43
4.4	Esquemático del circuito implementado en NRZ de ADS.	44
4.5	Resultados de simulación con ADS del circuito NRZ. Diagrama de ojo a 10000 bits y tabla de resumen de resultados	44
4.6	Resultados de simulación a nivel comportamental para el canal de 66 mm con un esquema de señalización PAM4. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Resultados de PDA. c) Resultados de simulación de 10000 bits por medio de la metodología bit by bit	45
4.7	Resultados de simulación a nivel comportamental para el canal de 83 mm con un esquema de señalización NRZ. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Resultados de PDA. c) Resultados de simulación de 10000 bits por medio de la metodología bit by bit	45
4.8	Resultados de simulación a nivel comportamental para el canal de 101 mm con un esquema de señalización PAM4. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Resultados de PDA. c) Resultados de simulación de 10000 bits por medio de la metodología bit by bit	46

4.9	Resultados de simulación a nivel comportamental para el canal de 66 mm con un esquema de señalización QPSK. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Constelación de simulación comportamental para forma de onda de salida (incluyendo ecualización). c) Resultados de simulación de 1000 bits por medio de la metodología bit by bit	47
4.10	Resultados de simulación a nivel comportamental para el canal de 83 mm con un esquema de señalización QPSK. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Constelación de simulación comportamental para forma de onda de salida (incluyendo ecualización). c) Resultados de simulación de 1000 bits por medio de la metodología bit by bit	47
4.11	Resultados de simulación a nivel comportamental para el canal de 101 mm con un esquema de señalización QPSK. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Constelación de simulación comportamental para forma de onda de salida (incluyendo ecualización). c) Resultados de simulación de 1000 bits por medio de la metodología bit by bit	48
4.12	Canal de enlace eléctrico QPSK simulado en ADS.	49
4.13	Resultados de modulación de orden superior QPSK sobre canal eléctrico implementado en ADS de 101 mm.	49
4.14	Resultados de simulación a nivel comportamental para el canal de 66 mm con un esquema de señalización QAM16. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Constelación de simulación comportamental para forma de onda de salida (incluyendo ecualización). c) Resultados de simulación de 1000 bits por medio de la metodología bit by bit	50
4.15	Resultados de simulación a nivel comportamental para el canal de 83 mm con un esquema de señalización QAM16. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Constelación de simulación comportamental para forma de onda de salida (incluyendo ecualización). c) Resultados de simulación de 1000 bits por medio de la metodología bit by bit	50
4.16	Resultados de simulación a nivel comportamental para el canal de 101 mm con un esquema de señalización QAM16. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Constelación de simulación comportamental para forma de onda de salida (incluyendo ecualización). c) Resultados de simulación de 1000 bits por medio de la metodología bit by bit	51
4.17	Canal eléctrico de QAM16 implementado en ADS.	51
4.18	Resultados de simulación de canal eléctrico de QAM16 implementado en ADS con 10000 bits.	52

4.19 Resultados teóricos de nivel de BER vs relación señal a ruido por bit SNR por bit.	54
4.20 Densidad Espectral de Potencia para enlaces de comunicación en NRZ, PAM4, QPSK y QAM16, con su contenido centrado en Banda Base.	54
4.21 Eficiencia espectral teórica de diferentes esquemas de modulación. [23]	55

Índice de tablas

3.1 Pérdidas diferencias a frecuencias de Nyquist de canales de referencia de PCIe Gen6	26
3.2 Métricas de Evaluación para Análisis de Modulaciones en Pasabanda de Circuito Eléctricos Alambrados de Alta Velocidad	40
4.1 Resumen de Resultados de simulación de enlace para circuitos alambrados de alta velocidad, utilizando esquemas de modulación NRZ, PAM4, QPSK y QAM16	53

Capítulo 1

Introducción

El aumento del volumen de tráfico por medio del protocolo global de internet (IP), el volumen de contenidos de multimedia que son transmitidos, así como compartir archivos, audio, todo esto en una tasa mensual ha mostrado un crecimiento en algunos tipos de datos de manera lineal y en otros exponencial. [1] Por ejemplo, la resolución de las pantallas de uso común en celulares, computadores o televisores ha ido aumentando de tamaños de píxeles como 1024x768 en 2002 a 3840x2160 en 2018, lo cual aumenta la resolución de vídeos y fotos que pueden proyectarse y compartirse entre usuarios. Adicionalmente el porcentaje de población mundial con acceso y uso de internet ha aumentado de menos del 20% en el año 2005 a 51.2% en el año 2018. [2] Como resultado de esto y un incremento a más de 8 mil millones de dispositivos electrónicos conectados a finales de 2020 [2], se estima un tráfico de datos de 49 ExaByte (EB) por mes para el año 2021. [1]

Proyecciones existentes como las del compendio de crecimiento anual (CAGR) en la figura 1.1 reflejan el aumento exponencial del tráfico de datos desde el 2016 al 2021. Se puede apreciar que tráfico relacionado a vídeo muestran una tendencia exponencial; mientras navegación web, “streaming” y compartir archivos tienen un crecimiento lineal. Ante esta demanda de datos, parte de los retos son el procesamiento, análisis, almacenamiento y transmisión de los mismos.

Estos cuatro vectores mencionados, conforman esta gran red de interconexión entre dispositivos “IOT”, servidores, computadoras, celulares, etc. La industria microelectrónica ha progresado en la tecnología requerida para satisfacer la demanda del mercado. Mejoras en la tecnología de fabricación de transistores, con transistores más pequeños y con menor latencia, favorecen la creación de circuitos integrados más densos con mejores capacidades de procesamiento, análisis y almacenamiento, debido en parte a la reducción de la conmutación de las compuertas. Sin embargo, la transmisión de datos entre los diferentes componentes de un “System on Chip” o “SoC”, no puede interconectar los diferentes componentes tan rápido como realizan procesos, por lo cual se genera un cuello de botella. Este cuello de botella se conoce en el idioma inglés como “interconnect bottleneck”, cuyo efecto se puede ver representado en un caso como el de la figura 1.2.

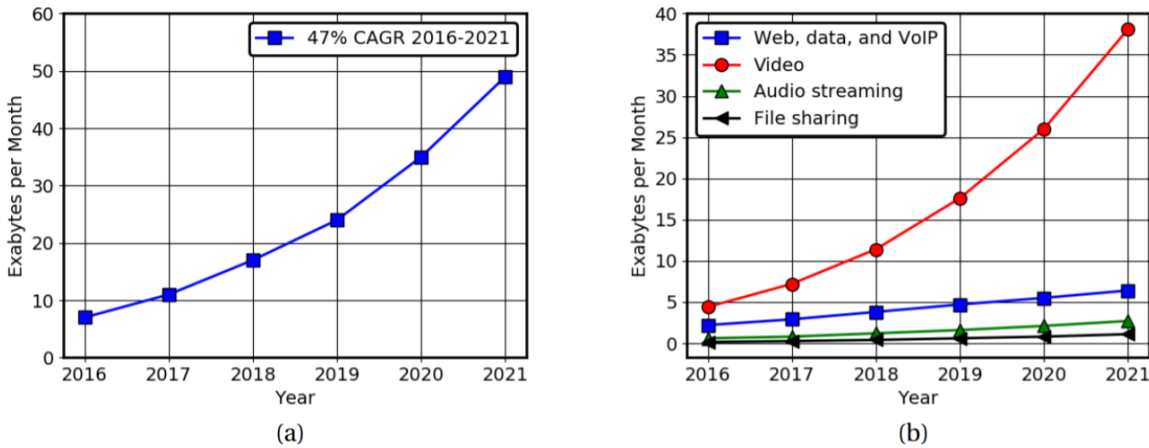


Figura 1.1: Compendio de crecimiento de tráfico de datos esperado (a) y crecimiento por tipo de dato específico (b) debido a dispositivos móviles conectados del 2016 al 2021 [1].

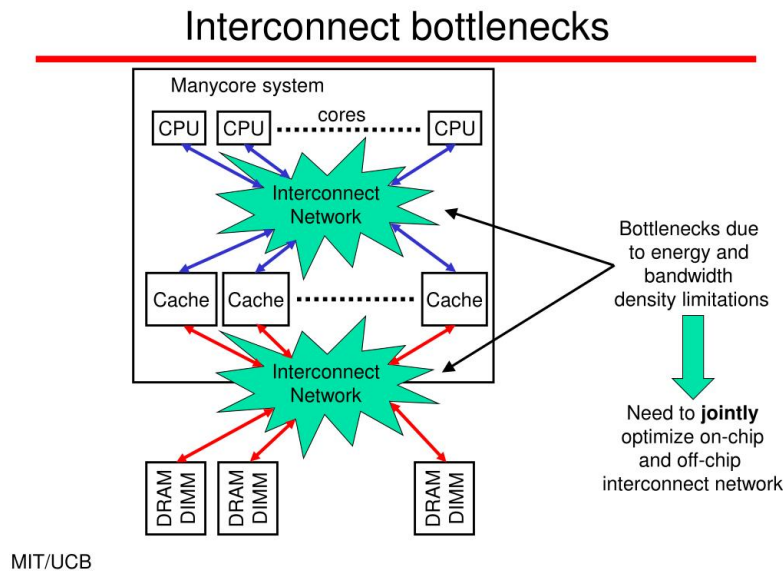


Figura 1.2: Cuello de botella de interconexión para un sistema “manycore”. [3]

El desarrollo de este documento se enfoca en explorar alternativas novedosas para transferir datos sobre sistemas de interconexión de forma más eficiente; específicamente al aumentar de velocidad de transmisión de datos en comunicaciones alambrada eléctricas. En este trabajo, los protocolos seriales de alta velocidad que interconectan el procesador con diferentes periféricos es el área de enfoque, dónde tecnologías como PCIe (“Peripheral Component Interconnect Express”) presentan incrementos de ancho de banda con una tendencia de duplicación cada tres años como se observa en la figura 1.3, dónde se aprecia que esta demanda es requerida por la infraestructura de “IoT” pueden tomar ventaja de ello y mejorar el rendimiento de almacenamiento y acceso a memoria. [4]

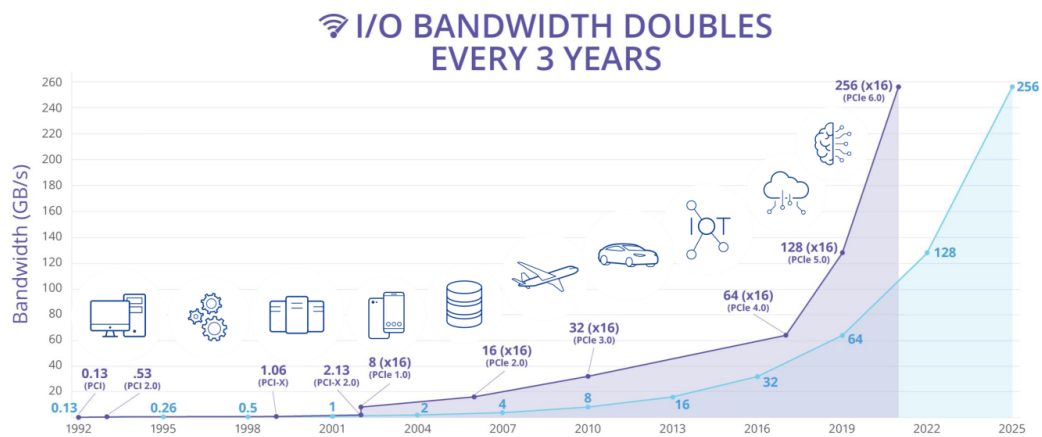


Figura 1.3: Representación del crecimiento esperado del ancho de banda de la especificación del bus de PCIe. Tecnologías como NVME (“Non-Volatile Memory Express”) o CXL (“Computer Express Link”). en función del tiempo. [5]

Al aumentar el ancho de banda de estas tecnologías de interconexión alámbricas de alta velocidad, se ocupa garantizar la integridad eléctrica de la señal entre los dispositivos interconectados, el cual garantice escalabilidad y garantía de detección de los bits transmitidos. En este ámbito eléctrico, la manera en que se envían los bits por un canal de comunicación es crítico para la detección de los mismos, por lo cual se requieren esquemas de señalización, que pueden transmitir la mayor cantidad de bits de manera eficiente, confiable y escalable. Para permitir escalabilidad, en este documento se exploran diferentes esquemas de señalización los cuales, ante métricas que también se definen, habiliten mayores tasas de transferencia de datos, usando tecnologías de empaquetado actuales y canales de comunicación convencionales. Como parte de estas métricas se consideran complejidad, área, eficiencia espectral y consumo de potencia.

Este trabajo busca contribuir a la exploración de soluciones alternativas para generaciones avanzadas de interfaces de alta velocidad. Inicialmente, se estudia la tendencia de los esquemas de señalización en los protocolos de alta velocidad por medio de una exploración de literatura. Luego se realizan diferentes simulaciones de carácter de alto nivel que permitan comparar estos esquemas de señalización con alternativas propuestas y se evalúa también en simuladores eléctricos de canales de enlaces de comunicación. Finalmente, se comparan todas estos enfoques por medio de métricas que se definen y se propone soluciones basado en los datos y alternativas exploradas.

El enfoque de este documento es evaluar las arquitecturas en pasa bandas y banda base para circuitos eléctricos alámbrados de alta velocidad; en el cual se estima que un enlace eléctrico en pasa bandas puede ser una alternativa realista a los enlaces convencionales en banda base que se han utilizado y permitir una escalabilidad en tasas de transferencia de dichos transeptores.

Para ello se subdivide el problema a desarrollar por partes. Inicialmente se realiza una exploración para determinar las arquitecturas en pasa banda y banda base que se implementaron en alto nivel (comportamental), con base en la literatura consultada. Para ello se crea un “framework” con base en matemática de enlaces seriales y sistemas “LTI”

que permite realizar la simulación comportamental de dichos enlaces con el objetivo de comparar los diferentes esquemas de señalización bajo la misma herramienta. Luego se contrasta esta herramienta de simulación con otras disponibles en el mercado y determinar las diferencias que existen con las mismas. Finalmente, se definen métricas de comparación eléctricas de los esquemas de señalización que permiten identificar cuál de las modulaciones es la propuesta más concreta para un enlace de alta velocidad real de un computador.

De estos resultados se muestra que los esquemas de señalización en pasa banda pueden ser alternativas factibles a los banda base y que puedan ser implementados con combinaciones en multi banda para permitir la escalabilidad de los enlaces de alta velocidad seriales ante el incremento de tasa de transferencia de datos; utilizando equipos electrónicos con interconexiones actuales.

Capítulo 2

Canales de Alta Velocidad sobre Interconexiones Eléctricas Alambradas

2.1 Desafíos ante aumento de la tasa de transferencia de datos en enlaces de alta velocidad

Como se mencionó anteriormente, el cuello de botella de interconexión afecta la transmisión de datos entre diferentes componentes de un “System-On-Chip”. En esta sección se detalla más sobre este cuello de botella, incluyendo los desafíos debido a materiales, en conjunto con esquemas de señalización, etc.

En primer lugar, se expone un ejemplo del canal de interconexión eléctrica alambra entre dos circuitos integrados. En la figura 2.1 se observa un “backplane” que ejemplifica diferentes componentes de esta interconexión del canal eléctrico. Se pueden apreciar diferentes tipos de conectores, vías, empaquetado de circuitos integrados, trazas de conexión, etc. Estos componentes que se encuentran en esta interconexión, son no ideales y afectan la transmisión de datos a alta velocidad entre un circuito integrado y otro; la cual se puede representar como una degradación de la señal entre un punto y otro o pérdidas. Estas pérdidas del canal eléctrico tienen un comportamiento pasa-bajas; lo cual afectará la señal severamente entre más alta sea la velocidad de transmisión de datos, como se aprecia en la figura 2.2. [6].

De la figura 2.2, se pueden apreciar varios canales eléctricos reales, con comportamiento pasa bajas. Comparando los diferentes se puede apreciar diferentes relaciones, como la proporcionalidad pérdida-atenuación o la resonancia introducida “stubs”. En un enlace de comunicación que se incluya un canal no ideal como el mencionado y un transmisor y receptor, los últimos deben ser capaces de poder compensar estos comportamientos no ideales del canal; y así mantener una integridad de señal correcta y poder transmitir

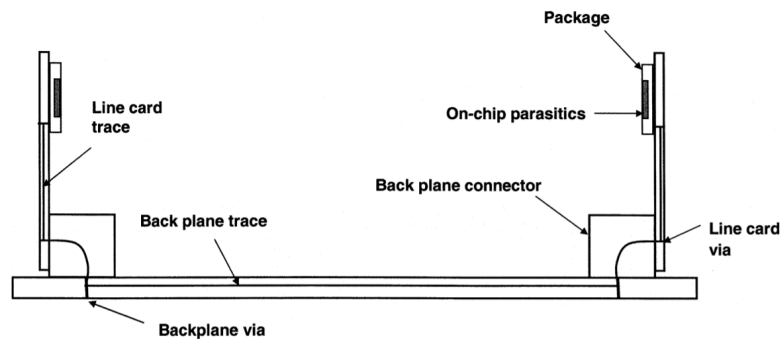


Figura 2.1: “Backplane” de interconexión entre dos “chips”. [7].

correctamente la información. [6].

A tasas de transmisión en los órdenes de Gigabits/segundo, el canal de comunicación tiene gran influencia sobre el desempeño del sistema. Esto ha creado un gran desafío en el campo de integridad de señales y enfocar esfuerzos para sobrellevar estos efectos adversos. Se han implementado técnicas de compensación como ecualización, mejora de materiales, incremento de potencia de señal, optimización de componentes del enlace, etc. Sin embargo en los años más recientes también se ha evaluado modificar la manera en que la información es transmitida en el enlace de comunicación; donde tradicionalmente la serialización ha sido binaria por medio del esquema de señalización “Non-Return-to-Zero” o NRZ.

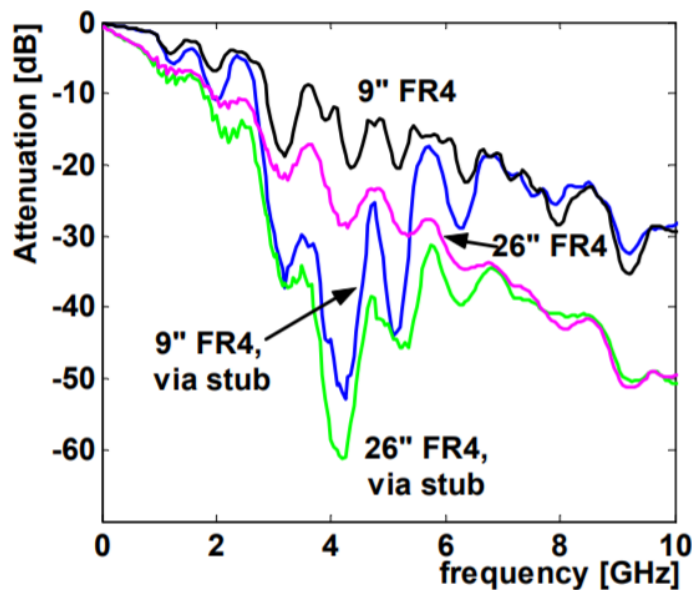


Figura 2.2: Respuesta en frecuencia para canales en “backplane” de dos longitudes, 9” y 26”, para trazas en capas superiores e inferiores (en otras palabras con y sin “stub” de vías). [6].

Para comprender esta necesidad de modificar el esquema de señalización como alternativa a las propuestas mencionadas anteriormente, se estudia el caso de uno de los primeros estándares eléctricos en adoptar una modulación de orden superior, denominado “Common Electrical I/O at 56 Gb/s” (CEI-56G), perteneciente al “Optical Internetworking

Forum” (OIF), el cual fue publicado en la especificación CEI 4.0 en el año 2017. [8].

Para el desarrollo de esta especificación, se realizaron estudios de enlaces eléctricos alambrados con materiales convencionales (como FR4). Ante los diferentes canales que se definen en esta especificación tales como el “VSR” o “Very Short Reach”, “MR” o “Medium Reach” y “LR” o “Long Reach”, se evaluó el use de materiales de “PCB ” “premium” para reducir pérdidas y se estudió efectos como “crosstalk” del empaquetado y conectores, buscando un balance costo-desempeño a 56 Gb/s. [8]. Ante estos estudios se determinó que reducir la frecuencia de operación del canal a la mitad usando un esquema de señalización de orden superior como “Pulse Amplitude Modulation 4” o “PAM4”, permite optimizar el costo del canal y evita efectos eléctricos adversos como los mencionados anteriormente. En la imagen 2.3 se aprecia la especificación final de PAM4 con cada uno de los canales de referencia.

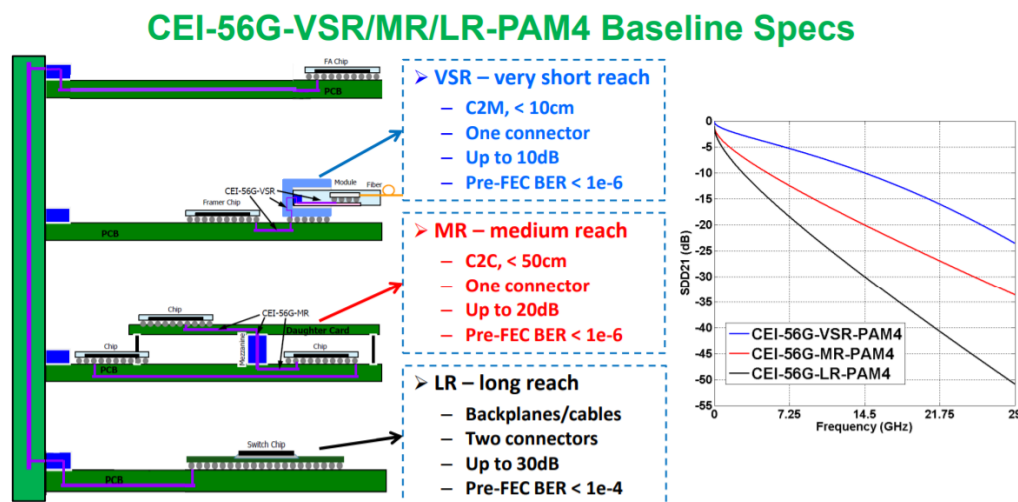


Figura 2.3: Especificación CEI-56G con canales eléctricos “VSR”, “MR” y “LR” con adopción de PAM4 como esquema de señalización. [9]

Una de las grandes ventajas de esquemas de señalización de orden superior como PAM4, es la reducción de la frecuencia de Nyquist de transmisión a la mitad, en comparación de una transmisión en NRZ con la misma tasa de transferencia de datos. Esto es muy conveniente en canales con grandes pérdidas o con muescas debido a reflexiones en alta frecuencia, como se observa en la figura 2.4, donde se aprecia el impacto en duplicar la tasa de transferencia de datos con un esquema de señalización PAM4 o NRZ. Los efectos de alta frecuencia del canal se reflejan en la reducción del diagrama de ojo de un enlace NRZ; mientras que el enlace con PAM4, mantiene un diagrama de ojo abierto debido a su frecuencia de Nyquist se mantuvo por debajo de los efectos de alta frecuencia del canal. En otras palabras PAM4 permite escalabilidad.

La demanda por estándares de comunicación con tasas de transferencia en órdenes de decenas de Gb/s, ha exigido al ecosistema de industria microelectrónica a usar esquemas de señalización que permitan satisfacer esta escalabilidad y demanda sin que el costo se eleve significativamente. El principal de mayor adopción es el mencionado PAM o modulación por amplitud; donde los casos como PAM4 y PAM3 comenzaron su adopción en el

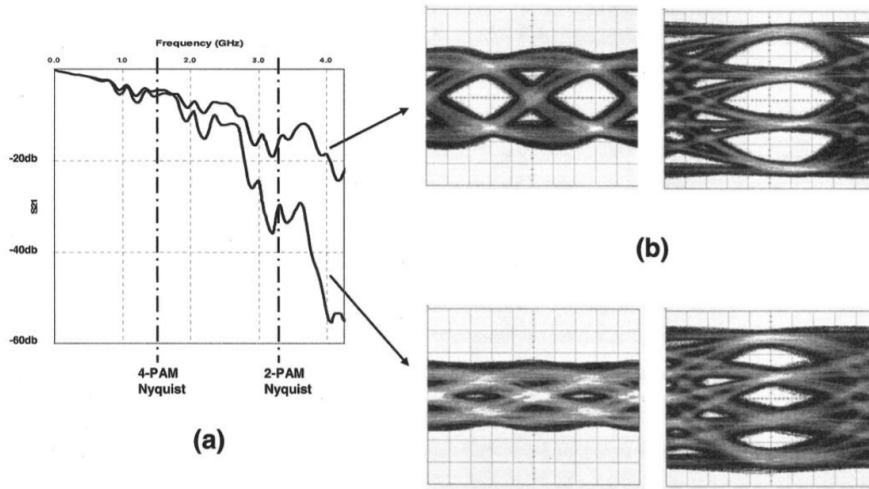


Figura 2.4: (a) Funciones de transferencia de canales backplane de altas y bajas pérdidas (b) apertura de ojo medida en señalización PAM2 y PAM4 a 6.4 Gb/s con las mismas escalas verticales y horizontales. [7]

estándar IEEE P802.3bj KP4, seguido de CEI-56G hasta estándares como PCIe y USB. En la figura 2.5 se puede observar la adopción de este esquema en diferentes compañías fabricantes de circuitos integrados.

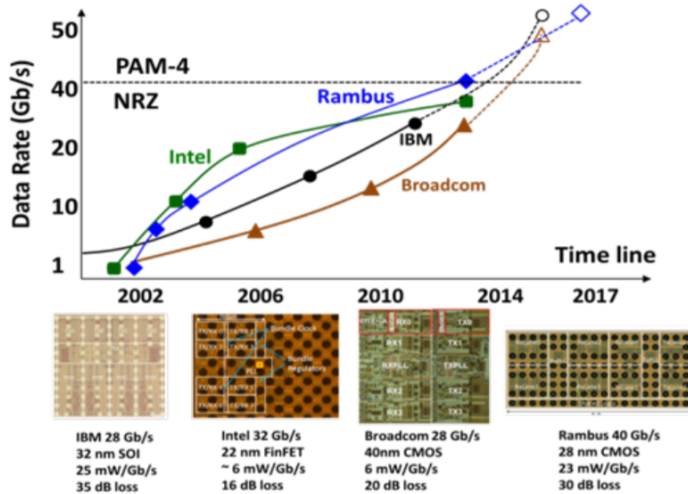


Figura 2.5: Tendencia en el desarrollo de enlaces de alta velocidad por parte de diferentes investigadores y grupos de desarrollo líderes en el mundo.[10]

Como se ha mencionado en las secciones anteriores, el incremento en la cantidad de instrucciones por segundo en un procesador, ha conllevado a tener buses de transmisión de datos con tasas de transferencia elevadas, que puedan soportar la comunicación entre un procesador y una memoria, un panel, una tarjeta gráfica, un coprocesador, etc. Por ende la comunicación digital serial de puertos de entrada y salida presenta cada vez mayor importancia en la etapa de diseño de un circuito integrado, y diferentes protocolos seriales de alta velocidad presentan los mismos desafíos. En la imagen 2.6, se puede observar que existe un crecimiento en la tasa de transferencia de datos de al menos el doble cada cuatro años en al menos diez protocolos. Sin embargo, este aumento de velocidad también

implica canales con mayores pérdidas y en la imagen 2.7 se puede observar que la potencia por tasa de transmisión (mW/Gb/s) aumenta diez veces cada incremento en 20 dB del canal eléctrico; lo cual limita que la escalabilidad de tasa de transferencia sea eficiente.

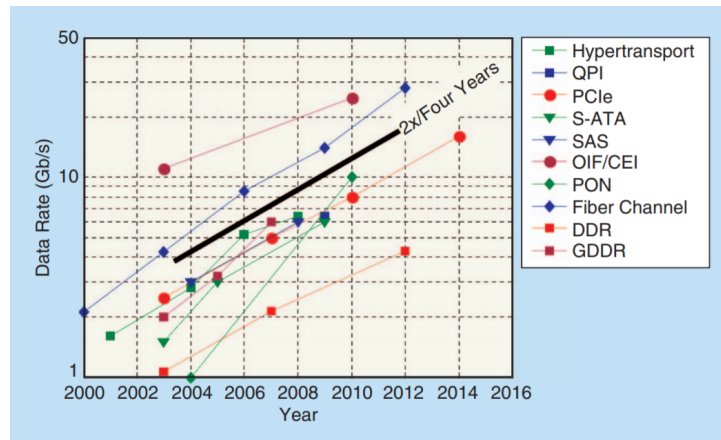


Figura 2.6: Tendencia en estándares emergentes de entrada/salida que muestra el crecimiento de tasa de transferencia de datos de al menos el doble cada cuatro años. QPI: “QuickPath Interconnect”; PCIe: “Peripheral Component Interconnect Express”; S-ATA: “Serial AT Attachment”; SAS: “Serial Attached Small Computer System Interface”; OIF/CEI: “Optical Internetworking Forum/Common Electrical I/O”; PON: “passive optical network”; DDR: “Double Data Rate Memory”; GDDR: “Graphics Double Data Rate Memory.” [11].

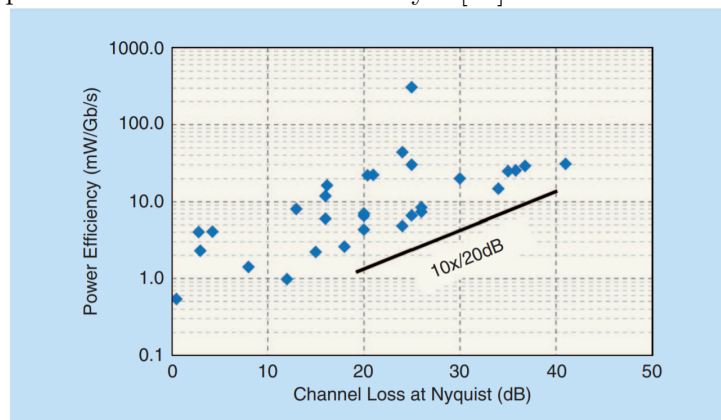


Figura 2.7: Eficiencia de potencia en publicaciones recientes de estándares digitales de entrada/salida en ISCC (“IEEE Solid-State Circuits Magazine”) trazada contra las pérdidas del canal. [11].

2.2 Enlaces Eléctricos Alambrados de Alta Velocidad

De los desafíos anteriores, se podría pensar intuitivamente que realmente este aumento en tasa de transferencia de datos no conlleva a un problema mayor, debido a que idealmente si se interconecta un punto A con un punto B se podría esperar que la señal en A y B sea la misma si se transmite sobre un material conductor. Sin embargo, a partir de ciertas velocidad de tasas de transmisión, el efecto de propagación de onda empieza a ser relevante y la interconexión se tiene que describir con modelos electromagnéticos mas complejos,

que van desde líneas de transmisión, a modelos en 3D que representan discontinuidades.

Dicho fenómeno simplificado, menciona que si la longitud de interconexión ente un punto A y un punto B es mayor que un cuarto de longitud de la señal transmitida ($L \geq \lambda/4$). Así se puede representar esta interconexión como una línea de transmisión para considerar como parte de los efectos de los canales de alta velocidad. En el caso de comunicación digital de un procesador en un servidor o computadora, al transmitir una señal electromagnética a 1GHz su longitud de onda en un material dieléctrico común de tarjetas madres como “FR4” con constante dieléctrica aproximada de 4, corresponde a 150 mm usando la relación $\lambda = \frac{c}{f\sqrt{\epsilon_R}}$. Por ende una longitud a la cual este efecto comienza a ser relevante es 37.5 mm. Tradicionalmente la conexión entre un computador a un puerto periférico es de al menos 100 mm; por lo cual este fenómeno se encuentra en gran parte de los protocolos seriales de alta velocidad actuales. En la figura 2.8 se puede apreciar el modelo simplificado de una línea de transmisión utilizado en los canales seriales de alta velocidad acoplados a 50Ω .

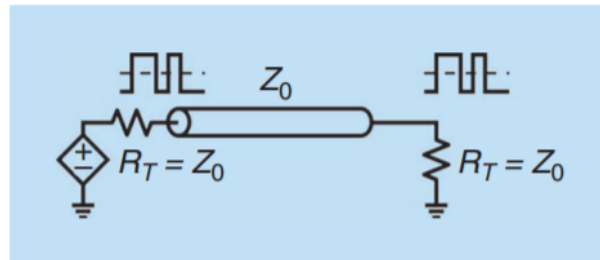


Figura 2.8: Interconexión de comunicación serial de alta velocidad, con terminación en el transmisor y receptor. [11].

Una vez definido el modelo del canal de alta velocidad, es importante mencionar que la comunicación serial es de tipo digital; en otras palabras, el transmisor envía valores binarios de “1” o “0” por medio de un “buffer” analógico que envía la información al canal eléctrico, e idealmente se esperaría una señal lo más rectangular posible; sin embargo el transmisor tiene un límite de operación y la salida tiene una forma más similar a un trapecoide. El diseño de este “buffer” presenta el primer reto para obtener tiempos de subida y bajadas correctos a la salida del transmisor. Luego, como el canal tiene un comportamiento pasa bajas, la señal pierde su contenido en alta frecuencia y la señal rectangular se degrada hasta incluso poder llegar a ser irreconocible. Mucho de este efecto pasa baja en canales de tarjetas madre, se debe a que en la línea de transmisión hay etapas de “microstrip” “stripline”, vías o conectores, las cuales tienen capacitancias e inductancias dependientes de la frecuencia. A altas frecuencias, estos efectos incrementan su impacto y por eso los componentes del canal deben ser diseñados y seleccionados cuidadosamente. [12].

Esta comunicación digital ha utilizado tradicionalmente esquemas de señalización analógicos como “Non-Return-to-Zero” o NRZ para la serialización a alta velocidad. La frecuencia fundamental de una señal digital serial (cadenas de unos y ceros), se puede determinar al conocer la tasa de transferencia de la misma. Por ejemplo, PCIe Gen4 tiene una tasa de transferencia de datos de hasta 16 Gb/s por cada línea de datos, por lo cual su frecuencia

fundamental es de 8 GHz. El diseño del canal en esta frecuencia puede presentar distorsiones a la onda electromagnética como reflexiones, distorsiones, ruido eléctrico, “jitter”, ISI o “Inter Symbol Interference”, etc. Por lo cual si se desea obtener y distinguir entre un 1 y un 0 en el receptor, es importante diseñar la interconexión de tal manera que estos efectos se puedan minimizar.

En los siguientes secciones se detalla las tendencias del mercado en estos esquemas de señalización para canales de alta velocidad, en conjunto de posibles alternativas de modulaciones que podrían resolver estos desafíos tanto propuestas como exploradas en diversas literatura; donde se exploran las diversas formas de aprovechamiento del ancho de banda de la señal, los materiales, potencia de los circuitos integrados y eficiencia espectral.

2.3 Modulación Digital en Esquemas de Señalización Seriales

La modulación digital es el proceso que consiste en realizar el mapeo de una secuencia de datos binarios (0's y 1's) a señales que se transmiten en un canal de comunicación. Normalmente existen dos grandes categorías de señales que pasan por este proceso de modulación; las denominadas señales en banda base y las denominadas señales en pasa bandas. La primera consiste en una señal o un mensaje el cual su contenido en frecuencia se encuentra centrado en 0 Hz; por ejemplo, una señal real. En cambio una señal en pasa bandas consiste en una señal cuyo contenido espectral se encuentra centrado sobre una frecuencia central específica, denominada “carrier frequency” o frecuencia de acarreo. Una comparación de ambos tipos de señales se puede apreciar en la figura 2.9. Ambas señales se encuentran delimitadas por un ancho de banda W alrededor de una frecuencia central de análisis.

The transmitted signal is limited to a range from $-B$ Hz to $+B$ Hz.

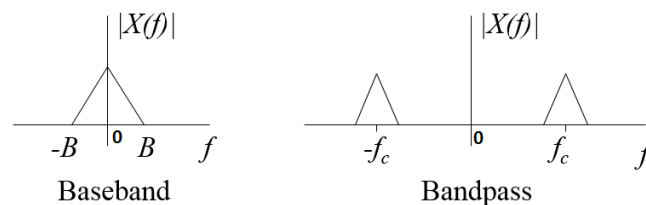


Figura 2.9: Comparación de señal en banda base vs señal en pasa bandas [13].

Existen gran cantidad de técnicas de modulación y esquemas de señalización para señales en banda base y pasa banda. En este documento se evalúan esquemas en banda base simples como NRZ o con modulación como duobinario o PAM-N. Adicional de esquemas en pasa banda “Phase Shift Keying” o “PSK”, “Quadrature Amplitude Modulation” o “QAM” y esquemas en multibanda como “Amplitude Modulation Tone” o “AMT” y “Orthogonal Frequency Domain Multiplexing”, entre otros. Muchos de ellos ya han sido evaluadas en la literatura consultada, mientras en otros se pretende realizar una

evaluación en este documento.

2.3.1 Tendencias en Esquemas de señalización en Banda Base

Los enlaces seriales de alta velocidad comenzaron a implementarse para muchas soluciones a medida que las velocidades incrementaron en lugar de enlaces paralelos, sus beneficios son principalmente velocidades de bits más altas, control de tiempo dedicado, menos interconexiones, más inmunidad a interferencias y costos. La principal técnica de señalización tradicional utilizada en los “fiber backplane” y los cables de cobre es el de “Non Return to Zero” (NRZ). [14] Tiene la ventaja de ser más simple y compatible con las técnicas convencionales de señalización lógica digital. También para mejorar su rendimiento existen técnicas de ecualización que se utilizan en el transceptor y receptor para aumentar la altura y el ancho del ojo a partir de la señal recibida, que se enfocan principalmente en mejorar los componentes de alta frecuencia, reducir los componentes de baja frecuencia o eliminar el ISI pre o post cursor. [14] Sin embargo, comienza a ser más costoso y más complejo para velocidades superiores a 10 Gbps, donde el ISI se vuelve más crítico.

Comúnmente para el transmisor se utiliza un ecualizador lineal, por ejemplo “Feed-Forward-Equalizer” o FFE, para compensar el comportamiento del filtro de paso bajo del canal [15]. Para el canal de interconexión existen técnicas para evitar reflexiones causadas por “stubs” y discontinuidades que pueden ser filtros de microondas o circuitos de compensación de impedancia [16]. Por otro lado, para el receptor, el “Continuous Time Linear Equalizer” (CTLE) se utiliza para compensar las pérdidas de canal por medio de un filtro que acentúa las frecuencias altas de interés; lo cual a su vez se combina con técnicas que se utilizan para combinar con el “Decision Feedback Equalizer” (DFE) que permiten colas del ISI provocadas por los post cursores. Un ejemplo de esta arquitectura se observa en la figura 2.10.

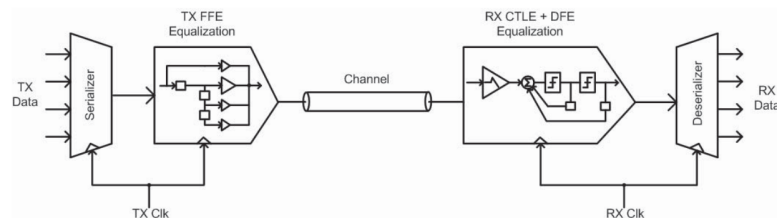


Figura 2.10: Arquitectura Básica para un enlace serial de alta velocidad. [15]

Tendencias en Esquema Non-Return-to-Zero (NRZ)

El esquema de señalización de no retorno a cero o NRZ es una codificación analógica de línea que se utiliza para representar una señal digital. Este esquema sencillo define dos amplitudes de señal polares e invertidas (como 1 V y -1 V), las cuales representan los valores binarios “0” y “1” y las transmite por un intervalo de tiempo definido conocido como ancho de bit. Este codificación de línea se ha utilizado tradicionalmente en los

protocolos seriales de alta velocidad para transmitir la información digital a través de un canal físico real para luego ser decodificado por el receptor. Con esta codificación, la representación binaria se puede realizar de manera simplificada sin requerir ancho de banda extra y no depender de realizar un retorno a 0 V. Sin embargo, es sensible a señales de baja frecuencia y sensible a la interferencia entre símbolos o “ISI” (al haber cadenas de “1s” o “0s” muy largas).

Durante la investigación de protocolos de comunicación con velocidades mayores a 40 Gb/s, como CEI-56G, se hizo énfasis que tener un transceptor NRZ, conllevaría a aumentar considerablemente el área del circuito integrado y el consumo de potencia aumentaría exponencialmente, esto debido a la ecualización que se ocuparía para poder compensar los efectos de alta frecuencia en canales eléctricos. [8]. Esto ha provocado que se hayan buscado optimizaciones en los circuitos el transmisor y receptor del enlace eléctrico de alta velocidad.

Aumentar la tasa de transferencia de datos en un transceptor NRZ implica que se aumenta las pérdidas debido al efecto pasa-baja del canal, adicionalmente de otros efectos de alta frecuencia; para compensar esto, en tasas de transferencias mayores a 32 Gb/s, [17], [18], [19] y [20] sugieren que se necesita al menos un ecualizador en el transmisor con efecto pasa-alta (por ejemplo un “Feed-Forward-Equalizer” o FFE) de al menos tres o más “taps”. Sin embargo, [17] demuestra que la diferencia de consumo entre un transceptor NRZ a 28 Gb/s y 40 Gb/s, aumenta más del doble en consumo de potencia, de 195 a 518 mW, lo cual infiere que NRZ no es escalable para mantener un consumo controlado en el transceptor, por lo cual se buscan soluciones que puedan ser más eficientes en su consumo y adicionalmente se introduce el término eficiencia de energía por bit, que busca determinar un mejor consumo entre diferentes implementaciones de transceptores.

Otros autores exploran soluciones de NRZ en rangos de 16 Gb/s a 32 Gb/s, realizando diferentes optimizaciones que mejoren el consumo y la integridad de la señal. Por ejemplo, [21], sugiere realizar un partición del transceptor que permita transmitir señales de menor tasa de transferencia, en paralelo que sean parte del mismo mensaje. Con esto se puede optimizar el consumo que tendría un transceptor completo al menos una tercera parte. La desventaja es la paralelización de la señal y que aumenta la cantidad de pines e interconexiones en el canal, lo cual dependiendo del enfoque puede no ser tan ventajoso.

Más allá de optimizaciones por partición o uso de ecualización más compleja y de mayor nivel para obtener una mayor tasa de transferencia de datos, [17], [22], [18], , [19], [20] y [21], insinúan que para tasas de transferencia mayores, el uso de diferentes esquemas de señalización de mayor orden es más beneficioso y conllevan a un menor consumo de potencia y mayor eficiencia de energía por bit. Se resalta que el esquema de señalización con mayor adopción en estándares es la modulación digital en banda base PAM4; asimismo, dichos autores han realizado implementaciones duales con NRZ y PAM4, que permiten compatibilidad entre ambos.

Modulación por Amplitud de Pulsos (PAM-N) y su tendencia

La modulación por amplitud de pulsos o PAM, consiste en la representación de una secuencia binaria dígitos por medio de diferentes niveles de amplitud. En otras palabras, para una entrada o secuencia digital, se toma cada uno de estos símbolos y se le asigna un valor de amplitud dado. En forma general la modulación por amplitud de pulsos está dado por la ecuación 2.1. Donde $p(t)$ es un pulso de duración de T y $A_m, 1 \leq m \leq M$ denota los posibles sets de M amplitudes correspondientes a $M = 2^k$ posibles bloques de símbolos de k -bits. [23].

Este esquema de señalización o modulación en su forma original se define en banda base; sin embargo este esquema de modulación también puede estar en pasa banda, el cual determina que la señal se encuentra centrada sobre una frecuencia de acarreo f_c . En este caso se toma el pulso de intervalo T , $p(t)$ y se reemplaza con $p(t) = g(t) \cos(2\pi f_c t)$. Esto también implica que el equivalente en banda base de la señal con modulación PAM en pasa bandas es $A_m g(t)$. Este tipo de modulación digital en PAM que se encuentra en pasa bandas es también conocido como ASK (“Amplitude-shift Keying”).

$$s_m(t) = A_m p(t), \quad 1 \leq m \leq M \quad (2.1)$$

El diagrama en el tiempo que muestra las dos tipos de modulación por amplitud de pulsos en diferentes tiempos se puede observar en la figura 2.11. En este esquema se muestra la modulación PAM como la envolvente de la señal modulada. La gran mayoría de los autores y estándares industriales utilizan la modulación PAM en su forma banda base, que permite la simplificación de los circuitos de transmisión y recepción, en conjunto de los diferentes beneficios que esta presenta como se ha mencionado anteriormente.

Debido a que el esquema de señalización NRZ no es escalable para tasas de transferencias en órdenes de décadas de Gb/s. Tecnologías como CEI-56G demostraron que usar esquemas de señalización alternativos como PAM de 4 niveles (PAM4), permite lograr una tasa de transferencia de 56 Gb/s sin aumentar el consumo ni el área del circuito integrado. [9]. Autores como [24] detallan los desafíos de los canales eléctricos de muy corta distancia (VSR), corta distancia (SR), mediana distancia (MR) y larga distancia (LR) ante transferencias de datos mayores a 50 Gb/s dónde las pérdidas de los canales pueden llegar a ser de hasta 50 dB. PAM4 es una perfecta alternativa para la mayoría de estos canales, por lo cual debido a la cantidad de exploración con este esquema, el mercado busca adoptar este esquema y derivados (como PAM3 o PAM8) en futuras tecnologías.

El autor [22] realiza diferentes transceptores NRZ y PAM4 y demuestra que PAM4 utiliza un mejor aprovechamiento del ancho de banda y eficiencia de energía (julios/bit). Sin embargo expone que es importante mejorar el diseño con respecto al SNR (“Signal-to-Noise Ratio”), ya que se requiere de al menos tres veces una mejor razón al utilizar PAM4. Adicionalmente debido a los cruces múltiples de bit, es importante asegurar la

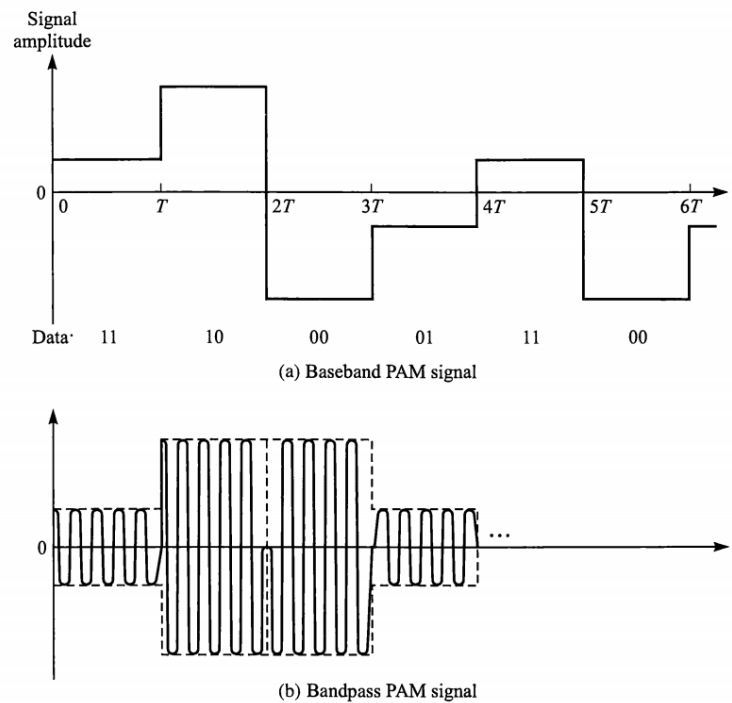


Figura 2.11: Ejemplo de señales moduladas por PAM en (a) banda base y (b) pasa bandas. [23].

linealidad del frente analógico del receptor para evitar inducir ruido y mal funcionamiento del recuperador del reloj.

Adicionalmente [22] y [18], exponen que aunque el transmisor PAM4 consuma una tercera parte de lo que consume el transmisor NRZ, el receptor PAM4 es menos óptimo en consumo, debido al frente analógico, por lo cual es importante evaluar el consumo total sumando el transmisor y receptor para determinar la eficiencia energética de ambos esquemas.

Algo que es importante de resaltar, los modos duales son importantes en los transceptores si se desea soportar diferentes tasas de transferencia, [18], presenta una arquitectura dual que expone que PAM4 podría ser ineficiente en tasas de transferencia bajas, por lo cual se debería utilizar únicamente NRZ; sin embargo, PAM4 presenta escalabilidad. Una manera de reutilizar hardware y evitar duplicar componentes para soportar ambos esquemas es presentado por [25], donde se puede implementar un ecualizador de receptor, como “DFE”, el cual reutiliza “hardware” usando NRZ o PAM4, lo cual permite implementaciones duales más eficientes.

Otra gran reto en PAM4 es la tensión eléctrica de salida. Al requerir mayor razón de señal ruido, es normal que una señal en PAM4 sea transmitida con una tensión eléctrica mayor. Esto podría ser un desafío al disminuir el tamaño de los transistores y disminuir la tecnología, ya que su tensión de operación es baja. El autor [26], expone que una señal de salida PAM4 de 1.2 V se puede obtener con un circuito de salida híbrido, el cual combine una etapa del “driver” en modo de tensión eléctrica y una etapa “boost” en modo corriente. De esta manera se puede obtener una señal con mejor SNR y con

una tensión de salida mayor sin tener que recurrir a transistores de una tecnología más grande.

Finalmente, es importante analizar todo el ambiente de medición de PAM4 para poder comprender sus desafíos. Otro de ellos poder recrear diagramas de ojo con cantidad de errores muy bajos o “BER”. Algunos estándares exploran tener tasas de errores desde 1^{-12} hasta 1^{-15} , lo cual conlleva a horas poder capturar esta cantidad de bits con osciloscopios. Por lo cual es importante evaluar la extrapolación requerida. [27], presenta un análisis estadístico que permite contemplar los múltiples cruces de PAM4 y poder realizar esta extrapolación para los tres diagramas ojos generados por PAM4, este análisis infiere también que el “jitter” intrínseco del esquema de señalización es evidentemente mayor que NRZ (debido a que un símbolo se ve afectado por tres más y no por solamente uno como el caso de NRZ). Para garantizar una buena predicción, la linealidad del circuito pasa a primer plano y requiere un complejo control del transceptor para controlar este parámetro.

Otras exploraciones mencionan impacto o influencia debido a emisiones electromagnéticas en un enlace PAM4, como [28], que resalta que el ojo interior de PAM4, puede ser sensible a al ruido en modo común y es importante realizar un buen control del mismo, ya que hay más impacto que en el caso de NRZ.

Como se aprecia en todos estos estudios, PAM4 lleva la delantera en exploración e implementación en estándares actuales. Sin embargo, parte de sus desafíos y escalabilidad pueden ser resueltos por medio de diferentes esquemas de señalización, e incluso esquemas multi-banda, que se expone en las siguientes secciones. PAM4 ha sido una gran alternativa a NRZ para tasas de transferencia mayores a 50 Gb/s, pero en el futuro es importante ampliar las opciones y estudios a diferentes esquemas.

Señalización duobinaria

Algunos canales pueden tener un patrón ISI tan severo que el bit anterior se agrega al bit actual a medida que la señal viaja a través del canal. Debido a esto, el receptor puede detectar un nivel 0 o 2 si los bits son iguales o 1 si los bits son diferentes. Si se conoce el bit anterior, se puede detectar el bit real y la velocidad de datos se incrementa dos veces (enviando dos bits al mismo tiempo) este efecto se llama dudoso; este esquema de señalización es parte de la familia de la modulación digital con memoria. [29].

El transmisor puede codificar la señal antes de enviarla, conociendo la respuesta del bit anterior; al hacerlo, es fácil identificar el bit actual como un 0 (si está en el nivel 0 o 2) o 1 para el nivel 1. Por lo tanto, la codificación en el transmisor eliminó la necesidad de un ecualizador como “Decision Feedback Equalizer” o DFE en el receptor, esta técnica de señalización se llama señalización duobinaria. [29] Para este propósito, la señalización duobinaria se usa generalmente para canales duobinarios. Un canal duobinario consiste en un canal cuyo interferencia entre símbolos o “ISI” sea máxima (al punto de superponer un símbolo con el siguiente), lo cual se obtiene en canales con grandes pérdidas

o realizando un ajuste al canal eléctrico, esto implica que generar un canal duobinario es una tarea compleja y delicada. El esquema de señalización duobinario transmite dos bits a la vez utilizando solo tres niveles, lo que conduce a una mejor inmunidad al “cross-talk”, EMI y reflexiones. Los autores [30] y [29] exponen una técnica de control de ISI en canales duobinarios y una implementación de un “SerDes” duobinario donde realiza modificaciones al canal y se ajusta para poder obtener un canal duobinario a 42 GHz y tasa de transferencia de 84 Gb/s y una.

La señalización duobinaria presenta ventajas sobre PAM4 porque reduce la complejidad de la ecualización al eliminar el “roll-off”, ya que el esquema duobinario incorpora la pérdida dependiente de la frecuencia en el enlace. Esto equilibra el consumo de energía y las reduce la complejidad en la implementación. Se puede mostrar un ejemplo de arquitectura en la figura 2.12.

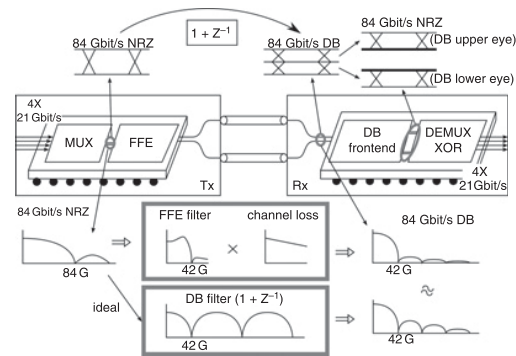


Figura 2.12: Arquitectura de un trasceptor duobinario. [30]

Adicionalmente el autor [31], compara NRZ, PAM4 y duobinario ante diferentes canales con altas pérdidas entre 12 a 34.7 dB. En este artículo demuestra que duobinario es una buena alternativa a estos dos esquemas y para una transferencia de datos a 64 Gb/s se obtuvo una mejor apertura de ojo. Sin embargo, no existen evaluaciones donde contemplen más métricas eléctricas para determinar si duobinario es la alternativa correcta en modulaciones bandabase para tasas de transferencia altas.

La mayoría de las soluciones en el mercado combinan mejores propiedades de canal con esta señalización multinivel, debido a su simplicidad y compatibilidad con NRZ. Pueden ser los más rápidos y fáciles de implementar; pero para lograras tasa de transferencias de datos más altas, podría ser más costoso y consumir energía; por ejemplo el estándar Ethernet utiliza modulación en pasabanda (QAM). Por esta razón, existen diferentes esquemas de señalización basados en modulación multibanda y pasabanda para lograr velocidades de transmisión de datos más altas con un presupuesto razonable.

2.4 Esquemas de Señalización en Pasa Banda

En gran parte de la literatura explorada no se encontró una solución en pasa banda de manera nativa, en otras palabras la modulación digital en pasa banda no ha sido un

enfoque en los diferentes autores que buscan alternativas de esquemas de señalización; sin embargo autores como [32] y [33] utilizan estos esquemas como parte de sus acercamientos en multi banda, los cuáles se exponen más adelante. En este documento se evalúan principalmente dos esquemas de señalización nativa en pasa banda, los cuales son PSK y QAM.

2.4.1 Modulación por Cambio de Fase o PSK

El esquema de modulación en PSK consiste en subdividir la señal de entrada en señales desfasadas en el tiempo, manteniendo la amplitud de la señal constante. En la modulación PSK la forma de onda es representada por medio de M niveles que representan desfases de la señal en el tiempo. Este esquema de modulación es en pasa bandas y su esquema de modulación se puede observar en la ecuación 2.2

$$s_m(t) = g(t) \cos \left[2\pi f_c t + \frac{2\pi}{M}(m-1) \right], \quad m = 1, 2, \dots, M \quad (2.2)$$

La representación de esta señal se define en el dominio de un diagrama de espacio de señal, debido a que la señal con este tipo de modulación tiene una componente compleja que representa el desfase de la señal respecto a la frecuencia de acarreo principal. La representación espacial de los símbolos de esta señal se puede observar en la figura 2.13. Este acercamiento puede considerarse como una alternativa al esquema de señalización en modulación por amplitud de pulsos o PAM-N.

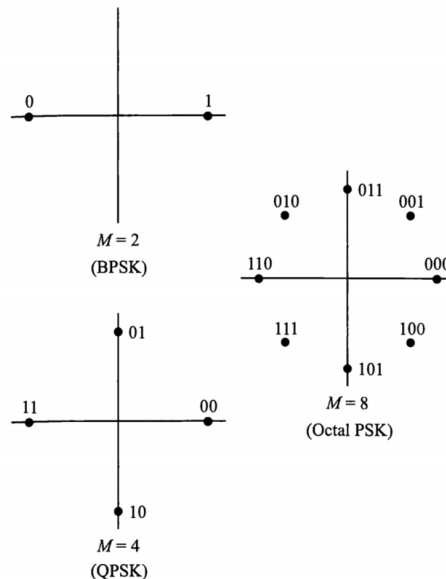


Figura 2.13: Diagrama de espacio de señal, para BPSK, QPSK y 8-PSK. [23]

2.4.2 Modulación por Amplitud de Cuadratura o QAM

La modulación en amplitud de cuadratura consiste en realizar una combinación entre los

esquemas de modulación de amplitud y de fase; donde se modifica simultáneamente una ambas componentes de la señal. Para ello se separa la secuencia de símbolos o bits en dos, una componente “en fase” y otra “en cuadratura”. Esto se puede observar en la ecuación 2.3. Normalmente esta representación en cuadratura también puede definir a la señal en componentes de amplitud y fase dados por $r_m = \sqrt{A_{mi}^2 + A_{mq}^2}$ y $\theta_m = \tan^{-1}(A_{mq}/A_{mi})$.

$$s_m(t) = A_{mi}g(t) \cos(2\pi f_c t) - A_{mq}g(t) \sin(2\pi f_c t), \quad m = 1, 2, \dots, M \quad (2.3)$$

Este esquema de modulación permite una transmisión más eficiente de datos. Su diagrama de espacio de señal se puede observar en la figura 2.14. Además permite escalabilidad de símbolos manteniendo la equidistancia entre los mismos, por lo cual se utiliza en esquemas de modulación con de hasta codificación de 64 o más símbolos. Adicionalmente este esquema puede considerarse como una alternativa a NRZ o PAM4; donde este documento se explora y diferencia sobre estas alternativas.

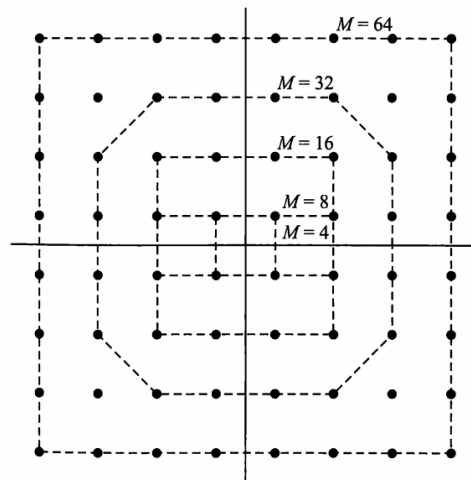


Figura 2.14: Diagrama de espacio de señal, para diferente cantidad de símbolos QAM rectangular. [23]

2.5 Esquemas de Señalización en Multibanda

La idea de usar multibanda existe desde hace muchos años y se utiliza en varias aplicaciones como Comunicaciones Inalámbricas (WiFi) o ASDL. En esta sección se realiza la exploración de enlaces por cable de alta velocidad.

Hay muchos tipos de esquemas de modulación de orden superior que también son aplicables a los SerDes. La modulación de amplitud de pulso (PAM), duo-binaria (DB), modulación de amplitud en cuadratura (QAM), modulación por desplazamiento de fase (PSK) y modulación de envolvente constante como la modulación por desplazamiento de frecuencia (FSK) son algunos ejemplos. Un inconveniente de la modulación de amplitud es que para un límite de voltaje máximo dado, la distancia mínima entre símbolos se reducirá a medida que aumenta el nivel de modulación. Por ejemplo, para el mismo límite de voltaje máximo que NRZ, la distancia mínima de PAM-4 es solo un tercio de

la de NRZ, lo que resulta en una penalización de 9.5 dB de relación señal-ruido (SNR) por adelantado. La modulación de envolvente constante supera el problema del límite de voltaje de las modulaciones de amplitud. Sin embargo, en un enfoque de banda única, no es fácil controlar con precisión la fase o las frecuencias a una velocidad de transferencia de datos tan alta como 25 Gbps (por ejemplo, QPSK sin forma de pulso requeriría que las fases de la señal estén separadas 90 grados). [32]

Las arquitecturas multibanda tienen la ventaja de permitir que cada uno de los subcanales tenga una respuesta de frecuencia casi plana, eliminando la necesidad de un ecualizador en el receptor. [32] Se deben lograr desafíos como el consumo de energía en límites aceptables y un transceptor simple sin demasiado procesamiento de señal avanzado, por eso la señalización o modulación correcta permite este objetivo.

2.5.1 Modulación por Amplitud de Tono

En AMT, el flujo de bits de entrada está en paralelo con tres flujos; con cada subflujo funcionando a un tercio de la tasa de transferencia de bits total. En consecuencia, cada subflujo se modula a su frecuencia portadora respectiva y la señal combinada se envía por la línea. En un sistema AMT, todas las frecuencias portadoras son múltiplos enteros de la velocidad de símbolo del subflujo. Cuando no existe ISI, las subflujos se separan entre sí en el receptor utilizando mezcladores e integradores, por ejemplo, se pueden combinar tres señales PAM2 en el canal. En sistemas prácticos con ISI, los ecualizadores de alimentación directa se colocan en el transmisor por subflujo para mantener la ortogonalidad entre los subflujos en la entrada del receptor. Los mezcladores en el transmisor también se combinan con los ecualizadores de transmisión y se realizan en el dominio digital. De manera similar a un sistema convencional sin retorno a cero (NRZ), cada subflujo en un sistema AMT puede tener un DFE en el receptor, y los DFE pueden incluso existir entre los subflujos para cancelar la interferencia entre canales postcursor (ICI). [29] Esto también se muestra en la figura 2.15.

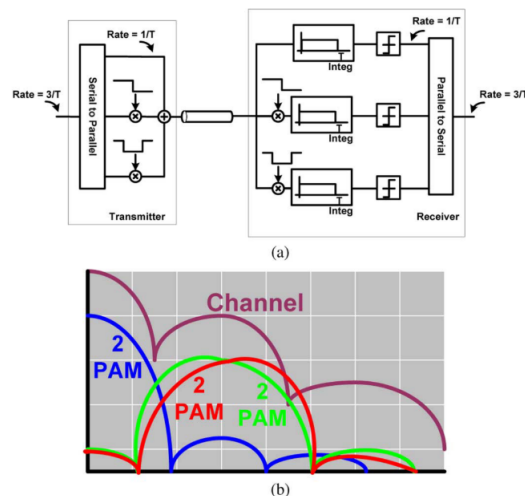


Figura 2.15: Arquitectura de un transceptor AMT. [29]

AMT introduce el concepto de enfoques multibanda pero tiene el inconveniente de necesitar un DFE de múltiples entradas y múltiples salidas. Este concepto se puede ampliar utilizando diferentes modulaciones en cada subflujo o subcanal, incluso permitiendo que uno de los trenes sea compatible con versiones anteriores de NRZ, la arquitectura se puede observar e implementar como figura 2.16.

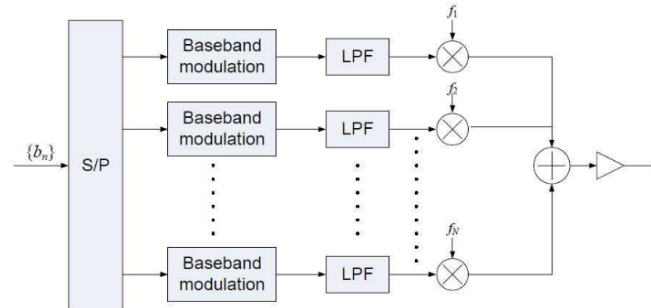


Figura 2.16: Diagrama de Bloques de Transmisor Multibanda. [32]

La principal ventaja de utilizar una arquitectura multibanda es la respuesta de frecuencia plana que podría tener cada una de las sub bandas, incluso cuando se transmiten en canales de baja pérdida. Esta respuesta plana hace que la señal ocupe una porción más pequeña del espectro, por lo que es posible que no se necesite un ecualizador. El transmisor puede ser flexible incluso para ajustar los niveles de potencia de transmisión de las señales que ocupan diferentes porciones del espectro. [32]

Entre los diferentes autores que exploran el uso de multibanda, se aprecia como [32], realiza una implementación a 25 Gb/s con el uso de arquitecturas de tres y cuatro sub bandas, con un esquema sencillo de NRZ o PAM4 en la banda principal y esquemas de 16-QAM y QPSK para las sub bandas centradas en diferentes frecuencias de acarreo; esta exploración demuestra una arquitectura de baja potencia de transmisión, sin implementar ecualización y con comunicación libre de error. Por otro lado, el autor [33] implementa un esquema multibanda en tres bandas a 16 Gb/s con esquemas de modulación de orden superior como PAM8 y 64-QAM; el cual demuestra ser útil en canales de bajo costo sin el uso de ecualización. Adicionalmente este autor utiliza tecnología adaptativa que permite al transmisor adaptar la modulación de las diferentes sub-bandas, dependiendo de la respuesta del canal.

La complejidad desde el punto de vista arquitectónico en un esquema multibanda puede ser mayor debido a que requiere añadir y alinear correctamente los osciladores de la modulación y “mixers”; además que el receptor necesita sincronizar correctamente la frecuencia de acarreo con el transmisor. [32]. Sin embargo, esta solución equilibra las compensaciones de potencia y área, al eliminar el uso de ecualizador, complejidad de procesamiento de cada banda y reajustar el consumo de cada banda de manera más sencilla. Estos esquemas también tienen gran ventaja en escalabilidad y reúne condiciones esenciales de los diferentes esquemas de señalización. En la figura 2.17 se muestra la comparación entre diferentes esquemas binarios y en multibanda.

Como se aprecia en la figura anterior, la implementación en multibanda del autor [33],

	VLSI'15 [6]	VLSI'15 [7]	VLSI'15 [8]	JSSC'15 [11]	This work
Technology	22nm CMOS	28nm CMOS	65nm CMOS	40nm CMOS	28nm CMOS
Data rate/diff. pair	8 Gb/s	13 Gb/s	14 Gb/s	7.5 Gb/s	16 Gb/s
Signaling	Base-band NRZ	Base-band NRZ	Base-band NRZ	Bi-band NRZ / QPSK	Tri-band QPSK/ 16/64/256-QAM
Clock Synchronization Scheme	Forwarded-clock w/ extra channel	Embedded Clock	Embedded Clock	Embedded Clock	Forwarded-clock w/o extra channel
Area/Lane	--	0.028 mm ²	0.061 mm ²	0.051mm ²	0.016 mm ²
Power	2.56 mW	17.0 mW	12.5 mW	7.4 mW	14.7 mW
Efficiency	320 fJ/bit	1308 fJ/bit	893 fJ/bit	990 fJ/bit	919 fJ/bit
Worst Channel Loss within Nyquist Freq.	12 dB	35 dB	12 dB	45 dB	45 dB (Cable) 40 dB (MDB)
FoM (μ W/Gb/s/dB)	26.7	37.4	74.4	22.0	20.4 (Cable) 23.0 (MDB)

Figura 2.17: Comparación entre diferentes implementaciones con esquemas binarios y multi-banda. [33]

permitió una mayor tasa de transmisión que un transceptor NRZ, logrando reducir el área del circuito integrado; sin aumentar la potencia considerablemente y con una mejor eficiencia energética.

La mayoría de las implementaciones de canales de alta velocidad se encontraron con esquemas de señalización en banda base. Luego se encontró posibles implementaciones en circuitos integrados de transceptores en multibanda. Este documento se enfoca en los próximos capítulos en evaluar posibles arquitecturas en pasa bandas con esquemas de señalización como PSK y QAM en una simulación a nivel de comportamiento, y realizar una comparación con esquemas de banda base como NRZ y QAM. La mayoría de autores no evalúan esquemas en pasa bandas individualmente, lo cual se explora en este documento.

Capítulo 3

Implementación a Nivel Comportamental de Arquitecturas en Bandabase y Pasabanda

Existen diferentes topologías de canales seriales de alta velocidad. Uno de ellos es el canal de múltiples cargas o “multi-drop bus”, el cual se puede encontrar en canales de interconexión como “Dual Data Rate” o DDR. Este tipo de canales presentan resonancias y presentan post-cursos de ISI muy grandes; además de sufrir por efectos de crosstalk si la interconexión alamburada es singular.

Otro tipo de canales son los dominados por pérdidas. Estos no presentan grandes resonancias como el caso anterior, por lo cual son diseñados con materiales de más bajo costo, son más largos y tienen diferentes discontinuidades en el camino. En la figura 3.1 se observan tres diferentes canales, con distintos componentes y discontinuidades. De la imagen se aprecia cómo las discontinuidades degradan el rendimiento del canal y aumentan significativamente sus pérdidas. Cabe añadir que este tipo de canales son tradicionalmente diferenciales, lo cual aumenta inmunidad al crosstalk y cambios severos de impedancia. El enfoque en las soluciones implementadas en este documento son los canales dominados por pérdidas, por lo cual el mayor reto es reducir el ISI.

Una ejemplo de un canal físico dominado por pérdidas se puede observar en la figura 2.1. Para los análisis a nivel comportamental y a nivel de circuito que se realizan para evaluar los diferentes tipos de esquema de señalización, es importante definir diferentes canales reales asociados a una meta específica. En este documento se tiene como meta poder realizar una tasa de transmisión de datos a 64 Gb/s, la cual es la velocidad propuesta para el estándar de comunicación de PCIe Gen6. Así, se diseñan toma como referencia diferentes canales de referencia de PCIe; principalmente diferentes evaluados para Gen5, que contemplan la interconexión del SoC con periféricos como tarjetas gráficas o “add-in cards”. Adicionalmente se utiliza como objetivo de diseño las métricas detalladas por el foro de PCI-Sig, las cuales indican los requerimientos eléctricos que debe tener al menos los transceptores que soporten la especificación PCIe Gen6 en la figura 3.2.

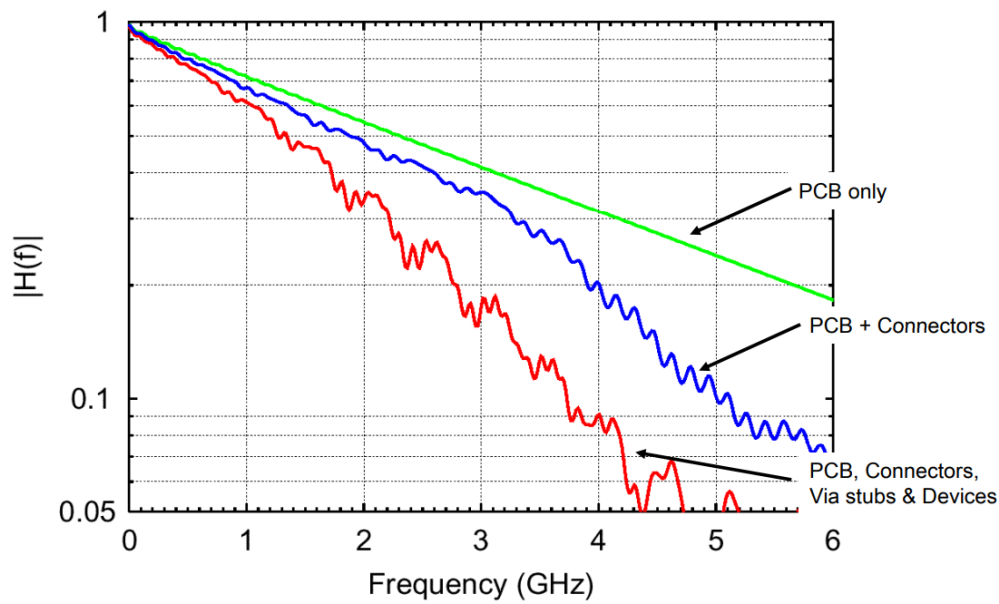


Figura 3.1: Comparación de diferentes canales de interconexión con componentes adicionales. [34]

METRICS FOR PCIe 6.0 DEVELOPMENT	
Metrics	Requirements
Data rate	64 GT/s, PAM4 (double the bandwidth per pin every generation)
Latency	<10 ns adder for transmitter + receiver over 32.0 GT/s (including FEC)
Bandwidth inefficiency	<2 % adder over PCIe 5.0 across all payload sizes
Reliability	$0 < FIT \ll 1$ for a x16 (FIT = failure in time, number of failures in 10^9 hours)
Channel reach	Similar to PCIe 5.0 under similar setup for retimer(s) (maximum 2)
Power efficiency	Better than PCIe 5.0
Low power	Similar entry/exit latency for L1 low-power state Addition of a new power state (L0p) to support scalable power consumption with bandwidth usage without interrupting traffic
Plug and play	Fully backwards compatible with PCIe 1.x through PCIe 5.0
Others	HVM-ready, cost-effective, scalable to hundreds of lanes in a platform

Figura 3.2: Métricas de desarrollo de la especificación PCIe Gen6. [5]

3.1 Canales de referencia para PCIe Gen6

En esta documento se realizaron tres canales de referencia que se usan para realizar análisis de efectos de diferentes esquemas de señalización sobre estos canales. El canal representa la interconexión básica entre una tarjeta “add-in card” y un SoC, la cual se aprecia en la figura 3.3. PCIe es un canal bidireccional, y debido a que este documento se enfoca principalmente en el efecto de las pérdidas debido a ISI, se analiza únicamente el canal de recepción o RX.

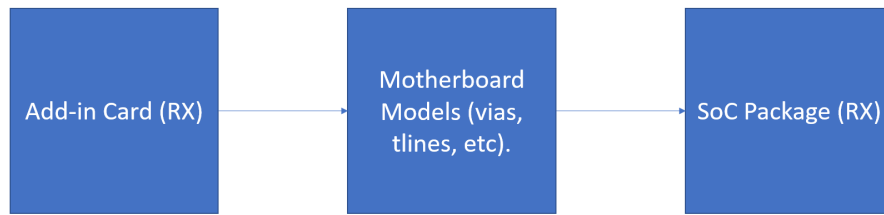


Figura 3.3: Diagrama de bloques de canal de referencia elaborado para PCIe Gen6. Fuente: Elaboración propia

El diseño físico de los modelos eléctricos de este canal se desarrolla a partir del diagrama de interconexión de la figura 3.4, y se elaboran tres diferentes canales. Estos canales contienen modelos estándares de empaquetado de SoC, de tipo “BGA” o “Ball Grid Array”, similar a una computadora personal; luego la interconexión sobre la tarjeta madre se realiza combinando estructuras de microstrip y stripline, con tamaños de interconexión máxima entre 66 mm y 101 mm. Adicionalmente se añaden modelos de vías para un “stackup” de tipo 3 y un capacitor de desacople; y finalmente un conector para la tarjeta externa y el modelo completo del add-in card similar a una tarjeta gráfica, en conjunto con los efectos del empaquetado, interconexiones y vías. Este último modelo del add-in card se toma como un único modelo que se extrajo utilizando herramientas de diseño eléctrico por lo cual se mantiene constante en los canales de referencia; por lo cual únicamente se varía la longitud de la interconexión en la tarjeta madre. Todos estos modelos son de elaboración propia y aproximaciones de estructuras que se pueden encontrar en una computadora personal y se realizaron usando simuladores de modelos eléctricos en 2D y 3D. Todos estos modelos mencionados se derivan directamente de simulaciones de onda completa únicamente.

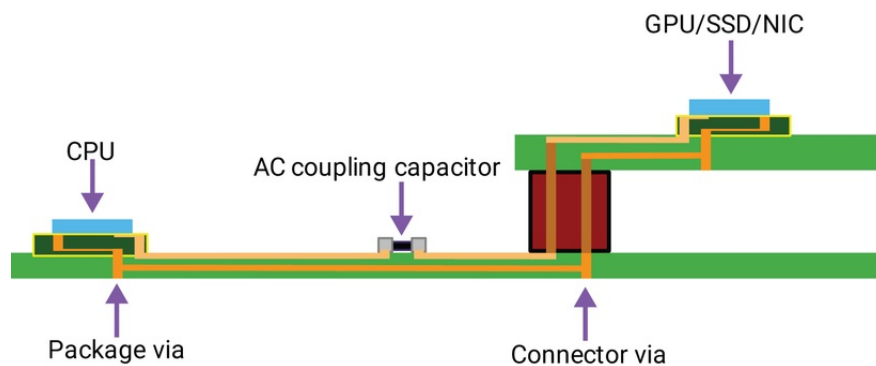


Figura 3.4: Diagrama de interconexión de un canal de referencia de PCIe Gen6, sobre una computadora personal. [35]

Las pérdidas diferenciales de los canales eléctricos se pueden apreciar en la figura 3.5. En la gráfica se presenta el “insertion loss” diferencial de los canales simulados. Como se observa en la figura la longitud del canal no es el mayor aporte a pérdidas a los canales; sino los componentes como el empaquetado, el AIC, entre otros. Adicionalmente, las pérdidas tienen un comportamiento lineal, con primera resonancia en 54 GHz, lo cual no afectaría directamente al esquema con frecuencia de Nyquist más alto (NRZ a 32 GHz). Adicionalmente en la tabla 3.1, se puede observar las pérdidas del canal a tasas de trans-

ferencia de PCIe Gen6 (64 Gb/s). Donde se observa que las pérdidas con el esquema de señalización en banda base NRZ es casi el doble que el caso del esquema de señalización en PAM4.

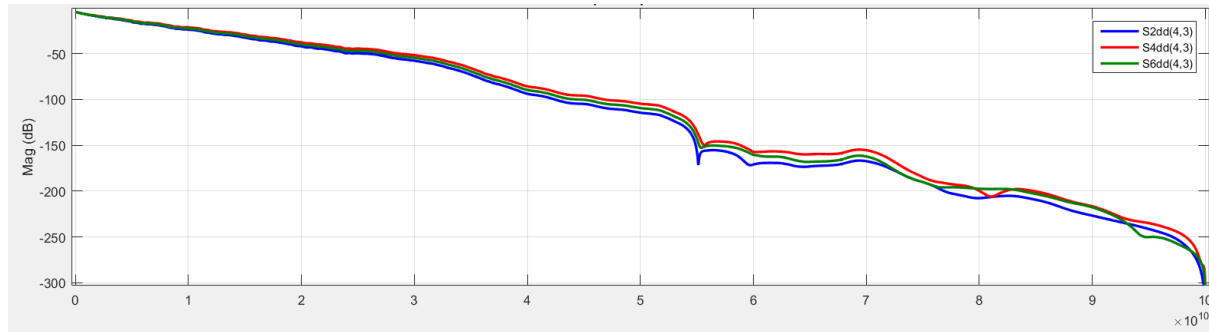


Figura 3.5: Pérdidas de interconexiones eléctricas de tres canales diferenciales de alta velocidad de PCIe Gen6.

En los próximos capítulos se detalla cómo se realizaron las simulaciones de enlace completo que permiten evaluar estos canales de alta velocidad sobre diferentes esquemas de señalización de alta velocidad, tanto en banda pase, pasa banda y multi banda. El enfoque en este documento son las pérdidas asociadas al canal diferencial y su compensación por medio de esquemas de señalización de mayor orden y ecualización.

Tabla 3.1: Pérdidas diferenciales a frecuencias de Nyquist de canales de referencia de PCIe Gen6

PCIe Channel	<i>NRZ IL Nq @ 32 GHz (dB)</i>	<i>PAM4 IL Nq @ 16 GHz (dB)</i>
Channel A: 63mm	-55.6	-31.0
Channel B: 88mm	-58.8	-32.7
Channel C: 101mm	-62.2	-34.4

3.2 Ecuación para canales de PCIe Gen6

Para el enlace eléctrico de PCIe Gen6, se determina que se necesita al menos un ecualizador en el transmisor (FFE) y dos ecualizadores de recepción (CTLE y DFE). Esta especificación de alta velocidad ha sido desarrollada utilizando estos tres componentes anteriores y un esquema de señalización de PAM4. En este documento se desarrollan alternativas a esta propuesta que permitan una tasa de transmisión de 64 Gb/s.

El ecualizador de FFE permite realizar una pre compensación de alta frecuencia a la señal antes de ser transmitida por el canal de alta velocidad. Esta compensación se realiza por medio de un filtro FIR, y puede tener varios Taps. En este caso para el desarrollo de este documento se utiliza un ecualizador FFE con cuatro taps, los cuales en su suma absoluta deben mantener la potencia de la señal transmitida. En los algoritmos implementados se tiene un FFE con diez posibles combinaciones o “presets”, los cuales son definidos con

base en especificaciones similares. Estas diez combinaciones se utilizan para optimizar la respuesta al pulso del canal y obtener la mejor integridad de señal. En la figura 3.6 se observa el diagrama de alto nivel del ecualizador de cuatro taps.

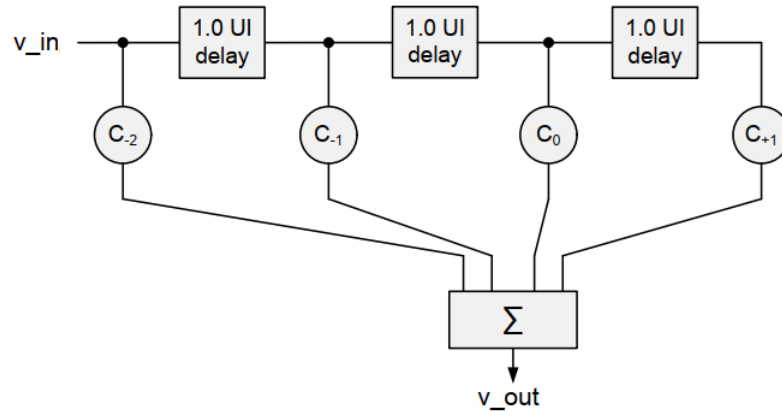


Figura 3.6: Diagrama de ecualizador de transmisión FFE con una implementación de 4 taps (tres precusores y un post cursor).

Seguidamente se diseña el ecualizador de recepción o CTLE, el cual debe compensar los efectos pasa bajas del canal. En este tipo de especificaciones, se utilizan diferentes curvas, las cuales se le modifica su ganancia en DC (baja frecuencia) para obtener diferentes niveles de ecualización. Esto permite una mejor adaptabilidad del canal, evitar la sobre ecualización y ser más flexible en las implementaciones finales de estos canales (desde interconexiones cortas como en una “chromebook” hasta más largos como en un servidor). En la figura 3.7 se muestra la forma de las diferentes curvas utilizadas para la ecualización de recepción. Esta curva se representa por medio de una función de transferencia de múltiples polos y ceros y se diseña su forma con base en ellos. La implementación de PCIe Gen6 incluye todas estas diez posibles curvas de CTLE.

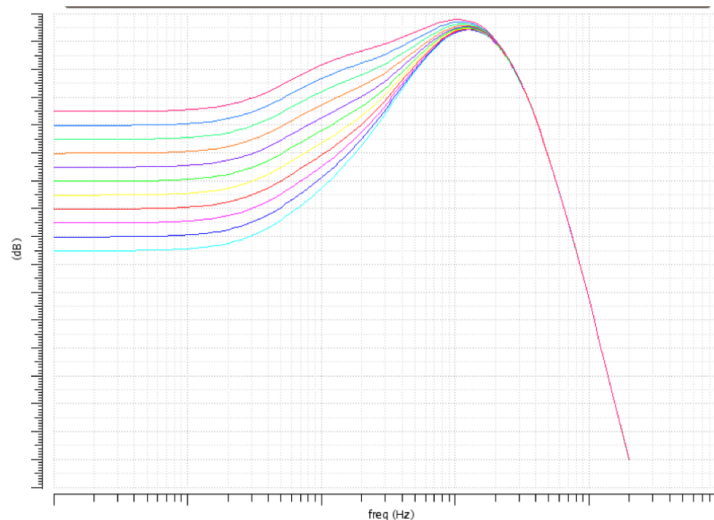


Figura 3.7: Curvas genéricas de ecualización de recepción de CTLE posibles para PCIe Gen6 sin valores en los ejes.

Las etapas completas de la ecualización de recepción se pueden observar en la figura 3.8. El DFE se implementa de manera similar a la figura dicha, donde se ocupa seleccionar la

cantidad de taps de DFE necesarios para compensar los diferentes post-cursos de ISI. En la especificación de PCIe Gen6 no existe un límite de número de taps de DFE, pero sí se requiere que la magnitud de los mismos no sean mayor a 30 mV por tap y el valor absoluto de la suma de todos los cursosos no sea mayor a 1.

Entre la etapa del ecualizador de CTLE y DFE, existe un componente extra denominado controlador automático de ganancia o AGC. Este componente es un circuito de realimentación de lazo cerrado, que permite mantener la ganancia del cursor principal constante. En otras palabras, ante diferentes canales, respuestas y compensación por ecualización, este componente garantiza mantener fija la amplitud del cursor principal; por lo cual también se incluye en el método matemático.

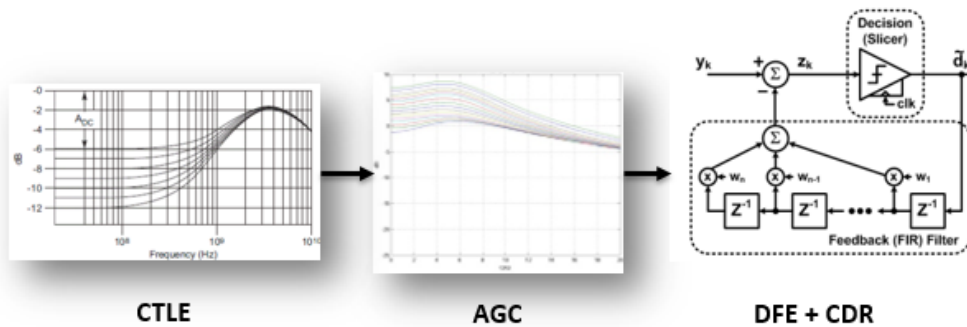


Figura 3.8: Ecualización Completa de Receptor para un Enlace Serial de Alta Velocidad.

Con base en estos requerimientos de ecualización para este protocolo de alta velocidad se desarrollan las metodologías y los algoritmos necesarios para poder implementar utilizando herramientas como Matlab y así realizar comparaciones entre diferentes esquemas de señalización.

3.3 Modulación en Bandabase

En esta sección se desarrolla la metodología para realizar una simulación a nivel de comportamiento de los canales propuestos para PCIe Gen6. En la figura 3.9 se observa el diagrama de bloques de las diferentes etapas implementadas que permiten evaluar los diferentes esquemas de señalización.

En la entrada se tiene una cadena definida binaria de bits y en la salida se obtiene una forma de onda que representa la cadena de bits luego de pasar por las diferentes etapas. En total se tienen cinco diferentes etapas que alteran la señal que se transmite. Una etapa de mapeo de código de señal, una de ecualización de transmisión, una que añade el efecto de las pérdidas del canal y dos de ecualización de recepción; primero con CTLE y segundo con AGC y DFE.

Este diagrama de bloques es aplicable tanto para los esquemas de señalización en banda base como en pasa bandas. Las ecualizaciones de FFE, CTLE y DFE son etapas que

pueden ser incluidas o ignoradas dependiendo de los recursos que se necesiten para compensar las pérdidas del canal. Finalmente a la salida se obtiene una forma de onda la cual permite evaluar la calidad del enlace de comunicación por medio de criterios como diagrama de ojo, diagramas de constelación, densidad espectral, entre otros. Finalmente la etapa de mapeo de esquema de señalización es la etapa en la que se determina si se transmite en NRZ, PAM, PSK o QAM.

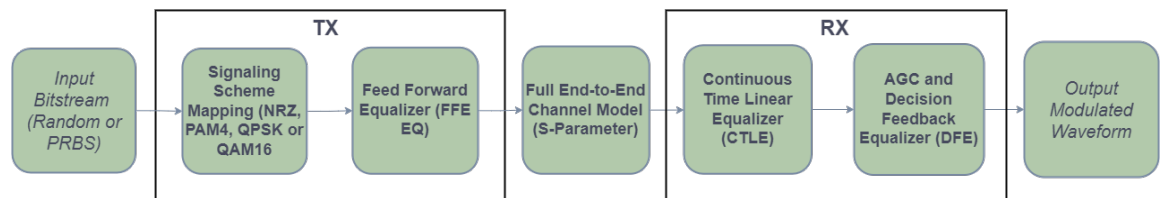


Figura 3.9: Diagrama de Bloques de Implementación de Simulación a Nivel Comportamental para diferentes esquemas de señalización en Bandabase y Pasabanda .

3.3.1 Desarrollo de Metodología de Evaluación a Nivel de Comportamiento

El enlace serial simple de alta velocidad consiste en un transmisor, un canal y un receptor. Si estos componentes presentan un comportamiento lineal e invariante en el tiempo (“LTI”), se puede determinar la respuesta de una cadena de bits al pasar por un canal de alta velocidad. Para ello primero es necesario obtener el comportamiento del canal por medio de la respuesta al impulso del mismo; una vez allí, se determina la respuesta al pulso, conociendo el ancho de bit de la señal digital que se transmite por el canal y por medio de la construcción de forma de pulso. Con esta respuesta del canal existen diferentes métodos para obtener la señal digital de salida con respecto a su entrada. Un acercamiento de alto nivel consiste en el método de “bit by bit” en el tiempo, en el cual se resuelve directamente la convolución de una cantidad de bits de entrada con la respuesta al pulso del canal, y así obtener una forma de onda de salida, a este en algunas ocasiones se le denomina método analítico. Un segundo tipo de análisis consiste en realizar una simulación estadística, en la cual, por medio de probabilística se determina la posibilidad de un receptor de diferenciar entre los diferentes símbolos binarios. En este caso la simulación estadística permite el análisis de miles de millones de bits sin aumentar el tiempo en el análisis matemático; además permite incluir de manera sencilla efectos como “jitter”, “crosstalk”, etc; por lo cual este es utilizado en su mayoría en los simuladores de enlaces seriales de alta velocidad. Para esta investigación se utiliza el primer método en “Matlab” para realizar una comparación general de los diferentes esquemas de modulación ante el “ISI” del canal y el segundo con un simulador comercial “ADS” para evaluar las diferentes soluciones propuestas.

El método analítico o “bit by bit” consiste en representar una cadena de bits o un patrón el cual se representa como una serie de símbolos a_k ; la cadena de bits se encuentra dada por $\sum a_k \delta(t - kT)$, donde el ancho del símbolo o el distanciamiento entre bits está dado

por T ; k representa la cantidad de bits por simular. Por lo cual la forma de onda de salida se puede determinar realizando la convolución discreta entre la respuesta al pulso del canal $p(t)$ con la cadena de bits de entrada; la cual da como resultado la ecuación 3.1.

$$y(t) = \sum_k a_k * p(t - kT) \quad (3.1)$$

Esta definición anterior permite describir a la señal como NRZ si a_k toma valores de $[0 \ 1]$ o como PAM4 si a_k toma valores de $[0 \ 0.25 \ 0.5 \ 1]$, esto implica que este tipo de análisis de enlace puede ser realizado tanto para NRZ como PAM4. Esta técnica también se conoce como “shift and add”.

Un ejemplo de este tipo de análisis se puede realizar con un patrón simple de tres bits, como se observa en la figura 3.10. En este caso se realiza la multiplicación del símbolo de a_k por la respuesta al pulso. Este se realiza para cada bit de entrada al canal. Luego de que cada bit se multiplica con la respuesta al pulso del canal, centrado en intervalo de tiempo correcto, se realiza la suma de estos bits lo cual permite regenerar la forma de onda. En este ejemplo la respuesta al pulso es una respuesta ideal cuadrada con un intervalo de pulso de 100 ps.

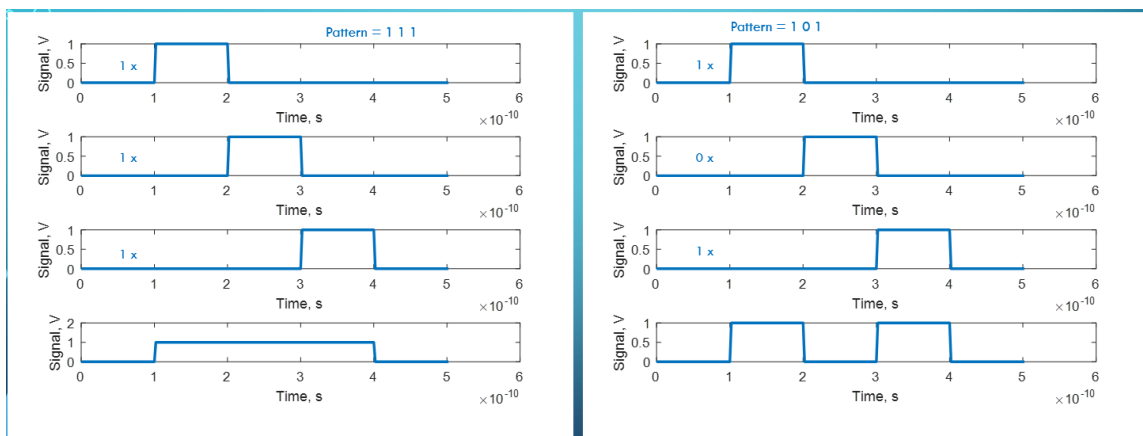


Figura 3.10: Ejemplo de simulación “bit by bit” de un canal con respuesta al pulso ideal y un patrón de entrada de tres bits.

Al realizar esta simulación con una cantidad de bits específicos, se pueden analizar el canal tanto para NRZ como PAM4 analizando únicamente el efecto provocado por el “Inter Symbol Interference” o ISI. El canal que se utiliza de entrada fue definido como un modelo de parámetros S , de 4, 8, 12 o 16 puertos. Con la respuesta en frecuencia del “Insertion Loss” del canal en alguno de los pares diferenciales, se puede obtener la respuesta al pulso en el tiempo la cual puede ser utilizada para la simulación “bit by bit”. La relación matemática que permite obtener la respuesta al pulso con base en el “insertion loss” del canal se puede observar en la ecuación 3.2, para un sistema “LTI” [23].

$$p(t) = ifft[V_{in}(f) * H(f)] \quad (3.2)$$

Donde $V_{in}(f)$ representa la forma de pulso del esquema binario cuya forma es trapezoidal

y su respuesta en frecuencia esta dada por la ecuación 3.3. Además, T_b representa el intervalo de la unidad o el ancho del bit, y T_r representa el “rise time” de 0 a 100%; el tiempo de subida que se asume para la forma de pulso descrita corresponde a una quinta parte del ancho del pulso o $0.2T_b$.

$$V_{in}(f) = \frac{\sin(\pi f T_r)}{\pi f T_r} * \frac{\sin(\pi f T_b)}{\pi f T_b} \quad (3.3)$$

Una vez obtenida la respuesta al pulso, únicamente se obtiene la respuesta en el tiempo del canal. Sin embargo aún se debe determinar los puntos de muestreos sobre los cuales se realizará la convolución discreta. Esto también se denomina temporización del pulso, que a su vez está muy ligado con la implementación del receptor final. Cercano al punto máximo de la respuesta al pulso se encuentra el cursor principal, este se utiliza para centrar la respuesta al pulso. Luego se encuentran los pre-cursores y post-cursores que se encuentran distanciados uno al otro por un valor de ancho de bit. Idealmente ambos cursores antes y después del ancho del bit deberían ser cero. Sin embargo, para un canal con comportamiento similar a un filtro pasa-bajas, las altas frecuencias de la transición se eliminan y aparecen colas de baja frecuencia; que también se le denomina ISI. Un ejemplo de una respuesta al pulso no ideal con su temporización implementada se observa en la figura 3.11.

Para el desarrollo de este documento se implementa el método de muestreo de pico máximo, el cual dicta que el cursor principal se muestrea en el punto máximo de la respuesta al pulso. Este es un algoritmo simple que permite centrar el cursor principal, pero suele ser optimista. Otra alternativa para implementar es Mueller-Muller, el cual se basa en posición de muestreo. La técnica usada se denomina método de primer cero en precursor. Este algoritmo busca centrar el pre-cursor de ISI en cero, así determinar el cursor principal y post-cursores con un distanciamiento de 1UI entre los mismos.

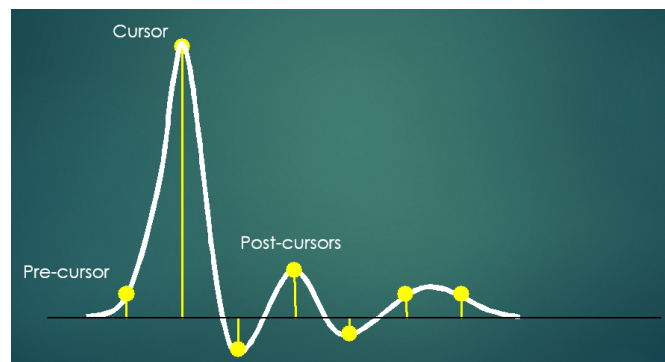


Figura 3.11: Respuesta al pulso muestreada para un canal con respuesta pasa-bajas, con espaciamiento de 1UI entre cursores.

Combinando la ecuación 3.3 con 3.1, se puede obtener la forma de onda de salida de cualquier canal ante una cadena de bits de entrada. En las figuras 3.12 y 3.13, se puede observar un ejemplo de la implementación de esta herramienta para una cadena de entrada de bits ante la respuesta de un canal. De las imágenes se observa que se realizó una superposición de los bits de la forma de onda de salida, y así poder realizar su diagrama

de ojo. Un ojo abierto demuestra que en su centro es posible detectar entre los diferentes niveles binarios establecidos.

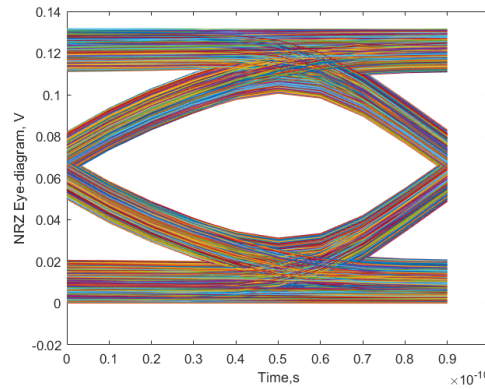


Figura 3.12: Diagrama de Ojo para esquema de señalización NRZ utilizando el algoritmo y la herramienta de simulación bit por bit.

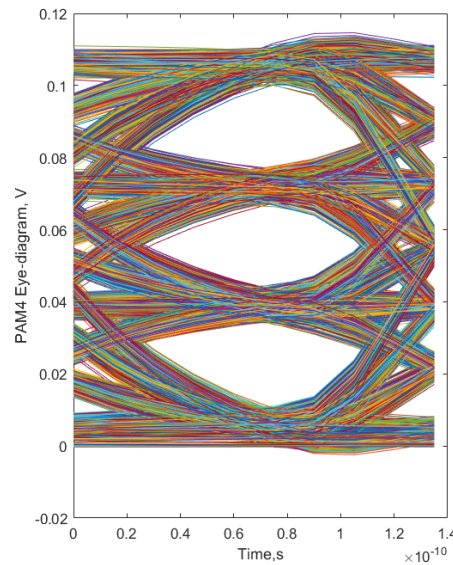


Figura 3.13: Diagrama de Ojo para esquema de señalización PAM4 utilizando el algoritmo y la herramienta de simulación bit por bit

De esta manera ante cualquier respuesta en frecuencia de un canal, se puede obtener su respuesta al pulso, y la forma de onda de salida ante una cadena de bits de entrada. Cabe destacar que en esta primera aproximación “bit by bit” únicamente se toma en cuenta el efecto de las pérdidas del canal. Por lo cual la métrica principal de análisis se basa en canales con bajas, medianas pérdidas, resonancias y diferentes comportamientos. Los cuales son generados mediante herramientas de simulaciones electromagnéticas y resolución de ecuaciones de Maxwell.

Posteriormente se incluyen las técnicas convencionales para compensar las pérdidas por ISI de un canal, desde el transmisor y receptor. Estos algoritmos o filtros se basan en tres principales. El primero “FFE” o “Feed-Forward-Equalizar”. Este filtro se ubica en el transmisor y tiene la forma de un filtro digital “FIR” o “Finite Impulse Response” cuyo objetivo es acentuar las transiciones de bits y mejorar el contenido de alta frecuencia. Este

filtro se aplica a la respuesta al pulso del canal antes descrito; la fórmula para ecualizar el pulso y su resultado se pueden observar en la ecuación 3.4. Donde n_{pre} se denominan los pre-taps del filtro y n_{post} los post-taps. En especificaciones tales como PCIe, DisplayPort o USB es común ver filtros de transmisor con al menos dos cursores (uno pre y uno post). En este caso se definen los etapas o taps con base en la especificación de PCIe Gen6.

$$p_{eq}(t) = \sum_{k=-n_{pre}}^{n_{post}} c_k * p(t - kT) = p(t) * \sum_{k=-n_{pre}}^{n_{post}} c_k * \delta(t - kT) \quad (3.4)$$

Otro circuito de ecualización convencional es el “CTLE” o “Continuous-Time-Linear-Equalizer”. Este consiste en un ecualizador lineal que tiene la forma de un filtro pasa-altas que se ubica principalmente en el receptor. Adicionalmente este filtro es principalmente analógico y puede ser pasivo o activo. Su fórmula general se puede apreciar en la ecuación 3.5. Estándares como PCIe o DisplayPort utilizan ecualizadores de dos polos y un cero, esto para obtener un filtro pasa-bandas que acentúe las altas frecuencias de interés, mas no amplifique el ruido. En este análisis se utiliza el ecualizador específico de múltiples polos y ceros basado en la especificación de PCIe Gen6. Esta respuesta en frecuencia del ecualizador se puede multiplicar por la respuesta en frecuencia del pulso del canal, y así obtener la respuesta en frecuencia del canal ecualizado. Finalmente esta respuesta en frecuencia ecualizada puede ser convertida al tiempo de nuevo y así obtener la respuesta al pulso ecualizado por CTLE. Luego de esta etapa se garantiza un controlador automático de ganancia, el cual toma el valor máximo del cursor principal y lo escala a un valor deseado, por lo cual el usuario puede controlar cuál es el valor que desea de magnitud del cursor principal.

$$H(f) = A_{dc} * \frac{\prod_{k=1}^n (jf/f_{zk} + 1)}{\prod_{k=1}^m (jf/f_{pk} + 1)} \quad (3.5)$$

El tercer tipo de ecualizador que se implementa convencionalmente según la literatura analizada es el “DFE” o “Decision-Feed Forward-Equalizer”. Este tipo de ecualizador no es lineal y su objetivo principal es eliminar los post-cursos de ISI, usualmente se ubica en el receptor. Es un filtro de decisión que detecta los símbolos de post-cursos y realiza una compensación de los mismos. Sus dos componentes principales son un “slicer” de decisión, que cuantiza la entrada y realiza una decisión de símbolo y un circuito de realimentación basado en un filtro FIR; el cual dependiendo de la cantidad de taps, es posible compensar uno o mas post-cursos de ISI de la respuesta al pulso del canal analizado. La formula general implementada de este filtro se encuentra dada en la ecuación 3.6, donde el filtro se puede también apreciar en la figura 3.14. Para estándares comerciales se utiliza uno o varios taps de DFE, en este análisis se toman en cuenta tres taps de DFE.

$$z_k = y_k - w_1 \tilde{d}_{k-1} \dots - w_{n-1} \tilde{d}_{k-(n-1)} - w_n \tilde{d}_{k-n} \quad (3.6)$$

Como se mencionó en la sección anterior también se añade un controlador automático de ganancia o AGC. En este análisis se implemente un AGC sencillo, el cual simplemente

ubica la magnitud máxima de la respuesta al pulso del canal y la ajusta a la magnitud del pulso que se desea por medio de una multiplicación simple. Esta corrección se aplica a la respuesta al pulso luego de combinar el canal y los ecualizadores de FFE y CTLE.

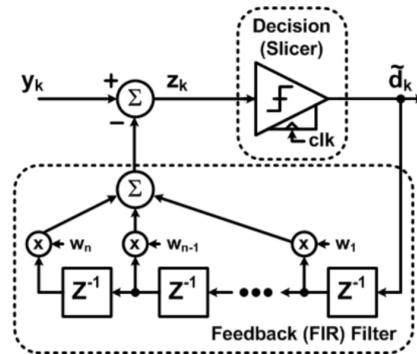


Figura 3.14: Circuito de implementación del algoritmo de un ecualizador no lineal DFE.

Finalmente la combinación de estos tres ecualizadores más el AGC permite obtener un canal con respuesta en frecuencia más plana y eliminar los post y pre cursores de ISI. Existen diferentes técnicas para realizar la optimización de la ecualización del canal. Para este análisis se realiza la técnica de optimización por medio de “PDA” o “Peak-Distortion-Analysis”.

El PDA es una técnica de análisis de respuesta al pulso de un canal que permite encontrar el contorno del peor diagrama de ojo posible para dicho canal. Este puede incluir únicamente el análisis de los cursores de ISI o incluir también el “Crosstalk”. Para este análisis se incluyen ambos efectos. Las ecuaciones generales de PDA para el esquema de señalización en NRZ se observa en las ecuaciones 3.7 y 3.8. Donde la primera representa el contorno superior del ojo y la segunda el contorno inferior del ojo.

La parte superior del ojo se construye tomando el cursor principal y sustrayendo los cursores de ISI que reducen esta altura del ojo; además se suman los cursores de “crosstalk” y se obtiene el peor caso de ruido de “crosstalk”; para ello se requiere encontrar la respuesta en el tiempo del “crosstalk” que se obtiene de los parámetros S del canal y luego se muestrea con diferentes fases el “crosstalk” hasta obtener el peor ruido; se pueden usar la cantidad de pasos deseados para obtener mayor precisión en el peor valor de ruido posible. Por otro lado la parte inferior del ojo se consideran estos cursores pero inversos, que reduzcan (aumentan) el margen del ojo.

$$y_1(t_s) = p(t_s) + \sum_k ISI_k |_{ISI_k < 0} + \sum_i \sum_k XTK_{ik}^-(t_s) \quad (3.7)$$

$$y_0(t_s) = p(t_s) + \sum_k ISI_k |_{ISI_k > 0} + \sum_i \sum_k XTK_{ik}^+(t_s) \quad (3.8)$$

En el caso de modulación de PAM-N los contornos superiores e inferiores y superiores para cada uno de los ojos se pueden determinar por medio de las ecuaciones 3.10 y 3.9 siendo la sumatoria de las partes superiores e inferiores de ISI las ecuaciones 3.12 y 3.11.

Para este caso $a(i)$ representa el i ésimo nivel de señal desde 1 hasta el máximo nivel L . Por ejemplo PAM3 tiene un $L = 3$, NRZ de $L = 2$ y PAM4 de $L = 4$. En este caso los niveles a para la modulación PAM4 son $a = [0 \ 1/3 \ 2/3 \ 1]$. El peor ISI para PAM4 ocurre cuando ocurre la mayor transición de señal, ya sea de $a(1)$ a $a(L)$ o de $a(L)$ a $a(1)$; al generalizar los contornos para cada nivel se puede obtener los contornos de las ecuaciones mencionadas anteriormente. Para el “crosstalk”, se realiza un trato similar al caso de NRZ, donde se realiza un barrido para obtener el peor ruido y luego se contempla este peor caso de “crosstalk” para cada uno de los contornos superiores e inferiores de los diferentes ojos.

$$y_{i,upper}(t_s) = a(i+1)*p(t_s) + isi_{upper}(t_s) + a(L)*\sum_i \sum_k XTK_{ik}^-(t_s) + a(1)*\sum_i \sum_k XTK_{ik}^+(t_s) \quad (3.9)$$

$$y_{i,lower}(t_s) = a(i)*p(t_s) + isi_{lower}(t_s) + a(L)*\sum_i \sum_k XTK_{ik}^+(t_s) + a(1)*\sum_i \sum_k XTK_{ik}^-(t_s) \quad (3.10)$$

$$isi_{upper}(t_s) = a(L)*\sum_k ISI_k|_{ISI_k < 0} + a(1)*\sum_k ISI_k|_{ISI_k > 0} \quad (3.11)$$

$$isi_{lower}(t_s) = a(L)*\sum_k ISI_k|_{ISI_k > 0} + a(1)*\sum_k ISI_k|_{ISI_k < 0} \quad (3.12)$$

Así por medio de esta combinación de técnicas, es posible obtener el diagrama de ojo para una cantidad de bits de entrada al pasar por un canal de ancho de banda limitado. Tomando en cuenta algoritmos de optimización de ecualización de transmisor y recepción que se basan en optimizar el mayor contorno posible de PDA para cada uno de las modulaciones, tanto NRZ como PAM4. Esta implementación se realiza utiliza el programa de Matlab.

3.4 Modulación en Pasabanda

En el caso de la modulación en pasabanda se toma el caso más general de respuesta al pulso. Toda señal en pasabanda tiene su equivalente en bandabase que puede ser analizado. Como parte del análisis, la implementación en algoritmo se realiza en bandabase, con el objetivo de poder analizar el efecto del canal con diferentes tipos de modulación en bandabase. Para efectos de este análisis se consideran dos tipos, la modulación PSK y la modulación QAM.

La ecuación general de modulación N-PSK se puede observar en la ecuación 3.13. Esta modulación en fase contiene una frecuencia de acarreo que centra la señal en una frecuencia de interés, por ello su nombre pasabanda. Adicionalmente la señal digital se ve interpretada por medio de diferentes símbolos que se encuentran desfasados por “m” desfasos. Debido a esto es común representar esta señal por medio de un diagrama espacial; el cual para la señal con este tipo de modulación se puede observar en la figura 2.13.

Por otro lado, la modulación QAM contiene tanto modulación de amplitud como de fase, igualmente en Pasabanda. La ecuación correspondiente a esta modulación se puede apreciar en 3.14. Estos símbolos al igual que la modulación PSK se pueden representar en un diagrama de espacio, como ejemplo se observa en la figura 2.14. Para objetivo del análisis se evalúan los esquemas de más bajo orden como QAM-4 y QAM-8.

$$s_m(t) = g(t) \cos \left(2\pi f_c t + \frac{2\pi}{M}(m-1) \right) \quad (3.13)$$

Por otro lado, la modulación QAM contiene tanto modulación de amplitud como de fase, igualmente en Pasabanda. La ecuación correspondiente a esta modulación se puede apreciar en 3.14. Estos símbolos al igual que la modulación PSK se pueden representar en un diagrama de espacio, como ejemplo se observa en la figura 2.14. Para objetivo del análisis se evalúan los esquemas de más bajo orden como QAM-4 y QAM-8.

$$s_m(t) = A_{mi}g(t) \cos(2\pi f_c t) - A_{mq}g(t) \sin(2\pi f_c t) \quad (3.14)$$

Como parte de su implementación de comportamiento se toma la ecuación 3.1 y se realiza una generalización de la misma. El análisis se realiza con el equivalente en bandabase de estas modulaciones y así poder comparar las diferencias a nivel de márgenes como diagrama de ojo contra esquemas como NRZ o PAM4. Así la ecuación general para describir una forma de onda de salida ante una serie de símbolos de entrada se puede observar en la ecuación 3.15 [23]. Siendo I_n los posibles símbolos respectivos a las diferentes modulaciones. Por ejemplo, en modulaciones como NRZ o PAM4 estos símbolos se representan en niveles de amplitud como [0 1] o [0 1/3 2/3 1]. En cambio las modulaciones que incluyen fase como PSK y QAM, pueden representar estos símbolos en un espacio complejo, lo cual añade otra dimensión al análisis, esto permite realizar el análisis de la señal tanto su componente en fase como en cuadratura. Ejemplos de estos son QPSK [1 1j -1 -1j] o QAM4 [1+1j -1+1j -1-1j 1-1j]. De esta manera es posible realizar la convolución del canal cuya respuesta al pulso está dada por $g(t)$. Estos símbolos de entrada modulado ante respuesta del canal permiten analizar estas dos modulaciones utilizando el mismo criterio de diagrama de ojo.

$$v(t) = \sum_n I_n g(t - nT) \quad (3.15)$$

De esta manera como resultado de este análisis se puede generar el diagrama de ojo para las componentes en fase y cuadratura para las modulaciones QAM y PSK. Estos diagramas de ojo también se ven afectados por ISI, y sus criterios de comprensión son diferentes a los diagramas NRZ y PAM4. Un par de ejemplos de estos diagramas de ojo construidos se puede observar en las figuras 3.15 y 3.16. La interpretación de estos diagramas se puede complementar con el capítulo del marco teórico referente a este tema. De esta manera se puede realizar una comparación directa entre los esquemas de bandabase y pasabanda, utilizando el diagrama de ojo ante cierta cantidad de ISI controlado. Adicio-

nalmente se complementa los diagramas de ojo con el diagrama de espacio de señal para las componentes del respectivo análisis.

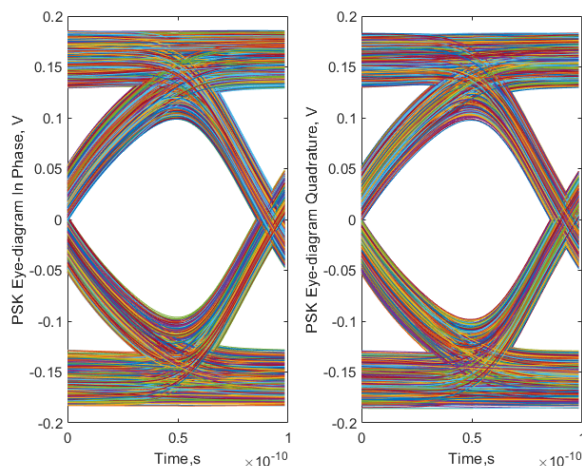


Figura 3.15: Diagrama de ojo para componentes en fase y cuadratura para modulación en QPSK

Así en consecuencia el análisis de modulaciones pretende comparar la eficiencia de transmisión de símbolos en en canal ante ISI controlado, adicionalmente del efecto de los diferentes ecualizadores ante estos esquemas de modulación. Para modulaciones en pasabanda también se evalúa los esquemas de ecualización debido a que la literatura consultada en el estado del arte no contiene análisis con el mismo valor y objetivo que este mismo.

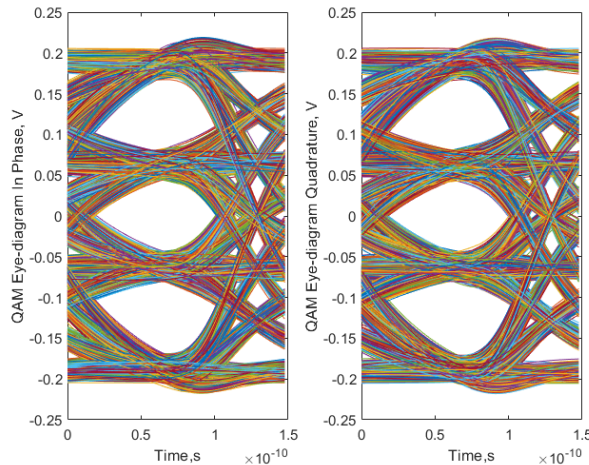


Figura 3.16: Diagrama de ojo para componentes en fase y cuadratura para modulación QAM16.

Existen más técnicas de modulación en pasabandas; sin embargo, este análisis se enfoca en señales que sean del tipo de modulación líneas y que no tengan “memoria”. Un ejemplo de estas son la modulación FSK “Frequency Shift Keying”; esto debido a que esta modulación es de la categoría no lineal, por lo cual las métricas de esta no son tan comparables con PSK, QAM o PAM. Sin embargo su potencia y eficiencia de ancho de banda es similar a estas.

En la siguiente sección se evalúa la transmisión de la señal por medio de arquitecturas en multibanda, que permitan optimizar el uso del ancho de banda del canal y evaluar las

diferentes técnicas de modulación ante estos esquemas descritos ya anteriormente.

3.5 Arquitectura Multibanda

El análisis en las arquitecturas anteriores considera únicamente tomar los símbolos de entrada que contiene información de bits y realizar una modulación en amplitud, fase o una combinación de ambos. Estos canales sufren degradación debido a ISI el cual es el principal punto de comparación entre las diferentes modulaciones. Adicionalmente debido a la respuesta pasa-bajas del canal, existe una limitación de la tasa de transferencia a la que se transmite los datos, además realizar compensación por medio de ecualización en el receptor se torna un trabajo más complejo y aumenta considerablemente el consumo de potencia. Una alternativa de transmisión es realizar una comunicación con múltiples frecuencia de acarreo, los cuales son ubicados en el ancho de banda disponible del canal. [23].

El principal motivo de realizar esta separación en de anchos de banda se enfoca en reducir el ISI y eliminar la dependencia de degradación en arquitecturas con una sola frecuencia de acarreo. [23].

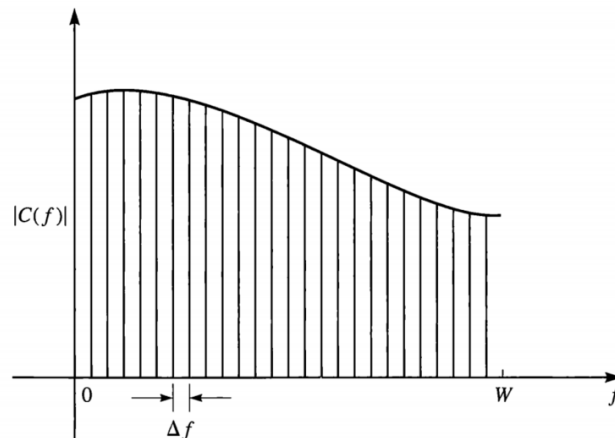


Figura 3.17: Subdivisión del canal con ancho de banda W en sub-canales con ancho de banda equivalente a Δf . [23].

Es posible realizar una modulación con múltiples frecuencias de acarreo, con sub bandas divididas en anchos de banda específicos $\Delta f = W/N$. Los cuales puedan proveer una solución que permita tasas de transmisión de datos cercanas a la capacidad del canal. La señal en cada sub banda es codificada y modulada de manera independiente a una tasa síncrona de símbolos de $1/\Delta f$. Si Δf es lo suficientemente pequeño, entonces la respuesta en frecuencia del canal es casi constante alrededor de cada sub banda, y por ende el ISI se reduce significativamente. Un ejemplo de esta división se observa en al figura [23]. Este tipo de modulación se denomina “OFDM” o “Orthogonal Frequency Domain Multiplexing” y se puede apreciar en la figura 3.17.

Se selecciona cada sub banda con su frecuencia de acarreo de la manera $s_k(t) = \cos(2\pi f_k t)$, con $K = 0, 1, \dots, N - 1$. Siendo f_k la frecuencia media del k -ésimo canal. El diseño de la

subdivisión de los canales en OFDM, se realiza por medio de seleccionar la separación de frecuencias de acarreo adyacentes igual a la tasa de transferencia de datos, $\Delta f = 1/T$. De esta manera se cumple el principio de ortogonalidad entre los intervalos de las diferentes sub bandas. Esta relación está dada por la ecuación 3.16.

$$\int_0^T \cos(2\pi f_k t + \phi_k) * \cos(2\pi f_j t + \phi_j) dt = 0 \quad (3.16)$$

Para OFDM con N sub bandas, la tasa de transferencia de símbolos $1/T$ es reducido por un factor de N relativo a la tasa de transferencia en un sistema de acarreo único que emplea un ancho de banda W entero. El intervalo de símbolo total del sistema OFDM es $T = N * T_s$, donde T_s es el intervalo de símbolo en un sistema con única frecuencia de acarreo.

Si se cumple con la analogía anterior es posible subdividir el canal en múltiples sub bandas que sean lo suficientemente pequeñas, donde el ancho de banda del canal $C(f)$, se subdivide de manera $C(f_k)$, $k = 0, 1, \dots, N - 1$. Si se supone que cada banda puede ser modulada de manera M-aria con PAM, PSK o QAM se puede obtener la señal recibida por el k-ésimo canal en la ecuación 3.17. En términos generales esta ecuación define un esquema de modulación QAM. Si se toma A_{ks} como 0 y ϕ_k igual 0, se obtiene el esquema de modulación PAM, si se usa en $f_k = 0$ entonces este esquema sería en bandabase. Igualmente si se define ϕ_k con un valor constante, y se normaliza $\sqrt{A_{kc}^2 + A_{ks}^2} = 1$, entonces es posible obtener el esquema de modulación PSK, donde se varía $\theta_k = \tan^{-1}(A_{kc}/A_{ks})$, cumpliendo con la relación anterior.

$$r_k(t) = \sqrt{\frac{2}{T}} |C_k| A_{kc} \cos(2\pi f_k t + \phi_k) + \sqrt{\frac{2}{T}} |C_k| A_{ks} \sin(2\pi f_k t + \phi_k) + n_k(t) \quad (3.17)$$

Finalmente para realizar la implementación del canal OFDM, se toman los datos con sus respectivas modulaciones en cada canal y se centran en sus frecuencias de modulación respectivas. De esta manera cada uno de los datos que se transmiten en el canal se mantienen independientes el uno del otro. El esquema por implementar de este canal se puede observar en la figura 3.18. El cual se puede implementar por medio de un algoritmo de FFT.

Para el esquema multibanda se realiza diferentes combinaciones de separación de canales, utilizando PAM, QAM y PSK. Teniendo como meta obtener la máxima transferencia de datos con la menor degradación y con la mayor eficiencia espectral, en la siguiente sección detalla cuales son las métricas que se utilizan para comparar los diferentes esquemas de modulación y sus indicadores; en conjunto con las diferentes evaluaciones que se realizan.

3.6 Métricas de Evaluación

Es necesario definir métricas de evaluación que permitan seleccionar algún esquema de señalización sobre otro. Parte de las métricas de selección se pueden tomar del desarrollo de la especificación de PCIe Gen6, en la figura 3.2. Por ejemplo se tiene de requerimientos

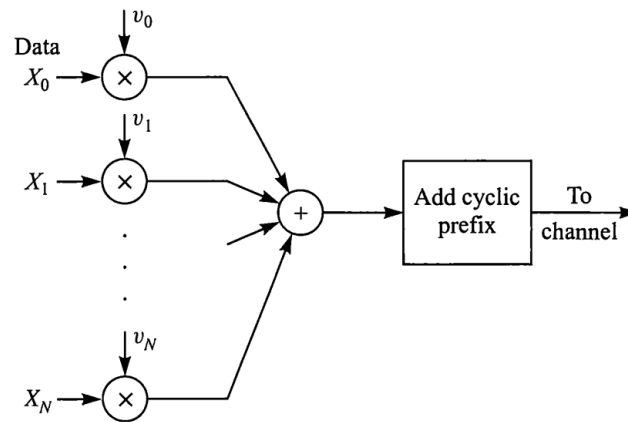


Figura 3.18: Síntesis de señal con modulación con múltiples frecuencias de acarreo basado en la transformada discreta de Fourier inversa. [23].

de la especificación una transferencia de datos de al menos 64 Gb/s, que tenga un consumo de potencia, preferiblemente menos en comparación a Gen5, que sea eficiente en potencia y ancho de banda y que tenga una baja latencia con un alcance similar a Gen5.

En el desarrollo de este documento, se exploran principalmente las metas de tasa de transferencia de datos, eficiencia de ancho de banda, alcance del canal y eficiencia de potencia; esto debido a que este estudio es realizado sobre esquemas comportamentales y no implementaciones a nivel de circuito integrado; sin embargo pueden ser exploradas en un futuro si fuese necesario.

Cada métrica tiene su requerimiento y su criterio de evaluación; algunas son teóricas, mientras otras tienen son evaluadas con las herramientas de diseño. El resumen de estos detalles se puede apreciar en la tabla 3.2. Estas métricas y sus resultados se mencionan en el siguiente capítulo para los diferentes esquemas de modulación evaluados.

Tabla 3.2: Métricas de Evaluación para Análisis de Modulaciones en Pasabanda de Circuito Eléctricos Alambrados de Alta Velocidad

<i>Métrica</i>	<i>Requerimiento</i>	<i>Criterio de Evaluación</i>
Tasa de Transferencia de Datos	64 Gb/s	Diagrama de ojo abierto con al menos >5 mV de apertura,
Eficiencia Espectral	Igual o más eficiente que PAM4	en caso de múltiples ojos, evaluar únicamente el superior. Comparación la eficiencia espectral teórica de los esquemas de modulación que se utilizan en bits/s/Hz
Eficiencia de Potencia	Igual o más eficiente que PAM4	Comparación teórica de la razón de error (BER) vs la relación señal a ruido por bit (SNR por bit).
Longitud del Canal	Similar alcance a PCIe Gen5	Simulación de enlace completo con modelos de parámetros S de canales de referencia usados en Gen5.

Capítulo 4

Análisis Comparativo de Modulaciones en Bandabase y Pasabanda

En este capítulo se detallan los resultados de la simulación de enlace completo para los esquemas de modulación en bandabase y pasabanda. Como se mencionaba, se realiza una primera simulación de enlace completo es a nivel comportamental, la cual incluye un transmisor y un receptor ideales acoplados a 50Ω ; un modelo de parámetros S de canales de PCIe Gen6 y algoritmos de ecualización como FFE, CTLE y DFE previamente definidos y una tensión de salida de 1V.

El algoritmo de optimización de ecualización está basado en el análisis de PDA, y se enfoca en encontrar la máxima apertura del diagrama de ojo NRZ PDA con las diferentes combinaciones de ecualización de FFE de 4 taps, CTLE con diez posibles ganancias DC y múltiples taps de DFE.

4.1 Implementación y Evaluación de Esquemas de señalización NRZ y PAM4 por medio de Matlab y ADS

4.1.1 Resultados NRZ

En el capítulo anterior se explicaron los fundamentos matemáticos y algorítmicos requeridos para implementar una simulación de enlace completo con NRZ y PAM4, incluyendo componentes como FFE, CTLE y DFE. Estos algoritmos fueron implementados en Matlab y permiten la evaluación y comparación entre diferentes esquemas de modulación. En primer lugar se desarrollan los esquemas de señalización de NRZ y PAM4.

Para el caso del enlace serial con esquema de señalización en NRZ, no fue posible encontrar una apertura de ojo mínima a la tasa de transferencia de 64 Gbps. Esto implica que no fue posible compensar las pérdidas del canal con los diferentes ecualizadores. Por ende se realizaron más simulaciones para determinar el espacio de solución máximo para el enlace NRZ (máxima tasa de transmisión posible).

Del análisis comportamental se determinó que la tasa de transferencia máxima posible para estos canales de PCIe Gen6 es de 40 Gbps. Los resultados completos se pueden observar en las figuras 4.1, 4.2 y 4.3. En estas figuras se aprecian tres imágenes, que corresponden en orden a la respuesta al pulso del canal con ecualizaciones de TXLE y CTLE y una incluyendo también DFE; luego corresponde el análisis de PDA con la ecualización optimizada e incluyendo dos contornos; uno sin crosstalk y otro incluyendo crosstalk. Finalmente se representa el resultado de la simulación bit por bit del enlace, utilizando 10000 bits de simulación. Para este tipo de simulación 10000 bits representa el límite de bits debido al tiempo de simulación; por lo cual se puede utilizar un modelo estadístico para extrapolar esta cantidad de bits a una una razón de error de bits (BER) deseada.

Es importante rescatar la selección del controlador activo de ganancia y los taps de DFE. Para ello se utilizó la respuesta al pulso del canal sin ecualizar (en azul) y con ecualización sin DFE (en rojo). En primer lugar se fija el controlador de ganancia en 0.1 V, esto debido a que el primer tap de DFE corresponde a un valor fijo de 30 mV y se obtiene una amplitud del primer post-cursor de ISI cercano a 30 mV con esta ganancia. Seguidamente se seleccionó tres taps de DFE para la compensación, debido a que los tres primeros taps son los que más aportan a la apertura del diagrama de ojo basado en el canal con mayor pérdida. Más taps de DFE no compensan en gran cantidad los post-cursos de ISI.

Así con esta selección de taps de DFE, un TXLE y CTLE optimizados y la selección del control de ganancia activo, se determina que para estos tres canales existe solución a una tasa de transferencia de 40 Gbps, con una apertura mínima de 25mV. Estos resultados demuestran que NRZ a nivel comportamental no es adecuado para una solución de PCIe Gen6, ya que no cumple con la métrica de evaluación más importante.

Es importante observar en los taps de DFE que entre el primer y segundo post cursor la respuesta del pulso es negativa. Para este análisis comportamental, los cursores están alineados a los puntos de muestreo que se describen en la imagen, por lo cual no tiene ningún impacto sobre los márgenes de PDA ni diagrama de ojo. Sin embargo en etapas de diseño de simulaciones de circuito se debe tener cautela en estos detalles ya que el muestreo no es necesariamente ideal.

Basado en estos resultados del algoritmo implementado en Matlab, también se realiza una simulación en la herramienta de ADS para evaluar la solución descrita en un simulador comercial (así garantizar una mejor correlación). En esta, se incluye jitter debido a diferentes componentes en el transmisor y receptor, según como se define en los requerimientos de PCIe Gen6. En total el jitter añadido corresponde a 0.2 UI del total del

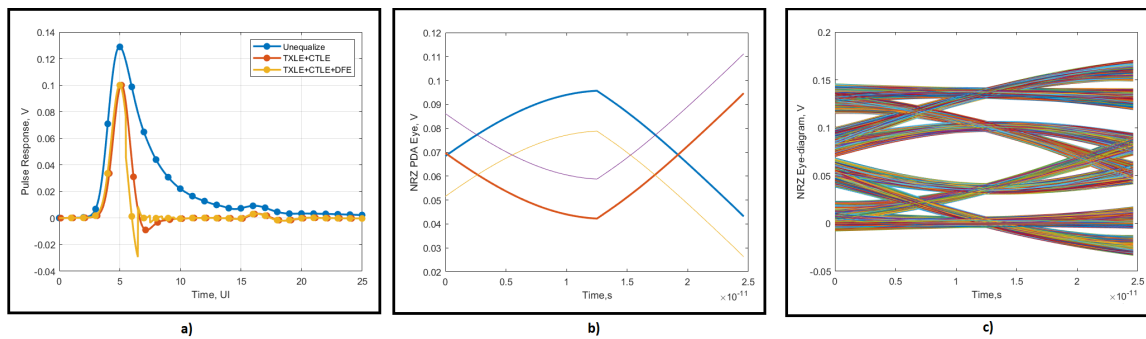


Figura 4.1: Resultados de simulación a nivel comportamental para el canal de 66 mm con un esquema de señalización NRZ y una tasa de transferencia de 40 Gbps. a) Pulso de salida del canal, más optimización por TXLE+CTLE y DFE. b) Resultados de PDA incluyendo crosstalk de pares adyacentes. c) Resultados de simulación de 10000 bits por medio de la metodología bit by bit

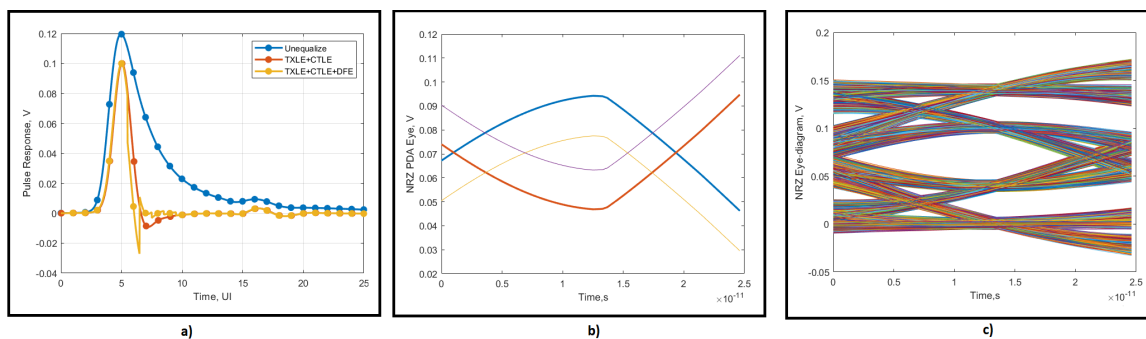


Figura 4.2: Resultados de simulación a nivel comportamental para el canal de 83 mm con un esquema de señalización NRZ y una tasa de transferencia de 40 Gbps. a) Pulso de salida del canal, más optimización por TXLE+CTLE y DFE. b) Resultados de PDA incluyendo crosstalk de pares adyacentes. c) Resultados de simulación de 10000 bits por medio de la metodología bit by bit

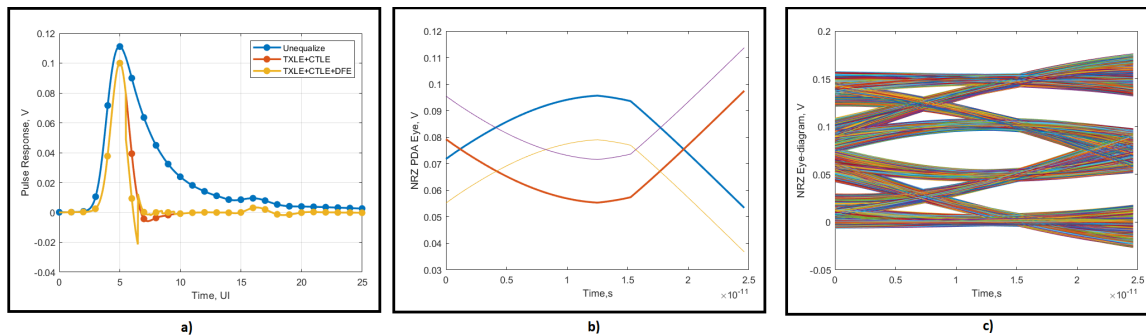


Figura 4.3: Resultados de simulación a nivel comportamental para el canal de 101 mm con un esquema de señalización NRZ y una tasa de transferencia de 40 Gbps. a) Pulso de salida del canal, más optimización por TXLE+CTLE y DFE. b) Resultados de PDA incluyendo crosstalk de pares adyacentes. c) Resultados de simulación de 10000 bits por medio de la metodología bit by bit

ancho del bit. Igualmente se asumen un transmisor y un receptor ideales con un acople perfecto de impedancia. El circuito implementado en NRZ en la herramienta ADS se puede apreciar en la figura 4.4 y sus respectivos resultados se puede apreciar en 4.5.

Con base en los resultados de este circuito NRZ, el diagrama de ojo presenta una apertura de 8mV para la tasa de transferencia de 40 Gbps. Este margen se considera relativamente bajo y con un riesgo moderado; lo cual puede verse afectado al añadir crosstalk, un receptor no ideal y mayor cantidad de bits. Se considera como un enlace posible pero con un riesgo muy alto de captura de errores no deseados.

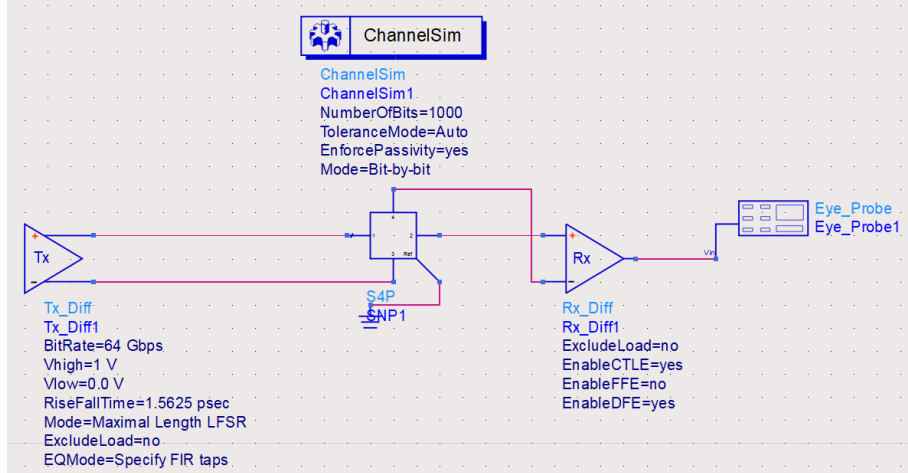


Figura 4.4: Esquemático del circuito implementado en NRZ de ADS.

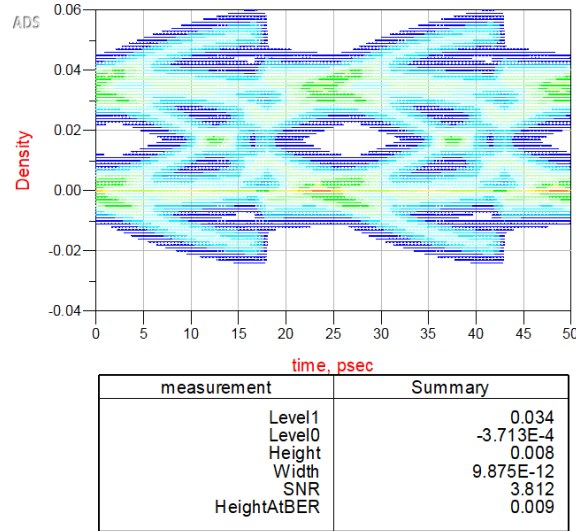


Figura 4.5: Resultados de simulación con ADS del circuito NRZ. Diagrama de ojo a 10000 bits y tabla de resumen de resultados

4.1.2 Resultados PAM4

Para el esquema de señalización en PAM4, se realiza la implementación con el mismo objetivo de una tasa de transmisión de 64 Gb/s. Para ello se utiliza el mismo ecualizador de transmisión de tipo FFE de 4 taps, el mismo CTLE y una cantidad de taps de DFE basados en los resultados de la respuesta al pulso del canal con mayores pérdidas.

En las figuras 4.6, 4.7 y 4.8 se puede apreciar el resultado de las simulaciones, análisis de la respuesta al pulso y PDA del enlace de PAM4. La selección del AGC se mantiene

similar que en el caso de NRZ, ya que el tap de DFE inicial se mantiene con el mismo valor; y la respuesta al pulso demuestra que el primer post-cursor de ISI se mantiene en este rango. Luego se aprecia de la respuesta al pulso con TXLE y CTLE que con 1 a dos taps es suficiente para compensar las pérdidas de los post-cursos. Se selecciona 2 taps como estándar para ayudar con la sobre compensación que podría generar el primer tap sólo. Igualmente los resultados de simulación resultan mejores con dos taps.

La simulación de PAM4 permite obtener una apertura de ojo para los tres canales, según se muestra en las figuras mencionadas anteriormente. Se puede apreciar el diagrama de PDA de PAM4 y la simulación bit por bit de 10000 bits para estos canales. El transmisor y receptor presentan acoples ideales y la tensión de salida es de 1 V (la cual se puede incrementar para garantizar un mejor SNR).

De estos resultados se puede comparar este esquema de señalización directamente con NRZ; donde queda demostrado que al reducirse la frecuencia de Nyquist a la mitad, se requiere menos compensación y por ende su solución es mayor; con el único riesgo de incrementar el SNR para garantizar un buen enlace de comunicación. El enlace PAM4 garantiza un enlace de comunicación con una cantidad baja de errores a 10000 bits.

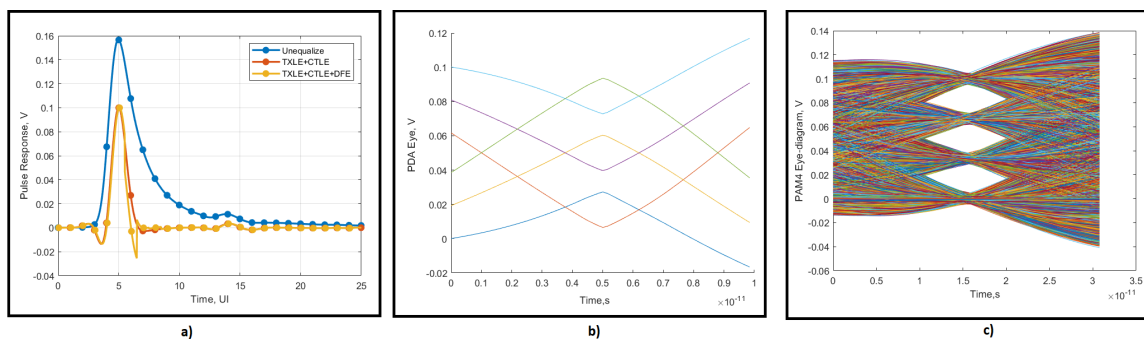


Figura 4.6: Resultados de simulación a nivel comportamental para el canal de 66 mm con un esquema de señalización PAM4. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Resultados de PDA. c) Resultados de simulación de 10000 bits por medio de la metodología bit by bit

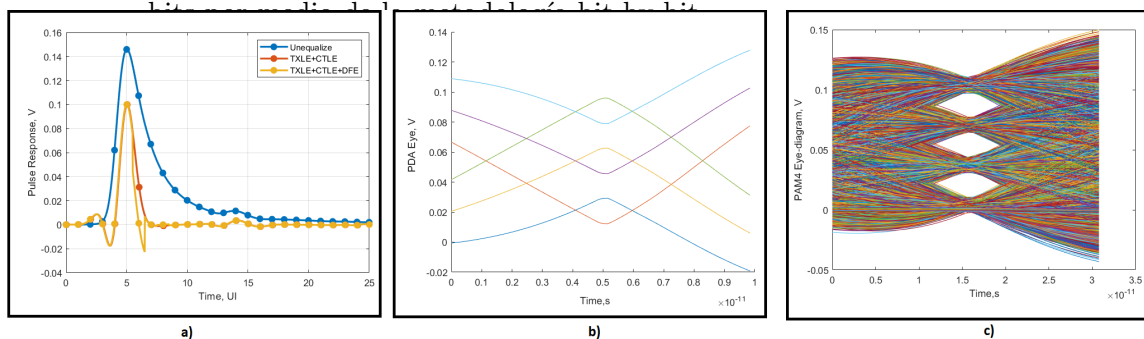


Figura 4.7: Resultados de simulación a nivel comportamental para el canal de 83 mm con un esquema de señalización NRZ. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Resultados de PDA. c) Resultados de simulación de 10000 bits por medio de la metodología bit by bit

Para este caso de PAM4; la herramienta ADS no permite realizar un circuito de enlace completo equivalente a la simulación NRZ del canal anterior. Esto debido a que es posible obtener un transmisor PAM4, pero no tener un receptor correcto que permita decodificar

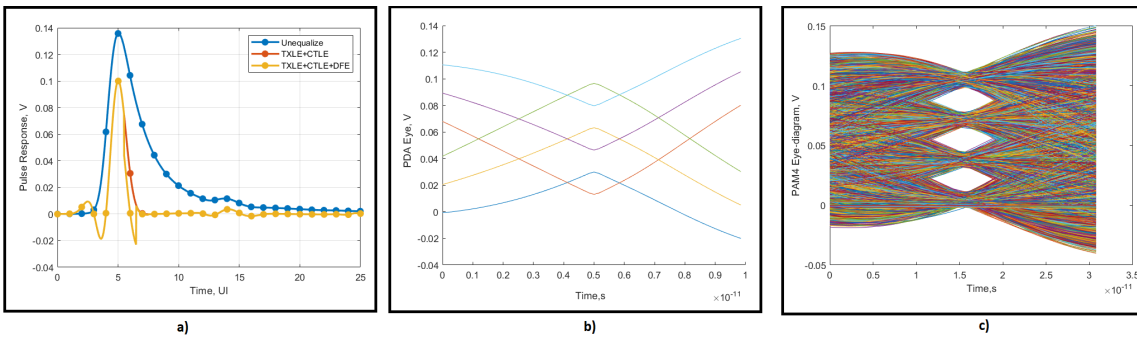


Figura 4.8: Resultados de simulación a nivel comportamental para el canal de 101 mm con un esquema de señalización PAM4. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Resultados de PDA. c) Resultados de simulación de 10000 bits por medio de la metodología bit by bit

por medio de un CTLE y DFE el esquema de señalización de PAM4 por medio de una simulación LTI. Por ende, se requiere un modelo de IBIS-AMI, el cual no es parte del enfoque de este documento y se omite el circuito de PAM4. El análisis matemático descrito en este documento resulta una buena alternativa ante simuladores comerciales que no tienen integrados totalmente las modulaciones de mayor orden.

4.2 Implementación y Evaluación QPSK y QAM16 por medio de Matlab y ADS

En el capítulo anterior, también se describió el método matemático para realizar la simulación de enlaces en Pasa Banda. En este caso las simulaciones incluyen el mismo ecualizador de FFE, CTLE y DFE que en el caso de las simulaciones en banda base. También se heredan las optimizaciones por PDA optimizaciones la selección de taps y esogencia de AGC. Todo esto tomando en cuenta los detalles de la especificación de PCIe Gen6.

4.2.1 Resultados QPSK

Para estos esquemas de modulación en cuadratura; se realiza la simulación comportamental con base en los métodos matemáticos del capítulo anterior implementados en Matlab. Se definen ecualizadores con base en los resultados de respuesta al pulso de canal y diagrama de constelación y ojo. Igualmente la simulación de enlace completo utiliza un transmisor y receptor ideales con 1 V de tensión de salida. Los resultados de estas simulaciones se pueden observar en las figuras 4.9, 4.10 y 4.11.

De estos resultados las imágenes muestran las diferentes respuestas al pulso, diagrama de constelación y diagramas de ojo para las componentes en fase y cuadratura. De la respuesta al pulso del canal y sus ecualizadores de TXLE y CTLE se obtiene una optimización apropiadas de ambos donde únicamente es necesario al menos uno o dos

taps de DFE. En este caso se procede a utilizar un tap de DFE, debido a que el SNR de la señal no es tan alto ya que cada representación de bits se encuentra en diferentes fases en el plano complejo. Por lo cual la apertura del ojo es mayor que en el caso de PAM4 y no es necesario compensar igual que en el caso de PAM4.

Adicionalmente en el diagrama de constelación de resultados, los diferentes símbolos representan a los símbolos detectados luego de haber sido modificada por todas las etapas de simulación, incluyendo ecualización. Cuando no se aplica ecualización este diagrama de constelación es completamente disperso, lo cual representa que no es posible diferenciar entre un símbolo u otro. De estos resultados se determina que QPSK cumple con el criterio mínimo requerido para un enlace de PCIe Gen6 de una tasa de transmisión de 64 Gbps. Obteniendo apertura de ojos mayores que el equivalente en Banda base de PAM4. Esto es válido para todos los canales simulados.

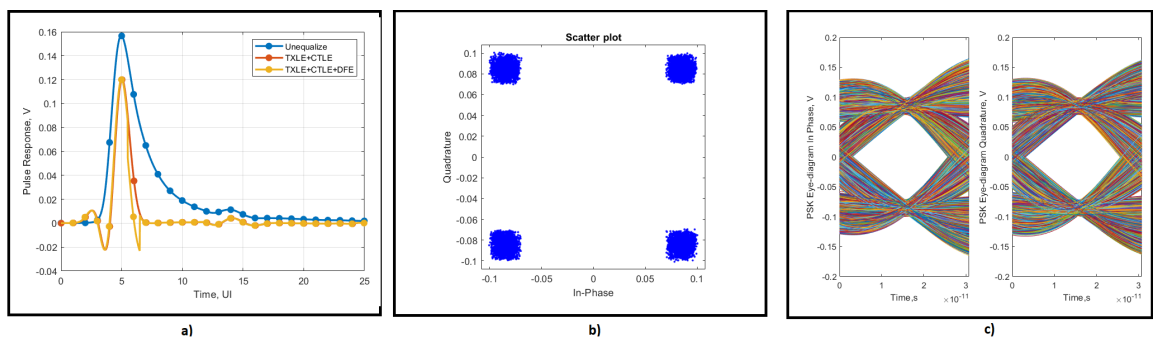


Figura 4.9: Resultados de simulación a nivel comportamental para el canal de 66 mm con un esquema de señalización QPSK. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Constelación de simulación comportamental para forma de onda de salida (incluyendo ecualización). c) Resultados de simulación de 1000 bits por medio de la metodología bit by bit

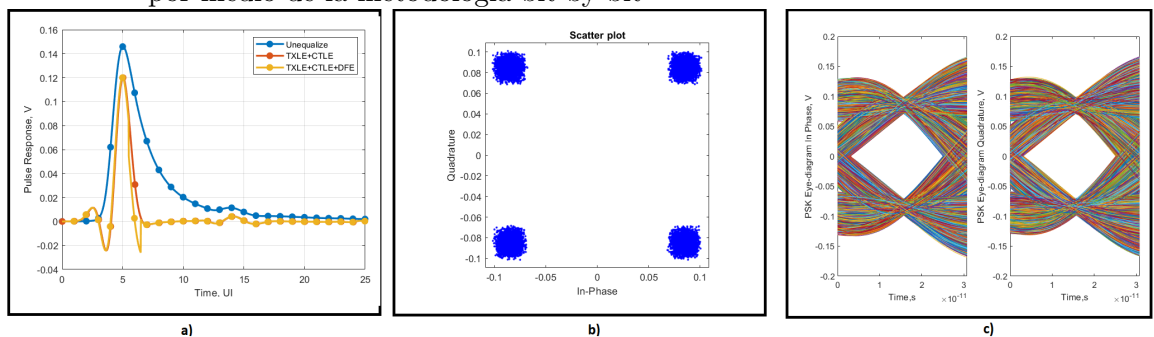


Figura 4.10: Resultados de simulación a nivel comportamental para el canal de 83 mm con un esquema de señalización QPSK. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Constelación de simulación comportamental para forma de onda de salida (incluyendo ecualización). c) Resultados de simulación de 1000 bits por medio de la metodología bit by bit

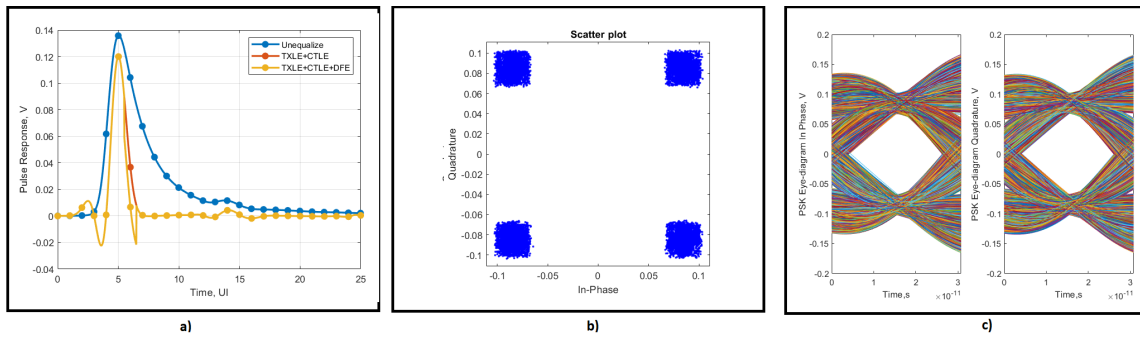


Figura 4.11: Resultados de simulación a nivel comportamental para el canal de 101 mm con un esquema de señalización QPSK. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Constelación de simulación comportamental para forma de onda de salida (incluyendo ecualización). c) Resultados de simulación de 1000 bits por medio de la metodología bit by bit

Se realiza una comparación de esta simulación utilizando un simulador comercial ADS. La implementación de esta simulación de alto nivel de enlace en ADS presenta diferencias notables con en el “framework” de simulación realizado; en otras palabras los resultados que se esperan y se observan son diferentes. La principal diferencia es que en este simulador comercial se requiere realizar una modulación y una demodulación de la señal debido a que no es posible implementar directamente el esquema de señalización en ADS y obtener un transmisor y un receptor con ecualizadores simultáneamente, en otras palabras los ecualizadores sólo se pueden utilizar en banda base. La figura con el circuito implementado en ADS se puede apreciar en 4.12.

Donde se tiene el canal diferencial, un circuito que realiza la modulación QPSK y adicionalmente se agrega un filtro pasa banda de coseno alzado, con un factor de 0.35. Este filtro permite que la modulación pueda ser muestreada y transmitida por el canal eléctrico. Este filtro también ayuda a eliminar cualquier espectro espejo que se genera debido a la modulación en pasa banda. Finalmente se escoge la frecuencia del modulador con base en la frecuencia mínima en la cual el espectro bilateral en banda base no sufra pérdidas de su contenido espectral. En este caso al transmitir dos bits por UI, entonces se requiere al menos un ancho de banda de 32GHz, centrado en el espectro base; por lo cual se modula el centro a 16GHz donde su contenido principal permanezca en el dominio real. En las siguientes secciones se realiza una comparación mayor de los diferentes contenidos espectrales de las señales.

Este circuito en ADS requiere modulación y demodulación; por lo cual los resultados de la simulación de enlace completo se encuentra en banda base y con ún ojo único. El resultado de esta simulación se aprecia en la figura 4.13 y presenta un ojo con una apertura cercana a 100 mV; estos resultados se obtienen con el canal con mayor pérdida. Similarmente a los casos en banda base, se agrega un jitter de enlace completo de 0.2 UI. Este ojo es binario y diferente a la simulación en Matlab, debido a que se eliminan las componentes en fase y cuadratura antes de ecualizar y sólo existen dos estados posibles.

Este resultado determina que QPSK puede ser una alternativa a NRZ y PAM4 con base en diagramas de ojo, debido a la apertura que presenta y un correcto enlace de simulación

completo a nivel comportamental.

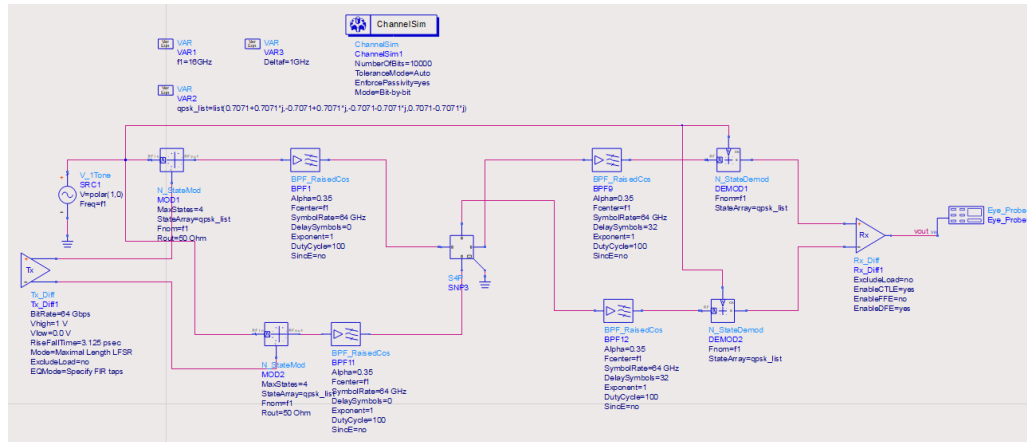
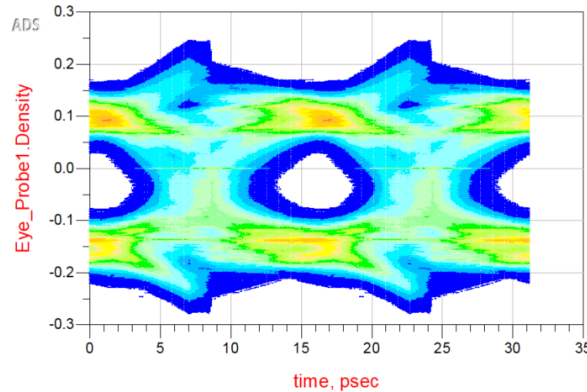


Figura 4.12: Canal de enlace eléctrico QPSK simulado en ADS.



measurement	Eye_Probe1.Summary
Level1	0.099
Level0	-0.149
Amplitude	0.248
Height	0.103
Width	5.469E-12
SNR	5.108

Figura 4.13: Resultados de modulación de orden superior QPSK sobre canal eléctrico implementado en ADS de 101 mm.

4.2.2 Resultados QAM16

Para el caso de QAM16, esta modulación requiere variar tanto la amplitud como fase de la señal, a diferencia del esquema QPSK. Esto permite un mejor control de ruido ante modulaciones de sólo amplitud o sólo fase de mayor orden. Al tener componente en fase y cuadratura se procedió a implementar una modulación de orden 16 que permite transmitir cuatro bits simultáneamente (dos en fase y dos en cuadratura). Similarmente se habilitó la opción de poder utilizar los mismos ecualizadores que en los anteriores casos, los mismos canales y las mismas condiciones de transmisor y receptor.

Similar que en los casos anteriores, se analizó la respuesta al pulso del canal para determinar los ecualizadores que se requieren con este esquema de señalización. En las figuras 4.14, 4.15 y 4.16 se puede apreciar las respuestas al pulso en la primera imagen para cada

canal. La primera observación que se realiza es que el ISI es menor usando este esquema; por lo cual la ecualización se puede reducir. Luego de diversas pruebas se determina que no es necesario un ecualizador de TX FFE ni DFE. Únicamente el ecualizador de CTLE es necesario para compensar las pérdidas del canal y obtener una apertura de ojo. Además se configuró el AGC para mantener una tensión constante de 0.2 V.

Adicionalmente en los resultados también se aprecia el diagrama de constelación en el punto de muestreo y el diagrama de ojo de una simulación bit por bit con 10000 bits. De los mismos resultados, se obtiene un ojo abierto y una constelación con ruido leve; por lo cual se puede determinar que la simulación de QAM16 permite igualmente alcanzar la tasa de transmisión de PCIe Gen6; al igual que los esquemas de PAM4 y QPSK. Una gran ventaja que presenta este esquema, es la eliminación de los componentes de ecualizador de transmisión y ecualizador de recepción DFE.

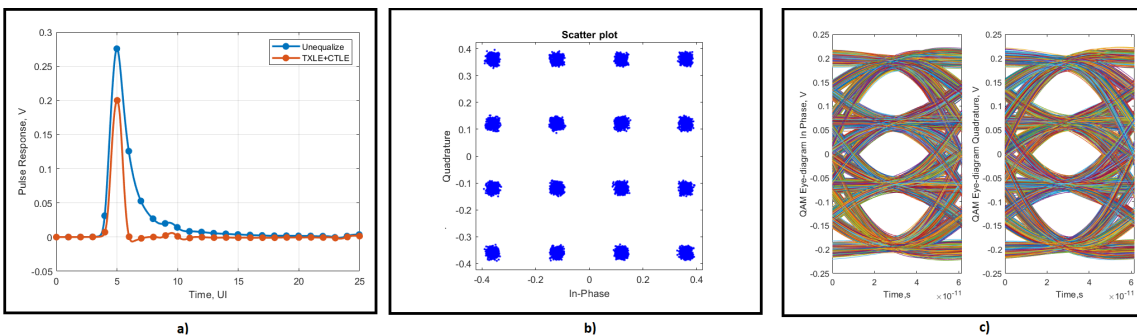


Figura 4.14: Resultados de simulación a nivel comportamental para el canal de 66 mm con un esquema de señalización QAM16. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Constelación de simulación comportamental para forma de onda de salida (incluyendo ecualización). c) Resultados de simulación de 1000 bits por medio de la metodología bit by bit

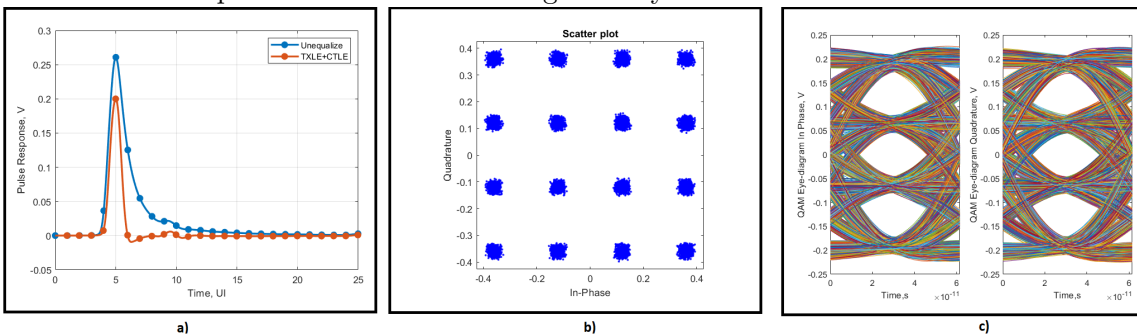


Figura 4.15: Resultados de simulación a nivel comportamental para el canal de 83 mm con un esquema de señalización QAM16. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Constelación de simulación comportamental para forma de onda de salida (incluyendo ecualización). c) Resultados de simulación de 1000 bits por medio de la metodología bit by bit

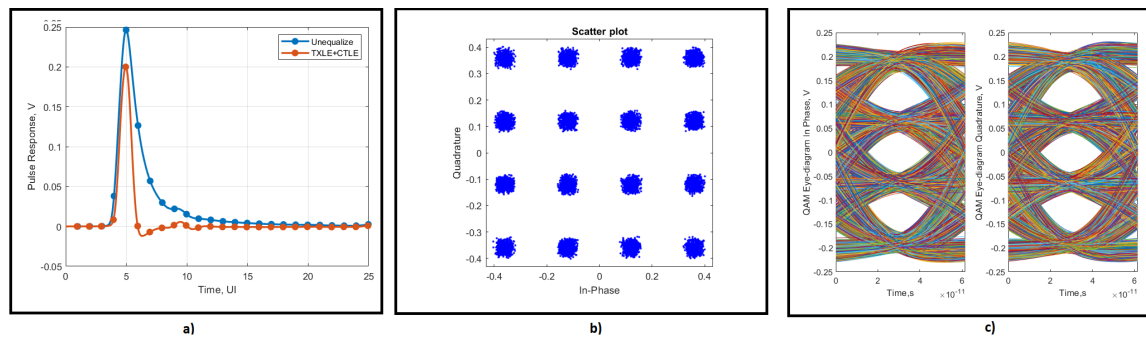


Figura 4.16: Resultados de simulación a nivel comportamental para el canal de 101 mm con un esquema de señalización QAM16. a) Pulso de salida del canal, más optimización por TXLE+CTLE. b) Constelación de simulación comportamental para forma de onda de salida (incluyendo ecualización). c) Resultados de simulación de 1000 bits por medio de la metodología bit by bit

Finalmente este circuito se implementó en ADS, como se aprecia en la figura 4.17. Similar al caso de QPSK, el resultado esperado del ojo es diferente que en las simulaciones en Matlab. Este enlace requiere de un filtro pasabanda de coseno de alzada con un factor alfa de 0.1; al igual que de una modulación y demodulación, para obtener una simulación enlace eléctrico completo. Se normalizan los símbolos de QAM para evitar amplificar la señal. Igualmente se tiene un jitter de enlace completo de 0.2 UI y únicamente se utiliza CTLE similar a la estimación realizada en Matlab. Finalmente se selecciona la frecuencia de pasa banda con base en la tasa de transmisión de datos y contenido espectral. En este caso como se transmiten cuatro bits simultáneamente, el contenido espectral se encuentra distribuido en un espectro bilateral de 16 GHz. Por lo cual este espectro puede quedar centrado utilizando una frecuencia en pasa banda de 8GHz para mantener el contenido espectral de la señal.

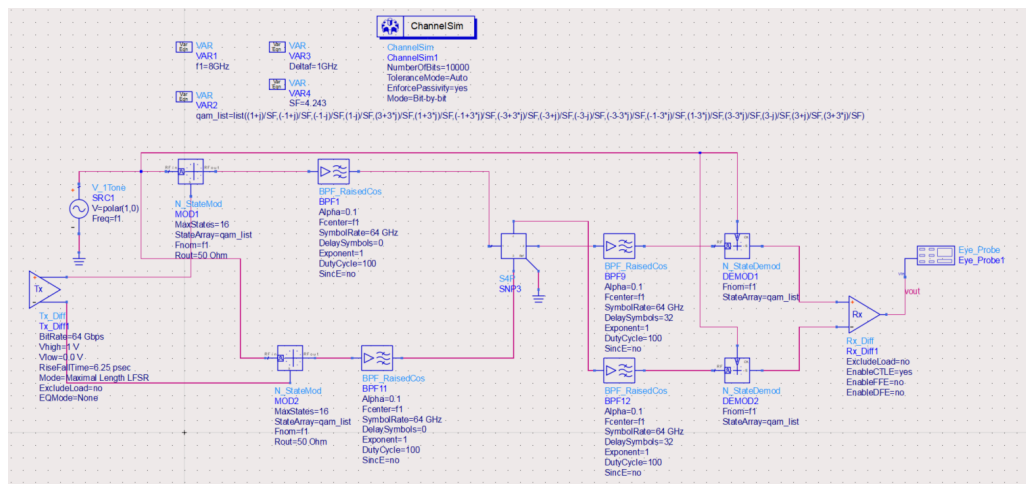


Figura 4.17: Canal eléctrico de QAM16 implementado en ADS.

Como se realiza una demodulación, se obtiene luego del ecualizador, un diagrama de ojo único, el cuál se puede apreciar en la figura 4.18. Se simulan 10000 bits, y el ojo tiene una altura final de 120 mV y un ancho de ojo de 0.06 UI. Esta reducción en comparación del caso predicho en Matlab se debe a la inclusión de jitter en el enlace, lo que ocasiona que el ojo se reduzca pero aún exista una apertura mínima. Este ojo es binario y diferente a

la simulación en Matlab, debido a que se eliminan las componentes en fase y cuadratura antes de ecualizar y sólo existen dos estados posibles.

Tanto los resultados en Matlab como ADS demuestran que el esquema de señalización de QAM16 es posible y permite reducir la cantidad de ecualizadores requeridos; manteniendo una apertura de ojo mínima requerida.

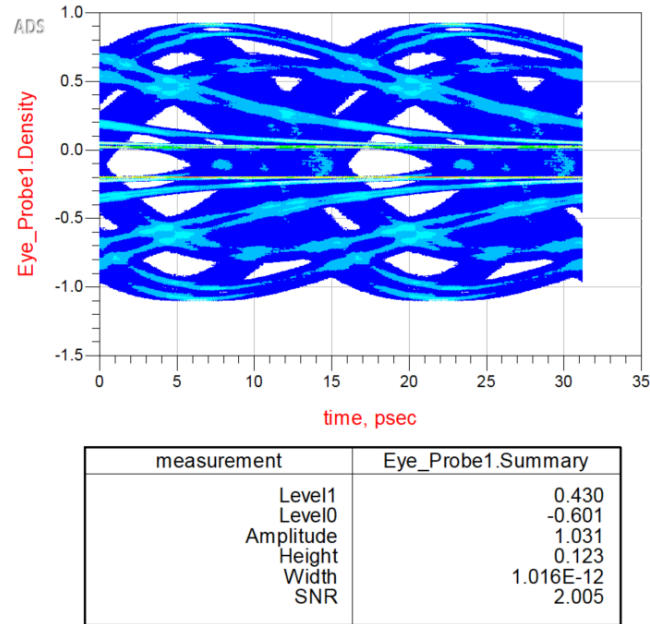


Figura 4.18: Resultados de simulación de canal eléctrico de QAM16 implementado en ADS con 10000 bits.

4.3 Métricas y Comparación de Resultados en Bandabase y Pasabanda

Como se mencionó en el anterior capítulo, las métricas de evaluación están basadas en resultados teóricos y de simulación comportamental. En esta sección se detallan los diferentes resultados de criterios de evaluación y sus métricas.

La primer métrica de comparación entre los resultados de banda base y pasa banda es el la tasa de transferencia de datos. Esta en combinación con el alcance de la señal pueden ser evaluadas por medio de un diagrama de ojo. Las simulaciones de enlace completo permiten realizar una comparación entre diferentes diagramas de ojo, específicamente la implementación realizada en Matlab.

Al evaluar herramientas convencionales como ADS, no permiten hacer una comparación de los efectos de ISI con diferentes esquemas de señalización de manera directa (las herramientas de simulación de enlace completo únicamente se encuentran desarrolladas en NRZ y algunas tienen modos para PAM4). Efectos como ecualización de CTLE, DFE, FFE en combinación con componentes de parámetros, carecen de herramientas de diseño específicas para SerDes en cuanto a modulaciones tipo PAMN, QPSK o QAM. En este

documento se realizó una metodología que sí permitió incluir ecualizadores; por lo cual se realiza una comparación directa entre ecualizadores, pérdidas del canal y esquemas de señalización; con resultado final diferentes diagramas de ojo.

La primera comparación de diagrama de ojo se realiza con los resultados de la simulación comportamental en Matlab. En la tabla 4.1 se puede observar una comparación directa entre los diferentes esquemas de señalización y sus resultados directos. Los enlaces con mejores resultados con base en este criterio son QAM16 y QPSK, debido a que requieren menos recursos que NRZ y PAM4. Es importante recalcar que los márgenes eléctricos en enlaces con varios ojos sólo se analiza el ojo superior como referencia.

Tabla 4.1: Resumen de Resultados de simulación de enlace para circuitos alambrados de alta velocidad, utilizando esquemas de modulación NRZ, PAM4, QPSK y QAM16

Resultados	<i>NRZ</i>	<i>PAM4</i>	<i>QPSK</i> (<i>I y Q</i>)	<i>QAM16</i> (<i>I y Q</i>)
Solution Data Rate	40 Gbps	64 Gbps	64 Gbps	64 Gbps
TX FFE	Y	Y	Y	N
RX CTLE	Y	Y	Y	Y
RX DFE	Y / 4 taps	Y / 3 taps	Y / 1 tap	N
Channel1 Eye Height (mV)	50	24.4	145 / 143	60.3 / 59.3
Channel1 Eye Width (UI)	0.75	0.30	0.73 / 0.73	0.53 / 0.55
Channel2 Eye Height (mV)	43	22.3	144 / 144	59.7 / 57.7
Channel2 Eye Width (UI)	0.75	0.23	0.7 / 0.7	0.52 / 0.52
Channel3 Eye Height (mV)	40	20.6	136 / 140	54.0 / 53.0
Channel3 Eye Width (UI)	0.75	0.21	0.7 / 0.7	0.47 / 0.47

En segundo lugar se obtiene teóricamente la eficiencia de potencia. Esto se evalúa por medio de la gráfica de BER vs SNR por bit, que se puede apreciar en la figura 4.19, estos se crearon utilizando un canal ideal AWGN, en otras palabras con únicamente ruido blanco incluido (para comparar exclusivamente los esquemas de modulación). El protocolo de comunicación de PCIe Gen6 tiene como requerimientos a un BER de 10^{-12} . En este caso los esquemas con mejor eficiencia de potencia son QPSK y NRZ; sin embargo el esquema QAM16 presenta la misma eficiencia de potencia que el esquema PAM4. Por lo cual QPSK y QAM16 cumplen con el requerimiento de ser igual de eficiente o mejores que PAM4.

Adicionalmente es importante considerar la densidad espectral de potencia que se obtiene al realizar la simulación de enlace completo de NRZ, PAM4, QPSK y QAM16. Estos resultados se pueden apreciar en la figura 4.20. Como se observa, el enlace con mejor aprovechamiento del espectro es QAM16. Este tiene una mejor relación señal a ruido, y a su vez un contenido espectral más comprimido que el resto. Por lo cual realiza un mejor uso del espectro en frecuencia y a su vez permite transmitir una alta cantidad de bits en el enlace de comunicación. Seguidamente QPSK y PAM4 tienen un aprovecha-

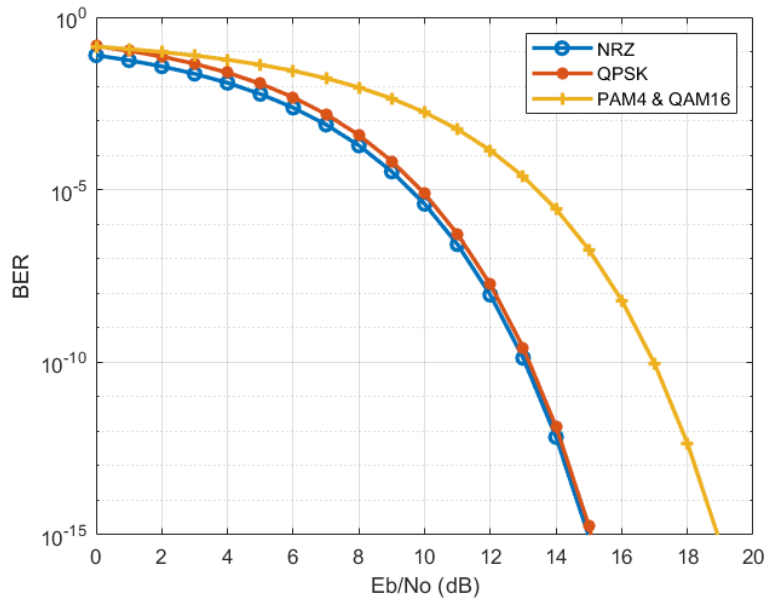


Figura 4.19: Resultados teóricos de nivel de BER vs relación señal a ruido por bit SNR por bit.

miento espectral muy similar con frecuencias de corte similares; y en el caso de NRZ, el aprovechamiento espectral es el peor de todos.

Cabe destacar que aunque QAM16 tiene mejor aprovechamiento del espectro, su relación señal a ruido debe mantener una proporción más alta que en los casos de NRZ, PAM4 y QPSK. Este aprovechamiento espectral descrito es solo potencial, por lo cual podría ser poco práctico. Una alternativa ante esto es aprovechar en múltiples bandas como OFDM, realizando una separación de canales en frecuencia; modular cada uno con QAM16 y obtener un mejor aprovechamiento real del ancho de banda del canal.

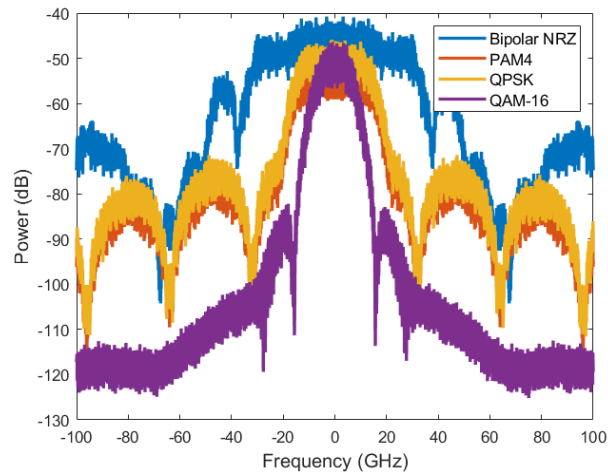


Figura 4.20: Densidad Espectral de Potencia para enlaces de comunicación en NRZ, PAM4, QPSK y QAM16, con su contenido centrado en Banda Base.

Seguidamente se evalúa la eficiencia espectral de los diferentes esquemas de modulación. Para ello se utiliza un análisis teórico de eficiencia de bit vs relación señal a ruido (SNR)

por bit. En la figura 4.21 se puede apreciar un análisis realizado con una probabilidad error fija de 10^{-5} . En la gráfica se observa el límite teórico de Shannon de capacidad de canal (el cual no puede ser alcanzado por ningún esquema real), y diferentes eficiencias espectrales de varios esquemas de modulación. Principalmente se observa que el esquema QAM16 y PAM4 presentan la misma eficiencia espectral de bits, con un valor de 4 (bits/s)/Hz que a su vez es mejor que PAM2 o NRZ y QPSK que presentan una eficiencia espectral de 2 (bits/s)/Hz. Sin embargo como se mencionó anteriormente la relación señal de ruido de ambos aumenta.

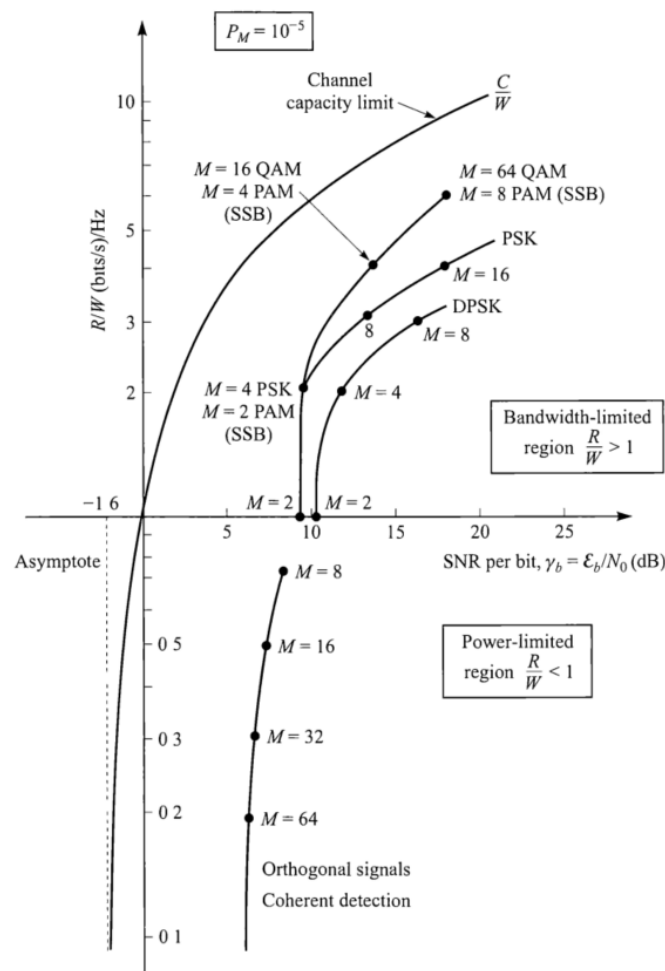


Figura 4.21: Eficiencia espectral teórica de diferentes esquemas de modulación. [23]

En resumen, se puede seleccionar el esquema de modulación de QAM16 como una mejora a PAM4. Debido a que presenta la misma eficiencia espectral y eficiencia de potencia que el mismo, pero los recursos que se requieren para compensar son menores. Principalmente la reducción del uso de FFE y DFE. Por lo cual el área de las secciones de SerDes podrían ser reducidos gracias a esto considerando los canales de PCIe Gen6 los cuales son dominados por pérdidas. Sin embargo, es importante explorar a futuro los impactos que el área y potencia podrían generar los circuitos necesarios para modular la señal a QAM16 lo cuales pueden aumentar la complejidad también de la implementación. Adicionalmente la implementación de enlace completo en PAM4 tiene alto consumo de potencia y requiere

una cantidad de área elevada; por lo cual, se ocupan realizar implementaciones en circuitos para comparar el área y el consumo neto entre un SerDes de PAM4 y uno de QAM16. Se recomienda evaluar estas soluciones es una simulación de circuito y una implementación final en un circuito integrado para contemplar estos últimos aspectos de área y potencia.

Finalmente una alternativa ante los esquemas de señalización anteriores, es la modulación OFDM. Esta solución es más compleja pero permite una mayor escalabilidad. En este documento no se profundizó una implementación en OFDM debido al tipo de multiplexación requerido; por lo cual no se pudo realizar una comparación directa con los casos anteriores. Además que PAM4 y QAM16 son soluciones actuales y posibles para el espacio de solución de PCIe Gen6. Como una futura implementación en una nueva generación como PCIe Gen7, OFDM puede ser una alternativa que aproveche las ventajas de la señalización en multibanda.

Capítulo 5

Conclusiones

En este trabajo se presentó una implementación para analizar comportamentalmente canales de comunicación serial eléctrico de alta velocidad. Este entorno propuesto se construyó para realizar una comparación de canales eléctricos con alto ISI, ante diferentes esquemas de señalización. Esta implementación fue desarrollada en Matlab y permite realizar una comparación entre esquemas de señalización en bandabase y pasabanda. Adicionalmente, no existe una herramienta similar que permita hacer esta comparación directa a nivel comportamental; por ende, este código puede ser utilizado para futuros análisis, desarrollos de arquitecturas de SerDes e influir sobre el tipo de circuito que se desea implementar.

Los esquemas de señalización en bandabase NRZ y PAM4 son los más utilizados en el mercado de circuitos eléctricos alambrados de alta velocidad. No obstante, en este trabajo se muestra que los esquemas de señalización de QPSK y QAM16 en bandabase permiten resolver también el aumento de tasa de transferencia de PCIe Gen6, obteniendo resultados similares o mejores que PAM4 ante las diferentes métricas exploradas en términos como tasa de transferencia de datos, eficiencia espectral, ancho de banda utilizado y eficiencia de potencia.

Como trabajo futuro, se recomienda explorar combinaciones de esquemas de modulación de alto orden como QAM16 con técnicas de separación en multibanda como OFDM; la cual permite obtener una mejor eficiencia espectral y escalar la tasa de transferencia de datos con menor riesgo ante un aumento significativo en las pérdidas por ISI del canal eléctrico. A futuro este tipo de análisis va a requerir profundizar a nivel de una simulación a nivel de circuitos y profundizar en las consideraciones para una implementación en un circuito integrado. Esta exploración se propone como mejora de este análisis para protocolos de comunicación como PCIe Gen7 en adelante.

Cabe destacar que estos resultados son parciales y es determinante continuar estas exploraciones a futuro y realizar evaluaciones en circuitos integrados e implementaciones finales. Adicionalmente combinar estos esquemas de modulación en pasabanda con alternativas multibanda como OFDM y realizar un mejor aprovechamiento del espectro. El

documento cumple con los alcances que se definieron y los resultados se comparten para ser aprovechados en investigaciones similares.

Para trabajos a futuro, se pone a disposición el repositorio con el código en Matlab creado, con la intención de que la exploración pueda ser extendida y mejorada a futuro. Este repositorio es accesible a través del siguiente enlace: https://github.com/juansoto49/BehavSim_SigScheme.git

Bibliografía

1. Kim, G. *Multi-Tone Signaling and ADC-Based Digital Receiver for High-Speed Wireline Serial Links* (École Polytechnique Fédérale de Lausanne, 2018).
2. (ITU), I. T. U. *Measuring the Information Society Report Volume 1 2018 ITU Publications Statistical reports* (2018).
3. Ajay Joshi Christopher Batten, V. S. y Asanovic, K. *Building manycore processor-to-DRAM networks using monolithic silicon photonics. High Performance Embedded Computing (HPEC) Workshop* (Masachusetts Institute of Technology y University of California, Berkeley, 2008).
4. Hilson, G. *Data Movement Depends on PCIe* 2021. <https://www.eetimes.com/data-movement-depends-on-pcie/>.
5. Debendra D. Sharma, A. K. *PCI Express Leads the Way in IoT Connectivity* 2021. <https://www.electronicdesign.com/technologies/iot/article/21171610/pcisig-pci-express-leads-the-way-in-iot-connectivity>.
6. Stojanovic, V. y Horowitz, M. *Modeling and analysis of high-speed links* en *Proceedings of the IEEE 2003 Custom Integrated Circuits Conference, 2003.* (2003), 589-594.
7. Zerbe, J. y col. *Equalization and clock recovery for a 2.5-10Gb/s 2-PAM/4-PAM backplane transceiver cell* en *2003 IEEE International Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC.* (2003), 80-479 vol.1.
8. Forum, T. O. I. *Implementation Agreement OIF-CEI-04.0 Common Electrical I/O (CEI) Optical Internetworking Forum-Clause 0 : Document Structure and Contents IA Title: Common Electrical I/O (CEI)-Electrical and Jitter Interoperability agreements for 6Gbps, 11Gbps, 25Gbps I/O and 56G+ bps IA # OIF-CEI-04.0* 2017. www.oiforum.com.
9. Zhang, G., Zhang, H., Asuncion, S. y Jiao, B. *A Tutorial on PAM4 Signaling for 56G Serial Link Applications* (DesignCon, 2017).
10. Hossain, M. *Recent trend in high-speed wireline link design.* <http://medcraveonline.com> (2017).
11. Carusone, T. C. *Introduction to Digital IO: Constraining IO Power Consumption in High-Performance Systems.* *IEEE Solid-State Circuits Magazine* **7**, 14-22 (2015).

12. Hall, S. y Heck, H. *Advanced Signal Integrity for High-Speed Digital Designs* (John Wiley y Sons Inc., 2009).
 13. Viqar, S. Ene. de 1970. <http://anengineerzdiary.blogspot.com/2014/01/baseband-transmission.html>.
 14. Khoury, J. M. y Lakshmikumar, K. R. High-speed serial transceivers for data communication systems. *IEEE Communications Magazine* **39**, 160-165. ISSN: 01636804 (2001).
 15. Palaniappan, A. y Palermo, S. A design methodology for power efficiency optimization of high-speed equalized-electrical I/O architectures. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* **21**, 1421-1431. ISSN: 10638210 (2013).
 16. Bhandal, A. S. y Young, B. Improving high-speed SerDes performance using passive microwave filters along package traces. *19th Topical Meeting on Electrical Performance of Electronic Packaging and Systems*, 241-244. <http://ieeexplore.ieee.org/document/5642588/> (2010).
 17. Kim, J. y col. A 16-to-40Gb/s quarter-rate NRZ/PAM4 dual-mode transmitter in 14nm CMOS. *Digest of Technical Papers - IEEE International Solid-State Circuits Conference* **58**, 60-61. ISSN: 01936530 (2015).
 18. Roshan-Zamir, A., Elhadidy, O., Yang, H.-W. y Palermo, S. *A 16/32 Gb/s Dual-Mode NRZ/PAM4 SerDes in 65nm CMOS en 2016 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)* (2016), 1-4.
 19. Bichan, M. y col. *A 32Gb/s NRZ 37dB SerDes in 10nm CMOS to Support PCI Express Gen 5 Protocol en 2020 IEEE Custom Integrated Circuits Conference (CICC)* (2020), 1-4.
 20. Wang, K., Gui, X., Yang, H., Li, D. y Geng, L. *A 112-Gb/s PAM-4 T/2-spaced 5-Tap FFE in 0.13- μ m BiCMOS en 2019 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA)* (2019), 96-97.
 21. Fiedler, A. y Krishnan, S. *A scalable 7.0-Gb/s multi-lane NRZ transceiver with a 1/10th-rate forwarded clock in 0.13 μ m CMOS en 2016 IEEE International Symposium on Circuits and Systems (ISCAS)* (2016), 2330-2333.
 22. Lee, J., Chiang, P. C., Peng, P. J., Chen, L. Y. y Weng, C. C. *Design of 56 Gb/s NRZ and PAM4 SerDes transceivers in CMOS technologies* sep. de 2015.
 23. Proakis, J. y Salehi, M. *Digital Communications* (McGraw-Hill Higher Education, 2008).
 24. Turker, D. y col. Design Techniques for 32.75Gb/s and 56Gb/s Wireline Transceivers in 16nm FinFET, 5-8. <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=%7B%5C%7Darnumber=8240462> (2017).
 25. Liu, H., Ding, L., Jin, J. y Zhou, J. *A Reconfigurable 28/56 Gb/s PAM4/NRZ Dual-mode SerDes with Hardware-reuse en 2018 IEEE International Symposium on Circuits and Systems (ISCAS)* (2018), 1-5.
-

26. Bassi, M., Radice, F., Bruccoleri, M., Erba, S. y Mazzanti, A. A High-Swing 45 Gb/s Hybrid Voltage and Current-Mode PAM-4 Transmitter in 28 nm CMOS FDSOI. *IEEE Journal of Solid-State Circuits* **51**, 2702-2715. ISSN: 00189200 (2016).
 27. Dmitriev-Zdorov, V. Accurate statistical analysis of high-speed links with PAM-4 modulation. *IEEE Electrical Performance of Electronic Packaging and Systems (EPEPS)*, 199-202. <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=7347161> (2015).
 28. Luo, D., Zhu, G. y Patrick Yue, C. *Electromagnetic interference related common mode noise analysis for NRZ/PAM-4 signals in wireline communication link en EDSSC 2017 - 13th IEEE International Conference on Electron Devices and Solid-State Circuits 2017-Janua* (2017), 1-2. ISBN: 9781538629079.
 29. Beyene, W. T. y Amirkhany, A. Controlled intersymbol interference design techniques of conventional interconnect systems for data rates beyond 20 Gbps. *IEEE Transactions on Advanced Packaging* **31**, 731-740. ISSN: 15213323 (2008).
 30. Yin, X. y col. 84 Gbit/s SiGe BiCMOS duobinary serial data link including Serialiser/Deserialiser (SERDES) and 5-tap FFE. *Electronics Letters* **51**, 343-345. ISSN: 0013-5194. <http://digital-library.theiet.org/content/journals/10.1049/el.2014.3817> (2015).
 31. Van Kerrebrouck, J. y col. NRZ, Duobinary, or PAM4?: Choosing Among High-Speed Electrical Interconnects. *IEEE Microwave Magazine* **20**, 24-35 (2019).
 32. Weber, C., He, J., Zhong, L. C. y January, H. L. Multiband architecture for high-speed SerDes. *DesignCon2011*, 1-13 (2011).
 33. Du, Y. y col. A 16-Gb/s 14.7-mW Tri-Band Cognitive Serial Link Transmitter with Forwarded Clock to Enable PAM-16/256-QAM and Channel Response Detection. *IEEE Journal of Solid-State Circuits* **52**, 1111-1122. ISSN: 00189200 (2017).
 34. Stojanovic, V. *High-Speed Serial Links: Design Trends and Challenges* Integrated Systems Group Massachusetts Institute of Technology. <https://pdfs.semanticscholar.org/e9db/7026944ee65977cd3f405f5b48a4c4c7424d.pdf> (2022).
 35. Horner, R. *Tech Design Forum: Tackling the design challenges of PCIe 5.0* February 27th, 2018. <https://www.techdesignforums.com/practice/technique/challenges-of-moving-to-pcie-5-0-designs/>.
-

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería Electrónica
Tesis de Maestría
Tribunal Evaluador

Tesis de maestría defendida ante el presente Tribunal Evaluador como requisito para optar por el grado académico de maestría, del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal

**Paniagua
Acuna, Luis
Carlos** Digitally signed by Paniagua
Acuna, Luis Carlos
Location: San José, Costa
Rica
Date: 2022.06.17 15:06:
43-06'00'

Msc. Luis Carlos Paniagua Acuña
Profesor Lector

**JUAN JOSE
MONTERO
RODRIGUEZ (FIRMA)** Digitally signed by JUAN JOSE
MONTERO RODRIGUEZ (FIRMA)
Date: 2022.06.16 11:47:34
-06'00'

Dr. Juan José Montero Rodríguez
Profesor Lector

**JUAN CARLOS
ROJAS FERNANDEZ
(FIRMA)** Digitally signed by JUAN
CARLOS ROJAS FERNANDEZ
(FIRMA)
Date: 2022.06.16 12:55:14 -06'00'

Dr. Juan Carlos Rojas Fernández
Profesor Lector

**RENATO RIMOLO
DONADIO (FIRMA)** Firmado digitalmente por
RENATO RIMOLO DONADIO
(FIRMA)
Fecha: 2022.06.15 22:04:09 -06'00'

Dr. Ing. Renato Rímolo Donadio
Profesor Asesor

Los miembros de este Tribunal dan fe de que la presente tesis de maestría ha sido aprobada y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica.

Alajuela, 15 de junio de 2022