

INSTITUTO TECNOLÓGICO DE COSTA RICA

ESCUELA DE INGENIERÍA ELECTRÓNICA



**Evaluación del uso de cadenas de escaneo
basadas en latches pulsados y relojes
autogenerados en el proceso de prueba de
circuitos integrados digitales**



para optar por el título de

Master en Ing. Electrónica con Énfasis en Microelectrónica

Bernardo Emilio Rodríguez Hall

Cartago, Costa Rica

14 de febrero de 2023

This document is under the CC-BY-SA 4.0 International license  

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería en Electrónica
Maestría Académica en Electrónica
Trabajo Final de Graduación
Tribunal Evaluador
Acta de Aprobación de Tesis

Defensa del Trabajo Final de Graduación
Requisito para optar por el título de Máster en Ingeniería Electrónica
Grado Académico de Magister Scientiae

El Tribunal Evaluador aprueba la defensa del Trabajo Final de Graduación denominado “Evaluación del uso de cadenas de escaneo basadas en latches pulsados y relojes autogenerados en el proceso de prueba de circuitos integrados digitales”, realizado por Bernardo Emilio Rodríguez Hall Carné: 2013015419, y hace constar que cumple con las normas establecidas por la Unidad Interna de Posgrados de la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal Evaluador

Dr. Ing. Juan José Montero Rodríguez
Profesor Lector

M.Sc. Ing. Roberto Molina Robles
Profesor Lector

Dr. Ing. Pablo Mendoza Ponce
Evaluador Independiente

Dr. Ing. Ronny Garcia Ramirez
Director de Tesis

Cartago, 14 de febrero de 2023

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería Electrónica
Maestría Académica en Electrónica
Trabajo Final de Graduación
Tribunal Evaluador
Acta de Aprobación de Tesis

Defensa del Trabajo Final de Graduación
Requisito para optar por el título de Máster en Ingeniería Electrónica
Grado Académico de Magister Scientiae

El Tribunal Evaluador aprueba la defensa del Trabajo Final de Graduación denominado “Evaluación del uso de cadenas de escaneo basadas en latches pulsados y relojes autogenerados en el proceso de prueba de circuitos integrados digitales”, realizado por Bernardo Emilio Rodríguez Hall Carné: 2013015419, y hace constar que cumple con las normas establecidas por la Unidad Interna de Posgrados de la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal Evaluador

JUAN JOSE
MONTERO
RODRIGUEZ (FIRMA)

Digitally signed by JUAN JOSE
MONTERO RODRIGUEZ (FIRMA)
Date: 2023.01.31 14:29:25
-06'00'

Dr. Ing. Juan José Montero Rodríguez
Profesor Lector

PABLO DANIEL
MENDOZA PONCE
(FIRMA)

Firmado digitalmente por PABLO
DANIEL MENDOZA PONCE (FIRMA)
Fecha: 2023.01.31 14:38:16 -06'00'

Dr. Ing. Pablo Mendoza Ponce
Evaluador Independiente

ROBERTO
CARLOS MOLINA
ROBLES (FIRMA)

Digitally signed by ROBERTO
CARLOS MOLINA ROBLES
(FIRMA)
Date: 2023.01.31 16:59:40
-06'00'

M.Sc. Ing. Roberto Molina Robles
Profesor Lector

Firmado por RONNY GIOVANNI GARCIA RAMIREZ (FIRMA)
PERSONA FISICA, CPF-01-1137-0229.
Fecha declarada: 10/02/2023 12:54 PM
Esta representación visual no es fuente
de confianza. Valide siempre la firma.

Dr. Ing. Ronny Garcia Ramirez
Director del Tesis

Cartago, 30 de enero 2023

Resumen El tipo de prueba durante el desplazamiento de las cadenas de escaneo es por definición es destructiva. Esta consiste en que una vez el diseño se encuentre en un cierto estado funcional de interés y se quieran observar los valores en sus registros internos, al desplazar las cadenas este estado en los registros es consecuentemente perdido y no es posible restablecer la prueba. Este trabajo de investigación propone un acercamiento alternativo en donde se utiliza una celda de escaneo de tipo *clocked scan* propuesta que evita esta pérdida del estado durante el desplazamiento. A diferencia de otros acercamientos, se utiliza una celda con latches pulsados en su entrada de reloj para escaneo en conjunto con una metodología de señal de reloj auto-generada. Esto permite evitar una completa síntesis del árbol de reloj y las alta demanda de corriente presente durante las condiciones anormales que supone un desplazamiento simultaneo de los registros en el acercamiento de diseño de escaneo convencional. La metodología propuesta logra ser alrededor de 47% más eficiente en términos de consumo de potencia dinámica durante el desplazamiento de datos contra su contraparte tipo shadow, al mismo tiempo manteniendo un incremento del 9% en el área del diseño contra el diseño base utilizado sin diseño de escaneo.

Palabras clave: Diseño de scaneo, reloj auto-generado, latch pulsado, clocked scan.

Abstract The type of testing during the shifting of scan chains is by default destructive. Once the design is in a specific functional state of interest and it's desired to observe the state of their internal registers. When the shifting process starts the states of the registers are lost and is not possible to reestablish these states. This investigation proposes an alternative approach using a scan cell of type clocked scan, this cell avoids the loss of information during the shifting process. Compared with other approaches, we use a cell with pulsed latches for the scan clock input altogether with an auto-generated clock methodology. This enables us to prevent a complete clock tree synthesis and the high current draw of the special circumstances of the registers in a conventional full scan design. The proposed methodology achieved saving around 47% of dynamic power during the shifting process compared to the shadow scan cell implemented, at the same time keeping the same 9% area increase.

Palabras clave: Scan design, auto-generated clock, pulsed latch, clocked scan.

ÍNDICE GENERAL

1. Introducción	1
1.1. Objetivos General	2
1.1.1. Objetivos específicos	2
2. Estudio bibliográfico	3
2.1. Técnicas de DFT	3
2.1.1. Reglas de diseño para cadenas de escaneo	3
2.1.2. Tipos de celdas de escaneo	5
2.1.3. Configuración y desplazamiento de cadenas de escaneo	10
2.1.4. Temporizado y potencia en diseños con cadenas de escaneo	12
2.2. Desventaja destructiva en cadenas de escaneo	14
2.3. Cadenas de escaneo con latches pulsados	15
3. Metodología	24
3.1. Marco de trabajo para síntesis	24
3.2. Flujos de diseño y caracterización	25
3.3. Evaluación de implementaciones	26
4. Desarrollo	28
4.1. SIWA con cadenas de escaneo	28
4.2. SIWA con cadenas de escaneo tipo shadow	33
4.3. SIWA con cadenas de escaneo usando latches pulsados	37
5. Análisis de resultados	46

6. Conclusiones	50
7. Trabajo futuro	51

ÍNDICE DE FIGURAS

2.1. Diagrama de celda de escaneo muxed-D activada por flanco (topología de celda mas utilizada en la industria) [1]	5
2.2. Diagrama de celda de escaneo muxed-D sensible a nivel y a flanco de reloj [1](variación de celda tipo muxed-D <i>level-sensitive/edge-triggered muxed-D</i>).	6
2.3. Diagrama a nivel de compuerta de celda de escaneo de LSSD [1] (Celda de escaneo sensitiva a nivel de reloj).	6
2.4. Diagrama esquemático de celda tipo clocked-scan [1] (Estructura similar a celda D-muxed con entrada adicional de reloj para escaneo).	7
2.5. Diagrama de transistor de celda de escaneo tipo clocked-scan [2] (Estructura capaz de retener solo uno de los datos de entrada).	8
2.6. Diagrama esquemático de celda tipo shadow [3] (Topológica con 2 registros y un multiplexor que posee observabilidad destructiva).	9
2.7. Ejemplo de interconexión de cadena de escaneo en diseño [1] (Nótese la estructura de la cadena entre los puertos designados para el escaneo).	10
2.8. Forma de onda de prueba con escaneo con método LOS [4] (Cabe recalcar que la captura ocurre a la frecuencia funcional).	11
2.9. Forma de onda de prueba con escaneo con método LOC [4](Cabe recalcar que la captura ocurre a una frecuencia más lenta que la funcional).	12
2.10. Diagrama de interconexión de cadena de escaneo tipo shadow [5](Obtención de observabilidad no destructiva por medio de la señal de muestreo).	15
2.11. Diagrama de bloques de latch pulsado [6].Cabe recalcar que lo que convierte un latch a un latch pulsado es su metodología de secuenciación basada en pulsos.	16
2.12. Diagrama de circuito generador de pulsos [6] (Obsérvese la diferencia de cantidad de lógica en las entradas de la compuerta AND que da a lugar al desfase del reloj).	16
2.13. Forma de onda de señales de generador de pulsos [6] (Obsérvese el pulso de salida es determinado por el traslape de las ondas de entrada).	16

2.14. Diagrama a nivel de compuerta de ejemplo de circuito de latch [6] (Este es solo un ejemplo de una topología de latch para discusión).	17
2.15. Diagrama a nivel de compuerta de ejemplo de latch pulsado de escaneo [6] (Este es solo un ejemplo de una topología de latch con entradas de escaneo para discusión).	18
2.16. Diagrama de registro de desplazamiento con latches pulsados y gráfico de temporizado [7]. Nótese el problema de secuenciación con la configuración de latches.	18
2.17. Diagrama de registro de desplazamiento conformado por latches pulsados y su gráfico de temporizado [7]. Nótese la posible solución al problema de secuenciación usando retardos entre latches.	19
2.18. Diagrama de cadena de escaneo de latches pulsados con pulsos de reloj retrasados [7]. Nótese la posible solución al problema de secuenciación usando retardos entre latches en la red de reloj.	20
2.19. Diagrama de subdivisión de registros de desplazamiento con latches y su generador de pulsos múltiples [7]. Obsérvese la estructura de red de reloj compartida entre segmentos del registro de desplazamiento.	21
2.20. Formas de onda de secuenciación de datos y reloj de registro de desplazamiento con latches segmentado [7]. Obsérvese la secuenciación paralela entre segmentos del registro de desplazamiento.	22
2.21. Diagrama de estructura de opción de generador de pulsos de reloj [7].	23
2.22. Período mínimo requerido según número de elementos en el registro de desplazamiento con latches pulsados. [7]. Obsérvese que el periodo mínimo es una función del numero de elementos.	23
3.1. Diagrama de flujo de entradas y salida para generación de síntesis. (Se desea un solo flujo unificado que genere la síntesis de los diseños)	25
3.2. Diagrama de marco de trabajo de síntesis. Nótese que todas la primeras vistas son generadas desde Custom Compiler y luego absorbidas por otras herramientas para generar las vistas final para síntesis.	26
3.3. Diagrama esquemático de celda de escaneo alternativa propuesta a implementar (Topología conformada por flip flop, latch y multiplexor para solucionar la observabilidad destructiva).	27

4.1. Diagrama de bloques de jerarquía mas alta del SIWA (El módulo gris corresponde a los pads y el módulo verde corresponde a la lógica funcional).	28
4.2. RTL de banco para generación de registros con lógica de activación. Obsérvese que la señal de reloj clk no alcanza de manera directa los registros.	29
4.3. RTL de flip flop triestado propuesto amigable para diseños con escaneo estructurado (Con esta descripción al poseer entrada de reloj directa a los registros permite la controlabilidad de los mismos).	30
4.4. Nueva descripción de RTL de banco de registros con señal de reloj amigable con el diseño de escaneo estructurado. Obsérvese que la señal de reloj clk ahora alcanza de manera directa los registros en su nueva descripción.	30
4.5. Simulación de prueba de escritura y lectura de banco de registro con latches. Obsérvese, una vez ocurre el proceso de escritura, más adelante en el tiempo se leen los mismos registros para validar su funcionamiento.	31
4.6. Simulación de prueba de lectura de banco de registro con flip flop propuesto. Obsérvese que en el mismo momento de lectura bajo la misma simulación se obtiene la misma respuesta, validando el funcionamiento luego de la modificación.	31
4.7. Simulación funcional de ejemplo post síntesis de RTL original. Se muestra cierto momento en el tiempo de la simulación para tener una referencia funcional.	32
4.8. Simulación de cadena de escaneo post síntesis con celda SDFRQHDLX0. Nótese que el patrón de entrada en el puerto SI se ve luego reflejado en el puerto de salida SO.	32
4.9. Diagrama esquemático de referencia de celda de escaneo tipo shadow [3]. Esta topología en especial no permite un desplazamiento sin la desventaja destructiva.	33

4.10. Diagrama esquemático de celda de escaneo tipo shadow a implementar. Esta topología posee una modificación que permite un desplazamiento sin la desventaja destructiva.	34
4.11. Diagrama de topología de circuito de celda de escaneo tipo shadow a implementar. La topología mostrada se basa únicamente en inversores triestado e inversores para los elementos de almacenamiento.	35
4.12. Simulación funcional de celda de escaneo tipo shadow. Se observa que tanto la señal Q y SO siguen el valor de la entrada DI como es esperado.	35
4.13. Simulación de funcionalidad de escaneo de celda tipo shadow. Se observa que durante el momento que la señal SE adquiere el valor de 1, la salida SO sigue el valor en la entrada SI.	36
4.14. Trazado de celda de escaneo tipo shadow. Cabe recalcar que la altura de este trazado es el mismo que las celdas estándar de la biblioteca.	36
4.15. Diagrama de circuito de latch pulsado con escaneo propuesto. (Topología conformada por flip flop, latch y multiplexor para solucionar la observabilidad destructiva).	37
4.16. Diagrama de compuertas de circuito generador de pulsos [6]. Esta es la topología final usada para implementar el bloque generador de pulsos.	37
4.17. Diagrama ejemplo de celda FF-PSL con reloj auto generado integrada en diseño. Obsérvese la estructura final de la cadena implementada sobre un diseño.	38
4.18. Diagrama de topología de circuito de celda FF-PSL. La topología mostrada se basa únicamente en inversores triestado e inversores para los elementos de almacenamiento y el multiplexor.	39

4.19. Simulación de funcionalidad de celda FF-PSL. Nótese que en un inicio la celda se encuentra operando de manera funcional y luego ante los pulsos de la señal SCK almacena los valores de la entrada SI.	39
4.20. Simulación para dimensionamiento de inversores de generador de pulsos (Se muestra en la salida para el caso de la transición de 1 a 0).	40
4.21. Simulación para dimensionamiento de inversores de generador de pulsos (Se muestra en la salida para el caso de la transición de 0 a 1).	40
4.22. Trazado de celda generador de pulsos. Obsérvese que el largo del canal de los inversores es mayor comparado con la compuerta AND.	41
4.23. Trazado de celda FF-PSL. Se aprecia que en sus dimensiones esta celda es notablemente más pequeña en comparación contra su versión tipo shadow.	41
4.24. Diagrama de construcción de hilado de la cadena. Obsérvese que la cadena es construida en segmentos y luego los segmentos son interconectados.	42
4.25. Diagrama esquemático post síntesis del segmento final de cadena. Obsérvese que se toman los últimos 3 elementos de la cadena para mostrar y verificar la integridad luego de la síntesis.	43
4.26. Red de pulsos de cadena de escaneo post síntesis con celda FF-PSL, en donde se nota que los pulsos se ven afectados por la red de retado de reloj.	44
4.27. Desplazamiento de patrón de entrada de cadena de escaneo post síntesis con celda FF-PSL. Acá es visible que el patrón se ve afectado por la secuencia latch a latch.	44

ÍNDICE DE TABLAS

2.1.	Reglas de diseño recomendadas para evitar problemas en la implementación de cadenas de escaneo en circuitos integrados[1].	4
2.2.	Comparación de número de puertos adicionales que conllevan las celdas de escaneo y su condición ante la desventaja destructiva.	9
5.1.	Resultados obtenidos de área y cantidad de lógica de síntesis de las diferentes implementaciones del SIWA. Nótese que el área total del diseño crece de manera similar luego de la transformación.	46
5.2.	Resultados obtenidos de potencia de simulación funcional de las diferentes implementaciones del SIWA. Obsérvese que la celda FF-PSL posee cierta ganancia en consumo de potencia incluso en la prueba funcional.	46
5.3.	Resultados obtenidos de potencia de simulación de cadena de las diferentes versiones del SIWA con escaneo. Obsérvese que la celda FF-PSL posee gran ganancia en consumo de potencia en la prueba de desplazamiento.	47
5.4.	Resultados obtenidos de área, largo y tiempos de transición de las diferentes celdas de escaneo. Obsérvese que la celda más lenta es la celda FF-PSL y la más rápida es la celda de la biblioteca SDFRQHDLX0.	47
5.5.	Área de diferentes celdas de escaneo en la literatura en el nodo de 180 nm. Obsérvese que hay una versión de celda de tipo muxed-D bastante similar en área a las usadas.	49

1 Introducción

La prueba y comprobación de los circuitos integrados se desarrolló en un área conocida como diseño para comprobación, DFT (*Design For Testability*). Esta se centra específicamente en facilitar el proceso de verificación de circuitos integrados por medio de la incorporación de lógica especial, para estimular y observar los resultados de estas pruebas internamente en el diseño.

El acercamiento de DFT estructurado intenta mejorar la capacidad del diseño para ser probado. Las cadenas de escaneo en el DFT estructurado es la metodología más utilizada hoy en día en la industria [1] y su fin es mejorar concretamente la controlabilidad y la observabilidad de los elementos de almacenamiento del diseño. Esto se logra cambiando los registros a celdas de escaneo con entradas de datos adicionales y señales de control especiales. Estas celdas se interconectan entre sí formando un registro de desplazamiento que posee un puerto de entrada y de salida al nivel del chip. Esta configuración permite ejecutar un gran número de pruebas y obtener sus resultados desde estos puertos.

Entre las técnicas de DFT más conocidas se encuentran: el acercamiento *Ad Hoc* o a la medida, el cual inserta cierta lógica que permite muestrear ciertos volares lógicos internos importantes. Otro de los acercamientos es el escaneo de tipo estructurado, el cual intercambia los elementos de almacenamiento por celdas especiales, entre estas se tienen: celda de escaneo *Muxed-D*, *Clocked scan* y *Level sensitive scan design* (LSSD), las cuales se mencionarán con mayor detalle más adelante.

Durante una prueba funcional, se tiene la posibilidad de detener la ejecución y tomar el estado de los registros y desplazarlos en la cadena para un análisis externo. Alternativamente, si se deseara poder reanudar la ejecución, esto sería imposible ya que no habría manera de recuperar el estado en los registros, a esa situación se le conoce como la desventaja o observabilidad destructiva de las cadenas de escaneo.

Este proyecto busca la implementación de cadenas de escaneo construidas a partir de una celda alternativa especial de escaneo de tipo *clocked-scan*, la cual permite evitar la desventaja destructiva. Se propone una celda que aproveche la funcionalidad de los latches pulsados y use una metodología de reloj auto generado que evite una síntesis de árbol de reloj para su señal de reloj. Esto con el fin de comprobar que la propuesta puede tener un menor consumo de potencia al usar latches y esta metodología de generación de reloj durante el desplazamiento comparado contra su versión tipo shadow, que también permite evitar la desventaja destructiva. Y es de gran interés ya que durante el desplazamiento de datos en la cadena, los diseños se ven forzados a un estado de mayor conmutación por ciclo de reloj, dando a lugar a problemáticas como caídas de tensión en sus rieles de alimentación y consecuentemente la creación de glitches y fallas durante la captura de datos. Lo cual se logra al usar un registro de desplazamiento conformado por latches e ir realizando las transiciones en la cadena uno a la vez, en lugar de usar flip flops.

El presente documento está estructurado de la siguiente manera: en la sección 2 se discute sobre varios temas en la bibliografía para el desarrollo del trabajo, en la sección 3 se presenta la solución y los pasos a realizar, la sección 4 se presenta el desarrollo, en la sección 5 se muestran los resultados obtenidos y su análisis, la sección 6 presentan las conclusiones y finalmente la sección 7 el trabajo futuro.

1.1. *Objetivos General*

Evaluar el rendimiento área-potencia-velocidad de una celda de escaneo alternativa tipo *clocked scan* personalizada que utilice latches pulsados para su entrada de datos de escaneo y una metodología de reloj auto generado para su señal de reloj, que pueda ser capaz de usarse en cadenas de escaneo como parte del flujo de diseño de circuitos integrados.

1.1.1. *Objetivos específicos*

1. Generar una referencia con una versión del SIWA modificado con diseño de escaneo que utilice celdas propias de las biblioteca estándar para síntesis proporcionadas.
2. Realizar el proceso de caracterización de la celda de escaneo implementada con latches pulsados, de tal forma que las herramientas de síntesis lógica puedan sintetizarla en un diseño.
3. Integrar la celda alternativa de tipo *clocked scan* con latches pulsados, que utilice una metodología de reloj auto generado que sea capaz de usarse en un diseño.
4. Comparar la implementación de latches pulsados contra las implementaciones equivalentes usando celdas tradicionales que contengan flip flops tipo shadow.

2 Estudio bibliográfico

2.1. Técnicas de DFT

Cuando los sistemas digitales pequeños eran más comunes, las técnicas de comprobación eran aplicadas y usadas para verificar la funcionalidad y la confiabilidad de estos sistemas, sobre todo en el rango de operaciones funcionales. Conforme la complejidad del diseño aumenta, el tiempo requerido para la comprobación hace imposible la validación completa lo que consecuentemente en términos de costos estaba convirtiéndose en un factor de mayor importancia para el valor total del producto [8, 9].

DFT introdujo nuevos costos en el desarrollo de circuitos, sin embargo, también propuso una solución hacia la disminución del costo total de la fabricación del producto y las técnicas de DFT se convirtieron en una parte esencial de cualquier proceso de diseño. Dentro de los mayores cambios de las técnicas de DFT se encuentran:

- La adición de nuevos puertos extra no funcionales y el área en el chip para el proceso de pruebas.
- Costo en el desempeño debido a la reducción de frecuencia de reloj del sistema por el incremento de longitud en los caminos lógicos [10].
- Tiempos de diseño para la inserción de la arquitectura de comprobación, más el tiempo necesario para verificar que la funcionalidad no fue modificada por las nuevas estructuras.

Adicionalmente deben seguirse un grupo de reglas de diseño con tal de poder controlar las cadenas adecuadamente, algunas de esas reglas se presentan a continuación:

2.1.1. Reglas de diseño para cadenas de escaneo

De manera que se pueda integrar cadenas de escaneo en un diseño, este debe cumplir con distintas reglas [11]. Además, ciertos estilos de diseño deben ser evitados, ya que estos suponen una limitación a la cobertura de fallas que puede lograrse. Se presentan varias de estas reglas en la tabla 2.1.

Tabla 2.1: Reglas de diseño recomendadas para evitar problemas en la implementación de cadenas de escaneo en circuitos integrados[1].

Estilo de diseño	Regla de diseño	Solución Recomendada
Buses triestado	Evitar durante desplazamiento	Arreglar contención de bus durante desplazamiento
Puertos bidireccionales I/O	Evitar durante desplazamiento	Forzar a entrada o salida
<i>Gated clocks</i>	Evitar durante desplazamiento	Habilitar compuertas
Relojes derivados	Evitar	Saltar dominio de reloj
Lazos realimentados combinacionales	Evitar	Romper lazos
Señales de reset y set asíncronas	Evitar	Usar pines externos
Relojes manejando datos	Evitar	Bloquear reloj parte del dato
Buses flotantes	Evitar	Agregar seguros al bus
Entradas flotantes	No recomendado	Conectar a tierra o alimentación
Elementos de almacenamiento no escaneables	No recomendado	Inicializar en estados conocidos

Una contención en un bus ocurre cuando dos o más compuertas que manejan el bus, fuerzan valores lógicos contrarios sobre la misma interconexión, lo cual puede dañar el cableado. La contención del bus es diseñada para que no se dé durante la operación normal, y es típicamente evitada durante la etapa de captura, por lo que es requerido generar secuencia de prueba que garantice que solo una de las compuerta tenga acceso al bus.

En el caso de puertos bidireccionales de entrada/salida que son usados debido a su ventaja de incrementar el ancho de banda en transferencias de información. Durante las operaciones de captura, usualmente este tipo de puerto se establece como entrada o salida, sin embargo, podrían darse conflictos durante las operaciones de desplazamiento, ya que alguna celda de escaneo podría ser la que determina si este de funciona como entrada o salida.

Un reloj derivado es una señal de reloj generada internamente desde un elemento de almacenamiento o generador de reloj, como un PLL, divisores de frecuencia o generador de pulsos. Como los relojes derivados no son directamente controlables desde las entradas primarias, de manera que la lógica que manejan estos relojes pueda ser probada, estas señales de reloj deben “saltarse” durante todo el proceso de pruebas.

Para casos donde existan celdas de escaneo con señales de reset que no son directamente

alcanzables desde entradas primarias, se va a incurrir en el incorrecto desplazamiento sobre las cadenas. Para evitar este problema se requiere que estas señales se encuentren en un estado inactivo durante la operación de desplazamiento.

2.1.2. Tipos de celdas de escaneo

Para lograr la implementación de un circuito con escaneo, este requiere modificaciones importantes. Este proceso se realiza automáticamente con el uso de herramientas de software y se implementa reemplazando los elementos de almacenamiento en el diseño.

El elemento de almacenamiento en diseños secuenciados más usado es el flip flop tipo D. Su función básica es pasar el valor lógico desde sus entradas hasta sus salidas cuando se da el flanco de reloj correcto. La celda de reemplazo de escaneo más usada para estos elementos corresponde a la celda *muxed-D*. La figura 2.1 muestra la estructura interna de esta celda de escaneo.

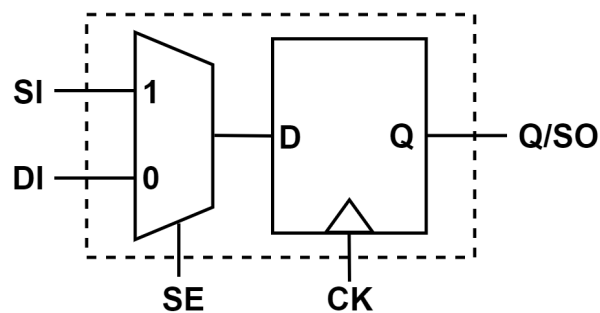


Figura 2.1: Diagrama de celda de escaneo muxed-D activada por flanco (topología de celda mas utilizada en la industria) [1] .

La celda está compuesta por un flip flop D y un multiplexor, donde este multiplexor usa la señal de entrada *scan enable* (SE) para seleccionar entre la señal de entrada *data input* (DI) y *scan input* (SI). En el modo captura la entrada SE se encuentra en 0, esto permite al valor presente en la entrada DI ser capturado en el flip flop D interno cuando se da un flanco de reloj. En modo desplazamiento, la entrada SE posee el valor de 1 y la entrada SI es ahora usada para desplazar nuevos datos hacia el flip flop D.

Existe una variación de la celda anterior llamada *level-sensitive/edge-triggered muxed-D* (LS/ET muxed-D) (figura 2.2), que puede ser utilizada para reemplazar latches en un diseño con escaneo. Se conforma de un multiplexor, un latch tipo D y un flip flop tipo D. Nuevamente, el multiplexor usa la señal SE para seleccionar entre las entradas SI y DI; sin embargo, en este caso, la operación de desplazamiento es manejada por flancos de reloj mientras que el modo funcional y de captura respecto al nivel de la señal de reloj.

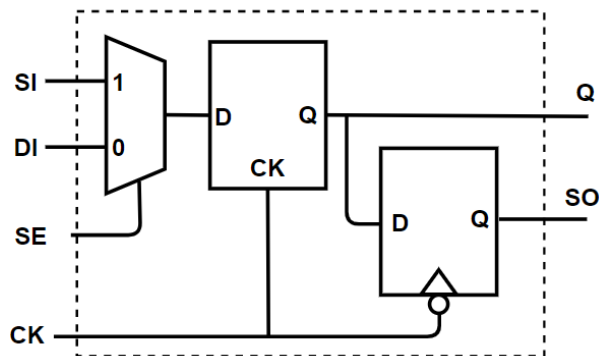


Figura 2.2: Diagrama de celda de escaneo muxed-D sensible a nivel y a flanco de reloj [1](variación de celda tipo muxed-D *level-sensitive/edge-triggered muxed-D*).

Para estilos de diseño donde la secuenciación es realizada con latches, es posible hacer diseño de escaneo estructurado por medio de la técnica llamada *level sensitive scan design* (LSSD). La figura 2.3 muestra un *shift register latch* (SRL) descrito en [5] que puede ser utilizado para una celda de escaneo tipo LSSD. Esta celda en especial contiene dos latches, un latch maestro con salida L1 y un esclavo con salida L2. Las señales de reloj A, B y C determinan la selección entre la entrada de dato D y la entrada de scan I. En un diseño de tipo LSSD, cualquier señal de salida L1 o L2 puede ser usada para cargar la lógica combinacional de salida.

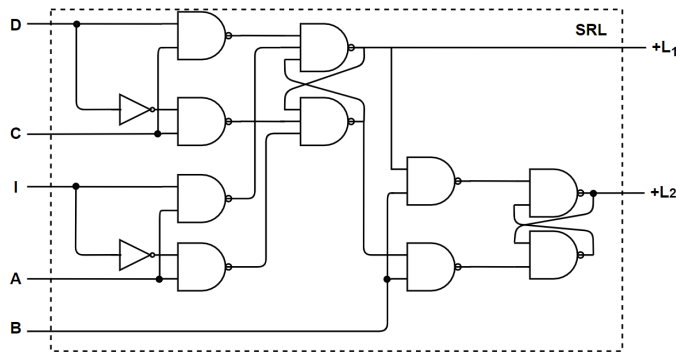


Figura 2.3: Diagrama a nivel de compuerta de celda de escaneo de LSSD [1] (Celda de escaneo sensitiva a nivel de reloj).

Otra celda de las usadas para sustituir los registros comunes en un diseño son las de tipo *clocked-scan*, esta arquitectura al igual que la muxed-d también cuenta con su entrada de datos DI y su entrada de escaneo SI. Sin embargo, la selección de la entrada se realiza mediante el uso de dos señales de reloj independientes, reloj de datos (DCK) y reloj de desplazamiento (SCK), como se muestra en la figura 2.4.

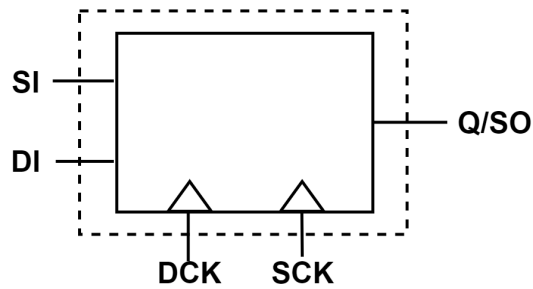


Figura 2.4: Diagrama esquemático de celda tipo clocked-scan [1] (Estructura similar a celda D-muxed con entrada adicional de reloj para escaneo).

Durante el modo funcional del circuito, el reloj de datos es usado para capturar el valor presente en la entrada de datos DI y durante el modo de desplazamiento el reloj de desplazamiento SCK es usado para capturar los valores desde la entrada hacia las siguientes celdas. Al igual que la celda muxed-d también puede usarse en diseños basados en latches. En la figura 2.5 se muestra a manera de ejemplo una posible implementación del diagrama a nivel de transistor de esta celda. Cabe recalcar que esta posee una salida separada de datos para escaneo, también es notable que debido a la configuración de transistores, la celda es únicamente capaz de retener solo una de sus señales de entrada (DI-SI). Además, si por alguna razón se propaga ruido por la línea de reloj es posible que se pierda el contenido de la celda, ya que el circuito de contención es compartido.

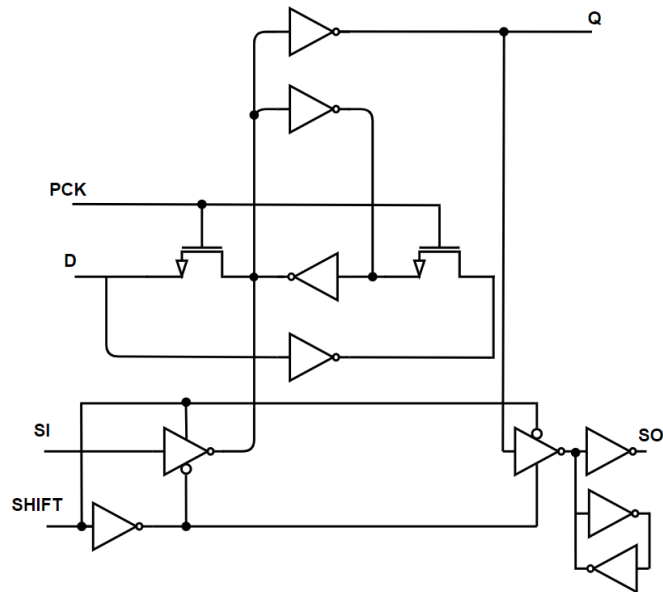


Figura 2.5: Diagrama de transistor de celda de escaneo tipo clocked-scan [2] (Estructura capaz de retener solo uno de los datos de entrada).

Otra alternativa para el tipo de celdas usada en los diseños con escaneo es el registro tipo shadow. Esta celda duplica los registros, usando así uno de estos para operaciones normales del circuito mientras que el otro se utiliza únicamente para intenciones de pruebas. Este tipo de celdas reduce el tiempo de prueba trasladando el tiempo de preparación de los datos para pruebas y la recolección de respuestas con la operación funcional del circuito [12], con el costo adicional que supone agregar un registro más, conexiones extra en la red de reloj y caminos de datos, más registros conmutando y el costo de área adicional que este conlleva.

Una de las mayores ventajas que posee este tipo de celda es su posibilidad de poder desplazar la cadena sin perder la información del registro funcional dependiendo de su arquitectura, esto permite continuar la prueba en ejecución. La figura 2.6 muestra un ejemplo de la estructura de este tipo de celda.

Según la tabla comparativa 2.2, el número de puertos extra que agrega cada tipo celdas es semejantes, siendo la celda tipo LSSD la que agrega un puerto adicional en comparación con las otras celdas. La única de las celdas que permite evitar la desventaja destructiva es la celda tipo shadow. Esta característica es pagada con área, ya que la celda tipo shadow requiere un registro adicional para lograr esto. Las demás celdas están compuestas por algún tipo de lógica de multiplexación, ya sea con la señal de selección o con una señal de reloj extra para escoger entre el dato funcional y el de escaneo y uno o más elementos de almacenamiento, ya sea un registro y un latch o varios latches.

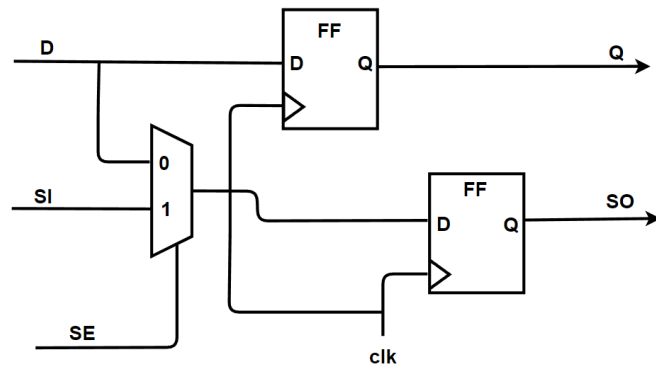


Figura 2.6: Diagrama esquemático de celda tipo shadow [3] (Topológica con 2 registros y un multiplexor que posee observabilidad destructiva).

Tabla 2.2: Comparación de número de puertos adicionales que conllevan las celdas de escaneo y su condición ante la desventaja destructiva.

Celda	Número de puertos adicionales	Desventaja destructiva
Muxed-D	3	si
LS/ET muxed-D	3	si
LSSD	4	si
Clocked-scan	3	si
Shadow	3	no

2.1.3. Configuración y desplazamiento de cadenas de escaneo

Las celdas de escaneo están conectadas de tal manera que se forma un registro de desplazamiento por medio la interconexión del pin de salida *scan output* (SO) con el pin de entrada SI de la siguiente celda, creando una cadena conformada únicamente por este tipo de elementos. Esta cadena es accesible desde uno de los puertos de entrada principales del dispositivo a través del primer pin SI de la primera celda de la cadena y uno de los puertos de salida principales a través del pin de salida SO de la última celda que conforma la cadena. Un ejemplo de como se interconectan las cadenas de escaneo en un diseño se muestra en la figura 2.7.

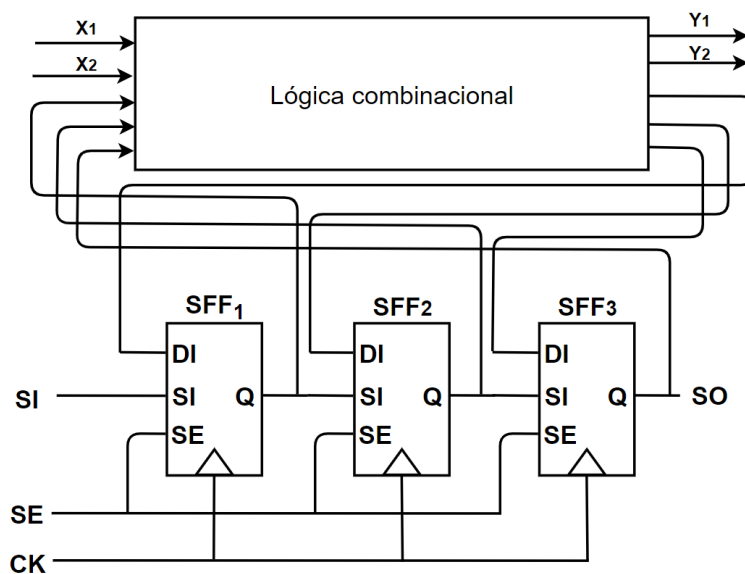


Figura 2.7: Ejemplo de interconexión de cadena de escaneo en diseño [1] (Nótese la estructura de la cadena entre los puertos designados para el escaneo).

El diseño con escaneo se convirtió en uno de los métodos más usados para comprobación, ya que este reduce el problema de comprobar la lógica secuencial, simplificándolo en un problema más sencillo, como lo son las pruebas sobre lógica únicamente combinacional [1]. Esto gracias al fácil acceso de cualquiera de los elementos de almacenamiento en el circuito.

Como el proceso de manufactura de sistemas integrados se mantiene en constante evolución, el nodo tecnológico se mantiene escalando y la complejidad de los circuitos aumentando, surgen nuevos problemas que deben ser resueltos por la industria e investigadores. Estos problemas varían desde volúmenes de información excesivos requeridos para la comprobación, insuficiente cobertura de fallas, así como problemas relacionados con la naturaleza de la estructura del diseño con escaneo, que difiere de la naturaleza funcional del circuito. Uno de los principales problemas son los picos de potencia localizados, que podrían invalidar una prueba de comprobación o hasta situaciones donde dispositivos libres de fallas sean descar-

tados erróneamente. Esta es una gran preocupación por la industria, ya que fallas causadas por problemas de temporizado o potencia durante el proceso de pruebas podrían nunca darse durante el modo funcional y se podría incurrir en una de pérdida de dispositivos funcionales [13].

Las 2 técnicas más populares para estimular y capturar la respuesta de la lógica en diseños de scan son: *launch-on-shift* (LOS) y *launch-on-capture* (LOC) [1].

El método LOS lanza una transición de un valor lógico con el último ciclo de reloj de la operación de desplazamiento de scan, seguido por un pulso de reloj del sistema, el cual captura la transición desde un pin de entrada (Figura 2.8). El reloj de desplazamiento opera en una frecuencia mucho más baja que la frecuencia funcional (2 a 3 veces menor). La razón detrás de este cambio de frecuencia es evitar el posible deterioro del vector de prueba. Solamente el temporizado entre el lanzamiento y la captura es equivalente a la velocidad funcional de manera que se verifique correctamente el temporizado.

Una vez que estos nodos son inicializados por el último ciclo del reloj de desplazamiento, la entrada primaria SE conectada a todos los pines de las celdas de escaneo debe conmutar de 1 hacia 0, luego el reloj de captura es aplicado cuando SE se encuentre estable en 0. Debido a que los valores lógicos en SE cambian entre los momentos de captura y lanzamiento, esta señal debe ser diseñada para operar a velocidad funcional del sistema. El período entre los pulsos de reloj entre las etapas de lanzamiento y captura determinan la velocidad a la que debe operar las pruebas sobre las cadenas. La señal SE debe conmutar de 1 a 0 a velocidad funcional y este hecho establece requerimientos de temporización estrictos en el diseño del circuito y su optimización sobre esta señal. Las interconexiones para SE deben ser capaces de “apagarse” muy rápidamente después del último flanco de reloj del modo desplazamiento y permitir que los valores lógicos se establezcan antes que el siguiente flanco de reloj ocurra. Este proceso se vuelve cada vez más difícil de hacer debido a los constantes aumentos en la frecuencia de operación.

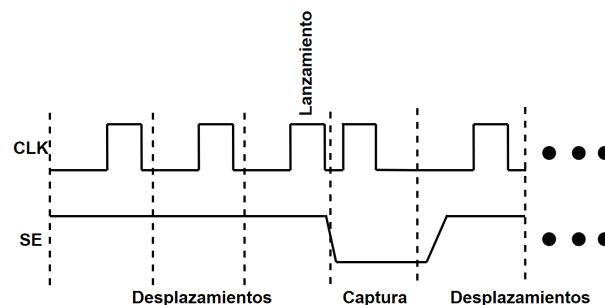


Figura 2.8: Forma de onda de prueba con escaneo con método LOS [4] (Cabe recalcar que la captura ocurre a la frecuencia funcional).

La principal ventaja del método LOS, es su capacidad para lanzar más transiciones, dando a lugar un más alto porcentaje de cobertura en menor cantidad de tiempo. Desafortunadamente la disipación de potencia se ve afectada por este hecho en comparación con LOC [14].

Para la metodología de prueba LOC, ambos procesos de captura y lanzamiento ocurren cuando SE se encuentra en 0. Las transiciones de captura y lanzamiento se mantienen ejecutándose a velocidad nominal del dispositivo, sin embargo, el último desplazamiento no es aplicado a esta velocidad funcional.

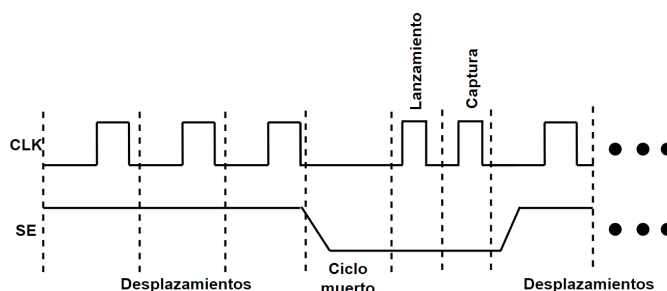


Figura 2.9: Forma de onda de prueba con escaneo con método LOC [4](Cabe recalcar que la captura ocurre a una frecuencia más lenta que la funcional).

Como el desplazamiento de datos de toda la cadena puede ser realizado por frecuencias más bajas, la señal SE no requiere transiciones tan estrictas correspondientes a la frecuencia nominal, consecuentemente la implementación del diseño con escaneo es efectuado con mucha mayor facilidad. Por esta razón la industria prefiere LOC para las pruebas de transición [10]. La mayor desventaja de la técnica LOC es que requiere generación de patrones secuenciales, lo cual incrementa el tiempo de generación de patrones y en general las pruebas.

La velocidad del reloj funcional es requerida de igual forma para realizar pruebas de temporizado sobre el diseño. Durante los procesos de pruebas, hay dos maneras principales de obtener esta frecuencia de operación: por medio de un equipo de pruebas automatizado (ATE) y los relojes propios del circuito. Como los costos de estos equipos se eleva debido a las frecuencias y transiciones necesarias, estas señales pueden ser generadas internamente. El uso de estas señales conlleva varias ventajas, como la precisión (misma señal entre reloj funcional y de pruebas) y la disminución de costos en los equipos por reducción de requisitos y complejidad [15].

2.1.4. Temporizado y potencia en diseños con cadenas de escaneo

Problemas de temporizado se están volviendo cada más complicados debido al escalado del nodo, lo cual permite aumentar la frecuencia de operación, consecuentemente haciendo más pequeña la ventana de tolerancia dentro de la cual una señal debe cumplir para no incurrir en violaciones de secuenciación. Los modelos de temporizado que poseen las herramientas de síntesis de hoy en día son lo suficientemente capaces de localizar y resolver

problemas de temporizado durante el diseño y simulación, aun así, se requieren hacer varias iteraciones para eliminar los posibles problemas.

Actualmente es más común encontrar problemas de temporizado durante las pruebas de las obleas. Estos problemas no aparecen durante las etapas de simulación y algunos de estos son relacionados con problemas de distribución de potencia causados por la conmutación excesiva. Durante la operación nominal de los dispositivos, un porcentaje relativamente pequeño de flip flops experimentan transiciones en cada ciclo de reloj. Sin embargo, cuando el dispositivo se encuentra en modo de comprobación, las operaciones de desplazamiento de los vectores van a causar que una gran mayoría de los flip flops conmuten en cada ciclo de reloj, resultando en una actividad de conmutación muy alta. El consumo de potencia en pruebas es varias veces mayor que el consumo del diseño bajo condiciones de operación nominales [15].

La red de distribución de potencia (PDN) de un chip es diseñada para manejar picos típicos de potencia durante el modo funcional de operación y no está hecha para manejar picos muy grandes y largos de potencia que se dan durante el proceso de comprobación. Si alguno de estos picos excede las limitaciones de potencia del diseño, es posible que se presenten variaciones en la alimentación que podría causar problemas como mal funcionamiento en los PLLs o pérdida de estados en los elementos de memoria.

Una violación de pico de potencia se da cuando se exige una gran cantidad de potencia en un instante de tiempo (flancos de reloj), en este caso durante el modo desplazamiento en una prueba. Esta potencia excede la cantidad de potencia que puede ser manejada por el dispositivo durante el modo de operación funcional sin causar fallas.

Durante cada acción de conmutación, un transiente de corriente es obtenido de los rieles de alimentación para cargar o descargar las capacitancias de los circuitos. Al ser la conexión de tierra como la de alimentación a través de cableado externo, allí existen inductancias parásitas no despreciables. Por lo que durante cada una de estas transiciones de corriente va existir una diferencia de tensión entre los puntos de acceso de alimentación internos y externos. Este tipo de desviaciones en la red alimentación interna afecta los valores de tensión lógicos y resulta en márgenes de ruido menores, y de forma conjunta al desempeño del circuito [16].

La cantidad de disipación de potencia promedio durante los desplazamientos de las cadenas puede ser controlada mediante la disminución de la frecuencia. Desafortunadamente los picos de potencia son independientes de la frecuencia de reloj y se requiere asegurar que esta no sobrepase las capacidades de la PDN del dispositivo en cualquier ciclo de reloj.

Como ya se mencionó, los excesivos consumos de potencia ocurren durante el modo desplazamiento o mientras la cadena se encuentra en la fase de lanzamiento o de captura. Desmedida potencia en la captura incurriría en caídas de tensión en la PDN y consecuentemente la velocidad del dispositivo se vería afectada.

Existen diferentes preocupaciones sobre la técnica de diseño con escaneo, ya que las condiciones eléctricas durante las pruebas aplicadas a los dispositivos, crean una situación no natural la cual incluso puede generar que las pruebas sean inválidas.

El trabajo del ingeniero de comprobación se dificulta aún más cuando se agrega la arista de potencia, esto debido a que este tipo de problema se manifiesta físicamente como caídas de tensión causadas por aumento en la demanda de corriente en puntos localizados [17]. La detección de estos problemas se dificulta, ya que la comprobación se basa en la captura de respuestas a ciertos estímulos aplicados al CUT y verificarlos depende de la comparación entre estos vectores. Por lo tanto, este proceso de comprobación es únicamente basado en que se está obteniendo la secuencia correcta de bits desplazados en la salida de las cadenas.

Se asume que todos los problemas relacionados con temporizado fueron resueltos durante las etapas de simulación, por lo que es natural pensar que cualquier violación de temporizado durante el desplazamiento de las cadenas teniendo el circuito en silencio, son causados por problemas con la potencia [15]. Convirtiéndose así esta situación en un gran problema por la dificultad que conlleva diferenciar entre un retardo causado por un problema de potencia en una prueba y un problema de temporizado causado por defectos del proceso fabricación.

2.2. Desventaja destructiva en cadenas de escaneo

El uso de cadenas de escaneo como método de depuración funciona de la siguiente forma: La operación del chip se da de forma normal con los elementos de almacenamiento capturando durante cada ciclo de reloj. En cierto punto de interés, se detiene el reloj y en este momento se tiene almacenado en los registros el valor de los datos del último flanco de reloj. Seguidamente, las cadenas son usadas para desplazar hacia afuera estos valores capturados. La consecuencia de estos desplazamientos es su correspondiente destructividad al mover los datos; una vez todos los valores han sido desplazados, no es posible continuar con el estado anterior “pausado” del chip. Consecuentemente, si una falla visible esperada ocurre más tarde, detener el reloj alrededor del momento de la falla interna hace que sea imposible saber con certeza si la prueba habría fallado si se hubiese podido continuar. Si la falla es determinista y estable, no hay problema con los datos obtenidos, sin embargo, si la falla no es consistente, es difícil saber si la falla se habría generado con certeza.

Una manera de resolver esta limitación, es la inclusión de flip flops de escaneo de solamente lectura, llamados *shadow scan*. Estos flip flops son estrictamente para capacidad de depuración y no se usan durante la operación funcional. Estos elementos son capaces de capturar un estado en respuesta a una señal, bastante similar a detener el reloj y tomar los valores internos de un estado funcional de la lógica. Es importante hacer notar que agregar esta lógica compromete más el área en el diseño, por lo que siempre se llega al compromiso entre área, cobertura de fallas y problemas de potencia como se ha mencionado. La figura 2.10 muestra un ejemplo de como una celda de *shadow scan* puede ser conectada a latches funcionales o a lógica combinacional con el fin de ganar la observabilidad no destructiva de

algunas de las señales funcionales en el diseño [5].

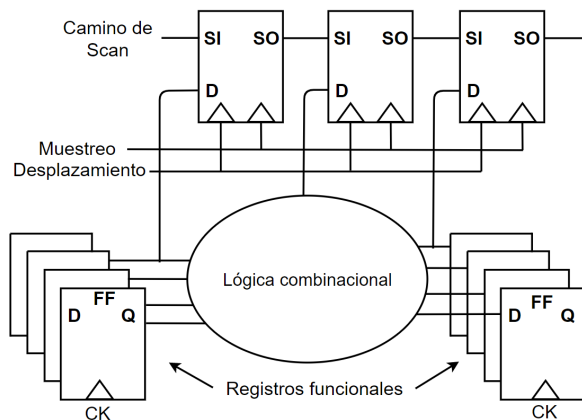


Figura 2.10: Diagrama de interconexión de cadena de escaneo tipo shadow [5] (Obtención de observabilidad no destructiva por medio de la señal de muestreo).

A partir de este problema en cadenas de escaneo es que se desea implementar una celda que forme parte de la lógica funcional del diseño (controlabilidad), con la capacidad de retener el estado de captura inicial a desplazar, mientras se mantienen disponibles todas las capacidades ventajosas que ofrecen las cadenas.

2.3. Cadenas de escaneo con latches pulsados

Como es sabido flip flops y latches son bloques de diseño fundamentales para los circuitos digitales secuenciados, por lo que el temporizado de un diseño depende de manera significativa de estos registros, particularmente para diseños dominados por la estructura *pipelined*. Los registros son de los elementos que más contribuyen al consumo total de potencia [18]. Tradicionalmente los flip flops están hechos a partir de latches maestro-esclavo, con la información siendo asegurada en el maestro en el semiciclo de reloj asociado al modo transparente del latch y luego este dato es entregado al esclavo cuando se alterna de semiciclo, osea, durante el flanco de reloj. Dicha implementación posee un tiempo de *setup* (T_{su}) y de reloj hacia salida (T_{cq}) positivo y estos 2 retardos más la adición de los retardos de la lógica combinacional determinan la frecuencia de operación del circuito. El deseo de disminuir la figura de mérito ($T_{cq} + T_{su}$), el área y el consumo de potencia motiva el desarrollo de latches o flip flops basados en pulsos [6].

Un latch pulsado consiste de un circuito generador de pulsos y un latch, como se muestra en la figura 2.11.

El latch se encuentra en su estado transparente cuando la señal PULSE se encuentra en 1, este pulso se deriva del flanco de reloj en la entrada CLK y por eso es generado después del flanco del reloj. Esto permite que la información en la entrada de datos llegue incluso luego del flanco de reloj, haciendo T_{su} negativo. Esto ayuda a reducir la figura de mérito

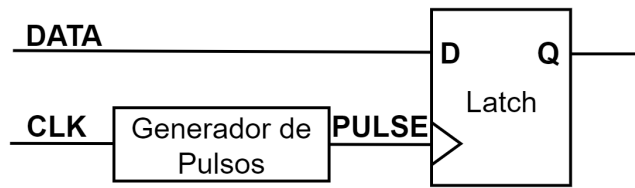


Figura 2.11: Diagrama de bloques de latch pulsado [6]. Cabe recalcar que lo que convierte un latch a un latch pulsado es su metodología de secuenciación basada en pulsos.

$T_{cq} + T_{su}$. Incluso el circuito generador de pulsos puede ser compartido con diferentes latches, amortizando así el costo de área y potencia.

El circuito generador de pulsos a utilizar se muestra en la figura 4.16, como es notable, es posible utilizar solo un inversor, pero por limitaciones de retardos asociados con el nodo disponible, se utilizan 3 inversores. El pulso es generado mediante la adición de la compuerta AND entre una versión retrasada de la señal de reloj y la señal de reloj sin retraso. La figura 2.13 muestra la forma de onda para la señales CLK, CLKB y PULSE, acá es visible que debido al efecto de los inversores, la señal CLKB se retrasa respecto a CLK, lo que permite que el resultado de la AND sea un pulso en la señal PULSE durante el flanco positivo del reloj. El ancho de este pulso es fácilmente controlado por el apropiado dimensionamiento de los inversores.

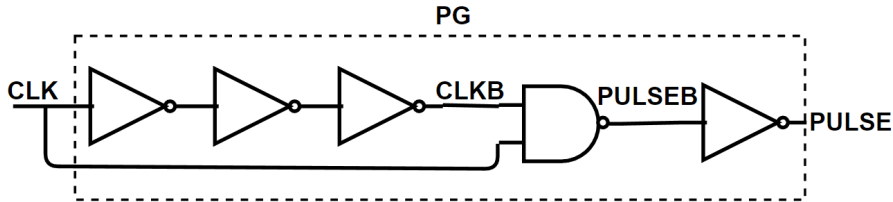


Figura 2.12: Diagrama de circuito generador de pulsos [6] (Obsérvese la diferencia de cantidad de lógica en las entradas de la compuerta AND que da a lugar al desfase del reloj).

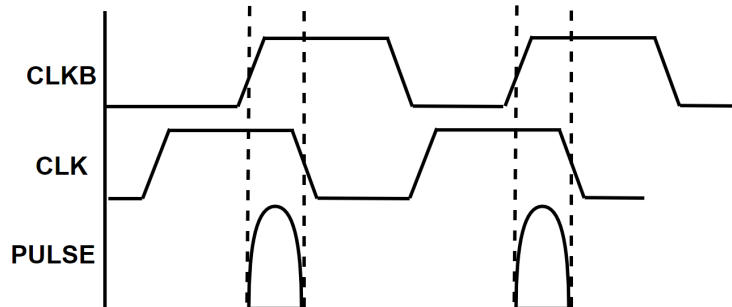


Figura 2.13: Forma de onda de señales de generador de pulsos [6] (Obsérvese el pulso de salida es determinado por el traslape de las ondas de entrada).

Para el circuito del latch, a manera de ejemplo se muestra el circuito de la figura 2.14

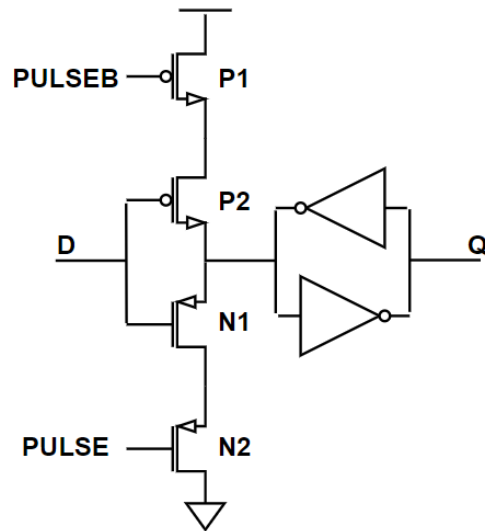


Figura 2.14: Diagrama a nivel de compuerta de ejemplo de circuito de latch [6] (Este es solo un ejemplo de una topología de latch para discusión).

El latch es transparente cuando la señal PULSE se encuentra en alto y su circuito está conformado por un inversor tri estado y un *keeper* estático compuesto por 2 inversores realimentados. La señal PULSE carga el transistor N2, mientras que su complemento el transistor P1. El pin de entrada D carga las compuertas de los transistores P2 y N1. Los inversores realimentados usualmente usan transistores con canales largos.

Como el tiempo de setup es negativo y el tiempo de D a Q es menor cuando se da la operación con un flanco de reloj, se obtiene un aumento de velocidad. Comparado con flip flop convencional maestro-esclavo, los latches pulsados requieren un solo latch. Además, como el latch pulsado usa un generador de pulsos, esta estructura consume considerablemente más potencia contra un latch convencional, es necesario compartir este circuito con otras celdas para distribuir el consumo.

De manera similar a la figura 2.1, en conjunto con la figura 2.14, se crea una implementación para el circuito del latch pulsado de escaneo mostrado en la figura 2.15.

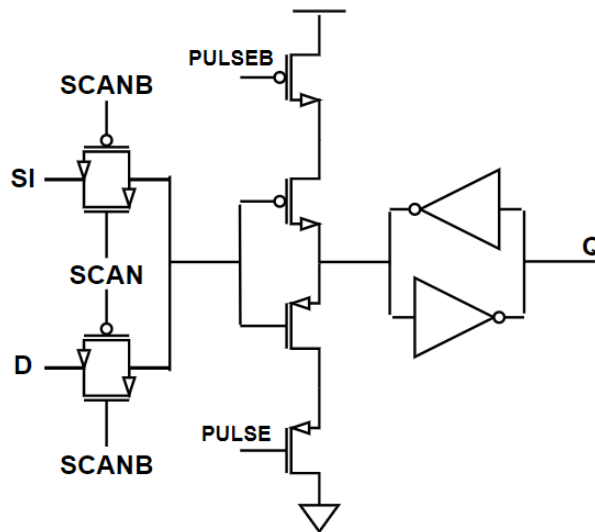


Figura 2.15: Diagrama a nivel de compuerta de ejemplo de latch pulsado de escaneo [6] (Este es solo un ejemplo de una topología de latch con entradas de escaneo para discusión).

La celda de la figura 2.15 está conformada por un latch y un multiplexor en su entrada implementado con compuertas de paso. SI y D son las entradas de escaneo y de datos respectivamente, y por medio de la señal SCAN y SCANB se selección cual de estas 2 se captura en el latch.

Como se mencionó antes, el objetivo es compartir el circuito generador de pulsos los latches, y como se desea construir cadenas de escaneo con latches, consecuentemente se van a tener problemas de temporizado como se muestra en la figura 2.16. La señal de salida del primer latch (Q_1) cambia correctamente por que la señal de entrada (IN) es constante durante el ancho de pulso de reloj, pero el segundo latch tiene una salida incorrecta en Q_2 , por que su entrada Q_1 cambia durante el ancho de pulso de reloj.

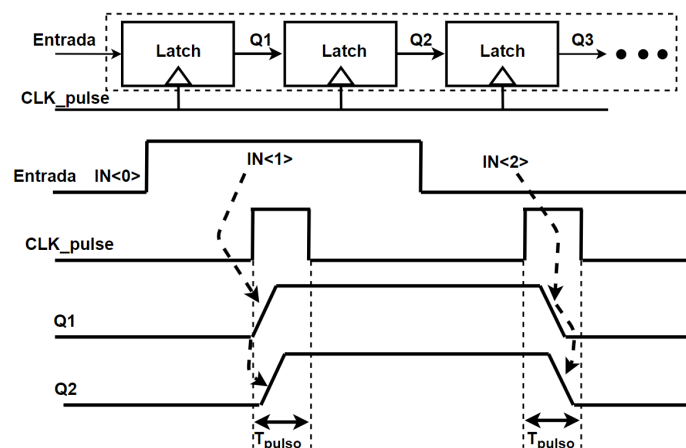


Figura 2.16: Diagrama de registro de desplazamiento con latches pulsados y gráfico de temporizado [7]. Nótese el problema de secuenciación con la configuración de latches.

Una posible solución a este problema se desarrolla en [7], en donde el autor de este texto desarrolla ideas de registros de desplazamiento usando latches. La solución radica en agregar circuitos de retardo extra entre los latches, como se muestra en la figura 2.17, donde la señal de salida del latch es retrasada y llega al siguiente latch después del pulso de reloj. Como se muestra en el diagrama de tiempos en 2.17, la salidas del primer y segundo latch (Q1 y Q2) cambian durante el pulso de reloj, pero, las señales de entrada del segundo y tercer latch (D2 y D3) toman el mismo valor de las señales de salida del primer y segundo latch después del pulso de reloj. Como resultado, todos los latches tienen valores de entrada constantes durante el pulso de reloj y no se dan problemas de temporizado entre los elementos en la cadena, pero, los circuitos de retardo causan un gran desperdicio de potencia y área.

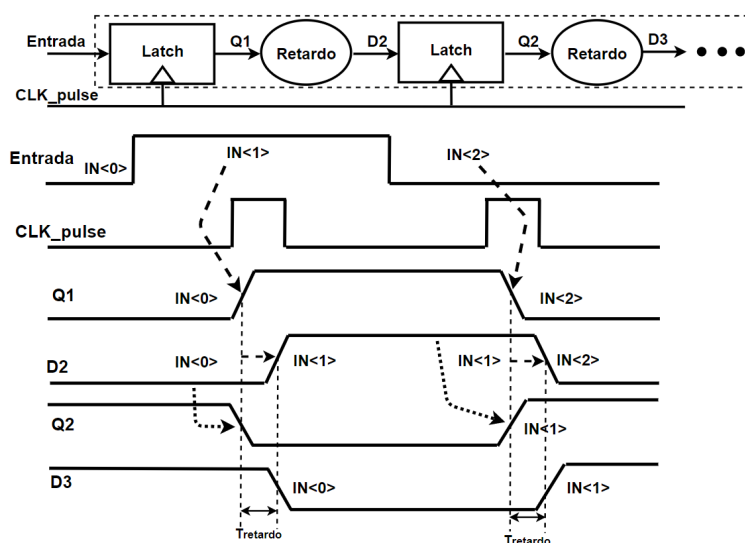


Figura 2.17: Diagrama de registro de desplazamiento conformado por latches pulsados y su gráfico de temporizado [7]. Nótese la posible solución al problema de secuenciación usando retardos entre latches.

Otra solución propuesta en [7], usa pulsos de reloj múltiples no traslapados, como se muestra en la figura 2.18. La señales de pulso de reloj retrasadas son generadas cuando el pulso pasa a través de los circuitos de retardo. Cada latch usa un pulso de reloj el cual se retrasa con respecto al primer pulso entrante y luego este pulso es usado por el siguiente elemento en la cadena. Por lo tanto, cada latch en la cadena actualiza su dato después de que el latch siguiente a este actualice el suyo. Como resultado, cada latch tiene un valor constante en su entrada durante el pulso de reloj y no ocurrirían problemas de temporizado entre los elementos. Esta propuesta de solución requiere muchos circuitos de retardo.

Existe un acercamiento que propone subdividir la cadena que en el fondo se comporta como un registro de desplazamiento, en cadenas más pequeñas. La figura 2.19 muestra la estructura de este acercamiento en una división de M segmentos para reducir el número de señales de reloj necesarias para controlar el desplazamiento. Un segmento de 4 bits de la cadena consiste de 5 latches y se requieren 5 pulsos de reloj retrasados no traslapados para realizar la operación de desplazamiento.

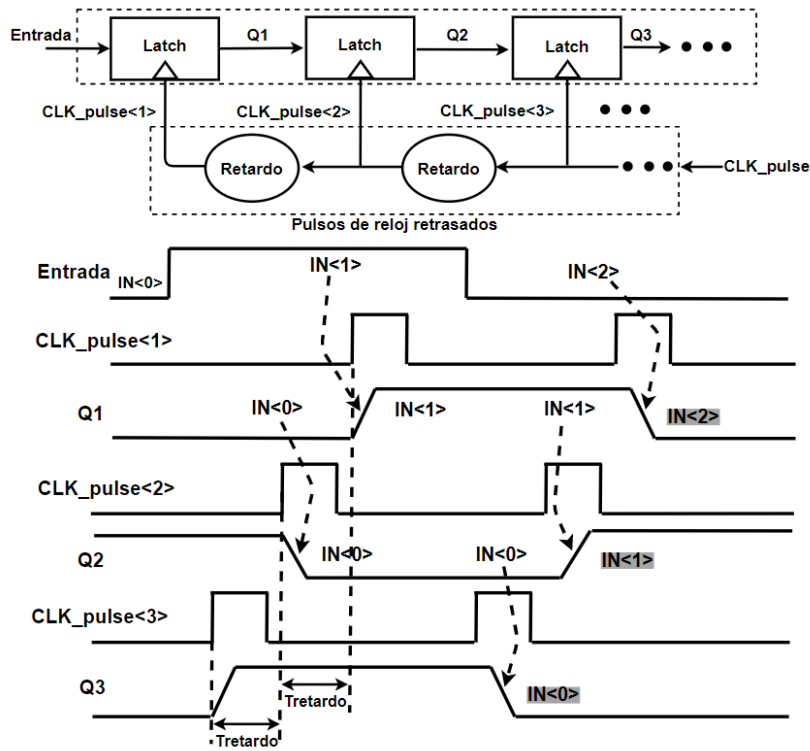


Figura 2.18: Diagrama de cadena de escaneo de latches pulsados con pulsos de reloj retrasados [7]. Nótese la posible solución al problema de secuenciación usando retardos entre latches en la red de reloj.

En el primer segmento de la cadena, los 4 primeros latches guardan los primeros 4 datos (Q1-Q4) y el último latch guarda un dato temporal (T1), el cual luego va a ser pasado al primer latch del segundo segmento de la cadena (Q5).

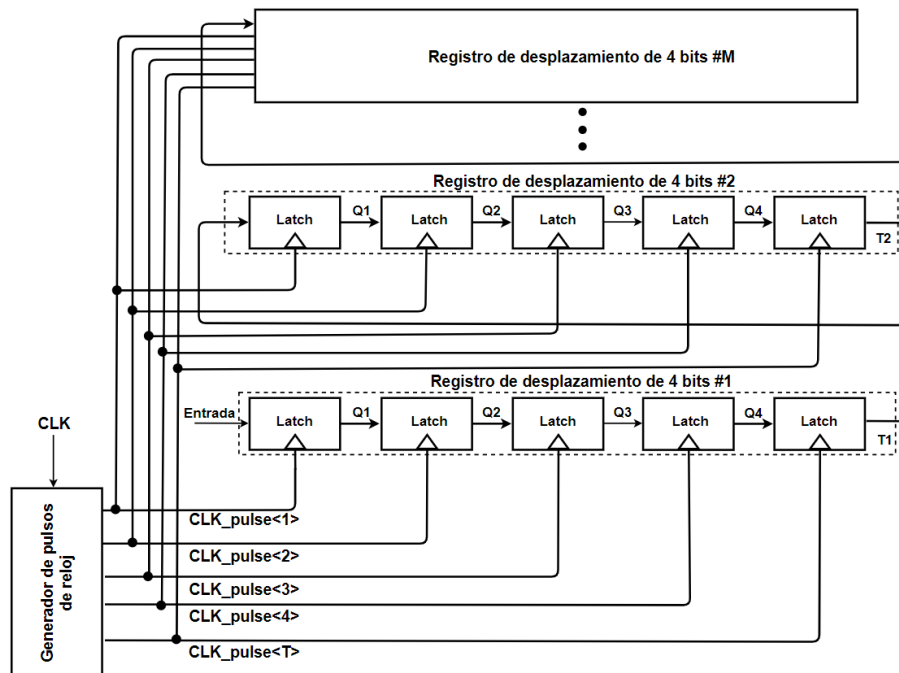


Figura 2.19: Diagrama de subdivisión de registros de desplazamiento con latches y su generador de pulsos múltiples [7]. Obsérvese la estructura de red de reloj compartida entre segmentos del registro de desplazamiento.

La figura 2.20 muestra a nivel de diagrama de tiempo lo que ocurre en los segmentos de la cadena. Un total de 5 pulsos retrasados en las entradas de reloj son enviados por el generador de pulsos de reloj de la figura 2.21. La secuencia de los pulsos de reloj están ordenados de manera contraria al orden los elementos en las sub-cadenas. Al inicio, la señal $CLK_pulse<T>$ actualiza el dato $T1$ desde $Q4$ y luego los pulsos de reloj de $CLK_pulse<1:4>$ actualizan los 4 datos de $Q4$ hasta $Q1$ secuencialmente. Las señales $Q2-Q4$ reciben los datos de los latches anteriores $Q1-Q3$, pero, el primer latch $Q1$ recibe el dato desde la entrada IN de la cadena. Las operaciones de los otros segmentos son iguales a las de este primer segmento, excepto que el primer latch de los otros segmentos reciben el dato del latch temporal anterior.

Una de las grandes ventajas que proponen los acercamientos anteriores es evitar una síntesis de árbol de reloj dedicado solo para escaneo. De esta forma se evita utilizar los mejores metales y disminución de prioridad de otras señales, por lo que van a existir más recursos para ruteo en el diseño.

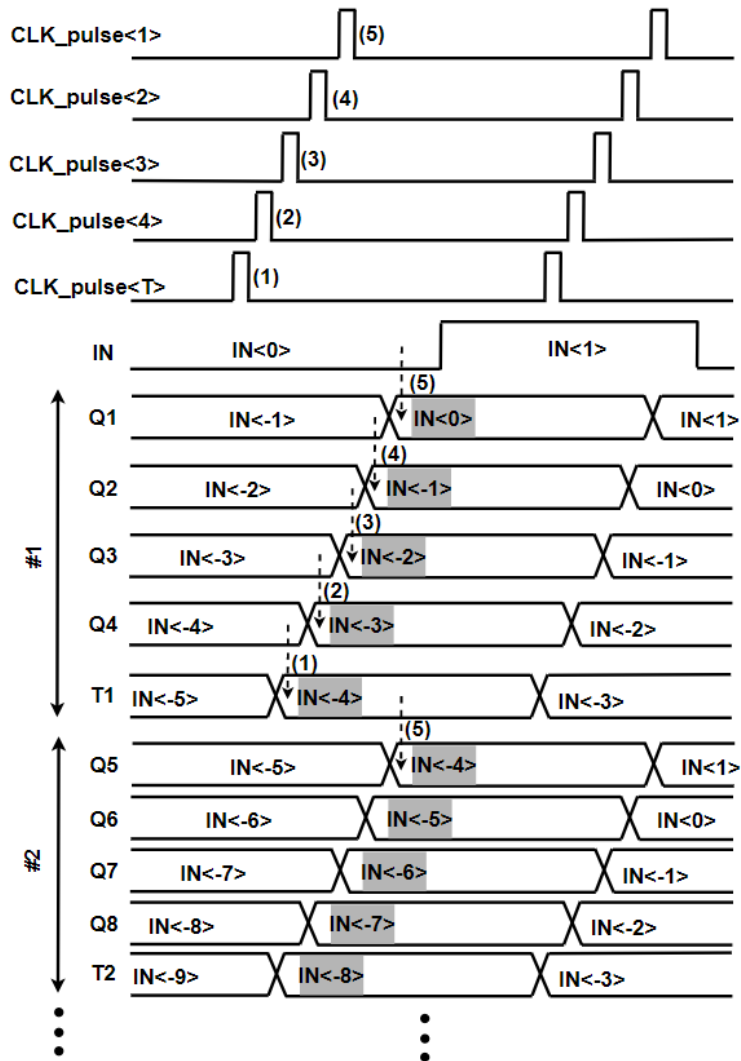


Figura 2.20: Formas de onda de secuenciación de datos y reloj de registro de desplazamiento con latches segmentado [7]. Obsérvese la secuenciación paralela entre segmentos del registro de desplazamiento.

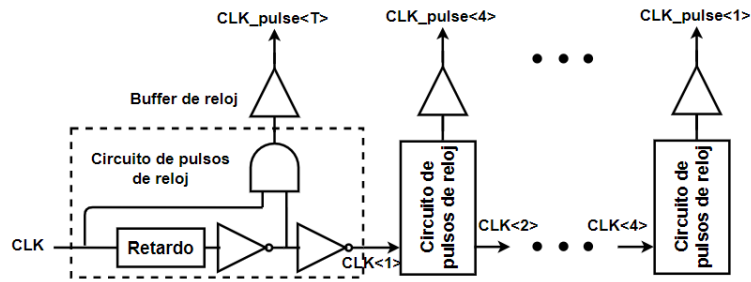


Figura 2.21: Diagrama de estructura de opción de generador de pulsos de reloj [7].

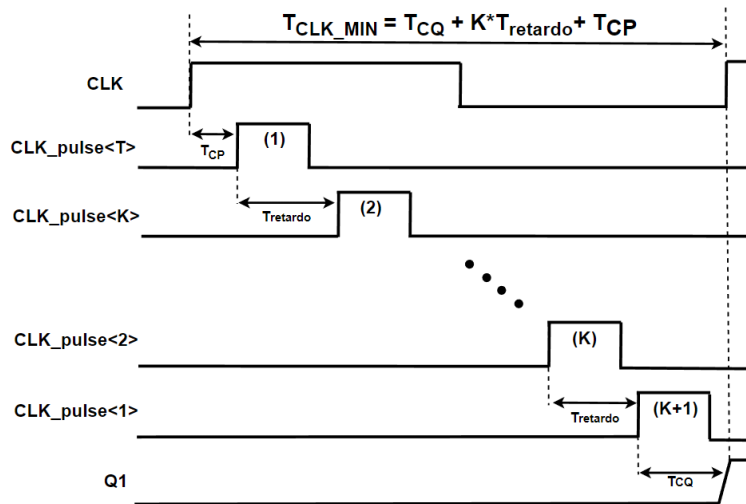


Figura 2.22: Período mínimo requerido según número de elementos en el registro de desplazamiento con latches pulsados. [7]. Obsérvese que el periodo mínimo es una función del numero de elementos.

Es importante notar que este acercamiento de registro desplazamiento supone un periodo de reloj mínimo que debe ser cumplido. Este periodo para el reloj es proporcional al número de elementos en el registro por el tiempo de retardo entre los pulsos de reloj más los tiempos de transición en el que el reloj cruza el generador pulsos y retardo en el que la salida del último elemento conmuta, como se muestra en la figura 2.22

3 Metodología

Como se ha mencionado anteriormente el objetivo de este documento es la implementación de cadenas de escaneo construidas a partir de una celda alternativa de escaneo, con el motivo de evitar la desventaja destructiva como lo hace su celda homóloga de tipo shadow y atacar la problemática del estado forzado de alta conmutación durante el desplazamiento de datos en la cadena. Este estado no usual originado durante las pruebas de los diseños da a lugar a problemáticas como caídas de tensión en sus rieles de alimentación y consecuentemente la creación de glitches, fallas durante la captura de datos y posibles daños permanentes a las estructuras de distribución de poder.

Por lo que se propone innovar a mediante la mezcla de 2 ideas presentadas anteriormente, las cuales constan de una esta celda de escaneo como parte de la cadena y secuenciarla usando una metodología de reloj auto generado, bajo el supuesto de que el resultado será más eficiente durante las transiciones al usar la idea de un registro de desplazamiento conformado por latches e ir realizando las transiciones en la cadena elemento a elemento, en lugar de usar flip flops donde todos deben conmutar en el mismo momento cada ciclo de reloj.

Para obtener los diseños deseados con los cuales se harán comparaciones se tiene los siguientes pasos a ejecutar:

- Adaptación del RTL del SIWA para escaneo.
- Inserción de cadenas de escaneo en el SIWA usando las celdas de la biblioteca estándar.
- Inserción de cadenas de escaneo en el SIWA usando celda de shadow scan sin desventaja destructiva.
- Implementar la celda alternativa propuesta de escaneo tipo *clocked-scan* con una metodología de reloj auto generado.
- Inserción de cadenas de escaneo en el SIWA usando la celda diseñada y evaluarla contra las diferentes síntesis del SIWA realizadas y el estado del arte.

3.1. Marco de trabajo para síntesis

De manera que se pueda obtener una referencia para comparaciones, se utiliza el microcontrolador SIWA creado en el Instituto tecnológico de Costa Rica con un proceso de fabricación a 1.8 V en 180 nm, esto ya que no posee ninguna metodología de DFT implementada, además de ser un diseño pensado para fabricación del cual se tiene acceso tanto el RTL como el flujo de síntesis. Por ende, se van a realizar todas las pruebas e implementaciones sobre este diseño con el objetivo de tener en igualdad de condiciones cualquier síntesis, generación de reportes y simulaciones.

Al usar el SIWA como base, se pretende usar las bibliotecas del proceso de fabricación de XFAB con las que cuenta la escuela de electrónica y transformarlo en un diseño de escaneo. Esta versión debe utilizar la celda de tamaño de mínimo equivalente de escaneo disponible. El resultado de este cambio se utilizará como punto de comparación desde una perspectiva de diseño de circuito integrado más complejo. También se usarán las propias celdas de escaneo de las bibliotecas y se comparará contra las celdas diseñadas.

El punto más importante de esta sección consiste en adecuar el RTL del SIWA respecto a las reglas para cadenas de escaneo ya discutidas, esto sin cambiar la funcionalidad. Este RTL modificado se utilizará como base de trabajo para cualquier implementación de cadena de escaneo. Luego, a partir de este diseño y los flujos de síntesis con escaneo, crear un marco de trabajo el cual va a ser capaz tomar las bibliotecas deseadas a implementar para obtener como resultado la síntesis lógica respecto a las especificaciones dadas. En la figura 3.1 se presenta un diagrama con las entradas y salidas de este flujo.

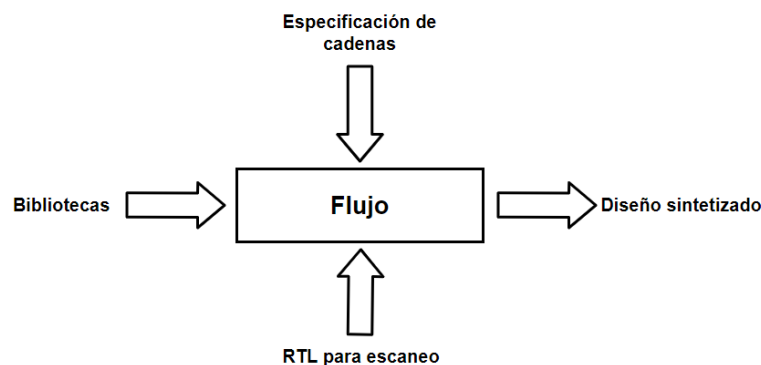


Figura 3.1: Diagrama de flujo de entradas y salida para generación de síntesis. (Se desea un solo flujo unificado que genere la síntesis de los diseños)

3.2. Flujos de diseño y caracterización

Cualquier diseño de circuito que se quiera utilizar como parte de un flujo de VLSI debe siempre pasar por múltiples herramientas antes de siquiera formar parte de una biblioteca de celdas. La síntesis del SIWA fue realizada con las herramientas de Synopsys puestas a disposición por la escuela de electrónica, por lo que se mantendrá el uso de estas para todos los diseños. En la figura 3.2, se establece el orden de los pasos de diseño con su respectiva herramienta a utilizar:

El proceso de diseño de celdas consiste en la implementación de alguna celda con su diagrama de transistor y su trazado físico. Una vez preparada la celda, se generan los archivos GDS y LEF necesarios para luego usarse por Milkyway y un netlist tipo spice usado por Primelib. Milkyway toma los archivos y crea un milkyway (.MW) con la información física de la celda, pines, largo, ancho y entre otras características físicas. Y Primelib a partir del netlist ejecuta simulaciones que llevan a cabo la caracterización dependiendo de la funcionalidad de la celda, este proceso da como resultado un archivo .lib, que seguidamente es transformado

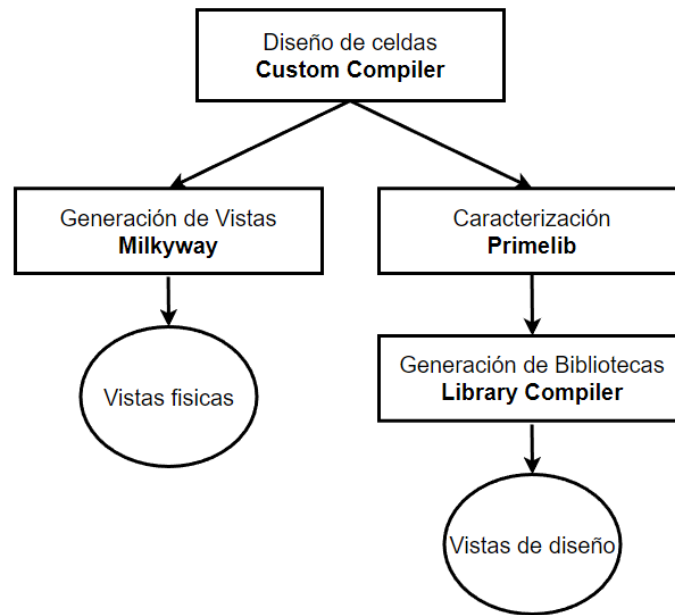


Figura 3.2: Diagrama de marco de trabajo de síntesis. Nótese que todas la primeras vistas son generadas desde Custom Compiler y luego absorbidas por otras herramientas para generar las vistas final para síntesis.

por Library Compiler a un binario tipo .db para poder utilizarse en las herramientas de síntesis.

El objetivo es tener un flujo funcional apto para luego implementar la celda tipo *clocked-scan* final con su metodología de reloj auto generado deseada. En la figura 3.3 se muestra un diagrama de como va a estar constituida esta celda. El flip flop de esta celda es necesario ya que debe mantenerse el comportamiento funcional ya descrito en el rtl original, además de que este soluciona la desventaja destructiva durante el desplazamiento, el latch es necesario para la implementación de la metodología de latches pulsados con reloj auto generado. Estos son los elementos que realizarán los desplazamientos y el multiplexor al final permite decidir que datos de salidas de los registros seleccionar.

3.3. Evaluación de implementaciones

Como se ha mencionado anteriormente, en primera instancia se comparará contra el SIWA en su versión de escaneo con cadenas que usen celdas de tipo D-muxed mínimas. Luego se trabajará en una versión de escaneo con celdas tipo shadow sin desventaja destructiva y una versión implementando latches pulsados con reloj auto generado que se integrará en las cadenas del SIWA.

Se harán comparaciones en términos de área y velocidad a nivel de celda contra la celdas en la biblioteca y las celdas disponibles en el estado del arte y área y potencia a nivel de

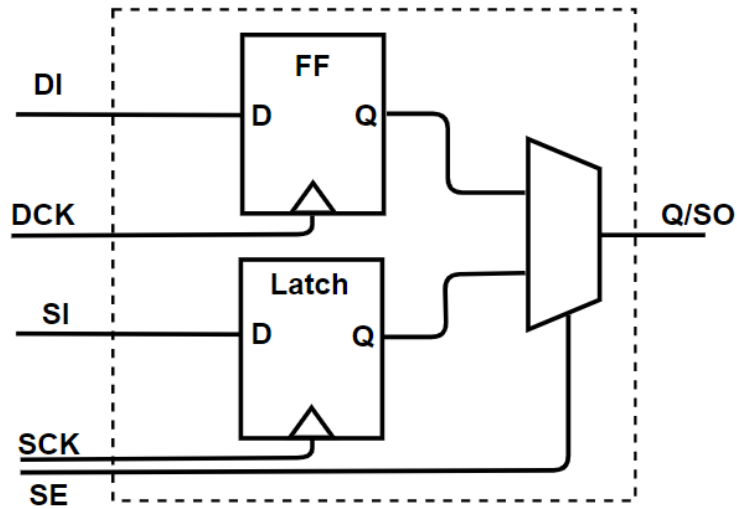


Figura 3.3: Diagrama esquemático de celda de escaneo alternativa propuesta a implementar (Topología conformada por flip flop, latch y multiplexor para solucionar la observabilidad destructiva).

diseños del SIWA que posean la cadena implementada. Además, a nivel de síntesis lógica, se utilizará los reportes de *quality of reports* (QOR) como parámetros de equiparación. Para efectos de comparación en potencias dinámica a nivel de síntesis lógica, se utilizarán los reportes que utilicen los archivos saif (*Switching Activity Information File*). Este es un archivo que permite determinar con mayor precisión cual sería el consumo de potencia en escenarios funcionales reales, ya que este formato posee la información acerca de la probabilidad estadística y las razones de cambio de los valores lógicos en la interconexiones del diseño generados a partir de los estímulos una simulación real [13].

4 Desarrollo

En esta sección se detalla el proceso realizado para generar una referencia usando el SIWA como diseño de pruebas. Sobre el cual se realizarán modificaciones en el RTL para transformarlo en un diseño con escaneo usando las celdas tipo D-muxed disponibles en la biblioteca de 180 nm de XFAB.

Seguidamente, se comentará de la implementación de la celda de shadow scan basada en flip flops sin desventaja destructiva y finalmente se hablará del acercamiento con latches pulsados con reloj auto generado.

4.1. SIWA con cadenas de escaneo

Ya que el SIWA en sí es un chip, en el nivel jerárquico más alto se encuentran dos grandes módulos que abarca su funcionamiento, como se muestra en la figura 4.1. Uno de estos módulos solo contiene instanciado celdas que corresponden a los pads (`pad_ring`), correspondiente al bloque gris (ambos bloques grises corresponden al mismo módulo en la figura 4.1) y el otro módulo (`topcore_tecriscv`) correspondiente al módulo verde, el cual comprende toda la parte funcional, y este se comunica a través del módulo de los pads con el exterior, por que el modulo de pads “envuelve” al modulo funcional.

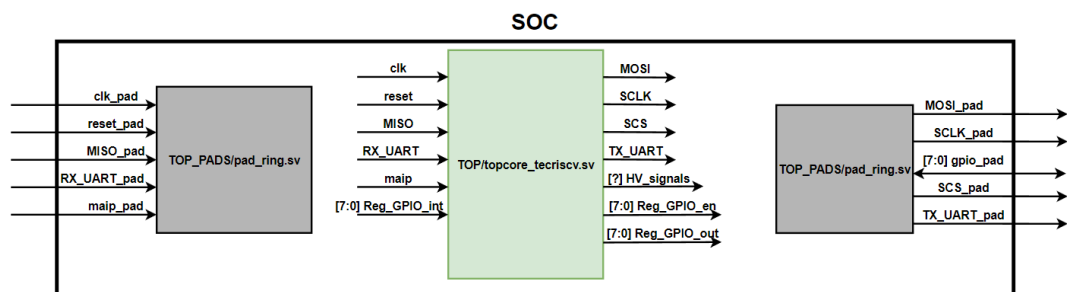


Figura 4.1: Diagrama de bloques de jerarquía mas alta del SIWA (El módulo gris corresponde a los pads y el módulo verde corresponde a la lógica funcional).

Como se mencionó anteriormente, para que un diseño pueda ser compatible con la metodología de diseño de escaneo deben cumplirse ciertas reglas y evitarse ciertas prácticas que podrían generar conflictos en su realización.

De primera instancia se modifica parcialmente los flujos existentes de síntesis lógica, de tal forma que las herramientas cree una sola cadena con los elementos secuenciales disponibles en el diseño. Para hacer esto posible, es necesario crear puertos nuevos exclusivos de control para la cadena. Estos puertos corresponden a `scan_enable` (SE), `scan_input` (SI), `scan_output` (SO) y es necesario definir un reloj para controlar la secuenciación de la cadena, el cual se mantiene como el mismo reloj funcional que posee el chip.

Una vez se instancian los puertos a través de las jerarquías correctas en el RTL y se le indica a la herramienta que puertos mapear para las interconexiones en la cadena, se ejecuta el proceso de síntesis. Esto permite por medio de los reportes generados, tener una clara visión de la susceptibilidad del diseño a la transformación. Luego de este proceso se llega a que según la manera en la que el RTL fue descrito, ningún elemento secuencial disponible puede ser colocado como parte de una cadena. Por lo que es inevitable realizar cambios directamente sobre el RTL para lograr la transformación.

A conveniencia se escoge el submódulo del banco de registros, porque está conformado por 32 registros de 32 bits cada uno (quitando los registros que están siempre conectados a 0 lógico), lo cual permite tener los elementos necesarios para conformar la cadena. Este banco de registros esta diseñado con latches, por lo que en primera instancia es requerido cambiarlos por flip flops. Además, debido a la forma en la que se realizan las escrituras y las lecturas en el banco de registros, también es requerido cambiar la forma en la que llega el reloj a estos registros.

```

for (i=1; i<number_reg; i=i+1)begin :Conexion_cables_escritura
    assign Sal_and_write[i] = (conect_deco_latch3[i] & Write_en & ~clk);
end

for (i=1; i<number_reg ; i=i+1)begin :latches1
    for(j=0; j<width; j=j+1)begin : latches2
        latchtriestado latchesa(
            .rst(rst),
            .In(Din[j]),
            .Out1(Dout1[j]),
            .Out2(Dout2[j]),
            .En1(conect_deco_latch1[i]),
            .En2(conect_deco_latch2[i]),
            .write(Sal_and_write[i])
        );
    end
end

```

Figura 4.2: RTL de banco para generación de registros con lógica de activación. Obsérvese que la señal de reloj clk no alcanza de manera directa los registros.

Como se muestra en el segmento de código de la figura 4.2, la señal de reloj clk no llega directamente a los registros, ya que este forma parte de otra expresión que da como resultado otra señal de control, semejante a la técnica de *clock gating*. Esta descripción de manejo del reloj dificulta el control de los registros.

En la figura 4.3 se muestra una descripción de RTL que busca sustituir el submódulo latchtriestado con su homólogo en una versión usando flip flop y luego la figura 4.4 muestra una nueva descripción del banco de registros añadiendo este nuevo submódulo y la estructura de la señal de reloj modificada.

```

/*FF triestado con dos salidas sin rst usados para el banco general amigable con DFT*/
/*****
module FF_triestado(In,Out1,Out2,En1,En2,Write,rst,clk);
//Entrada
input clk;
input In;
input En1;
input En2;
input Write;
input rst;
output Out1;
output Out2;

logic q;

always@(posedge clk) begin
    if(rst)begin
        q <= 0;
    end
    else if(Write) begin
        q <= In;
    end
end
assign Out1 = En1?q:{1'bz};
assign Out2 = En2?q:{1'bz};
endmodule

```

Figura 4.3: RTL de flip flop triestado propuesto amigable para diseños con escaneo estructurado (Con esta descripción al poseer entrada de reloj directa a los registros permite la controlabilidad de los mismos).

```

for (i=1; i<number_reg; i=i+1)begin :Conexion_cables_escritura
    assign Sal_and_write[i] = (conect_deco_latch3[i] & Write_en /*& ~clk*/); //Dependencia del reloj para escritura latchtriestado
end

for (i=1; i<number_reg ; i=i+1)begin :latches1
    for(j=0; j<width; j=j+1)begin : latches2
        FF_triestado FF_gregs(
            .clk(clk),
            .rst(rst),
            .In(Din[j]),
            .Out1(Dout1[j]),
            .Out2(Dout2[j]),
            .En1(conect_deco_latch1[i]),
            .En2(conect_deco_latch2[i]),
            .Write(Sal_and_write[i])
        );
    end
end
end

```

Figura 4.4: Nueva descripción de RTL de banco de registros con señal de reloj amigable con el diseño de escaneo estructurado. Obsérvese que la señal de reloj clk ahora alcanza de manera directa los registros en su nueva descripción.

Se realiza una simulación sobre la versión original del banco de registros para obtener una referencia del correcto funcionamiento. Se ejecutan varias escrituras y lecturas sobre el banco de registros, como se muestra en la figura 4.5. El diagrama de tiempos superior muestra las escrituras y el inferior las lecturas, siendo las salida la señal Data_out1 y Write_en la señal de escritura.

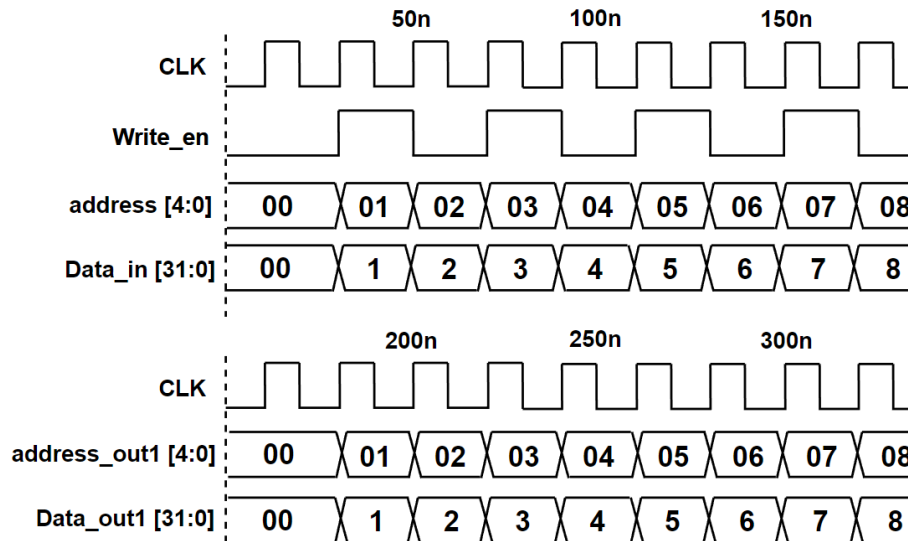


Figura 4.5: Simulación de prueba de escritura y lectura de banco de registro con latches. Obsérvese, una vez ocurre el proceso de escritura, más adelante en el tiempo se leen los mismos registros para validar su funcionamiento.

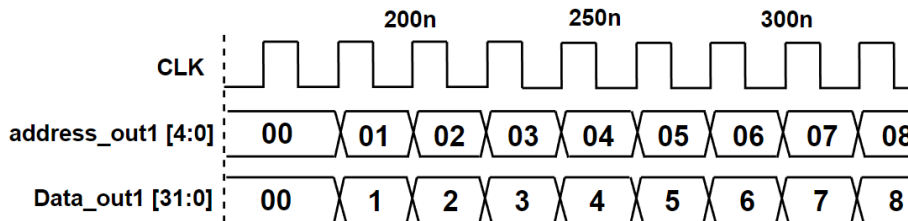


Figura 4.6: Simulación de prueba de lectura de banco de registro con flip flop propuesto. Obsérvese que en el mismo momento de lectura bajo la misma simulación se obtiene la misma respuesta, validando el funcionamiento luego de la modificación.

En la figura 4.6 se muestra la simulación de lectura del banco de registros con los cambios al RTL implementados. Se obtiene el mismo comportamiento que en el diagrama de tiempos de lectura de la figura 4.5, siendo equivalentes los comportamientos.

De manera adicional, se agrega una referencia de una simulación funcional real sobre el chip, con el objetivo de comparar luego con las diferentes implementaciones del SIWA, las cuales deben cumplir el mismo comportamiento al usar los mismo estímulos de entrada. La figura 4.7 muestra esta prueba en una versión sintetizada con el RTL original.

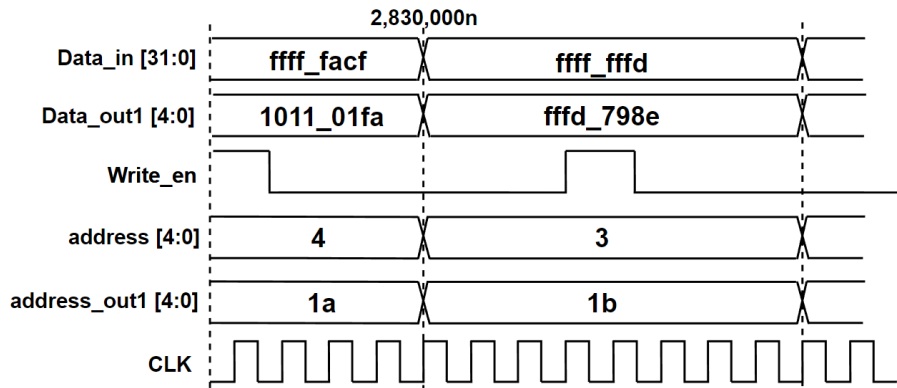


Figura 4.7: Simulación funcional de ejemplo post síntesis de RTL original. Se muestra cierto momento en el tiempo de la simulación para tener una referencia funcional.

Una vez hecha la validación funcional con la versión del banco de registros modificada para que sea compatible con la integración de cadenas de escaneo, se escoge de manera arbitraria la creación de una cadena compuesta por 128 elementos. Esto es debido a que esta cantidad de elementos en la cadena permitirá controlar con mayor facilidad posteriormente el hilado de los latches para la otra implementación del SIWA y al mismo tiempo tener un número de elementos significativo en los diseños para la obtención de datos. A manera de ejemplo de lo resultante, la figura 4.8 muestra una simulación post síntesis ejecutando operaciones de desplazamiento sobre esta cadena, donde a partir del momento en que la señal scan_enable (SE) es 1, se introducen secuencias de 1 y 0 en el puerto de scan_in (SI) y en donde es esperado que luego de 128 ciclos de reloj después esta misma secuencia se ve reflejada en scan_out (SO), como es esperado del funcionamiento de un registro de desplazamiento.

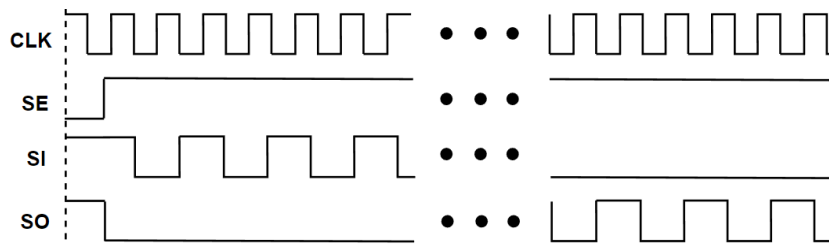


Figura 4.8: Simulación de cadena de escaneo post síntesis con celda SDFRQHDLX0. Nótese que el patrón de entrada en el puerto SI se ve luego reflejado en el puerto de salida SO.

4.2. SIWA con cadenas de escaneo tipo shadow

Para tener una mejor referencia contra la que comparar la metodología de latches pulsados con reloj auto generado, además de la versión del SIWA usando celdas de escaneo tipo D-muxed, también se va a generar una versión de celda de escaneo tipo shadow sin la desventaja destructiva.

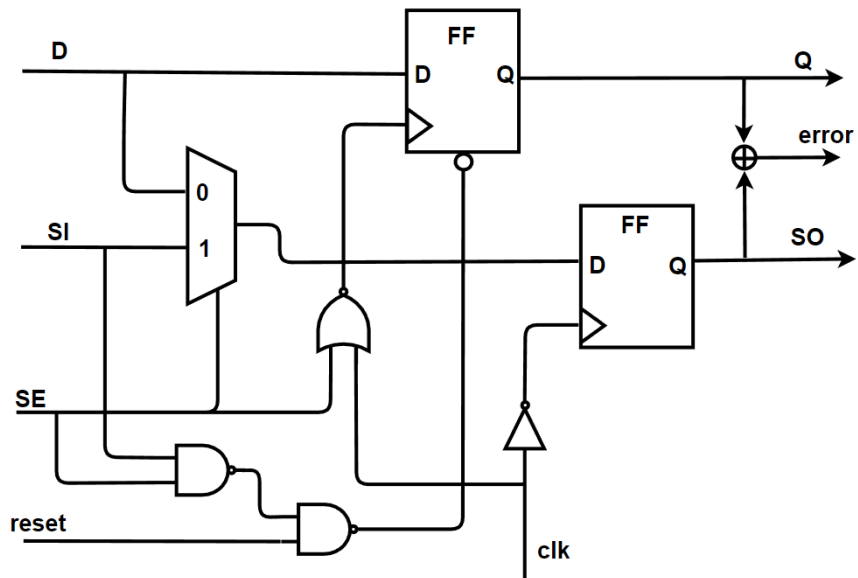


Figura 4.9: Diagrama esquemático de referencia de celda de escaneo tipo shadow [3]. Esta topología en especial no permite un desplazamiento sin la desventaja destructiva.

Tomando como referencia la celda de escaneo de la figura 4.9, se llega al diagrama de la figura 4.10.

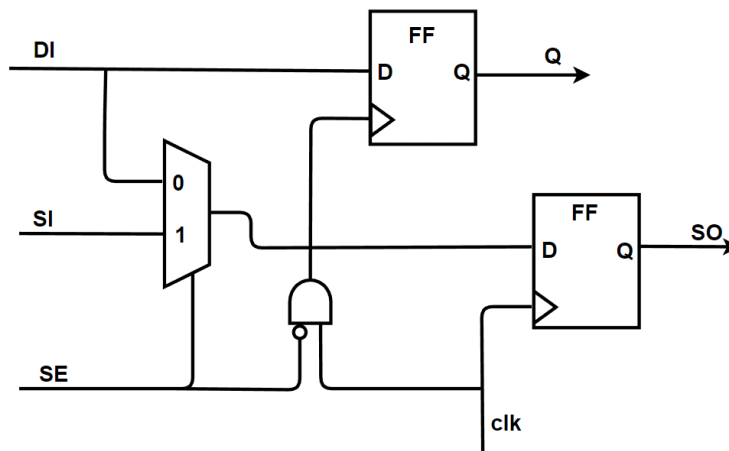


Figura 4.10: Diagrama esquemático de celda de escaneo tipo shadow a implementar. Esta topología posee una modificación que permite un desplazamiento sin la desventaja destructiva.

Se llega a este diagrama cumpliendo con la necesidad de poder tener una celda escaneo de tipo shadow sin la desventaja destructiva. Esto se logra modificando como la señal de reloj llega al flip flop que recibe únicamente la señal D, de tal manera que cuando SE es 1, solo los registros que son parte de la cadena puedan capturar datos.

La figura 4.11 muestra la topología a nivel de compuerta interna a los registros y al multiplexor. Esta topología es de gran importancia ya que al ser esta la utilizada para los elementos de almacenamiento de la bibliotecas de celdas estándar, al seguirla se puede garantizar que posteriormente las herramientas de caracterización podrán interpretar la función lógica de la celdas sin problema alguno. La estructura de esta celda consta únicamente de inversores e inversores triestado para crear los latches internos de los registros y 2 inversores adicionales para distribuir la señal de reloj hacia los inversores triestado. Para el caso de la estructura del multiplexor, similarmente se usa inversores triestado para habilitar el paso de los datos y se utilizan inversores para la señal SE y su señal SO de salida, donde luego esta se conecta hacia la entrada del registro para escaneo.

En la figura 4.12 se muestra la simulación funcional de la celda. La señal SE debe estar en 0 lógico, de tal manera que se le permita conmutar al registro que tiene como entrada la señal DI y la salida Q (Registro funcional). Como es posible observar, en cada flanco de positivo de reloj el valor de la señal DI es transferido a Q. Similar al comportamiento anterior, el valor en la entrada SI también es transferido a SO en cada flanco de reloj positivo. Al estar la entrada SE en 0 lógico, el valor de la entrada DI también es la entrada del registro de escaneo y por ende SO imita el comportamiento Q.

En la figura 4.13 se muestra el comportamiento durante el modo de desplazamiento de la celda de escaneo tipo shadow. En donde en un inicio al estar la señal SE en 0 lógico, como ya se describió anteriormente el valor de D se ve reflejado en Q en cada flanco positivo de

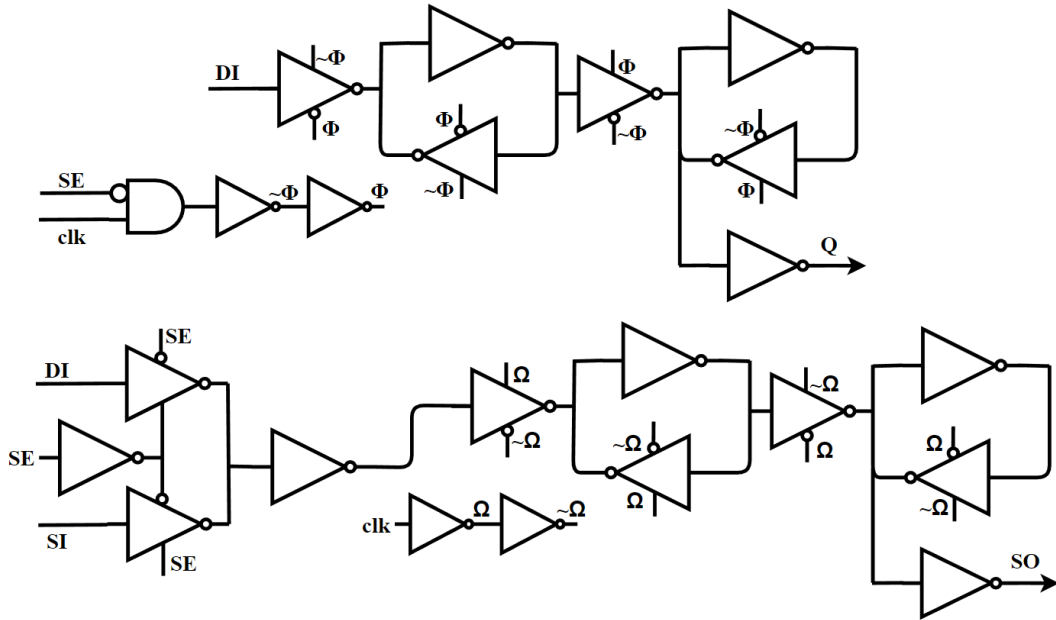


Figura 4.11: Diagrama de topología de circuito de celda de escaneo tipo shadow a implementar. La topología mostrada se basa únicamente en inversores triestado e inversores para los elementos de almacenamiento.

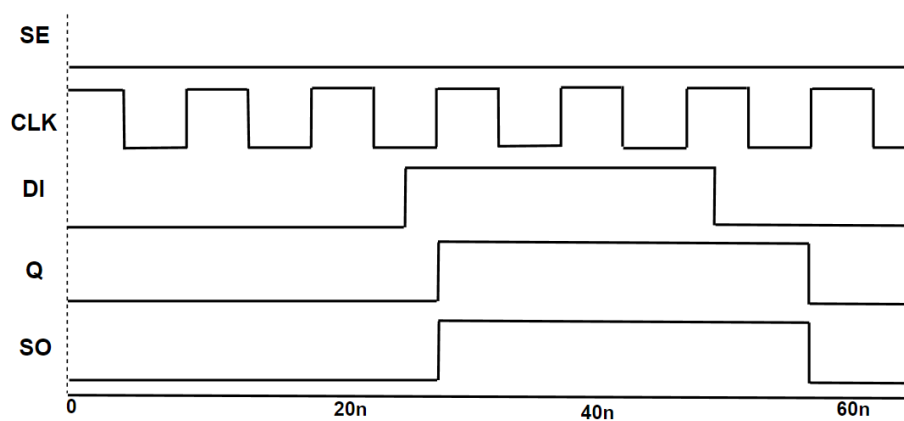


Figura 4.12: Simulación funcional de celda de escaneo tipo shadow. Se observa que tanto la señal Q y SO siguen el valor de la entrada DI como es esperado.

reloj, pero una vez SE se encuentre en 1 lógico, la salida Q debe retener su último valor y el valor de la entrada SI debe verse en la salida SO también durante cada flanco positivo de reloj.

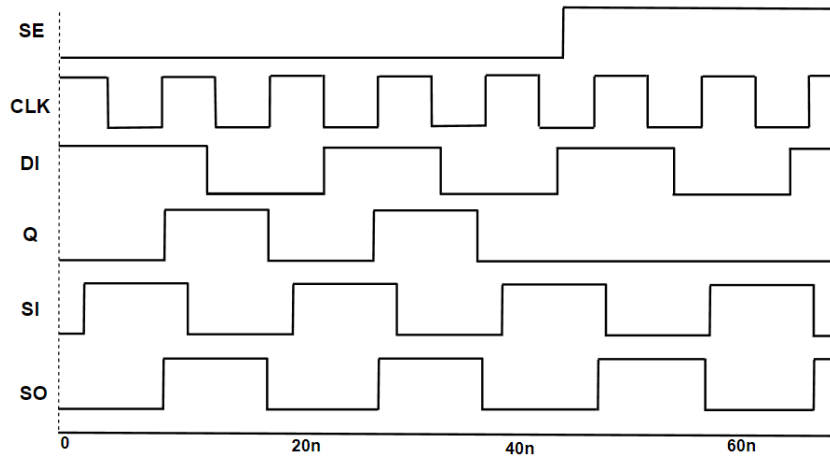


Figura 4.13: Simulación de funcionalidad de escaneo de celda tipo shadow. Se observa que durante el momento que la señal SE adquiere el valor de 1, la salida SO sigue el valor en la entrada SI.

La figura 4.14 muestra el trazado físico de esta celda de escaneo:

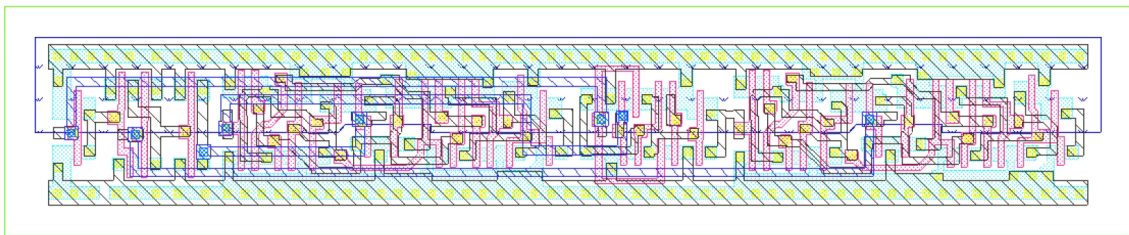


Figura 4.14: Trazado de celda de escaneo tipo shadow. Cabe recalcar que la altura de este trazado es el mismo que las celdas estándar de la biblioteca.

Una vez con todas las vistas necesarias listas y con la validación comportamental hecha, es posible realizar la caracterización de la celda para luego usarla como parte el flujo de síntesis del SIWA. Una vez obtenida la síntesis integrando la celda de escaneo tipo shadow, al igual que con el diseño del SIWA usando celdas de tipo D-muxed, se crea una cadena con 128 elementos. De la misma manera para verificar que no se este modificando el comportamiento funcional del diseño, se lleva a cabo nuevamente las mismas simulaciones, en donde como resultado se obtiene exactamente el mismo comportamiento.

4.3. SIWA con cadenas de escaneo usando latches pulsados

La celda propuesta para la solución se muestra nuevamente en la figura 4.15, la cual esta compuesta por un registro, un latch y un multiplexor. Se hace referencia a esta celda de ahora en adelante como FF-PSL para mayor facilidad (*Flip Flop - Pulse scan latch*).

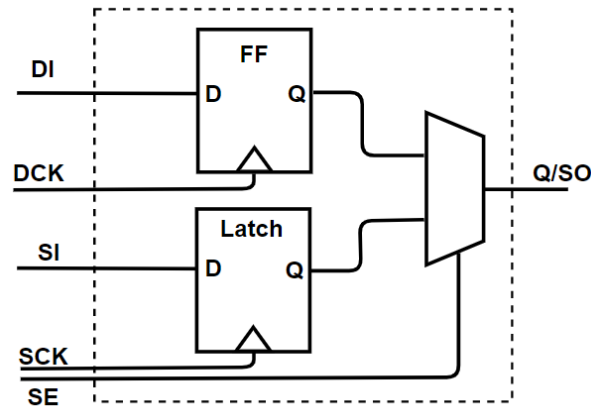


Figura 4.15: Diagrama de circuito de latch pulsado con escaneo propuesto. (Topología conformada por flip flop, latch y multiplexor para solucionar la observabilidad destructiva).

Además de la celda anterior, en la figura 4.16 se muestra el generador de pulsos para la metodología de reloj auto generado a implementar.

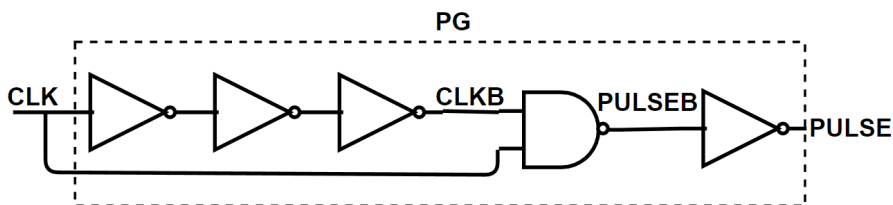


Figura 4.16: Diagrama de compuertas de circuito generador de pulsos [6]. Esta es la topología final usada para implementar el bloque generador de pulsos.

Y la figura 4.17, muestra un diagrama a escala de como debe verse toda la estructura interconectada entre las celdas anteriores y el generador de pulsos (PG), y como esta debe integrarse como parte de un diseño.

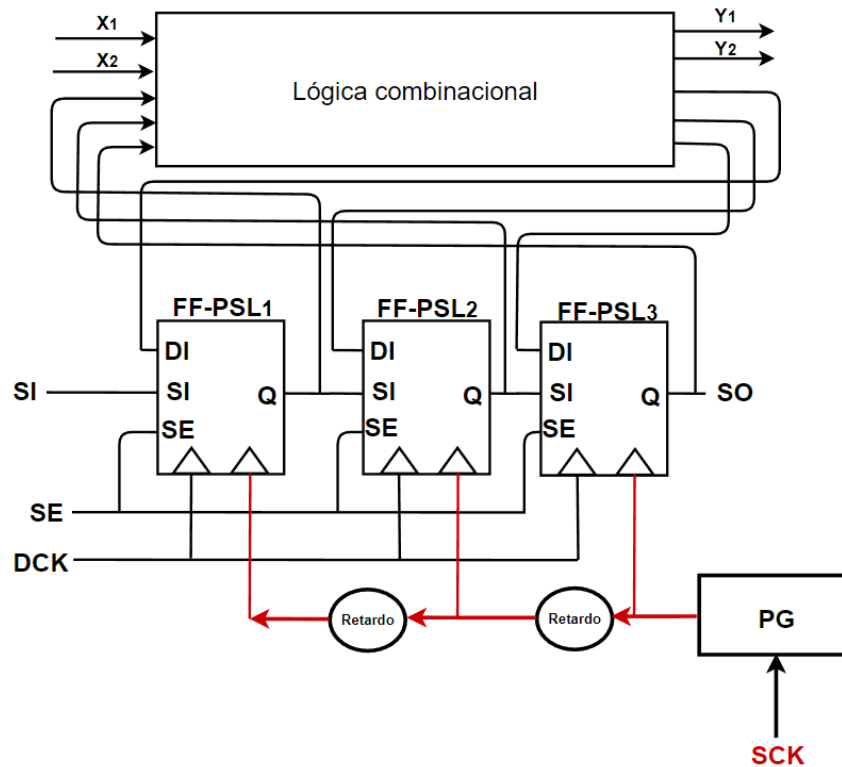


Figura 4.17: Diagrama ejemplo de celda FF-PSL con reloj auto generado integrada en diseño. Obsérvese la estructura final de la cadena implementada sobre un diseño.

La figura 4.18 muestra el diagrama a nivel de transistor de la celda FF-PSL a utilizar. Donde la topología que se emplea es basada en las propias celdas estándar del proceso de fabricación disponible, esto con el objetivo de tener la certeza de que las herramientas de caracterización van a ser capaces de identificar la función lógica de la celda. Este es un aspecto crítico, ya que también es una limitante sobre el tipo de topología de celdas que se pueden diseñar.

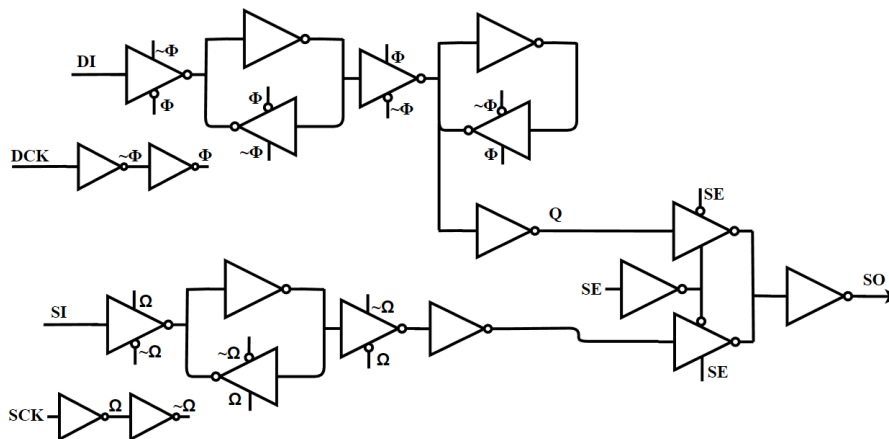


Figura 4.18: Diagrama de topología de circuito de celda FF-PSL. La topología mostrada se basa únicamente en inversores triestado e inversores para los elementos de almacenamiento y el multiplexor.

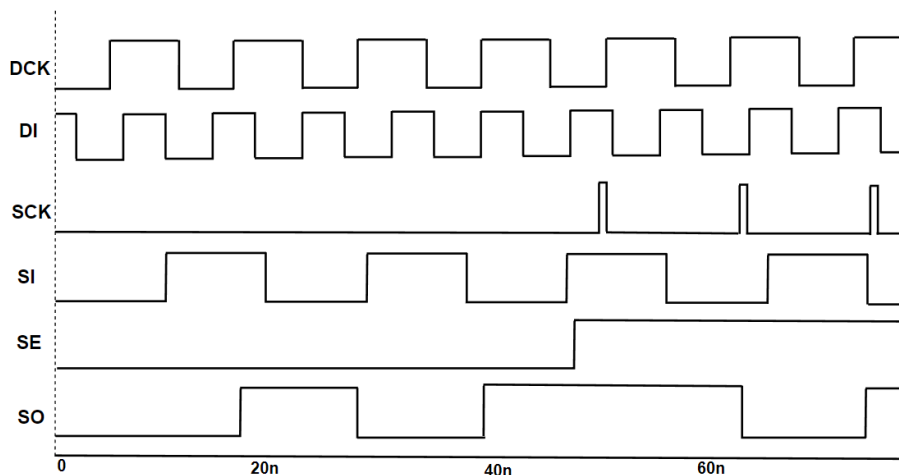


Figura 4.19: Simulación de funcionalidad de celda FF-PSL. Nótese que en un inicio la celda se encuentra operando de manera funcional y luego ante los pulsos de la señal SCK almacena los valores de la entrada SI.

En la simulación de la figura 4.19, se puede observar que la señal SE al estar en 0 lógico, durante cada flanco de reloj en la entrada DCK, el valor en DI es transferido a Q. En el momento en el que SE se encuentra en 1 lógico, durante cada pulso de la señal SCK, lo que se ve reflejado en la salida Q es el valor de SI. De esta forma en un escenario en el que se desee saber el estado interno de los registros, el último valor en el registro funcional va a ser el valor de entrada del siguiente elemento en la cadena. En este momento es necesario aplicar un pulso por la entrada SCK para permitir que el latch almacene este valor, y una vez se desee desplazar los datos SE debe ser 1 lógico, para así seleccionar la salida del latch y enviar los datos al siguiente elemento de la cadena. Una vez en este estado, la señal de reloj en DCK no debe conmutar para así retener el estado de los registros funcionales mientras se desplazan los valores. Una vez se desee cargar nuevamente los valores del registro funcional, la señal SE debe regresar a 0 lógico.

Para la celda del generador de pulsos, los elementos que requieren mayor detenimiento son los inversores antes de la compuerta AND, ya que estos determinan el ancho del pulso con el que los latches debe ser capaces de capturar los datos durante el proceso de desplazamiento. Para esto se realizan las siguientes simulaciones donde el largo del canal de estos inversores es variado hasta poder observar a partir de que valor el latch es capaz de capturar los datos ya sea 1 o 0 sin fallar.

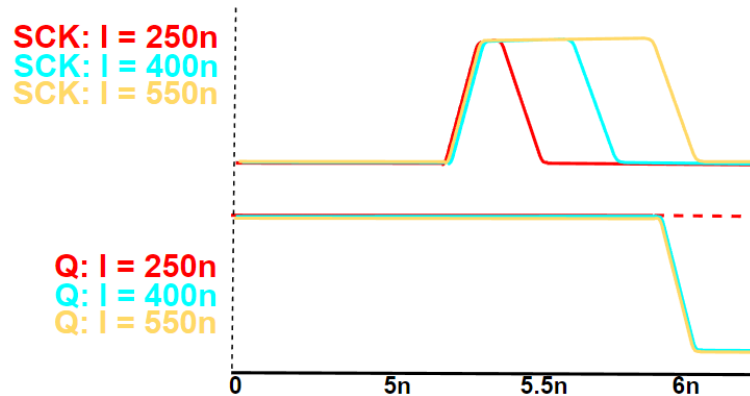


Figura 4.20: Simulación para dimensionamiento de inversores de generador de pulsos (Se muestra en la salida para el caso de la transición de 1 a 0).

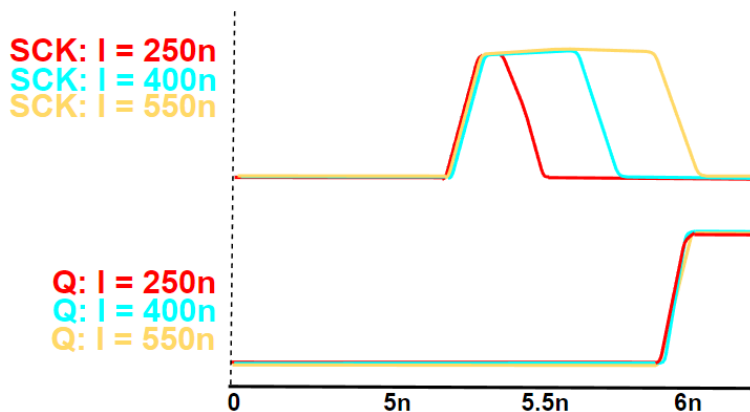


Figura 4.21: Simulación para dimensionamiento de inversores de generador de pulsos (Se muestra en la salida para el caso de la transición de 0 a 1).

La simulación de la figura 4.20 indica que para el caso de una transición de bajada, el largo de los inversores debe ser de alrededor de 400 nm, ya que antes de este punto la captura del 0 lógico falla (línea roja punteada debe transicionar a 0 y se mantiene en 1) y para el caso de subida, la figura 4.21 muestra que es requerido de un mínimo de 250 nm, ya que en todos los casos se captura el 1 lógico adecuadamente. Por lo que es necesario utilizar al menos 400 nm de largo de canal de los inversores para poder crear un ancho de pulso lo suficientemente grande como para que el latch funcione en ambas transiciones.

En la figura 4.22 y 4.23 se muestran los trazados del generador de pulsos y la celda FF-PSL.

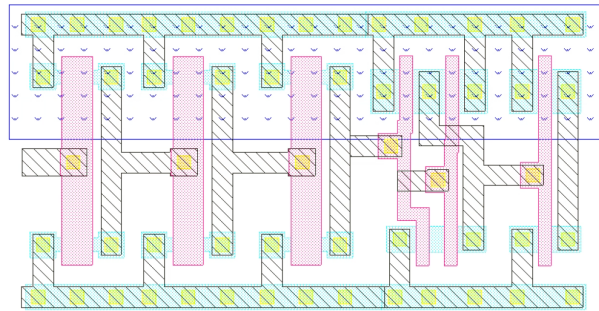


Figura 4.22: Trazado de celda generador de pulsos. Obsérvese que el largo del canal de los inversores es mayor comparado con la compuerta AND.

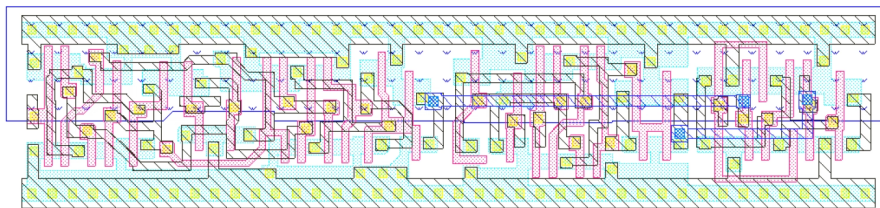


Figura 4.23: Trazado de celda FF-PSL. Se aprecia que en sus dimensiones esta celda es notablemente más pequeña en comparación contra su versión tipo shadow.

Con todas las celdas finalizadas para la caracterización listas y una vez las vistas de estas celdas para la síntesis preparadas, es necesario adaptar el RTL de tal manera que el encadenamiento de las celdas de escaneo ocurra durante la propia síntesis y además manejar de manera especial como el reloj dedicado al desplazamiento de la cadena se optimiza.

Usando el mismo segmento de código que pertenece al comando generate en el RTL del banco de registros del SIWA, se establecen diferentes escenarios de tal manera que se le de una especificación a la herramienta para que interconecte los registros de la manera deseada, como se listan a continuación:

- La cadena se conforma de los primeros 128 registros del banco.
- La entrada SI del primer elemento de la cadena es conectada al puerto SI del SIWA.
- La salida SO del último elemento de la cadena es conectada al puerto SO del SIWA.
- El último elemento de la cadena es el primero en recibir la señal de reloj de la salida del generador pulsos.
- Entre cada elemento luego del primero, debe interconectarse una celda de retardo.

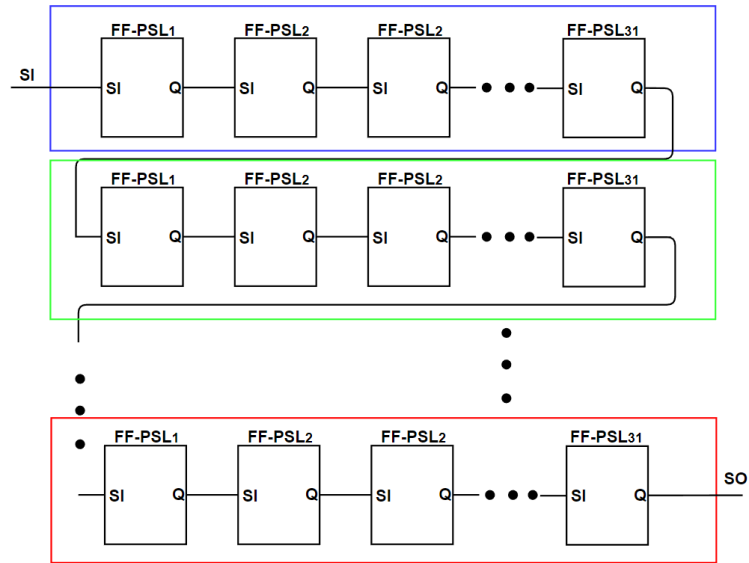


Figura 4.24: Diagrama de construcción de hilado de la cadena. Obsérvese que la cadena es construida en segmentos y luego los segmentos son interconectados.

A manera de visualización la figura 4.24 muestra de manera generalizada como a partir del RTL que crea el banco de registros, se interconectan o hilan los elementos de la cadena. En donde cada recuadro que envuelve las diferentes filas debe concatenarse de forma ordenada una con la otra para tener un solo registro de desplazamiento.

Para las celdas “Retardo” que forman parte de la red de reloj para la metodología a prueba se utilizan buffers. Para la implementación de estos buffers se reutilizan las celdas de inversores diseñadas para el generador de pulsos, debido a que el retardo de cada etapa de buffers o inversores de la biblioteca de síntesis es de alrededor de 50 ps. Esto con el objetivo de tener un menor número de celdas individuales por bloque de “Retardo” y al mismo tiempo poder generar el retardo suficiente y garantizar que los pulsos en la red de reloj nunca se lleguen a traslapar.

Con todas las celdas incluidas y la especificaciones descritas en el RTL, ahora solo es necesario indicarle a la herramienta como tratar la red de reloj. Por defecto las redes de reloj se optimizan según la herramienta vea conveniente, lo cual podría irrumpir en la integridad del resultado deseado para la metodología de reloj auto generado. Para evitar esto, a través de comandos como *set_dont_touch_network* sobre el puerto de reloj SCK a nivel del SIWA, *set_ideal_net* en las interconexiones para el reloj, *set_dont_touch* tanto en la jerarquía del generador de pulsos como en la jerarquía de las celdas de “Retardo”.

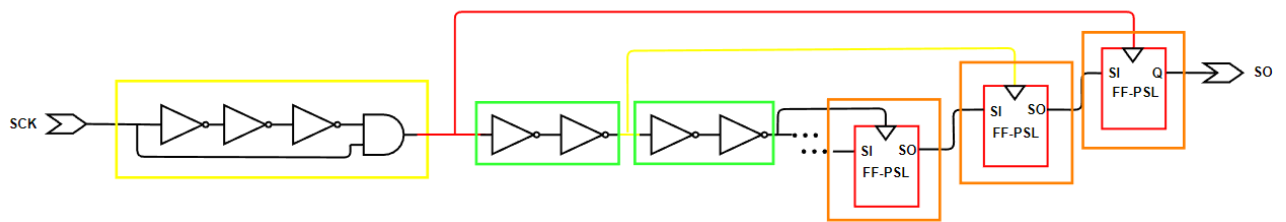


Figura 4.25: Diagrama esquemático post síntesis del segmento final de cadena. Obsérvese que se toman los últimos 3 elementos de la cadena para mostrar y verificar la integridad luego de la síntesis.

La figura 4.25 muestra el diagrama del resultado post síntesis, en donde a manera de ejemplo se toman los últimos 3 elementos de la cadena (recuadros rojos) para mostrar y verificar la integridad. Adicionalmente a estos elementos, se incluyen sus respectivos circuitos de retardo (recuadros verdes) y el generador de pulsos (recuadro amarillo). El puerto a la izquierda de la figura corresponde a SCK, el cual está conectado a la entrada del generador de pulsos dentro de la jerarquía de color amarillo, la salida del generador de pulsos que corresponde a la net de color rojo está conectada a la entrada de reloj de escaneo del último elemento de la cadena y la salida de este a la salida SO de todo el diseño. La entrada SI del último registro está conectada a la salida del registro anterior (y así sucesivamente para el resto de celdas en la cadena), y la entrada de reloj de escaneo de este registro (net amarilla) es manejada por la primera celda de retardo luego del generador de pulsos. Siendo así el resultado esperado comparado con el diagrama de la figura 4.17.

Con la integridad de la cadena verificada, se realiza la simulación funcional y de escaneo, al igual que en las simulaciones de los otros diseños del SIWA, se tiene el mismo comportamiento en ambas simulaciones, donde se confirma la correcta implementación de la lógica y el correcto funcionamiento de la cadena.

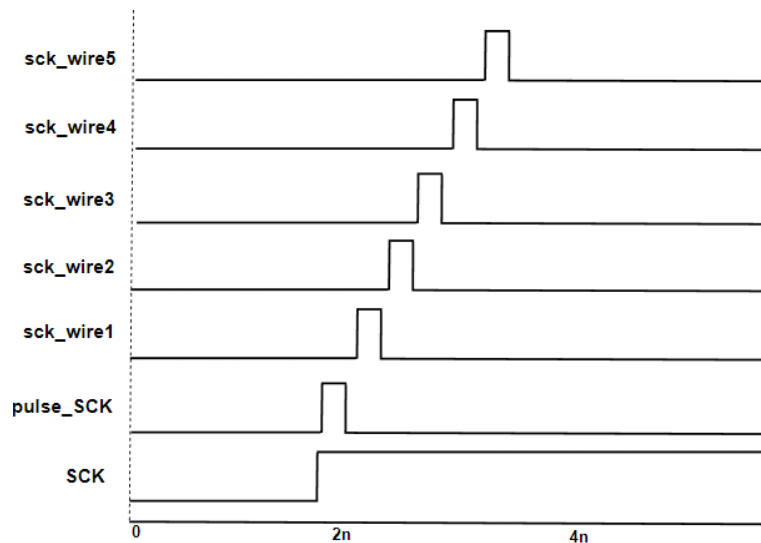


Figura 4.26: Red de pulsos de cadena de escaneo post síntesis con celda FF-PSL, en donde se nota que los pulsos se ven afectados por la red de retado de reloj.

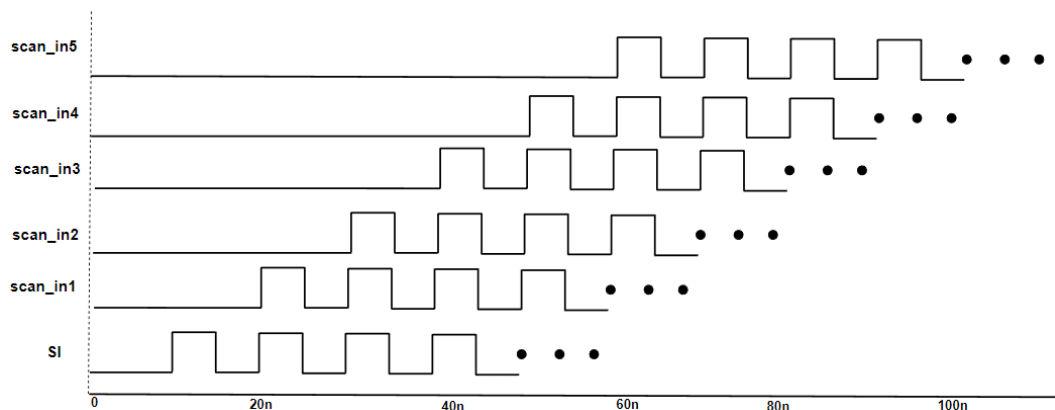


Figura 4.27: Desplazamiento de patrón de entrada de cadena de escaneo post síntesis con celda FF-PSL. Aquí es visible que el patrón se ve afectado por la secuencia latch a latch.

La figura 4.26 muestra como a partir de la señal de reloj de entrada SCK, se genera el primer pulso y como este se va moviendo a través de la red de retardo de reloj. Y en la figura 4.27, como el patrón de entrada se va desplazando dentro de la cadena a través de los primeros elementos que la componen. Una de las restricciones asociadas al periodo de reloj de escaneo, se basa en que debido al retraso implícito de la celda de retardo para evitar el traslape, es necesario tener un periodo igual o mayor al tiempo de ancho de pulso por el número de registros en la cadena. Si esta restricción no se cumple, la cadena no sería capaz de desplazar los datos dentro de un mismo ciclo de reloj.

A partir de estas simulaciones se obtiene también los archivos saif, los cuales describen cuanto conmuta las señales bajo una simulación específica. Lo que permite para el caso de la

simulación de la cadena, obtener una potencia asociada cuando se introducen secuencias de 0 y 1, osea un peor escenario donde la mayoría del tiempo de simulación ocurren transiciones durante el desplazamiento.

5 Análisis de resultados

A continuación se presentan las tablas con algunos de los indicadores más significativos post síntesis para las diferentes versiones del SIWA y para las celdas que componen las cadenas.

Tabla 5.1: Resultados obtenidos de área y cantidad de lógica de síntesis de las diferentes implementaciones del SIWA. Nótese que el área total del diseño crece de manera similar luego de la transformación.

<i>Dato</i>	RTL base	Cadena con SDFRQHDLX0	Cadena con FF-PSL	Cadena con shadow
Área combinacional (μm^2)	72698.2	130908.75	119467.57	110949.51
Área no combinacional (μm^2)	209541.25	228565.27	221279.79	220675.06
Número Buf/Inv	736	761	1336	1058
Número Buf	97	135	262	225
Número Inv	638	626	1074	833
Área Buf/Inv (μm^2)	5785.09	6066.28	16073.75	9328.05
Área de diseño (μm^2)	801887.5	884503.67	877417.9	874086.81

Tabla 5.2: Resultados obtenidos de potencia de simulación funcional de las diferentes implementaciones del SIWA. Obsérvese que la celda FF-PSL posee cierta ganancia en consumo de potencia incluso en la prueba funcional.

<i>Potencias</i>	Diseño Base	Cadena con Shadow	Cadena con SDFRQHDLX0	Cadena con FF-PSL
Potencia de conmutación SIWA (mW)	0.00739	0.0897	0.0257	0.0236
Potencia total SIWA (mW)	0.135	0.428	0.382	0.34

Tabla 5.3: Resultados obtenidos de potencia de simulación de cadena de las diferentes versiones del SIWA con escaneo. Obsérvese que la celda FF-PSL posee gran ganancia en consumo de potencia en la prueba de desplazamiento.

<i>Potencias</i>	Cadena con Shadow	Cadena con SDFRQHDLX0	Cadena con FF-PSL
Potencia de conmutación SIWA (mW)	0.0274	0.0248	0.0144
Potencia total SIWA (mW)	0.425	0.386	0.354

Tabla 5.4: Resultados obtenidos de área, largo y tiempos de transición de las diferentes celdas de escaneo. Obsérvese que la celda más lenta es la celda FF-PSL y la más rápida es la celda de la biblioteca SDFRQHDLX0.

<i>Celda</i>	Largo (μm)	Área (μm^2)	T_{rise} (ps)	T_{fall} (ps)
SDFRQHDLX0	14.56	65.2288	328	404
FF-PSL	23.52	105.3696	507	679
Shadow	34.16	153.0368	357	369

A partir de los datos mostrados en las tablas 5.1 y 5.2, se realizan las siguientes observaciones:

1. Hay un incremento total en el área del diseño de aproximadamente un 9% promedio cuando el diseño pasa por la transformación de diseño con escaneo, debido a la necesidad del diseño a la hora de optimizar toda la lógica nueva que ahora recibe la señal de reloj directamente a sus registros y los buffers e inversores nuevos necesarios para necesarios para optimizar la cadena y su red de reloj provenientes de la metodología implementada. Además de que hay un costo de área proveniente de los registros de escaneo que son más grandes que los registros convencionales.

2. También como se observa del comportamiento del número de inversores y buffers en la implementación con FF-PSL, hay un incremento del 82 % respecto al RTL base. Esto es debido a que toda la red de reloj usa inversores, lo cual al mismo tiempo se refleja en un aumento del área de alrededor del triple contra el RTL base.
3. Como es de esperar debido a los cambios en el RTL para hacer el chip un diseño con escaneo, se tiene un aumento en la simulación funcional de potencia de conmutación de aproximadamente unas 6 veces promedio y en potencia total de alrededor de 3 veces más promedio entre las implementaciones con diseño de escaneo. Esto se da por que al pasar el diseño a usar un banco de registros basados en flip flops y al ahora toda esta lógica recibir directamente la señal de reloj el consumo de energía sube considerablemente.
4. Comparando entre las diferentes versiones del SIWA con escaneo en su simulación funcional, se tiene que la implementación FF-PSL contra la versión con shadow, la versión FF-PSL consume 74 % menos potencia de conmutación a nivel del SIWA y si se compara la versión FF-PSL contra la versión D-mux, la versión FF-PLS es 8 % más eficiente. Este es un comportamiento esperado ya que el diseño que posee las celdas tipo shadow tiene un registro extra que va a estar también consumiendo energía, mientras que para el caso del diseño que usa las celdas D-mux se asemeja al del del diseno con FF-PSL, ya que durante el modo funcional ambos tienen un solo registro funcionando.

Los resultados mostrados en las tablas 5.3 y 5.4 corresponden a los resultados de potencia relacionados a la simulaciones de escaneo y las características de las diferentes celdas respectivamente. A partir de estos datos se realizan las siguientes observaciones:

1. Haciendo una comparación entre las diferentes versiones con escaneo del SIWA, la celda FF-PSL es 47 % y 42 % más eficientes en potencia de conmutación en la simulación de escaneo contra la versión con tipo shadow y D-mux respectivamente. Al utilizar la metodología implementada durante el desplazamiento solamente latches en conjunto con una estrategia de secuenciación en la cual se conmuta un elemento a la vez permite reducir el consumo de potencia dinámico. Este resultado es bastante similar a la idea detrás del uso del registro de desplazamiento usado en la referencia [7], donde llegan a una ganancia del 44 % comparando contra registros de desplazamiento que utilizan flip flops.
2. La celda FF-PSL se encuentra en un intermedio de área comparada contra las otras celdas. La celda estándar posee 8.96 μm menos que la celda FF-PSL, siendo la celda estándar 38 % más pequeña, ya que esta usa solamente el multiplexor y el flip flop. A la misma vez la celda FF-PSL es 31 % más pequeña que la celda de escaneo tipo shadow, debido a que esta usa un flip flop y un latch para los elementos almacenamiento, en

vez de los 2 registros y la logica extra necesaria para la retención del dato funcional durante el desplazamiento.

Tabla 5.5: Área de diferentes celdas de escaneo en la literatura en el nodo de 180 nm. Obsérvese que hay una versión de celda de tipo muxed-D bastante similar en área a las usadas.

<i>Trabajo</i>	Tipo de Celda	Área (μm^2)
[19]	Muxed-D	129.73
[7]	Muxed-D	37.5

Respecto a como se compara a nivel de celdas contra otras implementaciones disponibles en la literatura, la tabla 5.5 muestra el área de diferente celdas de escaneo implementadas en la misma tecnología de fabricación. La celda implementada llega a incluso a ser un 18 % más pequeña comparada contra el trabajo presentado en [19] y 64 % más grande contra la celda en [7], aunque la funcionalidad de las celdas sea en el fondo diferente.

6 Conclusiones

La investigación presentada logró realizar la transformación de un diseño sin ninguna técnica de DFT a uno donde es posible implementar una metodología de diseño estructurado por medio del uso de cadenas de escaneo. Además, se logró implementar diferentes versiones de celdas que componen la cadena de escaneo en el diseño ya transformado, en donde luego de incluir la cadena este sufre un aumento de área promedio de 9 % en comparación contra el diseño que no posee ninguna metodología de escaneo. También se logró implementar varias celdas a través de un proceso de caracterización y diseño personalizado, que fueron luego utilizadas en un flujo de síntesis de circuitos integrados.

Se consiguió desarrollar la celda alternativa de escaneo que utilizó una metodología de reloj auto generado que se integró como parte de un diseño y se comprobó que este acercamiento es de alrededor de 47 % más eficiente en consumo de potencia respecto a su contra parte de tipo *shadow*, que también fue implementada a partir de un metodología de diseño personalizado e implementada en flujo de síntesis.

La celda estándar posee 8.96 μm menos que la celda FF-PSL, siendo la celda estándar 38 % más pequeña, ya que esta usa solamente el multiplexor y el flip flop. A la misma vez la celda FF-PSL posee un ahorro de 31 % en área que la celda de escaneo tipo *shadow*, debido a que esta usa un flip flop y un latch para los elementos almacenamiento. También la celda FF-PSL es alrededor de 300 ps más lenta que las otras implementaciones pensando en una aplicación de velocidad, pero posee una gran ventaja en consumo de potencia dinámica durante el desplazamiento.

7 Trabajo futuro

El trabajo futuro consiste en la implementación física de las diferentes versiones del SI-WA, que debido al cambio de herramientas de síntesis que ocurrió durante el desarrollo del proyecto, este requeriría crear un nuevo flujo de síntesis física. Una vez con los diferentes diseños con restricciones en un área establecida, celdas colocadas e interconexiones, se tendrán datos más precisos. Una vez exista la arista física, las herramientas podrían optimizar de manera diferente la lógica, cambiando su composición.

Referencias

- [1] L.-T. Wang, C.-W. Wu, and X. Wen, *VLSI Test Principles and Architectures: Design for Testability*. San Francisco, CA, USA: Morgan Kaufmann Publishers Inc., 2006.
- [2] M. Zhang, S. Mitra, T. M. Mak, N. Seifert, N. J. Wang, Q. Shi, K. S. Kim, N. R. Shanbhag, and S. J. Patel, "Sequential element design with built-in soft error resilience," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 14, no. 12, pp. 1368–1378, 2006.
- [3] S. Sarrazin, S. Evain, L. A. de Barros Naviner, Y. Bonhomme, and V. Gherman, "Scan design with shadow flip-flops for low performance overhead and concurrent delay fault detection," in *2013 Design, Automation Test in Europe Conference Exhibition (DATE)*, 2013, pp. 1077–1082.
- [4] Xijiang Lin, R. Press, J. Rajski, P. Reuter, T. Rinderknecht, B. Swanson, and N. Tamarapalli, "High-frequency, at-speed scan testing," *IEEE Design Test of Computers*, vol. 20, no. 5, pp. 17–25, 2003.
- [5] M. Stojcev, "Advances in electronic testing: Challenges and methodologies, dimitris gizopoulos (ed.). springer, dordrecht (2006), 412 pp., plus xxvi, hardcover, isbn: 0-387-29408-2." *Microelectronics Reliability*, vol. 48, pp. 798–799, 05 2008.
- [6] R. Kumar, K. C. Bollapalli, R. Garg, T. Soni, and S. P. Khatri, "A robust pulsed flip-flop and its use in enhanced scan design," in *2009 IEEE International Conference on Computer Design*, 2009, pp. 97–102.
- [7] B. Yang, "Low-power and area-efficient shift register using pulsed latches," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 6, pp. 1564–1571, 2015.
- [8] A. Allan, D. Edenfeld, Joyner, A. Kahng, M. Rodgers, and Y. Zorian, "2001 technology roadmap for semiconductors," *Computer*, vol. 35, pp. 42–53, 02 2002.
- [9] L. T. Wang, "Vlsi test principles and architectures," *San Mateo, CA, USA: Morgan Kaufmann*, 2006.
- [10] I. Indino and C. MacNamee, "Dft: Scan testing issues and current research," in *25th IET Irish Signals Systems Conference 2014 and 2014 China-Ireland International Conference on Information and Communications Technologies (ISSC 2014/CIICT 2014)*, June 2014, pp. 227–232.
- [11] B. Cheung and L.-T. Wang. (1996) The seven deadly sins of scan-based designs. [Online]. Available: <https://www.eetimes.com/editorial/1997/test9708.html>
- [12] M. A, *Digital logic testing and simulation*. 2nd edn. Wiley, Hoboken, NJ, 2003.
- [13] C. Hay, "Testing low power designs with power-aware test," *product manager Synopsys*, 2010.
- [14] F. Wu, L. Dilillo, A. Bosio, P. Girard, S. Pravossoudovitch, A. Virazel, J. Ma, W. Zhao, M. Tehranipoor, and X. Wen, "Analysis of power consumption and transition fault coverage for los and loc testing schemes," in *13th IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems*, 2010, pp. 376–381.
- [15] P. Girard, N. Nicolici, and S. O. service), *Power-Aware Testing and Test Strategies for Low Power Devices*. Boston, MA :: Springer US,, 2010. [Online]. Available: <http://dx.doi.org/10.1007/978-1-4419-0928-2>
- [16] J. M. Rabaey, A. Chandrakasan, and B. Nikolic, *Digital integrated circuits- A design perspective*, 2nd ed. Prentice Hall, 2004.
- [17] P. Pant and J. Zelman, "Understanding power supply droop during at-speed scan testing," in *2009 27th IEEE VLSI Test Symposium*, 2009, pp. 227–232.
- [18] J. Rabaey and M. Pedram, *Low Power Design Methodologies*. Kluwer Academic Publishers, 1996.
- [19] A. Cui, Z. Chang, Z. Wang, G. Qu, and H. Li, "A memristor-based scan hold flip-flop," in *2019 IEEE Non-Volatile Memory Systems and Applications Symposium (NVMSA)*, Aug 2019, pp. 1–2.