

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería en Electrónica



Cibertec Internacional S.A.

Diseño preliminar de las etapas de auto-configuración y control de flujo de datos, para transmitir información de voz en formato digital entre la Red Telefónica Pública Conmutada y la red de transporte internacional.

Informe de Proyecto de Graduación para optar por el título de Ingeniero en Electrónica con el Grado Académico de Licenciatura

Luis Fernando Bogantes Mora

Luis Carlos Rodríguez Coronado

Cartago, 26 Noviembre de 2002

Resumen

El objetivo de este proyecto es elaborar un estudio de dispositivos de configuración y control de flujo de datos (voz en formato digital) entre la red PSTN y la red de transporte internacional. Estos dispositivos han de formar parte de una serie de tarjetas capaces de establecer llamadas internacionales vislumbrando un mercado poderoso en las llamadas entre familiares y amigos. De ahí su nombre “Friends and Family” (F&F).

Para llegar a la solución preliminar de diseño, se debió elaborar una investigación profunda de varios dispositivos. Este informe contempla únicamente los de control de flujo de datos; tal es el caso de los Conmutadores Digitales, Microcontroladores, Buses de Comunicación, Normas sobre Back Panel H.110 y Normas Internacionales. Lo anterior sustenta la base teórica que conlleva al desarrollo de dichas tarjetas de manera exitosa.

Se comenzó con la búsqueda de información y comparación entre los componentes existentes en el mercado; de manera que se eligiera el más apto en cada caso para los propósitos del Proyecto F&F. Luego se escogieron los componentes y se profundizó en su estudio, elaborando manuales de programación y las partes de cada dispositivo en Orcad. Finalmente, se elaboraron resúmenes donde se intentó rescatar todo lo necesario para entender la manera en que operan los dispositivos estudiados utilizando gran material de apoyo en formato digital para llevar al límite la adquisición de conocimiento.

Este proyecto se desarrolló en conjunto con otros dos practicantes quienes enfocaron su estudio en las etapas de procesamiento digital de señales, cancelación de eco e interfaz de línea. Ambos estudios permitieron desembocar en una única propuesta de diseño preliminar mostrada en el capítulo 5 de este informe.

Palabras claves:

Digital Switch, Microcontrolador, Normas ITU-T, Bus H.110, Hot Swap, Back Panel.

Abstract

The principal subject of this project is to elaborate a study about configuration and data flow control devices, between PSTN network and international transport network. These devices have to comprise a series of cards able to establish international calls, glimpsing a powerful market between Friends and Family (F&F).

In order to reach the preliminary solution of design, a deep investigation of several devices was due to elaborate. This report only contemplates the data flow control devices; so it is the case of the Digital Switch, Micro-Controllers, H.110 Hardware Compatibility Specification (CT Bus) and International Standards. This summary sustains theoretical base that entails the development of these cards and to get success.

One began with the search of information and comparison between the existing components in the market; so that it was chosen most apt devices in each case for the Project F&F. After that we chose the components and deepened in its study, we elaborating programming manuals and the schematics parts of each device. Finally, summaries were elaborated where it was tried to rescue all the necessary to understand the way in that they operate, using great digital material support to take to the limit the knowledge acquisition.

This project was developed altogether with other two students who focused their study in the stages of digital signal processing (DSP), voice echo cancellation (VEC) and line interface. Both studies allowed to end at an only proposal of shown preliminary design in the chapter 5 in this report.

Keywords:

Digital Switch, Micro-controllers, ITU-T Standards, H.110 Specifications, Hot Swap, Backplane.

Dedicatoria

“A mis padres que con su desinteresado apoyo estuvieron a mi lado, brindándome confianza y ánimo aún en los momentos difíciles de mi vida y mis estudios. A mis hermanos por su cariño y la confianza que depositaron en mí. A mi novia Gloriana por su comprensión y palabras de aliento oportunas en las etapas de mi carrera y de mi vida donde más los necesitaba. Por último, a aquellos compañeros y amigos que de una u otra manera compartieron su amistad y esfuerzo para alzar esta meta.”

Luis Carlos Rodríguez Coronado

Dedicatoria

“A mis padres, quienes me han apoyado siempre y me han brindado su confianza en tantos momentos difíciles de mi carrera. A mi novia Guiselle, por su apoyo incondicional en todo momento. Y a mí, porque supe llegar hasta aquí esquivando tanto obstáculo en el camino.”

Luis Fernando Bogantes Mora

Agradecimiento

Primeramente a Dios y a la Virgen de los Ángeles por hacerme sentir fuerte en los malos momentos y protegerme en la ruta que seguí durante todo este tiempo fuera de casa. A mis padres por estar juntos a mi lado depositando en mí la confianza y fe para salir adelante y así realizarme plenamente como profesional. A mi novia que de corazón me entregó su confianza en medio de las adversidades de la vida. A los profesores de la carrera que con su amplio conocimientos y su interés me forjaron como una persona de provecho para la sociedad. Y por último, a los ingenieros de Cibertec Int. que estuvieron a cargo de la práctica de especialidad por su valiosa guía, que culmina con la meta propuesta al inicio de mi carrera.

Luis Carlos Rodríguez Coronado

Agradecimiento

“Agradezco a Dios por permitirme alcanzar ésta meta y darme la mano cada vez que he caído en mi afán de luchar por lo que quiero. También a mis padres por saber esperar que ese árbol que plantaron hace 23 años diera sus frutos. Y a mi novia Guiselle, quien me ha brindado su apoyo, ternura y amor durante todo este tiempo..”

Luis Fernando Bogantes Mora.

ÍNDICE GENERAL

CAPÍTULO 1:.....	1
INTRODUCCIÓN	1
1.1 Descripción de la empresa	1
1.1.1 Descripción general.....	1
1.1.2 Descripción del departamento donde se realizó el proyecto de graduación.....	4
1.2 Definición del problema y su importancia.....	5
1.3 Objetivos	6
1.3.1 Objetivo general	6
1.3.2 Objetivos específicos.....	7
CAPÍTULO 2:.....	8
ANTECEDENTES.....	8
2.1 Estudio del problema a resolver	8
2.1.1 Capacidad de inserción y extracción de tarjetas en sistemas activos (HOT SWAP), PICMG 2.1.	9
2.1.1.1 Definición	9
2.1.1.2 Requerimientos mecánicos del Backplane.....	9
2.1.1.3 Requerimientos eléctricos del Backplane.....	10
2.1.1.4 Etapas del proceso de Hot Swap	11
2.1.1.5 Modelo básico de Hot Swap.....	13
2.1.1.6 Modelo completo de Hot Swap	14
2.1.1.7 Modelo de alta disponibilidad	15
2.1.1.8 Componentes del sistema Hot Swap	15
2.1.1.9 Alta disponibilidad y características de redundancia.....	20

2.1.2	Modulación de Pulsos	21
2.1.2.1	Modulación de pulsos codificados (PCM)	21
2.1.2.2	Emisión	22
2.1.2.3	Recepción	23
2.1.3	Sistema portadora digital E1/T1	24
2.1.3.1	Sistema de Portadora Digital T1	25
2.1.3.2	Sistema de Portadora Digital E1	32
2.2	Requerimientos de la empresa.....	43
2.3	Solución propuesta.....	44
CAPÍTULO 3:.....		46
PROCEDIMIENTO METODOLÓGICO		46
CAPÍTULO 4:.....		49
DESCRIPCIÓN DEL HARDWARE UTILIZADO.....		49
4.1	Bus H.110 o Bus CT.....	50
4.1.1	Descripción del bus CT.....	50
4.1.1.1	Objetivos	51
4.1.1.2	Definición de señales del bus CT.....	52
4.1.2	Sincronización y relojes del bus CT.....	55
4.1.2.1	Introducción.....	55
4.1.2.2	Señales de reloj del bus CT	55
4.1.2.3	Exactitud de relojes	56
4.1.2.4	CT_NETREF_1 y CT_NETREF_2 para relojes redundantes.....	56
4.1.2.5	Protección de reloj (Clock Fallback).....	57
4.1.3	Bus de transferencia de datos	59

4.1.3.1	Introducción.....	59
4.1.4	Especificaciones Eléctricas	60
4.1.4.1	Introducción.....	60
4.1.4.2	Requerimientos de Interfaz	60
4.1.4.3	Terminaciones.....	61
4.2	Digital Switch MT90866.....	62
4.2.1	Introducción	62
4.2.2	Características.....	62
4.2.3	Aplicaciones:	64
4.2.4	Descripción del dispositivo	65
4.2.4.1	Descripción funcional	66
4.2.4.2	Retardos debidos al MT90866	69
4.2.4.3	Interfaz de microprocesador.....	69
4.2.4.4	Mapeo de direcciones de las memorias y registros	70
4.2.4.5	Configuración de pines.....	73
4.2.4.6	DPLL	74
4.2.4.7	Modos de operación del MT90866.....	74
4.2.4.8	Inicialización del MT90866	76
4.2.4.9	Puerto de acceso para prueba (Test Access Port (TAP))	77
4.2.4.10	Registro de Instrucción (Instruction Register)	78
4.2.4.11	Test Data Register	78
4.3	Microcontrolador MMC2114	79
4.3.1	Introducción	79
4.3.2	Modos de operación del MC2114.....	83

4.3.2.1	Modo Maestro (Master mode)	84
4.3.2.2	Modo Simple (Single-chip mode)	84
4.3.2.3	Modo de Emulación (Emulation mode)	84
4.3.2.4	Modo FAST (Factory Access Slave Test Mode)	84
4.3.3	Modos de operación para bajo consumo de energía.....	85
4.3.3.1	Modo RUN	85
4.3.3.2	Modo WAIT	85
4.3.3.3	Modo DOZE	86
4.3.3.4	Modo STOP	86
4.3.4	Mapa de memoria del sistema.....	86
4.3.5	Implementación (funcionalidad) de señales específicas del chip	88
4.3.5.1	Funciones de la señal RSTOUT.....	88
4.3.5.2	Funciones de la señal INT.....	88
4.3.5.3	Funciones del pin SPI (Serial Peripheral Interface).....	88
4.3.5.4	Funciones de los pines de SCI (Serial Communications Interface).....	88
4.3.5.5	Funciones de los pines Timer 1 y Timer 2.....	89
4.3.5.6	Funciones de los pines del convertidor analógico-Digital con capacidad de cola: Queued Analog-to-Digital Converter (QADC).....	89
4.3.6	Descripción de señales.....	89
4.3.6.1	Señales de Reset.....	89
4.3.6.2	Señales de Phase-Lock Loop (PLL) y Clock.....	90
4.3.6.3	Señales de interface de memoria externa.....	90
4.3.6.4	Señales de Edge Port	92
4.3.6.5	Módulo de interfase de señales seriales periféricas.....	92

4.3.6.6	Señales del módulo de interfase de comunicación serial (SCI)	93
4.3.6.7	Señales de Timer (ICOC1[3:0] y ICOC2[3:0])	93
4.3.6.8	Convertidor de señales Analógicas a Digitales	93
4.3.6.9	Señales de soporte de depuración y emulación.....	94
4.3.6.10	Señales de prueba (TEST).....	94
4.3.6.11	Señales de alimentación y tierra	94
CAPÍTULO 5:.....		96
ANÁLISIS Y RESULTADOS		96
5.1	Explicación del diseño	96
5.1.1	F-switch	96
5.1.1.1	F-E1/T1	96
5.1.1.2	F-VEC (Voice Echo Cancellation)	98
5.1.1.3	F-HI (Host Interface).....	101
5.1.1.4	F-PSU (Power Supply Unit).....	102
5.1.2	Diagrama de bloques general del Proyecto F&F	103
5.2	Alcances y Limitaciones	105
5.2.1	Investigación Teórica.....	105
5.2.1.1	Microprocesador	105
5.2.1.2	Digital Switch.....	105
5.2.1.3	Bus H.110	106
5.2.1.4	Hot Swap.....	106
CAPÍTULO 6:.....		107
CONCLUSIONES Y RECOMENDACIONES		107
6.1	Conclusiones.....	107

6.2 Recomendaciones.....	109
BIBLIOGRAFÍA.....	110
APÉNDICE Y ANEXOS	112

ÍNDICE DE FIGURAS

Figura 1.1	Diagrama Organizacional De La Empresa	3
Figura 2.1	Conector de pines de variada longitud (Pin Staging) para prácticas de Hot-Swap.....	9
Figura 2.2	Ubicación del clip ESD.....	10
Figura 2.3	Proceso por capas de conexión y desconexión en caliente.....	11
Figura 2.4	Secuencia de inserción y extracción.....	12
Figura 2.5	Modelo de sistema básico de Hot Swap.....	18
Figura 2.6	Modelo de sistema Full Hot Swap.....	19
Figura 2.7	Modelo de sistema de alta disponibilidad.....	19
Figura 2.8	Diagrama a bloques simplificado de un sistema PCM de una dirección de un solo canal.....	22
Figura 2.9	El circuito de muestreo y retención convierte la señal en una señal PAM.	22
Figura 2.10	El convertidor analógico digital convierte la señal PAM en un flujo de datos binarios seriales para transmisión.....	23
Figura 2.11	Diagrama del código de inversión de marca alterna	26
Figura 2.12	La Trama Sencilla	27
Figura 2.13	Supertrama (D4)	28
Figura 2.14	Distribución de las tramas en una Supertrama.	28
Figura 2.15	Distribución en una supertrama extendida.....	30
Figura 2.16	Comparación entre codificación AMI y HDB3	34
Figura 2.17	Ubicación de los canales de sincronización y señalización dentro de una ventana de tiempo	35
Figura 2.18	Distribución de la señal de no alineamiento de trama.....	36
Figura 2.19	Distribución de la señal de alineamiento de trama.....	36

Figura 2.20	Operación del TS0 con CRC-4.....	37
Figura 2.21	Tramas pares con CRC-4 (Tramas 0,2,4,6).....	37
Figura 2.22	Tramas pares con CRC-4 (Tramas 8,10,12,14).....	37
Figura 2.23	MFAS para alineamiento de la multitrama con el TS16	38
Figura 2.24	Alarmas remotas	39
Figura 4.1	Alineación de Relojes.....	55
Figura 4.2	Sincronización funcional detallada	56
Figura 4.3	Operación CT_NETREF típica	57
Figura 4.4	Modelo de un sistema típico de redundancia de relojes	59
Figura 4.5	Estructura de la Trama.....	60
Figura 4.6	Diagrama de bloques funcional del DSW MT90866AG.....	65
Figura 4.7	Sincronización del Bus CT para una transferencia de datos a 8.192mhz en el backplane.....	66
Figura 4.8	Sincronización del Bus CT para una transferencia de datos a 16.384.192mhz en el backplane.	66
Figura 4.9	Configuración típica del control de sincronización	75
Figura 4.10	Diagrama de bloques del microcontrolador MMC2114	82
Figura 5.1	Diagrama de bloques de la Tarjeta F-E1/T1	97
Figura 5.2	Diagrama de bloques de la Tarjeta F-VEC.....	100
Figura 5.3	Diagrama de bloques general del Proyecto F&F	103

ÍNDICE DE TABLAS

Tabla 2.1	Clasificación de interfaz de silicio para Hot Swap.	16
Tabla 2.2	Clasificación de interfaz de silicio para Hot Swap. (Continuación).....	17
Tabla 2.3	Clasificación De Plataformas Para Hot Swap.	18
Tabla 2.4	Características comunes entre formatos de comunicación E1 y T1.....	24
Tabla 2.5	Características que diferencian formatos de comunicación E1 y T1	25
Tabla 2.6	Usos del bit F en la Supertrama D4	29
Tabla 2.7	Usos Del Bit F En La Supertrama Extendida	30
Tabla 2.8	Usos del bit F en la supertrama extendida (Continuación).....	31
Tabla 2.9	Resumen de las reglas de codificación HDB3	34
Tabla 4.1	Señalización del Bus CT H.110.....	53
Tabla 4.2	Señalización del Bus CT H.110 (Continuación)	54
Tabla 4.3	Circuitos característicos de las terminaciones del Bus CT.....	61
Tabla 4.4	Modos de operación para cada uno de los grupos de la interfaz local.....	68
Tabla 4.5	Mapa de direcciones para los registros internos (A13 = 0)	71
Tabla 4.6	Mapa de direcciones para los registros internos (A13 = 0) (Continuación)	72
Tabla 4.7	Mapa de direcciones para la ubicaciones de memoria	72
Tabla 4.8	Mapa de la locación de las direcciones de registros	87

CAPÍTULO 1:

INTRODUCCIÓN

1.1 Descripción de la empresa

1.1.1 Descripción general

Cibertec Internacional S.A. es una compañía multinacional fundada en 1979. Su planta de ensamblaje está ubicada en el Parque Industrial Zona Franca de Alajuela (SARET). Las oficinas de diseño y desarrollo de programación están ubicadas en San José. Las oficinas de ventas y finanzas se encuentran en Panamá.

Durante 20 años, Cibertec se ha dedicado a desarrollar productos de alta tecnología para la industria de las telecomunicaciones, llegando a ser la compañía líder en soluciones contra el fraude en el tráfico telefónico internacional.

A la fecha, su principal producto es el TMSS (Telecommunication Traffic Management & Surveillance System), que ha sido desarrollado para prevenir diferentes tipos de fraudes en el servicio de larga distancia internacional y para asegurar los ingresos de las Operadoras Telefónicas alrededor del mundo.

Cibertec Int. Costa Rica no genera ventas, ya que es una empresa ensambladora de equipo de telecomunicaciones, que transfiere su producción al costo a Cibertec Int. Panamá, siendo esta última la que vende. La planta en Costa Rica incluye en su presupuesto de operaciones: costos de conversión, gastos de mantenimiento, instalación, materiales, partes locales y gastos extraordinarios para los proyectos programados a producirse durante el año.

Dentro de los clientes de la compañía Cibertec, se pueden citar AT&T International Network Operations (USA), Northern Telecom (Canadá), TELCOM (México) y Schlumberger (Francia), entre otros. Además, Cibertec ha instalado su equipo en más de 25 países dentro de los cuales están Brasil, Colombia, México, Cuba, Ucrania, Siria, Guatemala y Panamá.

Algunos de los premios que ha recibido la compañía por sus avances tecnológicos son: National Award for Electrical Engineering COOPIMERA, 1993, National Award for advances in exportation, 1992 y el premio en Ciencia y Tecnología Clodomiro Picado, 1985.

La principal instancia de Cibertec es su Junta Directiva, formada por los Ingenieros Juan Carlos Halphen, Bernal Thalman, Hernán Jiménez y el Licenciado Orlando Jiménez. Bajo este nivel de jerarquía se encuentra la Gerencia General, a cargo del Ingeniero Mario Carvajal, y es desde aquí donde se dirigen los otros departamentos.

La compañía cuenta con aproximadamente 25 empleados distribuidos en 5 áreas principales: Gerencia General, Investigación y Desarrollo, Servicios Internacionales, Planta y Operaciones. A continuación se detallan un esquema organizacional de estas áreas.

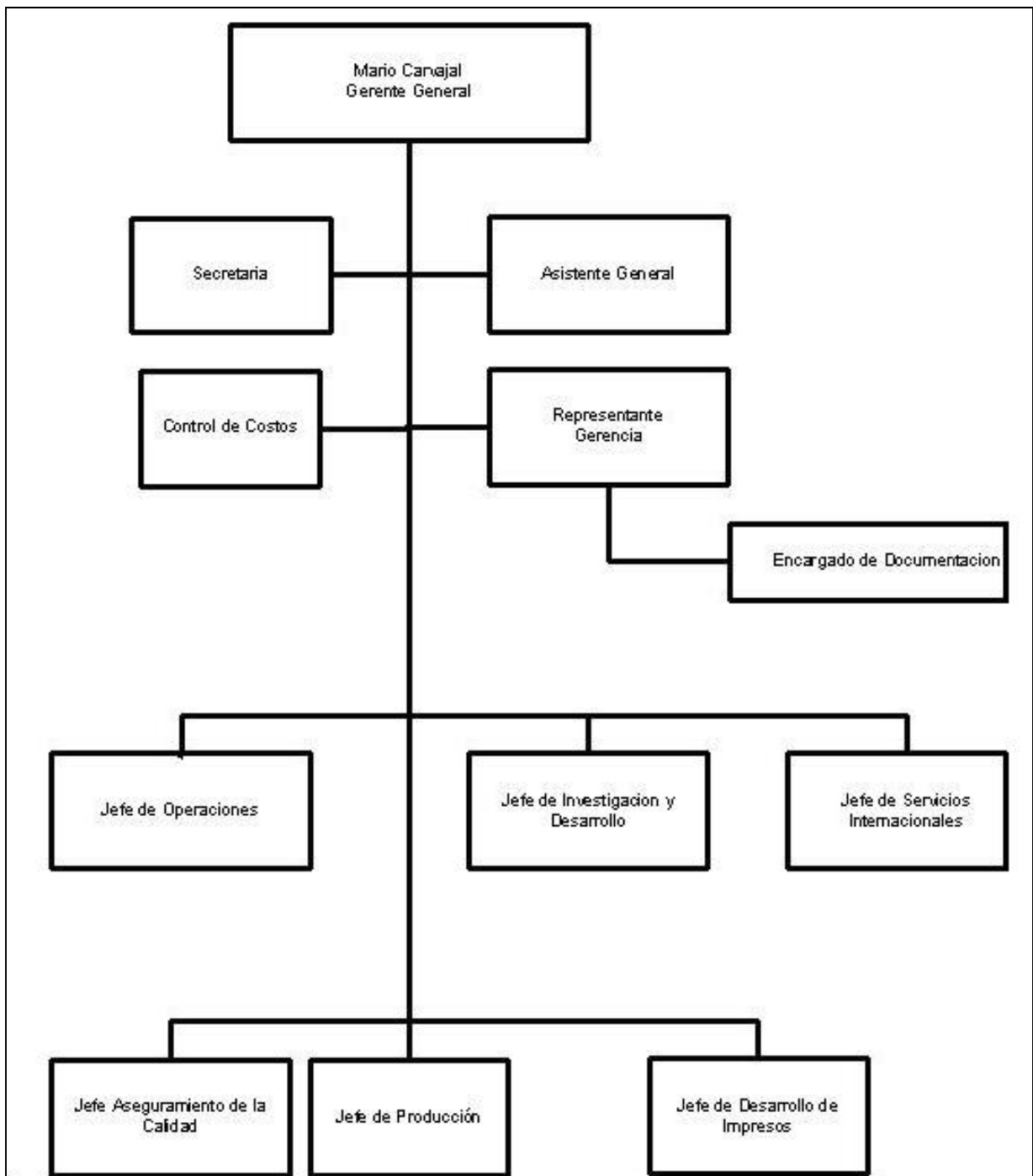


Figura 1.1 Diagrama Organizacional De La Empresa

1.1.2 Descripción del departamento donde se realizó el proyecto de graduación

Cibertec Internacional cuenta con un Departamento de Investigación y Desarrollo, el cual, sirve como plataforma para dar inicio a sus proyectos y asegurar el buen término de los mismos. Es un generador de tecnología necesaria para satisfacer las necesidades de los clientes.

En éste sentido, Cibertec dedica una gran inversión para la investigación y desarrollo; pero a su vez, le ha permitido tener un considerable crecimiento y una gran proyección a nivel mundial.

Por medio de un proceso de investigación, análisis, cotización de partes, diseño y pruebas, se persigue mantener un alto nivel tecnológico en todas las aplicaciones. _Esto es parte de las políticas que la empresa implementa para lograr el fiel cumplimiento de su misión, la cual consiste en asegurar la satisfacción de los clientes a partir del cumplimiento de normas de calidad mundial en los diferentes productos tecnológicos que se desarrollan.

Además, por medio de los ciclos de desarrollo, se consigue mejorar el desempeño de los sistemas y agregar funciones más elaboradas.

Los encargados de hardware se dedican casi exclusivamente a la investigación de nuevos circuitos de aplicación, mientras que los de software se ocupan de controladores, bases de datos y plataformas para las aplicaciones.

El Coordinador General de dicho Departamento es el Ingeniero Alejandro Tenorio, quien trabaja en Cibertec desde hace 8 años.

El personal de éste departamento labora en un edificio ubicado en las cercanías de la Universidad de Costa Rica y la rotonda de la Bandera en San José. _Sin embargo, en ciertos procesos de prueba es necesario utilizar el laboratorio de Alajuela, por lo cual se requiere la movilización hasta la planta de SARET.

1.2 Definición del problema y su importancia

La comunicación mundial es una necesidad absoluta del momento. La telefonía forma parte de dichas comunicaciones y es por ello que se vuelve imperativo contar con enlaces telefónicos entre cualesquiera dos países del mundo. Las personas necesitan establecer comunicaciones telefónicas entre diferentes países diariamente para asuntos de negocios, personales u otro. Una porción bastante amplia dentro de las comunicaciones internacionales es la comunicación entre familiares y amistades. Se ofrecen en la actualidad facilidades para que las personas se comuniquen con sus amigos o familiares en el extranjero desde cualquier país pero existe un gran problema en dicho proceso, ***el alto costo de las llamadas telefónicas internacionales***. Esta es la causa del por qué se desea desarrollar un equipo que permita solventar dicha problemática y hacer que las comunicaciones telefónicas internacionales de tipo F&F (Friends and Family) se tornen más cómodas desde el punto de vista económico.

1.3 Objetivos

1.3.1 Objetivo general

Desarrollar una investigación de los dispositivos de procesamiento, control de flujo y diseño de backplane para transmisión de datos en formato E1/T1 que permita plantear una propuesta teórica para la elaboración de una tarjeta de interfaz, en un sistema de transmisión de voz entre puertos E1/T1.

1.3.2 Objetivos específicos

- 1) Comprender los formatos de transmisión E1 y T1.
- 2) Resumir las principales características del bus H.110.
- 3) Enumerar las principales características del proceso Hot Swap.
- 4) Enumerar las características principales de los diferentes Digital Switch existentes en el mercado.
- 5) Escoger el Digital Switch que mejor cumpla con las expectativas de la tarjeta a diseñar.
- 6) Evaluar las características principales de los microcontroladores que mejor se adapten a los requerimientos de la tarjeta a diseñar.
- 7) Realizar la escogencia del microcontrolador a utilizar.
- 8) Elaborar un diagrama de bloques de la tarjeta por diseñar.
- 9) Presentar a la empresa una lista detallada de los diferentes dispositivos y componentes que sean necesarios para la futura elaboración de la tarjeta.
- 10) Resumir las características principales de la tarjeta diseñada.

CAPÍTULO 2:

ANTECEDENTES

2.1 Estudio del problema a resolver

La Telefonía es una de las áreas de la ingeniería cuya función es establecer, mantener y liberar las comunicaciones entre dos o más puntos distantes. Esta comunicación puede ser analógica o digital, y puede utilizar una técnica y un medio de transmisión determinados.

En esta investigación se desarrollan los temas fundamentales que se requieren para implementar una plataforma TDM para comunicación telefónica. Se presenta una breve explicación técnica de los sistemas de portadora digital y de la tecnología empleada para procesamiento de la información de las llamadas telefónicas.

La plataforma TDM está compuesta por un chasis metálico en el que se colocarán las tarjetas frontales y el back-panel, las que se definen de la siguiente manera: tarjetas E1/T1, cancelación de eco y detección de tonos DTMF las cuales son compatibles con bus H.110.

A continuación se desarrollan las principales características de aquellos temas que sustentan una base teórica para poder entender el medio en que se desenvolverán los componentes, los cuales son el principal estudio en este informe. Estos temas son los siguientes:

- a) Capacidad de inserción y extracción de tarjetas en sistemas activos (Hot Swap), PICMG 2.1.
- b) Modulación de Pulsos
- c) Sistema portadora digital E1/T1

2.1.1 Capacidad de inserción y extracción de tarjetas en sistemas activos (HOT SWAP), PICMG 2.1.

2.1.1.1 Definición

La implementación del sistema Hot Swap permite la inserción y extracción de tarjetas sin la necesidad de apagar toda la plataforma, reduciendo así los costos de la instalación, operación y reparación de sistemas de alta disponibilidad.

2.1.1.2 Requerimientos mecánicos del Backplane

1) Longitud variada de pines (pin staging) en el backplane.

Existen tres tamaños de pines: Largo, Medio, Corto. Los pines largos se utilizan para suministrar la alimentación temprana de las tarjetas frontales durante la inserción, y mantienen la alimentación durante la extracción hasta que los pines de señales hayan roto el contacto. Suministran la conexión con tierra lógica y con la estructura (backplane, chasis).

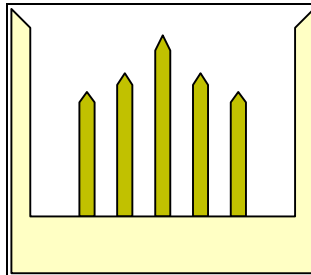


Figura 2.1 Conector de pines de variada longitud (Pin Staging) para prácticas de Hot-Swap.

Los pines de longitud media proveen la conexión de las señales en los buses CompacPCI. Además, proveen pines adicionales para las fuentes de alimentación.

Los pines de tamaño corto sirven para indicarle a las tarjetas que ha empezado/terminado el proceso mecánico de inserción/extracción.

2) ESD (Electro Static Discharge) clip

La guía de tarjeta ESD debe ser insertada en el sistema de manera que sea una fuente de liberación de energía de la tarjeta hacia el chasis. La ubicación de este clip debe ser a 35mm del borde del chasis como se muestra en la figura 2.2.

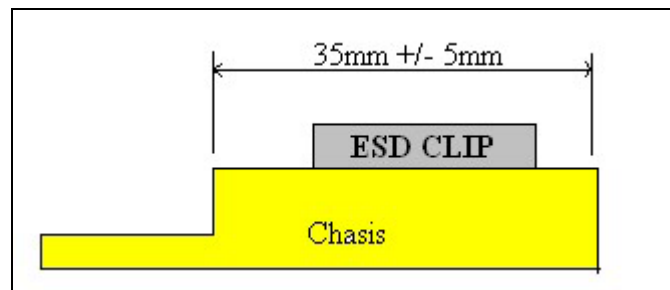


Figura 2.2 Ubicación del clip ESD.

2.1.1.3 Requerimientos eléctricos del Backplane

Las plataformas Hot Swap y de alta disponibilidad deben proveer:

- a) Relojes individuales para cada slot .
- b) Soporte para la señal ENUM#.
- c) Adecuada distribución de la alimentación y desacoplamiento para un ambiente Hot Swap.
- d) Terminaciones para la línea 64EN#, resistencias pull-up para las señales de control de hardware (únicamente para Hot Swap)
- e) Soporte para el proceso de conexión de hardware (solamente para alta disponibilidad)

2.1.1.4 Etapas del proceso de Hot Swap

El proceso de inserción y extracción en caliente se describe en tres etapas básicas como se muestra en la figura 2.3:

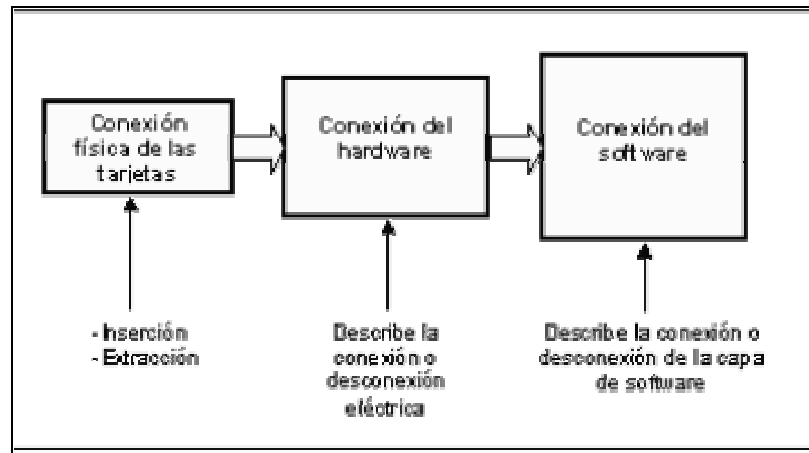


Figura 2.3 Proceso por capas de conexión y desconexión en caliente.

El proceso descrito anteriormente es además una representación de la interrelación de las capas física, de hardware y de software de un sistema Hot Swap. Además, en la conexión y desconexión se han definido una serie de estados.

A continuación, en la figura 2.4.a se muestra un diagrama de tiempo para la secuencia de inserción. En la figura 2.4.b está el caso de la extracción.

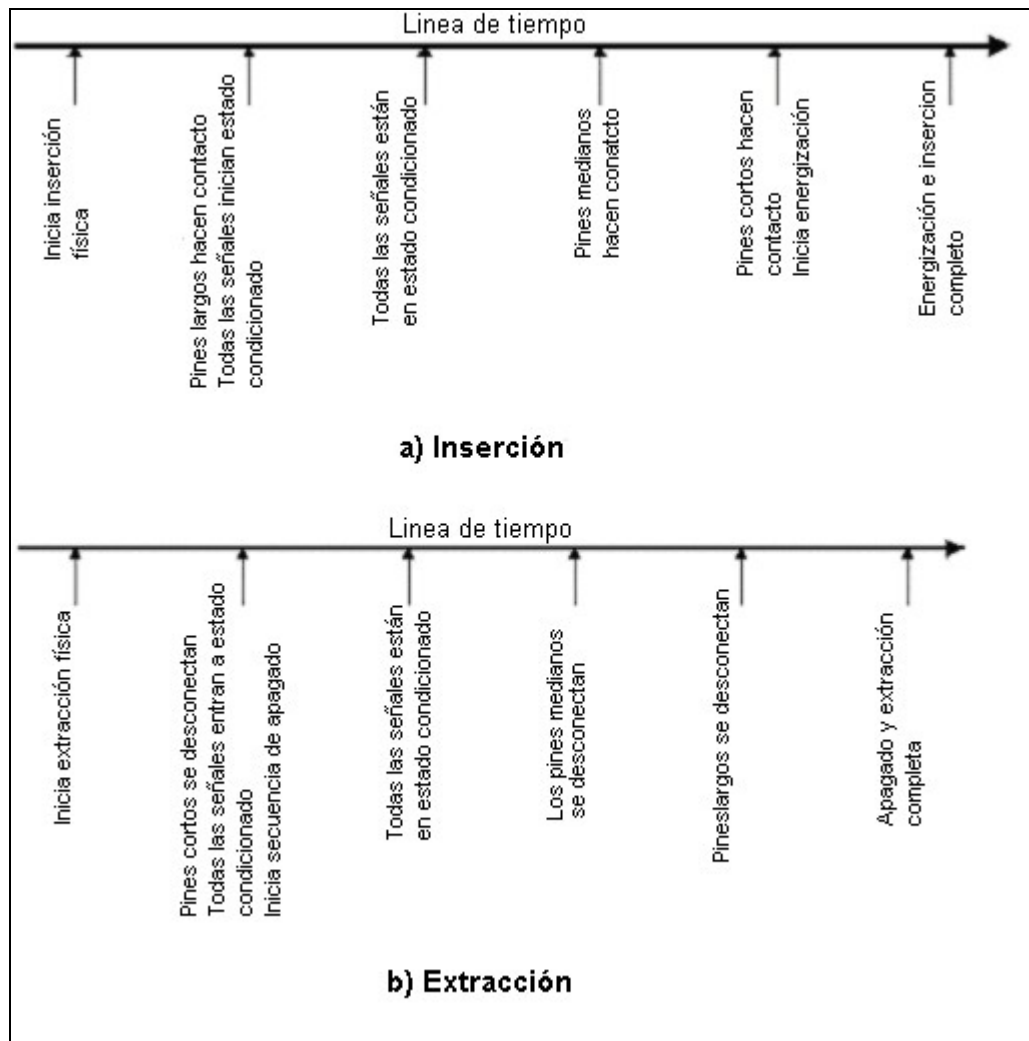


Figura 2.4 Secuencia de inserción y extracción.

La especificación PICMG 2.1 define tres modelos de Hot Swap:

- a) Básico (manual)
- b) Completo (automático)
- c) De alta disponibilidad

2.1.1.5 Modelo básico de Hot Swap.

En este modelo, el operador puede insertar o extraer una tarjeta sin apagar el sistema, pero requiere de un proceso de diálogo entre el operador y el sistema operativo. El operador debe indicarle al sistema que debe desactivar la tarjeta antes de cualquier acción mecánica. En la inserción, el operador debe indicar al sistema que active la tarjeta.

Es la opción más barata en hardware, pero requiere de operadores especializados. El proceso de conexión es automático en hardware, pero manual en software.

1) El modelo básico implica:

- a) Precarga de las líneas de señales PCI antes de ser conectadas al bus en funcionamiento, a modo de no interrumpir las operaciones de éste.
- b) Subida y bajada en rampa de la alimentación dentro de la tarjeta

Una vez que la tarjeta ha sido insertada en el backplane, el operador debe realizar las tareas siguientes:

- a) Iniciar la tarjeta
- b) Configuración
- c) Agregar la tarjeta a la lista de recursos del sistema

Antes de extraer la tarjeta, el operador debe indicarle al sistema operativo que:

- a) Deje de usar la tarjeta
- b) Remover todos los drivers asociados con la tarjeta.

2.1.1.6 Modelo completo de Hot Swap

En este modelo, el operador no es obligado a realizar ningún diálogo con el sistema operativo. En lugar de ello, interactúa por medio de un interruptor y un LED azul en el panel frontal.

Para extraer una tarjeta, el operador conmuta el interruptor en el panel frontal. El sistema operativo le indica al operador que puede extraer la tarjeta cuando enciende el LED.

La conexión es automática, tanto en hardware como en software. El modelo completo abarca las mismas características del modelo básico, pero incorpora las nuevas características descritas arriba.

1) El modelo completo agrega al modelo básico:

- a) Un conjunto de registros de configuración de software
- b) Un LED azul en el panel frontal
- c) Un manipulador (con micro-interruptor incorporado) en el panel frontal
- d) Tres señales en el backplane

Cuando se inserta una tarjeta en el backplane, la tarjeta notifica al sistema de su presencia. Por lo tanto, el sistema operativo debe:

- a) Ubicar la tarjeta
- b) Iniciar la interfaz del bus PCI
- c) Cargar los drivers de la tarjeta
- d) Poner la tarjeta en línea para su operación normal

El proceso de extracción comienza cuando se quita el cerrojo del manipulador del panel frontal, lo cual abre a la vez un micro-interruptor. Esto le indica al sistema que la tarjeta se va a extraer. Así, se realizan las siguientes acciones, de manera automática:

- a) El sistema operativo ubica la tarjeta
- b) Detiene todas las acciones que usa la tarjeta
- c) Remueve la tarjeta de las listas de recursos
- d) Le indica a la tarjeta que encienda el LED azul en el panel frontal, y así el operador puede sacar la tarjeta de manera segura.

2.1.1.7 Modelo de alta disponibilidad

Este modelo da el mayor grado de control automático del sistema operativo. Abarca los modelos básico y completo, pero agrega nuevas capas de control.

Bajo este modelo, el sistema operativo es capaz de aislar, por sí mismo, una tarjeta bajo condiciones de falla, en forma automática sin intervención de un operador. Ello permite que si una tarjeta falla no cause que el sistema completo deje de funcionar, aislando la tarjeta defectuosa hasta que sea reemplazada por el operador. El aislamiento se logra poniendo en modo de Reinicio PCI permanente.

2.1.1.8 Componentes del sistema Hot Swap

Los sistemas Hot Swap tienen básicamente tres componentes que son Circuitería (Silicio), Plataformas y Tarjetas Frontales. La siguiente tabla describe la clasificación de los componentes de silicio de un sistema Hot Swap.

Tabla 2.1 Clasificación de interfaz de silicio para Hot Swap.

Requisitos para Hot Swap	Clasificación	Características	Requisitos para clasificación
<p>Precarga de las señales PCI.</p> <p>Responder a señales de Reinicio asincrónicas.</p> <p>Mantener fuertes características de manejo de las líneas, ligeramente por debajo de los límites permitidos.</p>	<p>Capaz (Capable),</p>	<p>Tiene las mínimas características</p>	<p>Cumplir con la especificación PCI v2.1</p> <p>Funcionar de manera Predecible durante la alimentación temprana.</p> <p>Tolerar el voltaje de precarga.</p> <p>Aceptar reinicios en forma asincrónica.</p> <p>Satisfacer ciertos requisitos V/I.</p> <p>Limitar sus pérdidas de entrada/salida en los pines.</p>
<p>Precarga de las señales PCI.</p> <p>Responder a señales de Reinicio asincrónicas.</p> <p>Mantener fuertes características de manejo de las líneas, ligeramente por debajo de los límites permitidos.</p>	<p>Amigable (Friendly)</p>	<p>Incorpora los registros de software para la conexión / desconexión automática.</p>	<p>Hot Swap Control/Status Register: El registro HS_CSR reside en el espacio de configuración PCI, y provee un registro de bits para el uso de un driver hot-plug estándar.</p> <p>Extended Capability Pointer: este puntero sirve para determinar las capacidades del silicio</p> <p>Lógica adicional: para monitorear el estado del micro-interruptor en el manipulador de expulsión como para manejar el LED azul, en el panel frontal.</p>

Tabla 2.2 Clasificación de interfaz de silicio para Hot Swap. (Continuación)

Requisitos para Hot Swap	Clasificación	Características	Requisitos para clasificación
	Listo (Ready)	Chips que soportan la alimentación temprana y la precarga, sin circuitería externa adicional, a excepción del control de alimentación sobre la tarjeta.	Soporte para el voltaje de polarización: que provee la precarga de V/I de cada celda dentro del silicio. Soporte para alimentación temprana, lo que asegura un comportamiento adecuado durante la subida/bajada de la alimentación, sin circuitos externos.

Los sistemas Hot Swap pueden además ser clasificados en diferentes modelos de Hot Swap de acuerdo a sus características y a la forma en que los componentes Hot Swap son integrados. La tabla 2.3 muestra los modelos y sus características principales.

Tabla 2.3 Clasificación De Plataformas Para Hot Swap.

Clasificación	Características
Non – Hot Swap	Carente de capacidad para Hot Swap
Basic Hot Swap	Requerimientos básicos para Hot Swap, provee funcionalidad para extraer tarjetas y reconfigurar el sistema
Full Hot Swap	Utiliza características de las tarjetas de Full Hot Swap para el control del software de conexión en una conexión dinámica.
High Availability	Incluye características de plataformas de alta disponibilidad con características especiales para el control del Hardware

Las siguientes figuras son una representación de bloques de los tres modelos de sistemas Hot Swap.

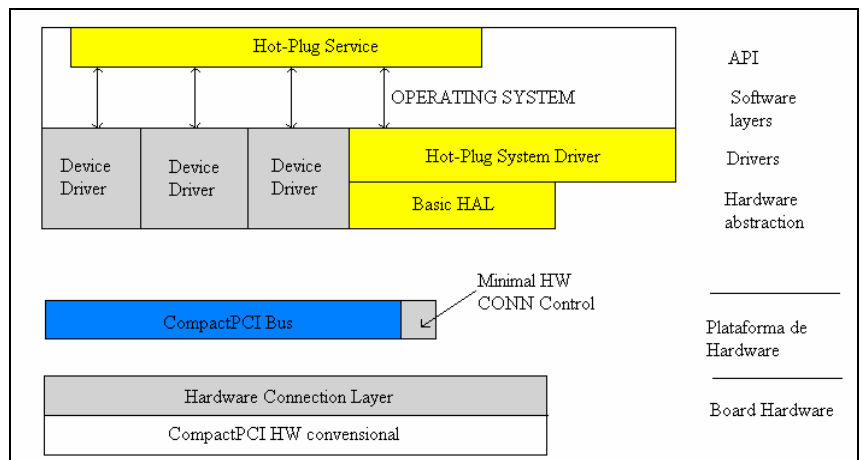


Figura 2.5 Modelo de sistema básico de Hot Swap.

En este modelo básico se tiene que la implementación Hot Swap es únicamente al nivel de la capa de hardware. Este modelo carece de acceso de software para el proceso de conexión.

En la figura 2.6 se presenta un esquema de los niveles de Hot Swap que tienen los sistemas Full Hot Swap.

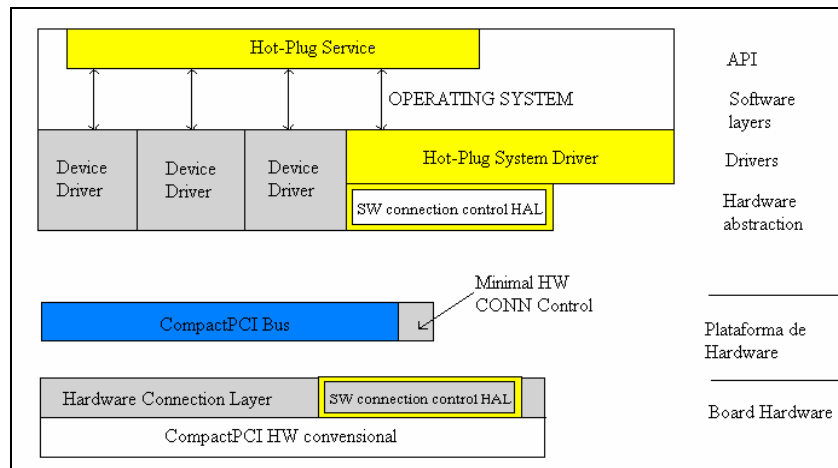


Figura 2.6 Modelo de sistema Full Hot Swap

Como se observa en la figura 2.6 el modelo Full Hot Swap agrega al sistema básico recursos de software para el proceso de conexión. Estos recursos deben incluir capacidades de control del software de conexión en la tarjeta y deben ser soportados por el software del sistema operativo.

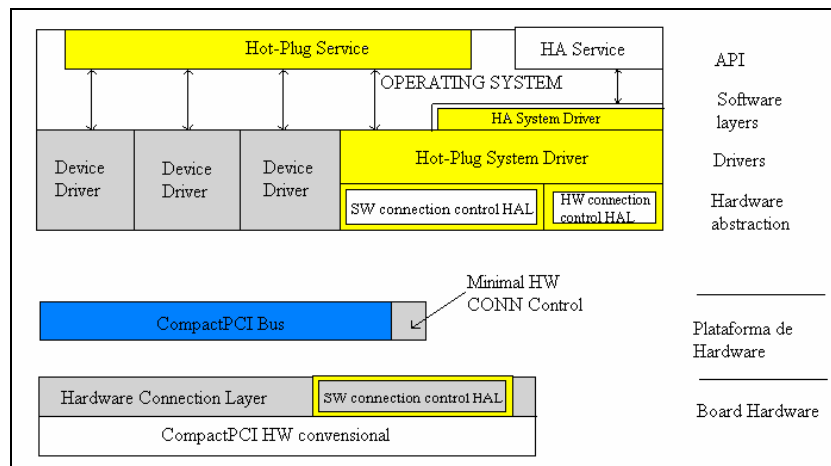


Figura 2.7 Modelo de sistema de alta disponibilidad.

En el modelo de alta disponibilidad se usa el nivel de control más alto. Los sistemas HA (High Availability) son capaces de controlar el proceso de conexión de Hardware y para lograr esto, las capacidades del sistema son extendidas de modo que el software de control pueda regular todos los estados en la conexión de hardware.

2.1.1.9 Alta disponibilidad y características de redundancia.

La alta disponibilidad es un atributo de un sistema diseñado para mantenerse funcionando aún cuando alguno de los componentes del sistema falle, aumentando así el tiempo en que el sistema se mantiene operando. Para proveer esta habilidad el sistema requiere un elevado control de los componentes y subsistemas involucrados.

La alta disponibilidad de un sistema se define también como una disponibilidad temporal del equipo de 99.999%, lo que representa unos cuantos minutos al año en que el sistema puede estar fuera de operación.

En las secciones anteriores se observaron varias condiciones de redundancia y/o accesibilidad en el backplane y el chasis que proporcionan una alta disponibilidad, algunas de estas condiciones son las siguientes:

1) Disponibilidad dual de nodos de servicio en el bus CT H.110.

Las señales de reloj, de inicio de trama, y de referencia de red en la transmisión por el bus CT H.110 están duplicadas para propósitos de redundancia

2) Relojes individuales para cada slot.

Capacidad Hot Swap lo que reduce el tiempo de mantenimiento y evita retrasos por dispositivos que fallan.

Pines de longitud variable para preparación del sistema en la extracción e inserción en caliente.

3) Sistema de clip ESD para Hot Swap.

Cableado de las tarjetas se realiza en la parte posterior para reducir tiempo de instalación.

2.1.2 Modulación de Pulsos

Los cuatro métodos predominantes para convertir la información a pulsos son:

- a) **PWM** (Modulación por ancho de pulso): El ancho de pulso es proporcional a la amplitud de la señal analógica. También es conocida como PDM o PLM.
- b) **PPM** (Modulación por posición de pulso): La posición de un pulso constante, dentro de una ranura de tiempo prescrita, varía de acuerdo a la amplitud de la señal analógica.
- c) **PAM** (Modulación de Amplitud de Pulsos): La amplitud de un pulso de ancho constante y posición constante varía de acuerdo a la amplitud de la señal analógica.
- d) **PCM** (Modulación de Pulsos Codificados): La señal analógica se prueba y se convierte a una longitud fija, número binario serial para transmisión. El número binario varía de acuerdo a la amplitud de la señal analógica.

2.1.2.1 Modulación de pulsos codificados (PCM)

Es el único método de los anteriores que se usa en un sistema de transmisión digital. A continuación se muestra un diagrama de bloques simplificado de un solo canal de un sistema PCM de una dirección.

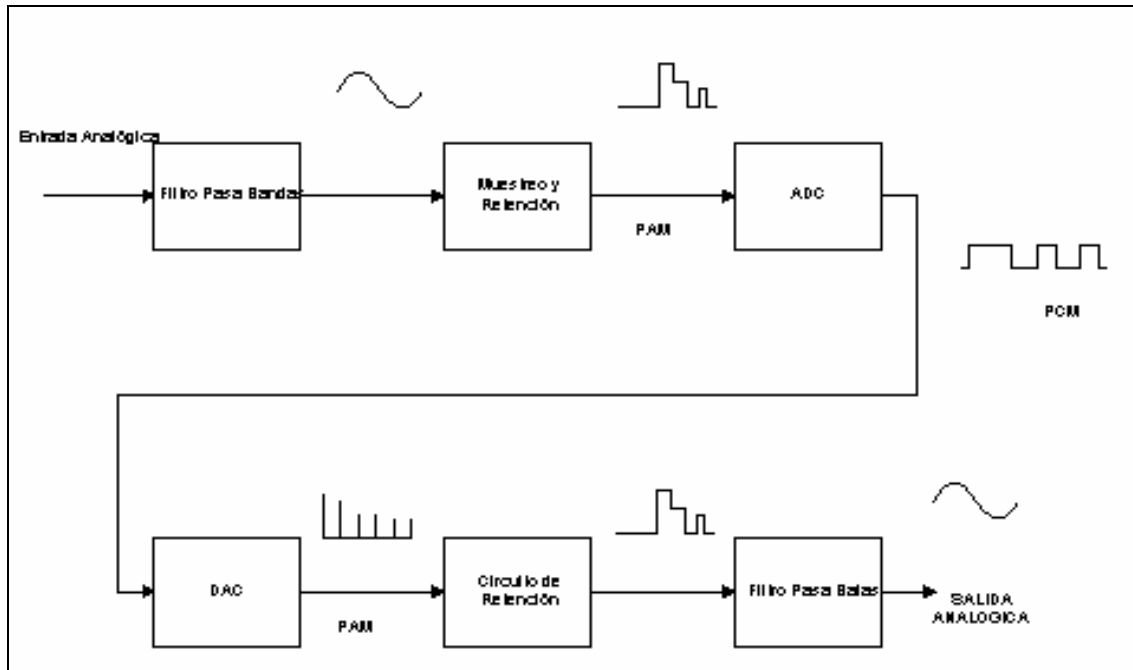


Figura 2.8 Diagrama a bloques simplificado de un sistema PCM de una dirección de un solo canal

2.1.2.2 Emisión

El filtro pasa bandas limita la señal analógica a la proporción de frecuencia de banda de voz estándar de 300 a 3000 Hz.

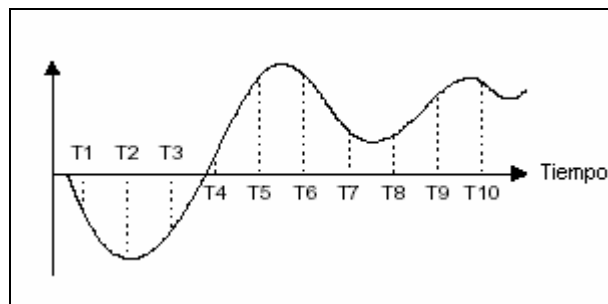


Figura 2.9 El circuito de muestreo y retención convierte la señal en una señal PAM.

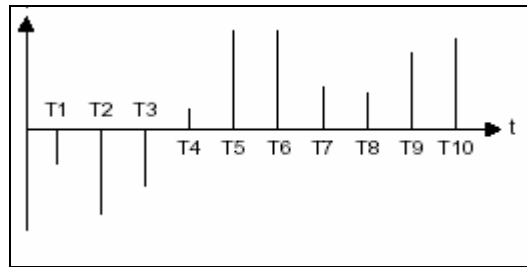


Figura 2.10 El convertidor analógico digital convierte la señal PAM en un flujo de datos binarios seriales para transmisión.

2.1.2.3 Recepción

El convertidor digital analógico convierte los datos seriales en una PAM.

El circuito de retención y el filtro pasa bajas convierte la señal PAM a su forma analógica original.

a) Tasa de muestreo.

Debe recordarse el teorema de muestreo de Nyquist:

$$f_s \geq 2 f_a$$

f_a = frecuencia más alta que se debe muestrear.

f_s = frecuencia de muestreo.

b) Multiplexación por división de tiempo (TDM)

Con TDM, las transmisiones para fuentes múltiples ocurren sobre el mismo medio pero no al mismo tiempo, sino que se intercalan en el dominio del tiempo.

El tipo más usado de modulación en TDM es el PCM.

2.1.3 Sistema portadora digital E1/T1

Una portadora digital es un sistema de comunicación que utiliza pulsos digitales para codificar información en lugar de señales analógicas.

Hay dos sistemas principales, el T1 recomendado por ANSI y usados principalmente en Estados Unidos y Japón; y el E1 recomendado por la ITU-T usado en Europa y en ciertos países no europeos.

En caso de E1 está actualmente definido en la recomendación CCITT G.704 (Synchronous Frame Structure) y G.732 (Characteristics of Primary PCM) que la suplementa.

A continuación se muestra una tabla comparativa con algunas de sus características:

Tabla 2.4 Características comunes entre formatos de comunicación E1 y T1

	Características	E1 y T1
A	Frecuencia de Muestreo	8 kHz
B	Número de muestras por canal telefónico	8000 por segundo
C	Tamaño de la trama PCM	$1/b = 125 \mu s$
D	Número de bits en cada palabra	8
E	Velocidad de bit de canal	$b * d = 64 \text{ kbits/s}$

Tabla 2.5 Características que diferencian formatos de comunicación E1 y T1

	Características	E1	T1
F	Segmentos de compresión característica	A-law 13	μ -law 15
G	Número de timeslots por trama PCM	32	24
H	Número de bits por Trama PCM	$d \times g = 256$	$d \times g + 1^* = 193$ * significa bit adicional
I	Duración de un timeslot de 8 bits	$c \times d/h = 3.9 \mu s$	$c \times d /h = 5.2 \mu s$
J	Velocidad de la señal TDM	$b \times h = 2,048 \text{ Mbps}$	$b \times h = 1,544 \text{ Mbps}$

2.1.3.1 Sistema de Portadora Digital T1

T1 se usa para denominar un formato de portadora digital a una velocidad de 1.544 Mbps. La trama básica es de 24 canales digitales, los cuales soportan 64 kbps cada uno. Cada canal puede ser configurado para transmitir voz y datos .Este requiere un dispositivo de conexión digital (CSU/DSU customer switching unit/digital switching unit) para conectar a cuatro cables para portar la información.

El medio físico para transmisión de T1 es, básicamente, Cobre en 4 alambres. Un par para RX (1+2) y un par para TX (4+5).

1) Codificación de Línea para T1

Establece como son puestos los bits en la línea (cable).

Es de nuestro interés la codificación AMI (Alternate Mark Inversion) y B8ZS (Binary 8 Zero Substitution)

a) **AMI (Código de inversión de marca alterna)**

Es una técnica de codificación de reloj sincrónica la cual usa pulsos bipolares para representar valores de "1's" lógicos. Esto previene la formación de un valor de CD en la línea de transmisión lo cual se considera una ventaja si el cable puede ser usado para llevar una pequeña corriente DC que accione un equipo intermedio como un repetidor.

Cada "1" tiene diferente polaridad pero no mantiene densidad de unos.

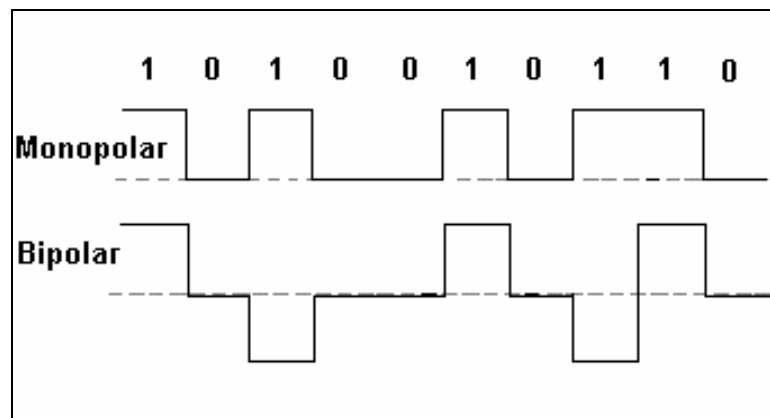


Figura 2.11 Diagrama del código de inversión de marca alterna

b) **B8ZS (Binary 8 Zero Substitution)**

Inserta dos unos sucesivos del mismo voltaje designando una violación bipolar en una señal, siempre que se transmitan ocho ceros consecutivos. El dispositivo que recibe la señal, interpreta la violación bipolar como "marca", la cual mide el tiempo que guardan como sincronización los dispositivos de transmisión y recepción. Ordinariamente, cuando son sucesivos se transmiten unos. Un "1" tiene un voltaje positivo y el otro tiene un voltaje negativo.

B8ZS se basa en el AMI. Todavía se utiliza el AMI con el servicio digital del dataphone, el cual es el servicio más viejo que utiliza 64 canales de Kbps. El AMI, sin embargo, requiere el uso de 8 Kbps de los 64 Kbps de cada canal para mantener la sincronización. En un circuito T1, hay 24 canales. Esta pérdida significa que en la realidad solamente 56 Kbps están disponibles para la transmisión de datos. B8ZS utiliza violaciones bipolares para sincronizar los dispositivos, una solución que no requiera el

uso de bits adicionales, que significa que un circuito T1 que usa B8ZS puede utilizar los 64 Kbps para cada canal para los datos. B8ZS no es compatible con un equipo más viejo del AMI. La tecnología T1 se utiliza en los Estados Unidos y Japón. En Europa, una tecnología comparable llamada E1 proporciona 32 canales en vez de 24 y utiliza un esquema de codificación llamado HDB3 en vez de B8ZS.

Las violaciones Bipolares hacen dos unos en la misma polaridad

Un servicio de 64 K es posible (Clear Channel)

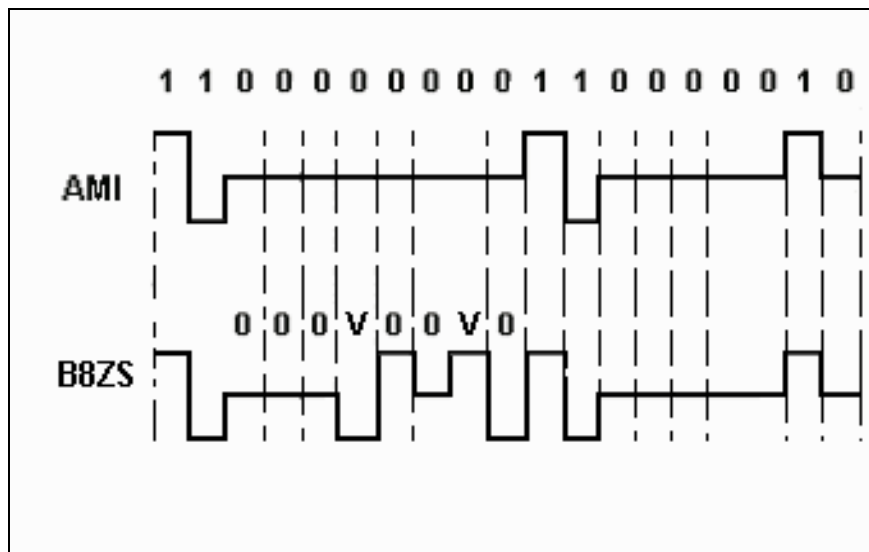


Figura 2.12 La Trama Sencilla

La trama simple es de 193 Bits que contiene:

- a) Un Bit sencillo para tramado (framing)
- b) 24 Time Slots (DSO's)

Cada DSO es de 8 bits a una velocidad de 64Kbps. Las tramas se repiten 8000 veces en un segundo dando un periodo de 125 microsegundos.

La velocidad máxima es de 1.536 Mbps: 8 kbps es usado para el tramado (framing) y la sincronización y 24 x 8 kbps para los canales.



Figura 2.13 Supertrama (D4)

Es un grupo de 12 tramas y es usado para el alineamiento de equipo para el tramado (Framing). El octavo bit de cada canal de voz es usado para señalización. Existen dos tipos de bits de trama, Terminal (Ft) y de Señalización (Fs)

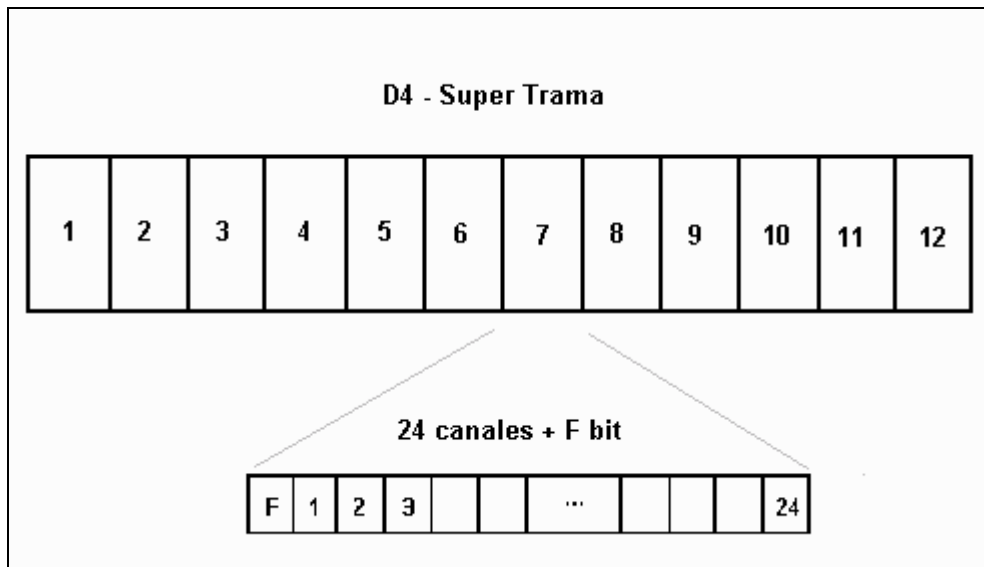


Figura 2.14 Distribución de las tramas en una Supertrama.

Tabla 2.6 Usos del bit F en la Supertrama D4

Numero de Trama	Uso Del Bit F	Valor
1	Ft	1
2	Fs	0
3	Ft	0
4	Fs	0
5	Ft	1
6	Fs	1
7	Ft	0
8	Fs	1
9	Ft	1
10	Fs	1
11	Ft	0
12	Fs	0

2) Supertrama extendida (ESF).

Es un grupo de 24 tramas, usado para alineamiento de trama.

Utiliza 64Kbps para mantenimiento de canal (Datalink -DL-), 2 Kbps para CRC-6 y 2 Kbps para tramado y sincronización (Frame Pattern Sync - FPS-).

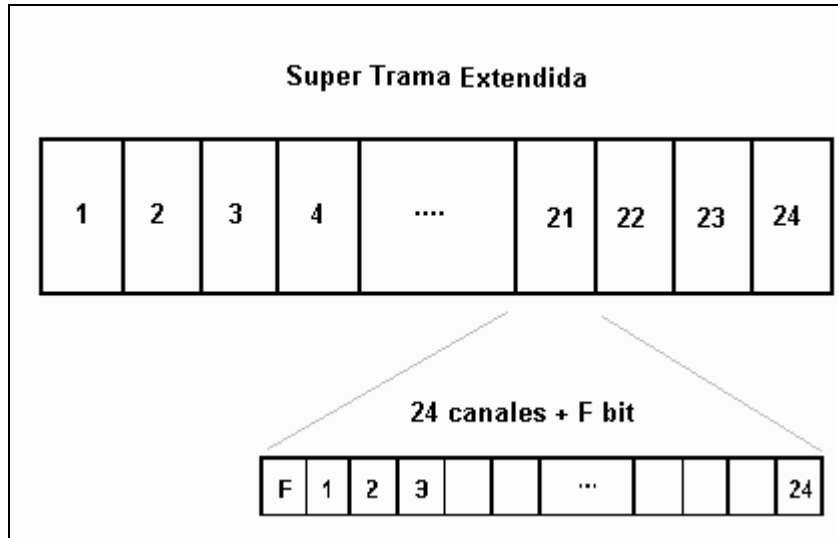


Figura 2.15 Distribución en una supertrama extendida

Tabla 2.7 Usos Del Bit F En La Supertrama Extendida

Numero de Trama	Uso Del Bit F	Posibles valores
1	DL	1/0
2	CRC1	1/0
3	DL	1/0
4	FPS	0
5	DL	1/0
6	CRC2	1/0
7	DL	1/0
8	FPS	0
9	DL	1/0
10	CRC3	1/0
11	DL	1/0
12	FPS	1
13	DL	1/0
14	CRC4	1/0

Tabla 2.8 Usos del bit F en la supertrama extendida (Continuación)

Numero de Trama	Uso Del Bit F	Posibles valores
15	DL	1/0
16	FPS	0
17	DL	1/0
18	CRC5	1/0
19	DL	1/0
20	FPS	1
21	DL	1/0
22	CRC6	1/0
23	DL	1/0
24	FPS	1

3) Condiciones de Alarma para D4 y ESF

a) AIS (Alarm Indication Signal) CFA

El AIS también se conoce como una señal de “keep alive” o “Blue Alarm “. Esto consiste en una señal (no en trama) de puros “1” enviados para mantener la continuidad de la transmisión. La señal de AIS CFA es declarada cuando se da un estado AIS simultáneo a una RED CFA.

b) OOF (Out-Of-Frame) Condition

La condición de OOF (Hacia fuera-De-Marco) ocurre siempre que la red o el equipo del DTE detecte errores en el patrón de trama entrante. Dependiendo del equipo, esto puede ocurrir cuando 2 de 4, 2 de 5, o 3 de 5 bits de trama son erróneos. Un “reframe “ hace un “clear” a la condición de OOF.

c) Red CFA (Carrier Failure Alarm)

Ocurre después de la detección de la condición CONTINUA de OOF por 2,5 segundos. Este estado de alarma es limpiado (se le hace un clear) cuando no hay condiciones de OOF al menos en 1 segundo . Algunos usos (servicios de AT&T DACS) no pueden limpiar el estado del CFA hasta 15 segundos de la condición de No OOF .

d) Yellow CFA (Carrier Failure Alarm)

Cuando un equipo de Terminal/Network entra en un estado RED CFA, transmite una " Yellow Alarm" en la dirección opuesta.

Una "Yellow Alarm" es transmitida fijando el bit #2 de cada timeslot en un 0 (cero), para aplicaciones de D4 .

Para las aplicaciones de ESF, una " Yellow Alarm" es transmitida enviando un patrón repetitivo de 16-bits que consiste en 8 MARCAS (1) seguidas por 8 ESPACIOS (0) en los bits de Datalink. Esto se transmite por un MÍNIMO de 1 segundo.

Para D4, el tiempo de detección de "Yellow Alarm" es 335 ms (335 ms equivalen a 2680 tramas del tipo D4).Una condición de truncado debe darse entre 335 a 1000 ms.

Para ESF, el tiempo de detección MÍNIMO es de 28 ms.

e) LOS (Loss Of Signal)

Se declara una condición de LOS (Pérdida de señal) cuando no se han detectado pulsos en una ventana de pulsos de 175 +/-75 (100 a 250 tiempos de bit.)

2.1.3.2 Sistema de Portadora Digital E1

1) Medio Físico Para E1

Existen Básicamente dos:

a) No balanceado de 120 ohmios

Cobre en 4 alambres

Un par para RX (1+2)

Un par para TX (4+5)

b) Balanceado en 75 ohmios

Coaxial con conector BNC

Un cable para RX

Un cable para TX

2) Codificación de línea para E1

Esta establece como los bits son puestos en la línea (cable).

Es de nuestro interés el HDB3 (High Density Bipolar 3) el cual es usado para E1; este también, mantiene cada 1 en diferente polaridad. Usa violación Bipolar para mantener automáticamente la densidad de 1's.

a) Codificación Bipolar De alta densidad Orden 3 (HDB3)

➤ HDB3

El código HDB3 es una técnica de señalización bipolar, es decir, confía en la transmisión de pulsos positivos y negativos. Se basa en la inversión alterna de la marca (AMI), pero amplía esto insertando códigos de la violación siempre que haya un funcionamiento de 4 o más "0". Esto y los códigos (más complejos) similares han substituido a AMI en redes de distribución modernas.

b) Reglas De Codificación HDB3

Las reglas de codificación siguen iguales al AMI, excepto que una secuencia de cuatro "0" consecutivos está codificando con un bit especial de "violación". Este bit tiene la misma polaridad que el primer bit pasado que fue enviado usando la regla de codificación del AMI.

Tabla 2.9 Resumen de las reglas de codificación HDB3

Datos Transmitidos	Patrón Codificado HDB3
0	0
1	Inversión Alternada de la Marca (AMI)
0000	000V (tres "0" y una violación)
0000 0000	B00V B00V

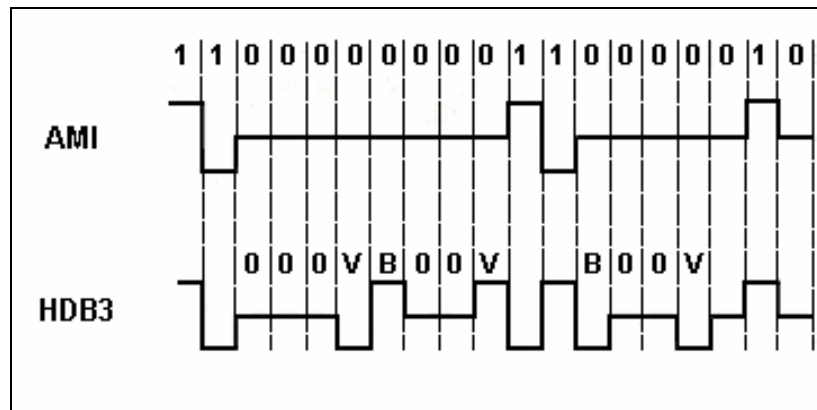


Figura 2.16 Comparación entre codificación AMI y HDB3

3) La trama primaria

La Trama estándar consiste en 32 timeslots (ranuras de tiempo) de 8 bits cada una; numeradas del 0 al 31 y llamadas de TS0 hasta TS31 .

El timeslot 0 es usado para: Sincronización, transporte de alarmas, uso de un carrier internacional.

El timeslot 16 puede ser usado para transmitir información de CAS (Channel Associated Signaling). La recomendación G.732 no define los estados de señalización , solo el transporte de los estados a través de una trama de G.732. Sin embargo G.704 reconoce el requerimiento para CCS (Common Channel Signaling) y también permite el transporte transparente del timeslot 16.

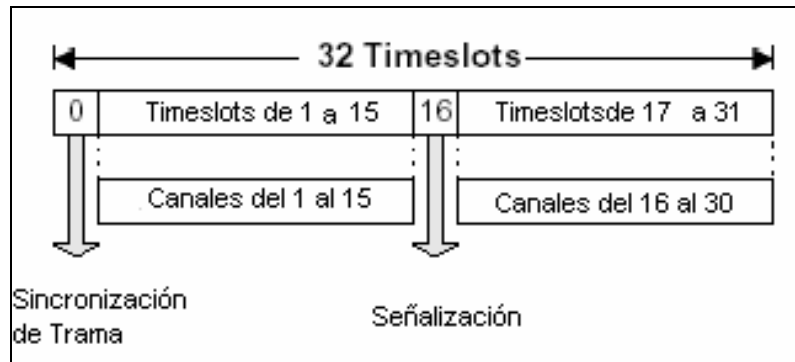


Figura 2.17 Ubicación de los canales de sincronización y señalización dentro de una ventana de tiempo

Existen dos tipos de formato de trama: doble trama (usa bits en ts0, crc-4); y submultitrama. TS16 en multitrama es independiente de si es doble trama o CRC-4.

4) Multitrama

Una multitrama consiste en 16 tramas, numeradas de 0 a 15.

a) Operación del TimeSlot 0

Operación en Modo Normal

En aplicaciones normales no hay chequeo de error dentro de la especificación G.704. En estos casos TS0 se puede usar para transportar Bits de usos Nacional e Internacional.

Sin embargo, G.704 describe una implementación opcional donde CRC-4 puede ser usado para dar detección de errores para tramas 0 a 15. Cuando este formato opcional es usado los bits internacionales de las tramas pares son reemplazados con un bit de CRC-4. Los bits nacionales son re-etiquetados como bits de repuesto (spare bits.)

b) Operación del TS0 sin CRC-4

Los lados emisores y receptores están sincronizados a la trama PCM con ayuda del FAS (Señal de alineamiento de Trama), la cual se transmite en el timeslot 0 de las tramas pares, y el NFAS (señal de no alineamiento de Trama), que se transmite en el timeslot 0 de las tramas impares.

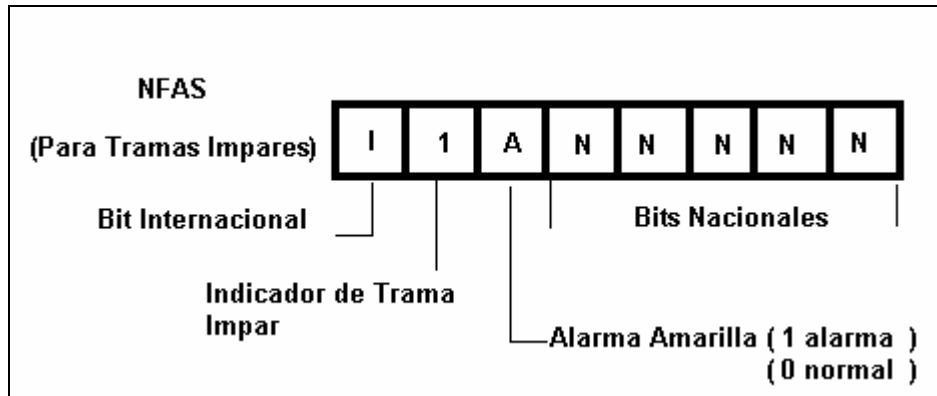


Figura 2.18 Distribución de la señal de no alineamiento de trama

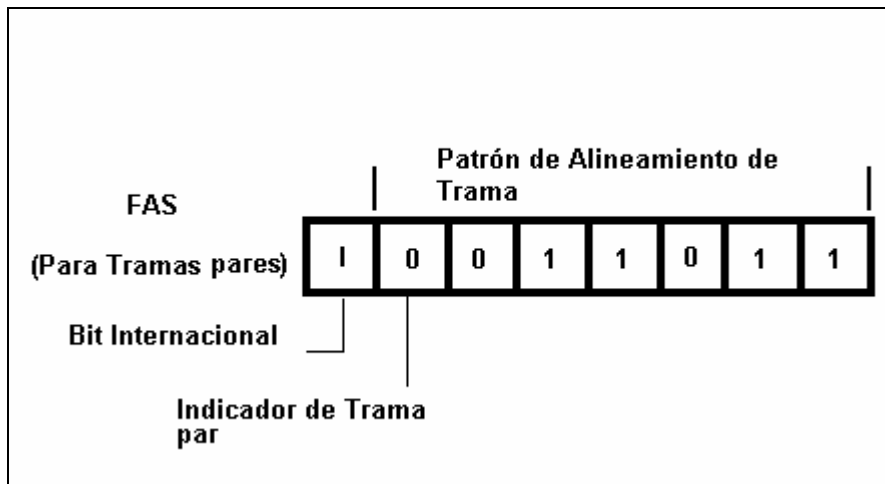


Figura 2.19 Distribución de la señal de alineamiento de trama

c) Operación del TS0 con CRC-4

Los bits CRC en las tramas 0, 2, 4 y 6 dan detección de error para la sub-multitrama transmitida/recibida (tramas de 0 a 7). Los bits CRC en las tramas 8, 10,12 y 14 dan detección de error para la sub-multitrama transmitida/recibida previamente (tramas de 8 a 15).

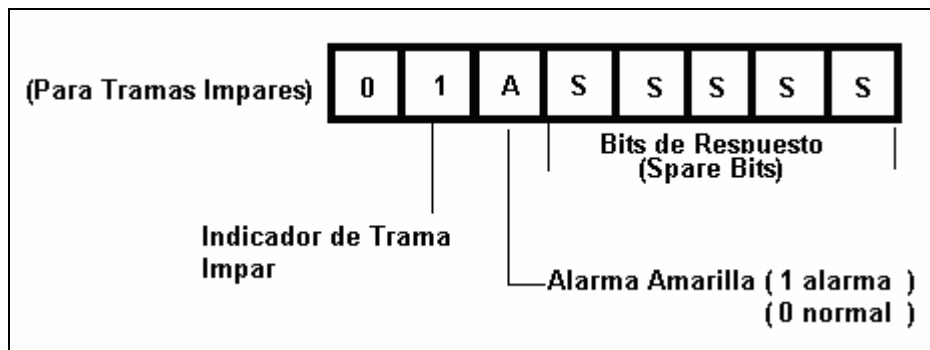


Figura 2.20 Operación del TS0 con CRC-4

d) Tramas pares con CRC-4

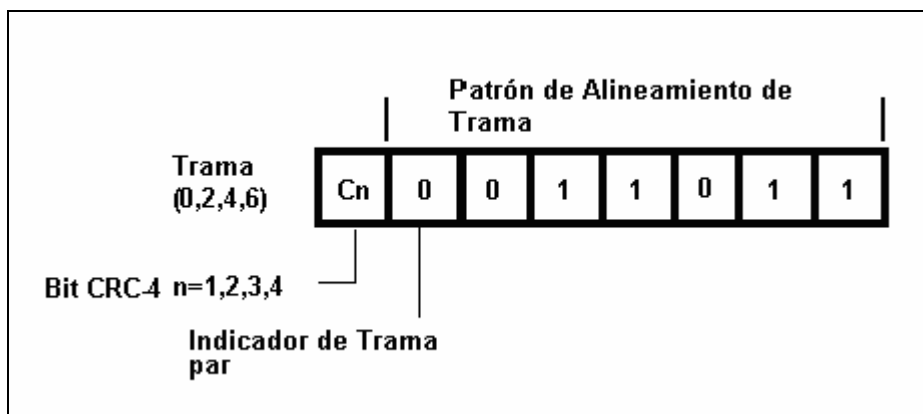


Figura 2.21 Tramas pares con CRC-4 (Tramas 0,2,4,6)

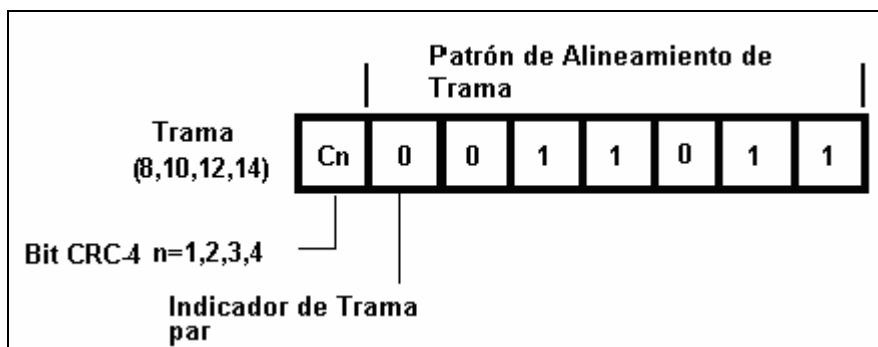


Figura 2.22 Tramas pares con CRC-4 (Tramas 8,10,12,14)

e) Alineamiento de la Multitrama con el TS16

Cuando TS16 es usado para CAS la trama cero es usada por el receptor para identificar la trama entrante. Específicamente, este patrón en TS0, en la trama 0 es llamado (MFAS)

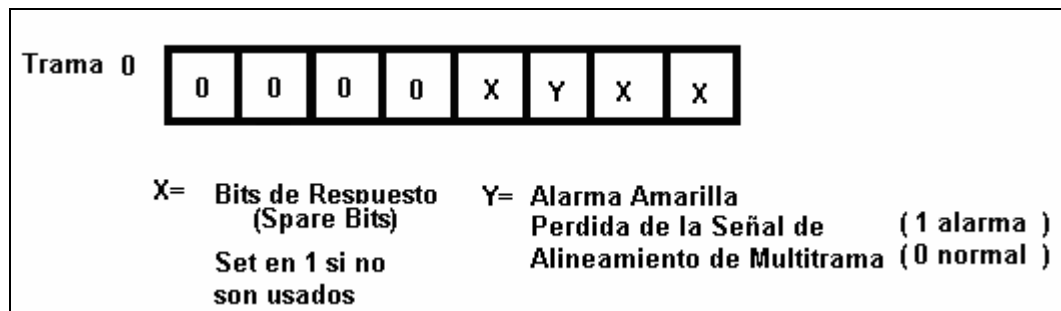


Figura 2.23 MFAS para alineamiento de la multitrama con el TS16

f) Sincronización sin CRC

Entonces deben haber tres condiciones para la sincronización:

- Primero recibe un FAS correcto en la trama 0.
- Después se recibe un NFAS correcto en la trama 1.
- Por último, se recibe un FAS correcto en la trama subsiguiente.

CRC-4 (Cyclic Redundancy Check 4)

La Recomendación de la ITU-T G.704 especifica el uso de CRC-4 para sistemas de 2048Kbit/s. También es conocida como PCM30C y PCM31C.

g) Sincronización de trama usando CRC-4

Un sistema utilizando CRC-4 hace 1000 CRC comparaciones cada segundo. Si el número de comparaciones incorrectas excede el 91.4 % el sistema sale de sincronía. La sincronización se lleva a acabo de la siguiente forma:

Sincronía normal del sistema PCM:

- Primero recibe un FAS correcto en la trama 0.
- Después se recibe un NFAS correcto en la trama 1.
- Por último se recibe un FAS correcto en la trama subsiguiente.

Sincronización de la multitrama CRC:

El primer time slot del NFAS contenido en las tramas de la multitrama CRC es chequeado para revisar la señal de alineación de multitrama 001011.

La sincronización de multitrama se da cuando al menos 2 MFAS de CRC son recibidos correctamente en un periodo de 8 ms (4 CRC submultitramas). Entre dos MFAS de CRC correctos debe de haber 2ms o un múltiplo de este.

5) Alarmas para E1

a) Alarmas Remotas

La transmisión PCM toma lugar en ambos sentidos; de esa manera los mensajes de alarma son también transmitidos bi-direccionalmente.

Se suponen dispositivos (multiplexores) en dos lugares A y B.

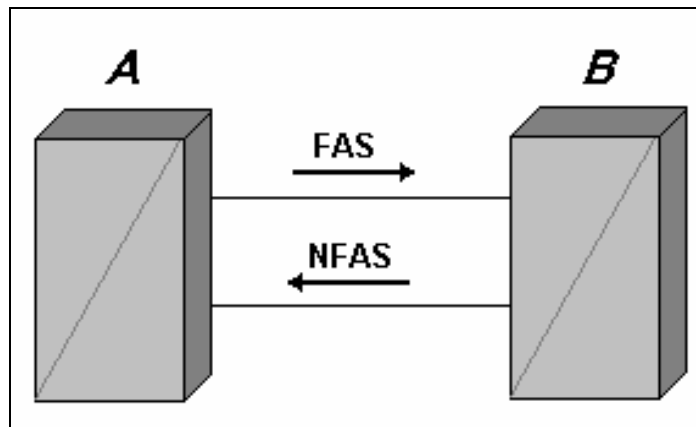


Figura 2.24 Alarmas remotas

b) Indicación de Alarma Remota (RAI)

El NFAS es usado para transmitir información de servicio. El Bit 3 del NFAS indica una alarma remota. Si el Bit 3 es 0 significa que no existe una alarma.

Si el Bit 3 esta en 1 puede indicar una de las siguientes situaciones:

- Fallo de la fuente de poder
- Fallo del Codec
- Fallo en la señal entrante de 2048k bits/s
- Error de alineamiento de trama
- Error en la razón de bit de alineamiento de trama ($> 1 \times 10^{-3}$)

En el punto B constantemente se monitorea el FAS entrante para encontrar errores de Bit. El FAS es recibido cada 250 microsegundos es decir 4000 veces por segundo. Si el resultado de la medición de errores de bits es menor o igual a 1×10^{-3} no existe problema. De lo contrario se da una indicación de alarma remota o alarma distante (RAI).

c) Señal de indicación de alarma

En el punto A se registra una indicación de alarma remota (RAI) y entonces se detiene la transmisión normal y se transmite una secuencia continua de 1 's. Esto causa que en el punto B se muestre una señal de indicación de alarma (AIS). Esta señal de 1's mantiene la recuperación de reloj en los regeneradores.

Permitiendo que la sincronización sea hecha tan pronto como se elimine el RAI.

ITU – T define el AIS como mas de 509 bits en 1 en un bloque de 512 bits (lo cual es una señal conteniendo menos de 3 ceros en un periodo de 2 tramas). Una señal con

todos los bits en 1 excepto el FAS es una AIS no valida y es declarada una pérdida de sincronía de trama (frame sync loss).

d) Pérdida de Sincronía de Trama (Frame Sync Loss)

Es declarada en PCM30/31 si tres FAS incorrectos son recibidos o en el caso de PCM30C(PCM31C) si hay más de 914 errores de CRC en un segundo.

e) Pérdida de Sincronía de Multitrama (Multiframe Sync Loss)

Si la señalización de MFAS es perdida entonces se declara una pérdida de Sincronía de Multitrama.

f) Alarma de Multitrama Distante

Es declarada en una dirección si el bit 2 del NMFAS en la dirección opuesta es puesto en 1.

6) Señalización

Es usada para indicar estado: llamada entrante, estado del canal (fuera de servicio, disponible).

Existen dos tipos de señalización:

a) CAS (Señalización por canal asociado): la señalización esta en la banda.

b) CCS (Señalización por canal común):

Se usa un timeslot para señalización (canal D) los mensajes significan enlaces y estados de llamada a 64 kbps

7) E1 ISDN PRI

Usa TS16 para canal D permite 30 canales de voz. No se necesita para NFAS.

El timeslot 16 de cada trama es usado para la señalización asociada al canal (CAS). La información necesaria para conmutar y enrutar los 30 canales telefónicos es interpolada y transmitida en este timeslot.

El intercambio de señalización es realizado por medio de bits que cambian de estado lentamente, la capacidad de 64 kbps de cada timeslot es dividido entre los 30

canales de voz y los otros dos para sincronización y alarmas; quedando una velocidad de 2 kbps.

2.2 Requerimientos de la empresa

La empresa le solicitó a los estudiantes la investigación de una tarjeta que fuera capaz de cumplir con la solución propuesta, y que concluirá con un informe detallado de los nuevos componentes que se emplearán para el desarrollo de un diseño esquemático desarrollado en el programa ORCAD, así como lo correspondiente a los manuales de programación de los mismos. En estos momentos la empresa ha determinado los componentes que formarán parte de la tarjeta en cuestión.

Para satisfacción de la empresa se ha logrado cumplir con la mayoría de los objetivos propuesto; de una manera rápida y segura en la que la oportuna investigación ha facilitado a la empresa tener a la mano las principales características de los componentes escogidos y su comparación con otros disponibles en el mercado, tomando en cuenta precios, cualidades, herramientas de desarrollo, etc.

De esta manera, los requerimientos de la empresa han ido cumpliéndose satisfactoriamente, según lo propuesto en los objetivos específicos y a luz de la aprobación de cada etapa por los encargados en la empresa.

2.3 Solución propuesta

Se requiere desarrollar un equipo para que las comunicaciones telefónicas internacional reduzcan el alto costo, principalmente, en el ámbito de los enlaces telefónicos entre familiares y amigos. El proyecto F&F (Friends and Family) pretende ser una alternativa de bajo costo para dicha aplicación. El objetivo primordial del proyecto es enlazar en primera instancia, Panamá con Estados Unidos de América.

El equipo que se desarrollará es una puerta de enlace entre la Red Telefónica Pública Conmutada (PSTN: Public Switched Telephone Network) y la Red de Transporte Internacional. Contará con interfaces de comunicación tipo E1/T1 tanto para la conexión Local como para la conexión internacional. También, tiene la capacidad de procesar señalización de tipo SS7 (C7) y C5. Además, posee la flexibilidad de insertar tramas de voz externas en los canales de los enlaces E1/T1, con el propósito de introducir al equipo la capacidad de Respuesta de Voz Interactiva (IVR: Interactive Voice Response). Lo anterior permitirá contar con la característica de que cuando el usuario realice una llamada sea atendido por una central de voz (mensajes pre-grabados) que le guíe durante su llamada. Un claro ejemplo de ello es el sistema de tarjetas prepago “Colibrí-197”, en donde una operadora automática le indica al usuario la metodología que debe aplicar para realizar su llamada exitosamente.

Entrando un poco en detalle sobre la composición del equipo F&F se dan a conocer la composición de los dos bloques básicos: ***F-switch*** y ***F-host Server***.

El bloque F-switch está constituido por las siguientes tarjetas:

- a) F-E1/T1: Encargada de la manipulación bidireccional de 8 E1/T1, con un DSP opcional.
- b) F-VEC: Es la tarjeta que contiene el equipo para la cancelación de eco (VEC: Voice Echo Cancellator). El proceso de cancelación de eco se ejecuta con un retardo de 64 ms y es capaz de ejecutar la cancelación de eco para 256 canales.

- c) F-HI (Host Interface): Interfaz para el F-host para transferir señalización, control y datos de IVR entre el equipo F&F y la PC en donde se encuentra la tarjeta de IVR y el proceso de manipulación de la señalización. Contiene recursos de DSP.
- d) F-PSU (Power Supply Unit): Esta es la tarjeta encargada de la alimentación del equipo F&F.

El bloque F-host Server está compuesto de una PC controladora con el set de aplicaciones F&F y se integra por las siguientes tarjetas:

- a) F-CI engine: Es la máquina controladora de HDLC, para gobernar las tarjetas de F-Switch. Efectúa funciones de inicio y configuración de las tarjetas, asignaciones de tablas de conmutación y manejo de hardware a nivel básico. Es la interfaz de comunicación desde el sistema de software del F&F al hardware del F-Switch.
- b) F-7 Engine (SS7): Se pretende implementar el stack SS7 pero con respaldo de la compañía: Cibertec.
- c) F-5 engine (C5): Implementación Cibertec del stack de C5.
- d) F-IVR engine: Máquina para las funciones de respuesta de voz interactiva.
- e) F-Call processor engine: Máquina procesadora de llamadas.
- f) F-DB engine (database): Máquina que controla la base de datos del F&F.

Se ha de contar con un bloque independiente compuesto de estaciones de trabajo basadas en PC denominado F-ClientApps, que se encarga de las aplicaciones finales de usuario; a saber: facturación, administración de bases de datos, etc.

Lo explicado anteriormente se presenta detalladamente en el capítulo 5 junto con los diagramas correspondientes a cada una de estas tarjetas y el diagrama general del proyecto F&F.

CAPÍTULO 3:

PROCEDIMIENTO METODOLÓGICO

- 1) Comprender los formatos de transmisión E1 y T1.
 - a) Recolectar información digital y escrita sobre los protocolos de comunicación E1 y T1.
 - b) Recibir charla de capacitación sobre ambos tipos de protocolos.
 - c) Resumir las principales características eléctricas de ambos protocolos.
- 2) Resumir las principales características del bus H.110.
 - a) Recopilar información digital y escrita de los estándares de bus H.110.
 - b) Elaboración de un documento con los sub-temas principales del tema.
- 3) Enumerar las principales características del proceso Hot Swap.
 - a) Recopilar información digital y escrita de los estándares relacionados.
 - b) Elaboración de un documento con los elementos necesarios para tomar en cuenta en la elaboración del diseño.
- 4) Enumerar las características principales de los diferentes Digital Switch existentes en el mercado.
 - a) Adquirir las hojas de datos de los Digital Switch existentes en el mercado y que mejor se adapten a los requerimientos de la tarjeta a diseñar.
 - b) Analizar la información contenida en las hojas de datos de los Digital Switch.
 - c) Elaborar una lista de características de todos los Digital Switch estudiados para establecer comparaciones entre los mismos.
 - d) Realizar un análisis de costos para ser tomados en cuenta a la hora de la escogencia del Digital Switch.

- 5) Escoger el Digital Switch que mejor cumpla con las expectativas de la tarjeta a diseñar.
 - a) Comparar las características de todos los DSW estudiados para poder elegir el que más convenga según las necesidades del diseño a elaborar.
 - b) Realizar una reunión con los ingenieros que se vieron involucrados en el uso de dispositivos que han sido mejorados en la actualidad, con el fin de exponer y analizar las características de los mismos para la escogencia el más conveniente.
- 6) Evaluar las características principales de los microcontroladores que mejor se adapten a los requerimientos de la tarjeta a diseñar.
 - a) Adquirir las hojas de datos de los microcontroladores existentes en el mercado y que mejor se adapten a los requerimientos de la tarjeta a diseñar.
 - b) Elaborar una lista detallada de las características de los microcontroladores estudiados.
 - c) Realizar un análisis de costos para ser tomados en cuenta a la hora de la escogencia del microcontrolador.
- 7) Realizar la escogencia del microcontrolador a utilizar.
 - a) Analizar las características de los microcontroladores propuestos y elegir el que mejor cumpla las especificaciones requeridas para el diseño de la tarjeta.
- 8) Elaborar un diagrama de bloques de la tarjeta por diseñar.
 - a) Coordinar con las personas que desarrollan los módulos de interfaz de línea y procesamiento digital de señales para elaborar este diagrama.
 - b) Se diseñará un diagrama de bloques completo para la tarjeta a diseñar, es decir, que incorpore tanto los módulos que competen al DSW, microcontrolador y tarjeta de red; así como los referentes a las etapas de interfaz de línea y procesamiento de señales.
- 9) Presentar a la empresa una lista detallada de los diferentes dispositivos y componentes pasivos que sean necesarios para la futura elaboración de la tarjeta.

- a) Extraer, del diseño de la tarjeta (esquemático), una lista detallada de todos los componentes que se requieren para llevar a cabo la futura elaboración de la tarjeta. Entiéndase dispositivos, chips, elementos pasivos, transformadores, etc.
- 10) Resumir las características principales de la tarjeta diseñada.
- a) Realizar un informe de especificaciones técnicas de la tarjeta diseñada.

CAPÍTULO 4:

DESCRIPCIÓN DEL HARDWARE UTILIZADO

Para tener una referencia de los nuevos componentes y el estudio de estándares de diseño que serán integrados a la tarjeta del F&F y además de su interconexión física; será necesario conocer, investigar y estudiarlos profundamente, de esta manera poder aclarar aquellos detalles que serán de suma importancia en el desarrollo final de diseño; que aunque estará a cargo de los coordinadores del proyecto, el aporte del practicante en este apartado contribuirá de manera significativa con la toma de decisiones a partir de criterios de los ingenieros a cargo. Para lograr dicho objetivo el siguiente resumen detallará los siguientes apartados:

- a) Bus H.110 ó Bus CT
- b) Digital Switch MT90866
- c) Microcontrolador MMC2114

4.1 Bus H.110 o Bus CT

En este apartado se podrá conocer acerca de los objetivos, algunas otras consideraciones y recomendaciones que este estándar posee, así como también, las limitaciones físicas y las sugerencias en dicho diseño. Estas consideraciones serán aplicadas en su mayoría en la construcción del bus en el Back-panel. En conjunto o en parte los componentes que conformarán la interfaz con éste bus deberán cumplir con las normativas de diseño y construcción que a continuación se detallarán.

4.1.1 Descripción del bus CT

El bus CT (computer telephony) es un estándar publicado por la ECTF (Enterprise Computer Telephony Forum). Consiste en un Bus TDM (Time Division Multiplexing), de 4096 ventanas de tiempo (time-slot). El bus está formado por 32 cadenas de bits (streams) bi-direccionales, y cada una de estas cadenas conlleva 128 time-slots. Para propósitos de sincronización existen señales de reloj y de inicio de trama (frame), con sus respectivas réplicas para propósitos de redundancia.

Para complementar el bus CT, existen buses para la tensión de alimentación, para telecomunicaciones (que consiste de un convertidor DC/DC o una batería de -48VDC), un bus de señal de timbrado telefónico (típicamente 90Vrms, a 25Hz).

También, se define el uso de pines para la entrada/salida de pares telefónicos a la tarjeta frontal, y el uso de una tarjeta de transición en la parte posterior. Ello permite que el cableado se realice en este módulo posterior, y las tarjetas frontales puedan ser extraídas sin necesidad de remover el cableado reduciendo el tiempo de mantenimiento.

4.1.1.1 Objetivos

La integración de las computadoras y las telecomunicaciones han habilitado un amplio rango de nuevas aplicaciones en comunicaciones y ha tenido crecimiento en los mercados de comunicaciones. Un elemento clave en el desarrollo de equipos de comunicaciones basados en computadoras ha sido, la adición de un bus Telecom auxiliar a los sistemas informáticos existentes. La mayoría de los fabricantes de equipos de comunicaciones computarizados de alta capacidad, han incorporado de alguna manera el Bus Telecom en sus sistemas. Típicamente estos buses transportan y conmutan un tráfico de poca duración de Nx64 Kbps entre las tarjetas dentro de la computadora, independientemente de las entradas/salidas de la computadora y los buses de memoria.

El objetivo de esta especificación del bus CT es proveer un bus Telecom simple para toda la industria. Estas especificaciones están intentando proveer toda la información necesaria para implementar una interfaz del bus CT a todas las capas. La adopción de un bus sencillo, facilitará la interoperabilidad de los componentes, así como, proporcionar máxima flexibilidad a los fabricantes de equipo, revendedores, integradores de sistemas y otros constructores de aplicaciones en telecomunicaciones. Un solo bus CT, a escala industrial conducirá a nuevos usos, reducirá costos y ampliará mercados.

Para facilitar su adopción, la especificación del bus CT H.100 fue dirigida inicialmente a las tarjetas con factor de forma PCI. En ésta versión, la especificación del bus CT H.110, es apuntada a los productos con factor de forma *CompactPCI*. La especificación H.110 es funcionalmente idéntica que la especificación H.100. Sin embargo, algunas de las características de la especificación H.100 referente a la alta disponibilidad, así como también lo referente a su utilidad completa en el ambiente Hot Swap de *CompactPCI*. Hay diferencias eléctricas entre H.100 y H.110 debido a las diferencias entre un cable de cinta y una implementación de Back-panel. Ésta especificación asume familiaridad con la especificación de PICMG *CompactPCI*. La información útil adicional relevante a las telecomunicaciones en el ambiente

CompactPCI puede ser encontrada en las especificaciones PICMG CT y en las especificaciones Hot Swap PICMG. El bus CT podría ser extendido para factores de forma además de PCI y *CompactPCI* en el futuro.

Finalmente, el bus CT ha sido diseñado con más capacidad que algunos de los buses previamente desarrollados, tanto como para soportar la próxima generación de servidores de alta capacidad. Al mismo tiempo, el bus CT incluye subconjuntos tan bien definidos, para poder construir sistemas económicos involucrando al menos dos tarjetas.

4.1.1.2 Definición de señales del bus CT

Hay cuatro tipos de señales en el bus CT: Principales, Inter-operabilidad, Opcionales y Reservadas. Principales, Inter-operabilidad y Reservadas son requeridas como se describe a continuación.

1) Señales Principales

Las señales Principales son requeridas en el bus CT. Estas señales DEBEN ser implementadas exactamente como se describen en las tablas 4.1 y 4.2.

2) Señales de Interoperabilidad

Señales de interoperabilidad DEBEN ser implementadas por todas las tarjetas con capacidad de bus maestro pero están presentes solo para ayudar en la inter-operación con ANSI VITA 6, SCbus.

3) Señales Opcionales

Señales opcionales PUEDEN ser implementadas en el bus CT. Sin embargo, si son implementadas, podrían hacerlo conforme esta especificación. Las interfases que no implementan estas señales NO DEBEN conectarse a ellas y NO DEBEN ser usadas para otros propósitos.

El resumen de estas señales se muestra a continuación.

Tabla 4.1 Señalización del Bus CT H.110

Señal	Descripción	Clasificación
/CT_FRAME_A	<i>Frame Sync</i> , manejado por el reloj maestro “A”. Es un pulso negativo normalmente de 122ns de ancho que indica el inicio del primer time-slot, con un periodo de 125s.	<p>PRINCIPALES</p> <p>Estas son de uso obligatorio. Definen la funcionalidad del bus CT, y se clasifican como señales reloj, de inicio de trama, de referencia de red, de datos, de habilitación y de reinicio.</p>
/CT_FRAME_B	<i>Redundant Frame Sync</i> , manejado por el reloj maestro “B”. Es un pulso negativo, normalmente de 122ns de ancho que indica el inicio del primer bit del time-slot, con un periodo de 125us.	
CT_C8_A	<i>Bit Clock</i> , manejado por el reloj maestro “A”. Su frecuencia es de 8.192 MHz. El ciclo de trabajo de normalmente 50%.	
CT_C8_B	<i>Redundant Bit Clock</i> , manejado por el reloj maestro “B”. Su frecuencia es de 8.192MHz. El ciclo de trabajo de normalmente 50%.	
CT_D[0:31]	Líneas seriales de datos que pueden ser manejadas por una tarjeta en el sistema. Sin embargo, solo una tarjeta puede manejar el bus en cualquier time-slot por cada stream. Estas 32 señales colectivamente son referidas como el Bus CT_D. Los dispositivos de bus CT podrían ser conectado a un subconjunto del Bus CT_D.	
CT_NETREF_1 y CT_NETREF_2	<i>Additional Network Timing Reference</i> , manejado por una interfase de troncal digital (E1) para proveer sincronizaron al bus CT. Esta señal puede tener un ciclo de trabajo tan largo como el periodo; es 125us (8KHz), 647ns (1.544MHz), o 488ns (2.048MHz) y es sincronizada la red. CT_NETREF_1 y CT_NETREF_2 tienen un tiempo mínimo en alto de 90ns y un tiempo mínimo en bajo de 90ns.	
/CT_EN	Señal lógica activa en bajo para indicar que el J4 de una tarjeta del bus CT esta completamente asignada.	

Tabla 4.2 Señalización del Bus CT H.110 (Continuación)

Señal	Descripción	Clasificación
/CT_RESET	Señal lógica active en bajo usada para dar reset a todas las tarjetas de bus CT que no tiene acceso al reset PCI RST# del J1/P1.	
/FR_COMP	Inter-operability frame pulse – manejado por el reloj maestro. Este es un pulso negativo, normalmente de 122ns de ancho, que indica el principio del primer bit del time-slot. Su periodo es de 125µs, esta señal sirve como la señal de sincronización de trama para ANSI VITA 6 Scbus.	<p style="text-align: center;">INTER-OPERABILIDAD</p> <p>De implementación obligatoria, permiten la compatibilidad con otros tipos de buses anteriores. Como MVIP (Natural Micro Systems), y SC (Dialogic). Estas señales son de reloj y de inicio de trama.</p>
SCLK	Inter-operability clock – manejado por el reloj maestro actual. La frecuencia de reloj es de 8.192 MHz, es usado para identificar la posición del bit del dato de ANSI VITA 6, Scbus. El flanco positivo va a indicar el inicio del bit.	
SCLK-D	Inter-operability clock – manejado por el reloj maestro actual. La frecuencia del reloj es de 8.192MHz, es usado para identificar la posición del bit del dato de ANCI VTA 6, Scbus. El flanco positivo indica el punto de muestra del bit.	
CT_MC	Message Channel. Este bus de bits seriales de colector abierto, es compartido por todas las interfases equipadas del bus CT para las comunicaciones de los Inter-dispositivos. Esta señal es terminada en cada interfaz de bus CT en el sistema, la cual tenga capacidad de bus de mensaje.	<p style="text-align: center;">OPCIONAL</p> <p>Son de uso opcional, pero se sugiere que se implanten en el desarrollo de cualquier tarjeta. Únicamente es una señal de comunicaciones entre tarjetas.</p>

4.1.2 Sincronización y relojes del bus CT

4.1.2.1 Introducción

La figura 4.1 muestra la relación funcional de la sincronización del bus CT y la señal /CT_FRAME. La señal /CT_FRAME es normalmente de 122ns de largo, centrado alrededor de la celda del primer bit. Para compatibilidad, el reloj maestro del bus CT DEBE ser capaz de generar las señales de /CT_FRAME_(A/B), CT_C8_(A/B), /FR_COMP, SCLK y SCLK-D. Las señales de /CT_FRAME A y B y las señales de CT_C8 A y B tienen nominalmente una sincronización idéntica y serán referidas como /CT_FRAME y CT_C8. Donde las señales "A" y "B" tienen diferente comportamiento por ello, serán explícitamente referidas con las designaciones "A" y "B". Los relojes esclavos del bus CT DEBERÍAN derivar /CT_FRAME y CT_C8 de la sincronización solamente.

La capacidad del reloj maestro DEBERÍA ser proveída de algunas de las tarjetas que contenga una interfaz de red con comunicaciones externa.

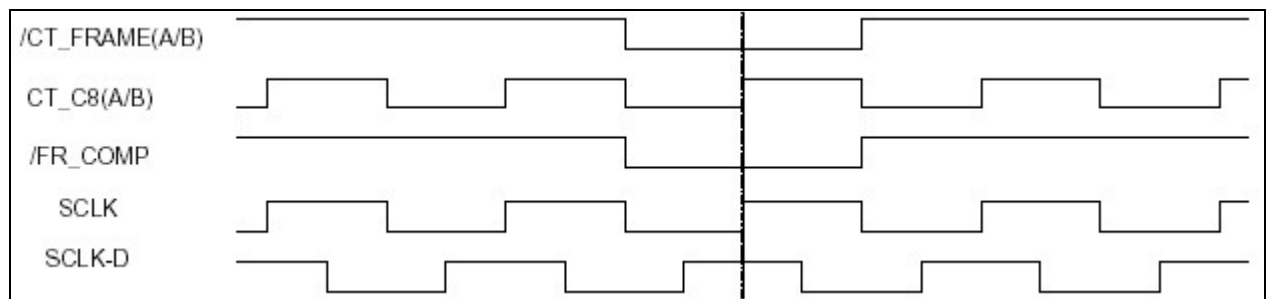


Figura 4.1 Alineación de Relojes

4.1.2.2 Señales de reloj del bus CT

La figura 4.2 muestra las señales de reloj requeridas del bus CT. La señal /CT_FRAME es nominalmente centrada alrededor del flanco de subida del CT_C8. Todas las medidas de sincronización están basadas en este flanco de subida.

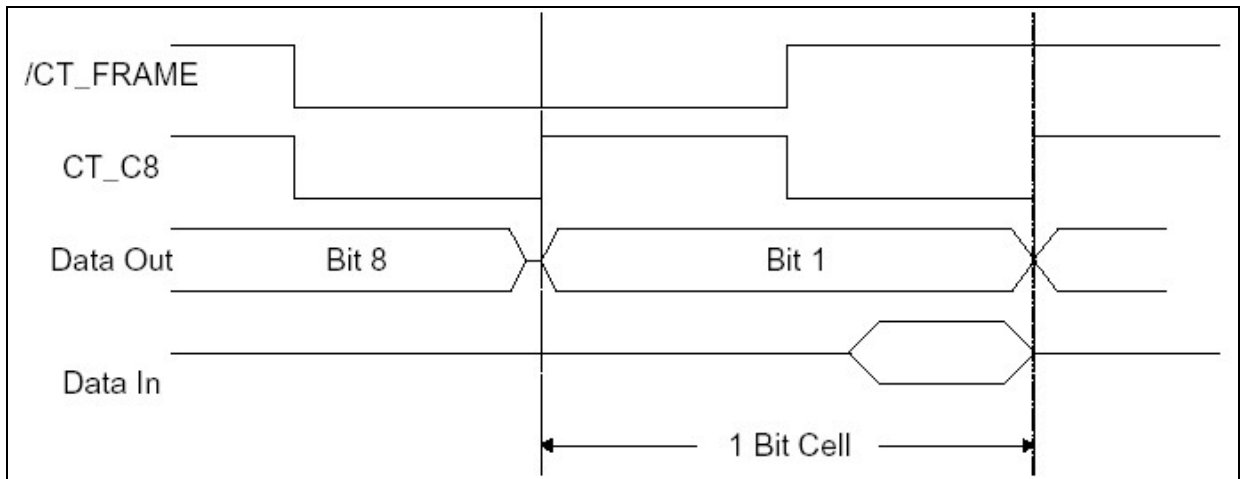


Figura 4.2 Sincronización funcional detallada

4.1.2.3 Exactitud de relojes

Todos los relojes generados por el reloj maestro del bus CT deben tener Stratum 4 Enhanced (o un equivalente internacional) para aplicaciones de redes conectadas y Stratum 4 (o un equivalente internacional) para terminaciones o aplicaciones independientes.

4.1.2.4 CT_NETREF_1 y CT_NETREF_2 para relojes redundantes

Estas señales proveen de una referencia de sincronización de red adicional. La figura 4.3 ilustra un escenario de sincronización de red. El reloj maestro para el bus CT está sincronizado para la trunca digital de la referencia primaria en la tarjeta 1. Las señales CT_NETREF_1 Y CT_NETREF_2 están sincronizadas de la trunca digital de la referencia secundaria. En el momento de que la trunca principal fallara, este PLL en la tarjeta 1 (donde se localiza el reloj maestro) conmutará a CT_NETREF_1 ó CT_NETREF_2 para derivar esta frecuencia. Bajo estas condiciones, los relojes dentro del bus CT NO DEBEN violar los requerimientos de sincronización de la sección anterior, y las tarjetas esclavas no deben verse afectadas por el fallo de la referencia primaria.

CT_NETREF_1 Y CT_NETREF_2 normalmente tienen características idénticas, por lo cual, será referido como CT_NETREF. Donde las señales 1 y 2 tienen diferentes comportamientos y serán explícitamente referidas dentro de las designaciones 1 y 2.

Las tarjetas del bus CT capaces de extraer la sincronización de la red privada o PSTN deben ser capaces de manejar CT_NETREF_1 y CT_NETREF_2 a 8KHz. Además, de la capacidad de manejar CT_NETREF_1 y CT_NETREF_2 a 8kHz, éstas tarjetas DEBERIAN tener la capacidad de manejar CT_NETREF_1 y CT_NETREF_2 a 1.544MHz y/o a 2.048MHz. Cuando hay más de una frecuencia CT_NETREF, la escogencia debe estar bajo control por software. El control de software de CT_NETREF_1 y CT_NETREF_2 DEBE ser independiente uno del otro.

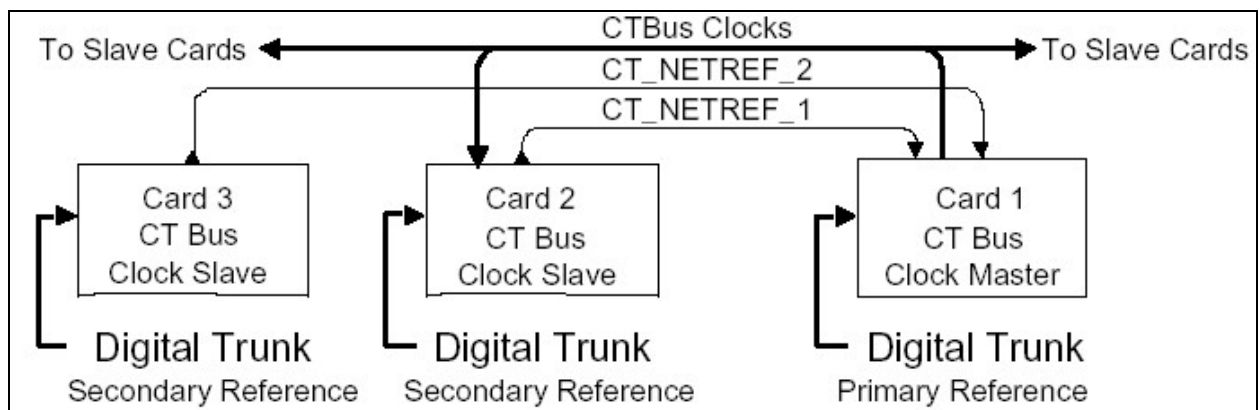


Figura 4.3 Operación CT_NETREF típica

4.1.2.5 Protección de reloj (Clock Fallback)

El bus CT provee señales duales *clock/frame* (CT_C8_A/B y CT_FRAME_A/B) para el reloj maestro y para la situación de falla del manejador de reloj. Esta sección contiene los requerimientos para los relojes maestro y esclavo del bus CT.

1) Requerimientos para los relojes maestros y esclavos

Los relojes maestros del bus CT DEBEN poner en marcha todas las características de la protección de relojes (clock fallback) descritas en esta sección. Los relojes esclavos PUEDEN participar en el mecanismo de clock fallback. Si las tarjetas del bus CT esclavas que se encuentran en J1 y J4, no participan en el mecanismo de protección

de relojes, DEBEN poder conmutar a las señales de trama y reloj secundario designado por comandos de software. La tarjeta esclava del bus CT que no se contempla en J1 DEBERIA participar en el mecanismo de protección de relojes (clock fallback).

Los requerimientos en esta sección ordenan que todas las interfaces del bus CT (maestro y esclavos participantes) sean capaces de determinar la calidad del reloj principal del bus CT. (CT_C8 y /CT_FRAME). Todas las interfases del bus CT DEBEN usar el siguiente criterio par determinar la calidad del reloj principal del bus CT.

2) Protección de relojes y comportamiento de la sincronización de la red

La figura 4.4 muestra un modelo de relojes de un sistema típico. Inicialmente, el reloj maestro primario designado maneja la señal de reloj “A” y la de trama, el reloj maestro secundario designado maneja la señal de reloj “B” y la de trama correspondiente. Un maestro secundario designado DEBE usar las señales de reloj y la de trama usadas por el maestro primario designado para la referencia del PLL. En el modelo mostrado, inicialmente los relojes “B” son enganchados a los relojes “A”. CT_NETREF_1 Y CT_NETREF_2 se muestran como viniendo de truncales digitales adicionales, pero ellos pueden ser generados por una tarjeta que provea una referencia derivada de la red.

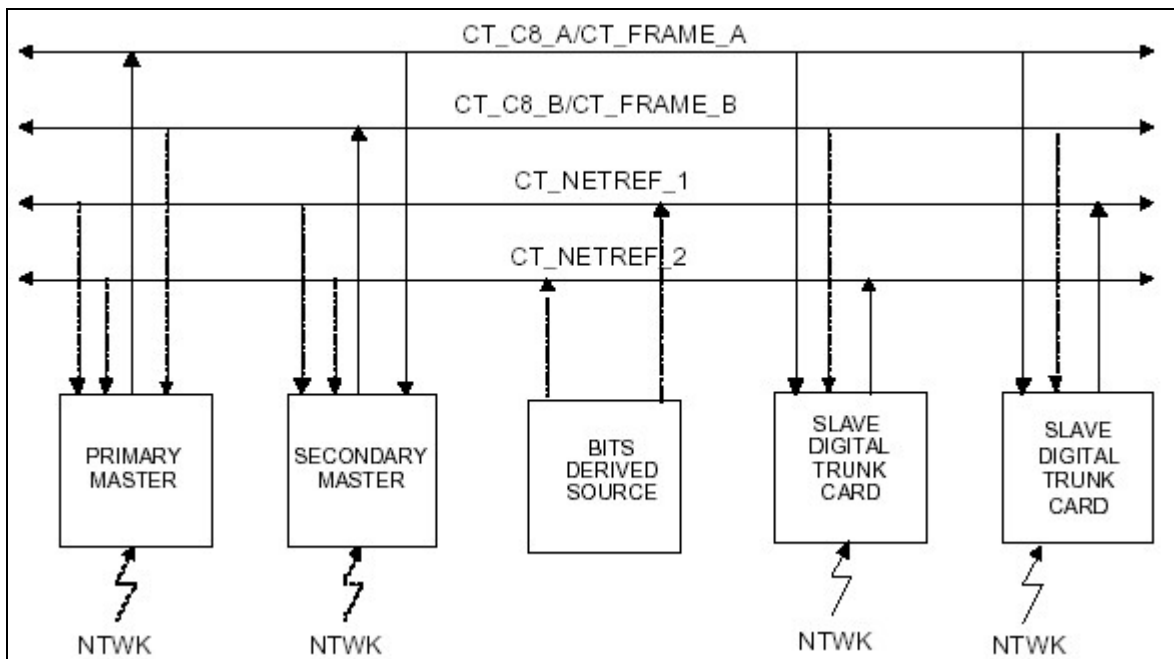


Figura 4.4 Modelo de un sistema típico de redundancia de relojes

4.1.3 Bus de transferencia de datos

4.1.3.1 Introducción

El bus CT es sincrónico, serial y es un bus de transporte TDM operando a 8.192MHz. Este consiste en dos relojes, dos pulsos de sincronía de trama, dos referencia de sincronización de red, un canal de mensajes opcional y 32 streams de datos seriales independientes (CT_D[0:31]). Tres relojes adicionales son generados por la tarjeta primaria del bus CT para proteger la inter-operabilidad con ANSI VITA & SCbus.

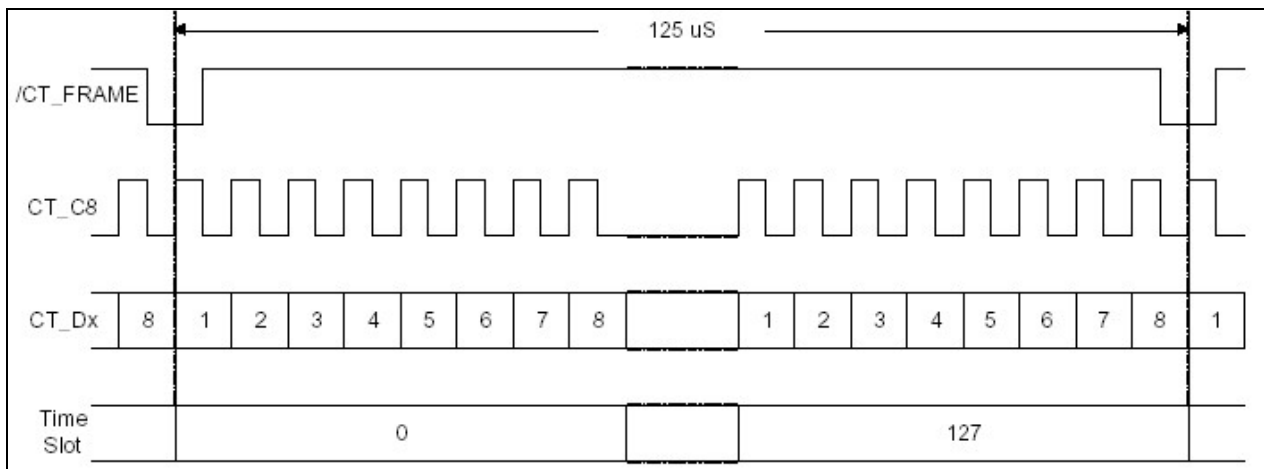


Figura 4.5 Estructura de la Trama

4.1.4 Especificaciones Eléctricas

4.1.4.1 Introducción

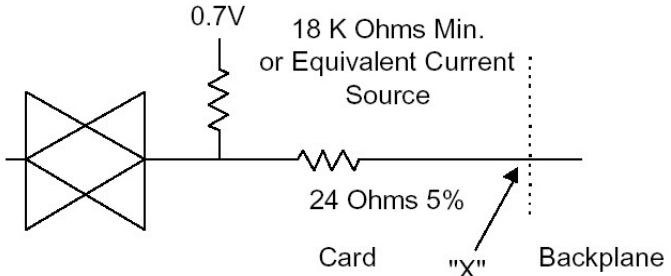
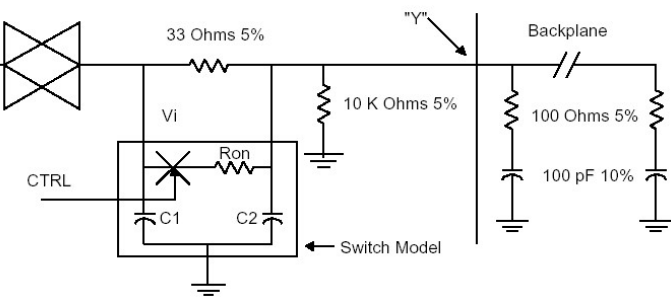
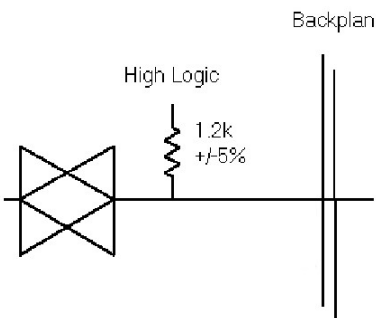
El bus CT son bits seriales, byte orientado, sincrónico y bus TDM. La transferencia de voz y datos sobre el bus es realizado por un asignamiento o número de time-slot y un número de stream (CT_Dn más número de time-slot) para enviar o recibir. No hay una confirmación entre el origen y el destino. La operación se basa solamente en la suposición, de que todas las tarjetas sobre el bus están bajo control por software.

4.1.4.2 Requerimientos de Interfaz

- a) Se define un máximo de 21 ranuras de expansión como máximo, en topología lineal.
- b) Las celdas de entrada/salida de las líneas de datos deben cumplir con los mismos requisitos de las celdas en el bus PCI, más otros requisitos descritos en el documento H.110 de la ECTF.
- c) Además, las líneas de datos (DT_Dx) y las de referencia de red (CT_NETref) deben tener circuitos de terminación como se muestran en la tabla 4.3.

4.1.4.3 Terminaciones

Tabla 4.3 Circuitos característicos de las terminaciones del Bus CT.

Terminaciones	Circuito Característico
<p>Terminación física de las líneas de datos y las señales de referencia de red. (CT Bus data lines and CT_NETREF)</p>	
<p>Terminación para las líneas de reloj y trama. (CT_C8 and /CT_FRAME)</p>	
<p>Terminación para la línea de /CT_EN</p>	

4.2 Digital Switch MT90866

A continuación se describirá el contenido del Digital Switch MT90866 AG, para lo cual se debe conocer acerca de sus capacidades, aplicaciones, configuración, modos de operación, etc. Con el fin de abarcar la mayor cantidad de información que ayudará a entender mejor la configuración y confección del diseño, se muestra a continuación los aspectos técnicos necesarios para poder desarrollar dicho objetivo.

4.2.1 Introducción

El MT90866 es un Switch Digital (DSW) que provee una capacidad de conmutación de 4,096 x 2,432 canales entre el backplane y el flujo local. La conexión local de entrada serial, así como la salida serial local tienen 32, 64 y 128 canales por trama a 64 Kb/s a una tasa de transferencia de 2.048, 4.096 u 8.192 Mb/s respectivamente. Por su parte, la conexión de entrada y salida serial del backplane tiene capacidad de 128 y 156 canales por trama con tasas de transferencia de 8.192 y 16.384 Mb/s respectivamente.

Además, este DSW ofrece una configuración de sub-taza de conmutación que permite canales de datos de 2 bits de ancho a 16 Kb/s o 4 bit de ancho a 32 Kb/s para ser conmutados dentro del dispositivo.

El dispositivo tiene características que pueden ser programables en base de flujo o canal incluyendo modo de mensaje, entrada de retardo de compensación, control de dirección y control de salida de alta impedancia.

El MT90866 soporta todas las especificaciones del bus H.110 requeridas para los tres modos de reloj: Maestro Primario, Maestro Secundario y Esclavo.

4.2.2 Características

Las siguientes son las características más importantes del dispositivo:

- a) 2.432 x 2.432 conmutaciones entre streams locales.
- b) 4.096 x 2.432 conmutaciones entre el backplane y el streams local.

- c) 2.048 x 2.048 conmutaciones entre el flujo de backplane.
- d) Conversión de tasa de transferencia entre el backplane y el flujo local.
- e) Conversión de tasa de transferencia entre el flujo local.
- f) La interfase de backplane acepta tasas de datos de 8.192 Mb/s o 16.384 Mb/s.
- g) La interfase local acepta tasas de transferencia de datos de 2.048 Mb/s, 4.096 Mb/s u 8.192 Mb/s.
- h) Conocimiento de todos los requisitos obligatorios de la señal de la llave H.110 incluyendo la sincronización
- i) Rendimiento constante o variable de retraso por canal.
- j) Retraso de entrada por stream, programable para el flujo local.
- k) Control de dirección por canal para el flujo de backplane.
- l) Modo mensaje por canal para el backplane y el flujo local.
- m) Control de alta impedancia de salida por canal para el backplane y el flujo local.
- n) PLL integrado estandarizado.
- o) Modo Holdover con estabilidad de frecuencia de holdover de 0.07 ppm.
- p) Atenuación de Jitter desde 1.52 Hz
- q) Corrección de error de intervalo de tiempo.
- r) Modos de operación maestro y esclavo
- s) Interfase para microprocesador no multiplexada.
- t) Bloque programable de memoria de conexión para inicialización rápida del dispositivo.
- u) Salidas de control de tercer estado para dispositivos externos.
- v) Generación de patrones de secuencia binaria de Pseudo-Random (PRBS) y prueba para backplane y flujo local.

- w) Conformidades de acuerdo a los mandatos de la IEEE en cuanto al estándar para JTAG
- x) 3.3 Voltios de operación con tolerancia para 5V de entrada y I/O's
- y) Entradas/Saldías con tolerancia de 5V para driver PCI sobre CT-Bus.
- z) El chip consta de 344 pines Ball PBGA y trabaja en condiciones de temperatura desde los -40° hasta los 85° Celcios.

4.2.3 Aplicaciones:

Dentro de las aplicaciones en las que se puede implementar este dispositivo están:

- a) Plataformas de acceso de multi-servicios.
- b) Plataformas de aplicación CTI/cPCI
- c) Gateways de Carrier Class
- d) Servicios de acceso integrado
- e) Aplicaciones de Interfase para ST-BUS y H.110
- f) Servidores de acceso remoto
- g) Portadores de lazo digital (Digital loop carriers)
- h) Concentradores de acceso remoto

El diagrama de bloques del MT90866AG se muestra a continuación.

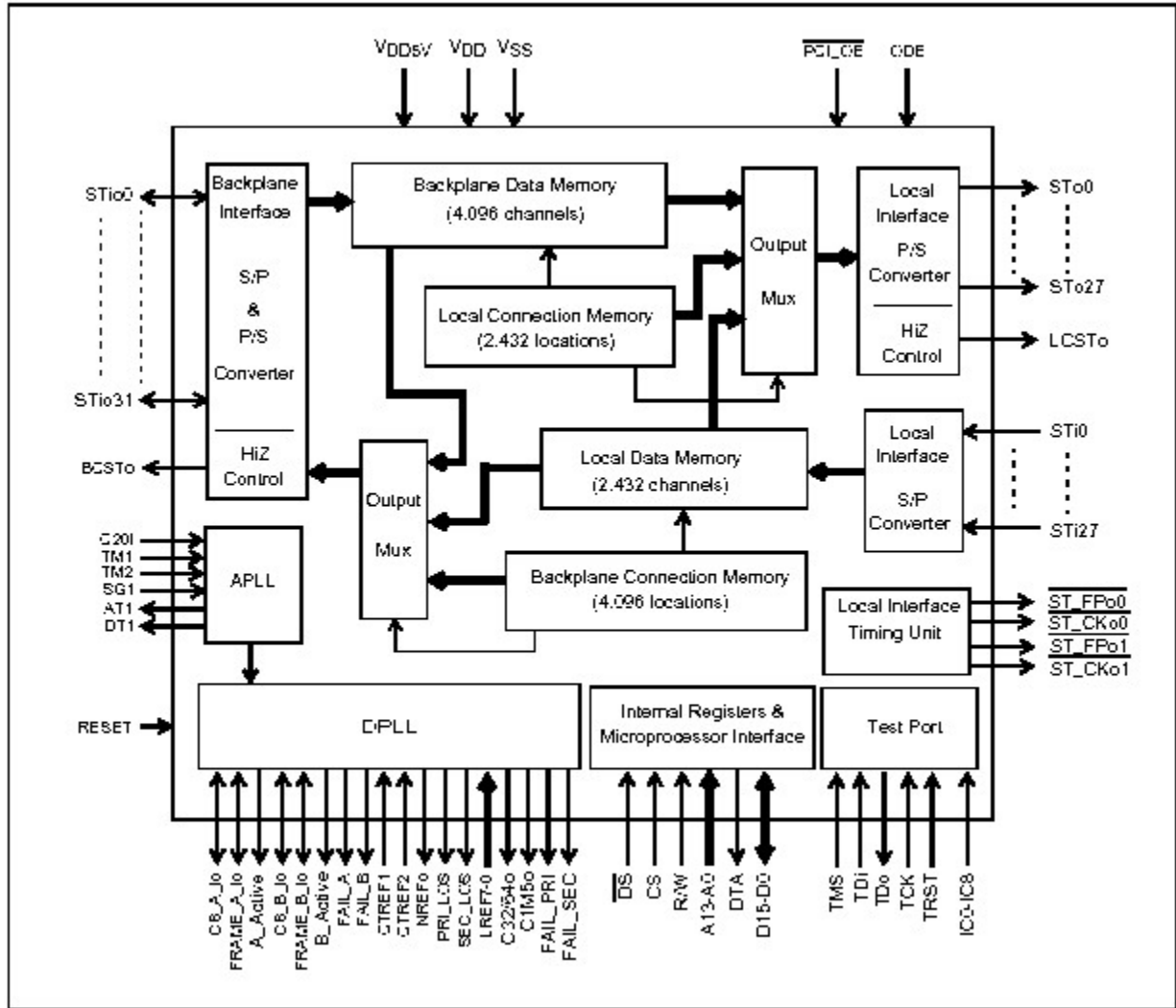


Figura 4.6 Diagrama de bloques funcional del DSW MT90866AG

4.2.4 Descripción del dispositivo

El MT90866 puede conmutar hasta 4.096 x 2.432 canales, mientras provee una capacidad de conversión de la tasa de transferencia. Es diseñado para conmutar 64Kb/s PCM o N X 64Kb/s entre las aplicaciones de conmutación de backplane y local. El dispositivo mantiene la integridad de la trama para aplicaciones de datos, además de un retraso mínimo para las aplicaciones de voz sobre un par de canales básicos.

4.2.4.1 Descripción funcional

Es diseñado para servir como interfase entre el bus CT y el Bus ST, desde una fuente backpanel y una local respectivamente.

4.2.4.1.1 Sincronización de la alineación de trama

En el modo Bus ST o en el modo bus CT, el pin C8_A_io o C8_B_io acepta un reloj de 8.192MHz para el pulso de alineamiento de trama. El FRAME_A_io o el FRAME_B_io es la señal de pulso de trama que se pone en bajo, al final de la trama durante 122ns. El límite de la trama es definido por el flanco positivo de los relojes C8_A_io ó C8_b_io durante la parte baja del ciclo del pulso de trama.

La figura 4.7 muestra la sincronización del bus CT para una transferencia de datos a 8.192MHz en el backplane y la figura 4.8 muestra la sincronización del Bus CT para una transferencia de datos a 16.384MHz en backplane.

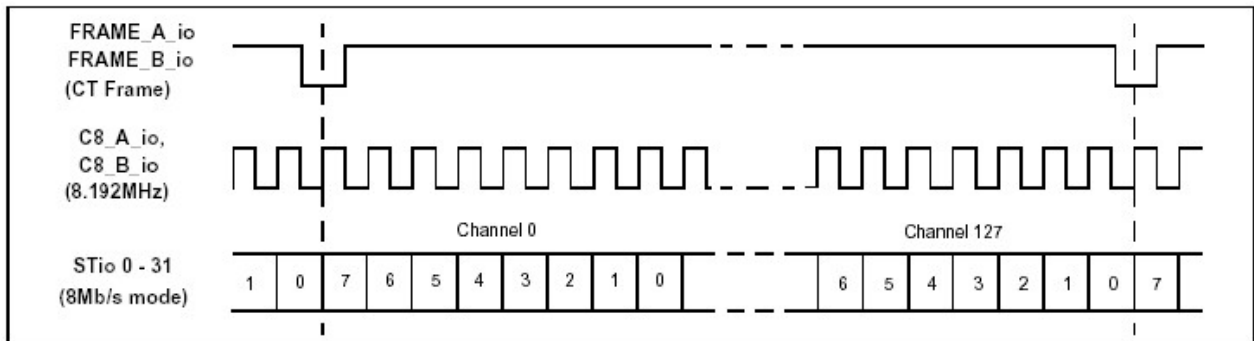


Figura 4.7 Sincronización del Bus CT para una transferencia de datos a 8.192mhz en el backplane.

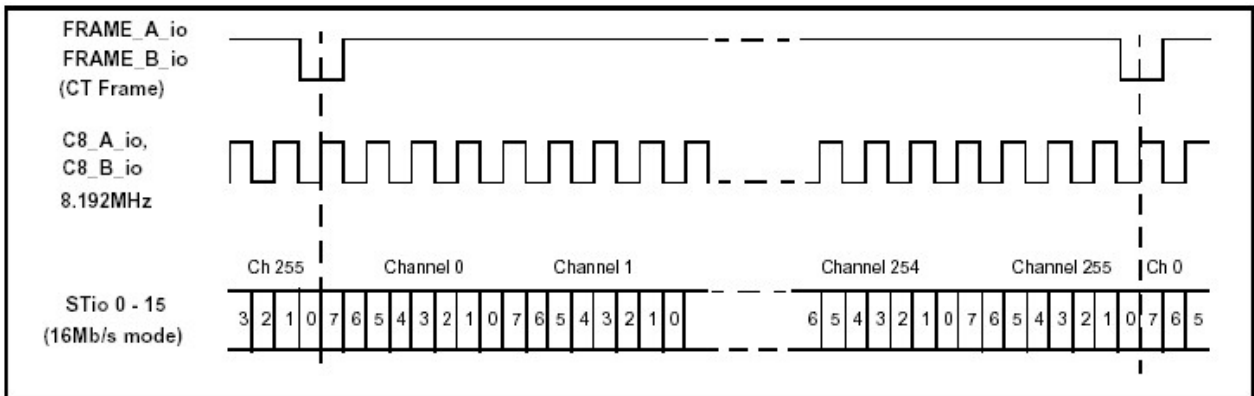


Figura 4.8 Sincronización del Bus CT para una transferencia de datos a 16.384.192mhz en el backplane.

4.2.4.1.2 Configuración de Conmutación

Este dispositivo tiene dos modos de operación a diferente tasa de transferencia y cinco modos de operación para la interfaz local. Estos modos pueden ser programados por medio del registro de Selección del Modo del Dispositivo (DMS). Los modos de selección entre la interfaz backplane y local son independientes.

4.2.4.1.3 Interfaz backplane

Puede ser programada para aceptar transferencias de datos a 8Mb/s o a 16Mb/s. Cuando el modo H.110 es habilitado, Stio0 a Stio31 tiene una tasa de transferencia de 8.192Mb/s. Cuando el modo ST-bus es habilitado, Stio0 a Stio15 tiene una tasa de transferencia a 16.384Mb/s.

4.2.4.1.4 Interfaz local

Cinco modos de operación, 2Mb/s, 4Mb/s, 8Mb/s, 2-bit sub-rate y 4-bit sub-rate, pueden ser elegidas para la interfaz ST-bus. La interfaz local es dividida en 5 grupos, el grupo 0 contiene STi/STo 0-3, el grupo 1 contiene STi/STo 4-7, el grupo 2 contiene STi/STo 8-11, el grupo 3 contiene STi/STo 12-15 y grupo 4 contiene STi/STo 16-27, cada grupo puede ser elegido individualmente por el registro DMS.

Tabla 4.4 Modos de operación para cada uno de los grupos de la interfaz local

	STi/Sto	2Mb/s	4Mb/s	8Mb/s	2-bit subrate	4-bit subrate
Grupo 0	STi/Sto 0 – 3	√	√	√	√	√
Grupo 1	STi/Sto 4 – 7	√	√	√	√	√
Grupo 2	STi/Sto 8 – 11	√	√	√	√	√
Grupo 3	STi/Sto 12 – 15	√	√	√	√	√
Grupo 4	STi/Sto 16 – 18	√	√	√		
	STi/Sto 18 – 27	√				

4.2.4.1.5 Selección de los retardos de las entradas locales

Esto permite individualmente a cada stream de entrada local ser alineado y desfasado contra la entrada del pulso de trama (FRAME_A_io ó FRAME_B_io). Esta característica compensa para la trayectoria retardo variable en la interfaz local. Tales retardos pueden ocurrir en un sistema de conmutación distribuido y centralizado.

4.2.4.1.6 Selección del adelanto de salida

El MT90866 permite al usuario adelantar individualmente los streams locales o de backplane con respecto al límite de la trama. Esta característica es usada para compensar retrasos de salida variables causados por varias condiciones de carga de salida.

4.2.4.1.7 Programando el bloque de memoria

El registro de modo de programación del bloque (BPM) del MT90866, provee al usuario la capacidad de inicializar las memorias de conexión de backplane y local en 2 tramas. La memoria de conexión local es particionada en parte alta y baja.

4.2.4.2 Retardos debidos al MT90866

La conmutación entre los streams seriales de entrada a los streams seriales de salida resulta es un retardo en el rendimiento. El dispositivo puede ser programado para realizar funciones de intercambio de time-slots, con diferentes retardos en el rendimiento de las capacidades en un par de canales básicos. Para aplicaciones de voz es recomendado seleccionar la variable de retardo de rendimiento para asegurarse el mínimo retardo entre los datos de entrada y de salida. En aplicaciones de datos de banda ancha es recomendado seleccionar un retardo de rendimiento constante para mantener la integridad de la trama de la información a través del switch.

4.2.4.2.1 Modo de retardo variable

El retardo en este modo es dependiente solo de la combinación en los canales de la fuente con los del destino y es independiente de los stream de entrada y de salida. El mínimo retardo registrado en el MT90866 son 3-canales de retardo, 5-canales de retardo y 10-canales de retardo para 2Mb/s, 4Mb/s y 8Mb/s respectivamente. El máximo retardo es de una trama más 3 canales, una trama más 5 canales y una trama más 10 canales para los modos de 2Mb/s, 4Mb/s y 8Mb/s respectivamente.

4.2.4.2.2 Modo de retardo constante

En este modo un buffer de memoria de datos múltiples es usado para mantener la integridad de la trama en todas las configuraciones de conmutación con el uso de tres páginas de Memoria de Datos donde un canal escrito en alguno de los buffers durante el frame N es siempre leído durante el frame N+2.

4.2.4.3 Interfaz de microprocesador

El MT90866 provee una interfaz paralela para una estructura de bus no multiplexado. Esta interfaz es compatible con la estructura del bus no multiplexado de Motorola. Las señales requeridas para el microprocesador son un bus de datos de 16

bits (D15–D0), un bus de direcciones de 14 bits (A13–A0) y 4 líneas de control (CS, DS, R/W y DTA).

4.2.4.4 Mapeo de direcciones de las memorias y registros

El bus de direcciones es usado en la interfaz del microprocesador selecciona los registros internos y las memorias del MT90866. Si el bit de direcciones A13 está en bajo, los registros son direccionados por A12 y A0 como lo muestra en la tabla 4.5.

Tabla 4.5 Mapa de direcciones para los registros internos (A13 = 0)

A13 – A0	Ubicación
0000H	Control Register, CR
0001H	Device Mode Selection Register, DMS
0002H	Block Programming Mode Register, BPM
0003H	Reserved
0004H	Local Input Bit Delay Register 0, LIDR0
0005H	Local Input Bit Delay Register 0, LIDR1
0006H	Local Input Bit Delay Register 2, LIDR2
0007H	Local Input Bit Delay Register 3, LIDR3
0008H	Local Input Bit Delay Register 4, LIDR4
0009H	Local Input Bit Delay Register 5, LIDR5
000AH	Local Input Bit Delay Register 6, LIDR6
000BH	Local Input Bit Delay Register 7, LIDR7
000CH	Local Input Bit Delay Register 8, LIDR8
000DH	Local Input Bit Delay Register 9, LIDR9
000EH to 001BH	Reserved
001CH	Backplane Output Advancement Register 0, BOAR0
001DH	Backplane Output Advancement Register 1, BOAR1
001EH	Backplane Output Advancement Register 2, BOAR2
001FH	Backplane Output Advancement Register 3, BOAR3
0020H	Local Output Advancement Register 0, LOAR0
0021H	Local Output Advancement Register 1, LOAR1
0022H	Local Output Advancement Register 2, LOAR2
0023H	Local Output Advancement Register 3, LOAR3
0024H to 0026H	Reserved
0027H	Local BER Input Selection Register, LBIS

Tabla 4.6 Mapa de direcciones para los registros internos (A13 = 0) (Continuación)

A13 – A0	Ubicación
0028H	Local BER Register, LBERR
0029H	Backplane BER Input Selection Register, BBIS
002AH	Backplane BER Register, BBERR
002BH	DPLL Operation Mode Register 1, DOM1
002CH	DPLL Operation Mode Register 2, DOM2
002DH	DPLL Output Adjustment Register, DPOA
002EH	DPLL House Keeping Register, DHKR

Si el bit A13 está en alto, las restantes direcciones son usadas para seleccionar las posiciones de la memoria de datos y de conexión correspondientes a los streams de datos de entrada y de salida como lo muestra la siguiente tabla.

Tabla 4.7 Mapa de direcciones para la ubicaciones de memoria

A13 (Note 1)	Stream Address (ST0-31)						Channel Address (Ch0-255)								
	A12	A11	A10	A9	A8	Stream #	A7	A6	A5	A4	A3	A2	A1	A0	Channel #
1	0	0	0	0	0	Stream 0	0	0	0	0	0	0	0	0	Ch 0
1	0	0	0	0	1	Stream 1	0	0	0	0	0	0	0	1	Ch 1
1	0	0	0	1	0	Stream 2
1	0	0	0	1	1	Stream 3
1	0	0	1	0	0	Stream 4	0	0	0	1	1	1	1	0	Ch 30
1	0	0	1	0	1	Stream 5	0	0	0	1	1	1	1	1	Ch 31 (Note 2)
1	0	0	1	1	0	Stream 6	0	0	1	1	1	1	1	0	Ch 32
1	0	0	1	1	1	Stream 7	0	0	1	1	1	1	1	1	Ch 33
1	0	1	0	0	0	Stream 8
.
.	0	0	1	1	1	1	1	0	Ch 62
.	0	0	1	1	1	1	1	1	Ch 63 (Note 3 & 6)
.
.
.	0	1	1	1	1	1	1	0	Ch 126
1	1	1	0	1	1	Stream 27	0	1	1	1	1	1	1	1	Ch 127 (Note 4 & 7)
1	1	1	1	0	0	Stream 28
1	1	1	1	0	1	Stream 29
1	1	1	1	1	0	Stream 30	1	1	1	1	1	1	1	0	Ch 254
1	1	1	1	1	1	Stream 31	1	1	1	1	1	1	1	1	Ch 255 (Note 5)

Notes:
1. Bit A13 must be high for access to data and connection memory positions. Bit A13 must be low for access to registers.
2. Channels 0 to 31 are used when serial stream is at 2Mb/s.
3. Channels 0 to 63 are used when serial stream is at 4Mb/s.
4. Channels 0 to 127 are used when serial stream is at 8Mb/s.
5. Channels 0 to 255 are used when serial stream is at 16Mb/s.
6. Channels 0 to 63 are used when local serial stream is in 4-bit wide sub-rate switching mode.
7. Channels 0 to 127 are used when local serial stream is in 2-bit wide sub-rate switching mode.

1) Conexión de memoria en backplane

Controla la configuración de la conmutación de la interfaz backplane. Las ubicaciones en la memoria de conexión de backplane están asociadas particularmente con los streams STio.

2) Conexión de memoria local

Controla la configuración de la conmutación de la interfaz local. La memoria de conexión local es particionada en parte alta y baja. Las ubicaciones en la memoria de conexión están asociadas particularmente con los streams STo.

4.2.4.5 Configuración de pines

1) Pin de Reconocimiento de transferencia de datos DTA

El pin DTA del microprocesador es activo en bajo por una lógica interna para indicar que una transferencia en el bus de datos es completada. Cuando el ciclo del bus termina, este pin conmuta al estado de alta impedancia. Una resistencia de pull-up entre $1K\Omega$ y $10K\Omega$ es requerida en esta salida.

2) Prueba de Bit Error Rate BER

El MT90866 ofrece al usuario esta característica de prueba para las interfaces backplane y local. El circuito de la prueba **BER** consiste en un transmisor y un receptor en ambas interfaces que pueda transmitir y recibir los patrones de BER independientemente. El transmisor puede sacar pseudo patrón aleatorio de la forma $2^{15}-1$ en algún canal y stream dentro de una trama de tiempo.

3) Control de tercer-estado externo

El MT90866 tiene la habilidad de proveer al usuario con la opción de control externo por-canal. Dos señales de control son proveídas. Para la interfaz de backplane, es la salida BCSTo, para la interfaz local es la salida LCSTo. Cada señal de control tiene una tasa de transferencia de 32.768Mb/s con 4.096 bits de control por trama. Cada posición del bit corresponde a una ubicación de canal y de stream de salida específica. Cuando

el bit de control esta en alto, el correspondiente canal de salida es en tercer-estado, mientras que cuando el bit de control está en bajo, el correspondiente canal de salida tiene activa la salida de datos.

4.2.4.6 DPLL

El DPLL acepta seleccionar 1.544MHz o 2.048MHz, u 8KHz como señal de referencia de entrada. Este acepta una entrada de referencia desde una fuente independiente y provee conmutación a la referencia bit-error-free. El DPLL permite la fase de subida y reúne los requerimientos de MTIE definidos por el estándar Telcordia GR-1244-CORE.

Además, el DPLL provee la sincronización para el resto del MT90866, generando muchas señales de reloj con la apropiada calidad. Los relojes están sincronizados de uno de dos relojes de referencias de entrada y según los requerimientos de las especificaciones de reloj H.110.

4.2.4.7 Modos de operación del MT90866

El DPLL y consecuentemente el MT90866 pueden, como se requiere por el estándar H.110, operar en tres modos diferentes: Maestro primario, Maestro secundario y esclavo. La figura 4.9 muestra la configuración típica para el control de sincronización.

Para configurar el DPLL hay dos Registros: DOM1 y DOM2. En todos los modos de operación el MT90866 monitorea ambos relojes: “A Clocks” (C8_A_io y FRAME_A_io) y el “B Clocks” (C8_B_io y FRAME_B_io). Las señales Fail_A y el Fail_B indican la calidad del reloj “A Clocks” y “B Clocks” respectivamente.

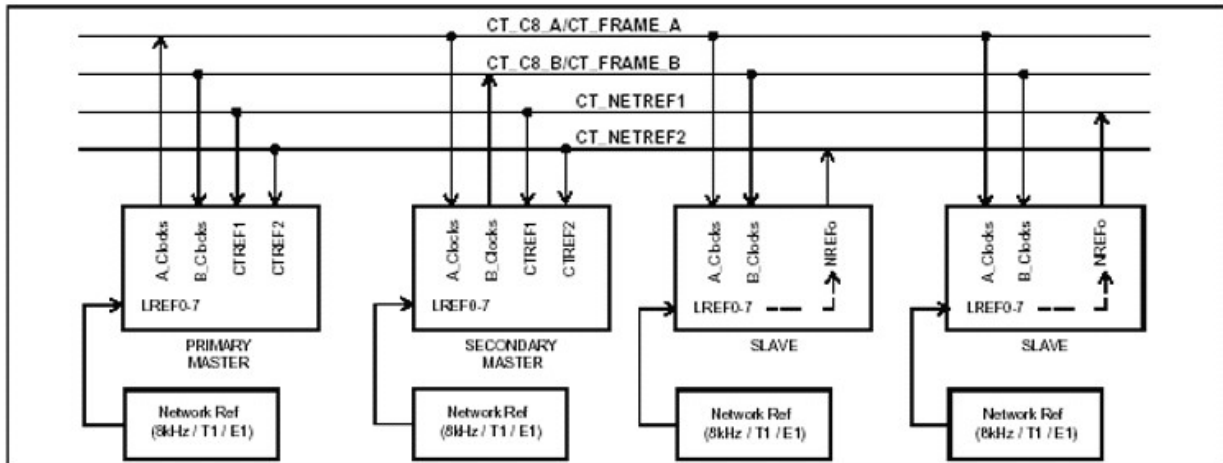


Figura 4.9 Configuración típica del control de sincronización

1) Modo de operación Maestro Primario (Primary Master Mode)

En este modo, el MT90866 conduce los relojes “A Clocks” (C8_A_io y FRAME_A_io) a engancharse a la referencia primaria (PRI_REF). En este modo, el MT90866 tiene la habilidad de monitorear la referencia primaria. Si dicha referencia llega a ser poco confiable, el dispositivo continúa manteniendo el reloj “A Clocks” en Modo Holdover estable hasta que esto haga una conmutación compatible con **Stratum 4 Enhanced** hacia la referencia secundaria (SEC_REF) para su sincronización con la red.

Si la referencia primaria es recuperada, el MT90866 hace una conmutación compatible con **Stratum 4 Enhanced** hacia la referencia primaria original y el sistema regresa a un estado de operación normal.

Si es necesario, el dispositivo puede ser prevenido para conmutar hacia la referencia primaria original por programación del bit RPS en el registro DOM1 para dar preferencia a la referencia secundaria.

2) Modo maestro secundario (Secondary Master Mode)

El dispositivo lleva el reloj “B Clocks” (C8_B_io y FRAME_B_io) a engancharse al “A Clocks”.

Si “A Clocks” se torna poco confiable, el software del sistema es notificado y el MT90866 continua manteniendo el “B Clocks” en un modo de Holdover estable hasta que haga una conmutación compatible con **Stratum 4 Enhanced** hacia la referencia secundaria (SEC_REF) para su sincronización con la red.

Si el reloj “A Clocks” no puede ser recobrado, el maestro secundario designado puede ser promocionado a maestro primario por el software del sistema. Dicha promoción puede causar que el “B Clocks” asuma el papel del “A Clocks”.

3) Modo esclavo (Slave Mode)

En este modo, el MT90866 es enganchado al reloj “A Clocks”. Si dicha referencia se torna poco confiable, el dispositivo entra en modo de Holdover estable hasta que haga una conmutación compatible a **Stratum 4 Enhanced** hacia el reloj “B Clocks”.

Además, el dispositivo puede ser usado para generar una referencia CT (CT_REF1 o CT_REF2) desde sus referencias de red LREF0-7.

Mientras el dispositivo esté en Modo Esclavo y el “A Clocks” o el “B Clocks” no regresen, el esclavo designado puede ser promovido a maestro secundario por el software de sistema. En tal caso, la referencia de red puede ser usada como referencia secundaria. (Refiérase a la tabla 22 en la página 58 del documento [zarlink_MT90866_Jul_2002.pdf](#)).

4.2.4.8 Inicialización del MT90866

Durante el encendido, el pin TRST debe ser puesto en bajo para asegurar que el MT90866 está en modo funcional. Es requerido un resistor externo de pull-up en éste pin para que el dispositivo no entre al modo de prueba JTAG durante el encendido.

Después del encendido, el contenido de la memoria de conexión puede estar en cualquier estado. El pin ODE puede ser llevado a bajo después del encendido para mantener todas las salidas seriales en alta impedancia hasta que el microprocesador haya inicializado la matriz de conmutación. Este procedimiento previene que dos salidas seriales conduzcan el mismo flujo o stream simultáneamente. La característica de programación del bloque de la memoria puede ser usada también para inicialización rápida de la conexión local y de backplane de memoria.

4.2.4.9 Puerto de acceso para prueba (Test Access Port (TAP))

Accesa las funciones de prueba del MT90866. Este puerto consiste de tres pines de entrada y uno de salida, descritos a continuación:

1) Test Clock Input (TCK)

Provee el reloj para la prueba lógica. El TCK no interfiere con algún reloj dentro del chip y sigue siendo así independientemente del modo funcional. El TCK permite cambiar de lugar al dato de prueba dentro o fuera de las celdas del registro Boundary-Scan concurrentemente con la operación del dispositivo y sin interferir con la lógica del chip.

2) Test Mode Select Input (TMS)

El Controlador TAP usa las señales lógicas recibidas como entradas TMS para controlar las operaciones de prueba. Las señales TMS son muestreadas en el flanco positivo del pulso TCK. Este pin es internamente puesto en V_{DD} cuando no es manipulado por una fuente externa.

3) Test Data Input (TDI)

El dato de entrada serial aplicado a este Puerto es llenado en cualquier registro de instrucción o en un registro de prueba de dato, dependiendo de la secuencia previamente aplicada a la entrada TMS. El dato de entrada recibido es muestreado en el flanco positivo del pulso TCK

Este pin es internamente puesto en V_{DD} cuando no es manipulado por una fuente externa.

4) Test Data Output (TDO)

Dependiendo de la secuencia previamente aplicada a la entrada TMS, el contenido de cualquier registro de instrucción o registro de dato son conmutados serialmente hacia el TDO. El dato saliente del TDO es registrado en el flanco positivo del pulso TCK. Cuando no hay dato conmutado a través de las celdas de exploración de límite, el TDO es puesto en alta impedancia.

5) Test Reset (TRST)

Resetea la estructura de exploración del JTAG. Este pin es internamente puesto en V_{DD} cuando no es manipulado por una fuente externa.

4.2.4.10 Registro de Instrucción (Instruction Register)

El MT90866 usa instrucciones públicas definidas en el estándar IEEE 1149.1. La interface JTAG contiene un registro de cuatro bits de instrucción. Las instrucciones son cargadas de manera serial dentro del registro de instrucciones desde el TDI cuando el controlador TAP está en su estado shifted-IR.

Estas instrucciones son decodificadas subsecuentemente para archivar dos funciones básicas:

Seleccionar el registro de datos de prueba que puede operar mientras la instrucción sea correcta y para definir el camino del registro de dato de prueba que es usado para conmutar el dato entre TDI y TDO durante la exploración del registro de datos.

4.2.4.11 Test Data Register

Como se especifica en el estándar IEEE 1149.1, la interface JTAG del MT90866 contiene tres registros de dato de prueba:

- **The Boundary-Scan Register**

Consiste de una serie de celdas de exploración superior en un arreglo para formar una trayectoria de exploración alrededor del límite de la base lógica del MT90866.

- **The Bypass Register**

El registro de Bypass es un solo registro de cambio de la etapa que provee una trayectoria de un bit desde el TDI hacia su TDO.

- **The Device Identification Register**

El ID del dispositivo JTAG para el MT90866 es 0086614BH.

Version<31:28>: 0000 / Part No. <27:12>: 0000 1000 0110 0110

Manufacturer ID<11:1>: 0001 0100 101 / LSB<0>: 1

4.3 Microcontrolador MMC2114

4.3.1 Introducción

El microcontrolador que se utilizará en todas las tarjetas es el MMC2114. Éste, junto con el MMC2112 y MMC2113 son miembros de una familia de microcontroladores de uso general (MCU) basados en la unidad central de procesamiento de M•CORE M210 (CPU). Son dispositivos de baja tensión que funcionan entre 2,7 voltios y 3,6 voltios.

La arquitectura del M•CORE M210 CPU es una de las más compactas, una base máxima de implementación en base de 32-bit. La unidad de ejecución reducida pipeline (RISC) utiliza 16-bit de instrucciones con el que se alcanza una máxima eficiencia en velocidad y código, mientras se conservan recursos de memoria dentro del chip..

El set de instrucciones está diseñado para soportar un alto nivel en el lenguaje de implementación. Un sistema de depuración no-intrusivo es residente, con el que se provee depuración y prueba en el sitio.

Las principales características de la arquitectura del M•CORE M210 CPU son:

- a) Arquitectura con 32-bit load/store RISC.
- b) Mejorado 16-bit de instrucciones.
- c) 13 registros de control de 32-bit.
- d) 32 registros de propósito general de 32-bit.
- e) Disponibilidad de alternar el set de archivos de los 32 registros de propósito general de 32-bit.
- f) Pipeline de ejecución eficiente de 4 etapas.
- g) Ciclo de ejecución simple para la mayoría de instrucciones, 2 ciclos para acceso a memoria.
- h) Soporte de interrupciones normales y rápidas.
- i) Soporte de interrupciones vectorizadas y autovectorizadas.

- j) Soporte de emulación On-chip (OnCE).
- k) Optimización de diseño estándar para minimizar el consumo de potencia.

El consumo total de potencia es determinado por todos los componentes del sistema, rara vez con solo el CPU. En particular, el consumo de potencia de la memoria (ambas dentro y fuera del chip) es un factor determinante en el consumo de potencia total del CPU.

El microcontrolador MMC2114 es uno de los últimos de una familia que empezó con el MMC2107. Las principales características del MMC2114 se mencionan a continuación:

- a) 256 Kbytes FLASH memory.
- b) 32 Kbytes de (SRAM).
- c) Interfase de periféricos seriales (SPI).
- d) Dos interfaces de comunicaciones seriales (SCI).
- e) Dos timers.
- f) Convertidor Queued analógico a digital (QADC).
- g) Controlador para 40 fuentes de interrupciones con soporte para 8 pines de interrupciones externas.
- h) Dos timer de intervalos periódicos.
- i) Dos Watchdog Timer.
- j) Phase-locked loop (PLL) con cristal de referencia desde 2 hasta 10 Mhz.
- k) Detector integrado de bajo voltaje (LVD).
- l) Entradas/Salidas de propósito general (GPIO).
- m) Multiples configuraciones de chip: single-chip u operación de modo extendido.
- n) Reset separado para señales de entrada y salida. Además, siete fuentes de reset.

- o) Interfaz de bus externo que soporta diferentes anchos de datos: 16, 23 y 32 bits de direcciones
- p) Grupo de acción de prueba OnCE (JTAG) para depuración con un kit de prueba de sistema

El MMC2114 de 32-bit, con la unidad de procesamiento central microRISC, entrega 31 Dhrystone 2.1 MIPS a 33 MHz. La figura 4.10 muestra el diagrama de bloques del módulo principal en el MMC2114.

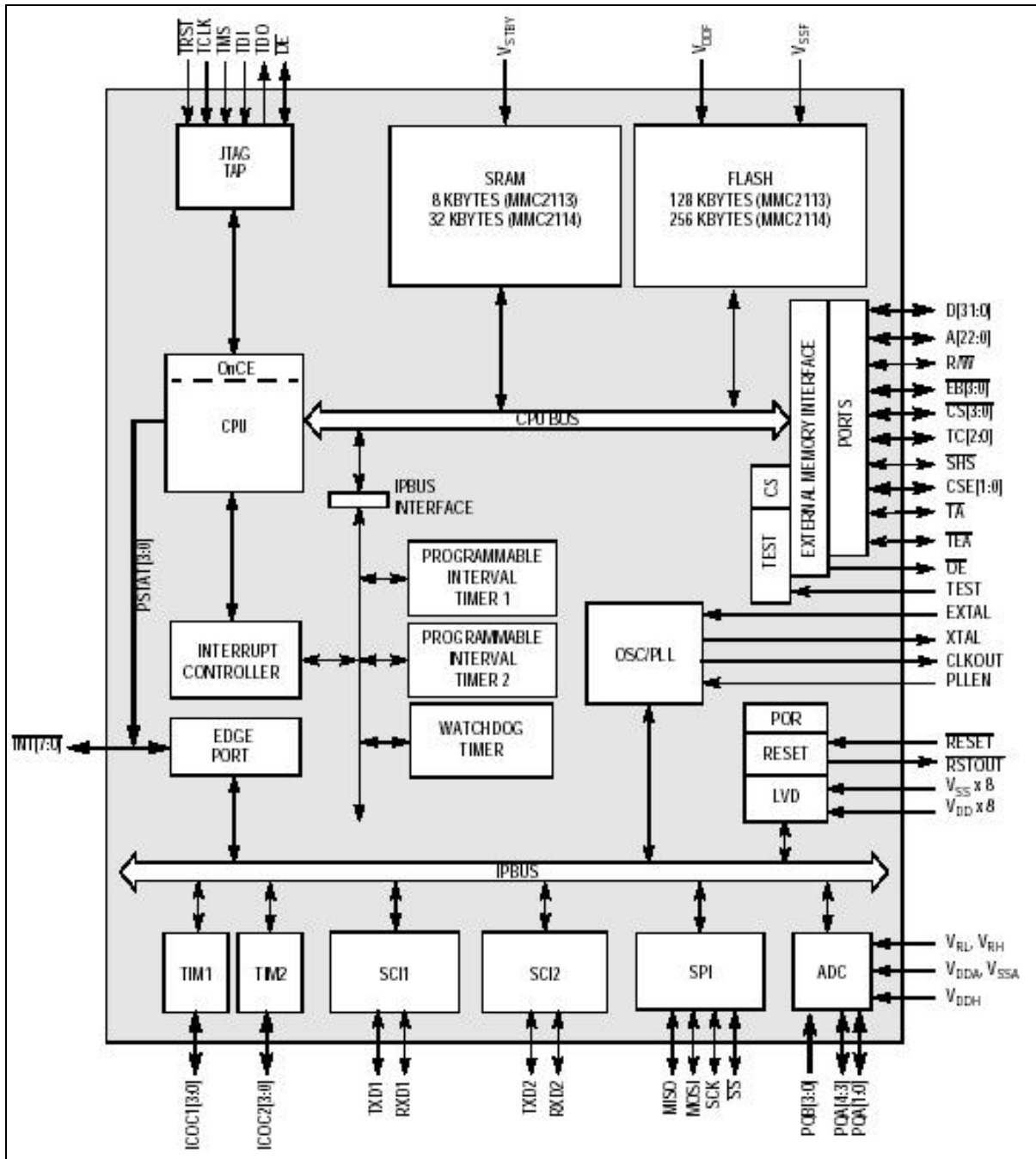


Figura 4.10 Diagrama de bloques del microcontrolador MMC2114

En la parte superior del diagrama se observa el puerto de prueba JTAG así como algunas señales de alimentación para el chip. El puerto JTAG es utilizado para conectar un kit de prueba para el chip y asegurarse el correcto funcionamiento del mismo.

También se encuentra ubicada en ese sector la capacidad de memoria FLASH y SRAM del microcontrolador. Obsérvese que para el MMC2114 se cuenta con 32 Kbytes

de memoria SRAM y 256 Kbytes de memoria FLASH, suficiente para abordar con éxito las operaciones en las que se debe desempeñar el microcontrolador en cada tarjeta.

En el lado derecho del diagrama aparecen el bus de datos de 32 bits y el de direcciones de 23 bits. Además, bits de control como: chip select y R/W, entre otras. Señales de alimentación de reloj y relojes que entrega el microcontrolador gracias a su OSC/PLL interno. También se encuentran las señales de Reset del dispositivo. Obsérvese como las señales de reset entran al microcontrolador y son procesadas por un bloque de RESET que mantienen comunicación con los puertos de comunicaciones serial (SCI), de periféricos seriales (SPI) y los timers, a través de un bus interno IPBus.

Finalmente (extremo inferior derecho) aparece una serie de pines de entrada para señales analógicas que el microcontrolador puede procesar debido a que cuenta con un ADC interno (ver figura 4.10: Diagrama de bloques del microcontrolador MMC2114).

En su parte inferior se encuentran la interfaz con periféricos seriales y la interfaz de comunicaciones seriales, así como los timers del sistema. Del lado izquierdo del diagrama se localiza el puerto de interrupciones (8 bits). Como dato adicional, este chip cuenta con 144 pines LQFP.

4.3.2 Modos de operación del MC2114

El CCM configura el chip para cuatro modos de operación:

- a) Modo Maestro (master mode)
- b) Modo Simple (single-chip mode)
- c) Modo de Emulación (emulation mode)
- d) Modo de acceso para pruebas de fábrica (FAST mode for factory test only)

El modo de operación en el que se ponga a trabajar el microcontrolador se determina durante el reset y no puede ser cambiado después, es decir, durante su funcionamiento normal.

4.3.2.1 Modo Maestro (Master mode)

En modo maestro, la unidad central de procesamiento interna (CPU) puede acceder las memorias externas y los periféricos. Para operar con todas las funcionalidades en modo maestro, el microcontrolador requiere la vinculación de los pines opcionales. El bus externo consiste de un bus de 32 bits y 23 líneas de direcciones. Las señales de control disponibles del bus incluyen R/W, TC[2:0], TSIZE[1:0], TA, TEA, OE, y EB[3:0]. Hasta cuatro selectores de chip (chip select) pueden ser programados para seleccionar y controlar los dispositivos externos y proveer la finalización del ciclo del bus. Al interconectar a los puertos de 16 bits, los pines de los puertos C y D y EB EB[3:2] pueden ser configurados como entradas/salidas (I/O) de propósito general.

4.3.2.2 Modo Simple (Single-chip mode)

En este modo, toda la memoria es interna al chip. Los pines externos del bus son configurados como entradas/salidas digitales.

4.3.2.3 Modo de Emulación (Emulation mode)

Soporta el reemplazo lógico de puertos externos. Todos los puertos son emulados y todas las funciones de los pines primarios son habilitadas. Puesto que la totalidad del bus externo debe ser visible para soportar el reemplazo lógico del puerto externo, la configuración de pines en modo emulación se asemeja al modo maestro. Todas las funcionalidades del modo emulación requiere la vinculación de los pines opcionales.

Los pines de chip select en modo emulación están provistos para entregar información adicional acerca del ciclo del bus. Además, la señal SHS está provista como un estroboscópio para capturar direcciones y datos durante los ciclos mostrados.

4.3.2.4 Modo FAST (Factory Access Slave Test Mode)

El modo FAST es solo para pruebas de fabricación.

El MMC2114 opera además en cuatro modos de operación de bajo consumo de energía. Una breve introducción a cada uno de ellos es presentada a continuación.

4.3.3 Modos de operación para bajo consumo de energía

El MMC2114 opera en varios modos de baja potencia. Son cuatro modos de operación: RUN, WAIT, DOZE y STOP. En bajo consumo de potencia, el sistema cuenta con la capacidad de desactivar más periféricos independientemente y tiene la habilidad de desconectar el pin externo de CLKOUT.

El sistema entra en el modo de bajo consumo tras la ejecución de una instrucción de STOP, WAIT, o DOZE. Durante este tiempo, el CPU no tiene activo sus ciclos. Una señal interna indica al sistema y al controlador de reloj para que se apaguen. Durante el modo STOP, el reloj del sistema se detiene.

Se requiere un evento de levantamiento del sistema para salir del estado low-power y retornar al modo RUN. Los eventos para el levantamiento del sistema consisten en cualquiera de las siguientes condiciones:

- a) Algún tipo de Reset.
- b) La aserción del pin DE para solicitar la entrada al modo debug.
- c) Petición de cambio de estado del bit de debug en el Registro de Control de OnCE para solicitar ingresar al modo debug.
- d) Cualquier petición válida de interrupción.

4.3.3.1 Modo RUN

Es el modo de operación normal del sistema. El consumo de corriente en éste modo está relacionado directamente con la frecuencia de reloj del sistema.

4.3.3.2 Modo WAIT

Este modo de operación es previsto para ser usado para detener solamente al CPU y relojes de la memoria hasta que se detecte un evento de levantado (wakeup). En dicho modo, los periféricos pueden ser programados para continuar operando y pueden generar interrupciones, las cuales causan que el CPU salga del modo Wait.

4.3.3.3 Modo DOZE

Afecta al CPU de la misma forma que el modo WAIT, excepto que cada periférico define características de operacionales individuales en modo Doze.

El periférico que continua funcionando tiene la capacidad de producir interrupciones que pueden causar el aborto del modo Doze del CPU y regresar al modo RUN.

El periférico que está detenido reiniciará operaciones al salir del modo Doze tal y como lo defina cada periférico.

4.3.3.4 Modo STOP

Afecta al CPU de la misma manera que los modos Wait y Doze. Excepto que todos los relojes del sistema son detenidos y los periféricos cesan su operación.

Al modo Stop se debe entrar en una manera controlada o regulada, para asegurarse de que cualquier operación actual ha sido terminada correctamente.

Cuando se sale del modo Stop, la mayoría de los periféricos conservan su estado pre-stop y disminuyen su operación. Un periférico se puede inhabilitar en cualquier momento y permanecerá en ese estado durante cualquier modo de operación de baja potencia.

4.3.4 Mapa de memoria del sistema

Se presenta a continuación una tabla con las direcciones de los grupos de registros importantes del sistema así como el espacio máximo en memoria para cada uno de ellos.

Tabla 4.8 Mapa de la locación de las direcciones de registros

Base Address (Hex)	Maximum Size	Usage
0x00c0_0000	64 Kbyte	Ports(2) (PORTS)
0x00c1_0000	64 Kbyte	Chip configuration (CCM)
0x00c2_0000	64 Kbyte	Chip selects (CS)
0x00c3_0000	64 Kbyte	Clocks (CLOCK)
0x00c4_0000	64 Kbyte	Reset (RESET)
0x00c5_0000	64 Kbyte	Interrupt controller (INTC)
0x00c6_0000	64 Kbyte	Edge port (EPORT)
0x00c7_0000	64 Kbyte	Watchdog timer (WDT)
0x00c8_0000	64 Kbyte	Programmable interrupt timer 1 (PIT1)
0x00c9_0000	64 Kbyte	Programmable interrupt timer 2 (PIT2)
0x00ca_0000	64 Kbyte	Queued analog-to-digital converter (QADC)
0x00cb_0000	64 Kbyte	Serial peripheral interface (SPI)
0x00cc_0000	64 Kbyte Serial	Communications interface 1 (SCI1)
0x00cd_0000	64 Kbyte	Serial communications interface 2 (SCI2)
0x00ce_0000	64 Kbyte	Timer 1 (TIM1)
0x00cf_0000	64 Kbyte	Timer 2 (TIM2)
0x00d0_0000	64 Kbyte	FLASH registers (SGFM)
0x8000_0000	2 Gbyte	External Memory

A excepción de la memoria externa, todos los Módulos de registros son de 64 Kbytes. Los registros son de 16 bits lo que significa un direccionamiento en memoria con separación entre registros de 1_0000 hex. Se tienen previstos 2 Gbytes para controlar la memoria externa del sistema.

4.3.5 Implementación (funcionalidad) de señales específicas del chip

Muchos de los módulos están diseñados para permitir la expansión de sus capacidades si se pone en ejecución todas las señales del mismo. A continuación se encontrará con una explicación breve de cómo son implementados estos módulos en el microcontrolador.

4.3.5.1 Funciones de la señal RSTOUT

La señal RSTOUT tiene las siguientes funciones:

Cuando el reseteo interno del sistema es activado, ésta señal se activa indicando la condición de reset del sistema.

Cuando no se activa el reset interno la señal RSTOUT permanece negada indicando ésta condición. En este caso, influye en RSTOUT el valor de otras señales como FRCRSTOUT y SHOWINT.

4.3.5.2 Funciones de la señal INT

Si el bit SZEN es activado en el registro de configuración del chip, INT[7:6] serán usados para reflejar el estado de las señales TSIZ[1:0] en el CPU.

Si el bit PSTEN del registro de configuración del chip (CCR) está activo, INT[5:2] reflejará el estado de las señales PSTAT[3:0] en el CPU (refiérase a las secciones 4.7.3.1 y 4.7.3.1 del documento MMC2114.pdf).

4.3.5.3 Funciones del pin SPI (Serial Peripheral Interface)

El módulo SPI puede soportar hasta ocho pines externos, pero solo los cuatro pines requeridos para la interface SPI están implementados. Tiene soporte para una interfaz Full SPI y GPIO (General Purpose Input/Output) usando los pines MISO, MOSI, SCK y SS. Los pines GPIO[7:4] del modulo SPI no están implementados.

4.3.5.4 Funciones de los pines de SCI (Serial Communications Interface)

Da soporte a la interfase SCI con todas sus capacidades así como a las funciones de GPIO usando TXD1/2 y RXD1/2. Los pines GPIO [7:2] del módulo SCI no están implementados.

Solo los pines asociados con cada SCI son controlados por los bits de registro para el correspondiente SCI.

4.3.5.5 Funciones de los pines Timer 1 y Timer 2

Los módulos de Timers pueden soportar hasta cuatro pines externos cada uno.

Solo los pines asociados con cada Timer son controlados por los bits de registro para el timer correspondiente. El microcontrolador da soporte completo a todas las funciones de los pines de cada puerto de Timer.

4.3.5.6 Funciones de los pines del convertidor analógico-Digital con capacidad de cola: Queued Analog-to-Digital Converter (QADC)

Esta implementación es una versión limitada del pin-out respecto al QADC original. Los pines habilitados son PQA4–PQA3, PQA1–PQA0 y PQB3–PQB0.

Toda la funcionalidad original del módulo es implementada con excepción de la limitación del número total de canales multiplexados. El número máximo de canales para utilizar cuatro chips externos multiplexados es dieciocho. En modo no-multiplexado, el número máximo de canales es 8.

4.3.6 Descripción de señales

Se presenta en esta sección una breve descripción de señales importantes dentro del microcontrolador.

4.3.6.1 Señales de Reset

Cualquiera de estas señales se usan para resetear el microcontrolador o como indicadores de reset.

Reset In (RESET): Esta señal activa en bajo, es usada como una petición externa de interrupción. Reset coloca el CPU en modo supervisor con los requerimientos por defecto para todos los bits del registro.

Reset Out (RSTOUT): Esta señal activa en bajo, es una indicación de que el controlador de reset interno a reseteado el chip. Cuando RSTOUT está activo, el usuario puede invalidar las opciones de configuración en el bus de datos.

RSTOUT puede además ser utilizada para reflejar una indicación de petición de interrupción interna.

4.3.6.2 Señales de Phase-Lock Loop (PLL) y Clock

Estas señales son usadas para soportar la generación del reloj en el circuito.

External Clock In (EXTAL): Esta señal de entrada es siempre gobernada por una entrada de reloj externa excepto cuando se usa como una conexión a un cristal externo cuando el circuito interno de oscilador es usado. La fuente de reloj es configurada durante el estado de reset.

Crystal (XTAL): Esta es una señal de salida que se utiliza como una conexión para gobernar un cristal externo cuando el oscilador interno es usado. XTAL puede ser aterrizado cuando se usa una entrada de reloj externa en EXTAL.

Clock Out (CLKOUT): Señal de salida que refleja el reloj interno del sistema.

PLL Enable (PLLEN): Esta es una señal activa en alto requerida únicamente durante el reset si la configuración del chip es óptima. Si esta señal es llevada a alto durante el reset, luego el PLL será usado como reloj del dispositivo. Colocando esta señal en bajo durante el reset se selecciona el modo de reloj externo.

4.3.6.3 Señales de interface de memoria externa

Estas señales pueden ser configuradas para funcionar como entradas/salidas discretas.

Data Bus (D[31:0]): Estas señales bi-direccionales de tercer estado proveen un medio de comunicación de datos de propósito general entre la unidad de microcontrolador (MCU) y todos los demás dispositivos. Algunos de los pines de este bus son utilizados durante el reset para la configuración del chip.

Show Cycle Strobe (SHS): Esta señal de salida son usadas en el modo de emulación para sincronizar la captura de direcciones, controles y datos durante los ciclos mostrados. Además, son usadas como RCON; la cual es una señal usada solo durante el reset, para indicar si los estados en las señales externas afectan la configuración del chip.

Transfer Acknowledge (TA): Esta señal de entrada indican que la transferencia externa de datos se ha completado. Durante un ciclo de lectura, cuando el procesador reconoce TA, esto captura los datos y luego termina el ciclo del bus. Durante el ciclo de escritura, cuando el procesador reconoce TA, el ciclo del bus es finalizado. Esta señal es una entrada en modo maestro y de emulación. Su funcionalidad no es aprovechada en modo single-chip y sus pines trabajan por defecto como entradas/salidas digitales.

Transfer Error Acknowledge (TEA): Esta señal indican la existencia de una condición de error en la transferencia de datos en el bus. El ciclo del bus es terminado y la unidad de procesamiento central (CPU) empieza la ejecución de la excepción del error del acceso. TEA son entradas en modos maestro y emulación. Sus funciones no son aprovechadas en modo single-chip y sus pines por defecto son entradas/salidas digitales.

Emulation Mode Chip Selects (CSE[1:0]): Estas señales de salida proveen el soporte para la selección del chip en modo emulación.

Transfer Code (TC[2:0]): Estas señales de salida indican el código de transferencia de datos para el ciclo normal del bus. Son habilitadas por defecto sólo en modo emulación.

Read/Write (R/W): Esta señal de salida indican la dirección de la transferencia de datos en el bus. Un 1 lógico indica la lectura desde un dispositivo esclavo y un 0 lógico indica una escritura hacia un dispositivo esclavo.

Address Bus (A[22:0]): Estas señales de salida proveen las direcciones para la transferencia normal en el bus.

Enable Byte (EB[3:0]): Estas señales de salida indican que cada byte de datos es válido durante un ciclo externo.

Chip Select (CS[3:0]): Estas señales de salida seleccionan dispositivos externos para transacciones externas del bus.

Output Enable (OE): Esta señal de salida indican cuando un dispositivo externo puede conducir datos durante el ciclo de lectura externa.

4.3.6.4 Señales de Edge Port

Estas señales son usadas por el módulo de edge port.

External Interrupts (INT[7:6]): Estas señales bi-direccionales funcionan como fuentes de interrupciones externas or GPIO. Además, pueden ser utilizadas para reflejar las señales internas TSIZ[1:0] y externamente proveer una indicación del tamaño de la transferencia del CPU.

External Interrupts (INT[5:2]): Estas señales bi-direccionales funcionan como fuentes de interrupciones externas o GPIO. También, pueden ser usadas para reflejar las señales internas de PSTAT[3:0] y externamente proveer indicación del estado de procesamiento del CPU.

External Interrupts (INT[1:0]): Estas señales bi-direccionales funcionan como cualquier fuente de interrupción o GPIO.

4.3.6.5 Módulo de interfase de señales seriales periféricas

Estas señales son usadas por el módulo SPI y pueden además ser configuradas para ser señales de entrada/salida discretas.

Master Out/Slave In (MOSI): Esta señal es la salida serial de datos desde el SPI en modo maestro y la entrada serial de datos en modo esclavo.

Master In/Slave Out (MISO): Esta señal es la entrada serial de datos desde el SPI en modo maestro y la salida serial de datos en modo esclavo.

Serial Clock (SCK): El reloj serial sincroniza la transmisión de datos entre los dispositivos maestro y esclavo. SCK es una salida si el SPI esta configurado como maestro. SCK es una entrada si el SPI está configurado como esclavo.

Slave Select (SS): Esta señal de entrada/salida funciona como el chip-select en modo maestro y es un selector de esclavo activa en bajo cuando se trabaja en modo esclavo.

4.3.6.6 Señales del módulo de interfase de comunicación serial (SCI)

Estas señales son utilizadas por los dos módulos del SCI

Receive Data (RXD1 and RXD2): Estas señales se utilizan para la entrada de datos del receptor de SCI y son habilitadas como GPIO cuando no se han configurado para operar en recepción.

Transmit Data (TXD1 and TXD2): Estas señales son usadas como salidas de transmisión de datos del SCI y son además, habilitadas como GPIO cuando no se han configurado para operar en transmisión.

4.3.6.7 Señales de Timer (ICOC1[3:0] y ICOC2[3:0])

Estas señales proveen la interfase externa hacia las funciones del timer. Pueden ser configuradas como entradas/salidas de propósito general si la función de salida del timer no es necesitada.

El estado por defecto en reset es de entradas de propósito general.

4.3.6.8 Convertidor de señales Analógicas a Digitales

Estas señales son usadas por el módulo convertidor analógico-digital (QADC).

Analog Inputs (PQA[4:3], PQA[1:0], and PQB[3:0]): Estas señales proveen las entradas analógicas hacia el QADC. Las señales PQA y PQB pueden además ser usadas como GPIO digitales.

Analog Reference (VRH and VRL): Estas señales sirven como referencias potenciales en alto (VRH) y bajo (VRL) para el convertidor analógico.

Analog Supply (VDDA and VSSA): Estas señales dedicadas de alimentación aíslan el circuito sensitivo analógico de los niveles normales de ruido presentes en la fuente de alimentación digital.

Positive Supply (VDDH): Esta señal supe de energía positiva a la estructura de ESD en el QADC.

4.3.6.9 Señales de soporte de depuración y emulación

Estas señales son usadas como la interfase al controlador on-chip JTAG (Joint Test Action Group) y además como interfase al OnCE lógico.

Test Reset (TRST): Esta señal activa en bajo es usada para inicializar el JTAG y el OnCE lógico asincrónicamente.

Test Clock (TCLK): Esta señal de entrada es el reloj de prueba usado para sincronizar el JTAG y el OnCe lógico.

Test Mode Select (TMS): Esta señal de entrada es usada para secuenciar la máquina de estados del JTAG. TMS es muestreado en el flanco positivo del TCLK.

Test Data Input (TDI): Esta señal de entrada es la entrada serial para las instrucciones de prueba y datos. TDI es muestreado el flanco positivo de TCLK.

Test Data Output (TDO): Esta señal es la salida serial para las instrucciones de prueba y datos. TDO es llevado a tercer estado y es activado en el estado shift-IR y shift-DR del controlador. TDO cambia en el flanco negativo de TCLK.

Debug Event (DE): Esta es una señal bidireccional activa en bajo. Como una salida, esta señal puede ser accionada por tres relojes del sistema, sincronizando en el flanco positivo de CLKOUT, como reconocimiento de que el CPU ha entrado al modo de depuración (debug mode) como resultado de una petición de depuración o una condición de parada. Como una entrada, esta señal provee múltiples funciones.

4.3.6.10 Señales de prueba (TEST)

Esta señal de entrada es reservada para prueba de fábrica únicamente y debe ser conectada a Vss para prevenir la activación no intencional de las funciones de prueba.

4.3.6.11 Señales de alimentación y tierra

Estas señales proveen la alimentación al sistema y la tierra al chip. Múltiples señales están provistas de una capacidad de corriente adecuada. Todas las fuentes de energía deben tener una capacitancia de bypass adecuada para la supresión de ruido de alta frecuencia.

Standby Power (VSTBY): Esta señal es usada para proveer un voltaje de espera al arreglo de RAM si VDD se ha perdido. Típicamente, si se usa, esta señal debería ser conectada a una batería.

Positive Supply (VDD): Esta señal supe de energía positiva a la base y cojines de entrada/salida.

Ground (VSS): Esta señal es la fuente negativa del chip (ground).

CAPÍTULO 5:

ANÁLISIS Y RESULTADOS

5.1 Explicación del diseño

La investigación realizada durante los cuatro meses de proyecto dieron como resultado la información contenida en este informe; pero además, existió una investigación paralela sobre otros dispositivos que fue llevada a cabo por dos practicantes más y que, en el último mes de labor, se integró a este trabajo para dar como resultado el diseño preliminar de las tarjetas que integran el proyecto F&F. Es decir, tanto este informe como el elaborado por esos dos practicantes comparten la misma propuesta de diseño, a la que se llegó gracias a la investigación sobre componentes realizadas por ambos grupos de trabajo.

El diseño preliminar para el proyecto consiste en dos bloques básicos:

5.1.1 F-switch

Acepta las siguientes tarjetas:

5.1.1.1 F-E1/T1

Consiste en una tarjeta que contiene dos Framers para ser capaz de manipular 8 E1/T1 bidireccional. Posee un Digital Switch que permite la conmutación de canales de audio de manera programada hacia las tarjetas de procesamiento de señal mencionadas más adelante. Además, cuenta con un controlador de HDLC para control con la tarjeta HDLC-4M. Tiene un microcontrolador para gobernar las funciones de los demás dispositivos.

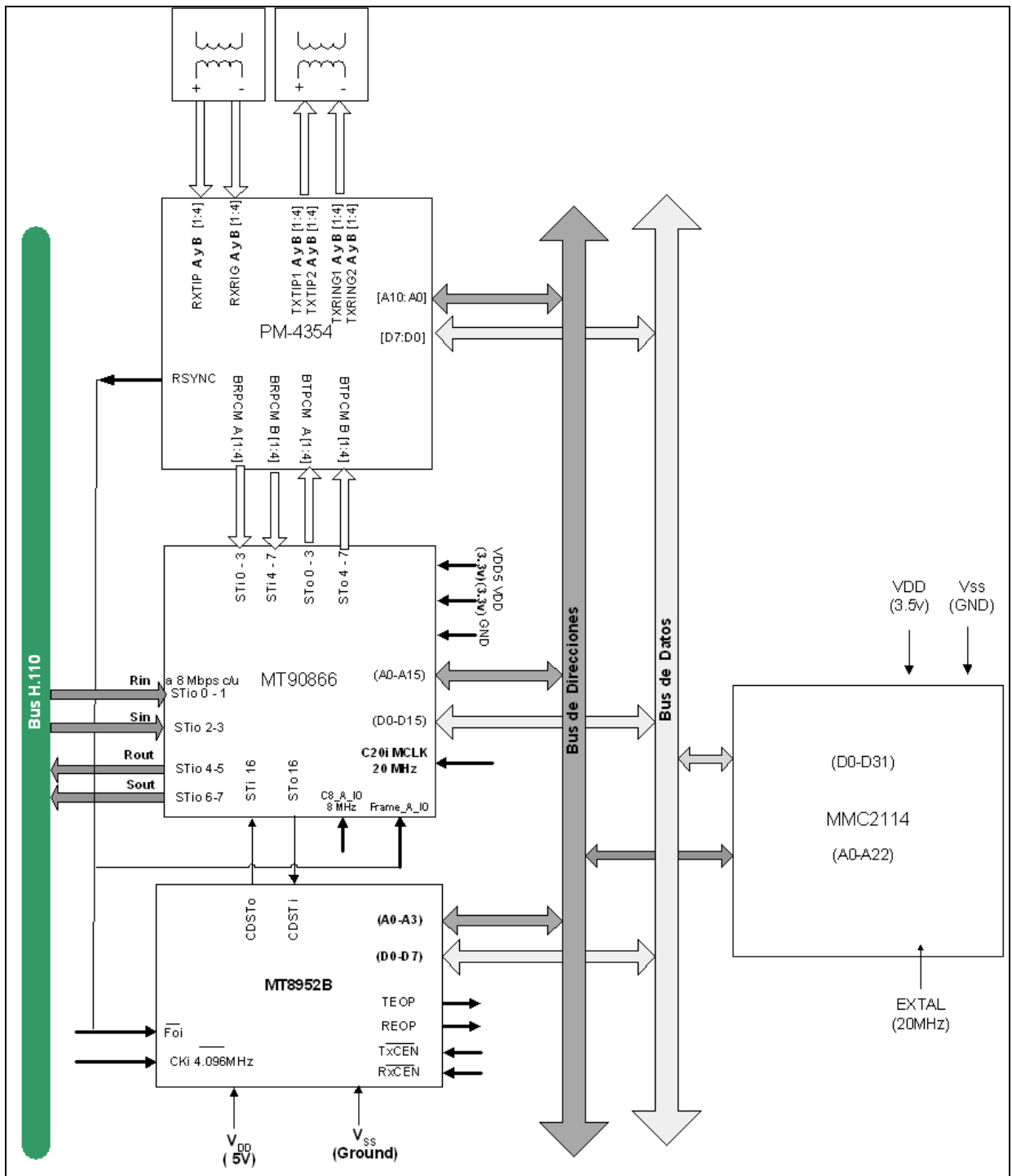


Figura 5.1 Diagrama de bloques de la Tarjeta F-E1/T1

Nota: En el diagrama solo se presenta un Framers PM-4354 el cual es capaz de manipular 4 E1/T1. Sin embargo, esta tarjeta se ha pensado para procesar 8 E1/T1 por

lo que para efectos de llevar a cabo el diseño de la misma se debe implementar un segundo Framer PM-4354 en dicha tarjeta.

Entonces, dentro de sus principales características están:

- 1) Tiene capacidad de Rx/Tx de hasta 8 interfaces E1 (2.048Mbps) bi-direccionales, expandibles en grupos de 4.
- 2) Capacidad de conexión al bus H.110 por medio de un digital switch, que permite conectar cualquier canal de entrada (E1) a cualquier canal del bus H.110.
- 3) Puede ser configurada para operación E1 o T1 en sub-grupos de 4 E1/T1.
- 4) Posee un microcontrolador para funciones locales y comunicación con el F-host.
- 5) La tarjeta de E1/T1 debe ser capaz de ser maestro o esclavo en el bus H.110, y debe proveer los mecanismos de sincronización de la red PSTN con el bus H.110.
- 6) Debe proveer los mecanismos para aceptar una tarjeta hija con recursos de DSP para procesamiento de señalización C5.
- 7) La tarjeta debe poseer un controlador de HDLC para comunicaciones con la tarjeta HDLC-4M en el F-host.

Como especificaciones se debe mencionar que las interfaces E1/T1 deben tener una impedancia de 100 Ohm. Los conectores se encuentran en la parte posterior del backplane, por lo que el acceso a la tarjeta frontal se hace a través del backplane.

5.1.1.2 F-VEC (Voice Echo Cancellation)

En esta tarjeta se encuentran los recursos para cancelación de eco de voz, utilizando un delay de 64 ms. Cada tarjeta cuenta con un cancelador de eco capaz de procesar 256 canales de audio. Eso quiere decir que una tarjeta F-VEC procesa 8 E1/T1 por lo que se requieren dos de ellas para procesar los 16 E1/T1 que se tienen como objetivo con el proyecto F&F. Cuenta igualmente con un DSW y un microcontrolador que realizan las mismas labores que en la tarjeta F-E1/T1.

Dentro de sus principales características están:

- 1) El módulo F-VEC (Voice Echo Cancellation) tiene capacidad de realizar la función de cancelación de eco para 240 canales TDM (8 E1), con una cola de eco de 64 ms, o 120 canales a 128 ms.
- 2) Posee un microcontrolador local para funciones locales y comunicaciones con el F-host.
- 3) La tarjeta de cancelación de eco solo opera en modo esclavo en el bus H.110.
- 4) La tarjeta debe poseer un controlador de HDLC para comunicarse con la tarjeta HDLC-4M en el F-host.

El diagrama de bloques de la misma se presenta a continuación:

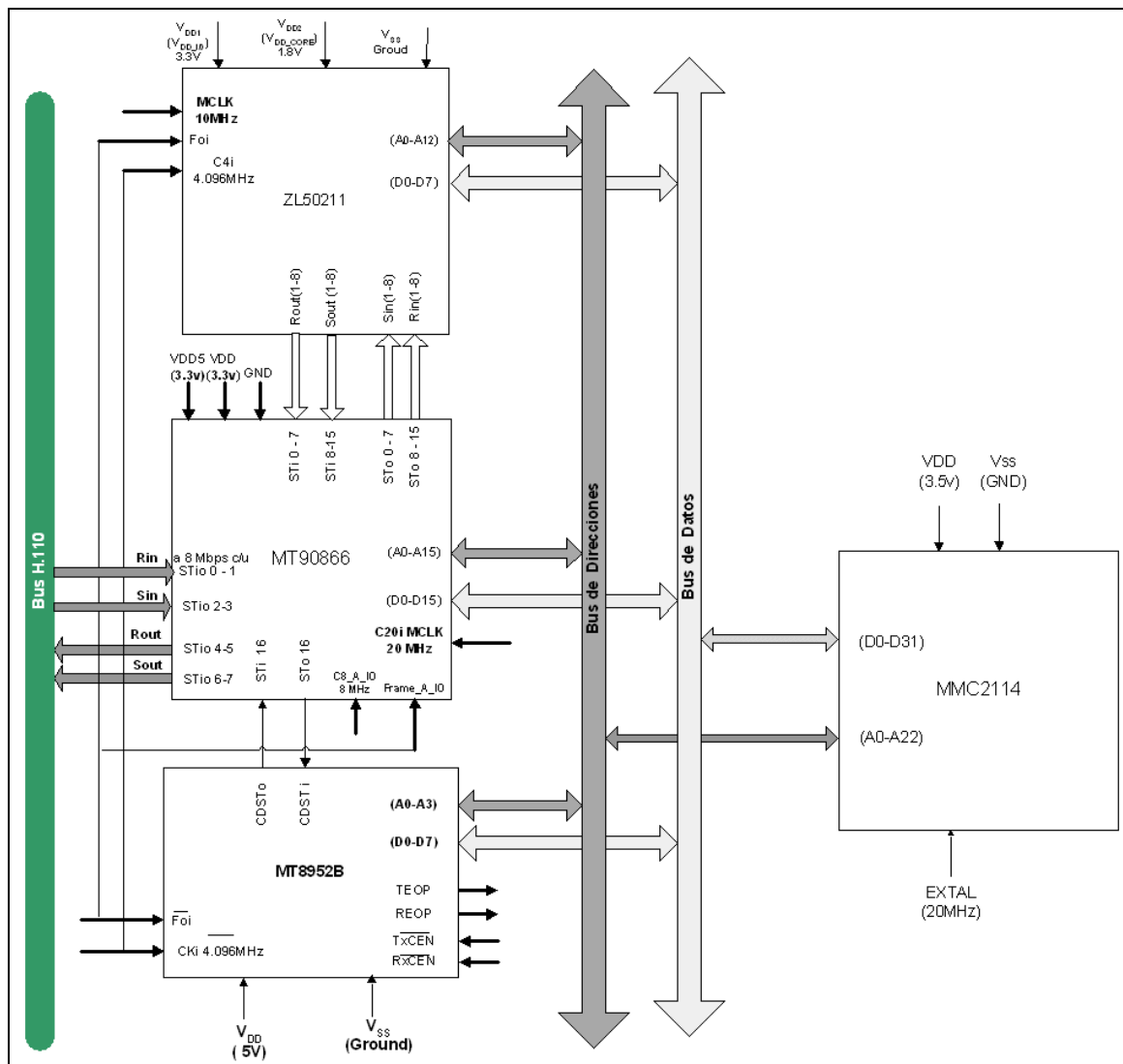


Figura 5.2 Diagrama de bloques de la Tarjeta F-VEC

El dispositivo MT8952B es el controlador de HDLC cuya función es establecer comunicación en alta velocidad con la tarjeta HDLC-4M sobre configuración de dispositivos. La tarjeta HDLC-4M ya está desarrollada y es una tarjeta controladora del protocolo HDLC de propósito general.

5.1.1.3 F-HI (Host Interface)

Esta tarjeta sirve como interfaz hacia el F-host, para transferir señalización, control y datos de IVR. Además contiene recursos de DSP para la detección de tonos DTMF. Posee recursos para configuración del Digital Switch, DSP's y controlador de HDLC. Además, en ella se debe establecer el protocolo de comunicaciones entre la tarjeta F-host y la tarjeta F-switch.

Como principales características se mencionan las siguientes:

- 1) EL módulo F-HI (Host Interface) es una interfaz para enrutar los datalinks de SS7 hacia la tarjeta de HDLC-4M en el F-host.
- 2) Además, sirve como interfaz de entrada TDM para los mensajes de IVR desde el F-host, usando la tarjeta HDLC-4M en modo transparente.
- 3) También sirve como medio de enlace para control a través de canales de HDLC entre la tarjeta HDLC-4M y las tarjetas internas del F-switch.
- 4) La cantidad de interfaces es:
 - a) 2 Rx / 2 Tx enlaces para uso del F-7 (SS7)
 - b) 1 Rx /1 Tx para uso del F-CI
 - c) 4 Rx / 4Tx enlaces para uso del F- IVR
- 5) Tiene recursos de DSP para la detección de tonos DTMF y cuenta con un microcontrolador para funciones locales y comunicaciones con el F-host.
- 6) La tarjeta de HDLC/IVR solo opera en modo esclavo en el bus H.110.
- 7) La tarjeta debe poseer un controlador de HDLC para comunicarse con la tarjeta HDLC-4M en el F-host.

El diseño de esta tarjeta quedó fuera de los alcances de los practicantes. Es por ello que no aparece diagrama de bloques en esta sección. En el diagrama total del proyecto aparece un diseño a groso modo de lo que podría ser la tarjeta F-HI

5.1.1.4 F-PSU (Power Supply Unit)

Es un módulo para proveer las tensiones de alimentación a las tarjetas del proyecto F&F. Recibe -48VDC y sus salidas son de 3.3 voltios y 5 voltios. Además, se puede contar con otros valores de tensión a partir de los convertidores DC/DC integrados localmente en cada tarjeta. Debe ser capaz de soportar inserción/extracción en caliente (hot swap) y trabajar en módulo redundante.

El diseño de esta tarjeta quedó fuera de los alcances de los practicantes. Por esta razón, no aparece diagrama de bloques de la tarjeta F-PSU en esta sección. En el diagrama total del proyecto aparece un diseño a groso modo de lo que podría ser la tarjeta F-PSU.

5.1.2 Diagrama de bloques general del Proyecto F&F

Todas las tarjetas mencionadas en los párrafos anteriores vienen a integrar el proyecto F&F, del cual se muestra un diagrama a continuación:

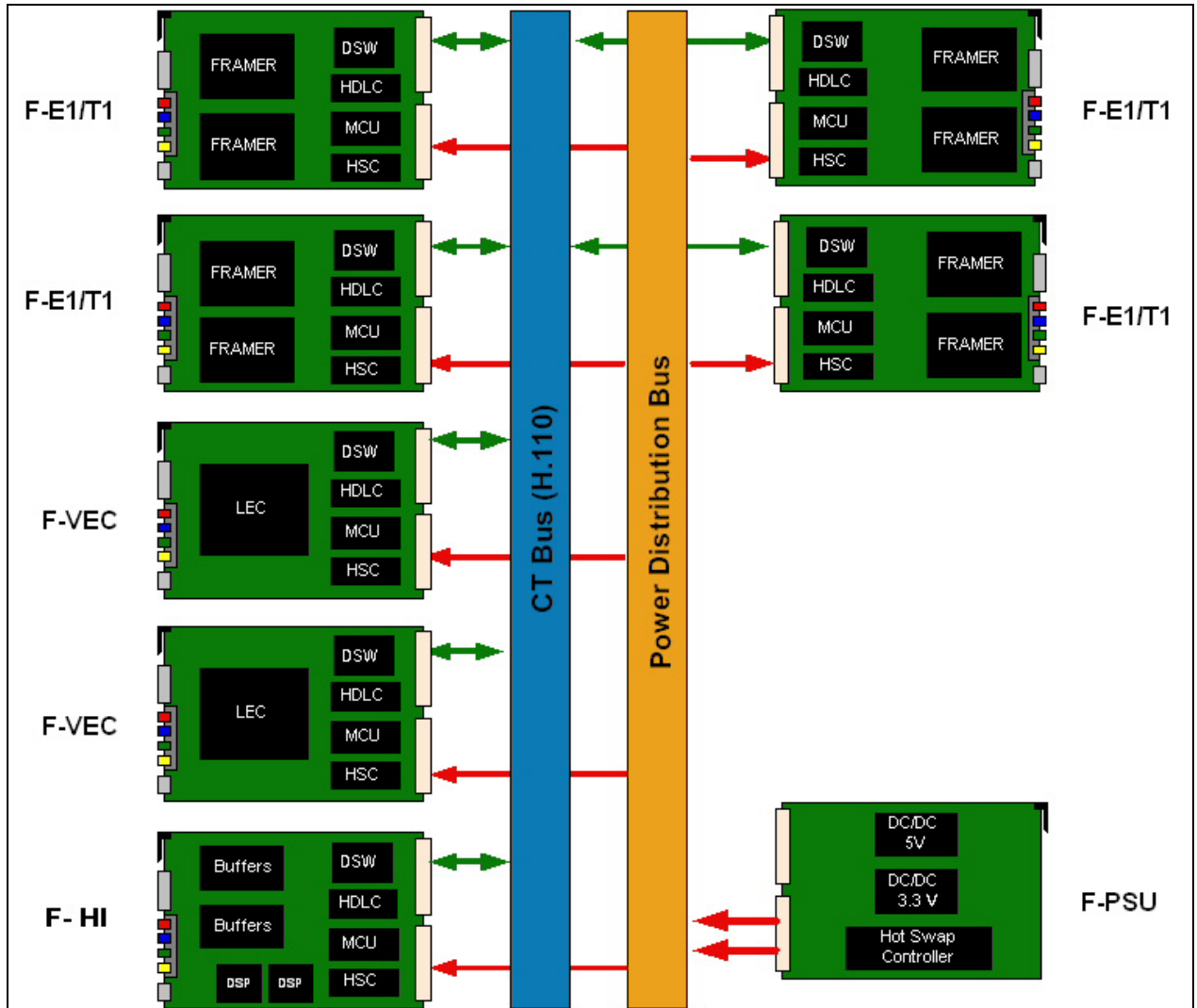


Figura 5.3 Diagrama de bloques general del Proyecto F&F

Obsérvese que se cuenta con una parte Local (izquierda del diagrama) y una Internacional (derecha del diagrama). La parte local manipula los 16 E1/T1's, aplica la cancelación de eco y posee la tarjeta que se comunicará con la PC para el procesamiento de señalización y la implementación del proceso de IVR. Del lado

derecho se encuentran las tarjetas que llevarán los E1/T1's internacionales, así como la tarjeta encargada de la alimentación de tensión a los circuitos de las demás tarjetas.

Sus principales características son:

- 1) Se utilizará un bus H.110 para la comunicación de las tarjetas, las cuales operan de manera independiente unas de otras.
- 2) Se debe contar con dos tarjetas F-E1/T1 para la manipulación de canales ya que se quiere un equipo capaz de operar con 16 E1/T1's.
- 3) Cada cancelador de eco procesa 256 canales por lo que se requieren dos de ellos para procesar los 480 canales de audio contenidos en 16 E1/T1's.
- 4) Para el proyecto F&F se deben desarrollar varios elementos de hardware, Firmware y software.
- 5) En lo que a hardware respecta se debe crear las tarjetas que integran el F-Switch y su correspondiente Firmware.
- 6) La tarjeta HDLC-4M ya se encuentra diseñada, solo requiere de cambios en el firmware y drivers necesarios.
- 7) Respecto al software, deben hacerse modificaciones del Stack de SS7 – CIBERTEC – para poder adaptarlo al proyecto F&F. También es necesario desarrollar la lógica del procesador de llamadas y la máquina de control del F-switch usando la HDLC.

Nota: *Los practicantes (involucrados en la elaboración de este informe) tienen la responsabilidad de elaborar este documento de manera que contenga la teoría sobre componentes; necesaria para sustentar una base teórica sólida para poner en marcha la aplicación de dichos dispositivos en el Proyecto F&F. Es labor de los ingenieros de "Cibertec Internacional S.A." llevar a cabo la puesta en marcha del proyecto para la empresa.*

5.2 Alcances y Limitaciones

5.2.1 Investigación Teórica

El presente documento es una investigación y análisis de elementos preponderantes en el diseño de las tarjetas que van ser parte del F-Switch.

5.2.1.1 Microprocesador

Es un elemento común de todas las tarjetas del F-switch; y es utilizado para funciones locales y comunicaciones con el F-host

El microcontrolador objeto de nuestro estudio es el MMC2114, que es miembro de la familia de microcontroladores de propósito general (MCU) basados en el CPU M CORE M210. Posee 256 Kb de memoria flash, 32 kb de memoria RAM, 23 bits de bus de direcciones, buses no multiplexados y un reloj de 33 MHz.

Para este dispositivo se realizó un análisis general de su funcionamiento, sus modos de operación; además de la elaboración de su manual de programación.

5.2.1.2 Digital Switch

Existe un Digital switch en cada una de las tarjetas del F-switch, lo que permite conectar cualquier canal de entrada a cualquier canal del bus H.110.

El MT90866 puede conmutar hasta 4.096 x 2.432 canales, mientras provee una capacidad de conversión de la tasa de transferencia. Es diseñado para conmutar 64Kb/s PCM o N X 64Kb/s entre las aplicaciones de conmutación de backplane y local. El dispositivo mantiene la integridad de la trama para aplicaciones de datos, además de un retraso mínimo para las aplicaciones de voz sobre un par de canales básicos.

5.2.1.3 Bus H.110

El Bus CT está definido por el estándar H.110 de la ECTF (Enterprise Computer Telephony Forum). Básicamente es un bus de 32 streams bidireccionales operando a una frecuencia de 8MHz. Esto nos da 128 time-slots por streams, y en total 4096 time-slots en el bus H.110.

Además, provee las señales de reloj, señales de inicio de trama, y señal de referencia de red. Todas las señales tienen su par redundante.

La investigación en este caso se orientó a características esenciales de construcción, de terminales y de especificaciones eléctricas.

5.2.1.4 Hot Swap

La implementación del sistema Hot Swap permite la inserción y extracción de tarjetas sin la necesidad de apagar toda la plataforma, reduciendo así los costos de instalación, operación y reparación de sistemas de alta disponibilidad. De manera similar a la anterior se presentó un análisis de todos los requerimientos para que las tarjetas del proyecto F&F tengan el sistema Hot Swap.

CAPÍTULO 6:

CONCLUSIONES Y RECOMENDACIONES

6.1 Conclusiones

- 1) El sistema T1 recomendado por ANSI es usado principalmente en U.S.A. y Japón, y el sistema E1 recomendado por la ITU-T es usado en Europa y en ciertos países no europeos.
- 2) El bus CT es un estándar publicado por la ECTF, que consiste en un Bus TDM de 4096 time-slots, formado por 32 streams y para sincronización posee señales de reloj y de inicio de trama (frame), con sus respectivas réplicas para propósitos de redundancia.
- 3) El sistema Hot Swap permite la inserción y extracción de tarjetas sin apagar toda la plataforma, reduciendo costos en la instalación, operación y reparación de sistemas de alta disponibilidad.
- 4) Un DSW es un dispositivo que conmuta canales, permitiendo conversión de la tasa de transferencia entre aplicaciones de conmutación de Back-panel y Local; manteniendo la integridad de la trama para aplicaciones de datos y un retraso mínimo para las aplicaciones de voz sobre un par de canales básicos.
- 5) Para cumplir con las necesidades de diseño de la tarjeta del F&F el Digital Switch que mejor cumple con ello es el MT90866 de Zarlink.
- 6) Los microcontroladores MMC21XX de Motorola de uso general basados en la unidad central de procesamiento de M210 son dispositivos de baja tensión, cuya arquitectura es una de las más compactas, que utiliza 16-bit de instrucciones con lo que se alcanza una máxima eficiencia en velocidad y código, mientras se conservan recursos de memoria dentro del chip.
- 7) El microcontrolador MMC2114 de Motorola es el que mejor cumple con las especificaciones de diseño de las tarjetas del proyecto F&F.

- 8) El diagrama de bloques del proyecto F&F esta diseño de manera modular, aplicando los estándares de Bus H.110 y Hot Swap, utilizando los componentes recomendados por los practicantes desarrollados en el informe.
- 9) La lista de componentes es utilizada de manera versátil para abarcar todos los componentes utilizados en el diseño de la tarjeta, así como los dispositivos periféricos pequeños y la lista de proveedores con su respectivo contacto.
- 10) Las características de la tarjeta indican que el hardware preliminar diseñado posee capacidades de flexibilidad para diferentes aplicaciones.

6.2 Recomendaciones

- 1) El siguiente paso en cuanto a la elaboración de los esquemáticos es la incorporación de los componentes antes analizados en el diseño de dichos prototipos.
- 2) Para comenzar con la programación, se hace indispensable la adquisición del kit de desarrollo propuesto para cada caso.
- 3) Con la obtención de los prototipos, es necesario incluir a personal capacitado en el área de programación para la elaboración de los drivers, librerías y programas de aplicación.
- 4) Una investigación posterior podría beneficiar el desarrollo del equipo, debido a la salida al mercado de aquellos componentes que formarían parte en la etapa de IP, ya que para la fecha de elaboración de este informe, la mayoría sino la totalidad de componentes que fueron propuesto ya se encuentran disponibles en el mercado.
- 5) Documentar los cambios posteriores servirá para comprender con la debida justificación dichas variaciones en futuras revisiones y mejoras que sean requeridas en el proyecto.
- 6) Utilizar los manuales de programación elaborados por los estudiantes servirá para iniciar con prontitud la programación de dichos componentes de manera ágil y eficiente.

BIBLIOGRAFÍA

Hojas de datos

- 1) Cypress. CY2305-CY2309, Low-Cost 3.3V Sero Delay Buffer. Cypress Semiconductor Corporation: San Jose, CA. USA. 1999.
- 2) Cypress. CY7C419/21/25/29/33, 256/512/1K/2K/4K x9 Asynchronous FIFO. Cypress Semiconductor Corporation: San José, CA. USA. 1997.
- 3) Motorola Inc. MMC2114 MMC2113 MMC2112 Advance Information Rev 1. 2002

Documentos en formato PDF

- 1) Cisco , E1 R2 Signaling Theory. Document ID: 5717 .February 2002.
- 2) Patton Electronics Co, T1/E1/PRI Technology Overview. November 2001.
- 3) Wavetek Wandel Golltermann, Pocket Guide to The world of E1. September 2000.
- 4) Enterprise Computer Telephony Forum (ECTF), H.110 Hardware Compatibility Specification : CT Bus. 1997.

Direcciones de Internet

- 1) <http://www.zarlink.com/>
- 2) http://products.zarlink.com/partfinder/prodprofile.cgi?device=1347&product_search_term=ZL50211.
- 3) http://products.zarlink.com/partfinder/prodprofile.cgi?device=1198&product_search_term=MT90866.
- 4) <http://e-www.motorola.com>.

- 5) http://e-www.motorola.com/webapp/sps/site/prod_summary.jsp?code=MMC2114&nodeId=01M0ylsb8yr.
- 6) <http://www.ectf.org>.

E1-T1

- 1) <http://www.dcbnet.com/notes/9611t1.html>
- 2) <http://www.techfest.com/networking/wan.htm>
- 3) http://www.webopedia.com/TERM/T/T_1_carrier.html

CD-ROM

- 1) PMC-Sierra Inc. "Internetworking Silicon Solutions", Product Information Catalog. Volume 6 – Issue 2. Canada, 2000.

APÉNDICE Y ANEXOS

HOJA DE INFORMACIÓN

Información del estudiante:

Nombre: Luis Carlos Rodríguez Coronado

Cédula o No. pasaporte: 5 313 504

Carné I.T.C.R.: 9724146

Dirección de su residencia en época lectiva: 400 metros norte del M.O.P.T. Carmen, Cartago.

Dirección de su residencia en época no lectiva: 180 metros este de la Panadería Sánchez, Barrio Moracia, Liberia, Guanacaste.

Teléfono en época lectiva: 591-3128

Teléfono en época no lectiva: 666-1391

E-mail: luis_carlos@costarricense.cr

Fax:

Información del Proyecto:

Nombre del Proyecto: ***Diseño preliminar de las etapas de auto-configuración y control de flujo de datos, para transmitir información de voz en formato digital entre la Red Telefónica Pública Conmutada y la red de transporte internacional***

Profesor Asesor: Ing. Luis Paulino Méndez B.

Horario de trabajo del estuante: Lunes a Viernes de 8:00 am a 5:00 pm.

Información de la empresa:

Nombre: Cibertec Internacional S.A.

Zona: San José, La Paulina de Montes de Oca.

Dirección: De la Rotonda de Betania, 150 metros al Este.

Teléfono: 253 1482

Fax: 225 5829

Apartado: 149-2300 San José, Costa Rica

Actividad principal: Producción de Soluciones Innovadoras en el Área de las Telecomunicaciones.

HOJA DE INFORMACIÓN

Información del estudiante:

Nombre: Luis Fernando Bogantes Mora

Cédula o No. Pasaporte: 6 297 641

Carné I.T.C.R.: 9723568

Dirección de su residencia en época lectiva: 75 oeste del Colegio Monseñor Odio, Desamparados, San José.

Dirección de su residencia en época no lectiva: 75 oeste del Colegio Monseñor Odio, Desamparados, San José.

Teléfono en época lectiva: 389-2892

Teléfono en época no lectiva: 389-2892

E-mail: luferbomo@ieee.com , luferbomo@hotmail.com

Fax:

Información del Proyecto:

Nombre del Proyecto: ***Diseño preliminar de las etapas de auto-configuración y control de flujo de datos, para transmitir información de voz en formato digital entre la Red Telefónica Pública Conmutada y la red de transporte internacional***

Profesor Asesor: Ing. Luis Paulino Méndez B.

Horario de trabajo del estuante: Lunes a Viernes de 8:00 am a 5:00 pm.

Información de la empresa:

Nombre: Cibertec Internacional S.A.

Zona: San José, La Paulina de Montes de Oca.

Dirección: De la Rotonda de Betania, 150 metros al Este.

Teléfono: 253 1482

Fax: 225 5829

Apartado: 149-2300 San José, Costa Rica

Actividad principal: Producción de Soluciones Innovadoras en el Área de las Telecomunicaciones.