

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica



**Diseño de una fuente de corriente auto-polarizada de ultra-baja potencia, independiente de la tensión de alimentación y la temperatura para circuitos integrados analógicos**

Informe de Proyecto de Graduación para optar por el título de  
Ingeniero en Electrónica con el grado académico de Licenciatura

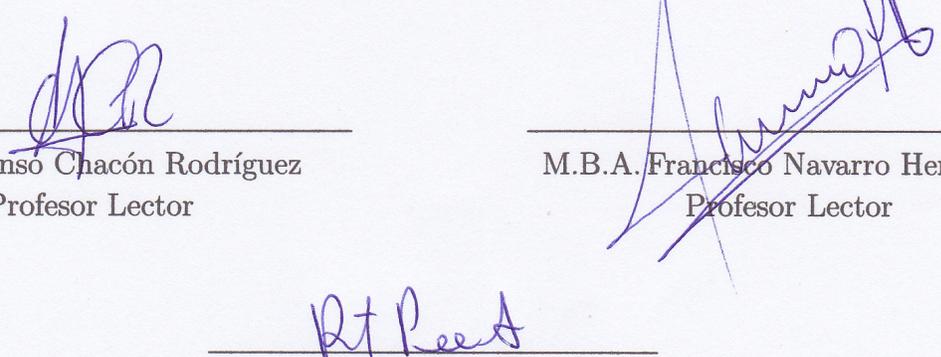
Berny Dinarte Caravaca

Cartago, 19 de noviembre, 2010

Instituto Tecnológico de Costa Rica  
Escuela de Ingeniería Electrónica  
Proyecto de Graduación  
Tribunal Evaluador

Proyecto de Graduación defendido ante el presente Tribunal Evaluador como requisito para optar por el título de Ingeniero en Electrónica con el grado académico de Licenciatura, del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal



Dr. Alfonso Chacón Rodríguez  
Profesor Lector

M.B.A. Francisco Navarro Henríquez  
Profesor Lector

M.Sc. Roberto Pereira Arroyo  
Profesor Asesor

Los miembros de este Tribunal dan fe de que el presente trabajo de graduación ha sido aprobado y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica.

Cartago, 22 de junio de 2011

Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía he procedido a indicar las fuentes mediante las respectivas citas bibliográficas. En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.

*Berny Dinarte*  
Berny Dinarte Caravaca

Cartago, 21 de junio de 2011.

Céd: 5-341-048

# Resumen

Este documento describe el diseño de una fuente de corriente auto-polarizada para un circuito integrado analógico mediante la tecnología comercial *CMOS* de  $0.5\mu m$ . Dicho *CI* pertenece a un proyecto de investigación dirigido al diseño de un sistema electrónico integrado en chip (*SoC*) empleado en el reconocimiento de patrones de disparos y motosierras en una red inalámbrica de sensores para la protección ambiental.

La metodología de diseño está basada en el concepto de nivel de inversión y la fuente de corriente ha sido implementada únicamente con *MOSFETs* operando en inversión débil o moderada.

La topología de la fuente fue analizada para demostrar su desempeño y se dimensionó con la ayuda de una herramienta computacional, que explora el espacio de diseño para los parámetros de cada transistor y genera un *frente de Pareto* donde presenta los prototipos más óptimos.

El diseño propuesto genera una corriente de referencia de  $253pA$ , con un consumo de potencia de  $4\eta W$ . La fuente auto-polarizada opera a un voltaje de alimentación de  $3.3V$  con una regulación en su corriente de referencia inferior a  $6\%/V$  y  $0.5\%/^{\circ}C$ . La metodología de diseño permitió además obtener un circuito con un área de apenas  $0.052mm^2$ , para un proceso de  $0.5\mu m$ .

**Palabras clave:** circuito integrado analógico CMOS, frente de Pareto, fuente de corriente, modelo ACM, MOSFET, nivel de inversión, proporcional a temperatura-absoluta (PTAT), self-biased current source (SBCS), self-current extractor (SCE).

# Abstract

This document describes the design of a self-biased current source for analog integrated circuits on a commercial  $0.5\mu m$  CMOS technology. This IC is part of a research project oriented towards the design of an electronic system on-chip (SoC) applied to the recognition of shotguns and chainsaws patterns in a wireless network of sensors for environmental protection.

The design methodology is based on the concept of inversion level and the current source has been implemented using only MOSFETs operating in either weak inversion or moderate inversion.

The topology of the current source was developed to analyze its performance and was designed using a computational tool thoroughly to explore the design space of each transistors and generates a Pareto front that contains the most optimal prototypes.

Proposed design generates a reference current of  $253pA$ , with a power consumption of  $4\eta W$ . The self-biased current source operates with a power supply of  $3.3V$  and its regulation is in the order of less than  $6\%/V$  and  $0.5\%/^{\circ}C$ . This design methodology has resulted in a cell area of  $0.052mm^2$ , in a  $0.5\mu m$  process.

**Keywords:** ACM model, CMOS analog integrated circuit, current source, inversion level, MOSFET, Pareto frent, proportional to absolute temperature (PTAT), self-biased current source (SBCS), self-current extractor (SCE) .

*a Dios, mi familia y mi novia*

# Agradecimientos

Primeramente quiero expresar mi gratitud a aquel que me ha dado todo, Dios, mismo que me ha sostenido y acompañado en todo momento.

De igual manera, agradezco enormemente el amor incondicional de mis padres y mi hermana, amor que me ha servido de soporte, motivación y guía durante el transcurso de mi formación académica.

Doy gracias a mi novia por su apoyo, consejos y motivación.

Agradezco a mis demás familiares por su cariño y buenos deseos y a mis queridos amigos en Nicoya.

A mis amigos del ITCR, compañeros de trabajo del DCILab y compañeros de apartamento. Un agradecimiento especial a los profesores Dr. Alfonso Chacón y M.Sc. Roberto Pereira por su colaboración y tutela.

Sin la contribución de cada uno de ustedes, no hubiese sido posible el desarrollo de este trabajo, por eso les ofrezco mis más sinceras muestras de afecto y agradecimiento.

Berny Dinarte Caravaca

Cartago, 22 de junio de 2011

# Índice general

Índice de figuras	iii
Índice de tablas	v
Lista de símbolos y abreviaciones	vi
<b>1 Introducción</b>	<b>1</b>
1.1 Antecedentes . . . . .	2
1.2 Generalidades del problema . . . . .	2
1.3 Síntesis del problema . . . . .	3
1.4 Contenido del documento . . . . .	3
<b>2 Meta y objetivos</b>	<b>4</b>
2.1 Meta . . . . .	4
2.2 Objetivo general . . . . .	4
2.3 Objetivos específicos . . . . .	5
<b>3 Marco teórico</b>	<b>6</b>
3.1 Fuentes de corriente . . . . .	6
3.1.1 Espejos de corriente . . . . .	6
3.1.2 Estructura auto-polarizada . . . . .	6
3.2 Modelo ACM . . . . .	7
3.2.1 Regiones de inversión . . . . .	8
3.2.2 Mosfet auto-cascodo . . . . .	9
3.3 Fuente de corriente auto-polarizada . . . . .	10
3.4 Layout o trazado . . . . .	12
3.4.1 Layout apilado . . . . .	13
3.4.2 Layout interdigitado . . . . .	13
3.5 Optimización multiobjetivo . . . . .	14
<b>4 Procedimiento metodológico</b>	<b>16</b>
4.1 Obtención y análisis de información . . . . .	16
4.2 Evaluación de las alternativas y síntesis de una solución . . . . .	16

---

4.3	Implementación de una solución . . . . .	17
4.4	Reevaluación y rediseño . . . . .	18
<b>5</b>	<b>Topología de fuente de corriente</b>	<b>19</b>
5.1	Topología . . . . .	19
5.2	Niveles de inversión . . . . .	19
5.3	Sensibilidad de corriente de referencia . . . . .	22
5.4	Proceso de diseño . . . . .	25
5.5	Fuentes diseñadas . . . . .	28
5.6	Resultados de simulaciones . . . . .	29
5.7	Conclusiones del capítulo . . . . .	35
<b>6</b>	<b>Optimización de fuente de corriente</b>	<b>36</b>
6.1	Optimización PESA . . . . .	36
6.1.1	Diseño del esquemático . . . . .	37
6.1.2	Ajustes del optimizador . . . . .	37
6.1.3	Resultados de optimización . . . . .	40
6.2	Layout de fuente de corriente . . . . .	44
6.2.1	SBCS elegida . . . . .	44
6.2.2	Consideraciones de construcción . . . . .	45
6.2.3	Simulaciones post-layout . . . . .	46
6.3	Conclusiones del capítulo . . . . .	50
<b>7</b>	<b>Conclusiones y recomendaciones</b>	<b>51</b>
7.1	Conclusiones . . . . .	51
7.2	Recomendaciones . . . . .	52
	<b>Bibliografía</b>	<b>53</b>
	<b>Índice alfabético</b>	<b>55</b>

# Índice de figuras

3.1	Espejo de corriente Básico. (a) Tipo $nMOS$ . (b) Tipo $pMOS$ . . . . .	7
3.2	Circuito de estructura auto-polarizada (SBS). . . . .	7
3.3	Circuito extractor de corriente (SCE) o $MOSFET$ auto-cascodo (SCM). . . . .	9
3.4	Circuito de fuente de corriente auto-polarizada (SBCS). . . . .	11
3.5	Layout apilado . . . . .	13
3.6	Layout interdigitado . . . . .	14
3.7	Frente de pared. Tomado de [3] . . . . .	14
5.1	Topología simétrica de fuente de corriente auto-polarizada. . . . .	20
5.2	Sensibilidad de corriente de referencia ( $I_{REF}$ ) ante nivel de inversión $i_{f1}$ del transistor $M_1$ para una fuente de corriente auto-polarizada y distintas relaciones $S_1/S_2$ . . . . .	21
5.3	Sensibilidad de corriente de referencia ( $I_{REF}$ ) ante nivel de inversión $i_{f2}$ del transistor $M_2$ para una fuente de corriente auto-polarizada y distintos valores de $\alpha$ . . . . .	22
5.4	Corriente específica ( $I_{SQ}$ ) según la temperatura para transistores $CMOS$ . . . . .	23
5.5	Sensibilidad de corriente de referencia ( $I_{REF}$ ) ante nivel de inversión $i_{f1}$ del transistor $M_1$ para una fuente de corriente auto-polarizada y distintas temperaturas. . . . .	25
5.6	Corriente de referencia. Prototipos $SBCS$ : 1, 2 y 3. . . . .	30
5.7	Corriente de referencia. Prototipos $SBCS$ : a, b y c. . . . .	30
5.8	Corriente de referencia en función del voltaje de entrada. Prototipos $SBCS$ : 1, 2 y 3. . . . .	31
5.9	Corriente de referencia en función del voltaje de entrada. Prototipos $SBCS$ : a, b y c. . . . .	31
5.10	Corriente de referencia en función de la temperatura. Prototipos $SBCS$ : 1, 2 y 3. . . . .	32
5.11	Corriente de referencia en función de la temperatura. Prototipos $SBCS$ : a, b y c. . . . .	32
6.1	Esquemático de fuente de corriente $SBCS$ implementado en <i>Mentor Graphics</i> para proceso de optimización. . . . .	37

---

6.2	Frente de Pareto para optimización según <i>Apilado I</i> . . . . .	40
6.3	Frente de Pareto para optimización según <i>Apilado II</i> . . . . .	41
6.4	Layout de fuente de corriente <i>SBCS</i> , $258.77\mu m$ por $204.33\mu m$ . . . . .	45
6.5	Corriente de referencia post-layout para <i>SBCS</i> , con transistor $M_3$ implementado mediante layout apilado. . . . .	47
6.6	Corriente de referencia. . . . .	48
6.7	Corriente de referencia en función del voltaje de entrada. . . . .	48
6.8	Corriente de referencia en función de la temperatura. . . . .	49

# Índice de tablas

5.1	Esquemas de transistores apilados para la SBCS. . . . .	25
5.2	Relaciones de aspecto e índices de inversión para diseños de fuentes SBCS según un voltaje $PTAT$ definido ( $V_{S9}$ ). Corriente de referencia $I_{REF} = 250pA$ . . . . .	28
5.3	Dimensiones de transistores para los prototipos de fuente calculados, según el esquema de <i>Apilado I</i> . . . . .	28
5.4	Dimensiones de transistores para los prototipos de fuente calculados, según el esquema de <i>Apilado II</i> . . . . .	29
5.5	Corrientes de drain ( $I_D$ ) e índices de inversión ( $i_f$ ) experimentales para prototipos de fuentes 1, 2 y 3. . . . .	33
5.6	Corrientes de drain ( $I_D$ ) e índices de inversión ( $i_f$ ) experimentales para prototipos de fuentes a, b y c. . . . .	33
5.7	Resumen de parámetros experimentales para prototipos de fuentes diseñadas. . . . .	34
6.1	Parámetros de mejores <i>SBCSs</i> obtenidas mediante la optimización con base a esquemas de <i>Apilado I</i> y <i>Apilado II</i> . . . . .	41
6.2	Dimensiones de transistores para <i>SBCSs</i> obtenidas mediante optimización, usando ambos esquemas de apilado. . . . .	42
6.3	Corrientes de <i>drain</i> ( $I_D$ ) e índices de inversión ( $i_f$ ) para diseño <i>SBCS</i> de <i>Apilado I</i> y <i>Apilado II</i> . . . . .	42
6.4	Parámetros de <i>SBCS</i> obtenida mediante la optimización con base a esquema de <i>Apilado II</i> , para la implementación del layout. . . . .	44
6.5	Dimensiones de transistores para <i>SBCS</i> a implementar en layout. . . . .	44
6.6	Dimensiones de transistores para <i>SBCS</i> post-layout. . . . .	46
6.7	Parámetros del diseño final de layout de fuente de corriente auto-polarizada. Obtenida mediante optimización con base a esquema de <i>Apilado II</i> . . . . .	47

# Lista de símbolos y abreviaciones

## Abreviaciones

ACM	Advanced Compact MOSFET
CI	Circuito Integrado
CMOS	Complementary Metal Oxide Semiconductor
DCILab	Laboratorio de Diseño de Circuitos Integrados
MI	Inversión Moderada
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
PESA	Pareto Envelope-based Selection Algorithm
PTAT	Proportional To Absolute Temperature
SBCS	Self-Biased Current Source
SBS	Self-Biased Structure
SCE	Self-Current Extractor
SCM	Self-Cascode Mosfet
SI	Inversión Fuerte
SoC	System on Chip
VLSI	Very Large Scale Integration
WI	Inversión Débil

## Notación general

$I_D$	Corriente de <i>drain</i> .
$i_{f(r)}$	Nivel de inversión, en directa <i>f</i> o en inversa <i>r</i> .
$I_{REF}$	Corriente de referencia.
$I_S$	Corriente de normalización.
$I_{SQ}$	Corriente específica.
$V_{DD}$	Voltaje de alimentación.
$V_{DS}$	Voltaje de <i>drain-source</i> .
$V_{GS}$	Voltaje de <i>gate-source</i> .
$V_P$	Voltaje de estrangulamiento.

# Capítulo 1

## Introducción

Costa Rica posee el 5% de la biodiversidad del planeta tierra, a pesar de ser una nación de tan solo  $51100km^2$ ; y por tal motivo invierte esfuerzos en materia de conservación y protección de sus áreas protegidas. En Costa Rica se ha aprovechado la existencia de estas áreas protegidas para el turismo, la recreación, la educación, investigación, capacitación, la protección de cuencas gracias a la vegetación natural y para la preservación de la biodiversidad.

La caza furtiva, los incendios y la tala ilegal en las reservas forestales costarricenses son grandes amenazas a las especies protegidas y a los ecosistemas. Las amplias extensiones territoriales y la poca cantidad de guarda parques disponibles, dificultan la protección y vigilancia en dichas zonas de conservación. Se estima que en Costa Rica el 26% del territorio nacional pertenece a áreas protegidas.

Debido a la gran importancia ecológica y económica de estas reservas así como la problemática que gira en torno a la incapacidad de las autoridades para protegerlas, se ha propuesto un sistema alternativo y complementario al recurso humano de vigilancia. Dicho sistema se define como una red inalámbrica de sensores, dedicada a la detección y localización de disparos de armas de fuego y patrones de sonidos de motosierras. Esta red alerta a los guarda parques en tiempo real sobre la presencia de cazadores ilegales o leñadores en una determinada región de la zona de conservación.

El uso de redes de sensores en las selvas tropicales de nuestro país presenta problemas referentes a la alimentación de las unidades, debido a la inaccesibilidad y a las dificultades para utilizar fuentes alternativas de alimentación en los bosques. Por tal motivo, resulta clave considerar la necesidad de este tipo de redes de operar con un muy bajo consumo de potencia, de manera tal que puedan alimentarse por medio de baterías estándar como las empleadas por un teléfono celular.

## 1.1 Antecedentes

La Escuela de ingeniería electrónica del Instituto Tecnológico de Costa Rica está desarrollando un proyecto de investigación, denominado *Sistema electrónico integrado en chip (SoC) para el reconocimiento de patrones de disparos y motosierras en una red inalámbrica de sensores para la protección ambiental*. Dicho proyecto de investigación consta de un primer circuito integrado analógico *CMOS* diseñado en tecnología de  $0.5\mu m$ , para la detección de disparos de armas de fuego.

Este *CI* se basa en una versión desarrollada por [6] diseñada e implementada en la tecnología comercial *CMOS* de  $0.5\mu m$ . El sistema electrónico integrado en chip (*SoC*) necesita incorporar extensivamente referencias de corriente en sus configuraciones encargadas de la detección de disparos; éstas referencias deberán ser aportadas por una etapa de polarización, mejor conocida como una fuente de corriente.

La fuente de polarización o fuente de corriente para el *CI* tiene como objetivo la generación de una referencia; es decir establecer una corriente *CD* que sea independiente de la fuente de alimentación y opere normalmente ante variaciones de temperatura. El consumo de potencia de la fuente debe ser el mínimo posible, para contribuir a disminuir el consumo de potencia del *CI* en su totalidad. En adición al proceso de alimentación y variabilidad en la temperatura, otros parámetros de los generadores de referencia pueden resultar ser críticos al diseño de una fuente de polarización. Estos incluyen impedancias de salida, ruido y potencias de disipación así como los parámetros propios de los transistores *CMOS*.

En el diseño de fuentes de auto-polarización es importante considerar la compensación de variaciones de parámetros, especificando con precisión la regulación de las corrientes de referencia ante rangos de oscilación del voltaje de entrada, temperatura, entre otros. Es decir, suele establecerse un porcentaje de variación sobre el valor de referencia de una corriente de polarización por unidad de variación de un determinado parámetro.

## 1.2 Generalidades del problema

El *CI* detector de disparos de armas de fuego del sistema electrónico integrado en chip (*SoC*) requiere el diseño de una fuente de corriente de ultra-baja potencia para su polarización. La fuente de corriente basada en el diseño preliminar de [6] genera una corriente de referencia de  $45\eta A$ . La nueva fuente requerida debe generar una corriente de referencia inferior a las corrientes de polarización de las etapas del *CI*, mismas que rondan los  $20\eta A$ . La corriente de referencia de la nueva fuente debe ser la mínima posible, o idealmente inferior a  $1\eta A$ .

El circuito detector de disparos del *SoC* va a someterse a variaciones en su tensión de alimentación y en su temperatura en situaciones normales de funcionamiento, por las condiciones climáticas adversas presentes en los bosques. La corriente de referencia se verá afectada por estos factores; los cuales ocasionarán un funcionamiento inapropiado del *CI* y el normal deterioro de la fuente de alimentación. Por tal motivo, la fuente requiere ser implementada bajo un diseño que compense la variación de estos parámetros.

La fuente de corriente para el circuito detector de disparos del *SoC* debe estar compuesta solamente por *MOSFETs*; a diferencia de la fuente de corriente diseñada por [6] que incluía una resistencia de control para ajustes post-fabricación.

### 1.3 Síntesis del problema

El circuito integrado para la detección y localización de armas de fuego, carece de una fuente de corriente auto-polarizada de ultra-bajo consumo de potencia, que compense variaciones en el voltaje de alimentación y en la temperatura, cuya corriente de referencia sea igual o inferior a  $1\eta A$ .

### 1.4 Contenido del documento

El documento está organizado de la siguiente manera. La meta y objetivos son presentados en el capítulo 2. En el capítulo 3 se presenta un resumen de la teoría de fuentes de corriente, se menciona el *Modelo ACM*, se presentan técnicas de construcción de layouts, frentes de Pareto y se describen las fuentes de corriente auto-polarizadas. Las actividades o pasos ejecutados como procedimiento metodológico para cumplir con los objetivos propuestos se detallan en el capítulo 4. El capítulo 5 resume el proceso de análisis y diseño de una fuente de corriente tipo *SBCS* para un proceso de  $0.5\mu m$ ; así como los resultados obtenidos en simulación mediante *Mentor Graphics*. En el capítulo 6 se detalla el proceso de dimensionamiento de una topología de fuente *SBCS*, mediante una herramienta de optimización multiobjetivo y en la última sección se detalla el diseño, construcción y simulación del *layout* de la topología de fuente final. Finalmente, el capítulo 7 contiene los comentarios de conclusiones y recomendaciones.

# Capítulo 2

## Meta y objetivos

### 2.1 Meta

Obtener una fuente de corriente auto-polarizada de ultra-baja potencia para el *CI* detector de disparos de armas de fuego.

#### **Indicador**

*El consumo de potencia de la fuente de corriente auto-polarizada debe ser menor a  $10\eta W$ .*

### 2.2 Objetivo general

Desarrollar una fuente auto-polarizada para el *CI*, cuya corriente de referencia sea inferior a  $1\eta A$ ; esté regulada a menos de 10% por 1V de variación en la tensión de alimentación y a menos de un 1% por  $1^{\circ}C$  de variación en la temperatura.

#### **Indicador**

*La corriente de referencia debe ser menor a  $1\eta A$ , presentar una oscilación menor a 10%/V de variación en la tensión de entrada y una variación menor a 1%/ $^{\circ}C$  de cambio en la temperatura.*

## 2.3 Objetivos específicos

1. Proponer una topología de fuente de corriente auto-polarizada con un consumo de potencia inferior a  $10 \eta W$  en tecnología CMOS de  $0.5 \mu m$ .

### Indicador

*El consumo de potencia de la fuente es inferior a  $10\eta W$ , en tecnología CMOS de  $0.5 \mu m$ .*

2. Optimizar la topología de fuente de manera tal que la variación de la corriente de referencia ante el voltaje de entrada y la temperatura sean las mínimas posibles.

### Indicador

*La corriente de referencia debe poseer una oscilación inferior a  $10\%/V$  de variación en la tensión de alimentación y menor a  $1\%/^{\circ}C$  de variación en la temperatura.*

# Capítulo 3

## Marco teórico

### 3.1 Fuentes de corriente

Las fuentes de corriente se utilizan ampliamente para establecer puntos de operación del transistor en circuitos integrados. El desempeño de un circuito analógico depende esencialmente de sus condiciones de operación en  $CD$ , las cuales son impuestas por la fuente o circuito de polarización.

#### 3.1.1 Espejos de corriente

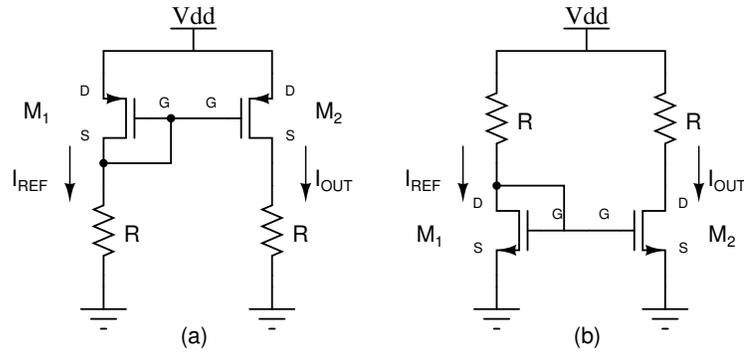
El *espejo de corriente*  $nMOS$  y  $pMOS$  básico se presenta en la figura 3.1. Se asume que los transistores  $M_1$  y  $M_2$  tienen el mismo ancho y largo de canal, además para iguales valores de resistencia se desprende que  $V_{GS1} = V_{DS1} = V_{GS2} = V_{DS2}$ . Si se despreja la modulación del ancho del canal en ambos transistores, se dice que poseen la misma corriente de *drain* debido a que tienen los mismos voltajes de *gate-source*. Así, posterior a un análisis de corrientes de *drain* presentando en [4] se desprende:

$$\frac{I_{OUT}}{I_{REF}} = \frac{W_2}{W_1} \quad (3.1)$$

Simplemente escalando el ancho de  $M_2$ , se puede ajustar el tamaño de la corriente de salida.

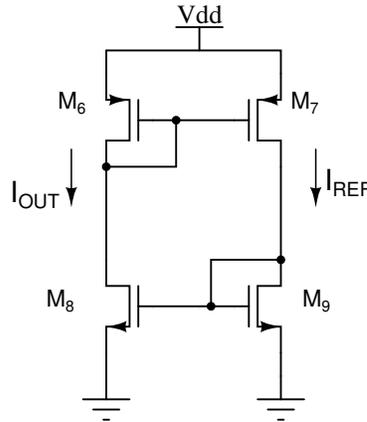
#### 3.1.2 Estructura auto-polarizada

La figura 3.2 es conocida como estructura auto-polarizada o *SBS* por sus iniciales provenientes de su nombre en inglés *Self-Biased Structure*. Está compuesta por dos espejos de corriente,



**Figura 3.1:** Espejo de corriente Básico. (a) Tipo *nMOS*. (b) Tipo *pMOS*

uno tipo *pMOS* en la parte superior y otro tipo *nMOS* en la parte inferior. Ambos espejos fuerzan o establecen la misma corriente a través de cada rama. La estructura permite entonces que la corriente  $I_{REF}$  sea copiada a  $I_{OUT}$ , como lo describe [10]. Dicha estructura, es el núcleo de las fuentes de corriente auto-polarizadas.



**Figura 3.2:** Circuito de estructura auto-polarizada (SBS).

Un punto importante a recalcar en la *SBS*, es que posee puntos de polarización degenerados. Si todos los transistores tienen una corriente cero, cuando el voltaje de alimentación es aplicado, los transistores podrían permanecer apagados; en otras palabras, el circuito puede estar en dos puntos de operación distintos. A este inconveniente, se le llama problema de *arranque* [10], y se resuelve añadiendo un mecanismo que conduzca al circuito fuera de los puntos de polarización degenerados cuando el voltaje de alimentación es aplicado.

## 3.2 Modelo ACM

ACM por *Advanced Compact MOSFET* es un modelo basado en corrientes que emplea el concepto de niveles de inversión ( $i_f$ ) [1]. Establece que la corriente de *drain* ( $I_D$ ) puede

dividirse en corriente directa ( $I_F$ ) y corriente inversa ( $I_R$ ) como lo muestra:

$$I_D = I_F - I_R = I_S (i_f - i_r) \quad (3.2)$$

El *nivel de inversión* ( $i_{f(r)}$ ) de un transistor está definido por el cociente de corriente directa ó inversa ( $I_{F(R)}$ ) y la corriente de normalización ( $I_S$ ), como lo define:

$$i_{f(r)} = \frac{I_{F(R)}}{I_S} \quad (3.3)$$

La *corriente de normalización* ( $I_S$ ) depende de la *corriente específica* ( $I_{SQ}$ ) del proceso y de la relación de aspecto del transistor ( $S$ ).

$$I_S = I_{SQ} \left( \frac{W}{L} \right) = I_{SQ} (S) \quad (3.4)$$

La corriente específica del proceso ( $I_{SQ}$ ) se expresa en función de la movilidad ( $\mu$ ), de la capacitancia del óxido por unidad de área ( $C_{ox}$ ), del *slope factor* ( $n$ ) y del voltaje térmico ( $\phi_t$ ), según lo demuestra:

$$I_{SQ} = \mu C_{ox} n \frac{\phi_t^2}{2} \quad (3.5)$$

La corriente  $I_{F(R)}$  depende del voltaje de *gate* y de *source* (*drain*). En saturación directa,  $I_F \gg I_R$ ; por lo cual,  $I_D \cong I_F = I_S i_f$ . Según expone [1] la relación entre corriente y voltaje está dada por:

$$\frac{V_P - V_{S(D)}}{\phi_t} = \sqrt{1 + i_{f(r)}} - 2 + \ln(\sqrt{1 + i_{f(r)}} - 1) \quad (3.6)$$

donde  $V_P \cong \frac{(V_G - V_{TO})}{n}$  es el voltaje de estrangulamiento y  $V_{TO}$  es el voltaje umbral de polarización cero.

### 3.2.1 Regiones de inversión

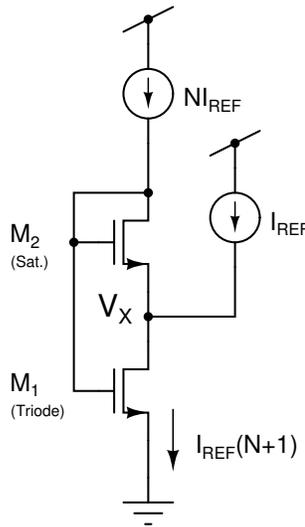
La corriente en directa normalizada o factor (coeficiente) de inversión  $i_f$ , indica el *nivel de inversión* de un transistor, mismo que depende de los voltajes de *gate* y *source*. Como regla

según [5], valores de  $i_f$  mayores a 10 caracterizan *inversión fuerte (S.I)*. El transistor opera en *inversión débil (W.I)* para valores de  $i_f$  inferiores a 1. Magnitudes intermedias de  $i_f$ , de 1 a 10 indican *inversión moderada (M.I)*. El *modelo ACM* es válido en las *regiones de inversión débil, moderada y fuerte*. Usualmente aplicaciones de muy baja potencia y voltajes emplean transistores operando en *inversión débil*.

### 3.2.2 Mosfet auto-cascodo

El generador de corriente específica o extractor de corriente específica está basado en el circuito de transistor apilado de la figura 3.3, conocido en la literatura [13] como *SCM (Self-Cascode MOSFET)* o *SCE (Self-Current Extractor)*.

El *SCM* está conformado por dos transistores,  $M_1$  y  $M_2$  que tienen el mismo *gate*. El transistor superior opera en *saturación*, debido a que tiene su terminal de *gate* conectada a su terminal de *drain*; mientras que el transistor inferior debe operar en *triode*. El límite entre las regiones de *triode* y *saturación* se establece por el valor del voltaje de *drain-source* igual a cinco veces la tensión térmica ( $5\phi_t$ ), aproximadamente se fija en  $100mV$ . Si  $V_{GS}$  es menor a  $100mV$ , el transistor está en *triode*, en caso contrario está en *saturación*.



**Figura 3.3:** Circuito extractor de corriente (SCE) o *MOSFET* auto-cascodo (SCM).

El circuito extractor de corriente se emplea para establecer bloques analógicos de bajo voltaje, como corrientes de referencia y voltajes *PTAT* inferiores a  $100mV$  [11]. Un voltaje *PTAT*, es un voltaje proporcional a la temperatura absoluta. De acuerdo con la figura 3.3 y las ecuaciones del *Modelo ACM*, las corrientes de *drain* de  $M_1$  y  $M_2$  pueden expresarse como funciones de los niveles de inversión:

$$I_{D_2} \cong I_{F_2} = I_{S_2} i_{f_2} \quad (3.7)$$

$$I_{D_1} = I_{F_1} - I_{R_1} = I_{S_1} (i_{f_1} - i_{r_1}) = I_{ref} (N + 1) \quad (3.8)$$

Como los voltajes de estrangulamiento son los mismos  $V_{P_1} = V_{P_2} = V_P$ ,  $V_{D_1} = V_{S_2}$  y  $i_{r_1} = i_{f_2}$ ; se desprende la siguiente relación a partir de (3.7) y (3.8):

$$i_{f_1} = i_{f_2} \left[ 1 + \frac{S_2}{S_1} \left( 1 + \frac{1}{N} \right) \right] \quad (3.9)$$

Aplicando (3.6) al nodo  $V_X$  para  $M_2$  y  $M_1$  se obtienen:

$$\frac{V_P - V_X}{\phi_t} + 1 = \left( \sqrt{1 + i_{f_2}} - 1 \right) + \ln \left( \sqrt{1 + i_{f_2}} - 1 \right) \quad (3.10)$$

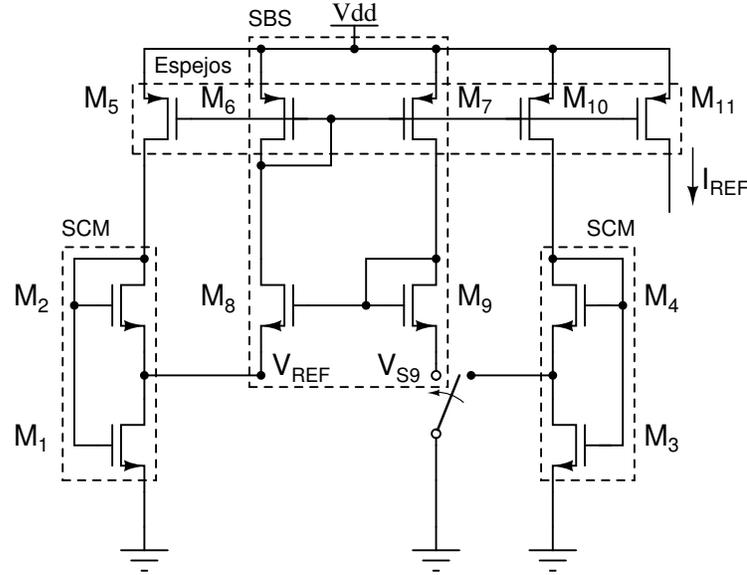
$$\frac{V_P}{\phi_t} + 1 = \left( \sqrt{1 + i_{f_1}} - 1 \right) + \ln \left( \sqrt{1 + i_{f_1}} - 1 \right) \quad (3.11)$$

Así, se tienen las ecuaciones que gobiernan el comportamiento de un extractor de corriente, según un análisis basado en niveles de inversión.

### 3.3 Fuente de corriente auto-polarizada

El circuito de la fuente de corriente auto-polarizada o *SBCS* por *Self-Biased Current Source* se aprecia en la figura 3.4.

Esta configuración genera una corriente de referencia ( $I_{REF}$ ) independiente de la alimentación, a la vez que no posee problemas de *arranque*. Esta fuente de corriente auto-polarizada, se basa en el diseño de *SBCS* presentando por [7]. Se caracteriza por ser una fuente de ultra-baja potencia, con una metodología de diseño basada en el concepto de nivel de inversión. Además, posee un voltaje *PTAT* derivado de la polarización de los *MOSFETs* en inversión débil [13] y una corriente de referencia proporcional a la corriente específica ( $I_{SQ}$ ) del *MOSFET*.



**Figura 3.4:** Circuito de fuente de corriente auto-polarizada (SBCS).

El esquemático de fuente de corriente está compuesto por una estructura auto-polarizada (ver figura 3.2), por dos *SCM* (ver figura 3.3) y finalmente por espejos de corriente *pMOS* de ganancia unitaria.

La *SBS* conformada por los transistores  $M_6 - M_9$  posee voltajes *PTAT* en los nodos intermedios de los *SCMs*. La tensión  $V_{REF}$  se calcula usando (3.6) y asumiendo que los transistores  $M_8$  y  $M_9$  están saturados, operando en inversión débil. Haciendo  $V_{P8} = V_{P9}$ ,  $I_{D8} = I_{D9}/J$  y  $V_{REF} = V_{S9}$  se tiene:

$$V_{REF} = V_{S9} + \phi_t \ln(JK) \quad (3.12)$$

Donde  $J = S_7/S_6$  y  $K = S_8/S_9$ . En la topología propuesta por [7],  $V_{S9}$  puede ser cero o un voltaje *PTAT* generado por un segundo *SCM* operando en inversión débil. La aplicación de las expresiones (3.9) a (3.11) al *SCM* de  $M_3 - M_4$  operando en inversión débil resulta en:

$$V_{S9} = \phi_t \ln \left[ 1 + (1 + J) \frac{S_4}{S_3} \right] \quad (3.13)$$

El interruptor en el *source* de  $M_9$  define dos topologías para la fuente *SBCS*. Una *topología simétrica*, cuando el interruptor está conectado a  $M_3$  y  $M_4$ ; con  $V_{REF}$  definido por (3.12) y  $V_{S9}$  dado por (3.13). Una *topología asimétrica* que se tiene cuando el interruptor está conectado a tierra, y  $V_{S9} = 0$ .

Ambas tensiones  $PTAT$  son inmunes a la fuente de alimentación tanto como a los parámetros del proceso de los transistores. En inversión débil, el  $SCM M_3 - M_4$  genera una referencia  $PTAT$  independiente del nivel de corriente y de la tecnología.

### 3.4 Layout o trazado

Layout, proveniente de *laid out* [12] que en inglés significa tendido; se refiere a la superposición de los patrones geométricos de las capas de un circuito integrado. En otras palabras, se trata del proceso de superponer las máscaras de un proceso  $CMOS$ . Códigos de colores intervienen, para facilitar la construcción de un *layout*, a la vez que deben seguirse reglas impuestas por el proceso de fabricación para obtener mayor confiabilidad y reducir efectos indeseados en el  $CI$ , como *crosstalk* o *diafonía*, *mismatch* o *desapareamiento*, entre otros.

El conjunto de máscaras [9] para un proceso  $CMOS$  estándar está comprendido por:

- Pozo o *well*. Son difusiones profundas en las cuales los  $MOSFETs$  son construidos
- Regiones de *active*. Estas regiones no tienen un espesor de óxido sobre ellas. El *source*, el *drain* y las regiones de contacto del substrato y del pozo son regiones *active*.
- Silicio policristalino. Conocido simplemente como *poly* es la capa donde el *gate* del transistor es construido.
- Varias capas de metal están disponibles para interconexiones.
- Contactos, los cuales son hoyos en la capa de aislamiento que permiten a la capa de *metal-1* conectar las regiones de *active* y *poly* bajo ella.
- Vías, que permiten conectar capas de metal. Así por ejemplo *Vía 1* conecta *metal-1* con *metal-2*, *Vía 2* conecta *metal-2* con *metal-3*, etc.

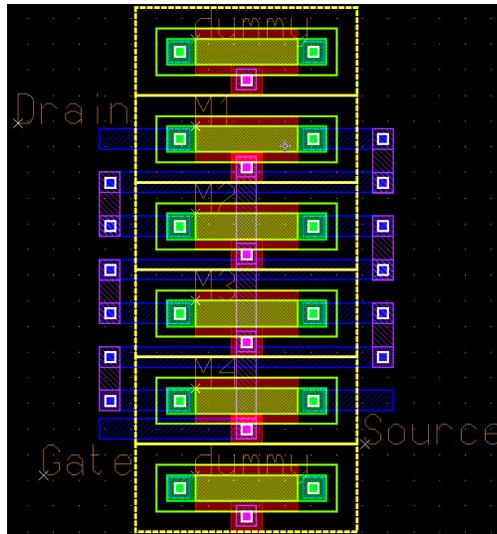
En la elaboración de un *layout* deben seguirse reglas de diseño que garantizan la fabricación correcta del transistor y sus interconexiones. Estas reglas [10] se dividen en cuatro grandes grupos:

- Ancho mínimo.
- Espaciamiento mínimo.
- Extensión mínima.
- Encierro mínimo.

Existen estilos de técnicas de construcción de *layout* dirigidas a aparear el comportamiento entre dispositivos y reducir parásitos (capacitancias, resistencias). Éstas técnicas son eficaces, sin embargo, establecen compromisos al eliminar algunos efectos indeseados y acentuar otros.

### 3.4.1 Layout apilado

El *layout apilado* optimiza el *apareamiento* o *matching* de una estructura mejorando el comportamiento entre dispositivos diseñados idénticamente. El *mismatch* resulta de efectos sistemáticos y aleatorios. Los efectos de *mismatch sistemático* se originan por variaciones no controlables durante el proceso de fabricación. El *mismatch aleatorio* se debe a variaciones en parámetros del proceso como, concentración de dopado, movilidad, espesor del óxido y granularidad del silicio policristalino [9].



**Figura 3.5:** Layout apilado

El apareamiento de dispositivos puede optimizarse empleando ubicaciones apiladas de los transistores, como lo muestra 3.5. En orden a obtener mejores resultados se siguen las siguientes recomendaciones:

- Los transistores deben tener el mismo tamaño y forma.
- La orientación de la corriente debe ser la misma para cada dispositivo, para evitar efectos de no simetría entre contactos.
- Los dispositivos deben tener las mismas estructuras a su alrededor, para evitar efectos de borde o *edges*. Para esto se usan los dispositivos *dummy* como se aprecia en 3.5.
- La distancia entre objetos debe ser la mínima.

### 3.4.2 Layout interdigitado

Conocido también como *layout multidedo*, se caracteriza principalmente por reducir el área de la unión *source - drain* y por reducir la resistencia de *gate*. La figura 3.6 muestra un ejemplo de un layout interdigitado. Primordialmente se emplea para transistores anchos.

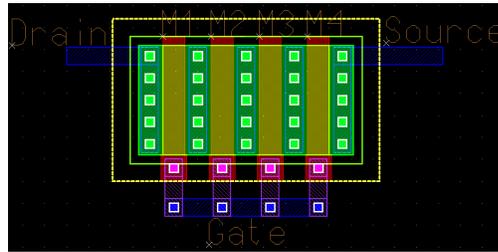


Figura 3.6: Layout interdigitado

### 3.5 Optimización multiobjetivo

La optimización multiobjetivo se basa en algoritmos genéticos *PESA* (Pareto Envelope-based Selection Algorithm) desarrollados por [3]. Dichos algoritmos realizan un proceso de evolución de parámetros, con el fin de optimizar resultados de referencia de un circuito o aptitudes. Los algoritmos genéticos pueden recibir complejos parámetros físicos de transistores *CMOS* o de topologías de circuitos y mediante análisis computacional se puede obtener un conjunto de optimizaciones multiobjetivo de los elementos definidos como aptitudes a mejorar.

El *frente de Pareto* representa un conjunto de aptitudes que han resultado del proceso de miles de iteraciones realizadas por un simulador estándar de circuitos (Eldo Spice de Mentor Graphics), dicho conjunto ha discriminado puntos dominados y se ha compuesto solo por puntos con los mayores valores en todas las dimensiones.

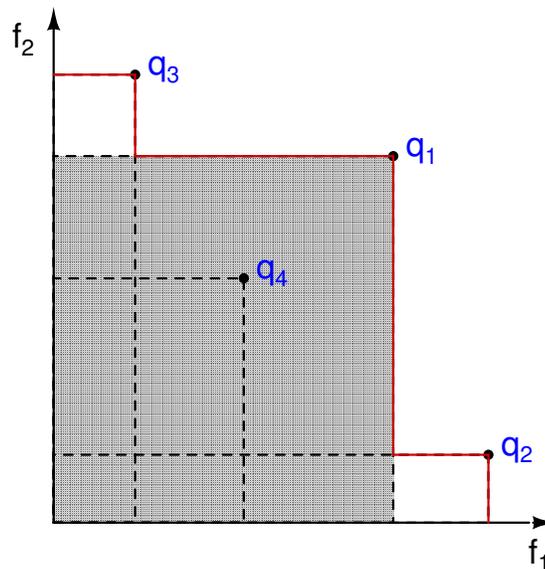


Figura 3.7: Frente de Pareto. Tomado de [3]

De acuerdo con [3] en la figura 3.7 el punto  $q_1$  domina la región delimitada por un rectángulo color gris. La línea de trazos o discontinua delimita las regiones de puntos no dominados,  $q_2$ ,  $q_3$  y  $q_4$ . La línea sólida color rojo representa el frente de Pareto de los cuatro puntos.

---

Realizando una analogía con la lógica anteriormente expuesta se puede comprender como al optimizar un circuito según la parametrización de sus variables se obtiene un conjunto de puntos no dominados que representan los mejores ajustes de sus parámetros de aptitud. La cantidad de parámetros de aptitud definirá la cantidad de dimensiones de un *frente de Pareto*.

# Capítulo 4

## Procedimiento metodológico

### 4.1 Obtención y análisis de información

Esta fase del procedimiento metodológico ameritó investigación y estudio del entorno del proyecto, para poder definir las principales pautas a seguir en el desarrollo de los objetivos. Se recurrió a bibliografía citada y a literatura en línea que tratase los temas de interés. Seguidamente se muestran algunos de los pasos aplicados para cumplir esta sección:

1. Estudiar teoría y análisis de circuitos analógicos *CMOS*.
2. Investigar tipos de fuentes de corriente para circuitos analógicos *CMOS*.
3. Lograr un conocimiento básico del uso de las herramientas de diseño *VLSI* de *Mentor Graphics*.
4. Estudiar brevemente el funcionamiento de la herramienta de optimización multiobjetivo, basada en algoritmos genéticos *PESA*.
5. Estudiar la biblioteca orientada a objetos encargada de los algoritmos de optimización, *LTI-Lib*.
6. Estudiar técnicas de diseño de trazado o layout analógico.

### 4.2 Evaluación de las alternativas y síntesis de una solución

El proceso de diseño no es lineal y una evaluación acertada del progreso y resultados obtenidos puede significar proponer nuevos planteamientos. El proyecto se llevará a cabo mediante dos

perspectivas, de las cuales una será elegida como la definitiva según el análisis de los resultados más óptimos.

El primer desarrollo de la fuente proviene de un análisis teórico de la topología del circuito, siguiendo los siguientes pasos:

1. Definir la topología de fuente de corriente auto-polarizada a diseñar.
2. Analizar el funcionamiento de la fuente de corriente auto-polarizada.
3. Iniciar el análisis teórico de la fuente de corriente.

La otra alternativa de diseño de la fuente de corriente se implementará mediante el uso de una herramienta de optimización, la cual permitirá dimensionar el circuito a partir de un simulador estándar y rutinas de software. Los siguientes puntos permitirán desarrollar el diseño:

1. Definir el esquemático de la fuente de corriente a optimizar.
2. Desarrollar un proceso de diseño iterativo a seguir.
3. Implementar rutinas de software en *C++* que permitan verificar el funcionamiento de la fuente de corriente.
4. Iniciar el proceso de optimización mediante el ajuste de la herramienta a los requisitos impuestos.

El análisis de las dos alternativas de propuestas permitirá en última instancia sintetizar un solución definitiva.

### 4.3 Implementación de una solución

La implementación del diseño de la fuente de corriente se desarrolla gracias a las herramientas de *Mentor Graphics*. Las tareas a realizarse son:

1. Dimensionar a partir de análisis teórico y de la herramienta de optimización prototipos de fuentes.
2. Implementar en el ambiente del simulador de *Mentor Graphics* la fuente de corriente.
3. Definir los parámetros que afectan la corriente de referencia generada por la fuente.
4. Realizar simulaciones para validar los prototipos diseñados.

## 4.4 Reevaluación y rediseño

Los parámetros más óptimos de los diseños obtenidos mediante las dos alternativas de solución, definirán cual prototipo de fuente se elige como solución final, o inclusive si estos parámetros no cumplen con los requisitos impuestos dictarán un rediseño de la fuente de corriente. A continuación se proponen pasos a seguir para lograr la síntesis de esta metodología:

1. Realizar procesos iterativos de optimizaciones multiobjetivo sobre la fuente de corriente.
2. Proponer el diseño más óptimo de fuente de corriente a partir de los resultados de optimizaciones.
3. Analizar resultados de optimizaciones según los requisitos de diseño.
4. Implementar el layout de la fuente de corriente.
5. Realizar simulaciones post-layout y comparar con diseño teórico.

# Capítulo 5

## Topología de fuente de corriente

La fuente de corriente auto-polarizada propuesta, se basa en el diseño de topología simétrica de *SBCS* presentando por [7]. Al ser una configuración auto-polarizada no presenta problemas de *arranque* gracias a las tensiones *PTAT*. El diseño de este bloque de polarización a partir de únicamente *MOSFETs* operando en inversión moderada y débil lo convierte en un circuito de ultra-baja potencia. Requisitos de corriente de referencia, sensibilidades, áreas y otros aspectos concernientes a fuentes de corriente han sido discutidos y analizados en este capítulo.

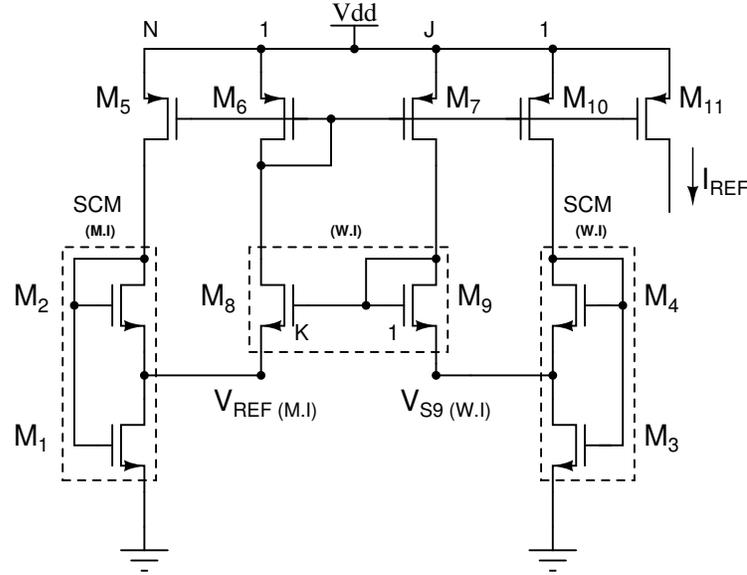
### 5.1 Topología

Se implementó la fuente de corriente *SBCS* de la figura 3.4, debido a la estabilidad de la topología simétrica (interruptor conectado al nodo  $V_{X(M.I)}$ ). La topología simétrica (figura 5.1) emplea espejos de corriente *pMOS* de ganancia unitaria, motivo por el cual se mejora el *matching* o *apareamiento* de la estructura. Además espejos de corriente de ganancias elevadas degradan la eficiencia de potencia.

En este documento se hará referencia a los transistores  $M_8$  y  $M_9$  de la figura 5.1 como  $M_X$  puesto que han sido definidos como equivalentes; de igual manera se hará referencia a los transistores tipo *pMOS* ( $M_5$ ,  $M_6$ ,  $M_7$ ,  $M_{10}$  y  $M_{11}$ ) como transistores  $M_P$ .

### 5.2 Niveles de inversión

La polarización de los transistores en inversión débil garantiza un menor consumo de potencia y por ende un menor área de silicio. El diseño de la fuente se basa en el Modelo ACM, de manera tal que se dimensionan los transistores con base a una corriente de referencia y un nivel de inversión definido; como lo expresa la ecuación (3.2). A pesar de la validez del *Modelo ACM* para todas las regiones de inversión, idealmente se desea diseñar una fuente con



**Figura 5.1:** Topología simétrica de fuente de corriente auto-polarizada.

transistores que operen solo en inversión débil (*WI*), o inclusive en inversión moderada (*MI*). La operación de transistores en inversión fuerte (*SI*) requiere voltajes de alimentación altos para el arranque y transistores sumamente largos. Mayores dimensiones en los transistores se traduce como mayor área de silicio.

Las ecuaciones (5.1) a (5.3) pertenecientes al desarrollo del *MOSFET auto-cascodo* se emplean en la metodología de diseño de las fuentes *SBCS*.

$$i_{f1} = i_{f2} \left[ 1 + \frac{S_2}{S_1} \left( 1 + \frac{1}{N} \right) \right] \quad (5.1)$$

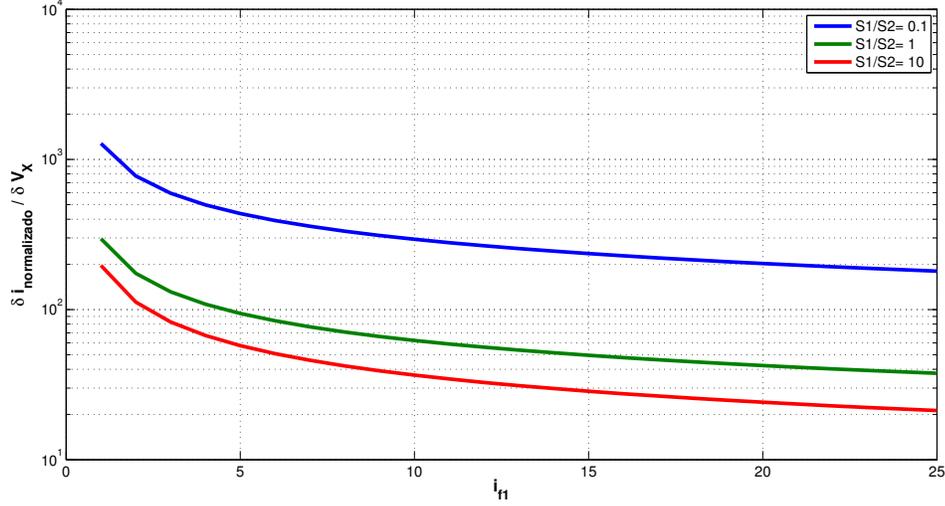
$$\frac{V_P - V_X}{\phi_t} + 1 = \left( \sqrt{1 + i_{f2}} - 1 \right) + \ln \left( \sqrt{1 + i_{f2}} - 1 \right) \quad (5.2)$$

$$\frac{V_P}{\phi_t} + 1 = \left( \sqrt{1 + i_{f1}} - 1 \right) + \ln \left( \sqrt{1 + i_{f1}} - 1 \right) \quad (5.3)$$

A partir de las anteriores ecuaciones se deriva la expresión (5.4) según [7] que describe la sensibilidad de la corriente de referencia ( $I_{REF}$ ) al voltaje *PTAT* denominado  $V_{REF}$  (también  $V_X$  según lo describe un *SCM*). Para obtener (5.4) se asume una desviación en  $V_X$  igual a  $\delta V_X$  y corrientes iguales a través de los transistores  $M_5$  y  $M_6$ .

$$\frac{\delta i_{ref}}{i_{ref}} = 2 \frac{\delta V_X}{\phi_t} \left[ \sqrt{1 + i_{f1}} - \sqrt{1 + \frac{i_{f1}}{\left( 1 + \frac{2S_2}{S_1} \right)}} \right]^{-1} \quad (5.4)$$

La figura 5.2 representa gráficamente la sensibilidad de  $I_{REF}$  a  $V_X$  en función del nivel de inversión del transistor  $M_1$ . Para diferentes relaciones de  $S_2/S_1$  se observa que la sensibilidad de  $I_{REF}$  a  $V_X$  es extremadamente alta en valores de niveles de inversión bajos ( $i_{f1} \rightarrow 0$ ). Así por ejemplo, si  $i_{f1} < 3$ , la corriente de referencia cambia por más de un 10% por  $mV$  de variación en  $V_X$ . En orden a minimizar la sensibilidad de  $I_{REF}$  a los voltajes  $PTAT$  se debe dimensionar  $M_1$  para que opere en inversión moderada.



**Figura 5.2:** Sensibilidad de corriente de referencia ( $I_{REF}$ ) ante nivel de inversión  $i_{f1}$  del transistor  $M_1$  para una fuente de corriente auto-polarizada y distintas relaciones  $S_1/S_2$ .

Reescribiendo la expresión (5.1) como:

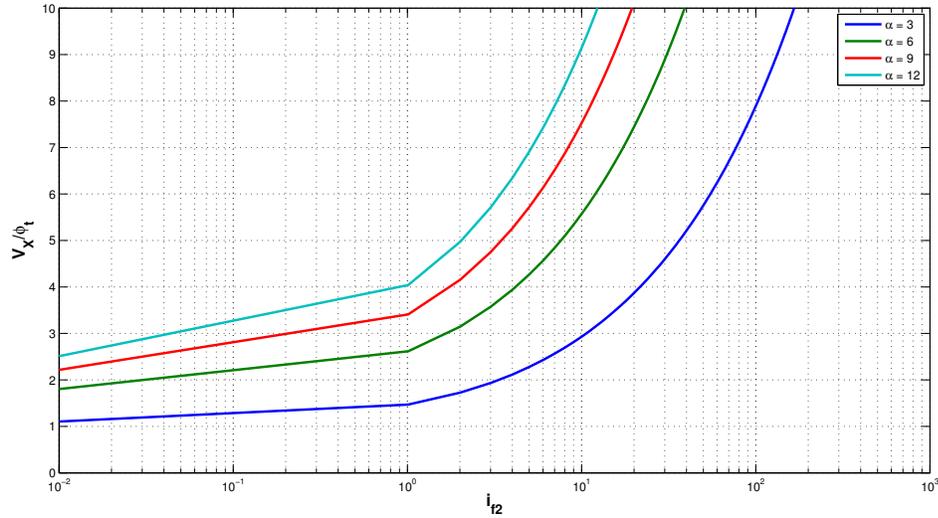
$$\frac{i_{f1}}{i_{f2}} = \alpha = \left[ 1 + \frac{S_2}{S_1} \left( 1 + \frac{1}{N} \right) \right] \quad (5.5)$$

y aplicando (3.6) a los transistores  $M_1$  y  $M_2$  según lo expuesto por [8] se obtiene:

$$\frac{V_X}{\phi_t} = \sqrt{1 + \alpha i_{f2}} - \sqrt{1 + i_{f2}} + \ln \left[ \frac{\sqrt{1 + \alpha i_{f2}} - 1}{\sqrt{1 + i_{f2}} - 1} \right] \quad (5.6)$$

La figura 5.3 muestra una familia de curvas que representan la variación de  $V_X$  según el índice de inversión de  $M_2$  para valores de  $\alpha$  de acuerdo con la expresión (5.6).

Para valores de  $i_{f2}$  inferiores a diez la variación del voltaje  $V_X$  es casi independiente de la corriente de polarización pero dependiente de  $\alpha$ , o mejor dicho el valor de  $i_{f2}$  es extremadamente sensible a  $V_X$ . Para valores de  $i_{f2}$  mayores a la unidad la dependencia de  $i_{f2}$  sobre



**Figura 5.3:** Sensibilidad de corriente de referencia ( $I_{REF}$ ) ante nivel de inversión  $i_{f2}$  del transistor  $M_2$  para una fuente de corriente auto-polarizada y distintos valores de  $\alpha$ .

$V_X$  decrece progresivamente. De acuerdo con lo concluido previamente,  $M_2$  debe operar en inversión moderada y así el  $SCM$  a la izquierda del circuito  $SBCS$  debe operar completamente en inversión moderada (ver figura 5.1).

### 5.3 Sensibilidad de corriente de referencia

El rendimiento de una fuente de corriente se mide por sus sensibilidades a los parámetros que influyen en su generación. Variaciones en el voltaje de alimentación y en la temperatura, son los principales factores que producen fluctuaciones en la corriente de referencia.

La fuente de corriente propuesta extrae la corriente específica  $I_{SQN}$  de un transistor  $nMOS$ . Un transistor  $nMOS$  polarizado con una réplica escalada de la corriente específica presenta un nivel de inversión independiente de la temperatura. Sin embargo, la corriente específica es un parámetro intrínseco que tiene información sobre el proceso y la temperatura; y fue definido anteriormente como:

$$I_{SQ} = \mu C_{ox} n \frac{\phi_t^2}{2} \quad (5.7)$$

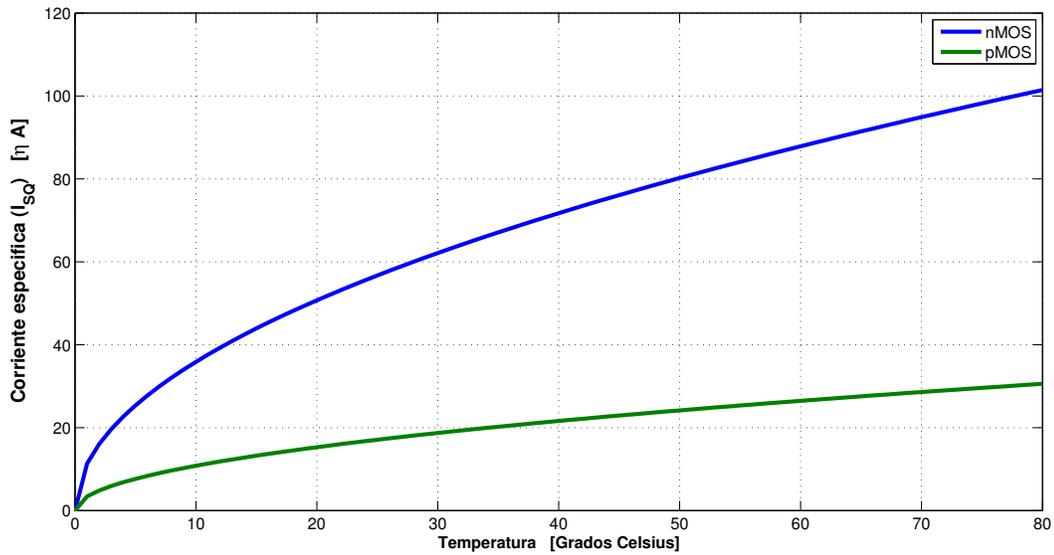
La movilidad ( $\mu$ ) y la capacitancia del óxido por unidad de área ( $C_{ox}$ ) son parámetros dependientes de la temperatura. La variación de  $C_{ox}$  es menor a  $40ppm/^\circ K$ , por lo cual se desprecia, no obstante la variación de la movilidad no es despreciable y se define en 5.8 como:

$$\mu = \mu_o \left( \frac{T}{T_o} \right)^2 \quad (5.8)$$

Donde  $T_o$  es la temperatura de referencia y  $m$  es una constante positiva en el rango de  $1.2 - 2$  de acuerdo con [12]. Despreciando la dependencia débil del *slope factor* en la temperatura, la corriente específica puede reescribirse según [8] como:

$$I_{SQ} = \mu_o C_{ox} n_o \frac{\phi_{to}^2}{2} \left( \frac{T}{T_o} \right)^{2-m} \quad (5.9)$$

Los parámetros  $\mu_o$ ,  $n_o$  y  $\phi_{to}^2$  está definidos a la temperatura ambiente y  $2 - m \cong 0.5$ . La figura 5.4, muestra la variación de la corriente específica de transistores *nMOS* y *pMOS* con respecto a la temperatura.



**Figura 5.4:** Corriente específica ( $I_{SQ}$ ) según la temperatura para transistores *CMOS*.

El voltaje mínimo para polarizar los transistores de la fuente de corriente está dado por las limitaciones impuestas por las dos ramas más a la izquierda del circuito de la figura 5.1. Según [7] el voltaje de alimentación ( $V_{DD}$ ) mínimo se define como:

$$V_{DD} \geq \max \{ |V_{DSsat,P}| + V_{GS,M_1}, |V_{GS,P}| + V_{DSsat,M_8} + V_X \} \quad (5.10)$$

En (5.10)  $V_{DSsat,M_8} \cong 100mV$  ( $5\phi_t$ ) debido a que  $M_8$  opera en inversión débil. Los transistores *pMOS* de los espejos de corriente operan en inversión débil, por lo cual  $i_{fP} < 1$ ; y por eso

$|V_{DSsat,P}| \cong 100mV$  y  $V_{GS,P} \cong V_{TP}$  o menos.  $V_X$  debe ser menor a  $100mV$  mientras  $M_2$  debe operar en inversión moderada de acuerdo con lo expuesto por [7] y [8]. El índice de inversión de  $M_2$  debe estar entre 3 – 8, puesto que si opera en inversión débil aumenta la sensibilidad de la corriente de referencia ante el *mismatch* y el voltaje de alimentación. Además,  $i_{f2}$  debe tener un valor pequeño en inversión moderada, para que el voltaje *gate-source* sea ligeramente mayor al voltaje umbral. Por tal motivo,  $V_X < 100mV$  y luego  $V_{GS,M_1} = V_{GS,M_1} \cong V_{TN} + 100mV$ . Según lo expuesto anteriormente, y basado en [7] se obtiene una expresión más compacta para  $V_{DD}$ .

$$V_{DD} \geq \max\{|V_{TP}|, V_{TN}\} + 200mV \quad (5.11)$$

Las tensiones umbrales ( $V_{TN}$  y  $V_{TP}$ ) definen el voltaje mínimo de alimentación para la fuente de corriente; sin embargo se le prestó mayor atención a la variación introducida por  $V_{DD}$  que a su valor mínimo, puesto que el valor nominal es de  $3.3V$ .

## Nivel de inversión y temperatura

El voltaje térmico ( $\phi_t$ ) según [12] se expresa como:

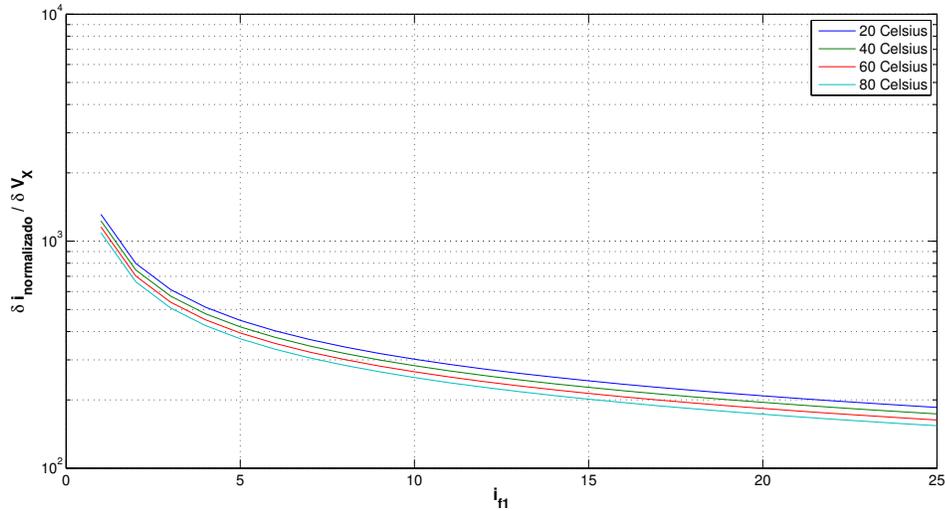
$$\phi_t = 25.9mV \frac{T}{300K} \quad (5.12)$$

A partir de (5.12) se puede reescribir la expresión (5.4) de la siguiente manera:

$$\frac{\delta i_{ref}}{i_{ref}} = \frac{\delta 2V_X}{25.9mV \frac{T}{300K}} \left[ \sqrt{1 + i_{f1}} - \sqrt{1 + \frac{i_{f1}}{\left(1 + \frac{2S_2}{S_1}\right)}} \right]^{-1} \quad (5.13)$$

Para un valor definido de  $S_1/S_2$  se puede obtener una gráfica que describa el comportamiento de la sensibilidad de corriente de referencia, ante valores del índice de inversión de  $M_1$  para distintas temperaturas, como lo muestra la figura 5.5.

De las curvas de las figuras 5.2 y 5.5 se desprende que la sensibilidad de la corriente ante el voltaje de alimentación es proporcional a la sensibilidad ante la temperatura. Ambas sensibilidades se reducen al aumentar el índice de inversión del transistor  $M_1$ , para que opere en inversión moderada, o inclusive en inversión fuerte.



**Figura 5.5:** Sensibilidad de corriente de referencia ( $I_{REF}$ ) ante nivel de inversión  $i_{f1}$  del transistor  $M_1$  para una fuente de corriente auto-polarizada y distintas temperaturas.

## 5.4 Proceso de diseño

Se realizó un análisis teórico de la fuente de corriente, y se calcularon varios prototipos para comprobar la metodología de diseño expuesta por [7]. En la tabla 5.1 se muestra el esquema de apilamiento utilizado para construir el equivalente de cada uno de los 11 transistores del circuito de *SBCS* presentando en la figura 5.1. Los transistores  $M_1$  y  $M_2$  necesitan ser muy largos, puesto que deben operar en inversión moderada; por consiguiente, ambos arreglos son representados respectivamente por 50 y 20 transistores en serie en los esquemas de apilados *Apilado I* y *Apilado II*. Los demás transistores operan en inversión débil y son construidos por arreglos pequeños, dos en paralelo por cuatro en serie para el *Apilado I* y dos en paralelo por dos en serie para el *Apilado II*.

**Tabla 5.1:** Esquemas de transistores apilados para la *SBCS*.

<b>M</b>	<b>Apilado I</b>		<b>Apilado II</b>	
	Paralelo	Serie	Paralelo	Serie
$M_1$	1	50	1	20
$M_2$	1	50	1	20
$M_3$	2	4	2	2
$M_4$	2	4	2	2
$M_P$	2	4	2	2
$M_X$	2	4	2	2

El diseño del primer prototipo de fuente *SBCS* se basó en el esquema *Apilado I*, y se calculó para una corriente de referencia de  $250\text{pA}$ . Seguidamente se muestran los desarrollos necesarios para el dimensionamiento de los transistores que conforman el circuito 5.1.

## Corriente específica

La corriente específica para el proceso *CMOS 0.5  $\mu\text{m}$*  se basa en 5.7, pero para obtener una mejor aproximación se ha sustituido el producto  $\mu C_{ox}$  por la constante del proceso  $k'$ :

$$I_{SQ} = k'n \frac{\phi_t^2}{2} \quad (5.14)$$

Así, conociendo las magnitudes de los parámetros del proceso *CMOS 0.5  $\mu\text{m}$* , se ha calculado una corriente específica para el transistor *nMOS* de  $58.929\eta\text{A}$  y  $17.756\eta\text{A}$  para el *pMOS*.

## Tensiones PTAT

Las tensiones *PTAT* de la fuente de corriente,  $V_{REF}$  y  $V_{S9}$  deben estar por debajo de  $5\phi_t$  lo que equivale aproximadamente a unos  $100\text{mV}$ . Inicialmente se asumió  $V_{S9} = 50\text{mV}$ ; luego como  $J = S_7/S_6 = K = S_8/S_9 = 1$  de acuerdo con las expresiones de  $V_{S9}$  y  $V_{REF}$  en (3.12) y (3.13), se tiene que ambas tensiones son equivalentes,  $V_{REF} = V_{S9} = 50\text{mV}$ .

## SCM en inversión moderada

Se eligió un nivel de inversión para ubicar a  $M_2$  en inversión moderada ( $i_{f2} = 3$ ), y a través de (5.3) se obtuvo el nivel de inversión de  $M_1$  para fijar las tensiones *PTAT* establecidas en las magnitudes anteriormente aducidas,  $i_{f1} = 10.15$ .

## Transistores: $M_1$ y $M_2$

Conociendo  $i_{f1}$  e  $i_{f2}$  se procedió a calcular la relación de aspecto de  $M_1$  y  $M_2$ . Despejando  $S_2/S_1$  de (3.9):

$$\frac{S_2}{S_1} = \frac{i_{f2} - i_{f1}}{i_{f2} \left(1 + \frac{1}{N}\right)} \quad (5.15)$$

Se calcula para un  $N = 1$  por operar con espejos de ganancia unitaria, y de (5.15) se tiene que  $S_2/S_1 = 1.7916$ . La relación de aspecto  $S_1$  se calcula usando (3.7) y generalizando se obtiene:

$$i_{fn} = \frac{I_{Dn}}{I_{SQ}S_n} = \frac{NI_{REF}}{I_{SQ}S_n} \quad (5.16)$$

Los valores obtenidos son,  $S_1 = 7.8927E - 04$  y  $S_2 = 1.4141E - 03$ ; relaciones de aspecto que los describen como transistores muy largos.

### Transistores: $M_3$ y $M_4$

A partir de (3.13) se despejó  $S_4/S_3$ , y se tiene:

$$\frac{S_4}{S_3} = \frac{e^{V_{S9}/V_T} - 1}{1 + J} \quad (5.17)$$

Así, se resolvió y se tiene que  $S_4/S_3 = 8.4483$ . Se eligió  $i_{f4} = 0.005$ , con lo cual se puede derivar  $S_4$  de (5.16), y resulta  $S_4 = 8.4846E - 01$ , mientras que  $S_3 = 1.0043E - 01$ . Realizando el mismo análisis mediante el cual se obtuvo (3.9) se logra:

$$i_{f3} = i_{f4} \left[ 1 + \frac{S_4}{S_3} \left( 1 + \frac{1}{N} \right) \right] \quad (5.18)$$

De la anterior expresión se calcula un índice de inversión para  $M_3$ ,  $i_{f3} = 8.9483E - 02$ .

### Transistores: $M_P$

Para los transistores tipo *pMOS* ( $M_5 - M_7$  y  $M_{10} - M_{11}$ ), se define un factor de inversión menor a la unidad, para que operen en inversión débil,  $i_{fp} = 0.1$ . Aplicando (5.16) se calcula la relación de aspecto de  $M_P$ ,  $S_P = 1.4079E - 01$ .

### Transistores: $M_X$

Los transistores  $M_8$  y  $M_9$  son equivalentes, y por lo tanto poseen el mismo  $S$  y mismo  $i_f$ . Se asume,  $i_{f8} = i_{f9} = 0.01$ , y mediante (5.16) se calcula la relación de aspecto,  $S_8 = S_9 = 4.2423E - 01$ .

Finalmente, en la tabla 5.2 se presenta un resumen de las relaciones de aspecto y los índices de inversión para los transistores de la fuente *SBCS*. Para el diseño antes descrito, se asumió un índice de inversión  $i_{f2} = 3$  como punto de partida según [7], y se procedió a variar la tensión

$PTAT$  de los  $SCMs$  de manera tal que permanecieran en *triode*; desencadenando también en distintos índices de inversión para los transistores  $M_1$  y  $M_3$ . Se obtuvieron prototipos de diseño de fuente  $SBCS$  para tres valores de tensión  $PTAT$ ,  $50mV$ ,  $25mV$  y  $75mV$ ; las cuales equivalen a niveles de inversión para  $M_1$  de 10.15, 5.42 y 13.75 respectivamente.

**Tabla 5.2:** Relaciones de aspecto e índices de inversión para diseños de fuentes  $SBCS$  según un voltaje  $PTAT$  definido ( $V_{S9}$ ). Corriente de referencia  $I_{REF} = 250pA$ .

<b>M</b>	$V_{S9} = 50mV$		$V_{S9} = 25mV$		$V_{S9} = 75mV$	
	$S$	$i_f$	$S$	$i_f$	$S$	$i_f$
$M_1$	1.18E-03	10.150	3.50E-003	5.420	7.89E-004	13.750
$M_2$	1.41E-03	3.000	1.40E-003	3.000	1.41E-003	3.000
$M_3$	2.20E-01	0.043	1.00E+000	0.013	1.00E-001	0.089
$M_4$	8.40E-01	0.005	8.48E-001	0.005	8.48E-001	0.005
$M_P$	1.40E-01	0.100	1.40E-001	0.100	1.40E-001	0.100
$M_X$	4.24E-01	0.010	4.24E-001	0.010	4.24E-001	0.010

## 5.5 Fuentes diseñadas

Una vez definida la relación de aspecto de cada transistor, arbitrariamente se eligió el  $W$  de cada canal y se calculó la longitud del  $L$  correspondiente. Los transistores poseen el mismo ancho de canal para cada prototipo de fuente. La tabla 5.3 presenta las dimensiones de los transistores para cada circuito considerando el sistema de *Apilado I*.

**Tabla 5.3:** Dimensiones de transistores para los prototipos de fuente calculados, según el esquema de *Apilado I*.

	<b>Fuente 1 - 3</b>	<b>Fuente 1</b>	<b>Fuente 2</b>	<b>Fuente 3</b>
<b>M</b>	W [ $\mu m$ ]	L [ $\mu m$ ]	L [ $\mu m$ ]	L [ $\mu m$ ]
$M_1$	2	33.9	11.43	50.7
$M_2$	2	28.37	28.57	28.37
$M_3$	10	22.73	5	50
$M_4$	10	5.95	5.95	5.95
$M_P$	10	35.71	35.71	35.71
$M_X$	10	11.79	11.79	11.79

El procedimiento anterior se repitió para obtener las dimensiones de los transistores de las fuentes diseñadas para el esquema de *Apilado II*. Los resultados se aprecian en la tabla 5.4.

**Tabla 5.4:** Dimensiones de transistores para los prototipos de fuente calculados, según el esquema de *Apilado II*.

	Fuente a - c	Fuente a	Fuente b	Fuente c
<b>M</b>	W [ $\mu m$ ]	L [ $\mu m$ ]	L [ $\mu m$ ]	L [ $\mu m$ ]
$M_1$	2	42.37	14.29	63.37
$M_2$	2	35.46	35.71	35.46
$M_3$	10	18.18	4	40
$M_4$	10	4.72	4.72	4.72
$M_P$	10	28.57	28.57	28.57
$M_X$	10	9.43	9.43	9.43

## 5.6 Resultados de simulaciones

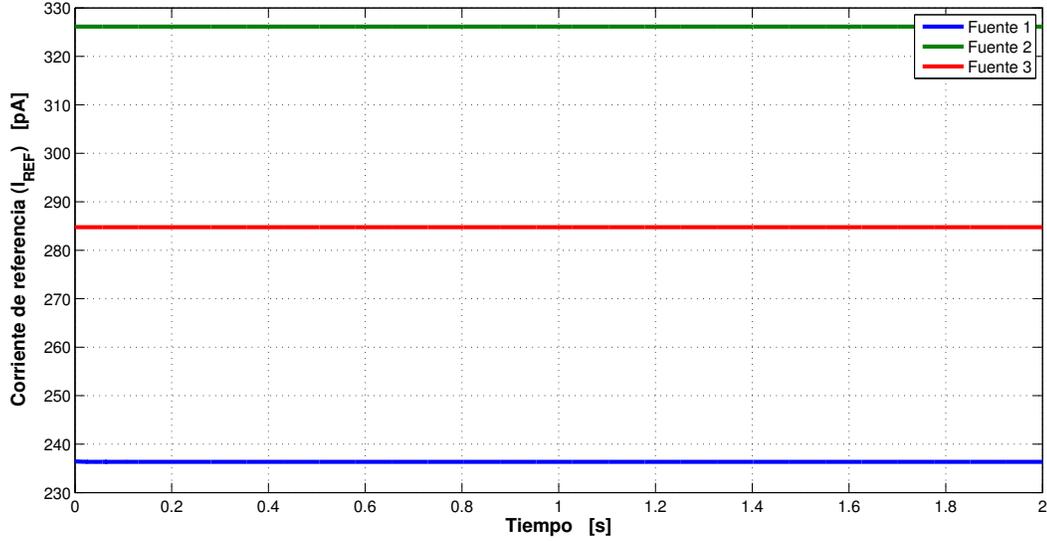
Se implementaron esquemáticos en *Mentor Graphics* para los tres prototipos diseñados para el sistema de *Apilado I* y para los tres prototipos diseñados para esquema de *Apilado II*. Herramientas como *ICStudio*, *Design Architect* y *Eldo Spice* facilitaron el proceso de modelado y simulación de los esquemáticos. Se realizó una simulación de transitorio de dos segundos para analizar el comportamiento de la corriente de referencia ( $I_{REF}$ ) de la fuente, sus tensiones *PTAT* ( $V_{REF}$  y  $V_{S9}$ ) y medir su consumo de potencia. El voltaje de alimentación ( $V_{DD}$ ) aplicado es de  $3.3V$ .

Las figuras 5.6 y 5.7 presentan las curvas de la corriente de referencia  $I_{REF}$  para los prototipos de fuentes diseñados. La curva para  $I_{REF}$  en cada uno de los casos, cumple con ser constante en el tiempo, y no presentar problemas de arranque. La corriente de referencia para el esquema de *Apilado I* fue más precisa sobre el valor teórico de  $250pA$ .

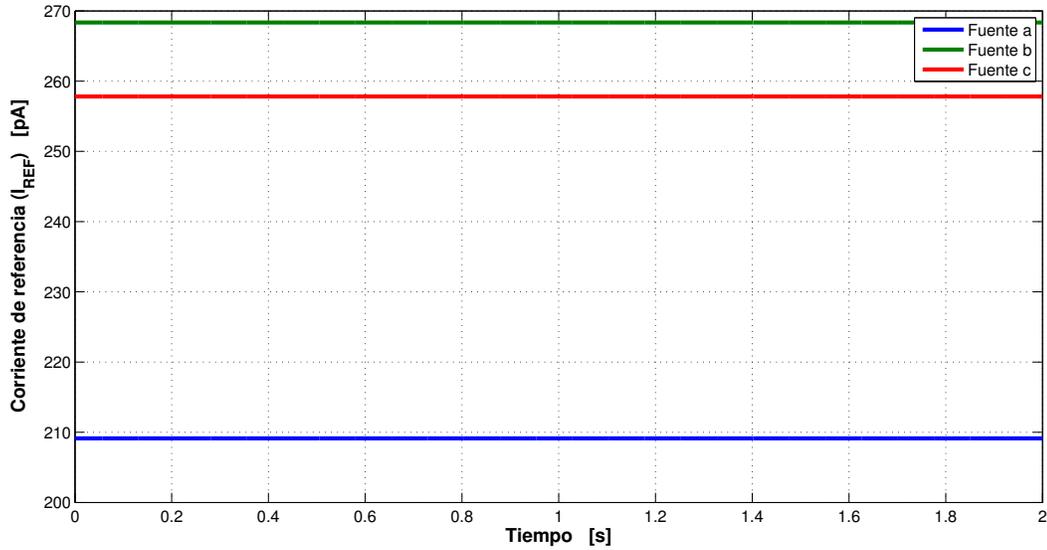
Se implementó una simulación *CD* para analizar el comportamiento de la corriente ante la variación de la tensión de alimentación, ( $V_{DD}$ ). Se varió esta tensión desde los  $2V$  hasta los  $4V$ , y se analizó la pendiente de cada una de estas curvas. Las figuras 5.8 y 5.9 muestran la variación de  $I_{REF}$  en función de  $V_{DD}$ .

Un nuevo análisis *CD* se llevó a cabo, pero esta vez en función de la temperatura para determinar el comportamiento de la corriente de referencia. Como se esperaba y lo describe la teoría, la corriente  $I_{REF}$  es proporcional a la temperatura; sin embargo, su pendiente la hace variar en menos de  $1\%/^{\circ}C$  para todos los casos debido que  $M_1$  opera en inversión moderada. Las figuras 5.10 y 5.11 muestran los resultados de estas simulaciones para los prototipos de fuentes diseñados según los esquemas de apilado.

Las tablas 5.5 y 5.6 detallan las corrientes de *drain* y los índices de inversión para cada transistor de los seis diseños propuestos. La corriente de *drain* se obtuvo mediante un análisis



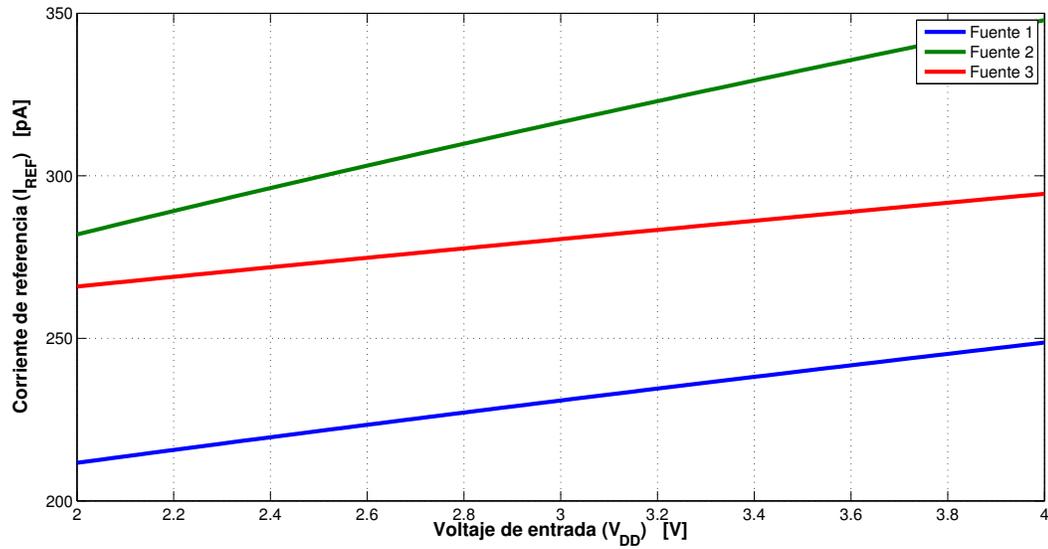
**Figura 5.6:** Corriente de referencia. Prototipos *SBCS*: 1, 2 y 3.



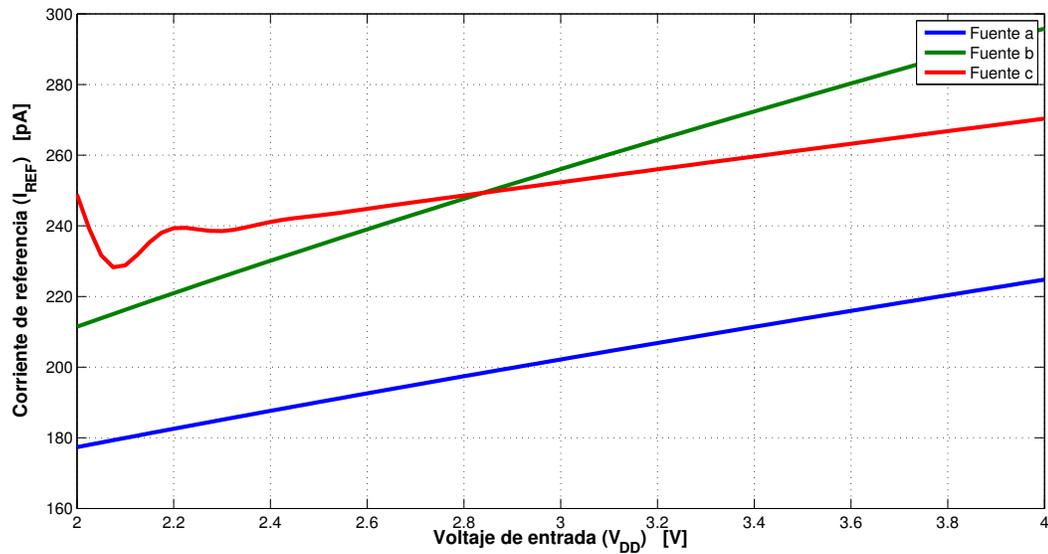
**Figura 5.7:** Corriente de referencia. Prototipos *SBCS*: a, b y c.

de transitorio, y el índice de inversión fue calculado según (5.16).

Las fuentes propuestas han sido diseñadas para analizar el impacto del índice de inversión del transistor  $M_1$ . Se aprecia que para  $i_{f1} > 10$ , la corriente de referencia es más precisa con respecto a la corriente planteada de  $250\text{pA}$ . La *fuentes 1* es homóloga a la *fuentes a*, la *fuentes 2* a la *fuentes b* y la *fuentes 3* a la *fuentes c*; lo que cambia entre prototipos es el esquema de apilamiento. Las *fuentes 3* y *c* tienen un  $i_{f1} > 10$  y muestran la mínima sensibilidad de  $I_{REF}$  al voltaje de alimentación; sin embargo, este valor de índice de inversión ubica al transistor



**Figura 5.8:** Corriente de referencia en función del voltaje de entrada. Prototipos *SBCS*: 1, 2 y 3.



**Figura 5.9:** Corriente de referencia en función del voltaje de entrada. Prototipos *SBCS*: a, b y c.

$M_1$  en inversión fuerte lo que desencadena en mayor área de silicio para éste, ya por diseño visto como un gran transistor.

El cálculo del factor de inversión ( $i_f$ ) de los transistores  $M_1$  y  $M_3$  por estar polarizados en la región de *triode* involucra el índice de inversión en inversa ( $i_f$ ) y la corriente en inversa ( $I_R$ ) como lo expresa (3.2); sin embargo se ha despreciado el efecto de este par de parámetros por la imposibilidad de determinar el valor de la corriente en inversa; de esta manera el cálculo experimental de ( $i_{f1}$ ) e ( $i_{f3}$ ) es una aproximación. La determinación experimental de los

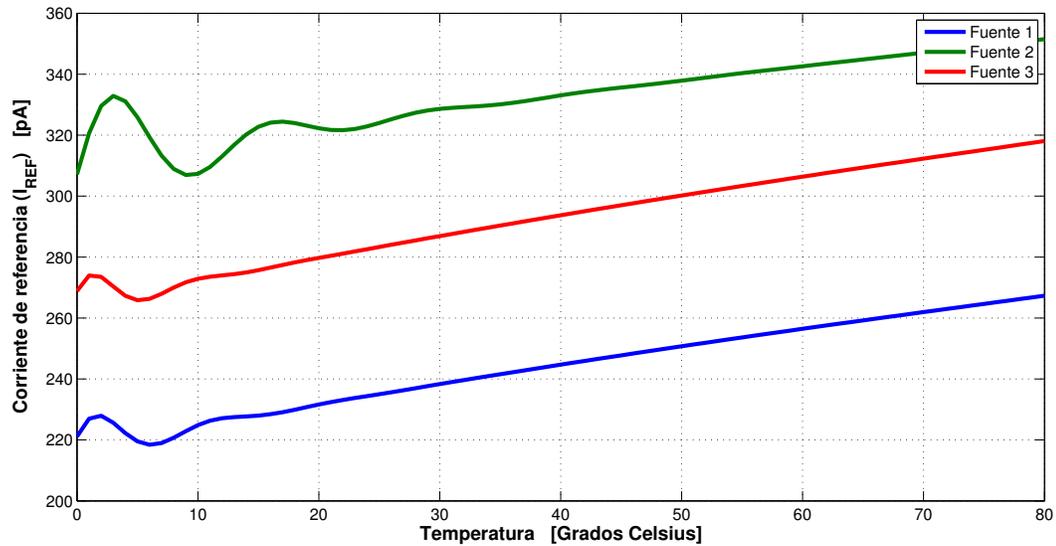


Figura 5.10: Corriente de referencia en función de la temperatura. Prototipos SBCS: 1, 2 y 3.

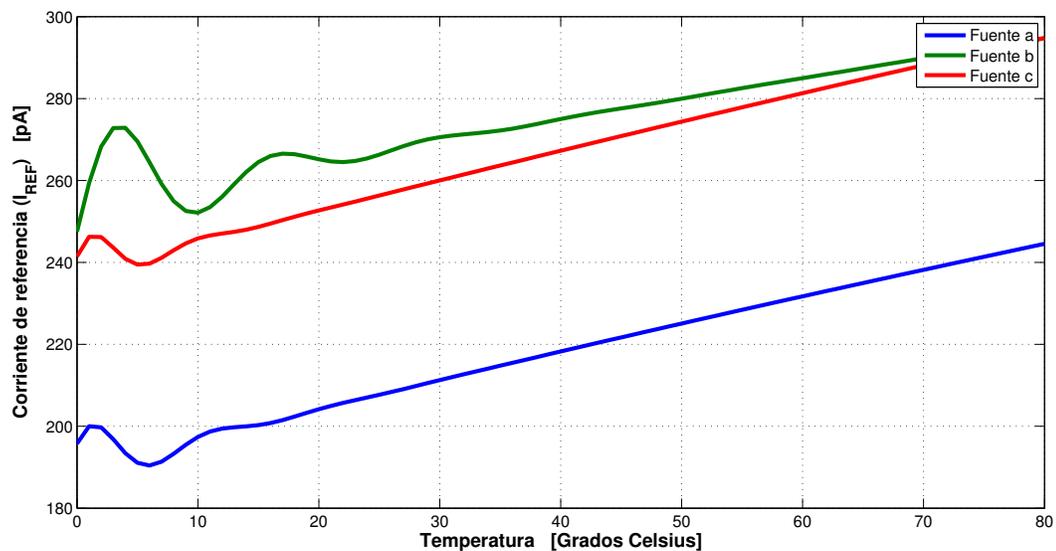


Figura 5.11: Corriente de referencia en función de la temperatura. Prototipos SBCS: a, b y c.

restantes ( $i_f$ ), se realizó como lo indica (3.3).

Finalmente, en la tabla 5.7 se presenta un resumen de los parámetros obtenidos posterior a la simulación de las fuentes diseñadas para ambos esquemas de apilamiento. Por precisión en corriente de referencia domina la *fuentes* c presentando el mínimo porcentaje de error (3.12%) sobre el valor teórico (250pA). La potencia promedio de salida ( $P_{OUT}$ ) para todas las fuentes es  $4.3\eta W$ , por lo cual se desprende que ningún diseño domina a otro. Lo mismo sucede con la sensibilidad de  $I_{REF}$  a la temperatura, donde el valor promedio es de  $0.23\%/^{\circ}C$ .

**Tabla 5.5:** Corrientes de drain ( $I_D$ ) e índices de inversión ( $i_f$ ) experimentales para prototipos de fuentes 1, 2 y 3.

<b>M</b>	<b>Fuente 1</b>		<b>Fuente 2</b>		<b>Fuente 3</b>	
	$I_D$ [pA]	$i_f$	$I_D$ [pA]	$i_f$	$I_D$ [pA]	$i_f$
$M_1$	446.980	6.428	629.730	3.053	540.942	11.634
$M_2$	233.720	2.813	323.470	3.921	281.921	3.393
$M_3$	465.040	0.036	645.800	0.011	560.929	0.095
$M_4$	234.730	0.005	324.640	0.006	283.071	0.006
$M_P$	236.330	0.029	326.150	0.040	284.759	0.035
$M_X$	229.490	0.009	319.140	0.013	277.807	0.011

**Tabla 5.6:** Corrientes de drain ( $I_D$ ) e índices de inversión ( $i_f$ ) experimentales para prototipos de fuentes a, b y c.

<b>M</b>	<b>Fuente a</b>		<b>Fuente b</b>		<b>Fuente c</b>	
	$I_D$ [pA]	$i_f$	$I_D$ [pA]	$i_f$	$I_D$ [pA]	$i_f$
$M_1$	395.796	5.692	515.513	2.499	491.601	10.573
$M_2$	205.377	2.472	264.604	3.207	253.797	3.054
$M_3$	410.726	0.032	529.841	0.009	507.250	0.086
$M_4$	207.064	0.004	266.656	0.005	255.551	0.005
$M_P$	209.138	0.025	268.360	0.033	257.815	0.031
$M_X$	200.589	0.008	259.599	0.010	249.090	0.010

Los voltajes  $PTAT$  experimentales ( $V_{S9} - V_{REF}$ ) difieren de los valores teóricos por más de un 10% en la mayoría de los casos, lo cual afecta la estabilidad del proceso de extracción de corriente, y por ende las sensibilidades de la corriente de referencia. La *fuentes 3* presenta el menor valor de sensibilidad a la tensión de alimentación (5%/V), mientras que la *fuentes b* posee la máxima (15.67%/V).

El área de silicio mínima es estimada según la cantidad de transistores para ambos esquemas de apilado. Se tienen 172 transistores para el esquema de *Apilado I* y 76 para el esquema de *Apilado II*; el área se aproximó para las dimensiones de cada fuente. Por cantidad de transistores, el esquema de *Apilado II* proporcionó los diseños con menor área.

**Tabla 5.7:** Resumen de parámetros experimentales para prototipos de fuentes diseñadas.

Fuente	1	2	3	a	b	c
$I_{REF}$ [pA]	236.33	326.15	284.75	209.14	268.36	257.81
$P_{OUT}$ [ $\eta W$ ]	3.95	5.33	4.65	3.39	4.37	4.19
Sens a $V_{DD}$ [%/V]	7.82	10.09	5	11.31	15.67	9.07
Sens a $T$ [%/°C]	0.25	0.14	0.22	0.32	0.19	0.28
Área mínima [ $\mu m^2$ ]	24693.59	21044.2	28550.79	4511.38	3727.07	5279.72
$V_{REF}$ [V]	58.11	27.55	79.78	59.75	26.82	82.84
$V_{S9}$ [V]	56.66	26.42	78.76	57.62	25.04	81.07

En términos generales, la *fuentes 3* demostró tener el mejor desempeño, teniendo la mejor aproximación de corriente de referencia y bajas sensibilidades. Además mediante la comparación de los esquemas de apilado, se verifica que a pesar de que arreglos grandes de transistores disminuyen efectos en el proceso de modelado y fabricación, incrementan sustancialmente el área de un eventual *layout*.

## 5.7 Conclusiones del capítulo

A partir del análisis de los resultados obtenidos para el diseño inicial, se puede concluir que:

1. Todos los transistores de la fuente de corriente deben operar en inversión débil a excepción de los transistores  $M_1$  y  $M_2$ .
2. El transistor  $M_1$  debe operar en inversión moderada o fuerte por su efecto en la reducción de las sensibilidades de la corriente de referencia al voltaje de alimentación y a la temperatura.
3. El transistor  $M_2$  debe operar en inversión moderada para reducir la sensibilidad al voltaje de alimentación.
4. Los transistores  $M_1$  y  $M_3$  deben operar en la región de *triode* para la generación de las tensiones  $PTAT$ .
5. Las sensibilidades de la corriente ante el voltaje de alimentación y la temperatura son directamente proporcionales entre sí.
6. La corriente de referencia es proporcional a la temperatura, pero su sensibilidad se puede reducir si  $M_1$  opera en inversión moderada.
7. El consumo de potencia de la fuente es menor si  $M_2$  opera en inversión moderada y  $M_1$  lo hace en el límite entre inversión moderada y fuerte.

# Capítulo 6

## Optimización de fuente de corriente

La metodología de diseño de la fuente de corriente auto-polarizada ha sido discutida en el capítulo 5. Se hizo evidente que existe un sin número de parametrizaciones para las longitudes de los transistores, que producirían un conjunto de prototipos de fuentes funcionales, y la tarea de elegir la más óptima es sumamente complicada. Se optó por utilizar la herramienta de optimización propuesta por [3]; para encontrar un prototipo de fuente auto-polarizada que presente el comportamiento deseado y cumpla con creces los requisitos de diseño propuestos (ver capítulo 2).

### 6.1 Optimización PESA

La optimización de la fuente de corriente se realizó con ayuda del ambiente de simulación de circuitos de *Mentor Graphics* y con el apoyo de una *biblioteca orientada a objetos* desarrollada en *C++* y denominada *LTI-Lib* [2]. La biblioteca cuenta con *clases* que ejecutan el proceso de evolución de los algoritmos genéticos. Los parámetros del esquemático de la fuente para alimentar el algoritmo genético son las dimensiones de los transistores.

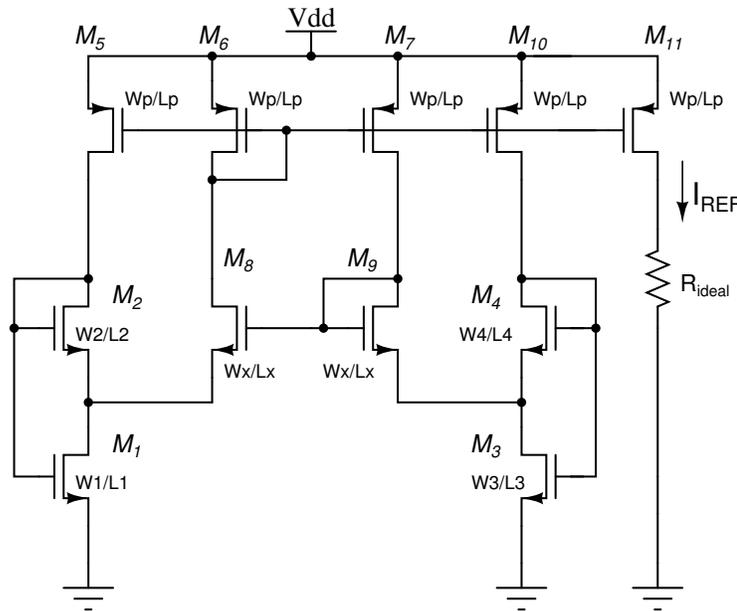
La herramienta de optimización *PESA* para el caso de la fuente de corriente emplea tres *valores de aptitud*, corriente de referencia ( $I_{REF}$ ), consumo de potencia ( $P_{OUT}$ ) y sensibilidad de  $I_{REF}$  al voltaje de alimentación ( $V_{DD}$ ). La sensibilidad de  $I_{REF}$  a la temperatura no se consideró como valor de aptitud puesto que es directamente proporcional a la sensibilidad de  $I_{REF}$  a  $V_{DD}$ ; es decir, este parámetro se optimizó por defecto gracias a la topología de la fuente.

### 6.1.1 Diseño del esquemático

El circuito de la fuente de corriente se parametrizó como lo muestra la figura 6.1. Nuevamente se hace referencia a los transistores  $M_8$  y  $M_9$  como  $M_X$  puesto que ambos son equivalentes, de igual manera se hará referencia a los transistores tipo  $pMOS$  ( $M_5$ ,  $M_6$ ,  $M_7$ ,  $M_{10}$  y  $M_{11}$ ) como transistores  $M_P$ .

Los esquemas de apilamiento propuestos en el capítulo 5, más específicamente en la tabla 5.1 han sido retomados; de manera tal que se han implementado y parametrizado dos circuitos para ser sometidos a optimización según dichos esquemas. En la figura 6.1 se aprecia la parametrización empleada para las dimensiones de los transistores.

Se han ajustado dos análisis en simulación para medir el comportamiento de los valores de aptitud o *fitness* ante el avance de la optimización. Un análisis en transitorio de dos segundos para medir la corriente de referencia y el consumo de potencia en el nodo de la fuente de alimentación y un otro análisis *CD* para medir la variación de la corriente de referencia; de acuerdo con un barrido lineal del voltaje de alimentación desde los 2V hasta los 4V.



**Figura 6.1:** Esquemático de fuente de corriente *SBCS* implementado en *Mentor Graphics* para proceso de optimización.

### 6.1.2 Ajustes del optimizador

El flujo que sigue el optimizador *PESA* en el proceso de la construcción de un frente de *Pareto* se inicia cuando la *clase* de algoritmos genéticos comienza la evolución de un conjunto

de parámetros para las longitudes de los transistores. Estos parámetros son tomados como insumos por el simulador para generar la simulación del esquemático. Los resultados de la simulación son analizados, y si representan un diseño funcional de una fuente de corriente auto-polarizada los tres fitness ( $I_{REF}$ ,  $P_{OUT}$  y Sens a  $V_{DD}$ ) son introducidos al *frente de Pareto*, y se reinicia el proceso de evolución de nuevos parámetros, tomando como guía los ya generados que han dado buenos resultados.

Una vez que se tiene el *frente de Pareto* después de una  $n$  cantidad de simulaciones, se proceden a analizar los puntos del frente que mejor se ajusten a los requisitos impuestos para  $I_{REF}$ ,  $P_{OUT}$  y sensibilidad a  $V_{DD}$ . Cuando se determina el punto o los puntos que dan las mejores optimizaciones multiobjetivos, se ubican los parámetros del circuito que arrojaron esas respuestas para los *fitness*; y se da fin al proceso de dimensionamiento de una fuente de corriente.

Para iniciar el proceso, se implementaron dos circuitos para los dos esquemas de apilado mencionados en 5.1, y los valores de las longitudes de sus canales fueron sustituidos por los parámetros correspondientes. Se implementó una rutina en *C++* que sobrescribe los valores de los parámetros provenientes de los algoritmos genéticos en los archivos de *spice* del simulador así como una rutina que analiza la forma de onda de la corriente de referencia.

El análisis de la curva de  $I_{REF}$  determina la validez de un diseño de una fuente de corriente; la rutina diseñada corroboró que la corriente pico-pico de la forma de onda de la corriente no superara un 1% sobre su valor promedio en el intervalo de tiempo impuesto por el transitorio. A pesar de que era posible analizar más requisitos en el diseño, como tensiones *PTAT*, índices de inversión y hasta sensibilidades; la verificación se limitó a revisar solo la corriente, para poder obtener un mayor rango de prototipos de fuentes.

En caso de obtenerse una fuente de corriente con una corriente de referencia constante en el dominio del tiempo, se procedía a analizar su sensibilidad ante la variación del voltaje de alimentación mediante la simulación *CD*. Al variar el voltaje de alimentación ( $V_{DD}$ ) se obtiene una recta con pendiente positiva, en la curva  $I_{REF}$  versus  $V_{DD}$ . Dicha pendiente permite calcular la sensibilidad de  $I_{REF}$  ante  $V_{DD}$ . El consumo de potencia es tomado de los reportes generados por el simulador por una rutina en software.

Luego de que se han obtenido los tres valores de aptitud, estos son tomados por la biblioteca *LTI-Lib* para construir el *frente de Pareto*, según análisis de puntos dominados y no dominados. Previo al envío de los tres *fitness* deben realizarse algunas modificaciones en los archivos fuente de las *clases* encargadas de los archivos genéticos y *frente de Pareto*. Por supuesto, es necesario especificar cada uno de los parámetros del circuito para los algoritmos genéticos. Los valores de aptitud deben ser definidos, así como sus rangos de variación. Seguidamente se muestra un fragmento de código que muestra como se definió cada uno de los rangos de

variación.

```
paretoFrontTester::paretoFrontTester(): paretoFront() {
  minValues.L1 = 2;
  minValues.W1 = 0.8;
  ...
  minValues.Lx = 2;
  minValues.Wx = 0.8;

  maxValues.L1 = 50;
  maxValues.W1 = 30;
  ...
  maxValues.Lx = 30;
  maxValues.Wx = 30;
}
```

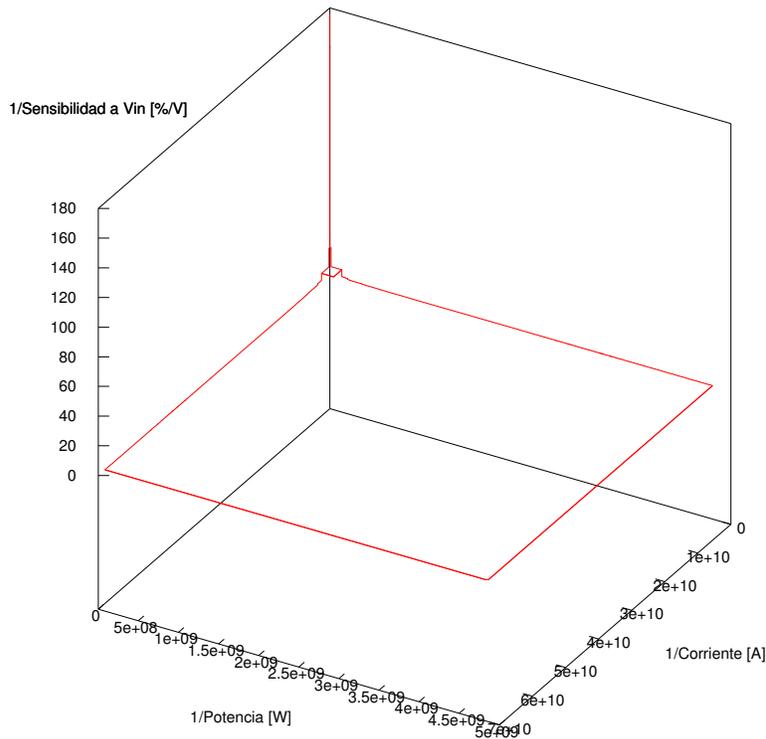
Los valores mínimos son establecidos según la tecnología *CMOS* de  $0.5\mu m$ . Aspectos como la cantidad de iteraciones, también son configurables. Para efectos de las optimizaciones realizadas, se definieron 40000 simulaciones. El siguiente texto pertenece a un *script* que resume datos de configuración del proceso de optimización.

```
((crossoverProbability 0.7)
(initialMutationRate -5)
(finalMutationRate -1)
(mutationDecayRate 33.3808200696)
(externalPopulationSize 5000)
(internalPopulationSize 10)
(fitnessSpaceDimensionality 3)
(numOfIterations 4000)
(logAllEvaluations #t)
(fitnessSpacePartition 32)
(sortResult #t)
(logFront #t)
(logFilename "pareto.log"))
```

### 6.1.3 Resultados de optimización

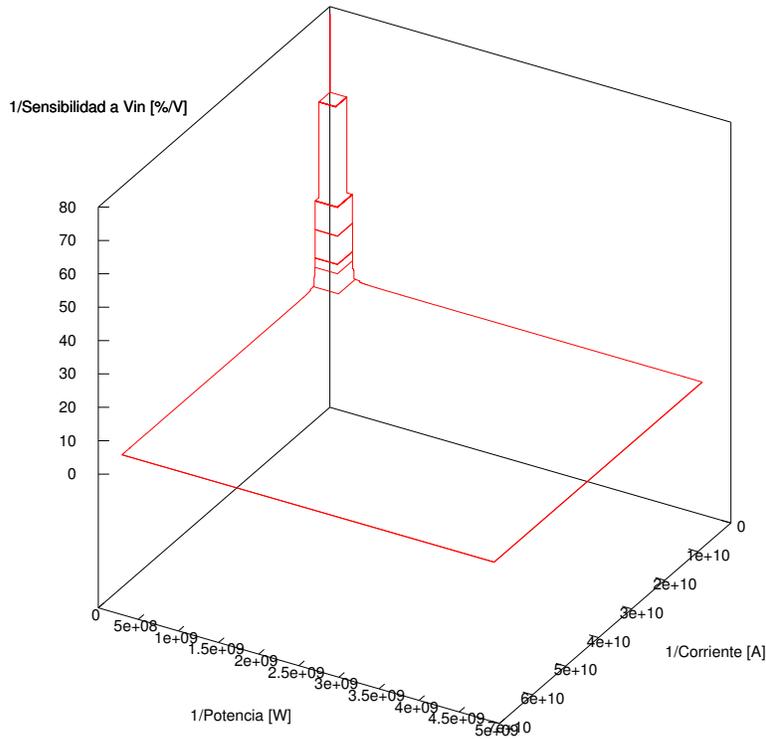
Al concluir el proceso de optimización de cada una de las topologías de apilado, la herramienta facilitó un *frente de Pareto*. Este frente contiene los valores de aptitud más óptimos para cada configuración.

La figura 6.2 y la figura 6.3 contienen la representación gráfica de los frentes. Se detalla que la región que contiene resultados válidos es mucho mayor en la figura 6.3 que pertenece al esquema de *Apilado II*. Con la optimización se pretende que tanto la corrientes de referencia, la potencia de salida y la sensibilidad al voltaje de alimentación sean las mínimas posibles. La herramienta diseñada por [3] opera con valores crecientes, por lo cual se trabajó con los inversos de los valores de aptitud y por eso las figuras de *frente de Pareto* muestran valores tan altos en sus escalas.



**Figura 6.2:** Frente de Pareto para optimización según *Apilado I*.

Después de analizar los resultados de los *fitness* en los frentes, fue posible elegir tres prototipos de fuentes para cada esquema de apilado. La tabla 6.1 resume los principales parámetros de las fuentes. Las fuentes *I*, *II* y *III* pertenecen al esquema de *Apilado I*, mientras que las fuentes *IV*, *V* y *VI* obedecen al sistema de *Apilado II*. La sensibilidad de  $I_{REF}$  ante la



**Figura 6.3:** Frente de Pareto para optimización según *Apilado II*.

variación de la temperatura, se calculó una vez finalizado el proceso de optimización.

**Tabla 6.1:** Parámetros de mejores *SBCSs* obtenidas mediante la optimización con base a esquemas de *Apilado I* y *Apilado II*.

Fuente	I	II	III	IV	V	VI
$I_{REF}$ [ $\mu A$ ]	245.64	303.95	337.99	254.68	217.33	218.46
$P_{OUT}$ [ $\eta W$ ]	4	4.96	5.52	4.13	3.11	3.54
Sens a $V_{DD}$ [%/V]	4.32	4	3.14	6.19	7.59	7.8
Sens a $T$ [%/°C]	0.3	0.26	0.49	0.37	0.77	0.81
Área mínima [ $\mu m^2$ ]	28013.28	22890.04	48502.32	7902	22731.36	22776.4

La tabla 6.2 presenta las dimensiones de los transistores para los dos diseños de fuentes *SBCS* elegidos; se seleccionó una fuente por sistema de apilado. Las fuentes se eligieron, con base a sus sensibilidades y sus áreas estimadas. Para el esquema de *Apilado I* se eligió la *fuente I* (ver convención de tabla 6.1), y para el esquema de *Apilado II*, la *fuente IV* fue la escogida.

**Tabla 6.2:** Dimensiones de transistores para *SBCS*s obtenidas mediante optimización, usando ambos esquemas de apilado.

Transistor	Apilado I		Apilado II	
	W [ $\mu m$ ]	L [ $\mu m$ ]	W [ $\mu m$ ]	L [ $\mu m$ ]
$M_1$	1.8	69.2	0.9	45
$M_2$	2.9	13.6	7	23
$M_3$	1.7	10.4	0.9	25
$M_4$	22.7	24.6	22	6
$M_P$	18.3	19.4	10	10
$M_X$	5.1	12.3	10	10

Los índices de inversión del diseño *SBCS* se muestran en la tabla 6.3 para ambos procesos de optimización. Cabe destacar, que ambos diseños concordaron con el análisis teórico en el hecho de que  $M_1$  debe operar en inversión moderada, de ahí que se hayan obtenido sensibilidades bajas ante el voltaje de alimentación y ante la temperatura en ambos prototipos de fuentes. Los restantes niveles de inversión ubican a todos los transistores en inversión débil, y esto establece una discrepancia en cuanto a lo expuesto por el análisis teórico de la topología en el capítulo 5. Los resultados de la optimización de la topología de una fuente de corriente auto-polarizada han demostrado que el transistor  $M_2$  no necesita operar en inversión moderada para obtener una corriente de referencia constante en el dominio del tiempo con sensibilidades bajas.

**Tabla 6.3:** Corrientes de *drain* ( $I_D$ ) e índices de inversión ( $i_f$ ) para diseño *SBCS* de *Apilado I* y *Apilado II*.

Transistor	Apilado I		Apilado II	
	$I_D$ [pA]	$i_f$	$I_D$ [pA]	$i_f$
$M_1$	450.39	14.69125	472.84	8.02390
$M_2$	242.71	0.96575	250.76	0.27963
$M_X$	477.90	0.09922	495.18	0.23342
$M_3$	243.49	0.00896	251.61	0.00116
$M_4$	245.64	0.02933	255.04	0.00433
$M_P$	238.40	0.01951	244.93	0.00260

Las tensiones *drain-source* mínimas fueron registradas para las dos prototipos de fuentes, y en ambos circuitos corresponden a las tensiones  $V_{DS}$  de los transistores  $M_1$  y  $M_3$ . Para la fuente según el sistema de *Apilado I*, las tensiones están en el orden de los 188mV, y para

la fuente según el esquema de *Apilado II* tienen valores aproximados a los  $344mV$ . Por lo tanto, la herramienta de optimización obtuvo diseños de fuentes funcionales en donde ningún transistor opera en zona de *triode*; puesto que sus tensiones  $V_{DS}$  son superiores al límite entre las regiones de *triode* y saturación ( $100mV \cong 5\phi_t$ ). Los diseños de fuentes optimizados prescinden de tensiones *PTAT*, y demuestran que la generación de estas tensiones no es necesario; al establecer tensiones de  $V_{DS}$  para los *SCMs* en la región de *saturación*.

El hecho de que el transistor  $M_2$  opere en inversión débil y que ningún transistor opere en *triode* permite constatar que el espacio de análisis con el cual consta una herramienta de optimización permite contemplar supuestos que desde un inicio según desarrollos teóricos se hubiesen desechado, y que siempre es posible obtener resultados satisfactorios. Cuando se estableció en el optimizador solo el requisito de verificar la forma de onda de la corriente se abrió la oportunidad a la obtención de resultados como los anteriores, que ponen en contraste la teoría con la práctica experimental.

Las diferencias entre los resultados anteriores y los del capítulo 5 pueden atribuirse a la mayor capacidad de análisis que posee la herramienta, puesto que sus algoritmos le permiten evolucionar en pro de conseguir su objetivo. El análisis teórico demostró ser de gran utilidad y acertado con sus resultados, sin embargo la herramienta brinda una mayor capacidad de exploración del conjunto de parametrizaciones para dimensionar una fuente y obtener los requisitos más óptimos.

La fuente de corriente resultante de la optimización del esquema de *Apilado II*, más específicamente la *fuentes IV* (ver tabla 6.1), demostró ser el diseño más robusto, por el balance que posee entre sus parámetros. A pesar de que otros diseños, poseen menores sensibilidades, este prototipo domina y cumple a cabalidad con las especificaciones, y se consideró como el mejor diseño para la topología *SBCS*.

## 6.2 Layout de fuente de corriente

El layout o trazado de la fuente de corriente auto-polarizada se realizó principalmente empleando las técnicas de apilado y multidedo. Se aplicó un diseño modular para facilitar los procesos de verificación de reglas de diseño (DRC) y comparación entre layout versus esquemático (LVS). Aspectos referentes al proceso de diseño, construcción y simulación del layout de la fuente de corriente han sido analizados en este capítulo.

### 6.2.1 SBCS elegida

En apartados anteriores se obtuvieron distintas topologías de fuentes *SBCS* según un método analítico y un proceso de optimización para dos esquemas de apilado. En el capítulo 5 a partir del análisis teórico de la topología de la fuente de corriente, se propuso un diseño final a considerar para una eventual implementación del layout. De igual manera, en este capítulo, mediante un proceso de optimización multiobjetivo se propuso una nueva topología con mejores parámetros. Éste último diseño se seleccionó como el apropiado para la etapa de trazado, y en la siguiente tabla se resumen sus parámetros:

**Tabla 6.4:** Parámetros de *SBCS* obtenida mediante la optimización con base a esquema de *Apilado II*, para la implementación del layout.

$I_{REF}$ [pA]	$P_{OUT}$ [ $\eta W$ ]	Sens a $V_{DD}$ [%/V]	Sens a $T$ [%/°C]	Área mínima [ $\mu m^2$ ]
254,68	4,13	6,19	0.37	7902

En la tabla 6.5 se presenta un resumen de las dimensiones de los transistores que conforman la fuente de corriente; de acuerdo con el circuito para fuente de corriente auto-polarizada que se ha venido exponiendo.

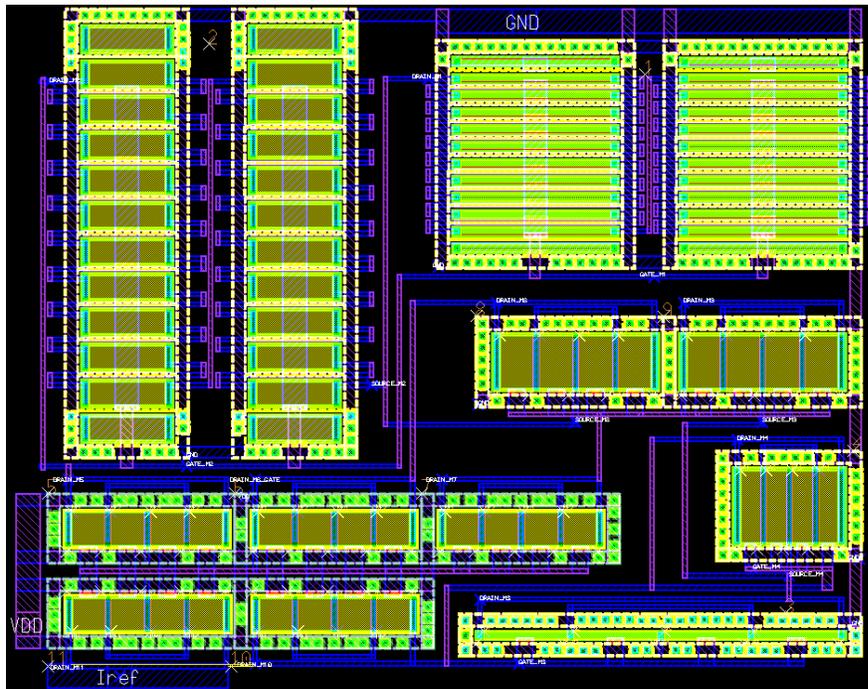
**Tabla 6.5:** Dimensiones de transistores para *SBCS* a implementar en layout.

<b>Transistor</b>	W [ $\mu m$ ]	L [ $\mu m$ ]
$M_1$	0.9	45
$M_2$	7	23
$M_3$	0.9	25
$M_4$	22	6
$M_P$	10	10
$M_X$	10	10

## 6.2.2 Consideraciones de construcción

En el diseño del layout de la fuente de corriente se implementó la técnica de apilado para los transistores  $M_1$  y  $M_2$ , por la cantidad de los transistores que los conforman (20 por cada uno) y por su carácter de transistores largos. La técnica de layout interdigitado se utilizó para los transistores  $M_3$  a  $M_{11}$ .

Los transistores  $M_1$  y  $M_2$  se dividieron cada uno en dos columnas, tomando como referencia técnicas de asociaciones trapezoidales sugeridas por [7]. La figura 6.4 muestra el diseño del layout.



**Figura 6.4:** Layout de fuente de corriente *SBCS*,  $258.77\mu\text{m}$  por  $204.33\mu\text{m}$ .

La fuente tiene un área de  $0.052\text{mm}^2$ , lo que para un *CI* de  $9\text{mm}^2$  equivale a  $0.57\%$  del área total. En la figura 6.4 son visibles los puertos del bloque de layout definitivo de la fuente *SBCS*. Los puertos son voltaje de alimentación (*VDD*), corriente de referencia (*Iref*) y tierra (*GND*).

La tabla 6.6 muestra las longitudes de los transistores, una vez que han sido extraídas del layout realizado. Estas longitudes difieren como máximo en un  $0.71\%$  para el caso de *W2*, mientras que en los otros casos permanecen constantes. La extracción de parámetros fue el paso previo a la simulación post-layout, la cual se detalla en la siguiente sección.

**Tabla 6.6:** Dimensiones de transistores para *SBCS* post-layout.

Transistor	W [ $\mu m$ ]	L [ $\mu m$ ]
$M_1$	0.9	45
$M_2$	7.05	23.1
$M_3$	0.9	25.05
$M_4$	22.05	6
$M_P$	10.05	10.05
$M_X$	16.05	10.05

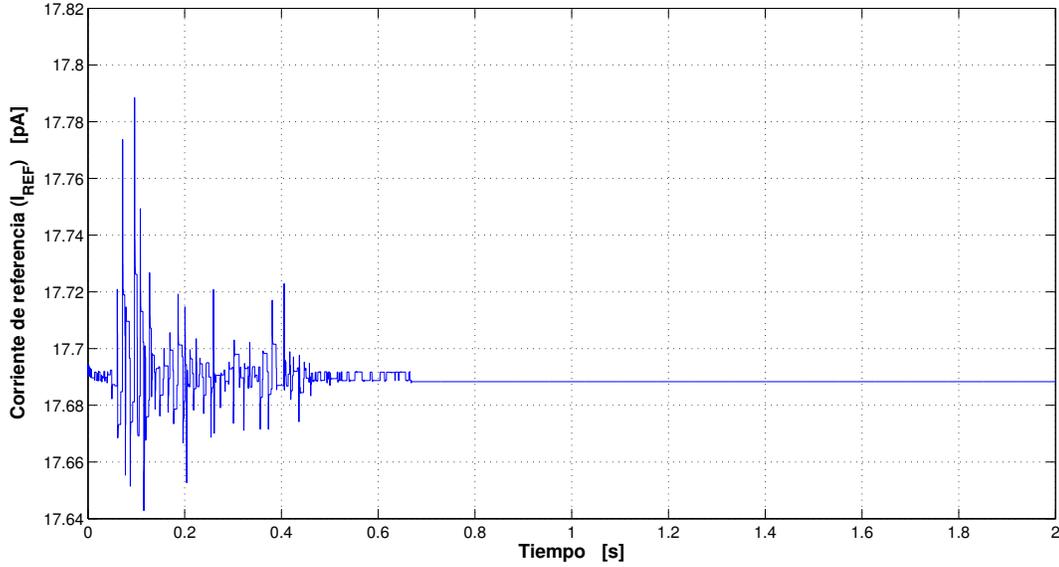
### 6.2.3 Simulaciones post-layout

Los mismos análisis implementados en el capítulo anterior para simulaciones, se aplicaron al layout de la fuente. Se extrajo un modelo *spice* del layout final de la fuente; dicho modelo contiene aproximaciones de variables físicas del proceso y brinda una excelente representación del comportamiento post-fabricación de la fuente de corriente. A partir de ese modelo *spice* se inició el proceso de simulación, en contraste con el modelo *spice* del esquemático. El modelo *spice* del layout difiere del modelo *spice* del esquemático en los valores de las longitudes de los canales de los transistores y en la consideración de resistencias y capacitancias parásitas.

Para el layout de la figura 6.4 se realizó el análisis de transitorio y *CD*. La implementación del layout del transistor  $M_3$  inicialmente se realizó mediante la técnica de transistores apilados, sin embargo los resultados de las simulaciones post-layout no demostraron un diseño funcional, como se aprecia en la figura 6.5.

Se extrajo el modelo *spice* del layout de cada transistor, para realizar simulaciones y analizar el impacto del layout de cada transistor sobre el desempeño de la fuente. El transistor  $M_3$  provocó la mayor desviación sobre la corriente de referencia, resultando un valor de  $189pA$  de  $254.68pA$  esperados. Los restantes transistores produjeron variaciones menores al 2% en la corriente de referencia de  $254.68pA$ . Se determinó que el modelo *spice* de  $M_3$  presentó valores muy altos de resistencias (mayores a  $80\Omega$ ) y capacitancias, que impidieron un desempeño correcto de la simulación post-layout; como se demostró en la figura 6.5. Por este motivo, se decidió implementar el layout del transistor  $M_3$  mediante la técnica multidedo.

Las curvas del modelo *spice* del esquemático de la fuente y las curvas del modelo *spice* del layout han sido presentadas en una misma figura para facilitar la comparación. La corriente de referencia ( $I_{REF}$ ) para un transitorio de dos segundos se presenta en la figura 6.6. La corriente de referencia post-layout tiene un porcentaje de error respecto a la corriente de referencia del esquemático de 0.368%. Las figuras 6.7 y 6.8 presentan las sensibilidades de la corriente de referencia ante variaciones del voltaje de alimentación y la temperatura.



**Figura 6.5:** Corriente de referencia post-layout para *SBCS*, con transistor  $M_3$  implementado mediante layout apilado.

La sensibilidad de la corriente de referencia ante el voltaje de alimentación del análisis del modelo *spice* del layout se mantiene por debajo de un  $6.49\%/V$ , lo mismo sucedió con la sensibilidad del modelo *spice* del esquemático. La regulación de la corriente de referencia con respecto a la temperatura para ambos modelos está por debajo del  $1\%/^{\circ}C$ .

La tabla 6.7 contiene un resumen de las especificaciones de los parámetros del layout de la fuente de corriente auto-polarizada, mismos que cumplen con todos los requisitos impuestos en el capítulo 2.

**Tabla 6.7:** Parámetros del diseño final de layout de fuente de corriente auto-polarizada. Obtenida mediante optimización con base a esquema de *Apilado II*.

Parámetro	Valor	Unidad
$V_{DD}$	3.3	V
$I_{REF}$	253.741	$\mu A$
$P_{OUT}$	4.116	$\eta W$
Sensibilidad de $I_{REF}$ a $V_{DD}$	6.62	$\%/V$
Sensibilidad de $I_{REF}$ a T	0.5	$\%/^{\circ}C$
Área Layout	0.052	$mm^2$

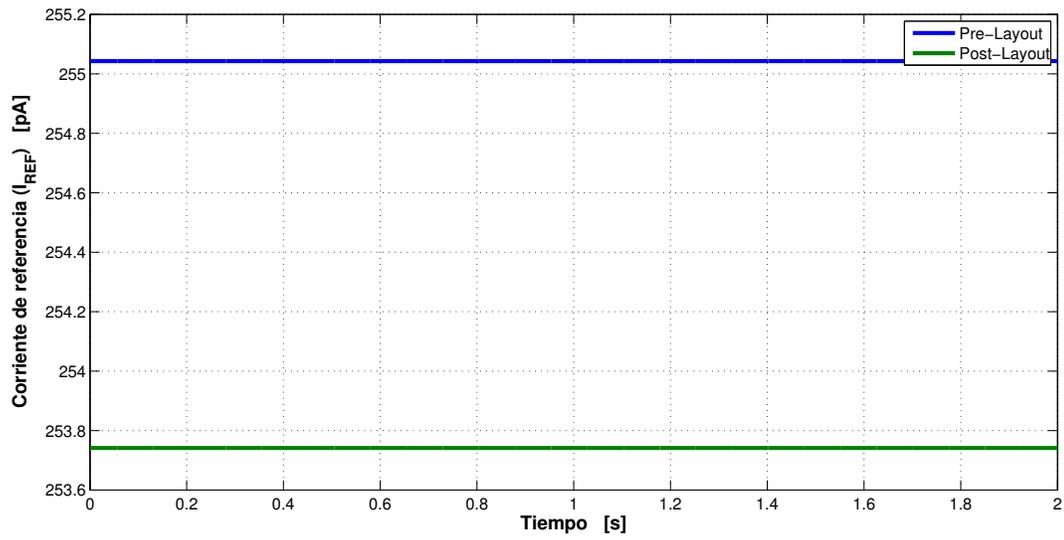


Figura 6.6: Corriente de referencia.

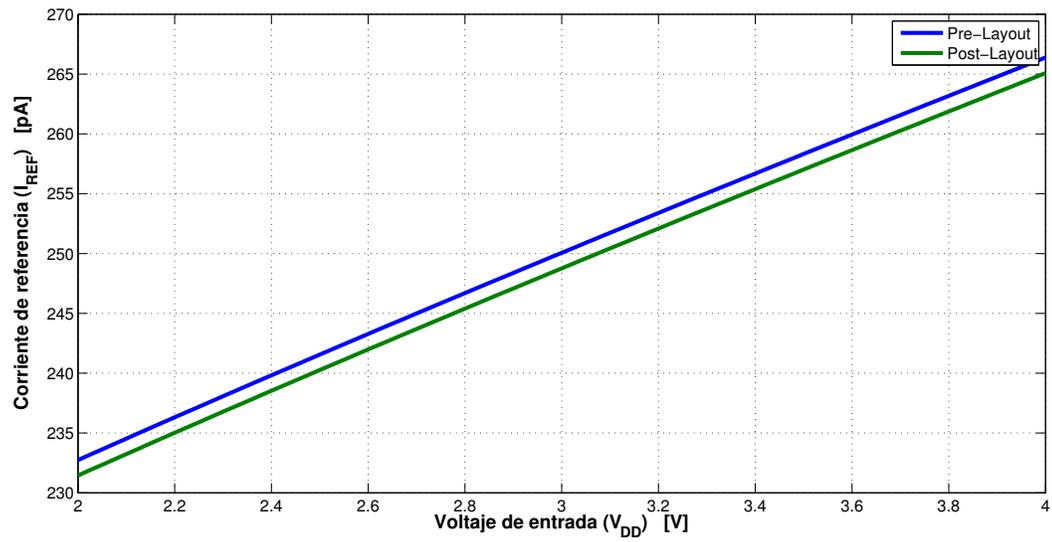


Figura 6.7: Corriente de referencia en función del voltaje de entrada.

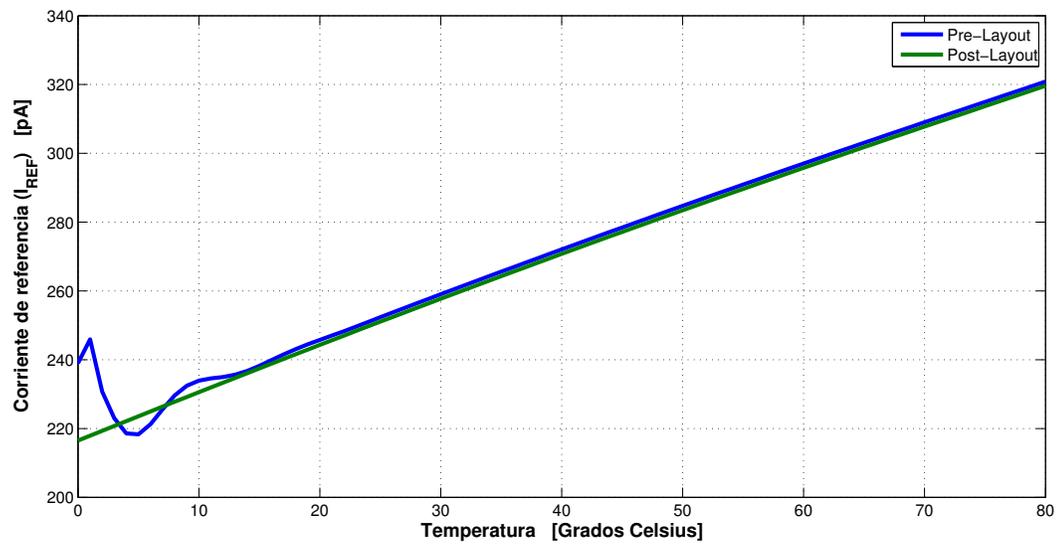


Figura 6.8: Corriente de referencia en función de la temperatura.

## 6.3 Conclusiones del capítulo

Al concluir el análisis de resultados de esta sección, se puede concluir que:

1. Mayores asociaciones de arreglos de transistores reducen las sensibilidades de la corriente de referencia.
2. La herramienta de optimización demostró que el transistor  $M_1$  debe operar en inversión moderada.
3. Los resultados de optimización demostraron que el transistor  $M_2$  puede operar en inversión débil.
4. Todos los transistores de la fuente obtenida por optimización operan en la zona de saturación.
5. La técnica de layout apilado aumenta la resistencia parásita en el *gate* de los transistores.
6. La implementación del layout tipo apilado puede separarse según asociaciones trapecoidales.
7. La técnica de layout multidedo reduce resistencias parásitas.

# Capítulo 7

## Conclusiones y recomendaciones

### 7.1 Conclusiones

En general, se puede concluir de este informe que:

1. El análisis teórico de una fuente de corriente auto-polarizada permitió dimensionar un conjunto de topologías funcionales de acuerdo con los requisitos impuestos en los objetivos.
2. La herramienta de optimización produjo prototipos de fuentes de corriente con menores corrientes de referencia, menores consumos de potencia y menores sensibilidades a la temperatura y al voltaje de alimentación que los prototipos diseñados a partir del análisis teórico.
3. Mediante el proceso de optimización se dimensionó una fuente de corriente auto-polarizada bajo la topología *SBCS* en tecnología *CMOS*  $0.5\mu m$  que genera una corriente de referencia de  $253pA$ .
4. La fuente de corriente *SBCS* optimizada demostró ser una topología de ultra-baja potencia con un consumo inferior a los  $4.1\eta W$  a un voltaje de alimentación de  $3.3V$ .
5. El diseño obtenido para la fuente de corriente tiene una sensibilidad al voltaje de alimentación menor a  $6\%/V$  y una regulación ante la temperatura inferior a  $0.5\%/^{\circ}C$ .
6. El área de silicio de la fuente de corriente propuesta es inferior a  $0.052mm^2$ .

## 7.2 Recomendaciones

Sería útil considerar los siguientes puntos ante la tarea de diseñar una fuente de corriente auto-polarizada basada en la topología *SBCS*:

1. Emplear la herramienta de optimización en un análisis del índice de inversión del transistor  $M_2$ , para determinar su efecto sobre el desempeño de la fuente de corriente.
2. Implementar una metodología de análisis para las zonas de operación (triodo y saturación) de los transistores  $M_1$  y  $M_3$  mediante la herramienta de optimización, para determinar su efecto sobre la fuente de corriente auto-polarizada.
3. Estudiar la manera de brindar a la herramienta de optimización la opción de poder realizar dos simulaciones *CD* a la vez, para analizar las sensibilidades ante el voltaje y ante la temperatura para una misma iteración del proceso.
4. Plantear el mínimo esquema de apilamiento posible para el circuito de la fuente de corriente, que permita obtener resultados fiables, y reducir así el número de transistores.
5. Rediseñar el layout de la fuente en búsqueda de una reducción del área de silicio.

# Bibliografía

- [1] M. Cherem Schneider A. I. A Cunha and C. Galup-Montoro. An MOS transistor model for analog circuit design. *IEEE J.Solid-State Circuits*, 33:1510–1519, oct 1998.
- [2] P. Alvarado and P. Doerfler. Lti image processing library [online]. 1998 [visitado el 22 de junio de 2011]. URL <http://ltilib.sourceforge.net/doc/homepage/index.shtml>.
- [3] R. Pereira P. Alvarado and W. Krautschneider. Design of a MCML Gate Library Applying Multiobjective Optimization. *IEEE.Computer Society Annual Symposium on VLSI*, 2007.
- [4] R. Jacob Baker. *Circuit Design, Layout and Simulation*. Wiley-Interscience, 2005.
- [5] M. Cherem Schneider C. Galup-Montoro. *Mosfet Modeling for Circuit Analysis and Design*. World Scientific, 2006.
- [6] A. Chacón. *Circuitos Integrados de Bajo Consumo de Potencia para Detección y Localización de Disparos de Armas de Fuego*. PhD thesis, Universidad Nacional de Mar del Plata Argentina, Argentina, 2009.
- [7] C. Galup-Montoro M. Camacho-Galeano and M. Cherem Schneider. A 2-nW 1.1-V Self-Biased Current Reference in CMOS Technology. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 52:61–65, feb 2005.
- [8] C. Galup-Montoro M. Camacho-Galeano and M. Cherem Schneider. Temperature performance of sub-1V ultra-low power current sources. *IEEE Transcations on Circuits and Systems II: Express Briefs*, 52:2230–2233, may 2008.
- [9] C. Galup-Montoro M. Cherem Schneider. *CMOS Analog Design Using All-Region MOS-FET Modeling*. Cambridge University Press, 2010.
- [10] B. Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw Hill, 2000.
- [11] F. Serra-Graells and J. L. Huertas. Sub-1-V CMOS proportional-to-absolute temperature references. *IEEE J.Solid-State Circuits*, 38:84–88, jan 2003.

- 
- [12] Y. Tsividis. *Mixed Analog-Digital VLSI Devices and Technology*. World Scientific Publishing Co. Pte. Ltd, 2002.
- [13] E. A. Vittoz and C. C. Enz. CMOS low-power analog circuit design. *in Proc. Int. Symp. Circuits Syst. (ISCAS'96)*, pages 79–133, jun 1996.

# Índice alfabético

Advanced Compact MOSFET, 7  
arranque , 7  
dummy, 13  
layout, 12  
mismatch aleatorio, 13  
mismatch sistemático, 13  
PESA, 14  
PTAT, 9

apareamiento, 19

corriente de normalización, 8  
corriente específica, 8

espejo de corriente, 6

fitness, 37  
frente de Pareto, 14

inversión débil, 9  
inversión fuerte, 9  
inversión moderada, 9

layout apilado, 13  
layout multidedo, 13  
LTI-Lib, 36

matching, 19

nivel de inversión, 8

saturación, 9  
SBCS, 10  
SBS, 6  
SCE, 9  
SCM, 9

SoC, 2

topología asimétrica, 11  
topología simétrica, 11  
triodo, 9

valores de aptitud, 36