

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica



**Diseño de una unidad de preprocesamiento de señales impulsivas
basada en un filtro haar**

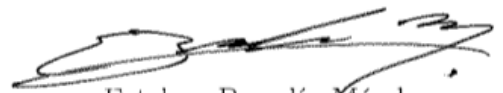
Informe de Proyecto de Graduación para optar por el título de
Ingeniero en Electrónica con el grado académico de Licenciatura

Esteban Baradín Méndez

Cartago, 22 de junio, 2011

Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía he procedido a indicar las fuentes mediante las respectivas citas bibliográficas. En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



Esteban Baradín Méndez

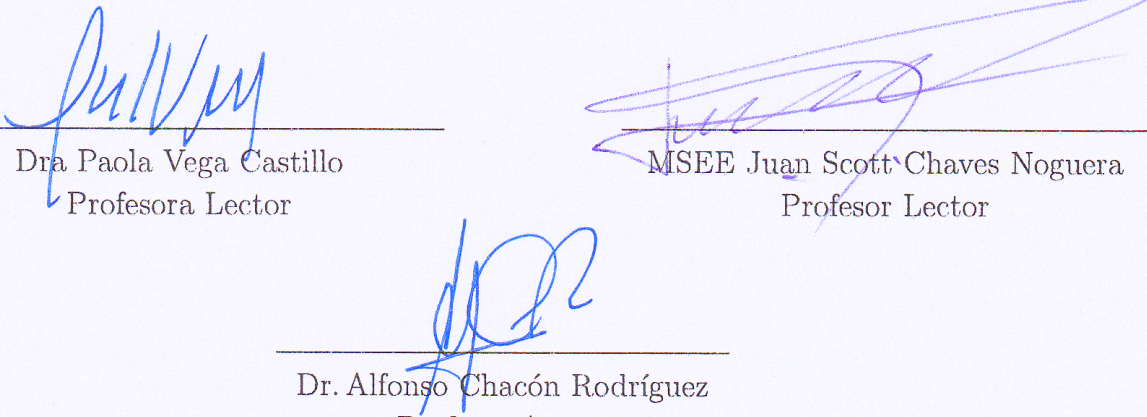
Cartago, 22 de junio de 2011

Céd: 1-1226-0840

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería Electrónica
Proyecto de Graduación
Tribunal Evaluador

Proyecto de Graduación defendido ante el presente Tribunal Evaluador como requisito para optar por el título de Ingeniero en Electrónica con el grado académico de Licenciatura, del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal



Dra Paola Vega Castillo
Profesora Lector

MSEE Juan Scott Chaves Noguera
Profesor Lector

Dr. Alfonso Chacón Rodríguez
Profesor Asesor

Los miembros de este Tribunal dan fe de que el presente trabajo de graduación ha sido aprobado y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica.

Cartago, 23 de junio de 2011

Resumen

La detección de disparos de armas de fuego en el bosque, mediante una red de nodos inalámbrica, requiere un diseño específico que garantice precisión y bajo consumo de potencia. El análisis de señales impulsivas puede ser realizado mediante diferentes aproximaciones, una de ellas es la ondita discreta de haar. El presente documento trata de la implementación en un circuito VLSI de un filtro basado en la ondita haar en un circuito de señal mixta usando capacitores conmutados.

Palabras clave: circuito de señal mixta, capacitores conmutados, VLSI, consumo de potencia, verificación

Abstract

Detection of shooting guns in the woods, through a network of wireless nodes, requires a design that guarantees specific precision and low power consumption. The analysis of impulse signals can be performed using different approaches, one is the haar discrete wavelet. This document discusses the implementation in a VLSI circuit a filter based on haar wavelet in a mixed-signal circuit using switched capacitors.

Keywords: mixed signal circuit, VLSI, switched capacitors, power consumption, circuit verification.

*A mis queridos
padres, a quien les debo mis logros pasados, presentes y futuros.
Y a mi querido suegro de quien aprendí tanto en el poco tiempo
que Dios me lo permitió.*

Agradecimientos

En primer lugar agradezco a Dios por todas las bendiciones otorgadas día a día, por la fortaleza, la fe y la confianza que me permitió dar cada paso de manera firme y cautelosa.

A mis padres por su gran cariño y su gran esfuerzo para que yo pudiera llegar donde estoy, sin su apoyo total, completo y desinteresado no hubiera sido posible lograr salir adelante.

A mi familia por su gran apoyo y ejemplo. A mi novia, por estar siempre ahí en las buenas y en las malas y por comprender aquellos momentos donde el tiempo era escaso.

A mi profesor tutor Alfonso Chacón por su orientación durante el desarrollo de este proyecto y por sus enseñanzas tanto las académicas como las cotidianas.

A mis profesores en general, por sus apoyo, tiempo y conocimiento.

A mis compañeros Jose Pablo, Dave, Berny, Jairo y Jose, por su gran ayuda durante el trabajo que hicimos en nuestros proyectos de investigación en el DCILab, les deseo los mejores éxitos en su vida personal y profesional.

A todos mis compañeros y compañeras, amigos y amigas que conocí a lo largo de la carrera, hemos establecido lazos que son difíciles de romper y perdurarán con el tiempo, pasamos pruebas muy duras, exámenes muy terribles, alegrías que llenan el vacío que dejaron otros sinsabores.

Esteban Baradín Méndez

Cartago, 23 de junio de 2011

Índice general

Índice de figuras	iii
Índice de tablas	v
1 Introducción	1
1.1 Contexto del proyecto	1
1.1.1 Generalidades	1
1.1.2 El algoritmo de detección	3
1.1.3 Transformada discreta de onditas (DWT)	4
1.2 El Problema	5
1.3 Solución Propyectada	6
2 Meta y objetivos	7
2.1 Meta	7
2.2 Objetivos	7
2.2.1 Objetivo general	7
2.2.2 Objetivos específicos	7
3 Marco Teórico	9
3.1 Capacitores conmutados (SWC)	9
3.1.1 Generalidades	9
3.1.2 Muestreo	12
3.1.3 Velocidad y precisión	12
3.2 Diseño de layout con SWC	14
3.2.1 Consideraciones para el diseño del layout	15
3.2.2 Estructura de layout para circuitos SWC	17
4 Diseño del filtro en cascada haar	19
4.1 Determinación de la fuente del error	19
4.1.1 Diseño de un filtro LPF	19
4.1.2 Calibración del banco de medición del circuito integrado versión 1	21
4.1.3 Verificación del comportamiento del circuito integrado	21
4.2 Rediseño del circuito integrado	24
4.2.1 Rediseño del cascodo	24
4.2.2 Diseño de las unidades de cálculo de coeficientes y muestreo	28

4.2.3	Rediseño del layout general	31
4.3	Pruebas realizadas	32
5	Conclusiones	35
	Bibliografía	37

Índice de figuras

1.1	Diagrama general de la red de sensores descrita en [1]	2
1.2	Estructura interna del nodo descrita en [1]	2
1.3	Diagrama de la estructura básica del algoritmo de detección descrito en [1]	3
1.4	Diagrama de la estructura básica un banco de filtros Haar descrito en [1]	4
1.5	Diagrama general de los coeficientes a calcular para la detección de disparos, mediante SWC [1]	5
3.1	Diagrama general de un circuito con capacitores conmutados [3]	9
3.2	Circuito SWC con interruptores S_1 y S_3 activados [3]	10
3.3	Circuito SWC con interruptor S_2 activado [3]	10
3.4	Trnasferencia de carga en un SWC [3]	11
3.5	Circuito muestreador básico [3]	12
3.6	Circuito muestreador NMOS y PMOS, esta configuración permite la estabilización del valor de la resistencia interna [3]	13
3.7	Generador de relojes con retardo para igualar las señales de salida e impedir el desfase de las mismas [3]	14
3.8	Diseño de la alimentación de las etapas analógica y digital de un circuito de señal Mixta [2]	16
3.9	Diseño de un blindaje para la protección de circuitos de señal Mixta [2]	16
3.10	Diseño layout para circuitos de señal Mixta [4]	17
4.1	Respuesta en frecuencia de la señal de reloj con $f = 14KHz$	20
4.2	Diagrama del filtro LPF implementado	20
4.3	Respuesta en frecuencia del filtro paso bajos con $f_c = 120KHz$	21
4.4	En azul la señal de reloj original, en rojo la señal de reloj modificada	21
4.5	Coeficiente de aproximación dos para la respuesta del circuito sin filtrar la señal de reloj; dorado: señal de reloj $f = 14KHz$, rojo: coeficiente n, azul: coeficiente p, verde: máquina de estados	22
4.6	Acercamiento a la respuesta del coeficiente de aproximación dos para la respuesta del circuito sin filtrar la señal de reloj; dorado: señal de reloj $f = 14KHz$, rojo: coeficiente n, azul: coeficiente p. verde: máquina de estados	23
4.7	Coeficiente de aproximación 2 - n y p - ante la señal de reloj modificada	23
4.8	Versión uno del circuito integrado	25
4.9	Diagrama propuesto para la version dos del circuito integrado	26
4.10	Diseño del esquemático del circuito del amplificador operacional cascode	26

4.11	Diseño del circuito del amplificador operacional cascode usando transistores apilados	27
4.12	Diseño del cascode dual para las unidades de calculo de coeficientes y muestreadores	27
4.13	Diseño del bloque completo con todos los amplificadores operacionales del filtro haar	28
4.14	Esquemático del circuito del coeficiente de aproximación dos	29
4.15	Esquemático del circuito del coeficiente de aproximación dos implementado .	29
4.16	Diseño de una unidad de cálculo con los amplificadores cascode	30
4.17	Conexiones para integrar interruptores, amplificadores operacionales y banco de capacitores	30
4.18	Diseño de una unidad de cálculo sin los amplificadores cascode siguiendo el diseño de la figura 4.15	30
4.19	Ejemplo de salvaguardas utilizadas en el diseño del filtro haar	31
4.20	Diseño del diagrama total del filtro haar	32
4.21	Diseño del diagrama total del filtro haar	33
4.22	Tensiones de alimentación del circuito versión uno	33
4.23	Tensiones de alimentación del circuito versión dos	34

Índice de tablas

4.1	Valores de los parámetros del filtro de la figura 4.2	20
4.2	Valores de tensión en el banco de pruebas	22
4.3	Consumo de potencia de las dos versiones del circuito integrado	34
4.4	Comparación de las áreas de las dos versiones del circuito integrado	34

Capítulo 1

Introducción

En esta sección, el lector encontrará una introducción al contexto en el cual se desarrolla este proyecto, su importancia, la problemática que se presenta, y las posibles soluciones que se analizarán en el resto del documento.

1.1 Contexto del proyecto

1.1.1 Generalidades

El Instituto Tecnológico de Costa Rica tiene dentro de sus objetivos principales el desarrollo de proyectos de investigación que permitan la generación de conocimiento y tecnología para la solución de problemas existentes dentro de la realidad nacional. Uno de estos problemas es la caza y la tala ilegal en las zonas protegidas, donde personas inescrupulosas burlan a las autoridades y se internan en el bosque con el objetivo de cazar animales, muchos de ellos en peligro de extinción, para fines personales o comerciales; de igual manera sucede con la madera, donde la tala ilegal de especies protegidas generan una alteración del hábitat natural.

La Escuela de Ingeniería Electrónica comparte esta preocupación por lo que ha decidido implementar un proyecto de investigación y desarrollo cuyo objetivo sea proponer un método para detener, o al menos regular, la caza y la tala ilegal en las zonas protegidas de nuestro país. Este proyecto consiste en una red inalámbrica de sensores, de bajo consumo de potencia, cuyo objetivo es el de identificar sonidos de disparos de armas de fuego y de motosierras en un bosque, de forma tal que se pueda determinar su origen y generar una alerta. La figura 1.1 muestra el diagrama general de este proyecto.

Para su desarrollo, este proyecto se dividió en varias etapas, con el fin de poder trabajar sobre cada uno de los diferentes aristas del mismo y poder generar la mejor solución, involucrando en el mismo tanto a profesores como estudiantes. A nivel general, las etapas de este proyecto son: el diseño de los nodos de detección de disparos, el protocolo de comunicación entre los nodos y la inteligencia de la red inalámbrica.

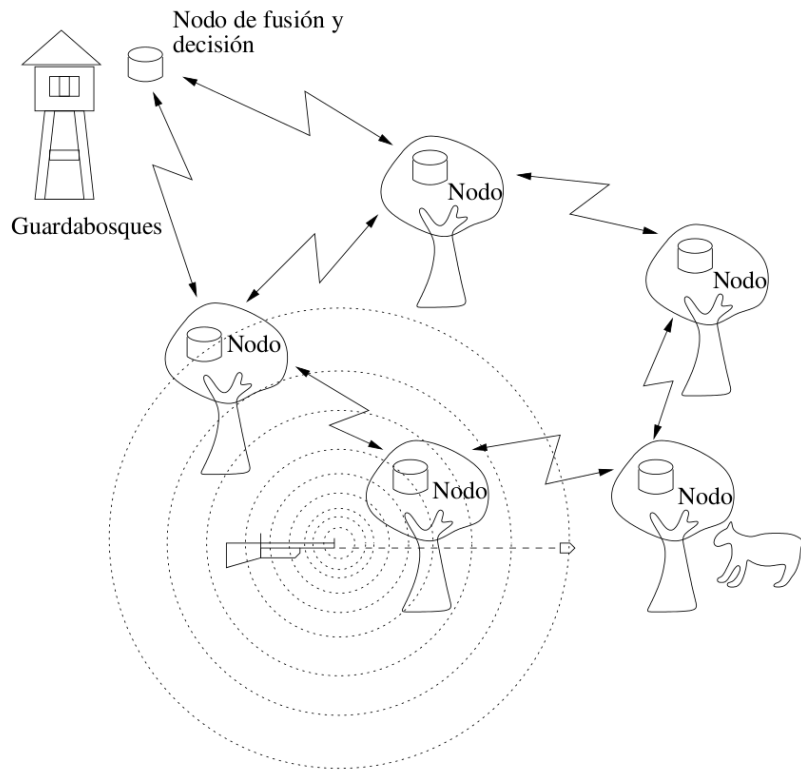


Figura 1.1: Diagrama general de la red de sensores descrita en [1]

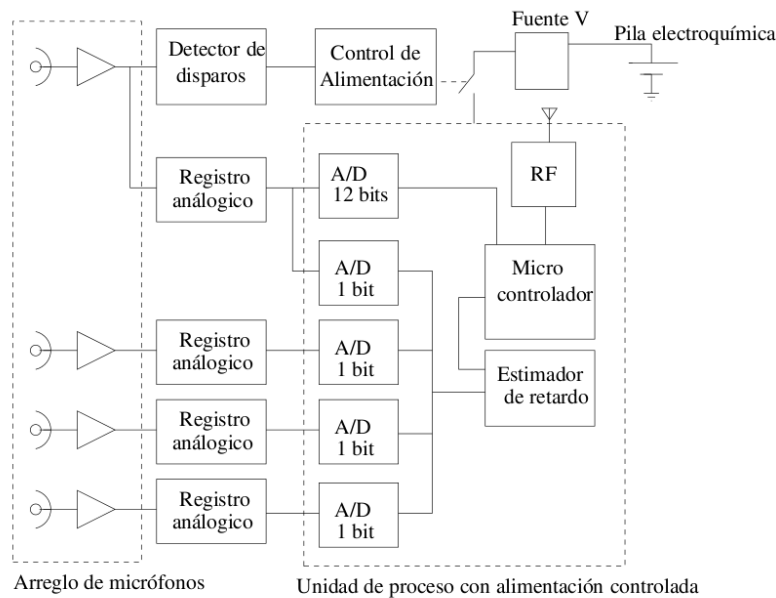


Figura 1.2: Estructura interna del nodo descrita en [1]

La figura 1.2 muestra el diagrama interno de un nodo de la red inalámbrica. Estos nodos tienen las funciones de detección, clasificación y localización de las señales, deben estar especialmente dimensionados para detectar sonidos de disparos de armas de fuego y motosierras,

utilizando algoritmos de procesamiento de señales.

En la figura 1.2 se muestra que existe un arreglo de micrófonos, y posteriormente una etapa de detección de disparos, un control de alimentación encargado de despertar a la unidad de proceso en caso de detección de un disparo y finalmente la unidad de proceso, encargada del procesamiento de la señal, determinación de retardo y comunicación con otros nodos, la comunicación entre nodos permite finalmente determinar el origen del disparo.

Existen requisitos específicos para esta red de sensores, el más importante es el consumo de potencia. Es por esta razón que se ha determinado que muchas partes de este nodo deben ser desarrollados desde cero, bajo el concepto de un ASIC (circuito integrado de aplicación específica).

El detector de disparos captura la señal de entrada y analiza su energía, este proceso se realiza en un circuito como el de la figura 1.3, el cual es un circuito común en el campo de la ingeniería biomédica y en otras aplicaciones que involucran detección y clasificación de eventos de audio impulsivos. Con este esquema la detección se logra comparando una versión preprocesada de la señal y un umbral adaptivo, que puede ser un promedio deslizante (running average) o una estimación RMS de la señal preprocesada según se describe en [1].

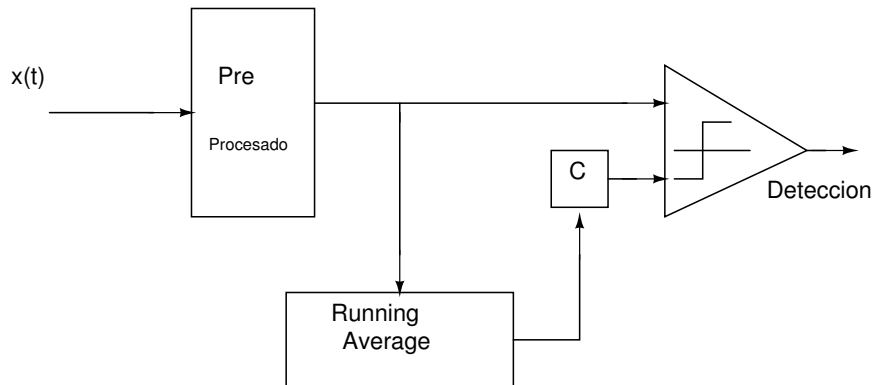


Figura 1.3: Diagrama de la estructura básica del algoritmo de detección descrito en [1]

1.1.2 El algoritmo de detección

Existen muchos algoritmos de detección de señales impulsivas específicamente disparos de armas, debido a necesidades surgidas de la industria, aplicaciones militares y protección ambiental. Estos algoritmos descritos en [1] reportan eficiencias superiores al 90%, sin embargo muchos de ellos son modelos matemáticos o bien requieren un hardware de alto poder, por el procesamiento de datos que se requiere. Por estos motivos, el proyecto se dividió en tres etapas: detección, clasificación y localización. De forma tal que la etapa de detección pueda realizarse con un circuito de aplicación específica (ASIC), que cumpla con las disposiciones de precisión y consumo de potencia requeridas por el proyecto.

Para el caso en estudio un algoritmo de detección simple permite una precisión aceptable, con un bajo consumo de potencia. Lo anterior se concluye tomando en cuenta un disparo en

un bosque es una anomalía por si sola (a diferencia de un campo de batalla), y la clasificación y ubicación por lo tanto no requiere una alta precisión, por contra parte, la portabilidad, el tamaño del nodo y finalmente la vida útil del mismo dada por la duración de la batería, son las limitantes principales del diseño.

Durante la investigación realizada en [1] se mencionan siete diferentes algoritmos de pre-procesamiento, los cuales son sometidos a prueba para determinar aquellos que brinden los mejores resultados según las muestras de datos existentes. Se buscó aquellos algoritmos que tuvieran una relación TPR, FPR cercana a la ideal (1,0) y que además su construcción fuera de complejidad media a simple. Los resultados arrojados por los experimentos permitieron concluir que los algoritmos que cumplen con esta condición fueron:

- Transformada discreta de ondas (DWT) con coeficientes 3,4 y 5.
- Transformada continua de ondas (CWT) con coeficientes 3,4 y 5.

Ambos algoritmos permiten una tasa de detección alta con una complejidad de implementación mediana, según [1].

1.1.3 Transformada discreta de ondas (DWT)

Para el diseño de la primera versión del circuito integrado se implementó una aproximación de detección de señales impulsivas utilizando un banco de ocho niveles con la onda Haar, la señal de entrada se encuentra submuestreada a 7kHz.

Esta estrategia permite tener un banco de filtros para calcular los coeficientes de aproximación y de detalle, en diferentes niveles, relacionados entre sí. El uso de la onda Haar se escogió por la simpleza de su implementación discreta. Los filtros de aproximación de Haar se comportan como un promediador deslizante (filtro pasa bajos de aproximación) mientras que el filtro de detalle se comporta como un diferenciador deslizante (filtro pasa altos de detalles). Estos filtros son complementarios en cuadratura y complementarios en potencia.

El banco de filtros descrito anteriormente se observa en la figura 1.4.

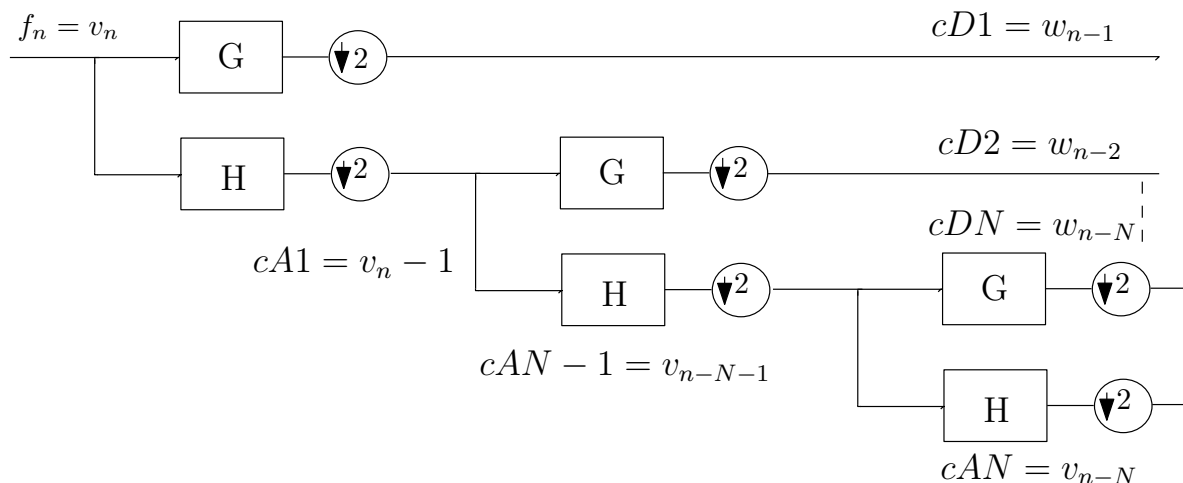


Figura 1.4: Diagrama de la estructura básica un banco de filtros Haar descrito en [1]

El algoritmo implementado necesitó únicamente de analizar el coeficiente de aproximación 2 y los coeficientes de detalle 3, 4 y 5, esto se determinó en [1] mediante algoritmos de análisis en Matlab con muestras de disparos de diferentes armas y calibres de munición.

Tomando en cuenta lo anterior, el circuito final que se propuso su diseño e implementación en [1] es el que se muestra en la figura 1.5. Este circuito realiza un submuestreo y un escalamiento de etapas, y utiliza una única sección de capacitores conmutados. Esta es una adaptación al modelo inicial en cascada, donde únicamente se calculan aquellos coeficientes que aportan valor a la detección. Simplificando el algoritmo de detección y el hardware a implementar.

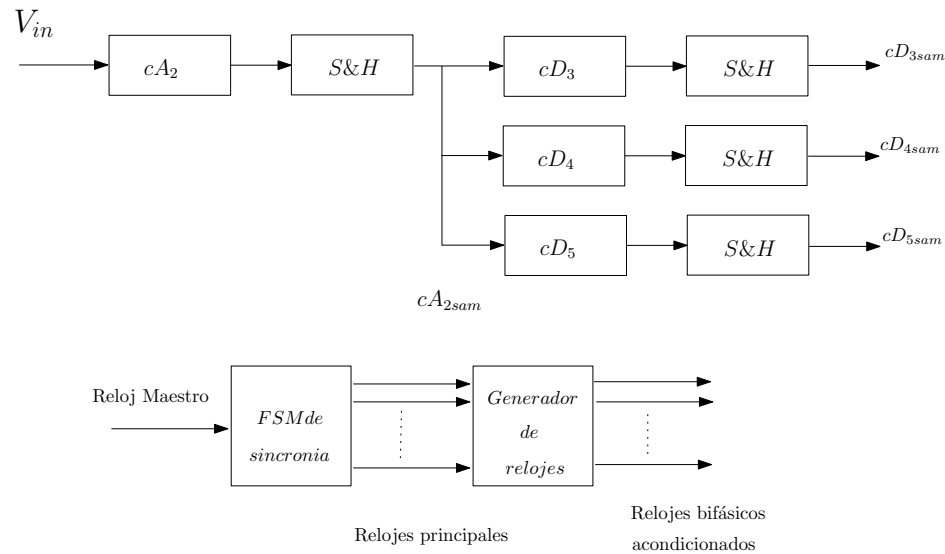


Figura 1.5: Diagrama general de los coeficientes a calcular para la detección de disparos, mediante SWC [1]

El circuito integrado diseñado es un circuito de señal mixta, esto significa que dentro del mismo se encontrarán señales analógicas y digitales. Este diseño requiere de conocimientos específicos para su implementación debido a que por la naturaleza misma de los tipos de señales pueden generarse comportamientos no deseados, por ejemplo: ruido por la interferencia de las señales digitales sobre las señales analógicas.

1.2 El Problema

El circuito de detección de disparos mediante la transformada discreta de onditas (DWT) implementado mediante un filtro cascada de Haar con capacitores conmutados (SWC) no funciona correctamente.

1.3 Solución Proyectada

La primera etapa consiste en diseñar un filtro pasa bajos que permita suavizar la señal de reloj con la que se alimenta el chip. El objetivo de esta prueba es verificar el comportamiento del circuito y así poder aproximar la causa o fuente del error.

Una segunda etapa, dependiente de los resultados de la primera, consiste en investigar sobre el diseño de circuitos de señal mixta, con base en esta investigación, plantear las correcciones necesarias al diseño existente. Estas correcciones pueden variar desde ser superficiales hasta prácticamente un diseño nuevo. Se debe implementar la mejor opción tomando en cuenta la eficiencia del diseño, el consumo de potencia y el comportamiento del diseño.

Finalmente se procederá a realizar un diseño del circuito a nivel de esquemático, para definir los niveles de jerarquía, las partes que lo componen y poder simular su comportamiento. Una vez realizada esta comprobación, se debe proceder al diseño del layout del circuito haciendo uso de las herramientas de diseño de circuitos de alta integración (VLSI) como lo es Mentor Graphics.

El diseño de la capa física permite enviar a fabricar una nueva versión del circuito integrado, bajo la tecnología de 0,5 μ m, esta fabricación se hará a través de la empresa MOSIS.

Como última etapa, se debe dejar documentado un banco de pruebas para el circuito en cuestión, de forma tal que una vez que regrese el circuito de su fabricación, otro investigador pueda probar la calidad y eficiencia del diseño del circuito ya implementado.

Dentro del presente documento se seguirá la siguiente estructura: el capítulo dos hace mención a la meta y a los objetivos planteados para este proyecto. En el capítulo tres, se mencionarán los conocimientos teóricos que fueron investigados para la realización del proyecto. En el capítulo cuatro se exponen las soluciones planteadas para el cumplimiento de los objetivos junto con los resultados y su respectivo análisis. El capítulo cinco expone las conclusiones finales.

Capítulo 2

Meta y objetivos

2.1 Meta

Aportar una unidad de preprocesamiento de señales de disparos de armas de fuego basada en la ondita de Haar, que pueda integrarse al circuito de detección de disparos de armas de fuego del proyecto de investigación de la Escuela de Ingeniería Electrónica del ITCR.

Indicador: El circuito diseñado es compatible con el resto de la unidad en un 98%.

2.2 Objetivos

2.2.1 Objetivo general

Verificar y corregir el diseño de la unidad de preprocesamiento de señales basada en la ondita de Haar del circuito de detección y localización de disparos de armas de fuego, mediante la implementación de un filtro cascada de Haar.

Indicador: Se logra un diseño a nivel de layout de un circuito funcional al 98%

2.2.2 Objetivos específicos

1. Realizar pruebas a la versión uno del circuito para verificar su comportamiento y determinar posibles fuentes de error dentro del mismo.

Indicador: Para una respuesta positiva: el circuito responde con un 90% de eficiencia vs la simulación matemática. Para una respuesta negativa: el circuito responde con una eficiencia menor al 90%.

2. Diseñar un filtro de tipo cascada de haar que tenga una respuesta óptima y que no presente errores de diseño a nivel de su capa física.

Indicador: Se logró una eficiencia del 95% con respecto a la simulación matemática.

3. Lograr un consumo de potencia menor o igual a $50\mu W$ para el filtro en cascada haar.

Indicador: La simulación del circuito indica que su consumo es menor o igual a $50\mu W$

Capítulo 3

Marco Teórico

3.1 Capacitores conmutados (SWC)

3.1.1 Generalidades

Los circuitos con capacitores conmutados permiten el análisis en tiempo discreto de una señal en tiempo continuo. La dinámica de su funcionamiento permite leer la señal de entrada solamente durante un período determinado de tiempo, y producir un valor de salida válido al final de ese intervalo de tiempo. [3]

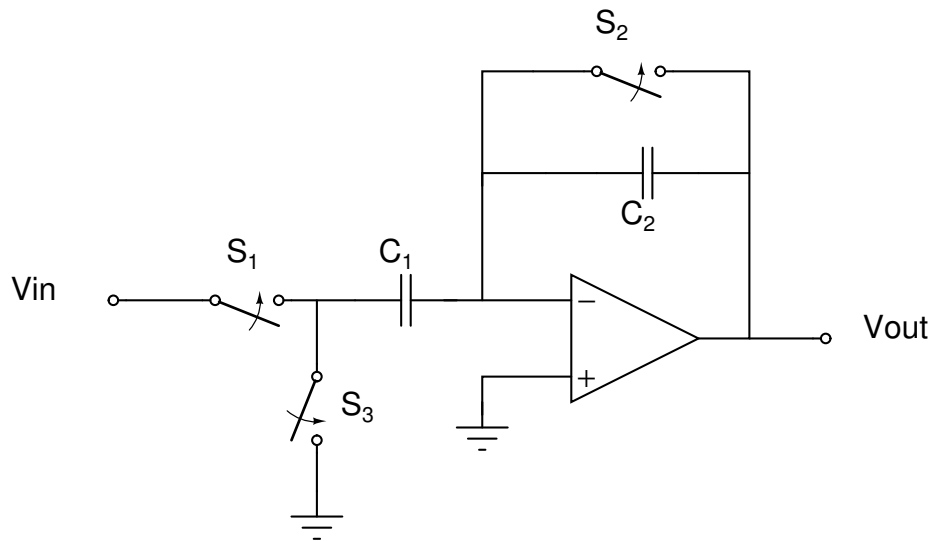


Figura 3.1: Diagrama general de un circuito con capacitores conmutados [3]

El circuito de la figura 3.1 muestra la estructura básica de un circuito con capacitores conmutados, la conmutación se da por la acción de los interruptores S_1, S_2 y S_3 , y la correcta conmutación de estos interruptores permite el control de la transferencia de carga entre los capacitores C_1 y C_2 , como se analizará a continuación:

1. En una primera etapa los interruptores S_1 y S_3 se encuentran activados, lo que da

como resultado el circuito en la figura 3.2 En esta configuración, la tensión de salida V_{out} es igual a la tensión en V_b , y la tensión en este último nodo es 0V por la propiedad del corto circuito virtual que existe en las terminales de entrada de un amplificador operacional, lo que da como resultado que $V_{out} = 0V$.

La tensión en el nodo V_a es por lo tanto $V_a = V_{in}$

2. En una segunda etapa solamente el interruptores S_2 se encuentra activado, como resultado se obtiene el circuito de la figura 3.3. Para este circuito se tiene que la tensión de salida es aproximadamente $V_{out} = V_{C2} * (C1/C2)$ y $V_{in} = 0V$.

En este intervalo de tiempo, la carga acumulada en el capacitor $C1$ es transferida al capacitor $C2$.

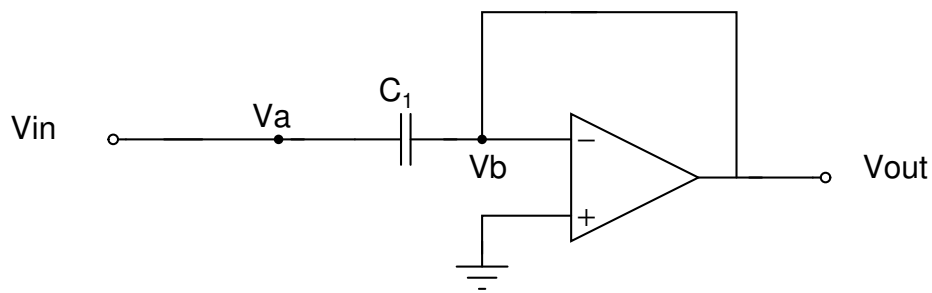


Figura 3.2: Circuito SWC con interruptores S_1 y S_3 activados [3]

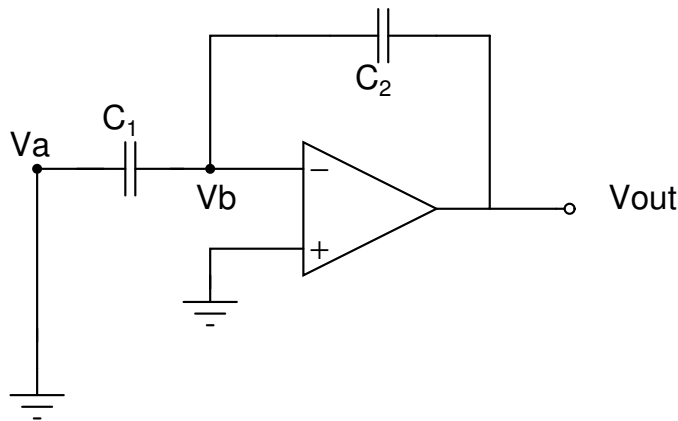


Figura 3.3: Circuito SWC con interruptor S_2 activado [3]

Analizando la transferencia de carga en el momento justo antes de la conmutación de los interruptores la carga almacenada en el capacitor $C1$ es $V_{in} * C1$, luego de la conmutación la tensión en V_a se hace 0V, por lo que la tensión V_{C1} se ve forzada a ser 0V. Una de las características principales de los capacitores es oponerse a los cambios bruscos de tensión, por lo que para lograr que la tensión en V_{C1} sea 0, la carga se debe transferir al capacitor $C2$, por lo que la tensión de salida será $V_{out} = V_{C2} * (C1/C2)$. El comportamiento descrito se puede observar en la figura 3.4 donde una señal senoidal se esta alimentando al circuito de la figura 3.1. Se observa entonces que para el momento de la conmutación en $t = 0,5s$ la tensión en V_a se hace 0V, al quedar esta terminal conectada a la referencia, por lo que

la tensión de salida comienza progresivamente a elevarse hasta llegar al valor mencionado anteriormente.

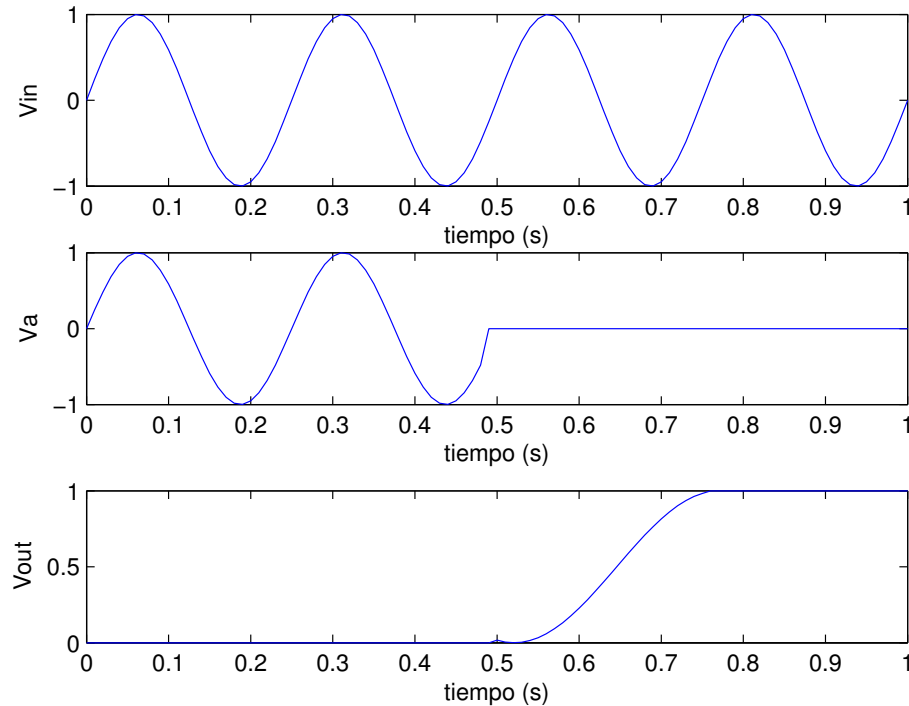


Figura 3.4: Trnasferencia de carga en un SWC [3]

Un circuito amplificador implementado con capacitores conmutados como el mostrado en la figura 3.1 se distingue de un circuito amplificador de tiempo continuo en varios atributos, como se describe en [3].

- El circuito toma un tiempo de "muestreo" de la señal de entrada, lo que hace que por un intervalo de tiempo la tensión de salida sea cero.
- Luego de la conmutación el circuito ignora la tensión de entrada, simplemente amplifica el valor muestreado en el intervalo anterior.
- La configuración del circuito cambia considerablemente, por lo que se debe prestar atención al momento de la transición, para no tener problemas de estabilidad.

Una de las ventajas del uso de amplificadores con capacitores conmutados es la capacidad de muestreo. Esta característica es importante en la implementación de este proyecto, ya que las señales de salida obtenidas ya se encontrarán muestreadas, en tiempo discreto, por lo que se pueden alimentar a la siguiente etapa (circuito digital) sin la necesidad de implementar un convertidor ADC. Otra de las ventajas es que el capacitor C2 no reduce la ganancia en lazo abierto del amplificador si a la tensión de salida se le da el tiempo suficiente para estabilizarse.

La implementación de un circuito de este tipo se facilita considerablemente utilizando circuitos CMOS. La razón principal es que las operaciones en tiempo discreto que se deben realizar para el muestreo se obtiene con los interruptores, los cuales son transistores CMOS que permiten el control de los tiempos de encendido y apagado con una señal de tensión (una señal de reloj).

Otra de las características importantes es la impedancia de entrada, la cual debe ser alta para poder medir las tensiones correctas sin corrupción de la información, esta característica también se cumple fácilmente con un circuito CMOS, que presentan por su propia naturaleza una alta impedancia de entrada.

3.1.2 Muestreo

El muestreo se realiza mediante transistores CMOS que pueden utilizar con una implementación sencilla, como el circuito de la figura 3.5. la figura (a) muestra el circuito y la figura (b) muestra la implementación del interruptor con un circuito CMOS.

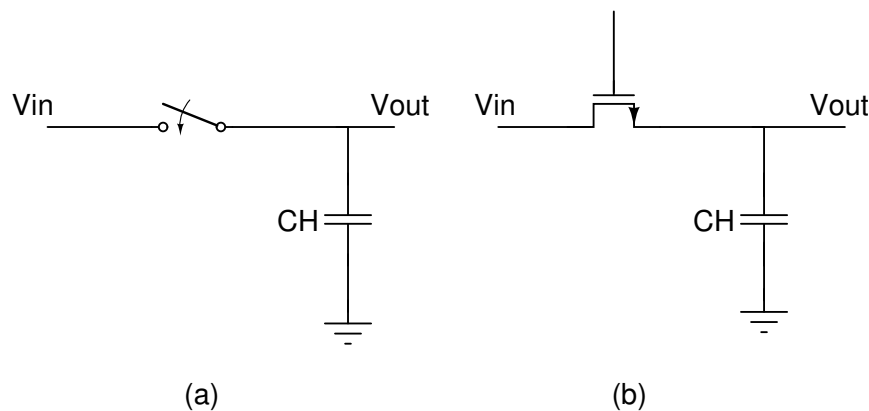


Figura 3.5: Circuito muestreador básico [3]

Para comprender de mejor manera el circuito de la figura 3.5 la señal CK se puede representar como una señal de reloj. Para el momento $t < 0$ donde $CK = 0V$ la tensión $V_{CH} = 0V$ y para el momento $t > 0$, $CK = 3V$ y por lo tanto la tensión V_{CH} comienza a aumentar, el capacitor se comienza a cargar. Este principio básico explica la transferencia de carga entre sistemas de capacitores conmutados, y el circuito de la figura 3.5 es el circuito de muestreo más simple a implementar.

3.1.3 Velocidad y precisión

Dos características importantes de los circuitos con capacitores conmutados son la velocidad a la que puedan conmutar, y la precisión que se pueda obtener del dato muestreado.

La velocidad de muestreo se relaciona directamente con el tiempo necesario que le toma a la tensión de salida pasar de cero al nivel máximo después de que el interruptor conmute. El

tiempo en que puede durar esta transición, puede ser infinito, por lo que el valor se considera como estable o valor final cuando se obtiene un margen de error aceptable.

En el circuito de la figura 3.5 la velocidad de muestreo la determinan dos factores: la resistencia interna del interruptor y el valor del capacitor de muestreo. En el caso de la resistencia, este valor también varía con la tensión de entrada, en un transistor NMOS este valor aumenta conforme aumenta la tensión de entrada, en un transistor PMOS sucede el fenómeno contrario. Ese comportamiento permite pensar que con un arreglo de circuitos complementarios, es posible mantener en un rango aceptable la variación del valor de esta resistencia. Un ejemplo se muestra en la figura 3.6 [3].

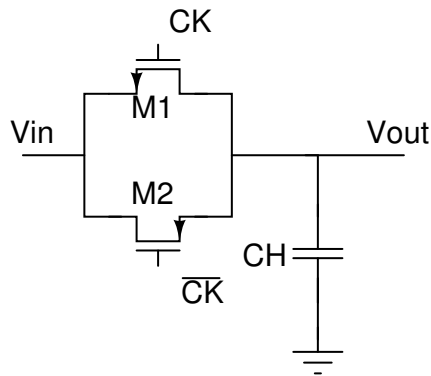


Figura 3.6: Circuito muestreador NMOS y PMOS, esta configuración permite la estabilización del valor de la resistencia interna [3]

Con señales de alta velocidad, es crítico que los interruptores NMOS y PMOS conmuten a la misma velocidad, y las señales de encendido o apagado deben estar sincronizadas, para evitar que existan ambigüedades a la hora del muestreo, si hay un desfase entre ambas señales de conmutación entonces la señal será muestreada un tiempo Δt extra, lo que distorsiona el valor medido.

En la figura 3.7 se observa que el inversor I3 fue colocado para duplicar el retardo que existe en la línea CK', de modo que se asemeje al tiempo de retardo de la línea CK, logrando generar el efecto de sincronización entre las señales de conmutación de los interruptores NMOS y PMOS. Es importante entonces tener un circuito acondicionador de señales de reloj que permitan lograr la sincronización mencionada, para mantener la fidelidad de la medición.

Un aumento en la velocidad de muestreo degrada la precisión del circuito, esto se produce por tres causas principales:

1. Inyección de carga:

Cuando un interruptor se apaga, queda una carga remanente en el canal, esta carga se inyecta posteriormente hacia las dos terminales del transistor, en la terminal conectada al capacitor se introduce una tensión extra en la que ya estaba almacenada en el capacitor.

2. Capacitancias parásitas

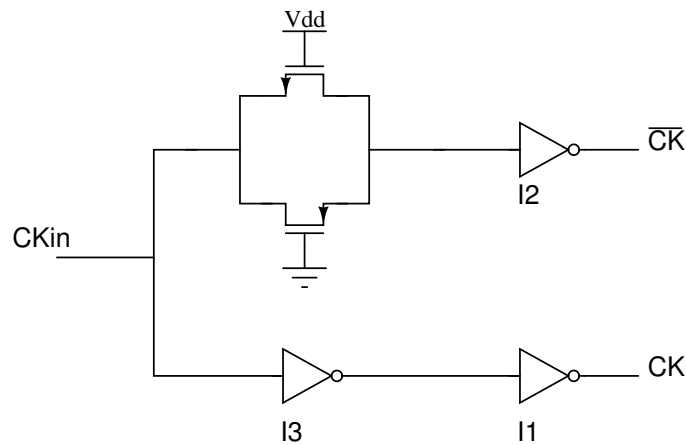


Figura 3.7: Generador de relojes con retardo para igualar las señales de salida e impedir el desfase de las mismas [3]

Existen capacitancias parásitas que se forman entre las conexiones gate-drain, gate-source, estas capacitancias son independientes de la señal de entrada o de la señal de reloj, sin embargo a mayor frecuencia, mayor será su efecto.

3. Ruido kT/C

Se mencionó anteriormente que la resistencia interna del interruptor varía según con la temperatura, esta resistencia introduce ruido término al circuito en la salida, cuando el interruptor se apaga este ruido se almacena en el capacitor.

3.2 Diseño de layout con SWC

Los circuitos de señal mixta son aquellos que mezclan en un mismo diseño circuitos digitales y analógicos. Estos circuitos permiten el desarrollo de aplicaciones que no podrían ser factibles si se tuviera únicamente un circuito digital o únicamente un circuito analógico. Entre algunas de las razones por las que estos circuitos son de gran importancia, según [5].

1. El tamaño de los circuitos es reducido.
2. Se puede incrementar la velocidad de operación.
3. Se reduce el consumo de potencia.
4. Se aumenta la flexibilidad del diseño, aumentando la versatilidad de los circuitos.
5. Se aumenta la viabilidad de los sistemas, al no tener que interconectar diferentes circuitos (de manera externa).
6. Los costos del sistema se reducen, ya que se integran en un solo chip.

Los circuitos integrados de señal mixta requieren una atención especial en su diseño y construcción. Y sus aplicaciones entre muchas están: telecomunicaciones, dispositivos electrónicos de consumo masivo, computadoras y equipo afín, sistemas multimedia, sistemas en vehículos, instrumentación biomédica, robótica, entre otros.

3.2.1 Consideraciones para el diseño del layout

Un circuito diseñado con capacitores conmutados, debe seguir un proceso de diseño un tanto diferente al proceso de diseño de un circuito analógico en su totalidad, ya que al ser éste un circuito de señal mixta, existen ciertas consideraciones especiales a tomar en cuenta.

En [2] se mencionan algunos de los parámetros que por lo general se afectan en el diseño del layout para un circuito implementado con capacitores conmutados, entre ellos:

1. Inyección de ruido por parte de las líneas de alimentación, señales de reloj y líneas de tierra.
2. Inyección de ruido por parte del sustrato.
3. Precisión en el apareamiento de los elementos,
4. Tiempo de subida o la respuesta en alta frecuencia del circuito.
5. Distorción no lineal
6. Sensitividad a las variaciones del proceso de fabricación.
7. Tensiones de offset en los amplificadores operacionales.

Prevención de inyección de ruido por parte líneas de alimentación, señales de reloj y líneas de tierra

En [2] se mencionan dos precauciones a la hora de diseñar:

Primero, estas líneas deben estar aisladas de las fuentes de ruido, esto es especialmente importante en circuitos de señal mixta, donde una de las primeras indicaciones que se deben seguir es alimentar las tensiones por diferentes pads de conexión, como se muestra en la figura 3.8 Una de las ventajas de hacer esto es poder independizar las corrientes que fluyen a través de los circuitos. Es común que un circuito digital presente largos picos de corrientes de manera recurrente, debidos en su mayoría a los transcientes de las conmutaciones de las señales digitales. Si no se hace esta separación, estos picos se verán reflejados también en la circuitería analógica. Los circuitos analógicos por su naturaleza son muy sensibles al ruido y en ocasiones resulta intolerable.

Una solución óptima es tener ambas señales alimentadas por pads separados y sus respectivos pines sepadaros en el circuito integrado, aunque se podrían unir soldandolos externamente. Como última recomendación para este punto se debe poner la mayor cantidad de contacto

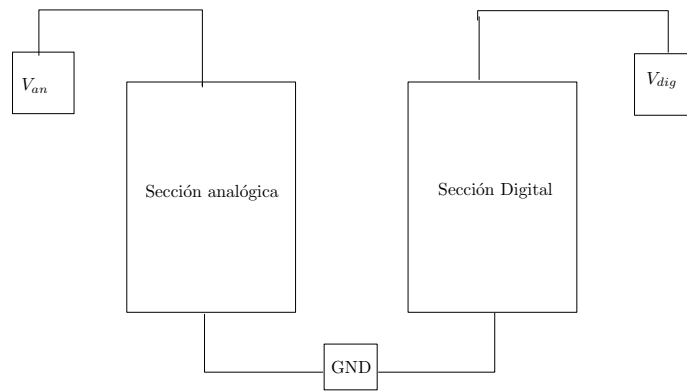


Figura 3.8: Diseño de la alimentación de las etapas analógica y digital de un circuito de señal Mixta [2]

al sustrato posible, para poder capturar la mayor cantidad de electrones o huecos disponibles. Este sustrato debe mantenerse además a una tensión fija.

Segundo: el ruido por el acoplamiento de las líneas de las señales deben ser minimizados. Esto se logra blindando las secciones del circuito integrado, para que no se den filtraciones entre las partes. La figura 3.9 muestra un posible arreglo para lograr hacer un escudo. Este circuito cuenta con dos líneas de metal conectadas a tierra, y debajo de ellas una capa de poly también conectada a tierra. Esta configuración se puede utilizar tanto para el blindado contra las señales que acarrean información digital, como para la protección y separación entre ambos circuitos. Con esto se logra prevenir que el ruido de acople entre o salga del sustrato. Existe también la posibilidad de que se filtre ruido a través de los interruptores.

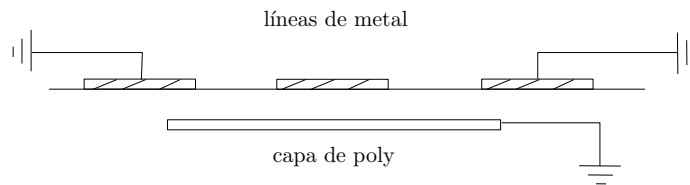


Figura 3.9: Diseño de un blindaje para la protección de circuitos de señal Mixta [2]

Prevención de inyección de ruido por el acoplamiento con el sustrato

Una primera aproximación mencionada en [2] para corregir esto es tener una fuente de tensión "limpia" para el sustrato, esto se logra con una buena liga hacia el pin de alimentación. Una segunda aproximación es blindar el sustrato de todos los capacitores colocando pozos conectados a tierra. También se puede implementar un blindaje de todas las líneas que pueden aportar ruido colocando capas de poly correctamente conectado a tierra, como también se mencionó en el apartado anterior.

Las capacitancias más grandes que van a existir en un circuito de este tipo serán la de las conexiones de los capacitores. Las líneas de interconexión entre los capacitores y las líneas deben ser lo más cortas posibles, además se deben intentar conectar con metal, y evitar conexiones realizadas mediante la difusión.

Diseño del amplificador cascodo

En cuando al diseño del amplificador operacional, las consideraciones que se deben tomar en cuenta a la hora de diseñar el layout están relacionados con el tiempo de subida y la respuesta en alta frecuencia. El diseño de este circuito debe promover la disminución las líneas de conexión. Además, si se requiere alta precisión, es posible arreglar los transistores en paralelo y utilizar geometrías como la de transistores apilados o al de centroide común.

El diseñado del amplificador debe evitar el desapareamiento que se puede producir en el proceso de fabricación. Una de las técnicas que se utiliza para lograrlo es implementar la segmentación de los transistores en arreglos serie/paralelo.

El amplificador es un elemento analógico, por lo que a nivel de diseño en esquemático este se observe en conjunto con los interruptores (que forman parte del circuito digital), a la hora del diseño del layout los amplificadores operacionales deben tener su sección aparte, para evitar que se pueda filtrar ruido.

3.2.2 Estructura de layout para circuitos SWC

En [4] se menciona una estructura de layout aplicable a un diseño de un circuito integrado de señal Mixta. Esta propuesta se muestra en la figura 3.10

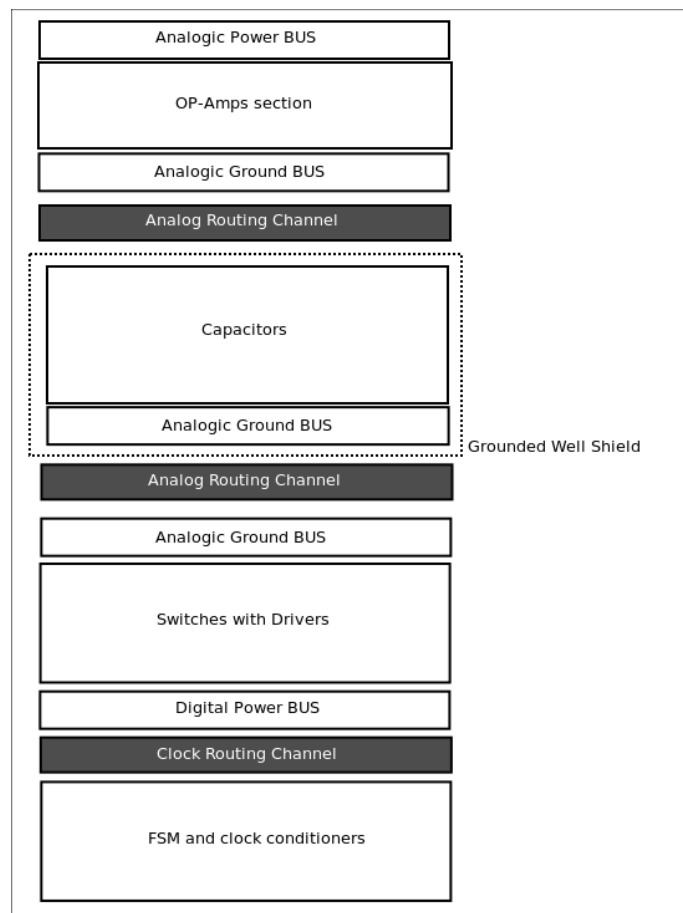


Figura 3.10: Diseño layout para circuitos de señal Mixta [4]

Esta estructura se basa en dos aspectos que son vitales para el diseño de un circuito de señal

mixta:

1. No debe haber cruce entre las redes analógicas y las digitales, y las líneas que son sensibles deben enrutarse de manera que sean lo más cortas posibles
2. Se deben colocar pozos correctamente aterrizados por debajo de los capacitores y las resistencias, para aislarlos del posible ruido presente en el sustrato.

La figura 3.10 es válida para cualquier filtro que se realice basandose en capacitores conmutados. Lo primero que se debe notar es la separación que se hace entre los amplificadores operacionales y el resto del circuito (los interruptores y los capacitores), esta separación permite tener los amplificadores operacionales que forman parte del circuito analógico, aislado del resto del circuito, como los interruptores, que forman parte de la sección digital del circuito. Además en esta propuesta los capacitores se colocan entre los amplificadores operacionales y los switches. Los canales de enrutamiento propuestos separan la alimentación del circuito analógico y la alimentación del circuito digital.

Capítulo 4

Diseño del filtro en cascada haar

En este capítulo se describe el trabajo realizado durante el proyecto de investigación, se analizan los objetivos junto con las soluciones implementadas, además se describen los resultados obtenidos y el análisis de los mismos.

4.1 Determinación de la fuente del error

La primera versión del circuito integrado del Filtro Haar presenta un comportamiento diferente al deseado, estas diferencias se observan comparando los resultados prácticos con respecto a las simulaciones teóricas del modelo matemático.

Estas diferencias se atribuyen a dos posibles factores:

1. Existe ruido que se filtra de los pads de conexión.
2. El circuito integrado no se encuentra optimizado para la protección contra el ruido.

Se establecen dos posibles caminos para la solución del problema, según los resultados que se obtengan de las pruebas de verificación realizadas al circuito integrado, como se describen:

- Si el circuito es afectado únicamente por la causa 1, este presentará un comportamiento favorable ante una señal de reloj filtrada.
- Si la prueba con la señal descrita no es satisfactoria, ambos factores están afectando el desempeño del circuito, por lo que su diseño debe ser modificado.

4.1.1 Diseño de un filtro LPF

Para la verificación del circuito integrado se propone el diseño de un filtro paso bajos que permite "suavizar" la forma cuadrada de la señal de reloj con la que se alimenta el mismo.

Para diseñar el filtro se toma como base el comportamiento en frecuencia de la señal de reloj con $V_p = 3V$ y $f = 14KHz$ (que se observa en la figura 4.1). Este análisis permite determinar los coeficientes que se deben filtrar de esta manera definir la frecuencia de corte, ancho de banda y el tipo de filtro a utilizar. Se decide que la frecuencia de corte del filtro debe ser $f_c = 120Khz$.

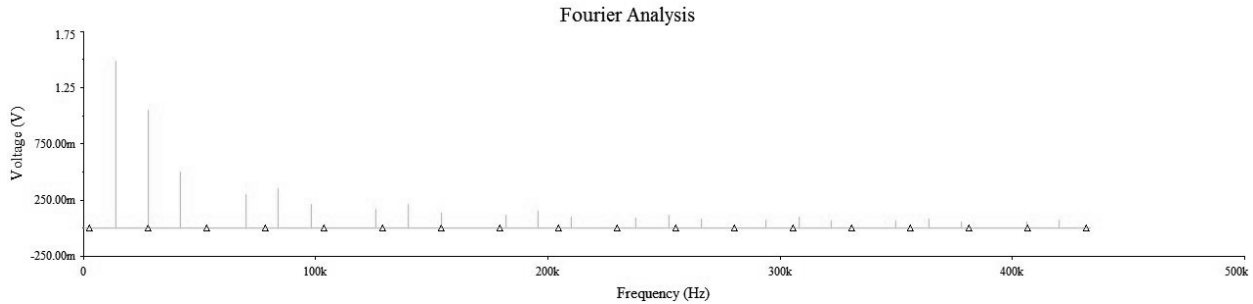


Figura 4.1: Respuesta en frecuencia de la señal de reloj con $f = 14KHz$

Se escogió una topología de un tipo Sallen Key de orden tres en dos etapas con ganancia unitaria. La tabla 4.1 resume los valores de los componentes del filtro. Como amplificadores operacionales se van a utilizar los OPA350PA. El diseño final se muestra en la figura 4.2, y su respuesta en frecuencia se muestra en la figura 4.3.

Parámetro	Valor
R_1	$5K\Omega$
R_2	$6,61K\Omega$
R_3	$6,61K\Omega$
C_1	$200pF$
C_2	$100pF$
C_3	$191pF$

Tabla 4.1: Valores de los parámetros del filtro de la figura 4.2

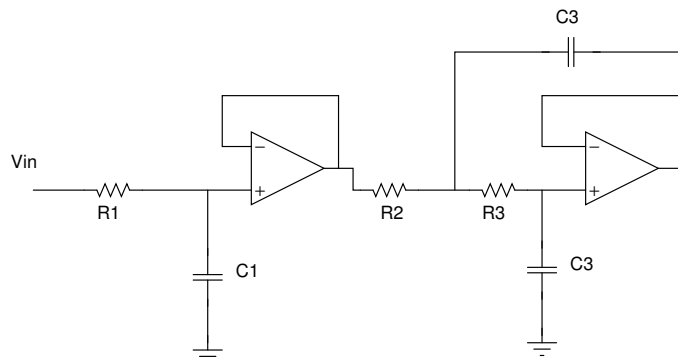


Figura 4.2: Diagrama del filtro LPF implementado

Las resistencias de la 4.1 se implementaron con potenciómetros de precisión para poder ajustar la frecuencia de corte según se necesitara durante las pruebas con el filtro.

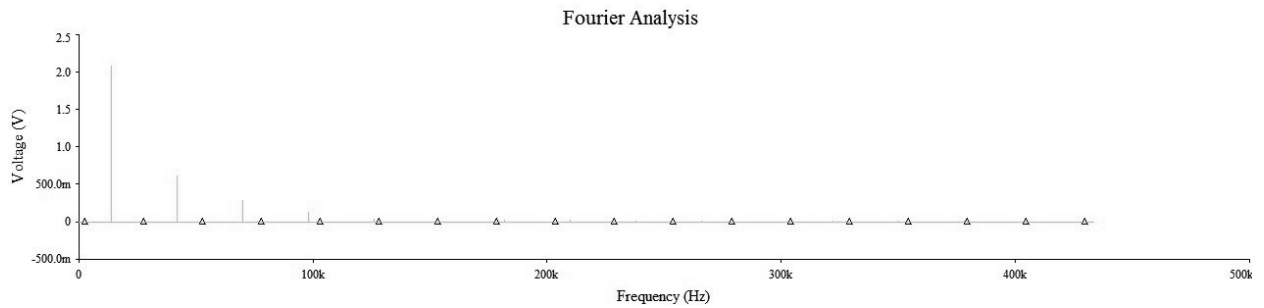


Figura 4.3: Respuesta en frecuencia del filtro paso bajos con $f_c = 120KHz$

La nueva forma de onda para la señal de reloj se muestra en 4.4

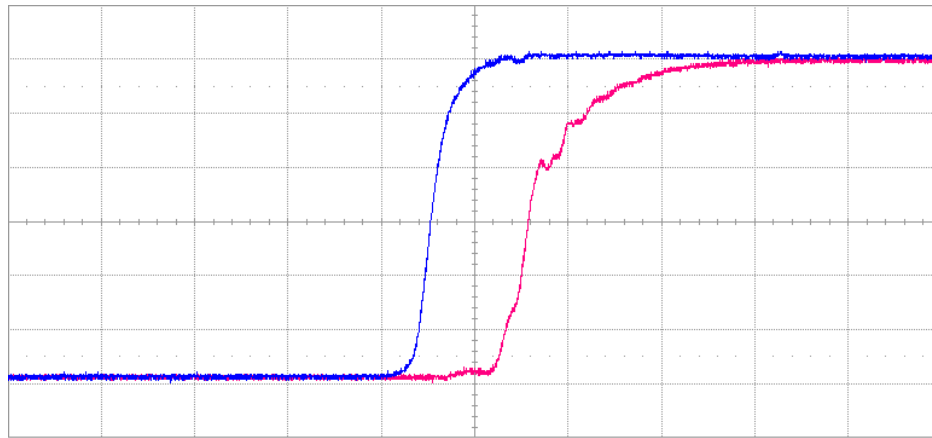


Figura 4.4: En azul la señal de reloj original, en rojo la señal de reloj modificada

4.1.2 Calibración del banco de medición del circuito integrado versión 1

Para garantizar mediciones correctas durante la prueba con el circuito, es necesario es necesario garantizar las tensiones necesarias en las terminales de alimentación, estas se muestran en la tabla 4.2

Confirmar que los valores de tensión en las terminales sean los correctos es vital para que las mediciones sean validas. Diferencias de tension en estas terminales generan errores en la medicion, por lo que este paso es el comienzo de las pruebas y se debe realizar cada vez que se vaya a probar el circuito.

4.1.3 Verificación del comportamiento del circuito integrado

En [1] se establece la forma de señal esperada para el filtro haar. Esta se muestra en la figura Los resultados de la verificación de este circuito son comparados con esta figura, para determinar la precisión con la que esta funcionando el circuito, y según esta comparación, determinar las posibles causas y tomar las acciones correctivas.

Nombre	Pin	V(V)
V_{refNup}	16	1.2
V_{refPup}	14	1.9
$V_{refPdown}$	15	1.6
V_{mid}	12	1.5
V_{DDA}	11	3
V_{DD}	7	3
V_{DDPADS}	8	3
GND	9	0
V_{in}	17	V_{in}
V_{ref}	13	V_{ref}

Tabla 4.2: Valores de tensión en el banco de pruebas

El circuito se estimuló primeramente con una tensión de entrada de CD $V_{in} = 1,8V$ y una señal de reloj con $V_p = 3V$ y $f = 14KHz$. El comportamiento del circuito para el coeficiente de aproximación dos se observa en la figura 4.5

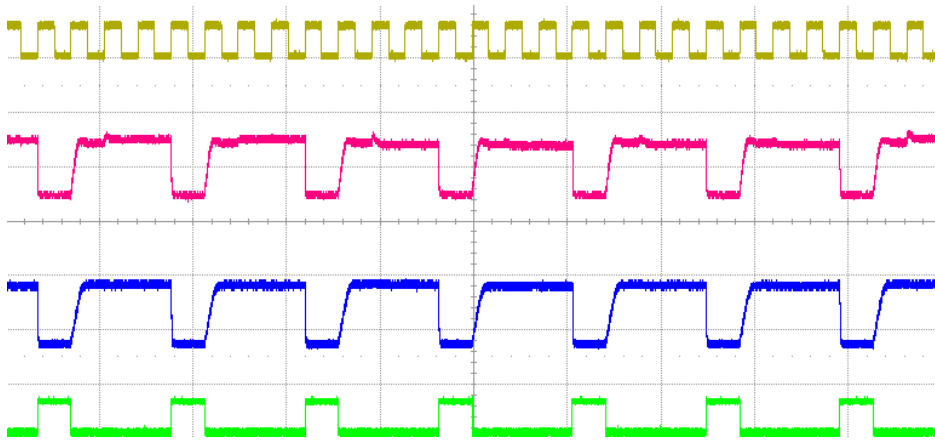


Figura 4.5: Coeficiente de aproximación dos para la respuesta del circuito sin filtrar la señal de reloj; dorado: señal de reloj $f = 14KHz$, rojo: coeficiente n, azul: coeficiente p, verde: máquina de estados

Al comparar el comportamiento mostrado en la figura 4.5 con el de la figura se observa que no es el resultado que se espera, las tensiones de los coeficientes de aproximación 2 (tanto el n como el p) deben presentar una tensión máxima constante, y una vez alcanzada esta tensión, no deben tener alteraciones en su forma de onda (figura). Sin embargo en esta figura se observa especialmente en el coeficiente n valores de tensión máxima que son diferentes en el tiempo. Se presenta en la figura 4.6 un acercamiento para analizar un muestreo de la señal en específico, en esta figura es posible observar como existen alteraciones en la tensión de salida que hacen que la señal sea inestable, siguiendo el cursor puede observarse que esta alteración coincide con un flanco positivo de reloj.

Siguiendo con el flujo de verificación, se estimula el circuito con una tensión de entrada de CD

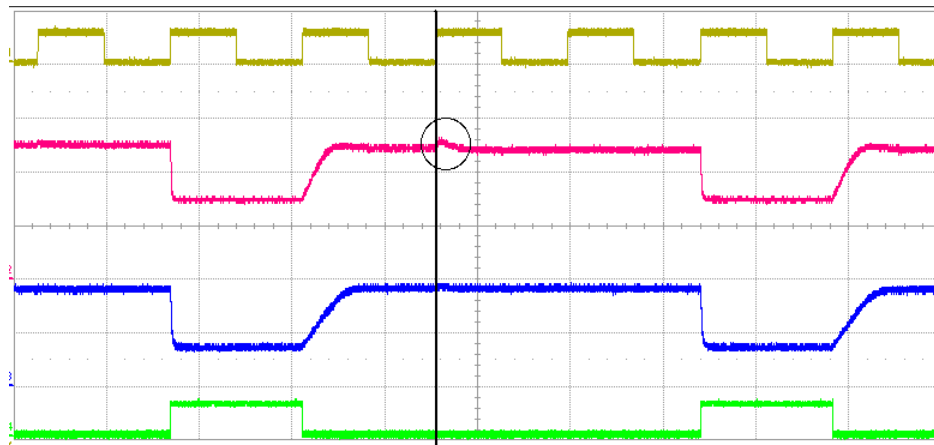


Figura 4.6: Acercamiento a la respuesta del coeficiente de aproximación dos para la respuesta del circuito sin filtrar la señal de reloj; dorado: señal de reloj $f = 14KHz$, rojo: coeficiente n, azul: coeficiente p. verde: máquina de estados

$V_{in} = 1,8V$ y una señal de reloj con $V_p = 3V$ y $f = 14KHz$ modificada. El comportamiento para el coeficiente de aproximación dos se observa en la figura 4.7.

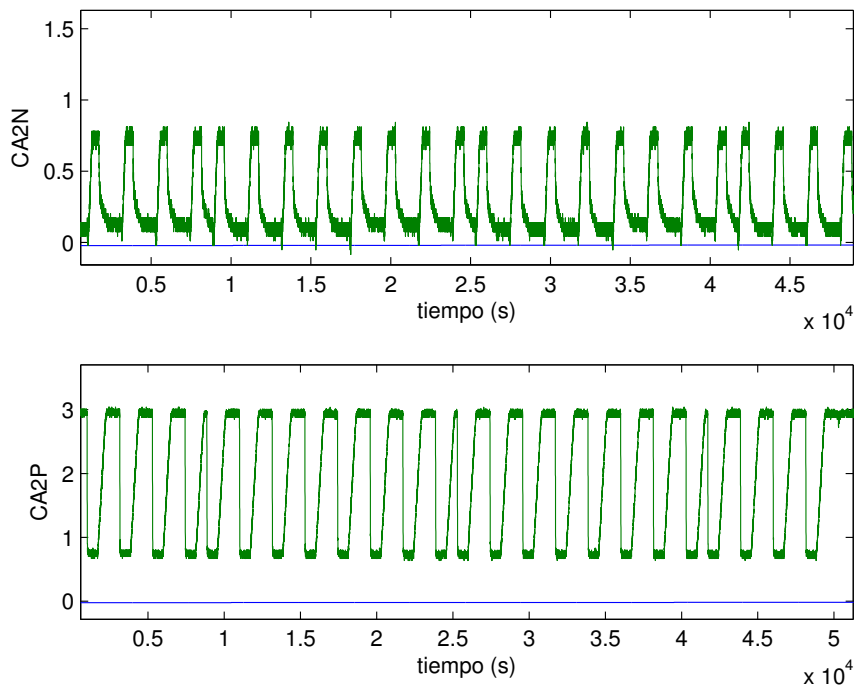


Figura 4.7: Coeficiente de aproximación 2 - n y p - ante la señal de reloj modificada

La forma de señal mostrada en la figura 4.7 no respondió como se esperaba. La implementación del filtro no implicó ningún cambio favorable en el funcionamiento del circuito. Si se compara la figura 4.7 con la figura se observa que el comportamiento no es el deseado. Incluso se puede comparar la figura 4.7 con la figura 4.5 de donde se observa que el comportamiento del circuito con la señal de reloj filtrada dista más del deseado que el comportamiento del circuito con la señal de reloj sin filtrar. Esto genera en lugar de una solución, un nuevo

problema.

Agregar el filtro a la señal de reloj empeora la respuesta del circuito, una de las posibles razones es que la modificación de la pendiente que sufre la señal de reloj hace que la máquina de estados no sea capaz de detectar todos los flancos positivos de reloj por lo que la secuencia de la misma no se ejecuta correctamente, esto implica errores en la generación de las diferentes señales de control de los interruptores, lo que afecta el proceso de muestreo y cálculo de los coeficientes, por lo que los resultados obtenidos son incorrectos. Se hicieron modificaciones a los valores de la frecuencias de corte del filtro hasta encontrar una donde el comportamiento se asemejara al comportamiento deseado sin embargo los problemas descritos siguieron apareciendo.

Como conclusión la modificación del filtro no generó ningún beneficio al comportamiento del circuito, se debe entonces implementar un rediseño del circuito integrado, según los criterios de [2] [4] y [3].

4.2 Rediseño del circuito integrado

En este apartado se analizan las diferentes modificaciones que se hicieron al diseño, tomando en cuenta cambios en el diseño del esquemático para llegar finalmente a la modificación del circuito.

La versión 1 del circuito integrado posee una estructura como la que se muestra en la figura 4.8 En este diseño los amplificadores operacionales se encuentran junto con los interruptores en la sección llamada "Switches y Drivers" en la parte inferior se encuentran los circuitos generadores de reloj, y la máquina de estados (FSM) se encuentra cerca del banco de capacitores y de los generadores de reloj, con una orientación de 90 grados.

El rediseño que se plantea toma como base las buenas prácticas en el diseño de circuitos de señal mixta que se propone en [2] [4] y [3]. La estructura general del nuevo diseño se basa en 3.10, y se puede observar en 4.9

Esta figura 4.9 permite la separación de las señales analógicas y las señales digitales que se van a enrutar por diferentes caminos, también permite la separación de la sección digital y analógica del circuito.

El objetivo principal de estas modificaciones es el de mantener el diseño modular y los niveles de jerarquía correctos en el circuito, para facilitar su comprensión, su implementación y soluciones a posibles problemas.

4.2.1 Rediseño del cascodo

En [3] se describió la estructura de un circuito con capacitores conmutados como un arreglo de capacitores, interruptores y amplificadores operacionales. Los amplificadores operacionales son la unidad funcional que opera dentro de estos circuitos. En [1] se define como amplificador

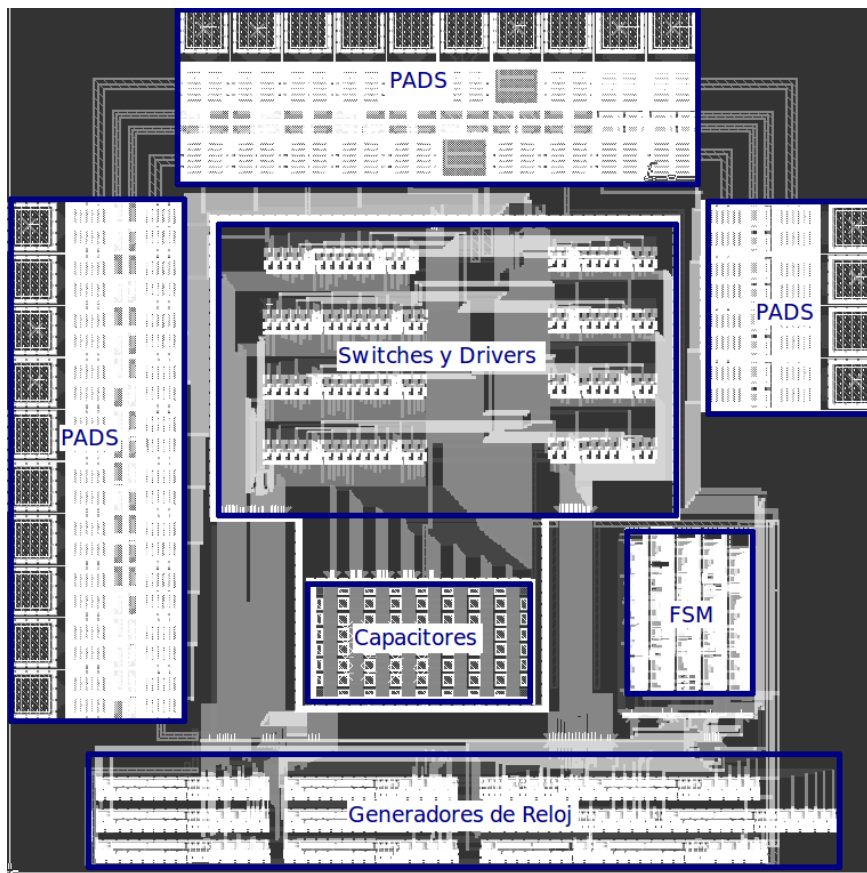


Figura 4.8: Versión uno del circuito integrado

operacional un amplificador operacional cascodo y su diseño se hizo bajo una configuración multi-dedo. Esta configuración le permite colocarse junto a los interruptores en mismo circuito.

Siguiendo los criterios de diseño de [4] se separa el amplificador operacional del circuito original, para colocarlo individualmente. El objetivo final es poder tener un arreglo de amplificadores operacionales separados en el diseño final. Además la estructura interna del amplificador operacional se modificó según se recomienda en [2] a una estructura que permita la reducción del desapareamiento que pueda sufrir un circuito integrado a la hora de ser fabricado. Se propone entonces una configuración de transistores apilados, para lo cual se separan los transistores n y p en arreglos serie/paralelo. La figura 4.10 muestra el esquemático del nuevo diseño del amplificador cascodo. La figura 4.11 muestra el diseño del circuito integrado del amplificador cascodo implementado mediante transistores apilados.

El amplificador operacional se diseño como una unidad fundamental e independiente de otros circuitos, por lo que es facilmente adaptable a diferentes arquitecturas, simplemente debe ser colocado donde se le necesite. Cada unidad de cálculo de coeficientes (tanto de aproximación como de detalle) y cada unidad de muestreo requieren en su diseño un par diferencial de amplificadores operacionales. Entonces se diseña una unidad que tenga el par de amplificador operacional necesarios, y los puertos para la conexión con otras unidades. El diseño de esta unidad se muestra en la figura 4.12, que corresponde a colocar dos amplificadores como los

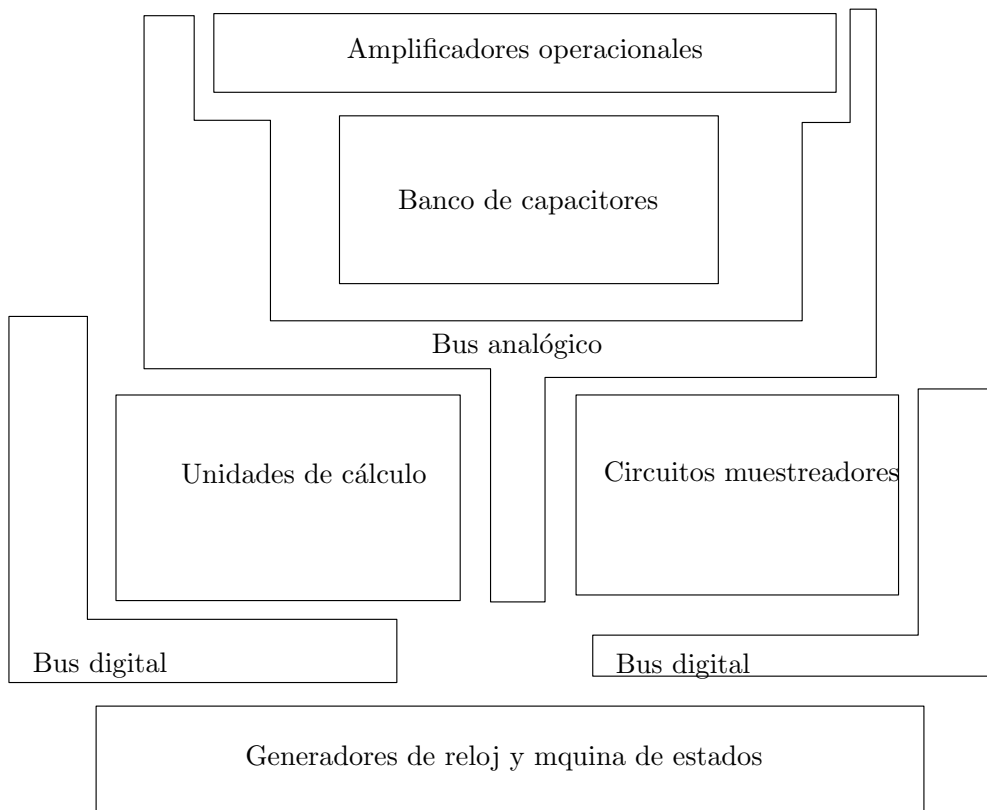


Figura 4.9: Diagrama propuesto para la versión dos del circuito integrado

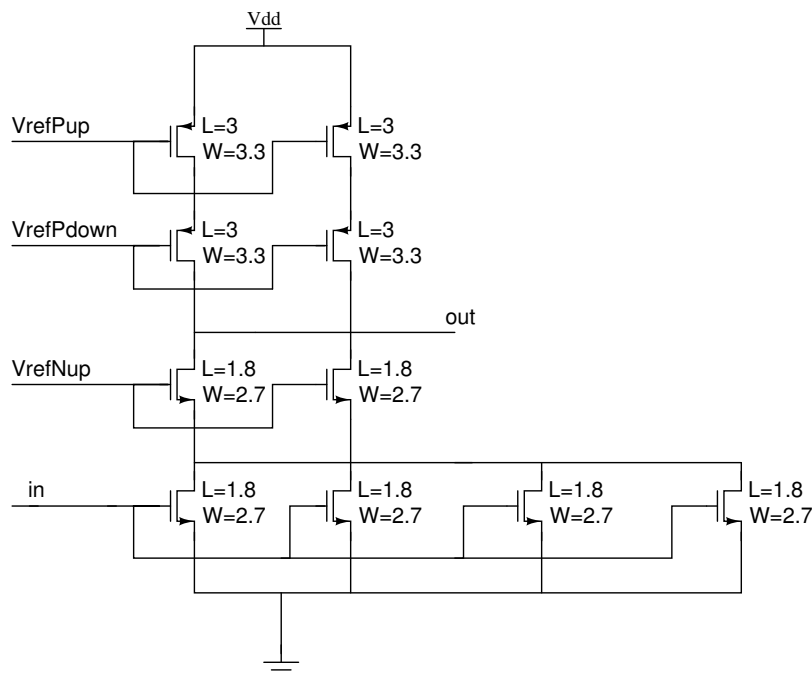


Figura 4.10: Diseño del esquemático del circuito del amplificador operacional casado

de la figura 4.11 y posteriormente estandarizar los puertos de entrada y de salida en la parte superior e inferior del circuito, para facilitar la interconexión con otras unidades del circuito. El circuito general consiste de cuatro unidades de cálculo de coeficientes, y cuatro mues-

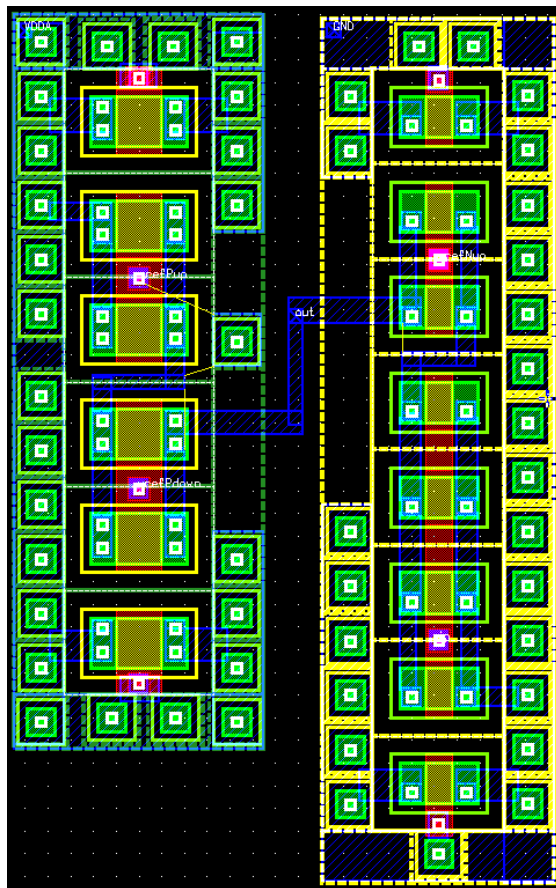


Figura 4.11: Diseño del circuito del amplificador operacional cascode usando transistores apilados

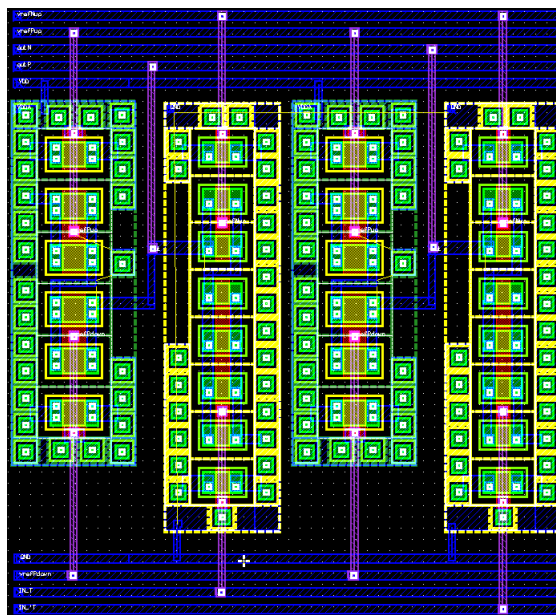


Figura 4.12: Diseño del cascode dual para las unidades de calculo de coeficientes y muestreadores

treadores, esto conlleva a un total de ocho unidades como la mostrada en la figura 4.12. Siguiendo la topología recomendada en [4] todos los amplificadores operacionales deben encontrarse en una única unidad y se debe colocar en la parte superior del circuito total. Lo

anterior se logro utilizando el diseño de la figura 4.12 ocho veces y acomodandolo de manera que se adapte al diseño general. De igual manera los puertos de conexión se colocaron en la parte superior e inferior para poder facilitar el acceso de los buses para interconectar los circuitos. La figura 4.13 muestra el diagrama de todos los amplificadores operacionales.

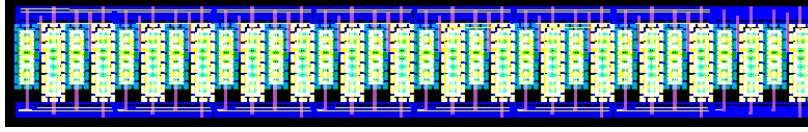


Figura 4.13: Diseño del bloque completo con todos los amplificadores operacionales del filtro haar

La figura 4.13 corresponde al primer bloque definido en la figura 4.9.

4.2.2 Diseño de las unidades de cálculo de coeficientes y muestreo

El filtro haar consta de un arreglo de circuitos que calculan coeficientes, uno de ellos es el coeficiente de aproximación dos, y con base en éste se calculan los coeficientes de detalle 3, 4 y 5. El diagrama de estas unidades de cálculo se muestra en la figura 1.5. Estas unidades de cálculo están diseñadas mediante capacitores conmutados, la figura 4.14 muestra el esquemático de la unidad de cálculo del coeficiente de aproximación dos. El resto de circuitos sigue una lógica similar, donde lo que varía son los valores de los capacitores y la secuencia de activación de los interruptores. Se describe el proceso específico del coeficiente de aproximación dos, sin embargo este proces se realizó de manera idéntica para los coeficientes de detalle 3, 4 y 5 además de las unidades de muestreo (llamadas "Sample & Hold").

Como se menciona en [2] y en [4], a la hora de diseñar el circuito de la figura 4.14 se deben separar los elementos, es decir, en un mismo sector no pueden convivir interruptores, amplificadores operacionales y capacitores. La razón principal se debe a que son circuitos de diferentes naturalezas que si se mezclan generarán ruido.

El diseño a nivel de esquemático de la unidad de cálculo real se muestra en la figura 4.15. En esta figura se observa que solo están presentes los interruptores, tanto los capacitores como los amplificadores operacionales han sido removidos, ya que se van a ubicar en segmentos diferentes del circuito (segmentos especiales para cada uno de ellos)

El diseño original (figura 4.16) contempla dentro del mismo circuito amplificadores operacionales e interruptores. Este diseño presenta un problema serio, al intercalar secciones muy sensibles al ruido (como son los capacitores que almacenan los coeficientes y los amplificadores relacionados) y los interruptores MOS que conmutan los capacitores. En [4] y [2] se mencionan estas posibles fuentes de ruido y también se explica su correcta implementación. Estas partes deben estar aisladas. un primer paso fue la separación de los amplificadores operacionales, ahora se debe ajustar el resto del circuito unicamente con los interruptores y sus puertos de entrada y salida.

Al dejar por fuera de la unidad de cálculo los amplificadores y los capacitores, éstos son ubicados en las zonas que se destinaron para su ubicación, como se observa en la figura 4.9.

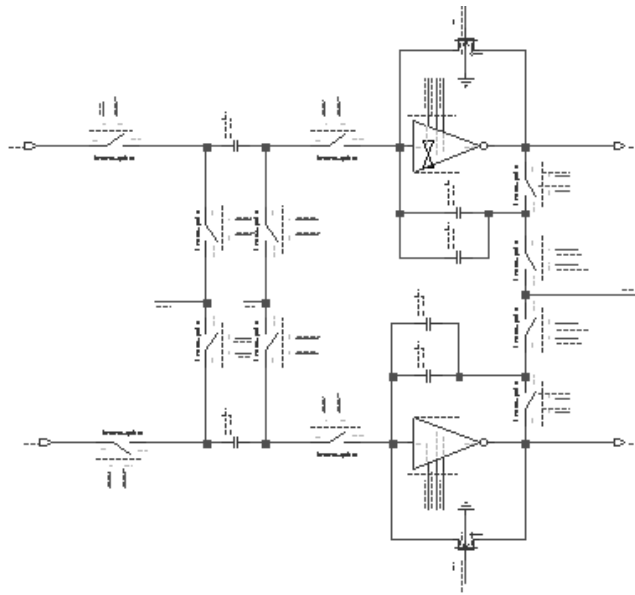


Figura 4.14: Esquemático del circuito del coeficiente de aproximación dos

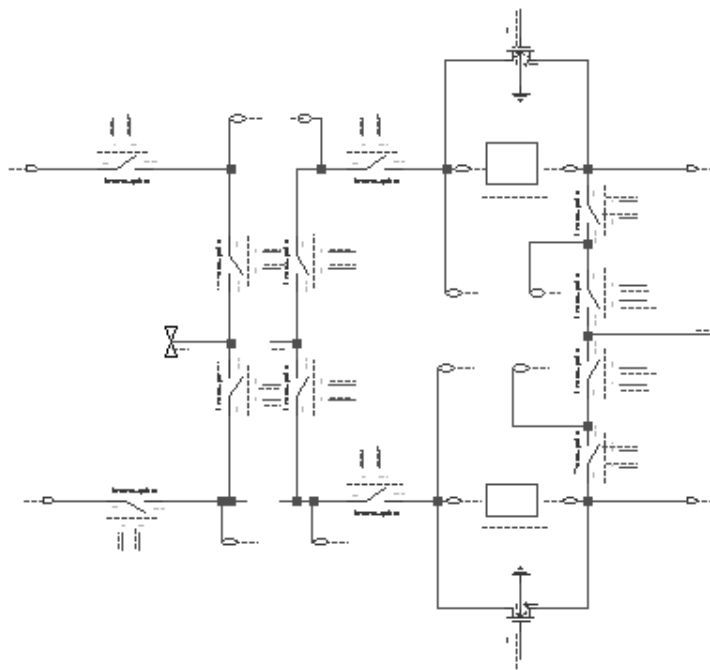


Figura 4.15: Esquemático del circuito del coeficiente de aproximación dos implementado

Es necesario conectar estas partes, para conservar la integridad funcional del circuito. La figura 4.17 muestra los caminos que deben seguir las señales para llegar a los respectivos componentes que debieron ser removidos. Estas conexiones se hicieron mediante buses de datos, que se describen más adelante.

El circuito final se muestra en la figura 4.18 Las modificaciones realizadas fueron la eliminación de los amplificadores operacionales y las líneas de alimentación y de entrada y salida de los mismos, y agregar las señales que se van a ocupar para poder enrutar hacia donde van a quedar los amplificadores. En el circuito quedan únicamente los interruptores, los cuales

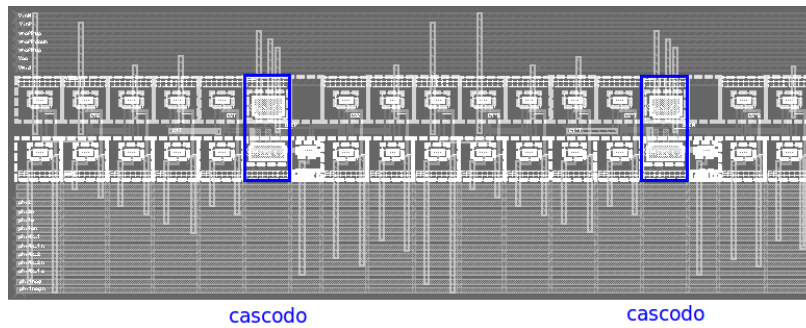


Figura 4.16: Diseño de una unidad de cálculo con los amplificadores cascodo

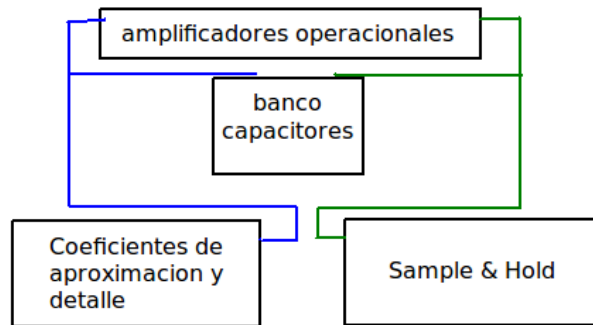


Figura 4.17: Conexiones para integrar interruptores, amplificadores operacionales y banco de capacitores

operan con las señales digitales que llegan desde los circuitos generadores de reloj, estas señales están protegidas con una capa de poly como se describe en [2] y se alimentan por la parte inferior del circuito. Las señales analógicas están en la parte superior del circuito, se aíslan de las señales digitales con los interruptores y las conexiones a tierra que poseen los mismos; son estas señales las que se comunican con los capacitores y los amplificadores operacionales y se enrutan por caminos diferentes a las señales digitales según se recomienda en [4]

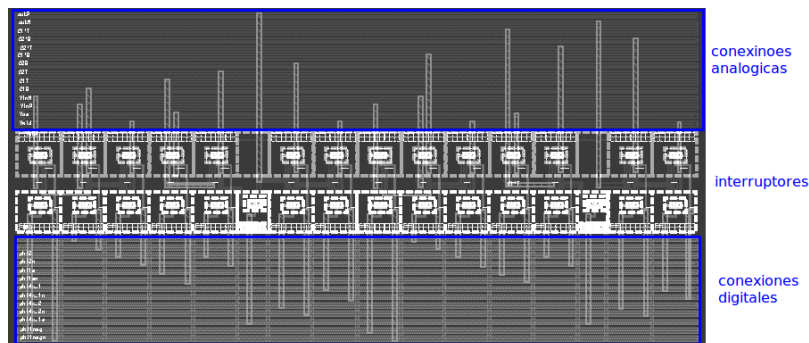


Figura 4.18: Diseño de una unidad de cálculo sin los amplificadores cascodo siguiendo el diseño de la figura 4.15

A la hora de integrar estas unidades de cálculo de coeficientes y muestreo en el circuito general, se enrutan como se define en 4.9. Se agregan salvaguardas entre las conexiones digitales

y analógicas para evitar la filtración de ruido como se describe en [2]. Estas salvaguadras consisten en capas de metal conectadas continuamente a un pozo p que esta conectado al potencial de referencia. Esta conexión permite que exesos de electrones o huecos sean redireccionados al potencial y no alteren señales que pasan cerca. la figura 4.19 muestra un acercamiento a las salvaguadras que se implementaron en el circuito.

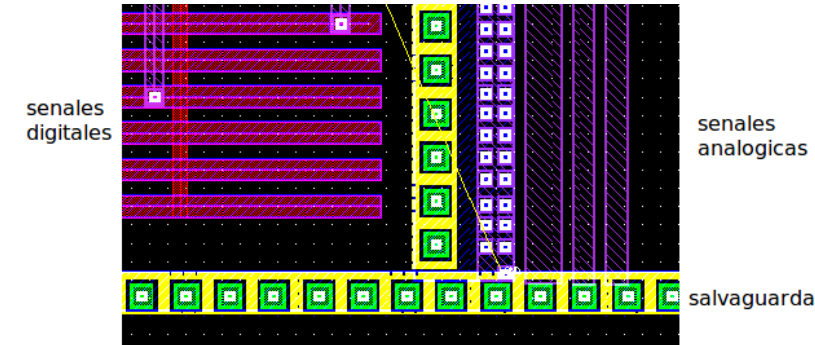


Figura 4.19: Ejemplo de salvaguadras utilizadas en el diseño del filtro haar

4.2.3 Rediseño del layout general

El diseño final del layout se basa en la figura 4.9, para su diseño se tomaron las siguientes consideraciones:

1. La sección digital debe estar separada y aislada de la sección analógica
2. Los enrutamientos horizontales serán hechos con metal 1 y metal 3.
3. Los enrutamientos verticales son hechos con metal 2.
4. La sección digital del circuito tendrá una tensión de alimentación diferente de la tensión de alimentación de la sección analógica

El diagrama final del filtro haar se muestra en la figura 4.23

Para el diseño final mostrado en la figura 4.23 se tomó en consideración:

1. Se siguió el modelo propuesto en la figura 4.9
2. Se utilizó el banco de capacitores que ya estaba diseñado, ya que no requería modificaciones.
3. La máquina de estados se colocó con una orientación de 0 grados.
4. Se colocaron salvaguadras a lo largo del bus digital para minimizar su infuelcia sobre las señales analógicas.
5. Los buses analógicos y digitales viajan por rutas separadas.

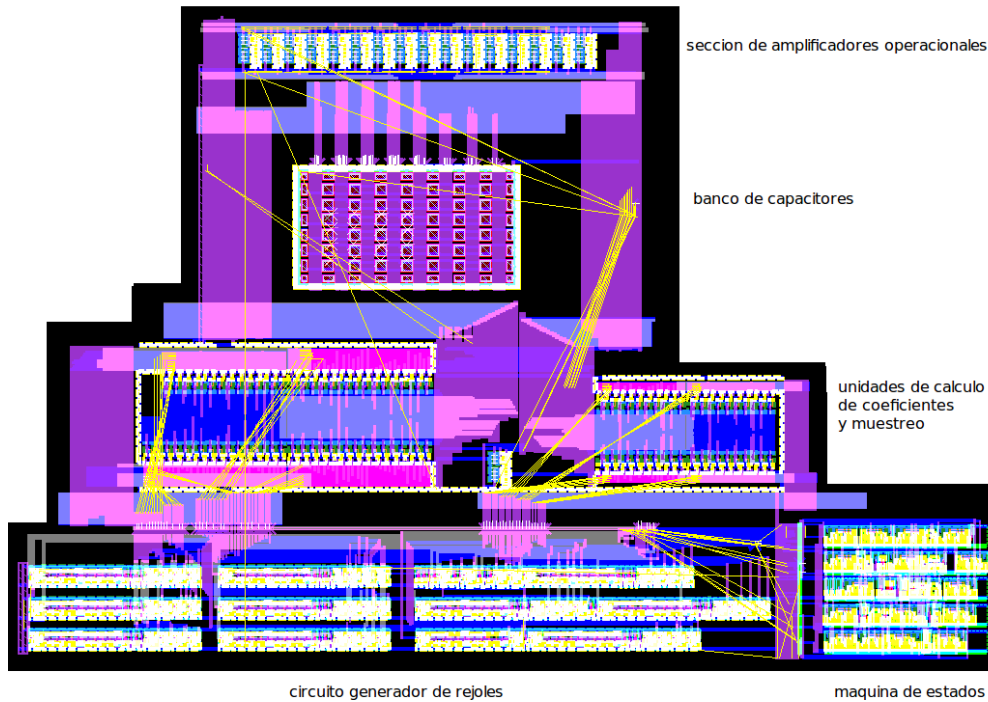


Figura 4.20: Diseño del diagrama total del filtro haar

6. se previó la colocación de las terminales al lado derecho e inferior del circuito.
7. Las capas de metales se implementaron de forma que dos capas adyacentes no viajaran en la misma dirección, si no que fueran perpendiculares entre sí.

Otra modificación que se hizo al circuito, fue la separación de las fuentes de alimentación del circuito digital como del circuito analógico en los pads de conexión.

La figura que se muestra en 4.21 explica mejor cada uno de los segmentos del circuito final.

4.3 Pruebas realizadas

La figura muestra el comportamiento de la versión uno del circuito integrado. Esta gráfica muestra las señales de alimentación, y la interferencia que existe entre las mismas. Esta interferencia es causada por los fenómenos descritos en [2] sobre el manejo del ruido en las señales de alimentación.

Luego de las modificaciones necesarias al circuito se observa la respuesta de la figura

Comparando la señal $V_{dd_{PADS}}$ en ambas figuras puede observarse como el rizo en la seal de tensión (producido por la interferencia del ruido) se eliminó, esto garantiza que ya no existe filtración de ruido del circuito digital al analógico atravez de la alimentación.

En cuanto al consumo de potencia, el resultado de la simulación realizada fue de $40.464\mu W$

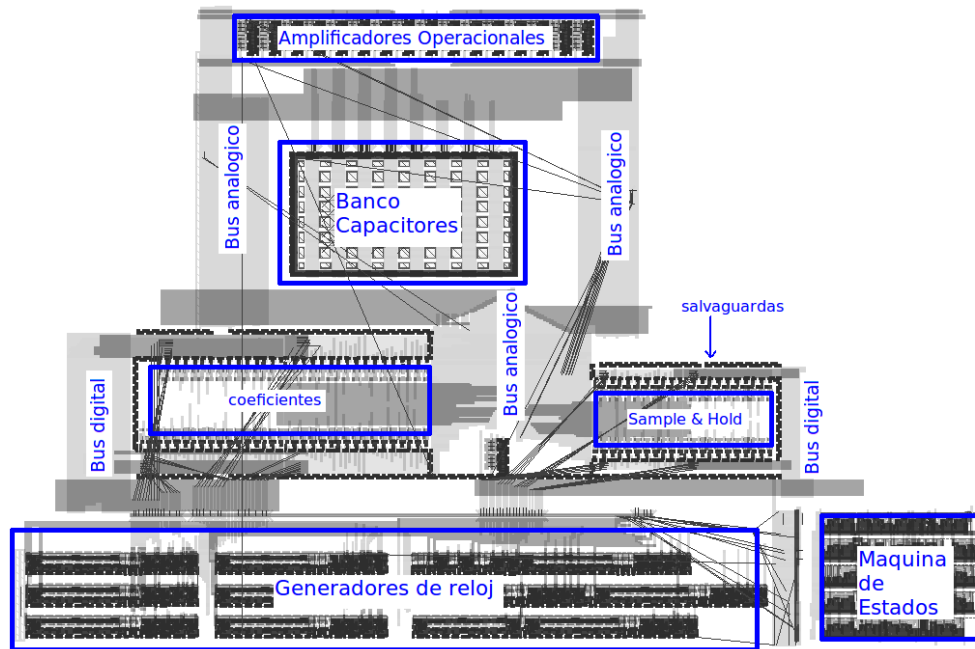


Figura 4.21: Diseño del diagrama total del filtro haar

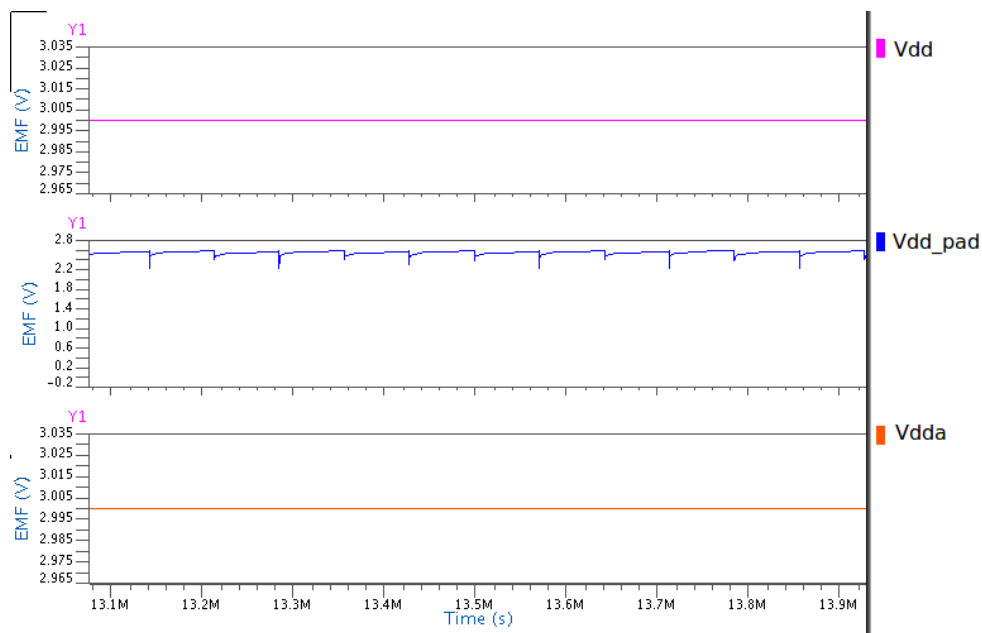


Figura 4.22: Tensiones de alimentación del circuito versión uno

La tabla 4.3 muestra una comparación entre el consumo de las dos versiones del circuito. La mejora fue de un 14%. Esta disminución en el consumo de potencia es importante ya que el consumo de potencia es uno de los parámetros que marcan la viabilidad del proyecto. Un circuito que consuma mucha potencia no es viable. El lograr mantener el diseño en un rango menor a los $50\mu W$ hace que el diseño sea factible para su implementación y el haber

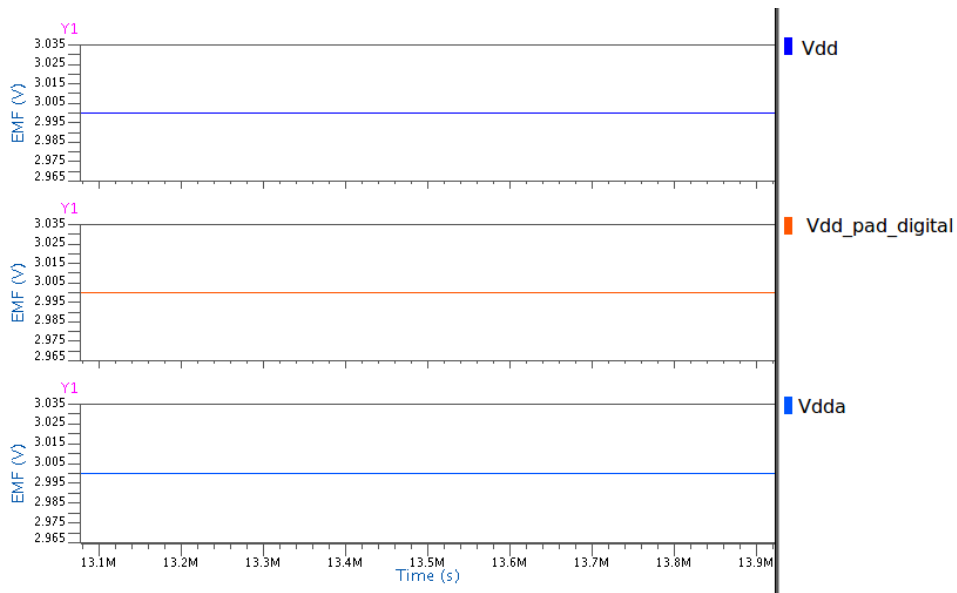


Figura 4.23: Tensiones de alimentación del circuito versión dos

logrado reducir aún más el consumo de potencia se considera muy positivo.

Versión del circuito	Consumo de potencia (μW)
Uno	47,09
Dos	40,46

Tabla 4.3: Consumo de potencia de las dos versiones del circuito integrado

Con respecto al área, la tabla 4.4 compara el área de ambas versiones del circuito. El área se incrementó en un 33% básicamente por el cambio en el formato del diseño.

Versión del circuito	Área (mm^2)
Uno	1,464
Dos	1,944

Tabla 4.4: Comparación de las áreas de las dos versiones del circuito integrado

Por lo general se espera que un circuito integrado tenga el menor tamaño posible, en este caso la versión dos del circuito es un 33% más grande que la versión anterior, sin embargo este aumento en el área es justificable, ya que responde a un diseño que está mejor estructurado, sigue un diseño especialmente definido para circuitos de señal mixta y finalmente hace que el circuito se comporte como se espera que lo haga y el consumo de potencia del mismo se disminuyó considerablemente.

Capítulo 5

Conclusiones

1. Al diseñar un circuito con capacitores conmutados, que es por su naturaleza un circuito de señal mixta, se debe separar el circuito analógico del circuito digital también evitar un traslape de las señales digitales y analógicas, colocar protección contra el ruido entre las líneas digitales y las analógicas y también entre las líneas digitales y el sustrato.
2. En un circuito con capacitores conmutados, los amplificadores operacionales deben ubicarse separado de los interruptores, por la naturaleza del circuito los primeros son analógicos y los segundos son digitales, por lo que si no se separan, esto generará interferencia entre las señales de control de los interruptores y las señales del amplificador operacional.
3. La versión uno del circuito integrado del filtro presentaba un comportamiento no deseado producto de la falta de implementación de más técnicas de protección contra el ruido en el diseño de circuitos de señal mixta. Posteriormente, la segunda versión al contemplar las técnicas de diseño, lograron reducir el ruido y mejorar el consumo de potencia.
4. Se diseñó un filtro paso bajos que permitiera modificar la señal de reloj con la que se alimentaba la máquina de estados del circuito para verificar el comportamiento del mismo, se esperaba que la modificación de la forma de onda de la señal de reloj mejorara el comportamiento del circuito, sin embargo esto no sucedió. Al modificar la pendiente de la forma de onda cuadrada del reloj, la máquina de estados fue incapaz de detectar todos los flancos positivos, por lo que no era capaz de seguir los estados de la manera en que estaban estos definidos.
5. Al circuito se le debió modificar la alimentación, para separar la alimentación de los circuitos digitales de la alimentación de los circuitos analógicos, esto colaboró en la eliminación de la interferencia presentada dentro del circuito, lo cual se reflejó al mostrar la señal de tensión de las fuentes de alimentación limpias.
6. Se modificó el diseño completo del circuito para que se adapte a las técnicas de diseño de circuitos integrados de señal mixta. El circuito final cumplió con las expectativas de

diseño y superó las pruebas de chequeo de reglas de diseño y de chequeo de conexiones y enrutamiento que la herramienta provee.

7. El circuito fue puesto a prueba donde respondió con un consumo de potencia de $40.464\mu W$, el cual queda por debajo del límite definido de $50\mu W$. Además de mejorar en un 14% el consumo de potencia con respecto a la versión anterior del chip.
8. El circuito aumentó en un 33% su área, para un total de $1,944mm^2$ esto se debe al cambio en el diseño del circuito final, al modificar la estructura del mismo, se aumentó el área. El aumento se considera tolerable, ya que se debe a una mejora significativa en el desempeño del circuito desde varios aspectos: está mejor estructurado, consume menos potencia y tiene el funcionamiento esperado.
9. Para poder enviar el circuito a fabricación, queda pendiente agregar los pads de conexión al mismo, en el diseño final.

Bibliografía

- [1] Alfonso Chacón. *Circuitos Integrados de Bajo Consumo para Detección y Localización de Disparos de Armas de Fuego*. PhD thesis, 2009.
- [2] R. Gregorian and G. Temes. *Analog MOS Integrated Circuits for Signal Processing*. Wiley Interscience, 1ra edition, 1986.
- [3] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw Hill, 2000.
- [4] Y Akazawa T. Kaneko and M Nagatomi. Switched capacitor and active rc filter layout using a parameterizable generator. Japan, 1991.
- [5] Yannis Tsividis. *Mixed ANALOG-DIGITAL VLSI Devices and Technology*. World Scientific, 1996.

