

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica



**Implementación de una metodología para lograr la integración física “correcta por construcción (CBC)” de un banco de filtros digitales descrito en alto nivel**

Informe de Proyecto de Graduación para optar por el título de  
Ingeniero en Electrónica con el grado académico de Licenciatura

Jairo Mauricio Valverde Cruz

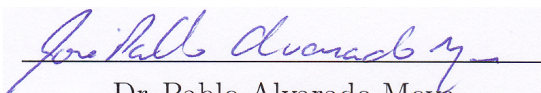
Cartago, 20 de junio de 2011



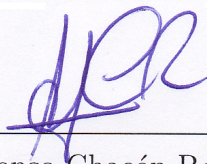
Instituto Tecnológico de Costa Rica  
Escuela de Ingeniería Electrónica  
Proyecto de Graduación  
Tribunal Evaluador

Proyecto de Graduación defendido ante el presente Tribunal Evaluador como requisito para optar por el título de Ingeniera en Electrónica con el grado académico de Licenciatura, del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal



Dr. Pablo Alvarado Moya  
Profesor Lector



Dr. Alfonso Chacón Rodríguez  
Profesor Asesor

Los miembros de este Tribunal dan fe de que el presente trabajo de graduación ha sido aprobado y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica.

Cartago, 20 de junio de 2011



Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía he procedido a indicar las fuentes mediante las respectivas citas bibliográficas. En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



Jairo Mauricio Valverde Cruz

Cartago, 20 de junio de 2011

Céd: 5-0364-0013



# Resumen

Costa Rica posee 28 Parques Nacionales, ocho Reservas Biológicas, 31 Zonas Protectoras, nueve Reservas Forestales, 71 Refugios de Vida Silvestres, 15 humedales, y cuatro zonas clasificadas en otras categorías. Los recursos naturales presentes en dichas áreas están siendo afectados por las actividades ilegales tales como la tala del bosque y la caza.

Para disminuir el impacto que las actividades ilegales producen al ambiente es posible capturar las señales acústicas presentes en el bosque por medio de una red de sensores, y luego procesar las señales acústicas para identificar disparos (caza) y motosierras (tala del bosque).

En este trabajo se establece un marco CAD para realizar la *integración física “correcta por construcción (CBC)”* de un sistema digital descrito en alto nivel. Éste marco CAD se utiliza para realizar la integración física “correcta por construcción (CBC)” de un banco de filtros digitales utilizado en la descomposición de la señal acústica presente en el bosque.

La *integración física “correcta por construcción (CBC)”* es el proceso por el que se obtienen los archivos necesarios para la fabricación de un circuito integrado a partir de la descripción en HDL de un sistema digital. Este proceso se realiza mediante un flujo para el diseño de circuitos integrados de aplicación específica (ASIC) con las herramientas comerciales de *Synopsys*.

**Palabras clave:** marco CAD, integración física “correcta por construcción (CBC)”, circuitos integrado de aplicación específica (ASIC), implementación física, Synopsys.





# Abstract

Costa Rica has 28 National Parks, eight Biological Reservations, 31 Protective Zones, nine Forest Reservations, 71 Vida Silvestres's Refuges, 15 wetlands, and four zones classified under other categories. Natural resources in the above mentioned areas are being affected by the such illegal activities as the felling of the forest and the hunt.

To diminish the impact that the illegal activities produce to the environment is possible to capture the acoustic signals present in the forest by means of a network of sensors, and then to process the acoustic signals to identify shots (hunt) and chainsaws (felling of the forest).

This work implements a CAD framework in order get to the "*correct by construction (CBC)*" *physical integration* of a digital system described in high level. This CAD framework is used to get "correct by construction (CBC)" final layout of a digital bank of filter used in the decomposition of acoustics signals present in forests.

"Correct by construction (CBC)" physical integration of Integrated Circuits is the process by which files necessary for the manufacture of an integrated circuit are obtained from the HDL description of a digital system. This process is realized by means of a tool flow for the design of application specific integrated circuits (ASIC), provided by Synopsys

**Keywords:** CAD framework, "correct by construction (CBC)" physical integration, application specific integrated circuits (ASIC), physical integration, Synopsys.



*a mis queridos padres*



# Agradecimientos

El resultado de este trabajo no hubiese sido posible sin el apoyo del Dr. Alfonso Chacón Rodríguez y del Dr. Pablo Alvarado Moya, se les agradece la oportunidad de trabajar en este proyecto y por el conocimiento brindado. Agradezco la guía del Ing. Miguel Hernández Rivera con respecto a la formulación de este proyecto. También se reconoce la ayuda brinda por el Ing. Erick Salas Chaverri para comprender el funcionamiento del banco de filtros digitales, y a Jose Pablo Castro por su colaboración sobre temas de Linux. Una mención especial a Dios, a todos mis amigos, y a los compañeros del DCILab.

Jairo Mauricio Valverde Cruz

Cartago, 20 de junio de 2011



# Índice general

Índice de figuras	iii
Índice de tablas	v
Lista de símbolos y abreviaciones	vii
<b>1 Introducción</b>	<b>1</b>
1.1 Antecedentes . . . . .	2
1.2 Acceso a la energía en el bosque . . . . .	3
1.3 Estructura del documento . . . . .	3
<b>2 Meta y objetivos</b>	<b>5</b>
2.1 Meta . . . . .	5
2.2 Objetivo general . . . . .	5
2.3 Objetivos específicos . . . . .	5
<b>3 Marco teórico</b>	<b>7</b>
3.1 Integración física “correcta por construcción (CBC)” . . . . .	7
3.2 Banco de filtros digitales . . . . .	10
3.2.1 Recursos usados en FPGA para las implementaciones propuestas . . .	10
3.2.2 Especificaciones lógicas del banco de filtros digitales segmentado . . .	10
3.2.3 Especificaciones físicas del banco de filtros digitales segmentado . . .	15
<b>4 Procedimiento metodológico</b>	<b>17</b>
<b>5 Síntesis RTL del banco de filtros digitales segmentado</b>	<b>19</b>
5.1 Marco CAD implementado . . . . .	19
5.2 Obtención de la lista de nodos a nivel de compuertas . . . . .	19
5.3 Resultados y análisis de la verificación lógica . . . . .	23
5.3.1 Función de transferencia . . . . .	23
5.3.2 Características en frecuencia . . . . .	25
5.4 Estimación del consumo de potencia y el área . . . . .	26
5.5 Conclusiones . . . . .	28

---

<b>6 Implementación física del banco de filtros digitales segmentado</b>	<b>29</b>
6.1 Marco CAD implementado . . . . .	29
6.2 Obtención del trazado físico y verificación . . . . .	29
6.3 Resultados de la verificación lógica . . . . .	31
6.4 Resultados y análisis de la verificación de Temporizado . . . . .	31
6.5 Consumo de potencia del trazado físico . . . . .	32
6.6 Verificación eléctrica . . . . .	34
6.7 Conclusiones . . . . .	36
<b>7 Conclusiones y recomendaciones</b>	<b>37</b>
<b>Bibliografía</b>	<b>39</b>
<b>Índice alfabético</b>	<b>41</b>



# Índice de figuras

1.1	Diagrama de bloques del Sistema de Reconocimiento de Patrones Acústicos (SiRPA), planteado [11]. . . . .	2
3.1	Flujo para el diseño de circuitos integrados de aplicación específica (ASIC). . . . .	9
3.2	Codificación subbanda del banco de filtros digitales segmentado, según [8]. . . . .	11
3.3	Esquema general del banco de filtros digitales segmentado, planteado en [8]. . . . .	11
5.1	Diagrama de bloques del proceso de obtención de la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado. . . . .	20
5.2	Técnica del bloqueo del reloj implementada, basado en [1] y [3]. . . . .	21
5.3	Programa Design Compiler usado en la obtención de la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado. . . . .	22
5.4	Respuesta al impulso de 10000 unidades del filtro pasa alto. . . . .	23
5.5	Respuesta al impulso de 10000 unidades del filtro pasa bajo. . . . .	24
6.1	Diagrama de bloques del proceso de obtención del trazado físico del banco de filtros digitales segmentado. . . . .	30
6.2	Trazado físico del banco de filtros digitales segmentado en tecnología de 90nm. . . . .	30
6.3	Programa Primetime utilizado en la verificación de temporizado. . . . .	32
6.4	Diagrama de bloques del proceso de verificación eléctrica del banco de filtros digitales segmentado. . . . .	34
6.5	Simulación eléctrica de la subbanda cero del banco de filtros digitales segmentado. . . . .	35
6.6	Simulación lógica de la subbanda cero del banco de filtros digitales segmentado. . . . .	35



# Índice de tablas

3.1	Recursos en FPGA para cada implementación del banco de filtros digitales, según [8]. . . . .	10
3.2	Polos y ceros del filtro pasa alto, según [8]. . . . .	12
3.3	Polos y ceros del filtro pasa bajo, según [8]. . . . .	12
3.4	Característica en frecuencia para cada subbanda, según [10]. . . . .	13
3.5	Ancho de banda experimental para cada subbanda del banco de filtros digitales segmentado, según [8]. . . . .	14
3.6	Ancho de banda del RTL y ancho de banda teórico [10] del banco de filtros digitales segmentado. . . . .	14
3.7	Consumo de potencia dinámico del banco de filtros digitales segmentado, según [8]. . . . .	15
5.1	Frecuencia de temporizado para cada una de las subbandas del banco de filtros digitales segmentado, especificadas según [8]. . . . .	20
5.2	Polos y ceros del filtro pasa alto obtenidos de la lista de nodos a nivel compuertas del banco de filtros digitales segmentado. . . . .	24
5.3	Polos y ceros del filtro pasa bajo obtenidos de la lista de nodos a nivel compuertas del banco de filtros digitales segmentado. . . . .	25
5.4	Comparación entre el ancho de banda de la lista de nodos a nivel de compuertas y el ancho de banda de banda teórico (tabla 3.5) para cada subbanda del banco de filtros digitales segmentado. . . . .	25
5.5	Ancho de banda de la lista de nodos a nivel de compuertas y el ancho de banda utilizado como especificaciones lógicas del banco de filtros digitales segmentado. . . . .	26
5.6	Consumo de potencia y área de la lista de nodos a nivel de compuertas banco de filtros digitales segmentado manteniendo los niveles de jerarquía, con una frecuencia de muestreo de $44,1(kHz)$ . . . . .	27
5.7	Consumo de potencia y área de la lista de nodos a nivel de compuertas banco de filtros digitales segmentado eliminando los niveles de jerarquía, con una frecuencia de muestreo de $44,1(kHz)$ . . . . .	27
5.8	Consumo de potencia dinámico de la lista de nodos a nivel de compuertas y del banco de filtros digitales segmentado implementado en un <i>FPGA Spartan 3E</i> para diferentes frecuencias de muestreo. . . . .	28

6.1	Rutas críticas de temporizado del layout del banco de filtros digitales segmentado, obtenidas por medio del programa Primetime. . . . .	31
6.2	Consumo de potencia dinámico del trazado físico y del banco de filtro digital segmentado implementado en <i>FPGA Spartan 3E</i> para diferentes frecuencias de muestreo. . . . .	33

# Lista de símbolos y abreviaciones

## Abreviaciones

ASIC	Circuito Integrado de Aplicación Específica
CBC	Correcta Por Construcción
HDL	Lenguaje de Descripción de Hardware
RTL	Nivel de Registros de Transferencia
VCS	Compilador y Simulador de Verilog (propietario, Synopsys)



# Capítulo 1

## Introducción

Costa Rica posee 28 Parques Nacionales, ocho Reservas Biológicas, 31 Zonas Protectoras, nueve Reservas Forestales, 71 refugios de Vida Silvestres, 15 humedales, y cuatro zonas clasificadas en otras categorías. Lo anterior corresponde a una cobertura en áreas protegidas cercana al 26% del territorio nacional. En dichas áreas, se protege el recurso hídrico, se protege la biodiversidad, y se da la fijación de carbono como parte de los servicios ambientales que ofrece el país.[7].

En la áreas protegidas, los guardaparques se encargan de la prevención y control de incendios, control de la caza, y control de la tala ilegal de los árboles. La efectividad de los guardaparques se ve limitada debido a que las áreas protegidas abarcan aproximadamente un cuarto del territorio nacional [4].

Para disminuir el impacto que las actividades ilegales producen al ambiente es posible capturar las señales acústicas presentes en el bosque por medio de una red de sensores, y luego procesar las señales acústicas para identificar disparos (caza) o motosierras (tala del bosque).

Este trabajo pertenece al proyecto “Diseño de una red inalámbrica de telecomunicaciones para la protección ambiental en el bosque” [5], el cual está conformado por tres módulos generales (alimentación de potencia, detección y comunicación) para lograr el reconocimiento de patrones acústicos en el bosque.

A partir del proyecto macro “Diseño de una red inalámbrica de telecomunicaciones para la protección ambiental en el bosque” se han originado una serie de trabajos que se describen a continuación.

## 1.1 Antecedentes

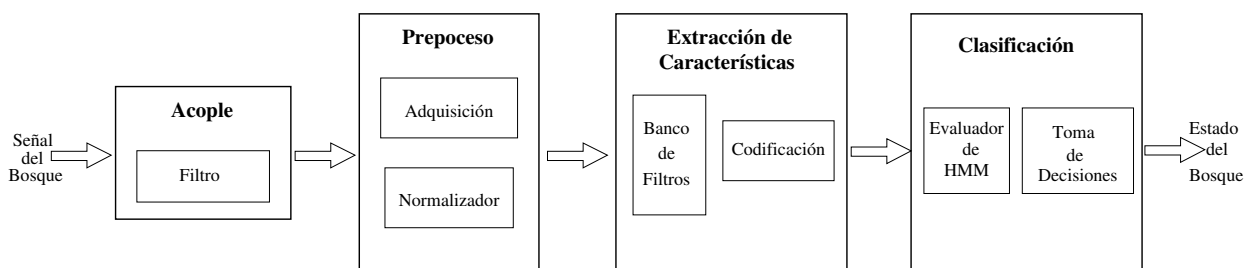
Como parte del proyecto macro “Diseño de una red inalámbrica de telecomunicaciones para la protección ambiental en el bosque” se desarrolló un sistema para reconocer patrones acústicos de motosierras y disparos, basado en la teoría de las redes neuronales artificiales utilizando discriminadores de Fisher, con un consumo de potencia de  $1,8W$ . La simulación se realizó por medio de la herramienta MatLab y se obtuvo un porcentaje de error de un 12% en las detecciones de motosierras y un 10% en las de disparos en un área de cobertura de  $2862 m^2$  [6].

En [9] se realizó un trabajo a nivel de software, que permite la extracción de características por medio de la teoría de wavelets (identifica los contenidos de frecuencia específicos) y la clasificación de los sonidos (disparo o motosierra) por medio de los clasificadores estadísticos, basados en los Modelos Ocultos de Markov (HMM). Los resultados experimentales obtenidos muestran un 90% de probabilidades de identificar la fuente sonora con tiempos de reconocimientos igual o menores a  $0,05s$  [11].

Para analizar en forma digital las señales acústicas en tiempo real, se creó un prototipo algorítmico para la detección de disparos y motosierras. Se obtuvo una tasa de reconocimiento de disparos del 94,12% y una tasa creciente para el modelo de motosierras [10].

En la figura 1.1 se muestra el esquema general de solución del macro proyecto “Diseño de una red inalámbrica de telecomunicaciones para la protección ambiental en el bosque”, que está compuesto por los módulos de acople, preproceso, extracción de características, y clasificación.

En [8] se documenta una implementación en *FPGA* utilizando el *lenguaje de descripción de hardware (VHDL)* de los siguientes submódulos: el normalizador (un nivel de referencia para la señal de audio), el banco de filtros digitales; que permite separar la señal normalizada en ocho bandas de frecuencia para la posterior extracción de la energía, y el evaluador de HMM, tal como se observa en la figura 1.1.



**Figura 1.1:** Diagrama de bloques del Sistema de Reconocimiento de Patrones Acústicos (SiRPA), planteado [11].

El submódulo denominado banco de filtros digitales de la figura 1.1, posee tres implementaciones diferentes en *FPGA* denominadas: cascada dual, cascada factorizada y segmentada.



La diferencia entre las tres implementaciones del banco de filtros digitales es la optimización con respecto al área (cantidad de componentes lógicos), de tal forma que el banco de filtros digitales segmentado utiliza la menor cantidad de componentes lógicos. En este documento, cada vez que se mencione alguna de las tres implementaciones del banco de filtros digitales, esta corresponderá al desarrollo e implementación en FPGA realizado en [8].

En este proyecto se pretende concluir con la implementación de un banco de filtros digitales segmentado como caso exhaustivo de comprobación del flujo de metodología CBC.

## 1.2 Acceso a la energía en el bosque

Se sabe que, por el alto consumo de potencia del FPGA Spartan 3E, éste no se puede alimentar con baterías para que funcione en el bosque, ya que sería necesario reemplazar las baterías de forma periódica. Ello impide la utilización del FPGA realizar la implementación del banco de filtros digitales segmentado. Así, es conveniente considerar el implementar éste sistema sobre un ASIC, por sus obvias ventajas de consumo menor de potencia.

El desarrollo del proyecto “Diseño de una red inalámbrica de telecomunicaciones para la protección ambiental en el bosque” se limita también debido al alto costo del FPGA Spartan 3E utilizado para realizar la implementación del banco de filtros digitales segmentado, ya que se requiere utilizar el FPGA en cada lugar donde se desea detectar la presencia de actividades ilegales.

## 1.3 Estructura del documento

Para simplificar el proceso de lectura, en este documento los capítulos se separan de la siguiente forma. En el capítulo 2 se plantea la meta y los objetivos del proyecto. En el capítulo 3 se explica el flujo para el diseño de circuitos integrados de aplicación específica (ASIC) y se establecen las bases teóricas del banco de filtros digitales segmentado. En el capítulo 4 se expone el procedimiento metodológico para el desarrollo del proyecto. En capítulo 5 se presenta el marco CAD implementado para realizar la síntesis RTL y la verificación lógica, el proceso de obtención de la lista de nodos, y los resultados de la *síntesis RTL* de un banco de filtros digitales segmentado. En el capítulo 6 se muestra el marco CAD implementado para realizar la implementación física, la verificación de temporizado, y la verificación eléctrica. Se detalla posteriormente el proceso de obtención del trazado físico, los resultados de la verificación lógica, de la verificación de temporizado, y del consumo de potencia de la lista de nodos a nivel de compuertas con información de las parásitas de un banco de filtros digitales segmentado. Para finalizar, en el capítulo 7 se presentan las conclusiones y recomendaciones del proyecto.



# Capítulo 2

## Meta y objetivos

### 2.1 Meta

A partir de sistemas digitales descritos en alto nivel generar los archivos finales utilizados para la fabricación de circuitos integrados con un menor consumo de potencia y con un menor costo en comparación con la implementación en FPGA.

### 2.2 Objetivo general

Obtener la integración física “correcta por construcción (CBC)” de un banco de filtros digitales segmentado.

### 2.3 Objetivos específicos

1. Realizar la *síntesis RTL* de un banco de filtros digitales segmentado.
2. Obtener la *implementación física* de un banco de filtros digitales segmentado.



# Capítulo 3

## Marco teórico

### 3.1 Integración física “correcta por construcción (CBC)”

La *integración física “correcta por construcción (CBC)”* es el proceso por el que se obtienen los archivos necesarios para la fabricación de un circuito integrado a partir de la descripción en HDL de un sistema digital. Durante este proceso la estructura interna del sistema digital puede variar pero sin alterar su funcionamiento lógico.

Para realizar la *integración física “correcta por construcción (CBC)”* de un sistema digital descrito en alto nivel se utiliza un flujo para el *diseño ASIC*. Las etapas del flujo para el *diseño ASIC* son descritas a continuación [2]:

**1. Idea:**

Es el origen del flujo, corresponde a lo que se desea diseñar.

**2. Especificaciones *ASIC*:**

Como especificaciones *ASIC* se consideran los siguientes aspectos:

- Objetivos y limitaciones del diseño.
- Especificaciones lógicas:  
La función lógica que debe realizar el sistema digital.
- Especificaciones físicas:  
El consumo de potencia y temporizado del sistema digital.

**3. RTL (**R**egister **T**ransfer **L**evel):**

La idea y las especificaciones lógicas son plasmadas en un diseño a nivel de registros de transferencia utilizando un HDL.

**4. Simulación lógica:**

Permite verificar el funcionamiento lógico del *RTL*. Esta simulación se realiza en las siguientes tres etapas del flujo para el *diseño de circuitos integrados de aplicación específica (ASIC)*:

- Durante la creación del *RTL*.
- Después de realizar la *síntesis RTL*.
- Después de la *implementación física*.

## 5. Síntesis RTL:

Es el proceso en el cual el diseño a nivel de registros de transferencia es mapeado a una lista de nodos a nivel de compuertas lógicas (Gate Level Netlist) que contiene sólo bloques lógicos incluidos en la biblioteca de celdas estándar.

La biblioteca de celdas estándar posee bloques lógicos tales como compuertas lógicas, registros, y arreglos de compuertas lógicas.

Cada bloque lógico incluido en la biblioteca de celdas estándar contiene tres formas de representación, las cuales se describen a continuación:

- Representación CELL:  
Contiene el trazado físico.
- Representación FRAM:  
Posee el trazado físico en forma más simple utilizado durante la implementación física.
- Representación LM:  
Incluye la información de temporizado y del consumo de potencia.

## 6. Implementación física:

En esta etapa se obtiene el trazado físico (layout) del sistema digital a partir de la lista de nodos a nivel de compuertas (Gate Level Netlist) obtenida en la *Síntesis RTL*. Además se genera la lista de nodos a nivel de compuertas con la información de las parásitas (resistencias y capacitancias).

La *implementación física* consta de las siguientes tres etapas:

- *Descripción física:*  
Se transforma la descripción lógica de la lista de nodos a nivel de compuertas en una descripción física y se busca minimizar el área y el retardo de sistema digital. Durante esta etapa de la *implementación física* se hace una estimación del área del circuito integrado, se asignan los pines, y se crean los anillos de alimentación del circuito integrado.
- *Colocación física:*  
En esta etapa se coloca en un lugar específico los diferentes bloques lógicos que conforma la lista de nodos a nivel de compuertas. Se trata de minimizar al área (colocando los bloques lo más cerca posible) y se busca minimizar el largo de los cables que unen los diferentes bloques lógicos (colocando en forma adyacente los bloques necesarios para realizar determinada función).
- *Enrutado físico:*  
Consiste en unir entre sí los diferentes bloques lógicos que conforman el circuito

integrado. Al finalizar esta etapa, el trazado físico del sistema digital ha sido creado y se guarda como archivo *GDSII*.

### 7. Verificación de temporizado:

Se determinan las rutas críticas del diseño y se verifica que no existan problemas de temporizado.

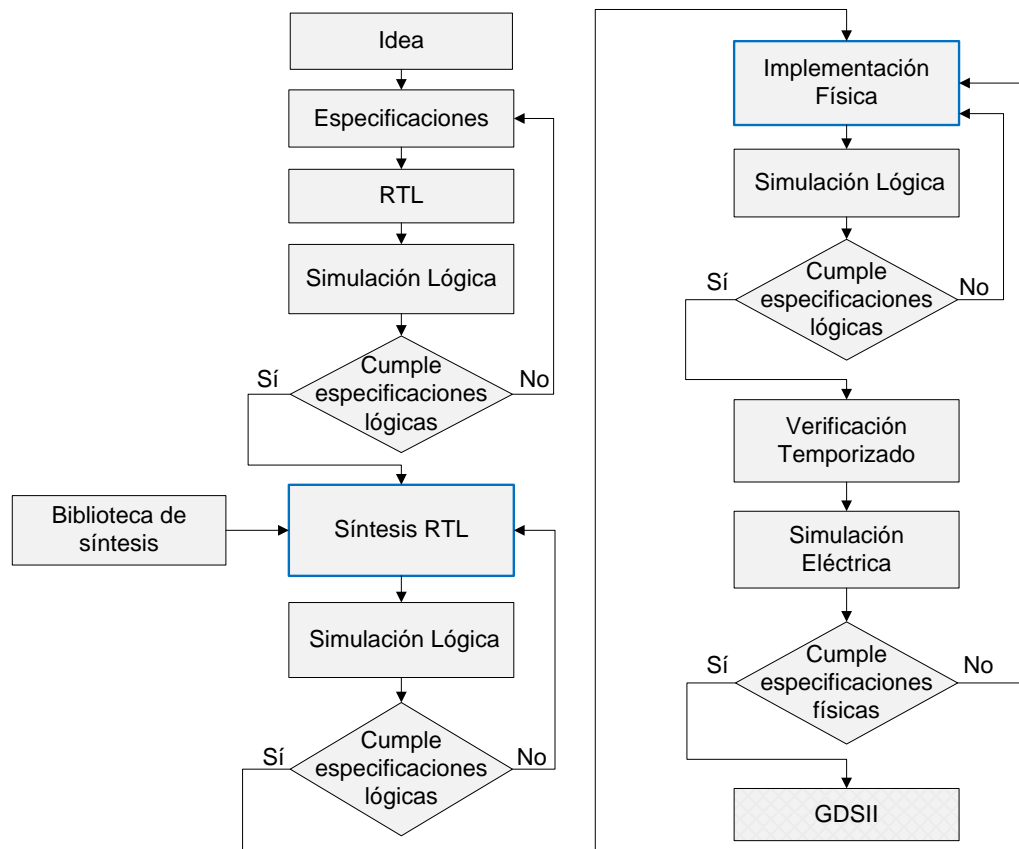
### 8. Simulación eléctrica:

Permite determinar la existencia de errores en el *trazado físico* (circuito abierto o corto circuito).

### 9. GDSII:

Es el archivo que contiene toda la información del trazado físico y se utiliza para fabricar el circuito integrado.

El flujo para el *diseño ASIC* se muestra en la figura 3.1, en donde se observan las etapas necesarias para originar los archivos utilizados en la fabricación de un circuito integrado a partir de una idea y especificaciones de un sistema digital.



**Figura 3.1:** Flujo para el diseño de circuitos integrados de aplicación específica (ASIC).

## 3.2 Banco de filtros digitales

Cómo se ha explicado en [8], existen tres implementaciones del banco de filtros digitales. Cada una de estas implementaciones requieren los recursos, según la tabla 3.1. Luego, se detallan las especificaciones lógicas y físicas del banco de filtros digitales segmentado.

### 3.2.1 Recursos usados en FPGA para las implementaciones propuestas

En la tabla 3.1 se muestra los recursos usados en FPGA (Slice, Flip Flop, LUT) para cada una de las tres implementaciones del banco de filtros digitales.

**Tabla 3.1:** Recursos en FPGA para cada implementación del banco de filtros digitales, según [8].

Banco de filtros	Slice	Flip Flop	LUT
Cascada dual	3792	1168	6576
Cascada Factorizada	2755	724	4951
Segmentado	1071	1036	1030

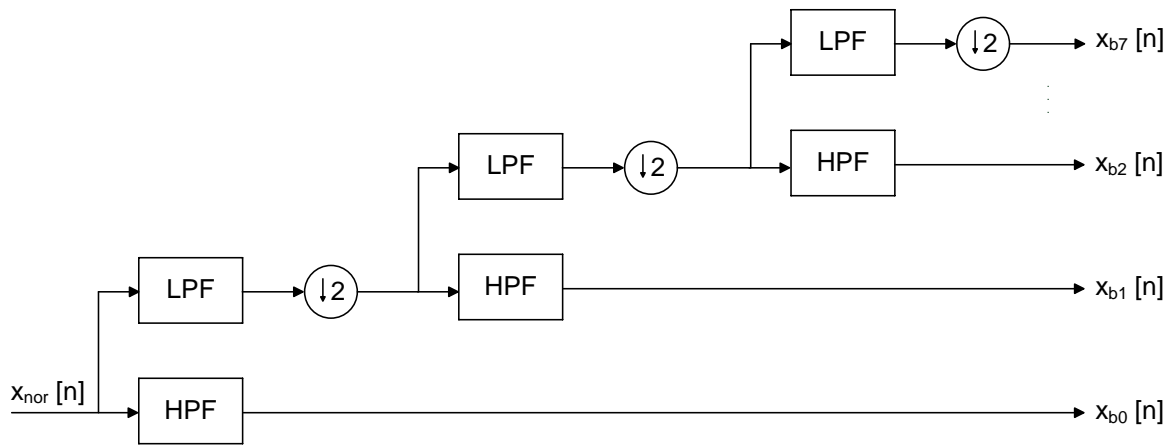
Los datos de la tabla 3.1 muestran que el banco de filtros digitales segmentado utiliza la menor cantidad de recursos en FPGA y por ende posee un menor consumo de potencia en comparación con las demás implementaciones. Por lo que la integración física CBC se realiza al banco de filtros digitales segmentado.

### 3.2.2 Especificaciones lógicas del banco de filtros digitales segmentado

#### Función de transferencia

La implementación del banco de filtros digitales segmentado utiliza un filtro pasa alto (HPF) y un filtro pasa bajo (LPF) en cascada, tal como se muestra en la figura 3.2.



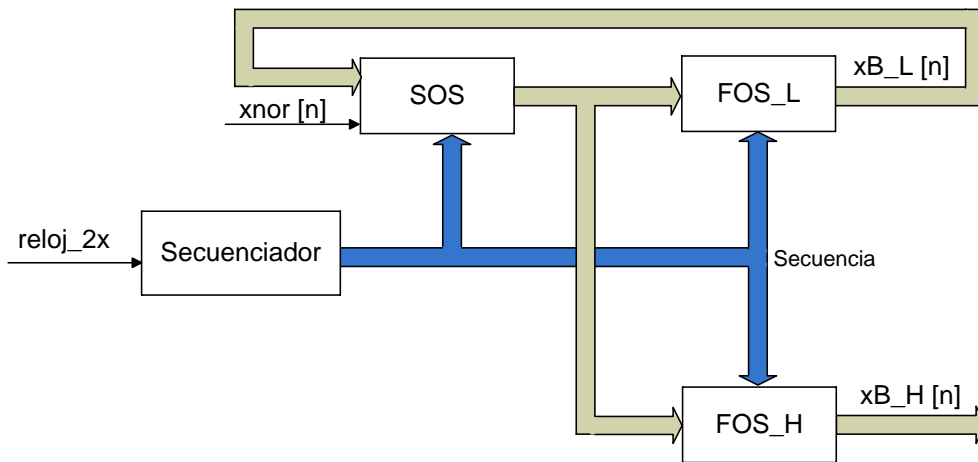


**Figura 3.2:** Codificación subbanda del banco de filtros digitales segmentado, según [8].

Cada uno de los filtros posee la función de transferencia

$$H(z) = G \left( \frac{b_{01} + b_{11}z^{-1}}{a_{01} + a_{11}z^{-1}} \right) \left( \frac{b_{02} + b_{12}z^{-1} + b_{22}z^{-2}}{a_{02} + a_{12}z^{-1} + a_{22}z^{-2}} \right) \quad (3.1)$$

y está conformado por un sistema de primer orden (FOS, First order system) en cascada con un sistema de segundo orden (SOS, Second order system) como se observa en la figura 3.3.



**Figura 3.3:** Esquema general del banco de filtros digitales segmentado, planteado en [8].

En [8] se implementó el banco de filtros digitales segmentado en punto flotante (software) y en punto fijo (HDL); los polos y ceros para el filtro pasa alto y el filtro pasa bajo se muestran en la tabla 3.2 y 3.3 respectivamente.

**Tabla 3.2:** Polos y ceros del filtro pasa alto, según [8].

	<b>Punto flotante</b>	<b>Punto fijo</b>	<b>Desvío de la magnitud</b>
<b>Ceros</b>	1,0000	0,9915	0,0085
	$1,0000 \pm 46,9^\circ$	$0,9994 \pm 46,9^\circ$	0,0006
<b>Polos</b>	0,0016	0,0041	0,0025
	$0,6498 \pm 90,2^\circ$	$0,6500 \pm 90,2^\circ$	0,0002

**Tabla 3.3:** Polos y ceros del filtro pasa bajo, según [8].

	<b>Punto flotante</b>	<b>Punto fijo</b>	<b>Desvío de la magnitud</b>
<b>Ceros</b>	1,0000	0,9999	0,0001
	$1,0000 \pm 133,2^\circ$	$0,9993 \pm 133,2^\circ$	0,0007
<b>Polos</b>	0,0016	0,0015	0,0001
	$0,6498 \pm 90,2^\circ$	$0,6500 \pm 90,2^\circ$	0,0005

Los datos de la columna de punto fijo de la tabla 3.2 y 3.3 se utilizan como parte de las especificaciones lógicas ASIC del banco de filtros digitales segmentado, dichos datos no deben de variar durante la integración física CBC.

## Características en frecuencia

Las características en frecuencia para cada una de las ocho subbandas que conforman el banco de filtros digitales segmentado [8], fueron planteadas en [10] y se muestran en la tabla 3.4.

**Tabla 3.4:** Característica en frecuencia para cada subbanda, según [10].

Subbanda	Frecuencia alta ( $Hz$ )	Frecuencia baja ( $Hz$ )	Ancho de banda ( $Hz$ )
0	20.000,00	11.025,00	8.975,00
1	11.025,00	5.512,50	5.512,50
2	5.512,50	2.756,25	2.756,25
3	2.756,25	1.378,13	1.378,13
4	1.378,13	689,06	689,06
5	689,06	344,53	344,53
6	344,53	172,27	172,27
7	172,27	86,13	86,13

El filtro pasa bajo y el filtro pasa alto del banco de filtros digitales segmentado [8] posee las siguientes características:

- Filtro QMF elíptico o de Cauer de orden 3.
- IIR (Respuesta infinita al impulso).
- Rizado de la banda pasante menor a  $1dB$ .
- Rizado de la banda no pasante menor a  $30dB$ .
- Banda de transición entre 0,4 y 0,7 de la frecuencia normalizada.

En la tabla 3.5 se observa el ancho de banda para cada subbanda del banco de filtros digitales segmentado obtenido en forma experimental al realizar un barrido de frecuencia de  $10Hz$  hasta  $20kHz$  en  $5s$  en [8].

**Tabla 3.5:** Ancho de banda experimental para cada subbanda del banco de filtros digitales segmentado, según [8].

Subbanda	$\Delta_t(s)$	BW Experimental (Hz)	BW Teórico (Hz)	Desviación (%)
0	2,2	8.795,6	8.975,00	1,99
1	1,3	5.197,4	5.512,50	5,72
2	0,65	2.598,7	2.756,25	5,72
3	0,3	1.199,4	1.378,13	12,96
4	0,145	579,71	689,06	15,86
5	0,075	299,85	344,53	12,97
6	0,035	139,93	172,27	18,77
7	0,018	71,964	86,13	16,45

Debido a que el ancho de banda experimental mostrado en la tabla 3.5 es obtenido mediante una prueba en FPGA, éstos datos no sirven como especificaciones lógicas ASIC del banco de filtros digitales segmentado, por lo que se determina el ancho de banda del banco de filtros digitales segmentado por medio de la función *prony* de *Matlab* con los datos de la respuesta al impulso de 32000 unidades de las primeras 64 muestras para cada subbanda utilizando el RTL desarrollado en [8], los datos obtenidos se muestran en la tabla 3.6.

**Tabla 3.6:** Ancho de banda del RTL y ancho de banda teórico [10] del banco de filtros digitales segmentado.

Subbanda	BW RTL (Hz)	BW Teórico (Hz)	Desviación (%)
0	8.957,98	8.975,00	0,19
1	5.566,90	5.512,50	0,99
2	2.753,77	2.756,25	0,09
3	1.369,53	1.378,13	0,62
4	676,01	689,06	1,89
5	335,13	344,53	2,73
6	165,03	172,27	4,20
7	87,48	86,13	1,56

El ancho de banda del RTL mostrado en la tabla 3.6 se utiliza como parte de las especificaciones lógicas ASIC del banco de filtros digitales segmentado, éstos datos no deben de variar durante la integración física CBC.

### 3.2.3 Especificaciones físicas del banco de filtros digitales segmentado

La implementación del banco de filtros digitales segmentado en FPGA Spartan 3E posee un consumo de potencia estático de  $80,99mW$ , y un consumo de potencia dinámico que depende de la frecuencia tal como se muestra en la tabla 3.7.

**Tabla 3.7:** Consumo de potencia dinámico del banco de filtros digitales segmentado, según [8].

Frecuencia de muestreo ( $kHz$ )	Potencia dinámica ( $\mu W$ )
44,1	500
22,05	340
11,025	220

El consumo de potencia estático, y el consumo de potencia dinámico mostrado en la tabla 3.7 corresponden a las especificaciones físicas ASIC del banco de filtros digitales segmentado.



# Capítulo 4

## Procedimiento metodológico

Para cumplir con el primer objetivo de este proyecto se propusieron y se ejecutaron los siguientes pasos:

1. Establecer un marco CAD para realizar la *síntesis RTL* de un sistema digital descrito en alto nivel y la verificación lógica de la lista de nodos a nivel de compuertas.
2. Obtener la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado.
3. Verificar que la lista de nodos a nivel de compuertas cumpla con las especificaciones lógicas del banco de filtros digitales segmentado.

Para completar el segundo objetivo de este proyecto se propusieron y se ejecutaron los siguientes pasos:

1. Establecer un marco CAD para realizar la *implementación física*, la verificación de temporizado, y la verificación eléctrica de la lista de nodos a nivel de compuertas de un sistema digital.
2. Obtener el trazado físico del banco de filtros digitales segmentado.
3. Obtener la lista de nodos a nivel de compuertas con información de las capacitancias y resistencias parásitas del banco de filtros digitales segmentado.
4. Verificar que la lista de nodos a nivel de compuertas con información de las capacitancias y resistencias parásitas cumpla con las especificaciones lógicas del banco de filtros digitales segmentado.
5. Verificar el temporizado de la lista de nodos a nivel de compuertas con información de las capacitancias y resistencias parásitas del banco de filtros digitales segmentado.

6. Extraer el modelo Spice del trazado físico del banco de filtros digitales segmentado.
7. Verificar que el modelo Spice del trazado físico cumpla con las especificaciones lógicas del banco de filtros digitales segmentado.



# Capítulo 5

## Síntesis RTL del banco de filtros digitales segmentado

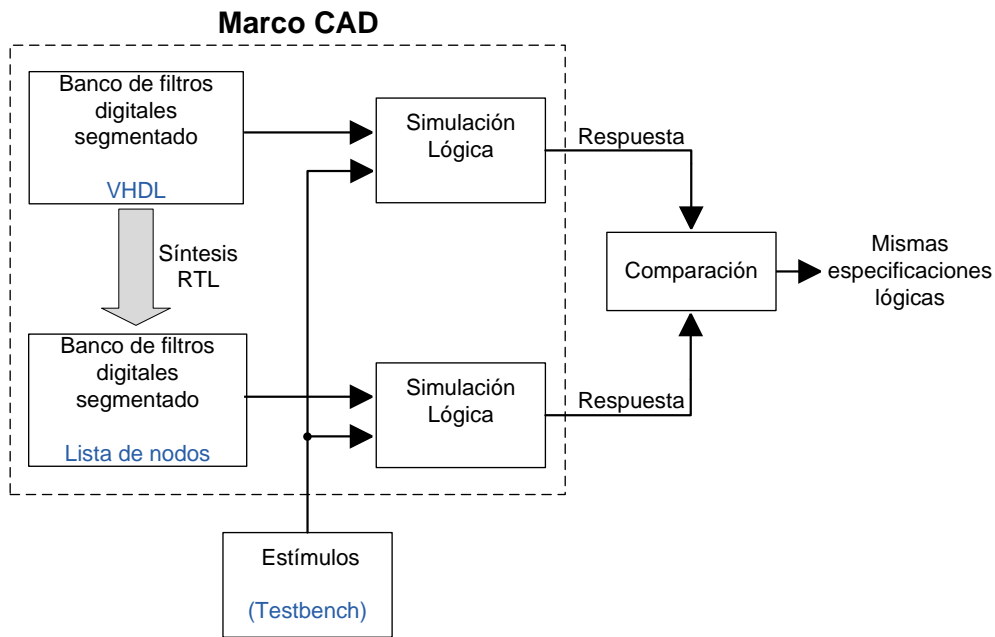
En este capítulo se presenta el marco CAD implementado para realizar la *síntesis RTL* de un sistema digital descrito en alto nivel y la verificación lógica de la lista de nodos a nivel de compuertas. También se incluye la obtención de la lista de nodos a nivel de compuertas, los resultados y análisis de la verificación lógica, y la estimación del consumo de potencia y el área de la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado.

### 5.1 Marco CAD implementado

El proceso de *síntesis RTL* de un sistema digital descrito en alto nivel se realiza por medio del programa *Design Compiler* con la biblioteca de síntesis en tecnología de 90 nm suministradas por la empresa Synopsys. La verificación lógica se obtiene por medio del programa VCS.

### 5.2 Obtención de la lista de nodos a nivel de compuertas

En la figura 5.1 se observa un diagrama de bloques que ejemplifica el proceso de obtención de la lista de nodos a nivel de compuertas a partir de la descripción en VHDL del banco de filtros digitales segmentado, y los estímulos se utilizan en su verificación lógica mediante simulaciones cruzadas.



**Figura 5.1:** Diagrama de bloques del proceso de obtención de la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado.

En la *síntesis RTL* del banco de filtros digitales segmentado se parte de las siguientes especificaciones de temporizado:

- Configuración del reloj de entrada:  
Frecuencia de  $44100Hz$ , retardo en la entrada de  $50ns$ , y retardo entre las diferentes ramificaciones igual a  $25ns$ .
- Configuración de los relojes internos:  
El banco de filtros digitales segmentado posee ocho relojes generados internamente para controlar cada una de sus ocho subbandas, la configuración de cada reloj interno se describe en la tabla 5.1:

**Tabla 5.1:** Frecuencia de temporizado para cada una de las subbandas del banco de filtros digitales segmentado, especificadas según [8].

Subbanda	Frecuencia para temporizado ( $Hz$ )
0	22.050,00
1	11.025,00
2	5.512,50
3	2.756,25
4	1.378,13
5	689,06
6	344,53
7	172,27

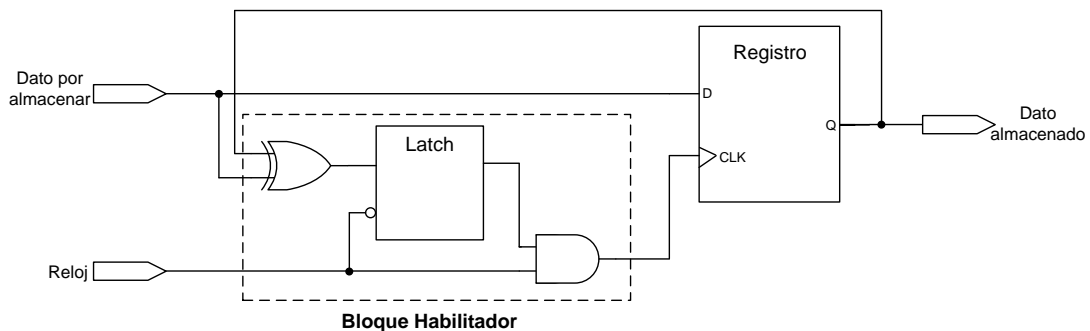
- Retardo de las señales de entrada (excepto la señal de reloj) igual a  $100ns$ .
- Retardo de las señales de salida igual a  $100ns$ .

Para que la lista de nodos a nivel de compuertas cumpla con las especificaciones lógicas ASIC del banco de filtros digitales segmentado, se requiere de las siguientes modificaciones del RTL:

- Agregar “reset” asíncrono a los registros y a los contadores:  
Esta modificación es indispensable para que la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado pueda iniciar en un valor conocido (salida igual a cero). La implementación del banco de filtros digitales segmentado en *FPGA Spartan 3E* [8] no requiere del “reset” debido a que éste dispositivo por defecto inicializa sus registros y contadores con un valor igual a cero.
- Eliminar concatenaciones de señales:  
Las concatenación de señales en el *RTL* produce que en la lista de nodos a nivel de compuertas se generen alteraciones en las señales concatenadas.

En la *síntesis RTL* se utilizan dos técnicas para tratar de disminuir el consumo de potencia del sistema digital. La primera de las técnicas consiste en eliminar los niveles de jerarquía, lo que permite optimizar la cantidad de celdas estándar utilizadas. La segunda técnica es la del bloqueo del reloj de los registros que permite deshabilitar los registros cuando no se requieren almacenar datos.

En la figura 5.2 se muestra la técnica de bloqueo de reloj (clock gating) implementada, en donde se requiere crear el “Bloque Habilitador”; genera una señal en alto mientras el dato por almacenar en el registro sea diferente al dato almacenado, y por medio de la compuerta AND se implementa el bloqueo del reloj. Ésta técnica permite disminuir el consumo de potencia en algunos sistemas digitales debido a que reduce la conmutación del registro y por ende disminuye el consumo de potencia dinámico del mismo [1].

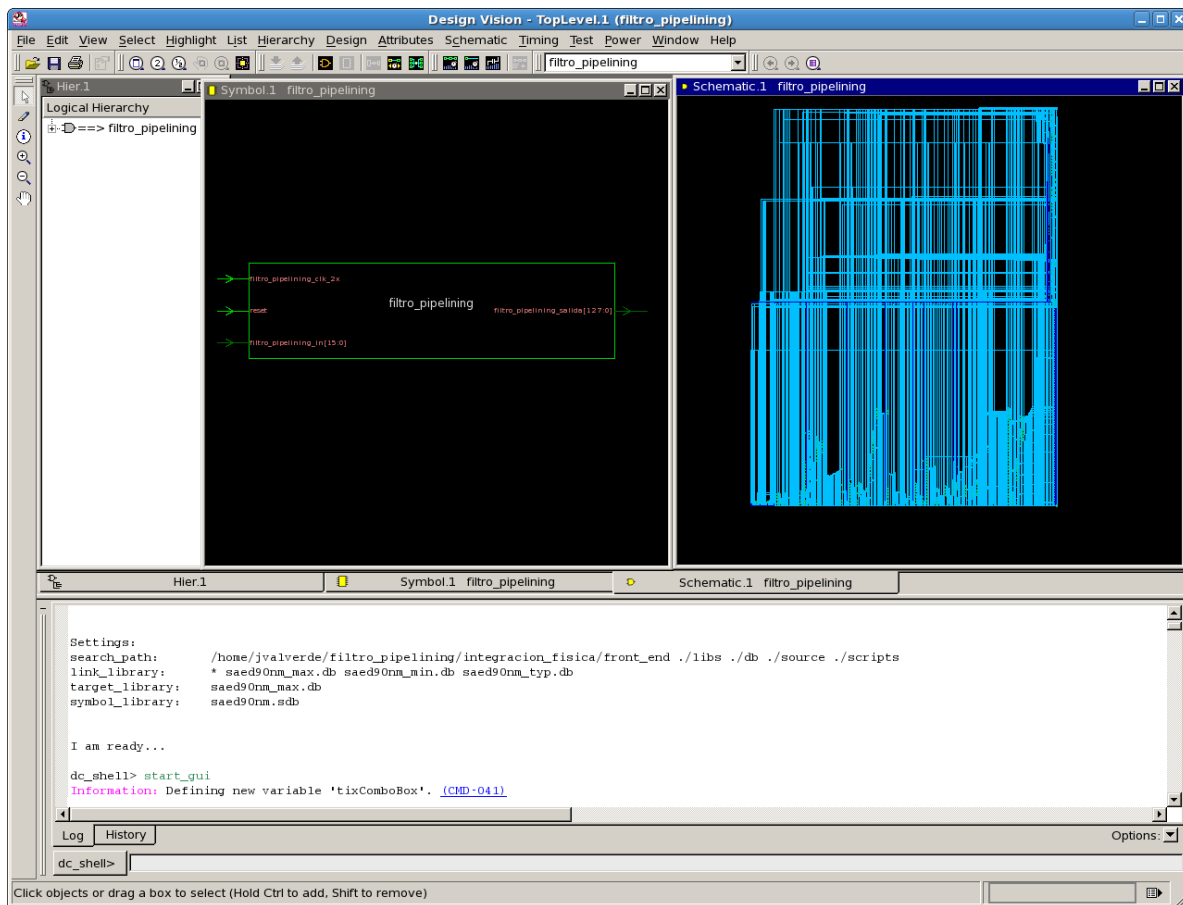


**Figura 5.2:** Técnica del bloqueo del reloj implementada, basado en [1] y [3].

Para poder comparar la efectividad en la disminución del consumo de potencia del sistema digital al utilizar las técnicas de eliminar los niveles de jerarquía y del bloqueo del reloj, se obtiene la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado para cada una de las siguientes combinaciones:

- Manteniendo los niveles de jerarquía y sin bloqueo del reloj.
- Manteniendo los niveles de jerarquía y con bloqueo del reloj.
- Eliminado los niveles de jerarquía y sin bloqueo del reloj.
- Eliminado los niveles de jerarquía y con bloqueo del reloj.

En la figura 5.3 se muestra el programa Design Compiler; la parte de la derecha corresponde al esquemático de la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado obtenido utilizando la técnica de eliminar los niveles de jerarquía y sin usar la técnica de bloqueo del reloj.



**Figura 5.3:** Programa Design Compiler usado en la obtención de la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado.

## 5.3 Resultados y análisis de la verificación lógica

En esta sección se muestran los resultados y análisis de la función de transferencia, y de las características en frecuencia de la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado.

### 5.3.1 Función de transferencia

La respuesta al impulso de 10000 unidades de las primeras 20 muestras de la subbanda 0 lista de nodos a nivel de compuertas del banco de filtros digitales segmentado del filtro pasa alto y el filtro pasa bajo se muestra en la figura 5.4 y 5.5 respectivamente.

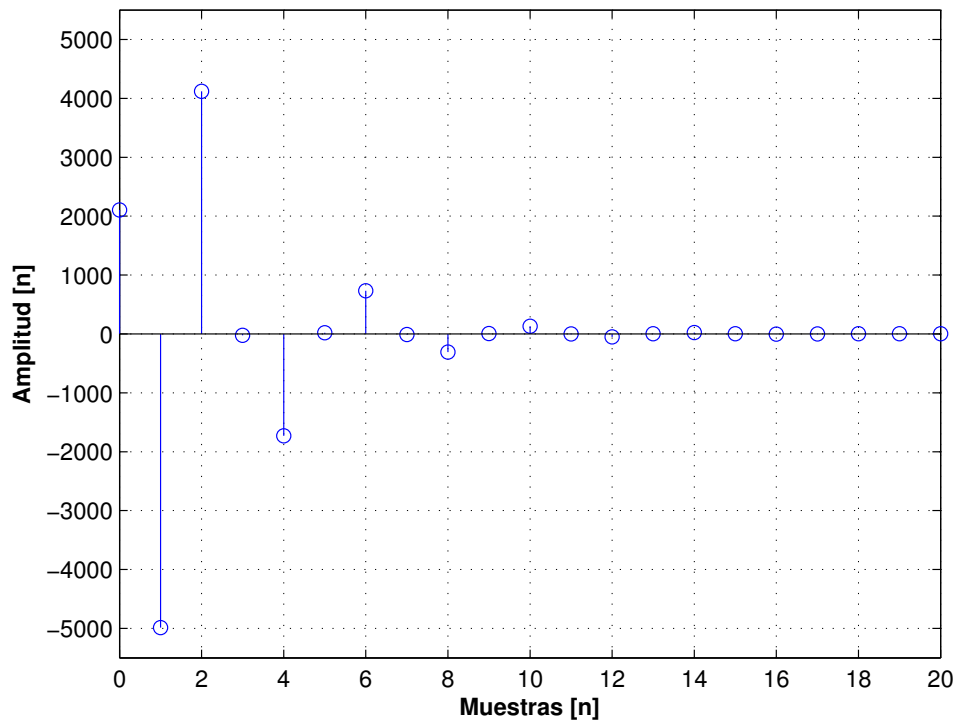
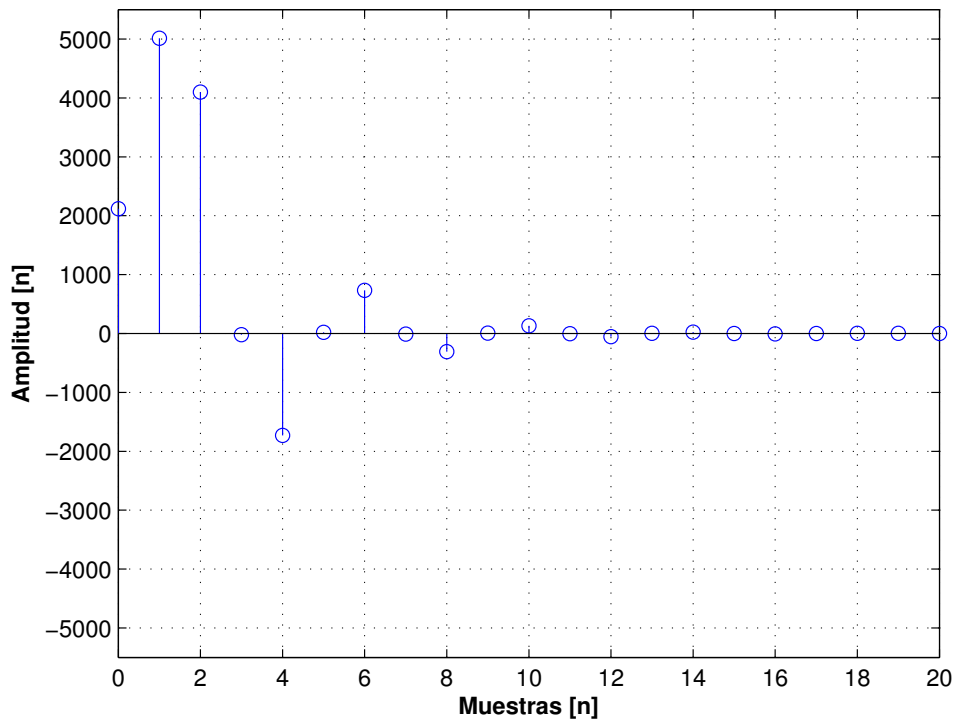


Figura 5.4: Respuesta al impulso de 10000 unidades del filtro pasa alto.



**Figura 5.5:** Respuesta al impulso de 10000 unidades del filtro pasa bajo.

Los polos y ceros del filtro pasa alto y del filtro pasa bajo de la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado se muestran en la tabla 5.2 y 5.3 respectivamente, y se obtienen utilizando la función *prony* de *Matlab* con los datos de la figura 5.4 y 5.5.

**Tabla 5.2:** Polos y ceros del filtro pasa alto obtenidos de la lista de nodos a nivel compuertas del banco de filtros digitales segmentado.

	Lista de nodos a nivel compuertas	Valor teórico
<b>Ceros</b>	0,9915	0,9915
	$0,9994 \pm 46,9^\circ$	$0,9994 \pm 46,9^\circ$
<b>Polos</b>	0,0041	0,0041
	$0,6500 \pm 90,2^\circ$	$0,6500 \pm 90,2^\circ$

**Tabla 5.3:** Polos y ceros del filtro pasa bajo obtenidos de la lista de nodos a nivel compuertas del banco de filtros digitales segmentado.

	Lista de nodos a nivel compuertas	Valor teórico
<b>Ceros</b>	0,9999	0,9999
	$0,9993 \pm 133, 2^\circ$	$0,9993 \pm 133, 2^\circ$
<b>Polos</b>	0,0015	0,0015
	$0,6500 \pm 90, 2^\circ$	$0,6500 \pm 90, 2^\circ$

En la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado la magnitud de los polos y ceros es igual a las especificaciones lógicas ASIC (valor teórico obtenido en [8]). La exactitud de los datos se debe a que se obtienen mediante la misma prueba y a que durante la *síntesis RTL* la función de transferencia del banco de filtros digitales segmentado no se modifica.

### 5.3.2 Características en frecuencia

El ancho de banda de la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado se obtiene utilizando la función *prony* de *Matlab* con los datos de la respuesta al impulso de 32000 unidades de las primeras 64 muestras para cada subbanda. En la tabla 5.4 se muestra el ancho de banda obtenido para cada subbanda y se compara con el ancho de banda teórico especificado en [10].

**Tabla 5.4:** Comparación entre el ancho de banda de la lista de nodos a nivel de compuertas y el ancho de banda de banda teórico (tabla 3.5) para cada subbanda del banco de filtros digitales segmentado.

Subbanda	BW Síntesis RTL (Hz)	BW Teórico (Hz)	Desviación (%)
0	8.957,98	8.975,00	0,19
1	5.566,90	5.512,50	0,99
2	2.753,77	2.756,25	0,09
3	1.369,53	1.378,13	0,62
4	676,01	689,06	1,89
5	335,13	344,53	2,73
6	165,03	172,27	4,20
7	87,48	86,13	1,56

El ancho de banda teórico mostrado en la tabla 5.4 corresponde a la especificación en frecuencia con las que se diseña el banco de filtros digitales segmentado en [8]. Los datos obtenidos presentan una desviación máxima del 4,20%, lo cual muestra que la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado sigue cumpliendo las especificaciones en frecuencia utilizadas en el diseño del banco de filtros digitales segmentado.

En la tabla 5.5 se compara el ancho de banda de la lista de nodos a nivel de compuertas y el ancho de banda utilizado como especificaciones lógicas ASIC del banco de filtros digitales segmentado. Ambos anchos de banda se obtienen con los datos de la respuesta al impulso de 32000 unidades de las primeras 64 muestras para cada subbanda, y haciendo uso de la función *prony* de *Matlab*.

**Tabla 5.5:** Ancho de banda de la lista de nodos a nivel de compuertas y el ancho de banda utilizado como especificaciones lógicas del banco de filtros digitales segmentado.

Subbanda	BW Síntesis RTL (Hz)	BW RTL (Hz)
0	8.957, 98	8.957, 98
1	5.566, 90	5.566, 90
2	2.753, 77	2.753, 77
3	1.369, 53	1.369, 53
4	676.01	676.01
5	335, 13	335, 13
6	165, 03	165, 03
7	87, 48	87, 48

Con los datos mostrados en la tabla 5.5 se corrobora que durante el proceso de *síntesis RTL* las características en frecuencia del banco de filtros digitales segmentado no se alteran. Este resultado es de esperar ya que que la función de transferencia del banco de filtros digitales segmentado no cambia al realizar la *síntesis RTL*.

## 5.4 Estimación del consumo de potencia y el área

El consumo de potencia y área presentados en esta sección corresponden a una estimación realizada por la herramienta *Design Compiler* durante la *síntesis RTL*.

Los datos del consumo de potencia y el área de la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado se detallan en la tabla 5.6 y 5.7.



**Tabla 5.6:** Consumo de potencia y área de la lista de nodos a nivel de compuertas banco de filtros digitales segmentado manteniendo los niveles de jerarquía, con una frecuencia de muestreo de  $44,1(kHz)$ .

	Sin bloqueo de reloj	Con bloqueo de reloj
<b>Potencia dinámica</b> ( $\mu W$ )	0,1529	0,1779
<b>Potencia estática</b> ( $mW$ )	0,2419	0,2943
<b>Área</b> ( $\mu m^2$ )	77.870,2510	99.882,8401

**Tabla 5.7:** Consumo de potencia y área de la lista de nodos a nivel de compuertas banco de filtros digitales segmentado eliminando los niveles de jerarquía, con una frecuencia de muestreo de  $44,1(kHz)$ .

	Sin bloqueo de reloj	Con bloqueo de reloj
<b>Potencia dinámica</b> ( $\mu W$ )	0,1323	0,1420
<b>Potencia estática</b> ( $mW$ )	0,2282	0,2662
<b>Área</b> ( $\mu m^2$ )	57.810,6998	66.681,2036

En la tabla 5.6 y 5.7 se observa que la técnica de bloqueo del reloj a los registros no disminuye el consumo de potencia, ya que se requiere agregar el bloque “habilitador” para cada registro lo que origina un aumento en el área de 22,03% (manteniendo los niveles de jerarquía) y un de 13,30% (eliminado los niveles de jerarquía). El aumento en el área produce un aumento en consumo de potencia ya que se requieren más celdas estándar para un mismo funcionamiento lógico.

La combinación que presenta el menor consumo de potencia y la menor área es la que utiliza la técnica de eliminar los niveles de jerarquía y sin la técnica de bloqueo de reloj. Dicha combinación es la que se utiliza para realizar la implementación física y es la que en este documento se denomina lista de nodos a nivel de compuertas del banco de filtros digitales segmentado.

El consumo de potencia estático estimado de la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado es de  $0,2282mW$  que corresponde a una disminución de 354 veces con respecto a los  $80,99mW$  de la implementación del banco de filtros digitales segmentado en *FPGA Spartan 3E* realizada en [8].

La comparación entre el consumo de potencia dinámico de la lista de nodos a nivel de compuertas y la implementación del banco de filtros digitales segmentado en *FPGA Spartan 3E* se muestra en la tabla 5.8, en donde la menor reducción del consumo de potencia dinámico ocurre a la frecuencia de muestreo de 44,1kHz y corresponde a 3779 veces al pasar de 500,0000 $\mu W$  en el FPGA a 0,1323 $\mu W$  en la lista de nodos.

**Tabla 5.8:** Consumo de potencia dinámico de la lista de nodos a nivel de compuertas y del banco de filtros digitales segmentado implementado en un *FPGA Spartan 3E* para diferentes frecuencias de muestreo.

<b>Frecuencia de muestreo</b> (kHz)	<b>Potencia dinámica</b> <b>Lista de nodos</b> ( $\mu W$ )	<b>Potencia dinámica</b> <b>en el FPGA</b> ( $\mu W$ )
44,1	0,1323	500,0000
22,05	0,0676	340,0000
11,025	0,0034	220,0000

## 5.5 Conclusiones

Después de finalizado el desarrollo y análisis de esta sección, se concluye lo siguiente:

1. Para que la lista de nodos a nivel de compuertas cumpla con las especificaciones lógicas ASIC se debe desarrollar el código HDL del sistema digital con las guías estándar para no tener problemas durante la implementación física correcta por construcción. Dicha medida es indispensable para que la herramienta Design Compiler realice el mapeo del HDL a las celdas estándar manteniendo el funcionamiento lógico del sistema digital.
2. Específicamente en este trabajo, el hecho de utilizar la técnica de bloqueo del reloj no disminuye el consumo de potencia de la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado. Esto se debe a dos factores: el primero de ellos es que la efectividad de esta técnica depende de la aleatoriedad de conmutación de los registros, y lo otro es que la utilización de dicha técnica origina un aumento en el área entre el 13,30% y el 22,03%, lo cual produce un incremento en el consumo de potencia (efecto contrario al deseado).
3. La técnica de eliminar los niveles de jerarquía produce en la lista de nodos a nivel de compuertas del banco de filtros digitales segmentado una disminución del consumo de potencia del 5,67%, debido a que reduce la cantidad de celdas estándar utilizadas durante la síntesis RTL.

# Capítulo 6

## Implementación física del banco de filtros digitales segmentado

En este capítulo se especifica el marco CAD implementado para realizar la *implementación física*, la verificación de temporizado, y la verificación eléctrica de la lista de nodos a nivel de compuertas de un sistema digital. Además se muestran los resultados de la verificación lógica, de la verificación de temporizado, y el consumo de potencia de la lista de nodos a nivel de compuertas con información de las parásitas.

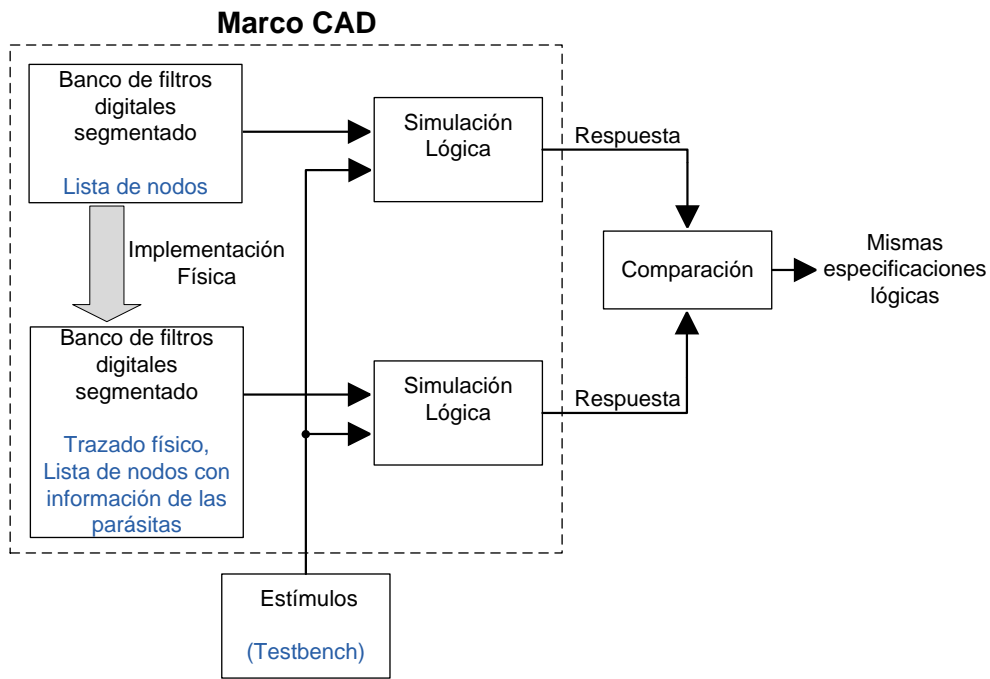
### 6.1 Marco CAD implementado

El marco CAD implementado es el siguiente:

- El trazado físico se obtiene con el programa IC Compiler.
- Para realizar la verificación de temporizado se utiliza el programa Primetime.
- La simulación eléctrica se realiza por medio del programa Nanosim y CosmoScope.

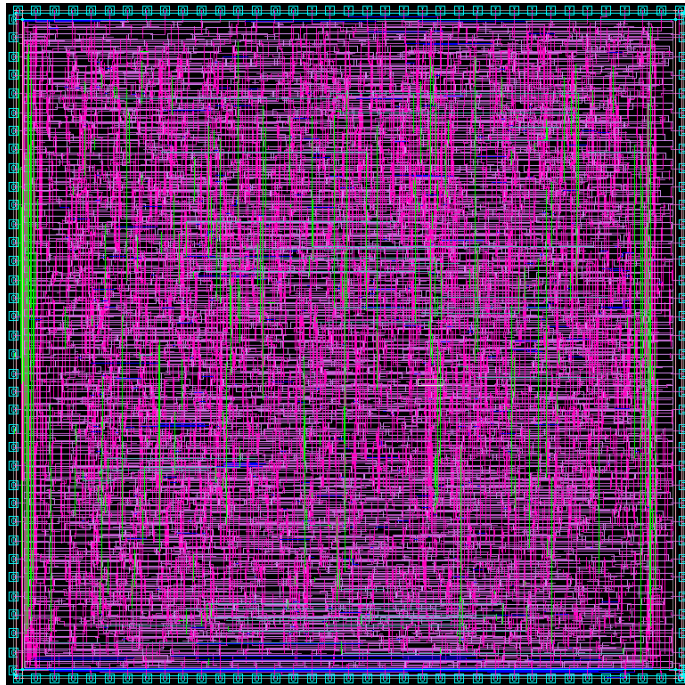
### 6.2 Obtención del trazado físico y verificación

Un diagrama de bloques que ejemplifica el proceso de obtención del trazado físico del banco de filtros digitales segmentado a partir de la lista de nodos utilizando la herramienta IC Compiler se describe en la figura 6.1, y los estímulos se utilizan en su verificación lógica mediante simulaciones cruzadas.



**Figura 6.1:** Diagrama de bloques del proceso de obtención del trazado físico del banco de filtros digitales segmentado.

En la figura 6.2 se muestra el trazado físico del banco de filtros digitales segmentado obtenido durante el proceso de la *implementación física*.



**Figura 6.2:** Trazado físico del banco de filtros digitales segmentado en tecnología de 90nm.

## 6.3 Resultados de la verificación lógica

El funcionamiento lógico de la lista de nodos a nivel de compuertas con información de las parásitas del banco de filtros digitales segmentado no varía con respecto al mostrado en la sección 5.3.

## 6.4 Resultados y análisis de la verificación de Temporizado

Las rutas críticas de temporizado del trazado físico del banco de filtros digitales segmentado obtenidas en la *verificación de temporizado* se muestran en la tabla 6.1. Para cada ruta crítica se muestra el tiempo con que los datos llegan antes del flanco de reloj a la entrada de los registros (tiempo disponible).

**Tabla 6.1:** Rutas críticas de temporizado del layout del banco de filtros digitales segmentado, obtenidas por medio del programa Primetime.

Ruta	Punto inicio	Punto final	Tiempo disponible ( <i>ns</i> )
1	contador-reg-0	contador-reg-7	22.644, 23
2	prioridad-salida-reg-2	alto-pila-reg-0-15	11.204, 91
3	prioridad-salida-reg-2	alto-pila-reg-1-15	11.204, 91
4	prioridad-salida-reg-2	alto-pila-reg-2-15	11.204, 91
5	prioridad-salida-reg-2	alto-pila-reg-3-15	11.204, 91
6	prioridad-salida-reg-2	alto-pila-reg-4-15	11.205, 91
7	prioridad-salida-reg-2	alto-pila-reg-5-15	11.206, 92
8	prioridad-salida-reg-2	alto-pila-reg-6-15	11.208, 67
9	prioridad-salida-reg-2	alto-pila-reg-7-15	11.213, 42
10	prioridad-salida-reg-2	bajo-pila-reg-5-16	11.298, 83

Al ser los datos de temporizado de la tabla 6.1 mayores que cero, éstos indican que no existen problemas de temporizado en las rutas críticas de la lista de nodos a nivel de compuertas con información de las parásitas del banco de filtros digitales segmentado, lo que asegura que los datos llegan a la entrada de los registros antes de que lo haga el flanco del reloj.

El programa Primetime usado en la verificación de temporizado del trazado físico del banco de filtros digitales segmentado se muestra en la figura 6.3.

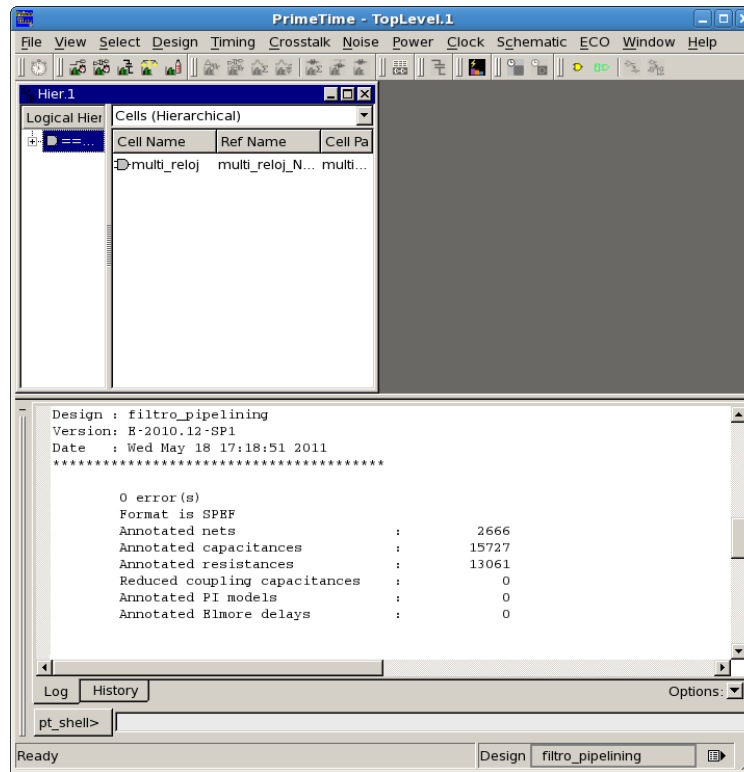


Figura 6.3: Programa Primetime utilizado en la verificación de temporizado.

## 6.5 Consumo de potencia del trazado físico

El consumo de potencia estático estimado de la lista de nodos a nivel de compuertas con información de las parásitas del banco de filtros digitales segmentado es de  $0,2282mW$  que corresponde a una disminución de 354 veces con respecto a los  $80,99mW$  de la implementación del banco de filtros digitales segmentado en *FPGA Spartan 3E* realizada en [8].

La comparación entre el consumo de potencia dinámico del trazado físico y la implementación del banco de filtros digitales segmentado en *FPGA Spartan 3E* se muestra en la tabla 6.2, en donde la menor reducción del consumo de potencia dinámico ocurre a la frecuencia de muestreo de  $44,1kHz$  y corresponde a 2972 veces al pasar de  $500,0000\mu W$  en el FPGA a  $0,1682\mu W$  en el trazado físico.

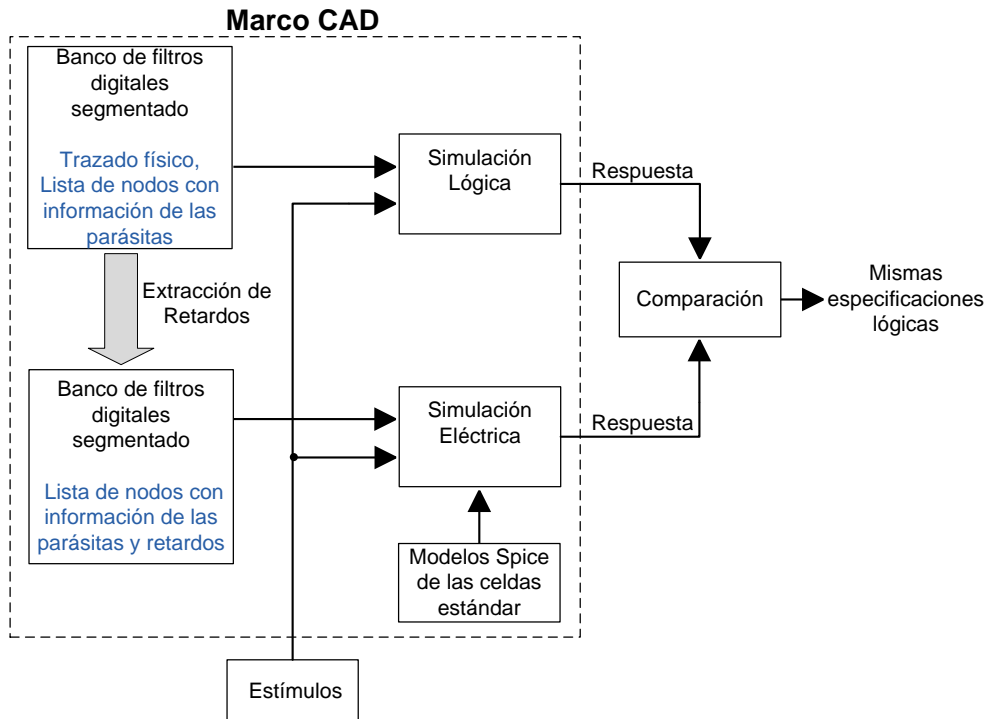
**Tabla 6.2:** Consumo de potencia dinámico del trazado físico y del banco de filtro digital segmentado implementado en *FPGA Spartan 3E* para diferentes frecuencias de muestreo.

<b>Frecuencia de muestreo</b> ( <i>kHz</i> )	<b>Trazado físico</b> ( $\mu W$ )	<b>Potencia dinámica en el FPGA</b> ( $\mu W$ )
44,1	0,1682	500,0000
22,05	0,0847	340,0000
11,025	0,0042	220,0000

Si se utiliza una batería de litio-ion que posee una carga eléctrica de 1500 *mAh* a 3.7 *V* para suministrar energía a la implementación del banco de filtros digital segmentado en el *FPGA Spartan 3E*, ésta puede mantener al sistema en funcionamiento por 2.8 días. Mientras que la misma batería es capaz de alimentar al ASIC del banco de filtros digital segmentado por 1012 días (2.77 años). La disminución del consumo de potencia (estático y dinámico) del ASIC del banco de filtros digitales segmentado en comparación con la implementación en FPGA se debe a que en un ASIC sólo se utilizan los componentes lógicos necesarios, mientras que el FPGA posee componentes lógicos que se usan dependiendo del sistema digital implementado.

## 6.6 Verificación eléctrica

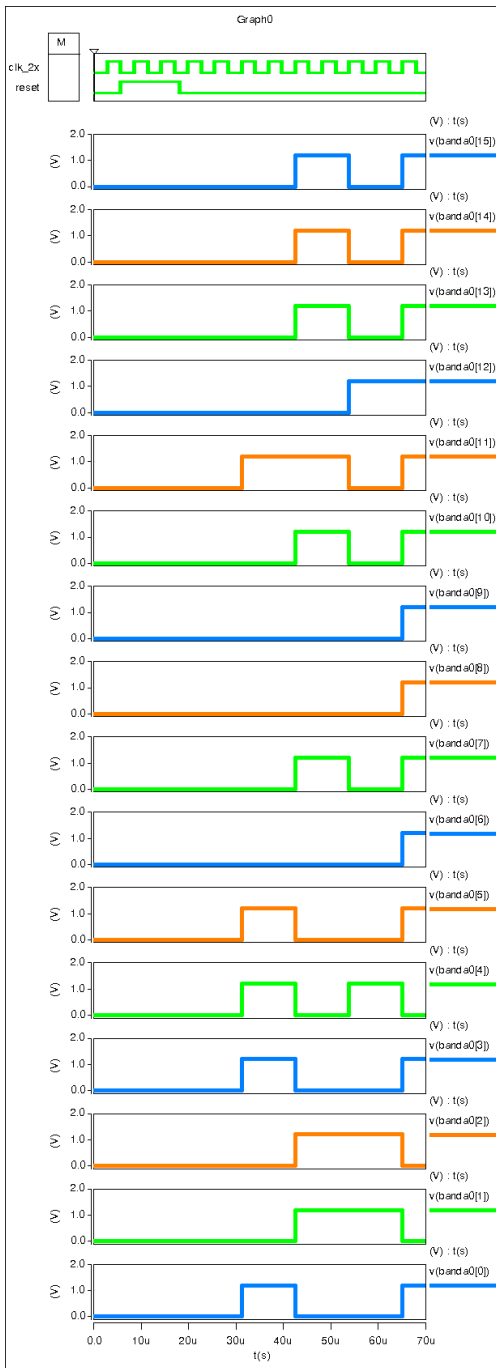
Los pasos 6 y 7 del procedimiento metodológico se modificaron de tal forma que en la verificación eléctrica se utiliza un modelo Spice de cada celda estándar que conforma el trazado físico del banco de filtros digitales segmentado. Este cambio se debe a que las celdas estándar no incluyen la información necesaria para extraer el modelo Spice del trazado físico. Cabe destacar que esta es la forma en la que normalmente se realiza dicha verificación. El diagrama de bloques que ejemplifica el proceso de la verificación eléctrica se muestra en la figura 6.4.



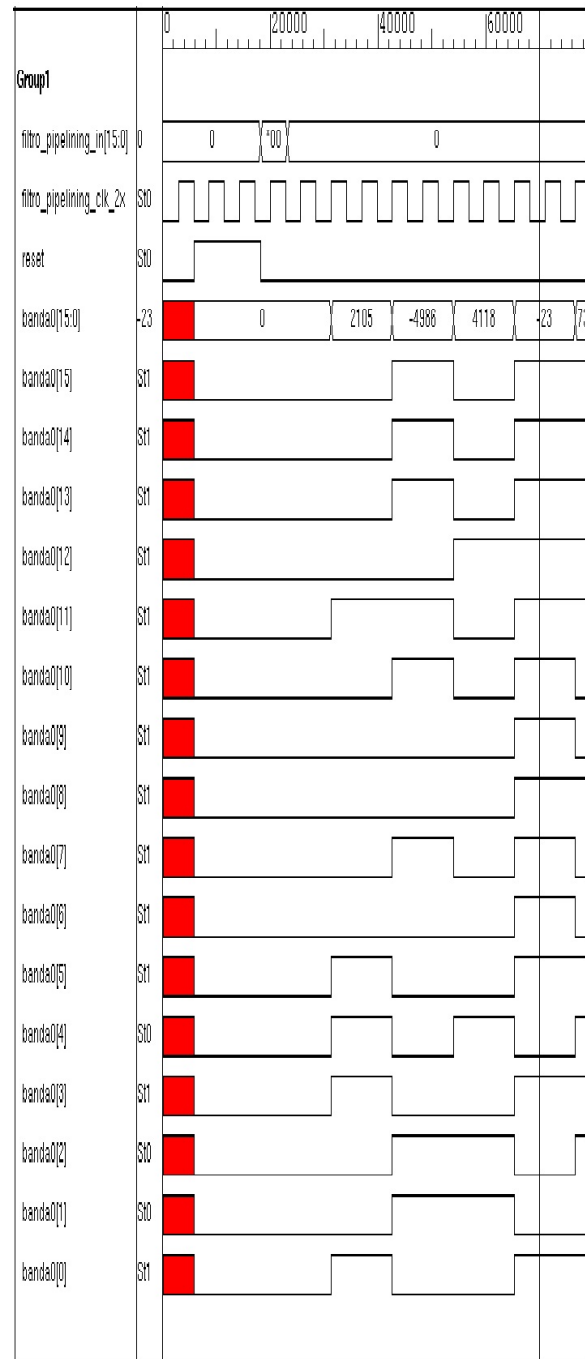
**Figura 6.4:** Diagrama de bloques del proceso de verificación eléctrica del banco de filtros digitales segmentado.

En la figura 6.5 y 6.6 se muestran los resultados de la simulación eléctrica y lógica (respectivamente) de la lista de nodos a nivel de compuertas con información de las capacitancias y resistencias parásitas del banco de filtros digitales segmentado.





**Figura 6.5:** Simulación eléctrica de la subbanda cero del banco de filtros digitales segmentado.



**Figura 6.6:** Simulación lógica de la subbanda cero del banco de filtros digitales segmentado.

En las simulaciones de la figura 6.5 y 6.6 se observan las primeras cuatro muestras de la respuesta al impulso de 10000 unidades de la subbanda cero; éstos datos corresponden a: 2105, -4986, 4118, y -23 unidades (ver figura 5.4). Al comparar ambas simulaciones se determina que el lista de nodos a nivel de compuertas con información de las capacitancias y resistencias parásitas no tiene problemas eléctricos, ya que sigue cumpliendo las especificaciones lógicas ASIC del banco de filtros digitales segmentado.

## 6.7 Conclusiones

Después de finalizado el desarrollo y análisis de esta sección, se concluye lo siguiente:

1. Es conveniente contar con una biblioteca de celdas estándar que contenga la información de las capacitancias y resistencias parásitas del trazado físico para realizar la extracción del modelo Spice usado en la verificación eléctrica. En caso contrario, se requiere de un modelo Spice con la información de los retardos de cada celda estándar.
2. El tener definido un marco de pruebas (estímulos) permite corroborar que el trazado físico cumpla con las especificaciones lógicas ASIC del sistema digital por medio de la verificación lógica y eléctrica.

# Capítulo 7

## Conclusiones y recomendaciones

En seguida, se muestran las conclusiones obtenidas durante el desarrollo de este proyecto:

1. Para que la lista de nodos a nivel de compuertas cumpla con las especificaciones lógicas ASIC se debe desarrollar el código HDL del sistema digital con las guías estándar para no tener problemas durante la implementación física correcta por construcción. Dicha medida es indispensable para que la herramienta Design Compiler realice el mapeo del HDL a las celdas estándar manteniendo el funcionamiento lógico del sistema digital.
2. Específicamente en este trabajo, el hecho de utilizar la técnica de bloqueo del reloj no disminuye el consumo de potencia de la lista de nodos a nivel de compuertas del banco de filtro digital segmentado. Esto se debe a dos factores: el primero de ellos es que la efectividad de esta técnica depende de la aleatoriedad de conmutación de los registros, y lo otro es que la utilización de dicha técnica origina un aumento en el área entre el 13,30% y el 22,03%, lo cual produce un incremento en el consumo de potencia (efecto contrario al deseado).
3. La técnica de eliminar los niveles de jerarquía produce en la lista de nodos a nivel de compuertas del banco de filtro digital segmentado una disminución del consumo de potencia del 5,67%, debido a que reduce la cantidad de celdas estándar utilizadas durante la síntesis RTL.
4. Es conveniente contar con una biblioteca de celdas estándar que contenga la información de las capacitancias y resistencias parásitas del trazado físico para realizar la extracción del modelo Spice usado en la verificación eléctrica. En caso contrario, se requiere de un modelo Spice con la información de los retardos de cada celda estándar.
5. El tener definido un marco de pruebas (estímulos) permite corroborar que el trazado físico cumpla con las especificaciones lógicas ASIC del sistema digital por medio de la verificación lógica y eléctrica.

Para futuros proyectos afines, se recomienda tener en cuenta que la integración física CBC de un sistema digital es un proceso que implica mucho trabajo para sólo un diseñador, por lo que se recomienda la participación de varias personas en el desarrollo de este tipo de proyectos. Es indispensable que los diseñadores tengan conocimiento del flujo de diseño ASIC para poder completar el proceso de diseño cumpliendo los requerimientos lógicos y físicos del sistema digital.

# Bibliografía

- [1] E Napoli A.G.M Strollo and D. De Caro. *New Clock-Gating Techniques for Low-Power Flip-flops*. Italy, 2000.
- [2] H. Bindu and H. Mahmoodi. *ASIC Design Flow Tutorial using Synopsys Tools*. San Francisco, CA, 2009.
- [3] F. Emmett and M. Biegel. *Power Reduction Through RTL Clock Gating*. San Jose, 2000.
- [4] M. González and S. Martin. *Los Guardaparques en la Conservación de las Áreas Protegidas*. Arlington, 2007.
- [5] N. Hernández. *Diseño de una red inalámbrica de telecomunicaciones para la protección ambiental en el bosque*. Cartago, 2004.
- [6] A. Leiva. *Diseño e implementación de la etapa de detección de disparo de armas de la red inalámbrica de telecomunicaciones para la protección de zonas protegidas*. Cartago, 2005.
- [7] M. Moreno. *Pago por servicios ambientales en Áreas Protegidas*. 2008. URL <http://www.rlc.fao.org/es/tecnica/parques/pdf/escaCRps.pdf>.
- [8] E. Salas. *Reconocimiento en tiempo real de patrones acústicos de motosierras y disparos por medio de una implementación en FPGA de Modelos Ocultos de Markov*. Cartago, 2010.
- [9] W. Salas. *Diseño e implementación de un sensor para la detección de motosierras de la red inalámbrica de telecomunicaciones de la protección ambiental en el bosque*. Cartago, 2005.
- [10] E. Smith. *Reconocimiento digital en línea de patrones acústicos para la protección del ambiente por medio de HMM*. Cartago, 2008.
- [11] M. Sáenz. *Reconocimiento de patrones acústicos para la protección del ambiente utilizando wavelets y Modelos Ocultos de Markov*. Cartago, 2006.



# Índice alfabético

“correct by construction (CBC)” physical integration, [i](#)

Colocación física, [8](#)

Descripción física, [8](#)  
diseño ASIC, [7](#), [9](#)

Enrutado físico, [8](#)

FPGA Spartan 3E, [v](#), [vi](#), [27](#), [28](#), [32](#), [33](#)

GDSII, [9](#)

Implementación física, [8](#)  
integración física “correcta por construcción (CBC)”, [7](#), [g](#)

Matlab, [14](#), [24–26](#)

prony, [14](#), [24–26](#)

RTL, [7](#), [8](#), [21](#)

Síntesis RTL, [8](#)

Simulación eléctrica, [9](#)

Synopsys, [g](#)

Verificación de temporizado, [9](#)