

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería en Electrónica

Componentes Intel de Costa Rica S.A.

**Investigación sobre la posible prevención de fallas falsas de un
procesador en las pruebas de verificación de calidad**

**Informe de Proyecto de Graduación para optar por el título de
Ingeniero en Electrónica con el Grado Académico de Licenciatura**

Warner Chacón González

Cartago, Julio de 2003

**INSTITUTO TECNOLÓGICO DE COSTA RICA
ESCUELA DE INGENIERÍA EN ELECTRÓNICA
PROYECTO DE GRADUACIÓN**

TRIBUNAL EVALUADOR

Ing. Miguel Hernández

Firma: _____

Profesor Asesor

Escuela de Ingeniería en Electrónica

I.T.C.R.

Ing. William Zúñiga

Firma: _____

Asesor por la empresa

Componentes Intel de Costa Rica S.A.

Los miembros de este tribunal dan fe de que el presente trabajo de graduación ha sido aprobado y cumple con las normas establecidas por las Instituciones involucradas en la ejecución de este proyecto.

Belén, 4 de Julio del 2003

RESUMEN

El proyecto de graduación “Investigación sobre la posible prevención de fallas falsas de un procesador en las pruebas de verificación de calidad”, fue desarrollado en la empresa Componentes Intel de Costa Rica S.A. ubicada en La Ribera de Belén, Heredia.

El trabajo consistió en investigar las fallas falsas que se producen en el proceso del POST de un procesador, durante las pruebas realizadas en la Plataforma de Validación de Producto para proponer medidas correctivas.

Se llevaron a cabo una serie de experimentos tanto eléctricos como mecánicos para lograr entender la naturaleza de las fallas falsas; así como para determinar el grado de influencia de las diferentes variables físicas (mecánicas, térmicas y eléctricas) presentes en el equipo relacionadas con la aparición de estas fallas.

Se logró determinar que variables como la presión de las partes mecánicas utilizadas por el equipo de prueba para sujetar el procesador durante el tiempo de la prueba; y la tasa de transferencia de datos a través del puerto serie que comunica el hardware con el programa de prueba, estaban influyendo en el resultado de las pruebas.

Además se concluyó que la aparición aleatoria de un error provocado por la pérdida de comunicación entre el programa y el hardware inducía las fallas falsas.

Palabras clave: investigación, sistemas operativos, procesador, Intel, fallas falsas, pruebas, POST.

SUMMARY

The project “PPV false failures reduction investigation”, was developed at Componentes Intel de Costa Rica S.A. located at La Ribera de Belén, Heredia, Costa Rica.

This work lied in an investigation which main goal was to study the false failures of the POST process of a specific processor, during the test realized at the Product Platform Validation in order to propose corrective measures.

Well designed mechanical and electrical experiment were conducted with the intention of understand the nature of the false failures; as well as determinate the influence of the equipment’s different physical variables (mechanical, thermal and electrical) over the false failures appearance.

Some of the achievements were to determinate that the pressure of the mechanical parts use by the equipment to hold the processor through the test time; and the transfer rate of the data through the serial port that communicate the hardware with the test program, were affecting the test results.

Furthermore one of the conclusions was that the randomly appearance of an error generated by a lost of communication between the test program and the hardware provoked this false failures.

Keywords: investigation, operative systems, processor, Intel, false failures, test, POST.

DEDICATORIA

Deseo dedicar el esfuerzo, el sacrificio y el esmero de este trabajo a toda mi familia y amigos que siempre estuvieron a mi lado brindándome su apoyo incondicional y ayudaron a formar la persona y profesional que soy hoy.

AGRADECIMIENTOS

A mi familia, porque su confianza y lealtad en mí me hicieron seguir siempre hacia delante.

A mis amigos, por estar conmigo en los momentos que más lo necesitaba y brindarme siempre su apoyo.

A mis compañeros y compañeras de clase, que ofrecieron su ayuda a un desconocido y con el tiempo se convirtieron en mis amigos.

Al profesor Ing. Miguel Hernández, por su apoyo en este trabajo y cuya dirección colaboró en su exitosa finalización.

A todo el departamento de Ingeniería de Producto de Intel, por hacerme sentir uno más de sus compañeros de trabajo y por toda la ayuda brindada.

A los departamentos de Ingeniería de Proceso y Calidad & Fiabilidad de Intel, por facilitar el desarrollo de este proyecto y hacerme sentir bienvenido.

A los profesores del departamento de Ingeniería Electrónica del ITCR, por su valiosa orientación durante el proceso de aprendizaje.

A todas aquellas personas que brindaron de una u otra forma su aporte tanto al desarrollo de este proyecto como al desarrollo de mi persona.

ÍNDICE GENERAL

Capítulo 1: Introducción.....	1
1.1 <i>Descripción de la Empresa</i>	1
1.1.1 Descripción General.....	1
1.1.2 Descripción del Departamento.....	3
1.2 <i>Definición del problema y su importancia</i>	4
1.3 <i>Objetivos</i>	9
1.3.1 Objetivo General	9
1.3.2 Objetivos Específicos.....	10
Capítulo 2: Antecedentes	11
2.1 <i>Estudio del problema a resolver</i>	11
2.2 <i>Requerimientos de la empresa</i>	16
2.3 <i>Solución propuesta</i>	17
Capítulo 3: Procedimiento metodológico	19
Capítulo 4: Descripción del hardware utilizado	22
4.1 <i>Descripción del equipo de prueba</i>	22
4.2 <i>Descripción de la tarjeta madre</i>	24
4.3 <i>Descripción de Celbridge-board y Centrix-board</i>	25
4.4 <i>Descripción de la tarjeta de distribución de potencia</i>	27
4.5 <i>Descripción del actuador</i>	28
4.6 <i>Descripción de la POST-card</i>	29
Capítulo 5: Descripción del software utilizado	30
5.1 <i>Descripción de Systest Versión 2.2.0</i>	30
Capítulo 6: Análisis y resultados.....	33

6.1 Resultados de la Investigación	33
6.1.1 Efecto de la presión sobre el procesador.....	33
6.1.2 Efecto de la temperatura.....	39
6.1.3 Efecto del programa de prueba actual.....	41
6.1.4 Efecto de la velocidad de transmisión.....	45
6.2 Alcances y limitaciones.....	49
Capítulo 7: Conclusiones y recomendaciones	50
7.1 Conclusiones.....	50
7.2 Recomendaciones	51
Bibliografía	52
Abreviaturas	53
ANEXOS	54
7.3 Anexo B.1 Hojas de datos del Pentium 4.....	55
7.4 Anexo B.3 Hojas de datos de la tarjeta madre.....	61
7.5 Anexo B.4 Códigos del proceso del POST de AMIBIOS.....	68
7.6 Anexo B.5 Hojas de datos de la POST-card.....	76

ÍNDICE DE FIGURAS

Figura 1.1 <i>Proceso de prueba de levantamiento de sistemas operativos.</i>	5
Figura 1.2 <i>Gráfico comparativo para el procesador que se prueba 2 veces.</i>	8
Figura 2.1 <i>Módulos con el equipo de pruebas y los procesadores.</i>	11
Figura 2.2 <i>Diagrama de flujo del programa de prueba.</i>	12
Figura 2.3 <i>Diagrama de flujo del proceso de POST 1.</i>	14
Figura 2.4 <i>Secuencia de códigos para una prueba exitosa.</i>	15
Figura 2.5 <i>Secuencia de códigos para una prueba fallida debido a una cadena no esperada.</i>	15
Figura 2.6 <i>Secuencia de códigos para una prueba fallida debido a un código detenido.</i>	15
Figura 2.7 <i>Diagrama de la conexión general del equipo de prueba.</i>	17
Figura 2.8 <i>Diagrama de flujo del proceso de Post1check1 original.</i>	18
Figura 4.1 <i>Interior del equipo de prueba.</i>	22
Figura 4.2 <i>Diagrama de bloques de la conexión de un equipo de prueba.</i>	23
Figura 4.3 <i>Fotografía de la tarjeta madre utilizada en la unidad de prueba.</i>	24
Figura 4.4 <i>Fotografía de la conexión Celbridge-board Centrix-board.</i>	25
Figura 4.5 <i>Fotografía de la tarjeta de distribución de potencia.</i>	27
Figura 4.6 <i>Diagrama de bloques de la operación de enclavamiento de emergencia.</i>	27
Figura 4.7 <i>Foto del sistema de actuación y enfriamiento.</i>	28
Figura 4.8 <i>Foto de la conexión de la POST-card.</i>	29
Figura 5.1 <i>Interfase gráfica del programa Systest Versión 2.2.0.</i>	30
Figura 5.2 <i>Ventana principal del programa de prueba.</i>	31
Figura 5.3 <i>Sección del programa de prueba principal.</i>	32
Figura 6.1 <i>Gráfico comparativo de la efectividad de la prueba a diferentes presiones.</i>	34
Figura 6.2 <i>Hoja de datos del pin utilizado en el conector de la unidad de prueba.</i>	35
Figura 6.3 <i>Cálculo de la presión óptima del actuador.</i>	35
Figura 6.4 <i>Resultado de la efectividad de la prueba con diferentes presiones.</i>	36
Figura 6.5 <i>Aparición de fallas falsas en un ciclo a 60lbs.</i>	37
Figura 6.6 <i>Aparición de fallas falsas en un ciclo a 45lbs.</i>	38
Figura 6.7 <i>Aparición de errores para diferentes presiones.</i>	39
Figura 6.8 <i>Gráfico comparativo del comportamiento de la temperatura del procesador para diferentes presiones.</i>	40
Figura 6.9 <i>Comparación de flujos del proceso de Post1check1.</i>	42
Figura 6.10 <i>Diagrama de la pérdida de comunicación que ocasiona los fallos falsos.</i>	43
Figura 6.11 <i>Aparición de fallas durante el proceso del POST para diferentes programas de prueba.</i>	44
Figura 6.12 <i>Efectividad de la prueba para diferentes combinaciones de velocidad de transmisión.</i>	46

ÍNDICE DE TABLAS

Tabla 1.1 <i>Producto que presentó fallas por errores en el proceso del POST en el primer y segundo ciclo de pruebas en 10 semanas</i>	7
Tabla 4.1 <i>Descripción general de las funciones principales de la tarjeta madre.</i>	24
Tabla 6.1 <i>Promedio del tiempo desde el proceso de encendido hasta el proceso del POST para diferentes programas de prueba.</i>	45
Tabla 6.2 <i>Cantidad de pruebas realizadas para diferentes combinaciones de velocidad.</i>	45
Tabla 6.3 <i>Promedio del tiempo de prueba para diferentes velocidades de la POST-card y 1MBaud de velocidad de la Centrix-card.</i>	47
Tabla 6.4 <i>Promedio del tiempo de prueba para diferentes velocidades de la POST-card y 115kBaud de velocidad de la Centrix-card.</i>	47

Capítulo 1: Introducción

1.1 Descripción de la Empresa

1.1.1 Descripción General

La corporación Intel® así como su sucursal Componentes Intel® de Costa Rica S.A., tienen como misión hacer un muy buen trabajo para sus clientes, empleados y accionistas, siendo el principal suplidor de plataformas computacionales para la economía mundial de Internet.

Sus valores principales son: la orientación al cliente, la orientación a resultados, la toma de riesgos, un gran lugar para trabajar, la calidad y la disciplina. Estos valores persiguen la obtención de sus objetivos que son: hacer de Intel® la principal plataforma computacional en Internet, crecimiento agresivo de nuevos negocios al mejorar sus capacidades y la obtención de una excelencia operacional.

La corporación Intel fue fundada en 1968 y es el líder mundial en la fabricación y desarrollo de microprocesadores. Actualmente Intel® cuenta con 80000 empleados en más de 45 países alrededor del mundo. Sus principales consumidores son: distribuidores, creadores de equipo original para sistemas computacionales y periféricos, usuarios de computadoras personales quienes compran las mejoras para sus equipos fabricadas por Intel®, revendedores de equipos de comunicación y redes, así como un amplio rango de creadores de sistemas de transmisión industrial, entre otros.

Específicamente Componentes Intel® de Costa Rica S.A., localizado en la Ribera de Belén, cuenta con aproximadamente 1800 empleados y tiene como principal función el ensamble y prueba de microprocesadores, labor en la que ya

cuenta con más de 5 años de experiencia en nuestro país. Desde sus inicios se ha convertido en el líder en la aplicación de los más altos estándares y políticas de medio ambiente, salud y seguridad ocupacional.

La planta en Costa Rica funciona hoy con niveles de eficiencia y productividad iguales o mayores a otras plantas similares, en donde la calidad del recurso humano ha jugado un papel clave en el éxito. Costa Rica es parte esencial de la estructura mundial de manufactura de Intel®, hasta el punto de ser el responsable de la fabricación del 30% de los procesadores Intel para computadoras personales, que se hacen y se envían directamente a clientes de Intel® desde Costa Rica.

1.1.2 Descripción del Departamento

El departamento donde se realizará el presente trabajo se llama Ingeniería de Producto (PdE por sus siglas en inglés) Este departamento se encarga de que los microprocesadores que son ensamblados en la línea de producción de la empresa estén cumpliendo con las especificaciones del fabricante.

Con el fin de poder determinar el estado actual de cada una de las unidades ensambladas, se cuenta con poderosos equipos de alta tecnología que son utilizados para aplicarles diversos tipos de pruebas a cada una de las unidades ensambladas. Es con base en los resultados obtenidos en cada una de las pruebas que se puede determinar cómo se encuentran las unidades ensambladas.

Para tal efecto, los procesadores son probados en grupos de diferentes tamaños, tales grupos son llamados lotes. A dichos lotes de procesadores se les aplican distintos tipos de pruebas, dependiendo de las características tanto funcionales como de carácter paramétrico que se deseen someter a estudio.

A la hora de realizar dichas pruebas, se deben definir estándares de calidad para determinar cuando un lote es razonablemente satisfactorio. Cuando no lo es, el lote debe ser retenido para estudiar y entender las causas por las cuales el lote no está cumpliendo las condiciones de prueba especificadas.

El Departamento cuenta con los servicios de 60 personas, en su mayoría Ingenieros Eléctricos, en Electrónica y en Sistemas. Además, se cuenta con el apoyo de técnicos que en la actualidad estudian en su mayoría alguna Ingeniería.

1.2 Definición del problema y su importancia

En la Plataforma de Validación de Producto se valida la funcionalidad del producto que se le entregará al cliente. Aquí se asegura que el producto final sea 100% funcional. Además se cuenta con indicadores de calidad que reflejan el estado de la línea de producción (medidas cuantitativas como el indicador de DPM)

Algunas de las pruebas que se realizan son: detección de caminos de velocidad, que consiste en medir los retrasos máximos entre las líneas del procesador. El levantamiento de diferentes sistemas operativos (que es la principal prueba y fue donde se desarrolló el proyecto) consiste en montar el procesador en un equipo de prueba similar a una computadora de escritorio y ponerlo a funcionar con diferentes sistemas operativos (Windows 2000, Windows XP, Linux, etc.) También se realizan pruebas de calentamiento temprano, en donde se estresa el procesador a altas temperaturas para estimar su vida útil y evitar que se dañe en poco tiempo.

El problema se presenta en las pruebas de levantamiento de sistemas operativos durante el proceso del POST. Este proceso se tiene que realizar cada vez que se enciende o se reinicia el computador y cuando se desea cambiar de sistema operativo.

Se realizó una investigación para poder comprender la naturaleza de las fallas falsas que se presentan en PVP durante este proceso y sobre las posibles variables que las están provocando.

Este proceso de pruebas en PVP se realiza a través de un computador principal que controla simultáneamente 4 cabezas de prueba. La función principal del computador es simular el uso del procesador en una computadora, tal como llegará a usarlos el cliente final. Después de que se realiza cada prueba los operadores de

planta seleccionan el producto en buen estado; también se documentan los resultados con base en los cuales los ingenieros de planta monitorean los indicadores de la línea de producción.

El flujo genérico del programa de prueba aplicado a un procesador en el módulo de PVP se puede apreciar en la figura 1.1.

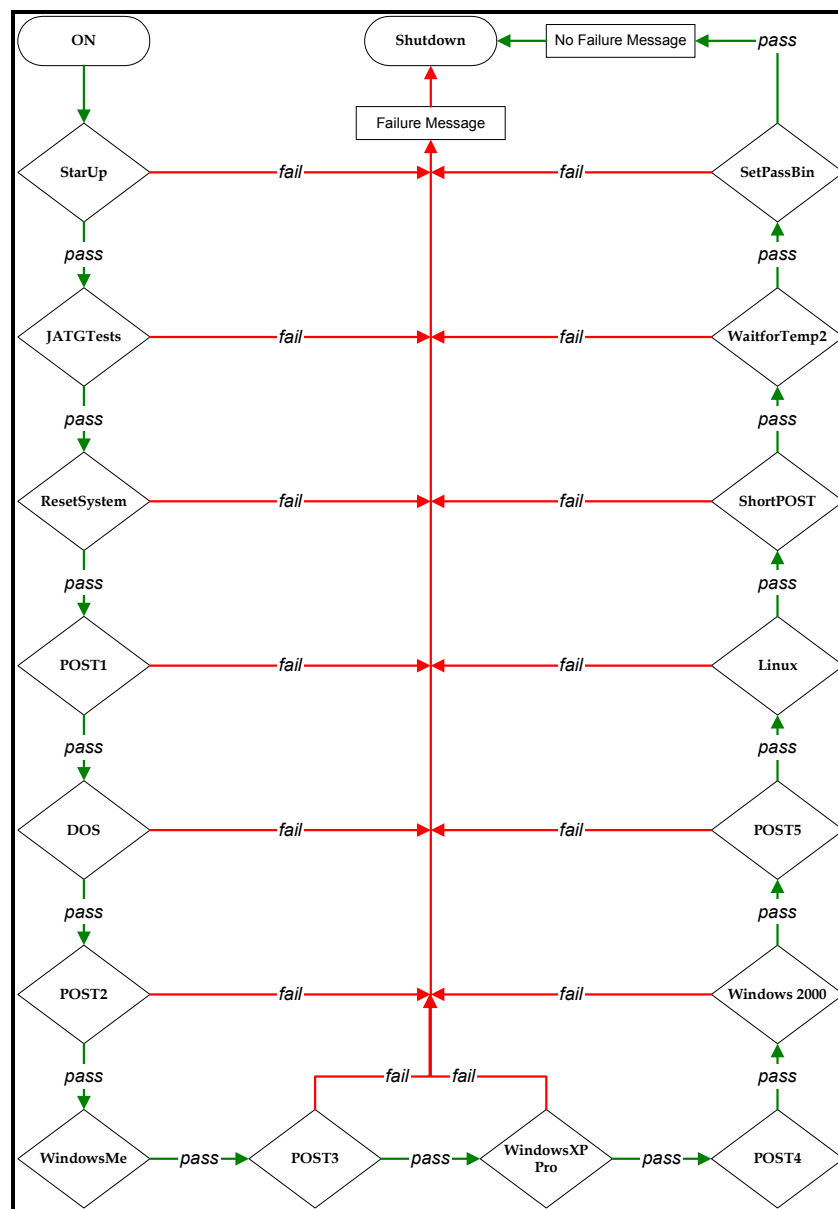


Figura 1.1 Proceso de prueba de levantamiento de sistemas operativos.

Por ésta razón la producción de la planta se ve impactada, ya que este problema de fallas falsas durante el proceso del POST, se presenta en todos los productos. Además, los procesadores que no pasan las pruebas de calidad en el primer ciclo de pruebas, son sometidos nuevamente a éstas con propósitos de reverificación de funcionalidad. Dado esto, la capacidad de la planta se ve afectada aun más, ya que existe una alta probabilidad de que se esté probando producto que realmente se encuentre en buen estado, pero que debido a las condiciones desconocidas hasta el momento, falla en una prueba inicial.

Se puede apreciar en la tabla 1.1 la cantidad de producto que se produjo desde la semana 48 del año 2002 hasta la semana 2 del año 2003. Además se puede observar la cantidad de producto que falló en el primer ciclo de pruebas por errores en el proceso del POST y la cantidad de producto que se recuperó en el segundo ciclo de pruebas. Se observa que aunque el tamaño del lote y la cantidad de producto que falla inicialmente son muy variables, siempre se recupera una gran cantidad de producto.

Aunque la cantidad de producto que se recupera es alta, la cantidad de producto que tiene que ser probado en los programas 2 veces también es alta. Ahí es donde se encuentra el problema, ya que son realmente pocos, los procesadores que no pasan las pruebas, tal y como se observa en el gráfico de la figura 1.2.

Por otro lado, la situación económica mundial ha provocado que la reducción de costos sea una política más en todas las empresas. Si se observa la columna 4 de la tabla 1.1, se puede hacer una relación económica. Existe una gran cantidad de dinero que se dejó de percibir debido al producto que no se envió al mercado por desecharse a causa de estas fallas falsas.

Si se hiciera una comparación y cada unidad rechazada se le diera un valor ficticio de \$158; en la semana 51 del 2002 no se vendieron 465 unidades, lo que correspondería a \$73470. En la semana 2 del 2003 no se vendieron 321 unidades que corresponderían a \$50718 y el caso más crítico se dio en la semana 3 del 2003 en donde no se vendieron 518 unidades, lo que correspondería a \$81844.

Tabla 1.1 Producto que presentó fallas por errores en el proceso del POST en el primer y segundo ciclo de pruebas en 10 semanas

Semana	Tamaño del lote (unidades)	Fallas en el primer ciclo (unidades)	Fallas en el segundo ciclo (unidades)
48/2002	33345	475	43
49/2002	198212	3625	290
50/2002	215789	3832	308
51/2002	292539	5629	465
52/2002	173378	3259	234
1/2003	83896	1609	125
2/2003	176324	3865	321
3/2003	311243	6746	518
4/2003	172853	4396	370

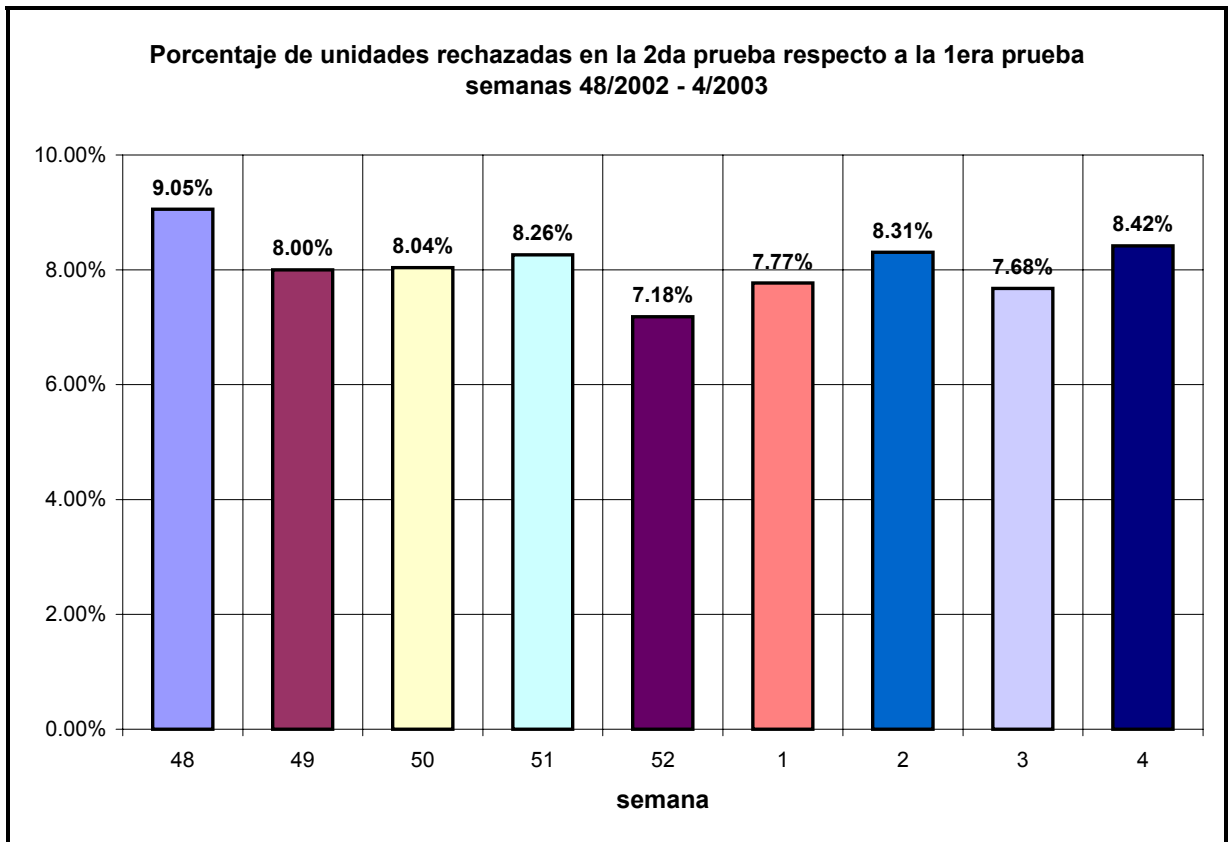


Figura 1.2 Gráfico comparativo para el procesador que se prueba 2 veces.

Cabe destacar que las cifras mencionados anteriormente corresponden únicamente a Componentes Intel de Costa Rica S.A. Es importante recalcar que este problema se presenta en los otros sitios de ensamble y prueba como por ejemplo Malasia y Filipinas; por lo que los resultados de esta investigación ayudarían a corregir este problema a niveles que trascienden nuestras fronteras.

1.3 Objetivos

1.3.1 Objetivo General

Investigar las fallas falsas asociadas al levantamiento de sistemas operativos de un procesador en las pruebas de la Plataforma de Validación de Producto para proponer medidas correctivas.

1.3.2 Objetivos Específicos

1. Documentar los problemas generados por las falsas fallas en la Plataforma de Validación de Producto.
2. Generar un documento con la información correspondiente al hardware de la Plataforma de Validación de Producto.
3. Recolectar la información más relevante sobre el software de la Plataforma de Validación de Producto.
4. Investigar el software relacionado con las pruebas de verificación de calidad para proponer mejoras.
5. Investigar la metodología de los procesos de pruebas para definir las posibles causas de fallas falsas.
6. Diseñar y ejecutar experimentos que involucren a las variables físicas y eléctricas que puedan influir en el comportamiento de las fallas falsas en PVP.
7. Concluir relaciones entre el comportamiento de las fallas falsas y las variables físicas y eléctricas presentes en PVP.
8. Proponer medidas correctivas en el hardware de la Plataforma de Validación de Producto.
9. Proponer medidas correctivas en el software de la Plataforma de Validación de Producto.
10. Presentar un reporte con las posibles causas de a las falsas fallas y con las posibles medidas correctivas.

Capítulo 2: Antecedentes

2.1 Estudio del problema a resolver

El problema tal y como se mencionó anteriormente, se presenta en una de las últimas pruebas que se le realizan al procesador, que consiste en probarlo en un ambiente que simula las condiciones de operación de este, una vez adquirido por el usuario final.

El procesador es sometido a prueba utilizando un programa que se ejecuta en un equipo de prueba muy similar a una computadora convencional. De esta manera y mediante esta interfase, se puede analizar la funcionalidad del procesador. Esta unidad de prueba tiene equipo adicional que permite el control y recolección de datos enviados directamente por el procesador. Así cuando se presenta un error, existe suficiente información para poder investigar las posibles causas de ese fallo. La figura 2.1 muestra un módulo que contiene las unidades en donde se prueban los procesadores.



Figura 2.1 Módulos con el equipo de pruebas y los procesadores.

El programa de prueba consiste en una secuencia de rutinas que llaman funciones específicas del procesador. De esta manera, en este programa, se realizaban pruebas de encendido y apagado de la unidad, pruebas de POST y pruebas de levantamiento de sistemas operativos. La figura 2.2 ilustra el flujo general del programa de prueba, tal y como se observa en el computador.

Test	Test Description	Branch On Fail
Main		
StartUp	Ejecutar pruebas en ambiente DOS	Shutdown
JTAGTests		Shutdown
PIROM_Check	Realizar el proceso del POST al culminar las pruebas en DOS	Shutdown
POST1		Shutdown
DOS		Shutdown
POST2		Shutdown
WindowsXP	Ejecutar pruebas en ambiente Windows XP	Shutdown
POST3		Shutdown
Windows2000		Shutdown
POST4		Shutdown
Linux	Realizar el proceso del POST al finalizar las pruebas en Windows XP	Shutdown
ThermalSensor_Check		Shutdown
TempCheck		Shutdown
SetPassBin		
Shutdown		

Figura 2.2 Diagrama de flujo del programa de prueba.

El problema específico, se presenta en la sección del flujo denominada como POST X. Esta sección del programa, esta encargado de correr el sistema del BIOS, es decir, de inicializar el sistema para identificar los componentes que la tarjeta madre tiene conectados.

Este proceso es el encargado de ejecutar las siguientes pruebas, procesos y verificaciones:

- primeramente verificar que la fuente de poder de la computadora sea funcional.

- que una unidad central de proceso exista y sea capaz de ejecutar instrucciones.
- que el chip del BIOS esté presente, se pueda leer y sea válido.
- que la unidad central sea capaz de leer desde los demás dispositivos como la memoria, el bus de datos y el bus de direcciones.
- que los controladores de entrada / salida sean accesibles.
- que el subsistema de video esté funcionando.
- y por último ceder el poder o el control al sistema operativo principal.

Cada uno de estos procesos tiene asociado un código hexadecimal designado por el fabricante del BIOS. Este código permite el análisis de errores así como el monitoreo de la prueba mediante la observación de estos códigos. En el anexo B.3 se encuentra una lista completa de los códigos de POST para el sistema de AMIBIOS, uno de los más comunes que se encuentran en el mercado.

Si durante este proceso, alguna de las pruebas no es superada, el procesador no es capaz de levantar el sistema operativo, por lo que se genera un fallo y el proceso termina indicando que se ha encontrado una unidad dañada. Para entender mejor este proceso, la figura 2.3 muestra un diagrama de flujo general sobre el proceso de esta prueba.

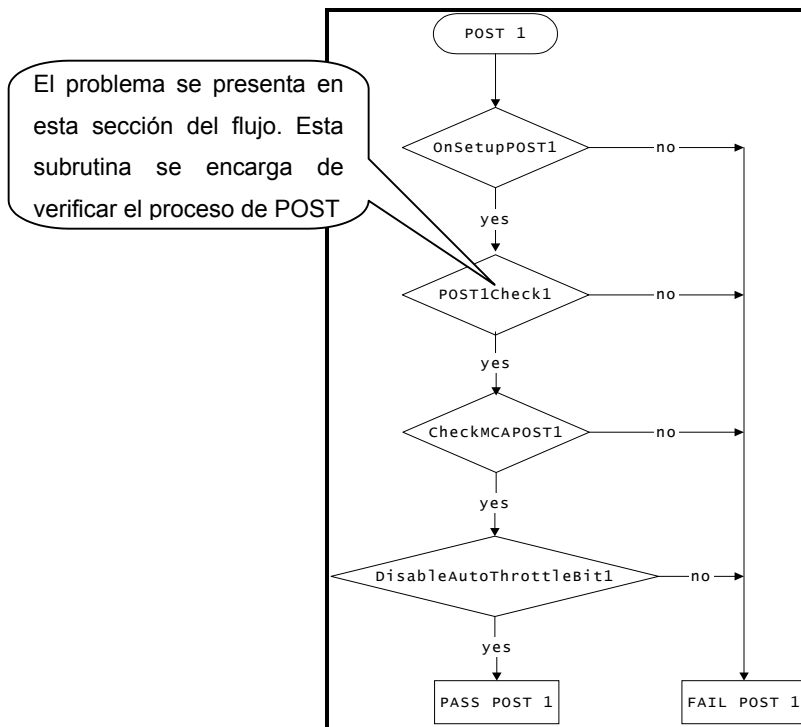


Figura 2.3 Diagrama de flujo del proceso de POST 1.

Para poder monitorear este proceso, el equipo de prueba tiene conectado una tarjeta especial llamada POST-Card. Esta tarjeta se encarga de enviar la información en formato hexadecimal (los códigos del POST) al programa. Con esta información, el programa de prueba debe de esperar una cierta secuencia de datos y cuando recibe el código final, da por terminada la prueba exitosamente. El problema se presenta porque esta sección del programa tiene destinado una cantidad de tiempo determinada y en ocasiones la secuencia de datos no es la esperada o se detiene en cierto punto, provocando que a la prueba se le acabe el tiempo induciendo una falla. La figura 2.4 muestra una secuencia completa de los códigos esperados, mientras que la figura 2.5 muestra un fallo provocado por una secuencia no esperada y la figura 2.6 un fallo provocado por un código que se quedó detenido.

17.23 : PASS: SetupPOST1	19.14 : Post Code = F5	31.23 : Post Code = 8E
17.29 : Wait for POST Code = B1H or ADH	19.27 : Post Code = F7	31.23 : Post Code = 93
17.39 : Post Code = DD	19.27 : Post Code = 27	31.23 : Post Code = 8F
17.39 : Post Code = D1	19.27 : Post Code = F6	31.23 : Post Code = 91
17.39 : Post Code = 14	19.28 : Post Code = 14	31.23 : Post Code = 92
17.39 : Post Code = D0	19.71 : Post Code = 26	31.23 : Post Code = 16
17.39 : Post Code = D2	20.18 : Post Code = 2A	31.23 : Post Code = 17
17.39 : Post Code = D3	30.81 : Post Code = 1	31.25 : Post Code = 85
17.82 : Post Code = D4	30.89 : Post Code = 2B	31.25 : Post Code = 89
17.82 : Post Code = D5	30.91 : Post Code = 2D	31.25 : Post Code = 99
17.84 : Post Code = D6	31.11 : Post Code = 30	31.25 : Post Code = A3
18.27 : Post Code = D7	31.11 : Post Code = 2E	31.25 : Post Code = AE
18.28 : Post Code = D9	31.11 : Post Code = 38	31.36 : Post Code = AC
18.40 : Post Code = 3	31.11 : Post Code = 40	31.36 : Post Code = AD
18.55 : Post Code = 6	31.12 : Post Code = 4B	31.36 : Post Code = AD Matched
18.98 : Post Code = 1	31.12 : Post Code = 4F	31.36 : WaitForSerialPost...Post Complete
18.98 : Post Code = 7	31.12 : Post Code = 52	31.39 : POST Success - Received Post Code B1h
18.98 : Post Code = 8	31.12 : Post Code = 7F	or ADh - POST Complete
19.01 : Post Code = B	31.12 : Post Code = 80	31.52 : PASS: POST1Check1
19.13 : Post Code = F	31.23 : Post Code = 83	31.57 : PASS: POST1
19.13 : Post Code = 19	31.23 : Post Code = 8B	
19.13 : Post Code = 25	31.23 : Post Code = 95	

Figura 2.4 Secuencia de códigos para una prueba exitosa.

42265.83 : PASS: SetupPOST1	42268.26 : Post Code = E0	42310.09 : Post Code = EF
42266.08 : Wait for POST Code = B1H or ADH	42268.45 : Post Code = E9	42310.37 : Post Code = E9
42266.28 : Post Code = DD	42270.07 : Post Code = EA	42312.78 : Post Code = EA
42266.46 : Post Code = D1	42270.25 : Post Code = EB	42313.00 : Post Code = EB
42266.65 : Post Code = 14	42282.60 : Post Code = EF	42324.00 : Post Code = EF
42266.84 : Post Code = D0	42283.00 : Post Code = E9	42324.42 : Post Code = E9
42267.02 : Post Code = D2	42284.31 : Post Code = EA	42326.03 : Post Code = EA
42267.21 : Post Code = D3	42284.49 : Post Code = EB	42326.52 : Post Code = EB
42267.40 : Post Code = D4	42296.35 : Post Code = EF	42329.02 : WaitForSerialPost...POST Timed Out
42267.59 : Post Code = D5	42296.63 : Post Code = E9	42329.31 : 1st POST Timed Out
42267.88 : Post Code = D6	42298.27 : Post Code = EA	42329.50 : FAIL: POST1Check1
42268.07 : Post Code = D7	42298.45 : Post Code = EB	42329.73 : FAIL: POST1

Figura 2.5 Secuencia de códigos para una prueba fallida debido a una cadena no esperada.

6911.02 : PASS: SetupPOST1
6911.17 : Wait for POST Code = B1H or ADH
6911.31 : Post Code = DD
6911.33 : Post Code = D1
6911.36 : Post Code = 14
6911.38 : Post Code = D0
6911.41 : Post Code = D2
6911.43 : Post Code = D3
6973.61 : WaitForSerialPost...POST Timed Out

Figura 2.6 Secuencia de códigos para una prueba fallida debido a un código detenido.

Sin embargo cuando se presenta un problema como éste la unidad tiene que ser probada de nuevo para validar su falla y esa misma unidad que falló en ese punto, en la segunda prueba no falla del todo; por lo que se clasifica como una falla falsa.

2.2 Requerimientos de la empresa

Dentro de los requerimientos exigidos por la empresa se encuentran los siguientes.

- a. Investigar, entender y documentar el problema que se presenta en la sección de pruebas de la PVP.
- b. Continuar con los lineamientos y las metodologías sobre el diseño de software.
- c. Generar un reporte sobre el efecto de todas las posibles causas investigadas.
- d. Identificar las posibles causas relacionadas con el hardware de la unidad de prueba y proponer posibles mejoras.
- e. Identificar las posibles causas relacionadas con el software de la unidad de prueba y proponer posibles cambios que perfeccionen el sistema.
- f. Dar seguimiento y soporte a las posibles causas de fallas falsas así como a sus posibles soluciones.

2.3 Solución propuesta

Fue por razones de tiempo y alcance que la investigación se enfocó en un único producto previamente seleccionado. Además por razones de confidencialidad para con la empresa, se reservó el nombre de este producto; aduciéndose a éste únicamente como el procesador.

Se pretendió investigar todas las posibles causas de fallas falsas del procesador en las pruebas de verificación de calidad para entregar una propuesta con algunas medidas necesarias que llegarían a detectar y disminuir las fallas falsas. La investigación estuvo orientada en la determinación de óptima conexión entre el procesador y la tarjeta madre, en la influencia de las diferentes variables físicas presentes en la unidad de prueba (presión, temperatura, electrostática), en el actual programa de prueba y otros.

Se debió tomar en consideración que los conectores que se utilizan en medio del procesador y la tarjeta madre cumplen con funciones esenciales, además de ser indispensables para el desarrollo de pruebas y mediciones. La figura 2.7 muestra un diagrama a gran escala de la conexión existente.

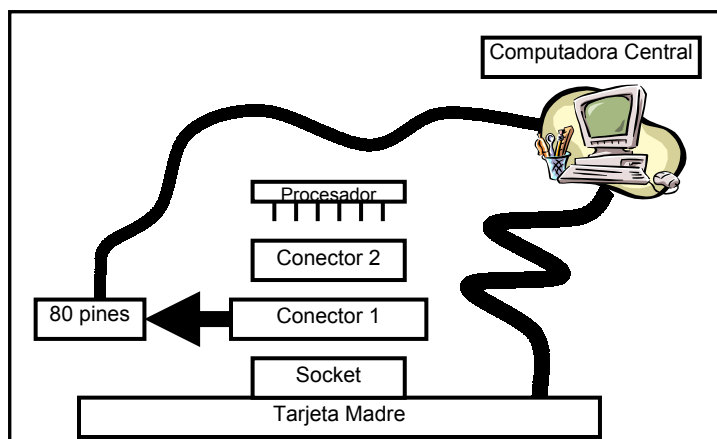


Figura 2.7 Diagrama de la conexión general del equipo de prueba.

También, se determinó si la actual interfase de software estaba realizando un trabajo favorable para que en caso contrario se presentaran las medidas que perfeccionarían o mejorarían ésta.

La investigación en el software, debió ser paralela o compatible con la metodología ya establecida en la PVP. Además se debió comprender el flujo aplicado a los productos seleccionados en el piso de producción. Fue indispensable realizar una modificación al software actual, por lo que el flujo que se mencionó anteriormente (en la figura 2.3) se vio afectado. La parte específica del programa de prueba que se afectó, se puede apreciar en la figura 2.8, que es la subrutina que muestra en enlace entre la información suministrada por la POST-card y el análisis de ésta por parte del procesador y el programa de prueba como conjunto.

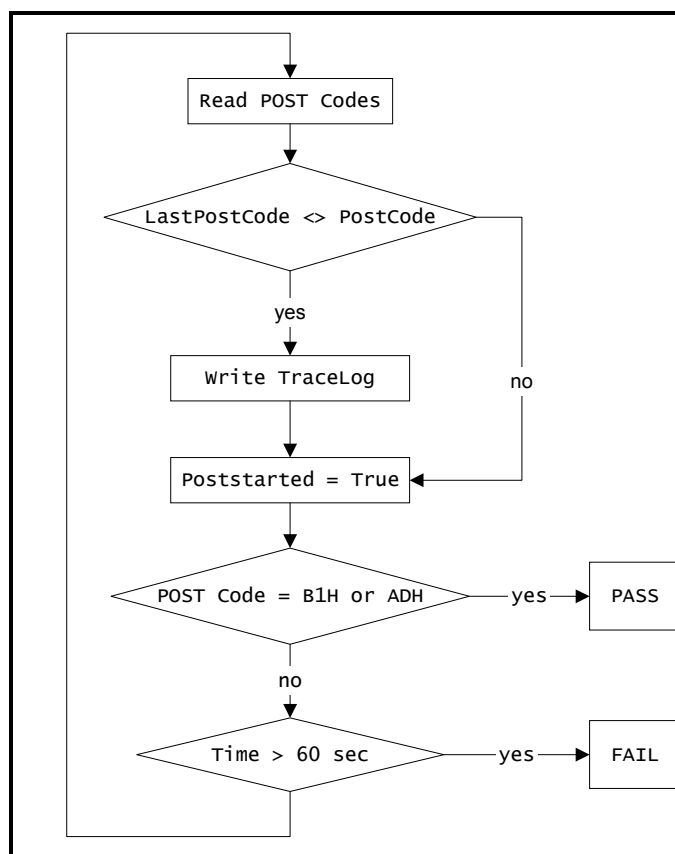


Figura 2.8 Diagrama de flujo del proceso de Post1check1 original.

Capítulo 3: Procedimiento metodológico

- 1) Documentar los problemas generados por las falsas fallas en la PVP.
 - a. Obtener de las bases de datos, información sobre la reducción de la capacidad en el piso de producción.
 - b. Obtener de las bases de datos, información sobre los excesos de los tiempos de las segundas pruebas.
 - c. Obtener información acerca del promedio de las pérdidas económicas que se presentan por semana.
- 2) Generar un documento con la información correspondiente al hardware de la PVP.
 - a. Asistir a las capacitaciones sobre los peligros, funcionamiento y mantenimiento de las unidades de prueba.
 - b. Realizar entrenamientos asistidos por computadora relacionados con el manejo de equipo eléctrico especial.
- 3) Recibir capacitaciones y realizar entrenamientos asistidos por computadora sobre el software de la PVP.
- 4) Investigar el software relacionado con las pruebas de verificación de calidad para proponer mejoras.
 - a. Simplificar mediante un diagrama de flujo el contenido del programa de pruebas de verificación de calidad.
 - b. Realizar pruebas de corrimiento del programa para documentar comportamientos inusuales del sistema.
- 5) Investigar la metodología de los procesos de pruebas para definir las posibles causas de fallas falsas.

- 6) Realizar mediciones de las diferentes variables físicas que se encuentran presentes en la PVP.
 - a. Reservar el tiempo en las plataformas de producción, necesario para realizar las mediciones.
 - b. Determinar la presión mínima con la que el actuador térmico puede trabajar.
 - c. Determinar los perfiles de temperatura del actuador térmico y del procesador para diferentes presiones.
 - d. Realizar mediciones sobre la transferencia de calor al procesador para diferentes presiones.
 - e. Determinar la calidad de la comunicación entre el procesador y el contactor del módulo de pruebas.
 - f. Medir la conductividad del contactor cuando ocurre una falla falsa para buscar los falsos contactos.
 - g. Observar los procedimientos sobre el manejo del producto en el piso de producción.
- 7) Documentar los efectos que las mediciones de las diferentes variables físicas provocaron en las fallas falsas.
- 8) Proponer medidas correctivas en el hardware de la PVP.
 - a. Presentar un reporte con una lista de las posibles mejoras que se deben aplicar al hardware de la PVP.
 - b. Programar reuniones con las personas que se ven afectadas con la posible implementación de la solución para mostrar los resultados.
- 9) Proponer medidas correctivas en el software de la PVP.
 - a. Presentar un reporte con una lista de las posibles mejoras que se deben aplicar al software de la PVP.
 - b. Programar reuniones con las personas que se ven afectadas con la posible implementación de la solución para mostrar los resultados.

- 10) Presentar un reporte con las posibles causas de las falsas fallas y con las posibles medidas correctivas.
- a. Documentar el trabajo realizado exponiendo claramente los resultados obtenidos en la sección de las causas de las fallas falsas.
 - b. Documentar el trabajo realizado exponiendo claramente los procedimientos para implementar las posibles soluciones.

Capítulo 4: Descripción del hardware utilizado

4.1 Descripción del equipo de prueba

El equipo de prueba que se utiliza para examinar los procesadores, es básicamente el equipo que se puede encontrar dentro de un CPU de una computadora de escritorio. Sin embargo también se encuentran accesorios que son muy utilizados en el análisis de errores, mediciones de voltaje, corriente, temperatura, velocidad, transmisión de datos y otros.

La figura 4.1 muestra el interior de un equipo de prueba. En esta figura se pueden observar las partes más importantes que constituyen este equipo.

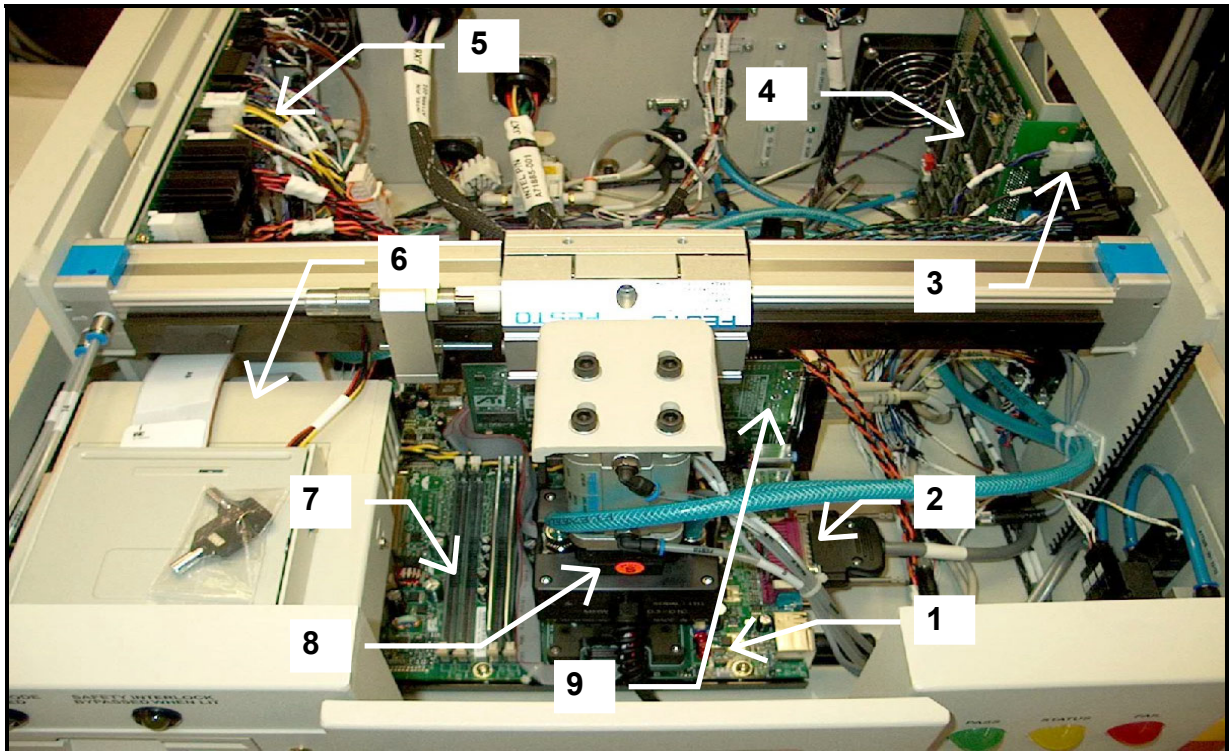


Figura 4.1 Interior del equipo de prueba.

- 1) Tarjeta madre: es uno de los componentes más importantes dentro de una computadora de escritorio.
- 2) Puertos de entrada / salida: permite la conexión de dispositivos como el teclado, el ratón, el monitor entre otros.
- 3) Celbridge-board: es la tarjeta que provee las conexiones físicas de los puertos de entrada / salida para la Centrix-board
- 4) Centrix-board: es la tarjeta que provee la comunicación, control y monitoreo entre la unidad de prueba y el programa de prueba.
- 5) Fuente de poder: provee y distribuye la energía a todos los sistemas conectados en la unidad de prueba.
- 6) Disco duro: es la unidad externa donde se almacena la información necesaria para hacer correr el sistema.
- 7) Memoria: indispensable en una configuración básica, la memoria tipo RAM.
- 8) Actuador: dispositivo utilizado para sujetar el procesador y proveer el sistema de enfriamiento.
- 9) POST-card: tarjeta que provee el monitoreo del sistema del POST durante el levantamiento de sistemas operativos.

La figura 4.2 muestra una diagrama de cómo se interconectan todos los equipos internos y externos de la unidad de prueba.

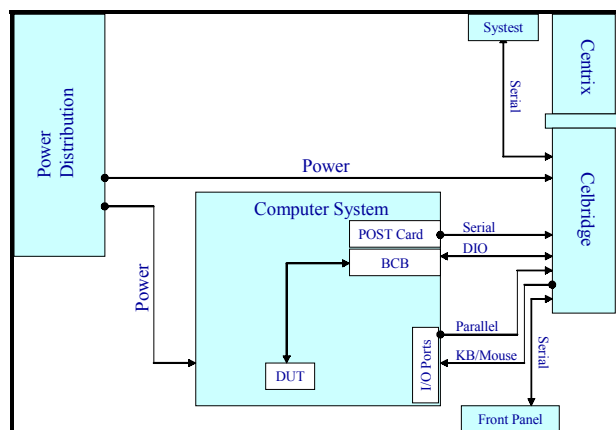


Figura 4.2 Diagrama de bloques de la conexión de un equipo de prueba.

4.2 Descripción de la tarjeta madre

La tarjeta madre utilizada en la unidad de prueba se puede observar en la figura 4.3. Además una descripción general de sus funciones se puede apreciar en la tabla 4.1.

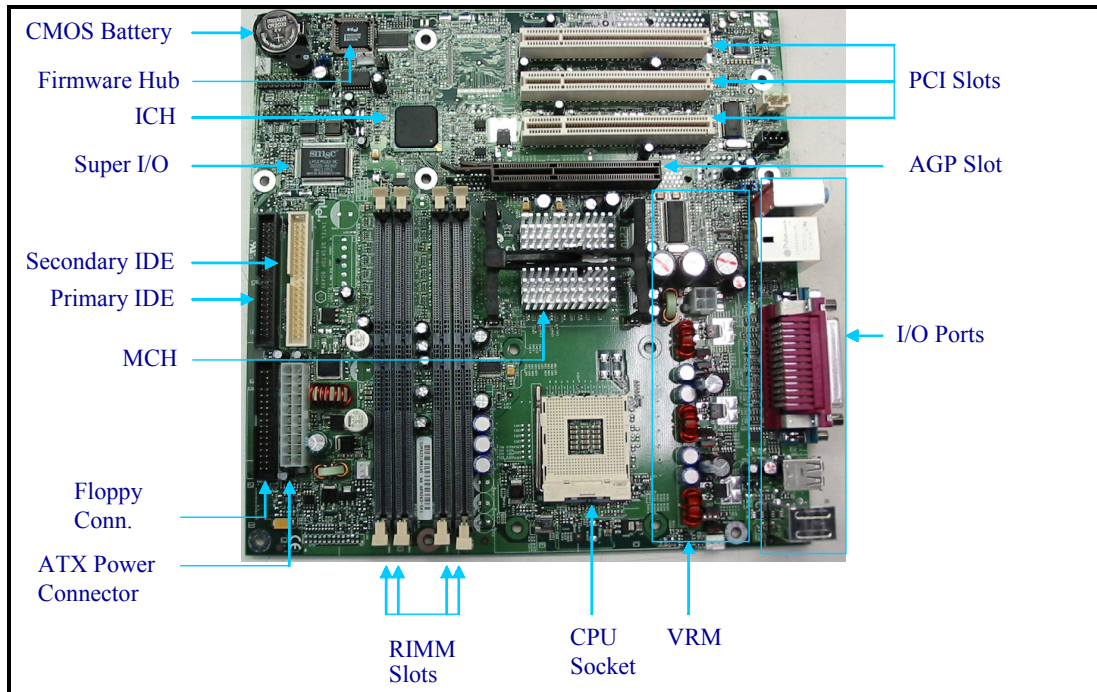


Figura 4.3 Fotografía de la tarjeta madre utilizada en la unidad de prueba.

Tabla 4.1 Descripción general de las funciones principales de la tarjeta madre.

AGP Slots	Puerto acelerador gráfico. Provee la interfase para la tarjeta de video
ATX Power Connector	Provee la interfase de poder para la tarjeta madre
CMOS Battery	Mantiene la memoria CMOS y provee la potencia para el RTC
CPU Socket	Conector de 478 pines tipo ZIF
Firmware Hub	Memoria tipo flash que contiene el sistema de BIOS
Floppy connector	Provee la conexión para la unidad del disquete
I/O Ports	Conectores para varias interfases de entrada / salida
ICH	Controlados de entradas / salidas
MCH	Controlador de memoria
PCI Slots	Interconector de componentes periféricos. Interfase de 32-bits
RIMM Slots	Módulos para conectar la memoria RAM
IDE connectors	Provee los conectores para las unidades de disco duro maestro y esclavo
Super i/o chip	Provee control para los puertos paralelo y serie, unidad de disquete y otros
VRM	Modulo de regulación de voltaje. Provee la potencia para el procesador.

4.3 Descripción de Celbridge-board y Centrix-board

La figura 4.4 muestra la interconexión de estas dos tarjetas cuyas funciones principales las realizan en conjunto ya que son dependientes entre sí.

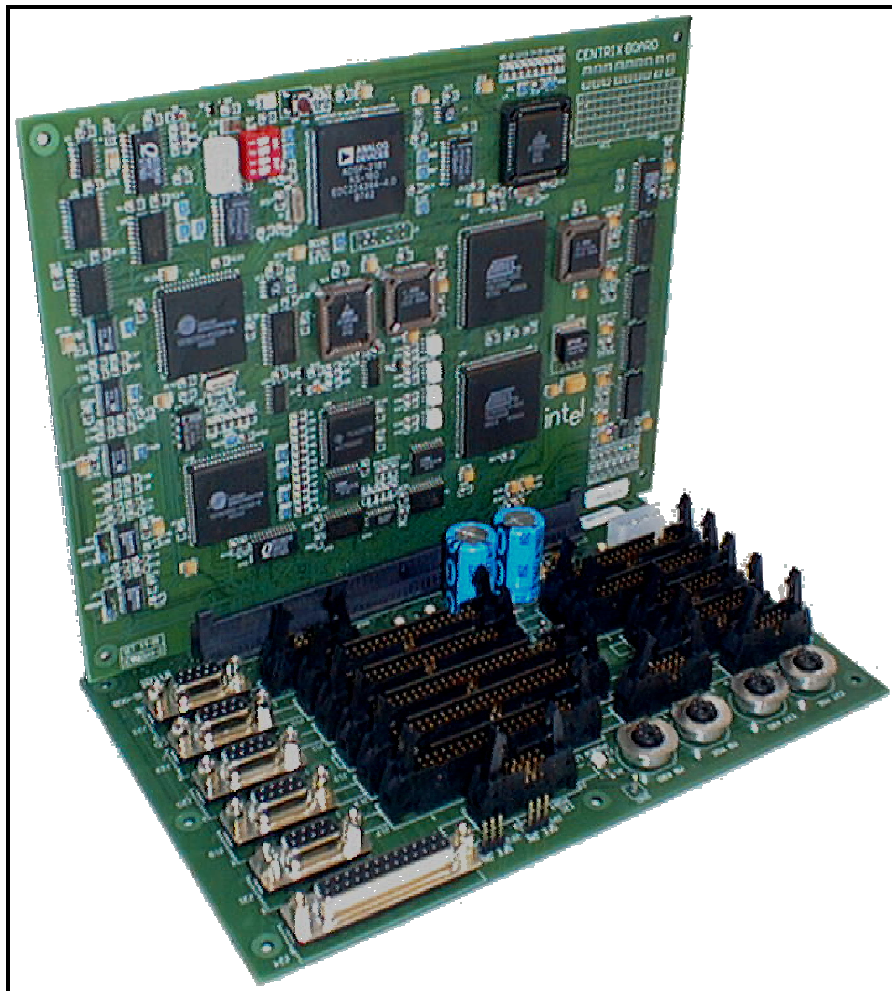


Figura 4.4 Fotografía de la conexión Celbridge-board Centrix-board.

Dentro de las funciones que este conjunto de tarjetas realizan se encuentran las siguientes:

- a. Puertos de comunicación: 5 puertos RS232 estándar. 2 puertos de alta velocidad 1MBaud y 3 puertos de velocidades estándar, todos configurables.

- b. 16 controladores para alto voltaje: 50 V máximo de colector abierto, 100 mA máximo todas las entradas utilizadas o 500 mA máximo para una entrada.
- c. 28 entradas para mediciones de voltaje: 7 entradas con un rango de ± 50 V y 21 entradas con un rango de ± 10 V.
- d. 2 divisores de frecuencia: ambos cuentan con un contador de 28bits, 1 capaz de medir hasta 80MHz y el otro hasta 66MHz.
- e. 1 emulador de teclado y ratón: estos emuladores son implementados utilizando un ATMEL AT89S8252.
- f. 1 medidor de temperatura: cuenta con un convertidor analógico a digital de 24bits utilizando un RTD de 100Ω .
- g. 118 líneas de entrada / salida digitales: 59 líneas a 5.0 V y 59 líneas a 3.3 V. Las líneas son compatibles con TTL mediante el uso de una resistencia de pull-up de $25k\Omega$.
- h. 1 controlador de interrupciones: puede manejar hasta 4 interrupciones generadas en los puertos RS232, 1 interrupción del puerto paralelo, 1 interrupción del medidor de temperatura y 4 interrupciones externas manejadas por software.
- i. Puerto controlador I²C: este puerto es utilizado para elevar el voltaje de procesador a 3.3V a un voltaje TTL de 5.0V. puede trabajar hasta 90kHz.
- j. 8 entradas opto-acopladas: estas entradas aisladas óptimamente se implementan mediante un MOCD223.

4.4 Descripción de la tarjeta de distribución de potencia

La tarjeta de distribución de potencia, es la encargada de distribuir toda la energía dentro de la unidad de prueba. Además contiene los circuitos controladores del bloqueo y los controladores para el paro de emergencia. La figura 4.5 muestra una foto de esta tarjeta y la figura 4.6 muestra el diagrama de bloques de la operación del enclavamiento de emergencia.

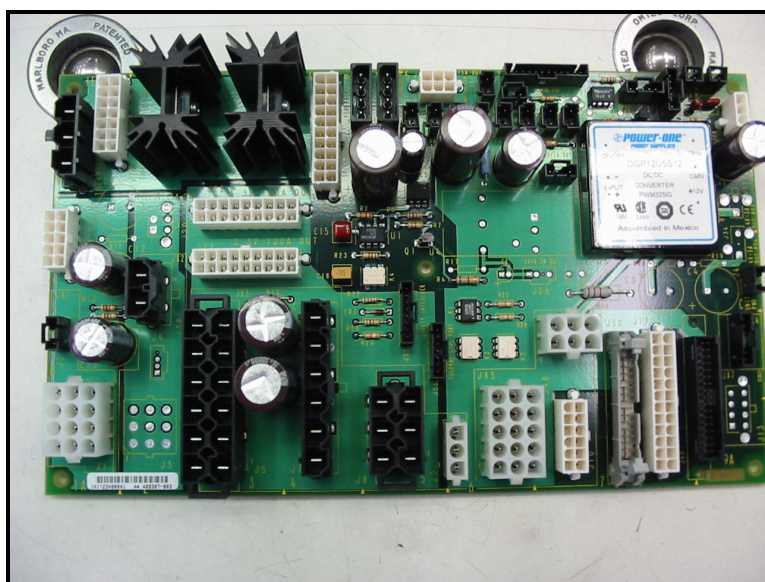


Figura 4.5 Fotografía de la tarjeta de distribución de potencia.

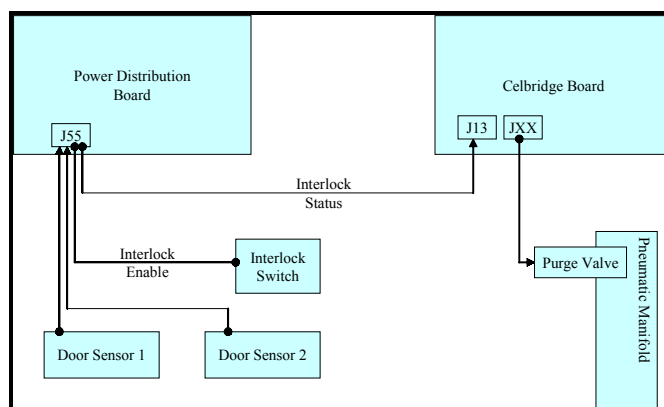


Figura 4.6 Diagrama de bloques de la operación de enclavamiento de emergencia.

4.5 Descripción del actuador

Este actuador también es llamado la unidad de control térmico, puesto que entre sus funciones está la de controlar la temperatura del procesador que se prueba en ese momento; esto lo lograba a través de un sistema de enfriamiento basado en agua. Otra de sus funciones era la de proveer la sujeción del procesador con el conector de la tarjeta madre a través de un circuito neumático. En la figura 4.7 se puede apreciar este actuador con todo su sistema de enfriamiento.

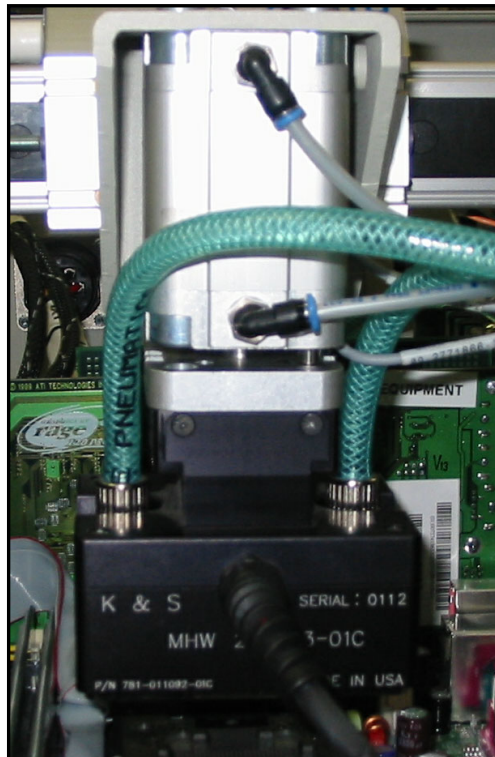


Figura 4.7 Foto del sistema de actuación y enfriamiento.

4.6 Descripción de la POST-card

Esta tarjeta fue uno de los objetos de estudio más importante, ya que es el hardware que está más relacionado con el proceso del POST. Mediante una conexión PCI en la tarjeta madre, esta otra podía acceder la dirección del puerto 80h del procesador en donde se encuentran los códigos de la secuencia del POST, permitiendo así el análisis de fallas cuando éstas se presentan.

Esta tarjeta incluía dos indicadores de 7 segmentos, en donde se podía observar el código hexadecimal correspondiente así como también una conexión serial que permitía el envío de estos códigos a otra estación.

En la figura 4.8 se puede observar una fotografía de esta tarjeta.

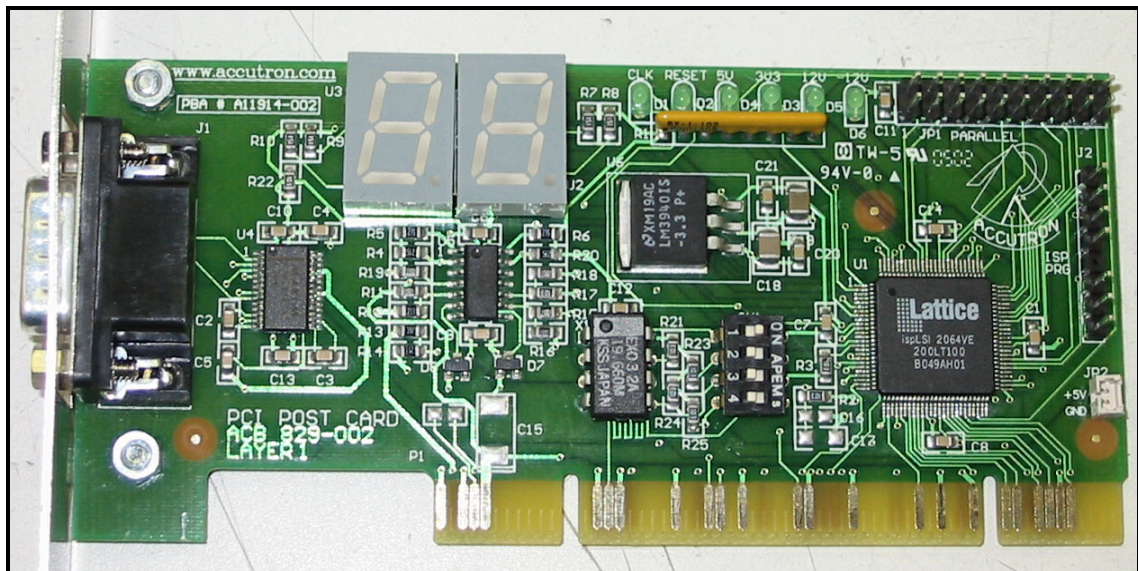


Figura 4.8 Foto de la conexión de la POST-card.

Capítulo 5: Descripción del software utilizado

5.1 Descripción de Systest Versión 2.2.0

El programa Systest es el programa utilizado para correr las pruebas en los procesadores. Este programa se comunica a través de la Celbridge-board con un computador principal que gobierna los resultados de las pruebas. Dentro de las características de arquitectura que contenía este programa, se encontraban la posibilidad de soportar varios usuarios, la capacidad de controlar dispositivos externos, accesorios y herramientas, rastreador de eventos para encontrar errores provocados por agentes externos y editor de texto con codificación de colores para las palabras claves.

La figura 5.1 muestra la interfase gráfica inicial del programa.

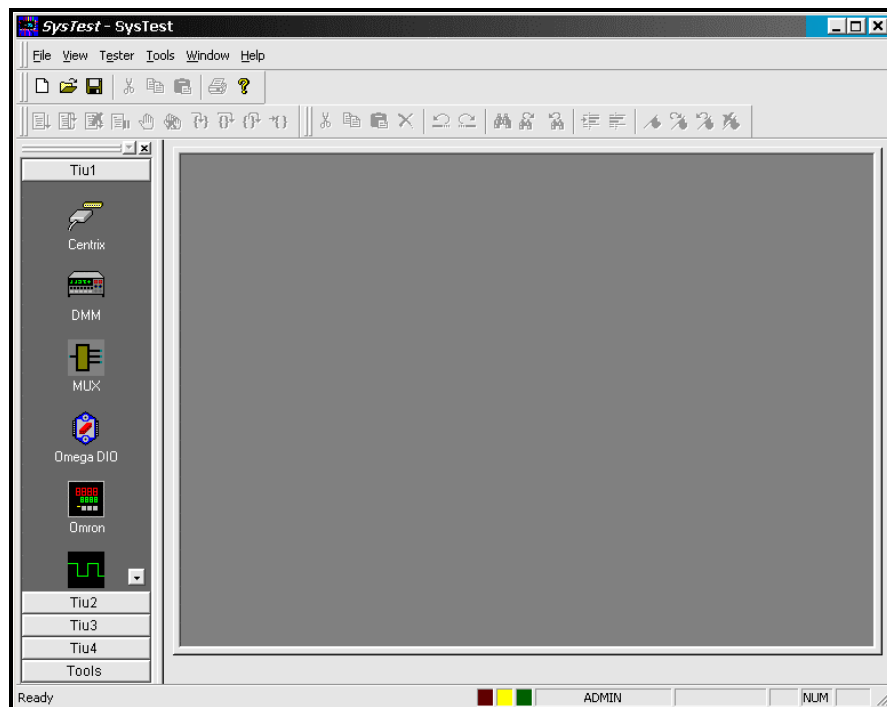


Figura 5.1 Interfase gráfica del programa Systest Versión 2.2.0.

Este programa tiene la capacidad de controlar hasta 4 unidades de prueba y en cada unidad se puede cargar un programa diferente y tener control individual. Para el corrimiento de cada programa, se dispone de una barra de herramientas que permite realizar funciones como inicio, fin, pausa, parar, paso a paso, entre otros. La figura 5.2 muestra la ventana principal del programa de prueba. También en la figura 5.3 se muestra una sección de un típico programa de prueba.

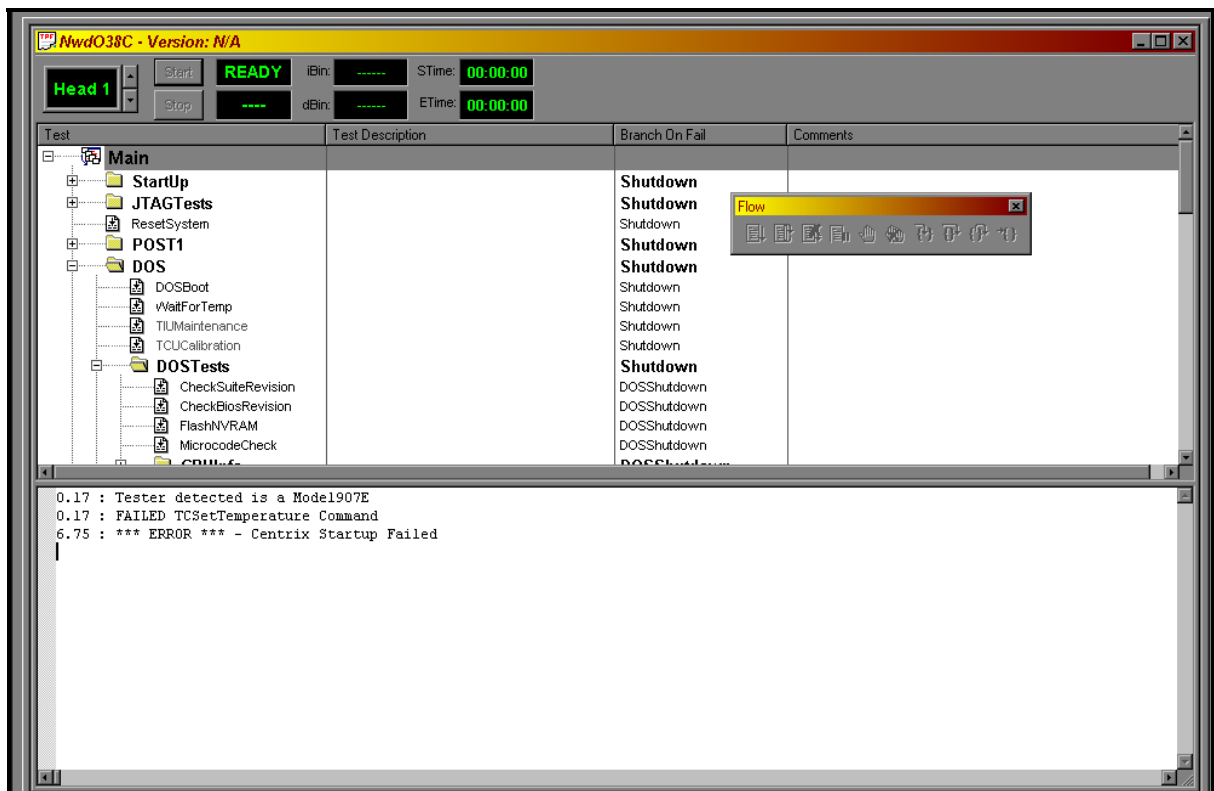


Figura 5.2 Ventana principal del programa de prueba.

```
'Name: SetupPOST1
'Parent: POST1
'Description:
-----
Sub OnSetupPOST1

    Centrix.CeSendFpMessage vbcr & "1st POST"

    PostStarted = False
    PostCode = 0
    PostPCIState = 0
    LastPostCode = 0

    SetupPOST1.Result = PASS

End Sub

'Name: POST1Check1
'Parent: POST1
'Description:
-----
Sub OnPOST1Check1

    DIM RetVal

    POST1Check1.result = FAIL

    if (FSB_SPEED_FUSE = 2 or FSB_SPEED_FUSE = 3) then
        RetVal = WaitForPostCode(CentrixPostComPort,&h38,&h80,60,TRUE)
        sequencer.Sleep(8000)
    else
        RetVal = WaitForPostCode(CentrixPostComPort,&hB1,&hAD,60,FALSE)
    end if

    if (RetVal = FALSE) then
        if ( PostStarted = TRUE ) then
            tracelog.write("1st POST Timed Out")
            dBin = FAILED_1ST_POST : iBin = cint (dbin\100)
        else
```

Figura 5.3 Sección del programa de prueba principal.

Capítulo 6: Análisis y resultados

6.1 Resultados de la Investigación

El desarrollo de la investigación de este proyecto estuvo enfocado en determinar el grado de influencia de cada una de las variables físicas presentes en el equipo de medición y el actual programa de prueba sobre la aparición de fallas falsas durante el proceso del POST. Se realizaron diferentes experimentos con variados cambios en las condiciones de las pruebas.

6.1.1 Efecto de la presión sobre el procesador.

Debido a que el proceso de sujeción del procesador con el conector de la tarjeta madre se realizaba por medio de un sistema neumático, se decidió investigar primeramente el efecto de la presión sobre el comportamiento del procesador en el programa de prueba.

En la figura 6.1 se puede apreciar un gráfico que muestra la efectividad de la prueba para diferentes presiones. En un inicio las unidades de prueba trabajaban con 60lbs de presión. Esta era la fuerza que ejercía el actuador sobre el procesador.

Del gráfico de la figura 6.1 se rescata que el efecto de la presión sobre los resultados positivos de la prueba no es lineal, es decir no se observa una relación directa como para decir que a mayor presión existe mayor efectividad; lo que sí se ve claro es que también la presión de 40lbs tiene una alta efectividad, por lo que la investigación se dirigió a observar el comportamiento a presiones cercanas a 40lbs en comparación con la presión de 60lbs.

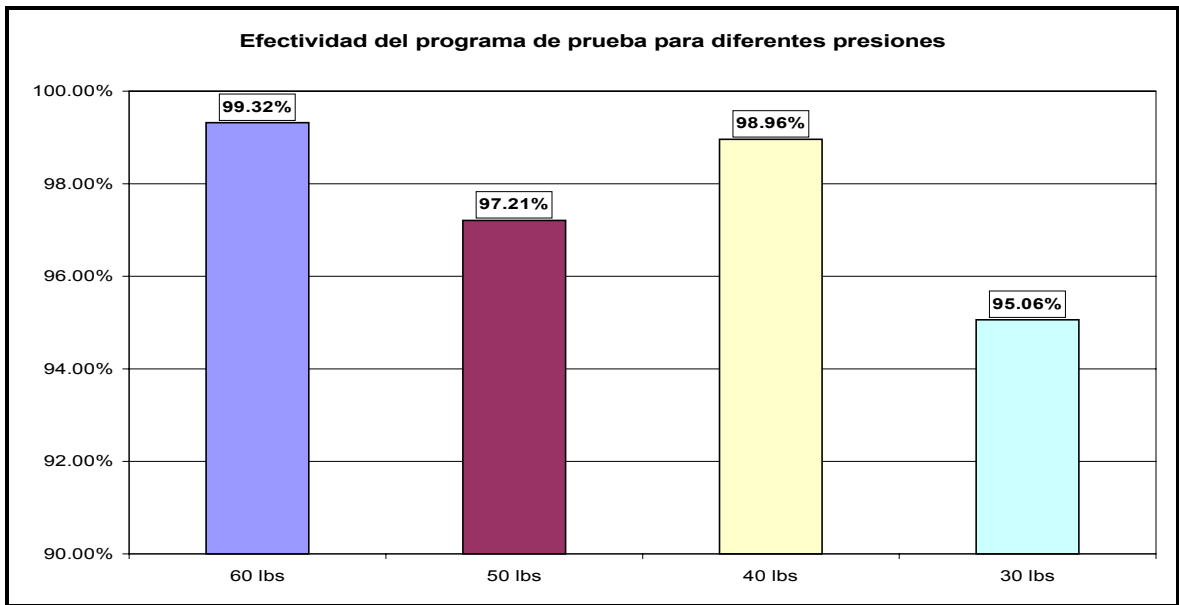



Figura 6.1 Gráfico comparativo de la efectividad de la prueba a diferentes presiones.

Además el tipo de conector utilizado para enlazar el procesador con la tarjeta madre está directamente relacionado con la presión ejercida sobre el procesador en prueba; debido a que éste utiliza pines con efecto retráctil, es decir existe un pequeño resorte adentro.

Parte de la investigación consistió en averiguar la fuerza mínima necesaria para accionar cada uno de estos pines. El fabricante de este producto, especifica que para poder activar un pin, se necesita de una fuerza de 37 gramos; tal y como se puede apreciar en la figura 6.2.



Pin Part #:	200-000925-002
Description:	Pin. special applications (2.54mm Interstitial PGA)
Pitch range (mm):	1.27
Plunger tip design (device side):	12 point large crown
Plunger tip design (PCB side):	cone
Plunger (PCB side/ Device side) Diameter (mm):	0.25/0.76
Shell /Ring (AR) Diameter:	0.89
Free Length –Total(MM):	7.40
Compressed Length Range Min/Max:	5.90 TO 6.60
Recommended Pin Travel- Displacement (avg)	1.40
Lab Test Force (grams avg) (@ Lab Test Nominal)	37
DC Resistance AVG (@ Lab Test Nominal Displacement) / UPPER (Avg + 2 sigma) @ Lab Test Range AVG / UPPER	45 milliohms / 150 milliohms
Lab Test Preload Force (avg) (@ Lab Test Nominal)	5 grams
Operating Temperature Range	-20 to 120 C
Max Static Current (20% derated) at RT operating temperature	4.3 amps
Self inductance (field/edge/corner):	2.2nH / 2.6nH / 3.1nH
Mutual Capacitance (NTE):	0.08 pF
Bandwidth frequency (field @ -1db/-0.5db)	4.2 GHz / 3.2GHz

Kulicke & Soffa Interconnect,
Package Test Products,
K&S Test Products
3191 Corporate Place
Hayward, Ca. 94545
(415) 782-2654




Figura 6.2 Hoja de datos del pin utilizado en el conector de la unidad de prueba.

Esta información fue determinante para establecer la presión de los siguientes experimentos. Como el procesador sobre el cual se estaba trabajando contenía un total de 478 pines, se calculó la presión mínima necesaria que el actuador debía ejercer sobre el procesador para poder activar los pines de la manera más óptima. Este cálculo se puede apreciar en la figura 6.3.

$$478 \text{ pin} \cdot \left(\frac{37 \text{ g}}{1 \text{ pin}} \right) \cdot \left(\frac{2.2 \text{ lbs}}{1000 \text{ g}} \right) = 38.91 \text{ lbs}$$

Figura 6.3 Cálculo de la presión óptima del actuador.

Este resultado de 38.91lbs de presión se modificó para obtener una presión de prueba de 45lbs. La modificación realizada, obedeció a las características

específicas del área de trabajo. La presión efectiva que se entregaba en el piso de producción tenía una tolerancia de ± 5 lbs; así que se debía de asegurar el mínimo exigido por los pines utilizados.

Se corrieron experimentos para determinar la efectividad de un procesador conocido como unidad buena, en módulos de prueba con presiones de 60lbs y 40lbs. Los datos obtenidos muestran que el comportamiento del procesador es ligeramente mejor cuando se trabaja a 45lbs. Se debió tomar en cuenta que estos primeros experimentos no pudieron ser ejecutados en los mismos módulos así como tampoco contaron con la misma cantidad de pruebas. El gráfico de la figura 6.4 muestra los resultados de este experimento a manera de comparación.

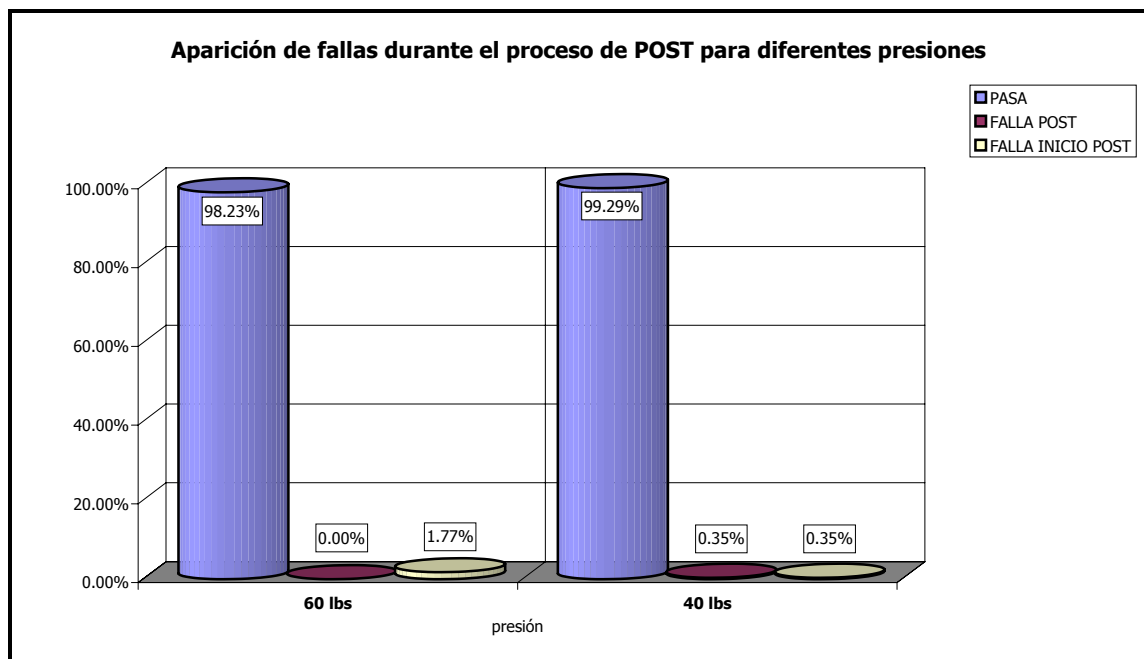


Figura 6.4 Resultado de la efectividad de la prueba con diferentes presiones.

Este gráfico muestra como a 40lbs de presión, hay un incremento del 1.06% en la cantidad de pruebas superadas satisfactoriamente y una reducción casi a la mitad de la aparición de los errores relacionados con el levantamiento de sistemas operativos.

Así mismo, se obtuvo de estos experimentos, resultados referentes a los tiempos que tarda una unidad en fallar, la cantidad de veces que falla en un tiempo determinado y en que posición se presentan estas fallas falsas.

Se puede apreciar en la figura 6.5 el gráfico que contiene la aparición de fallas falsas en un ciclo de 208 pruebas con una unidad conocida como buena para 60 lbs de presión.

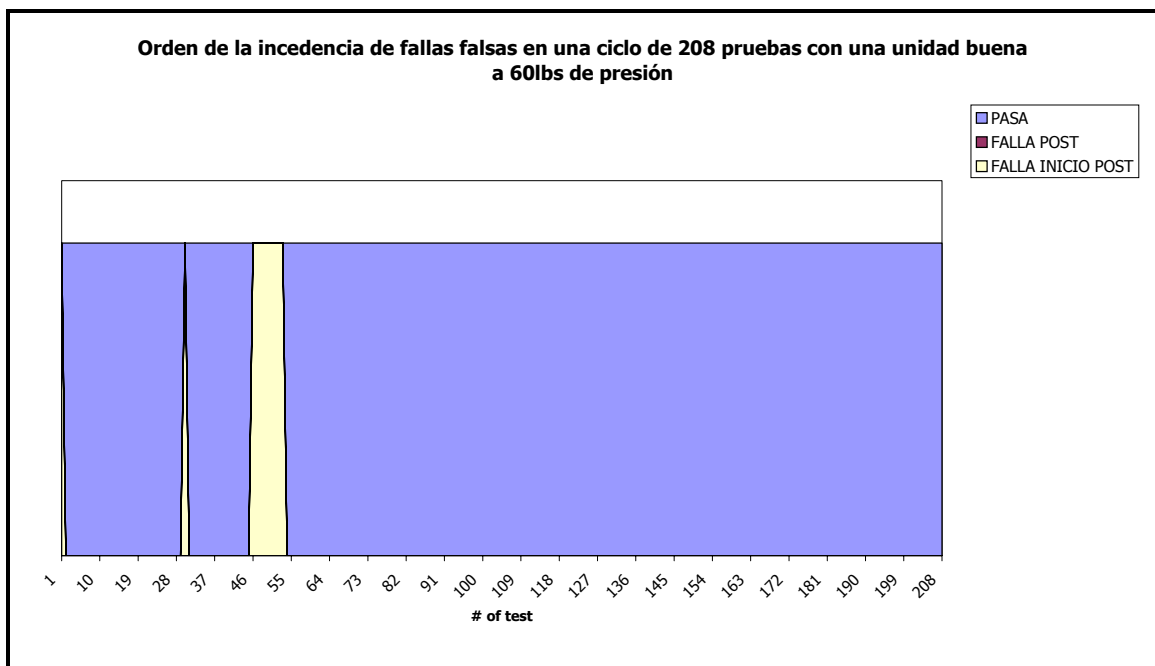


Figura 6.5 Aparición de fallas falsas en un ciclo a 60lbs.

Se rescata de ese gráfico como a 60lbs la aparición de fallas falsas es muy continua; ya que en un momento dado (a partir de la prueba 45), se presentaron 8 fallas falsas consecutivas. Situación que no se presenta cuando se trabaja a 45lbs, tal y como se puede apreciar en la siguiente figura.

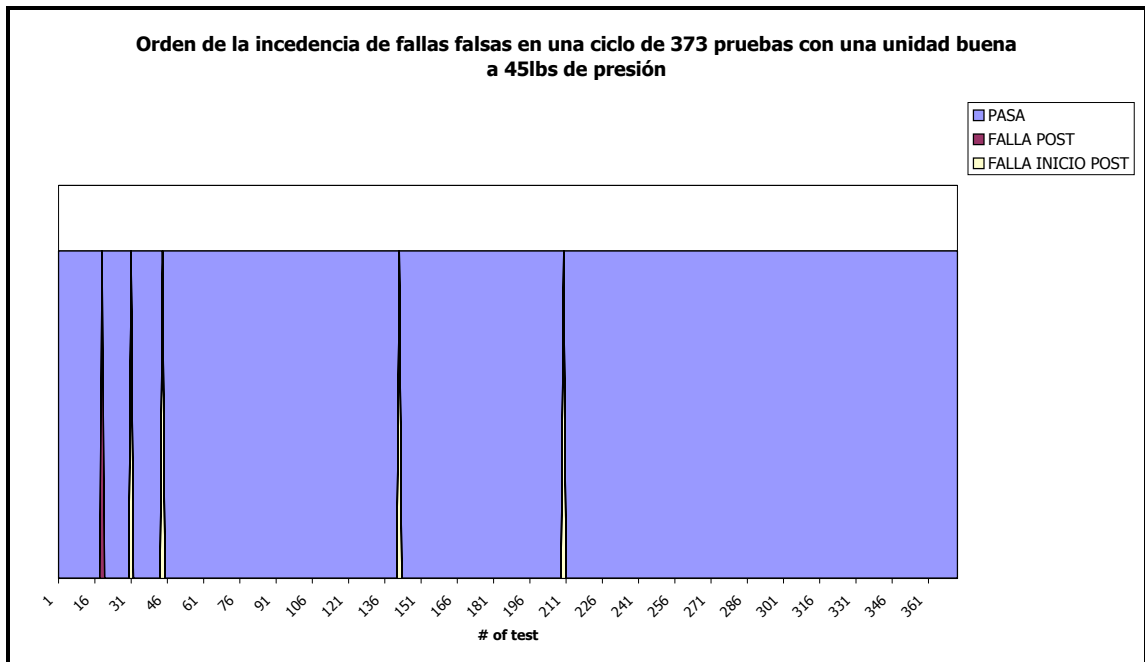


Figura 6.6 Aparición de fallas falsas en un ciclo a 45lbs.

De hecho a 45lbs de presión no se presentan fallas consecutivas de todo, situación que favorece mucho la continuidad de la producción de la fábrica, ya que el programa que gobierna estas pruebas es capaz de llevar la cuenta de los errores que se presentan y una vez que determina que 2 errores consecutivos ocurren detiene la unidad de prueba para que se le realice mantenimiento.

Esta situación provoca que el equipo no se esté utilizando muy eficientemente ya que en muchas ocasiones no es necesario realizar mantenimientos puesto que como se observó, las fallas son falsas.

Con base en estos resultados, se procedió a realizar un experimento directamente en la línea de producción para verificar el efecto de la presión sobre la efectividad de las pruebas. Sin embargo los resultados no fueron los esperados tal y como se puede apreciar en la figura 6.7.

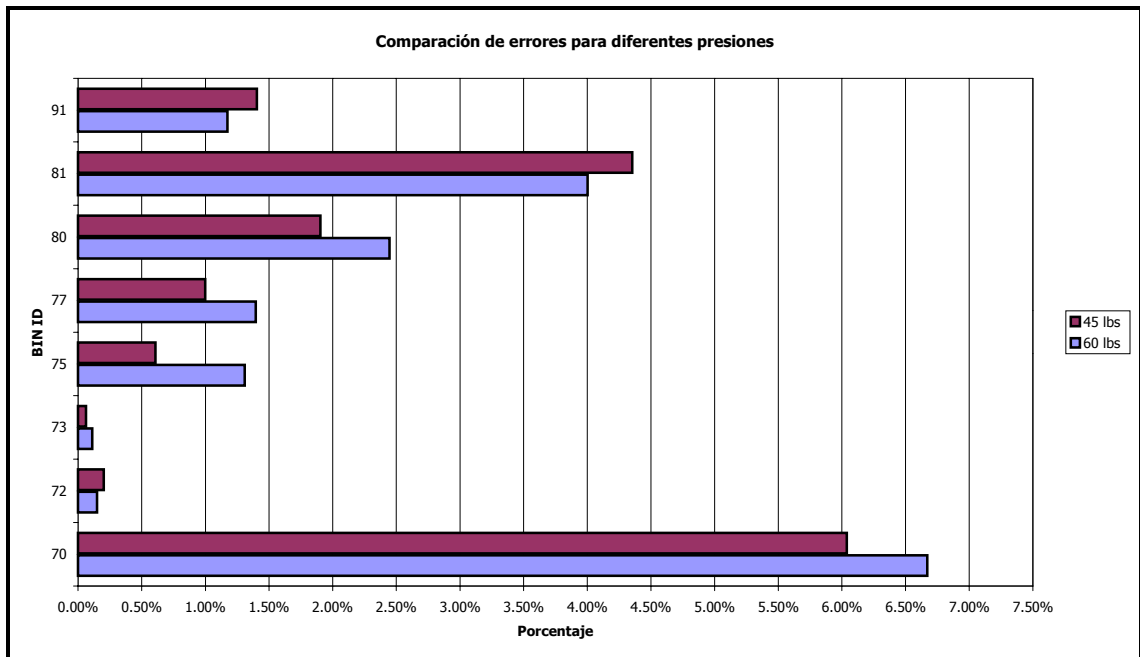


Figura 6.7 Aparición de errores para diferentes presiones.

En esta figura, se puede apreciar cómo sí hay una reducción en la mayoría de los errores cuando se trabaja a 45lbs. Empero, el BIN ID 81 (el cual está relacionado con los errores de levantamiento de sistemas operativos), tuvo un incremento del 0.35%

6.1.2 Efecto de la temperatura.

Otra variable física que se investigó, fue el efecto que existía sobre el comportamiento de la temperatura del procesador cuando se variaba la presión. En el gráfico de la figura 6.8, se pueden apreciar los perfiles del comportamiento de la temperatura del procesador para 60lbs de presión y para 40lbs de presión.

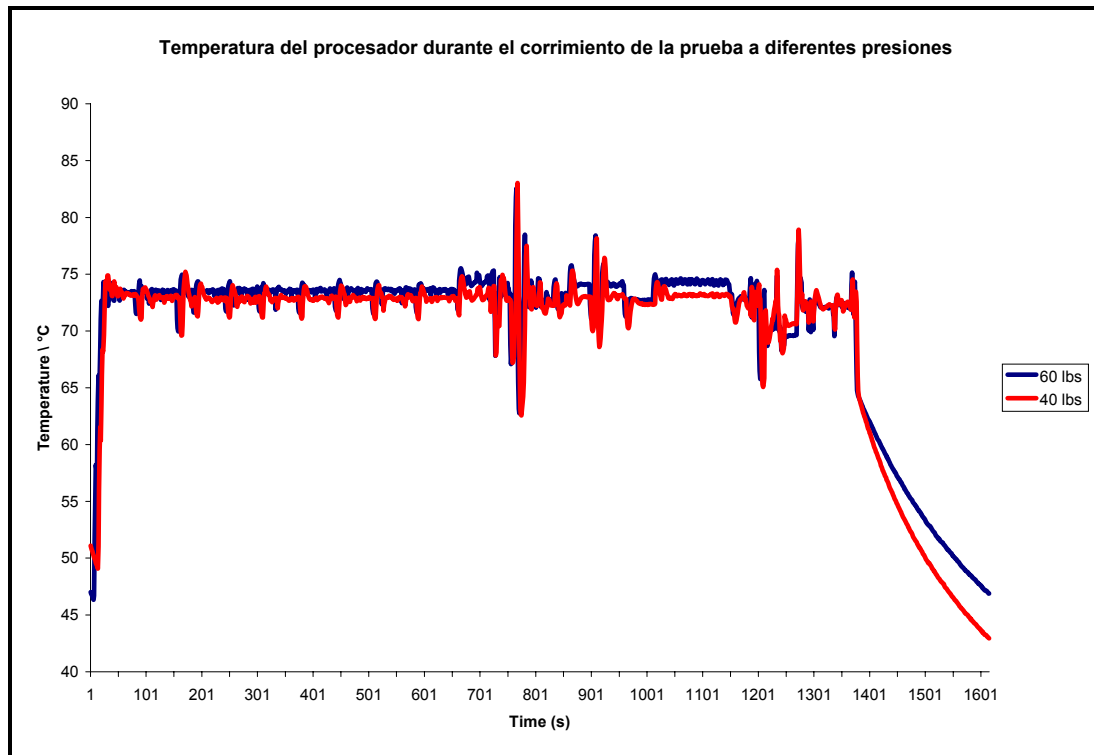


Figura 6.8 Gráfico comparativo del comportamiento de la temperatura del procesador para diferentes presiones.

En este gráfico se observa como no hay un cambio dramático en el comportamiento de la temperatura con el cambio de la presión, circunstancia que favorece puesto que no se afectan las características paramétricas de la prueba.

Se aprecia en el gráfico de la figura 6.8 como la temperatura sube a la temperatura definida igual de rápido para ambas presiones, los pequeños cambios que se observan durante el proceso están contemplados dentro de la incertidumbre del sistema y se aprecia también como al final de la prueba la temperatura disminuye más rápido a 40lbs que a 60lbs; esto es muy ventajoso pues previene accidentes por quemaduras.

6.1.3 Efecto del programa de prueba actual.

Además de la investigación en el área de hardware, se llevó paralelamente una investigación en el área de software. Consecuencia de la misma se debe de profundizar en la sección del programa de prueba involucrada con las fallas falsas inducidas por el no-levantamiento de sistemas operativos.

Los problemas que se presenta con el actual flujo del programa que se encarga de chequear el sistema del POST son varios. El primero, que no tiene una forma de verificar si la lectura de los códigos es correcta o si no se dio del todo; el segundo que en caso de que se dé una falla o no se haga una lectura correcta, el programa tiene que esperar hasta 60 segundos para salir de esta rutina cuando únicamente son necesarios 10 segundos aproximadamente para completarla exitosamente.

En la figura 6.9 se pueden observar el flujo normal de operación y el flujo con una de las posibles modificaciones al programa de prueba que ayudaría a mantener la comunicación entre el programa de prueba y la POST-card, encargada de enviar los códigos de la secuencia del POST. Se observa en esa figura que se incluyó una rutina que prueba si la comunicación fue exitosa para que en caso contrario ésta se demande; además de que se redujo el tiempo de espera a 15 segundos, para que el equipo se utilice más eficientemente y no se pierda tiempo en fallas falsas.

Esta modificación responde a los problemas planteados anteriormente, debido a que la causa principal que induce estas fallas falsas, es una pérdida de comunicación entre las tarjetas encargadas de enviar los datos y el programa de prueba, que una vez que pierde el hilo de la información no puede volver a engancharse tal y como se puede apreciar en la secuencia de la figura 6.10.

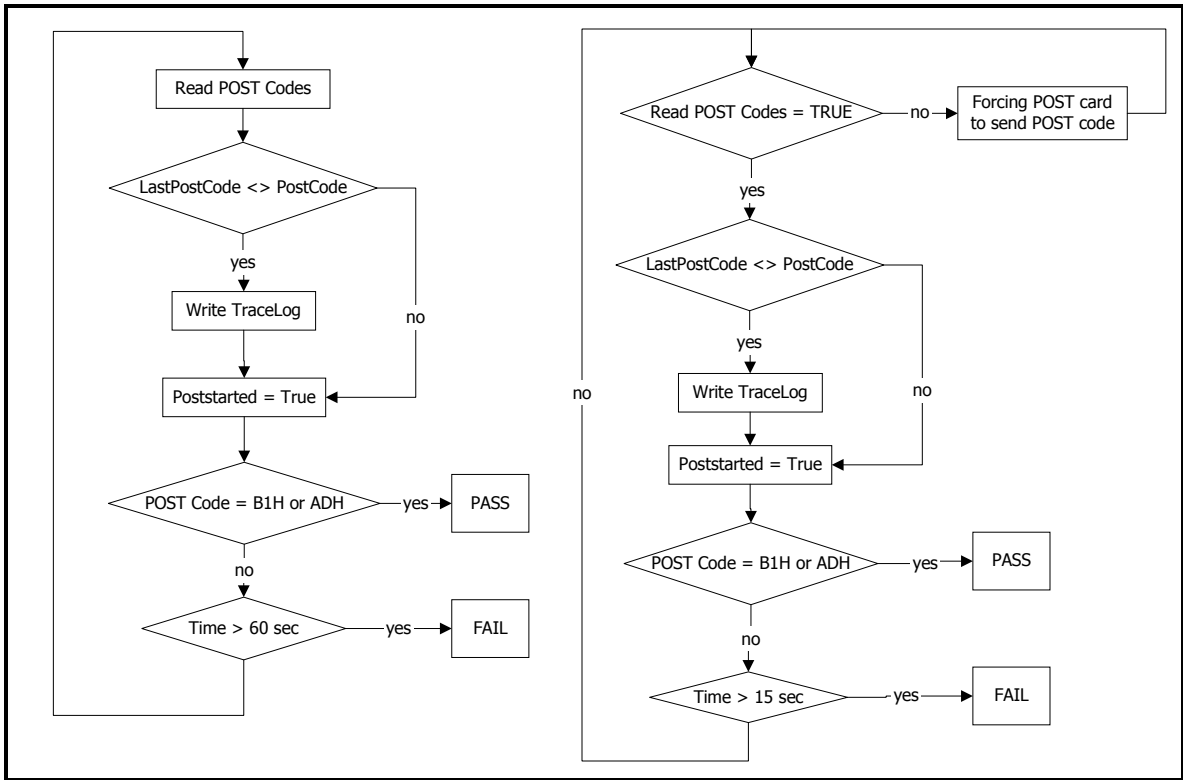


Figura 6.9 Comparación de flujos del proceso de Post1check1.

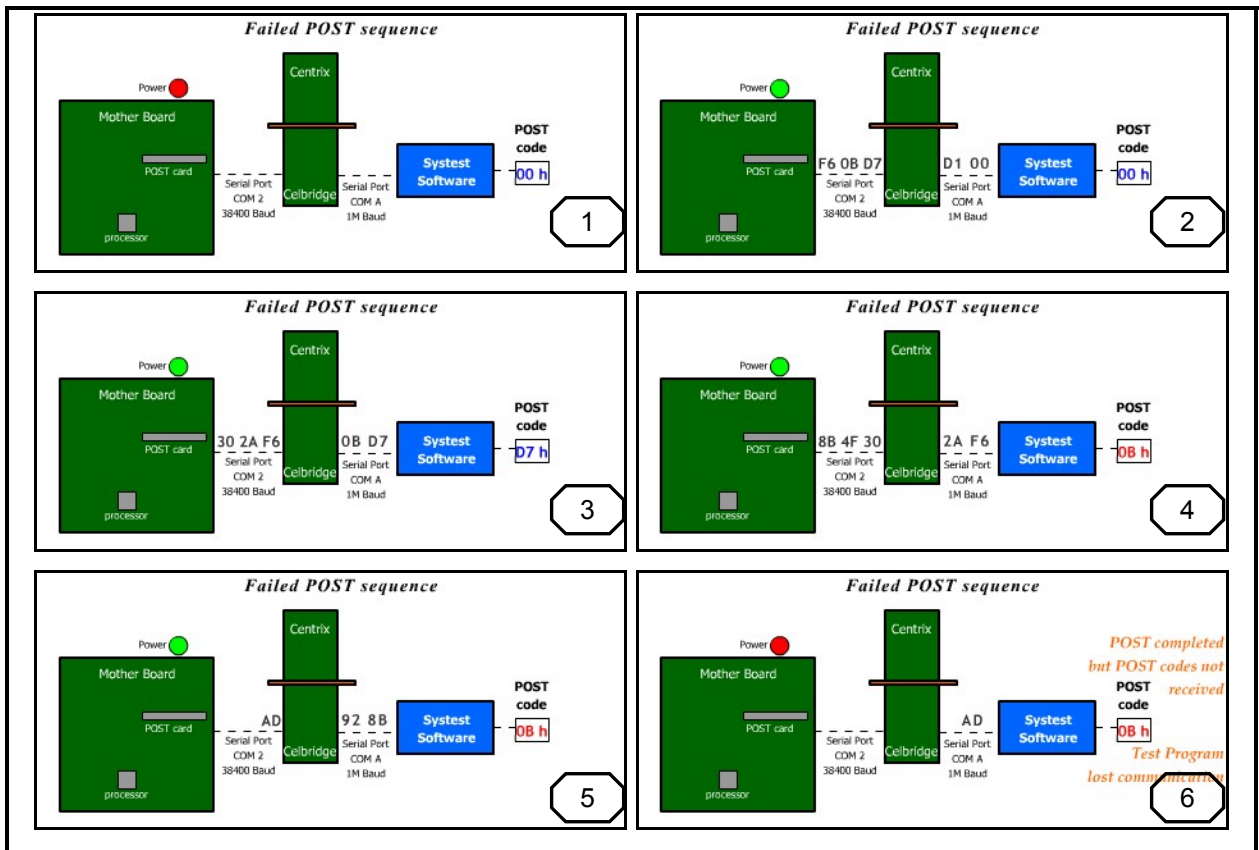


Figura 6.10 Diagrama de la pérdida de comunicación que ocasiona los fallos falsos.

En esta secuencia de la figura 6.10, se aprecia como al encender la tarjeta madre el procesador inicia el proceso de levantamiento de sistemas operativos, la POST-card empieza a enviar los datos a través de la Celbridge-card y el programa inmediatamente después los recibe. Sin embargo en un determinado momento, el programa se detiene aun cuando la POST-card continúa enviando la información ocasionando que el proceso termine (satisfactoriamente para el procesador), pero no así para el programa que indica que nunca finalizó induciendo una falla falsa.

Con las modificaciones mencionadas en la figura 6.9 se realizó un pequeño experimento en el piso de producción con unidades conocidas como buenas. Los resultados obtenidos se pueden observar en la figura 6.11 y en la tabla 6.1.

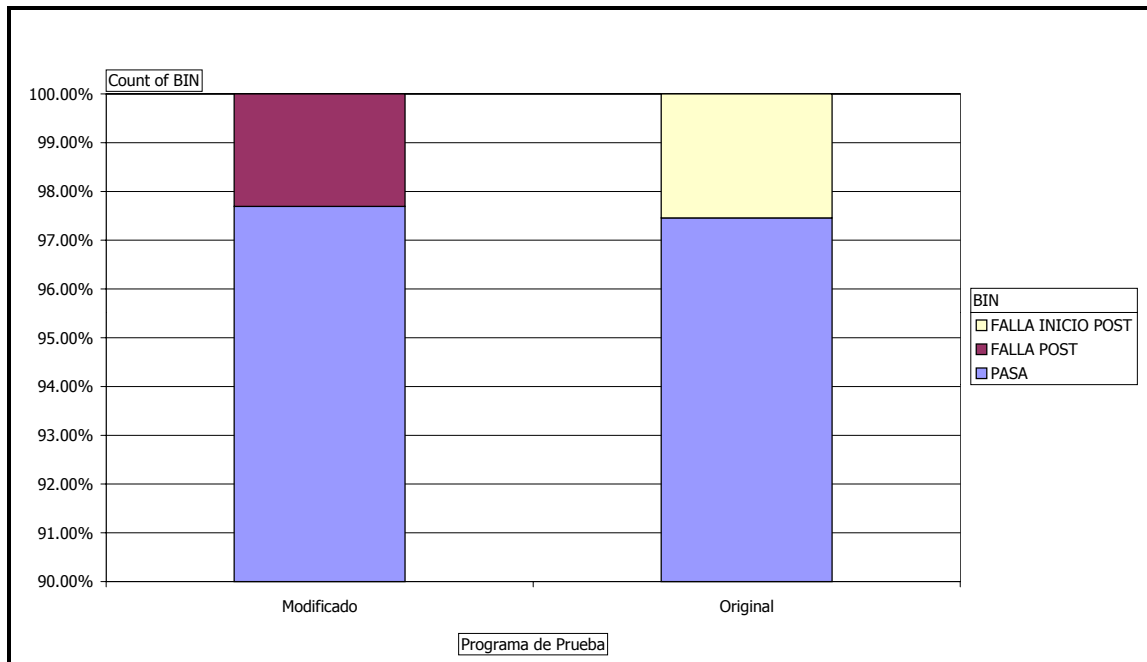


Figura 6.11 Aparición de fallas durante el proceso del POST para diferentes programas de prueba.

En este gráfico se observa que hay un incremento del 0.24% en la cantidad de pruebas superadas cuando se utiliza el programa de prueba modificado. Además los errores identificados con el número 8199, que indican que el proceso del POST no se pudo iniciar, desaparecen con el programa modificado; y en su lugar aparecen los errores 8101, que indican que el proceso del POST no se terminó pero que al menos sí inició.

De la tabla 6.1 se infiere muy certeramente como hay una reducción del tiempo que tarda la unidad desde encender hasta el proceso del POST de casi 2 segundos. Debido a que las modificaciones realizadas al programa de prueba logran leer más eficientemente los códigos generados durante el proceso del POST.

Tabla 6.1 Promedio del tiempo desde el proceso de encendido hasta el proceso del POST para diferentes programas de prueba.

Programa de prueba	Promedio del tiempo
Normal	23.104 segundos
Modificado	21.338 segundos

6.1.4 Efecto de la velocidad de transmisión.

Una vez que se determinó que el problema era causado de una manera aleatoria por un error en la comunicación; se investigó el efecto que la velocidad de transmisión entre POST-card/Celbridge y Centrix/Systest estaba produciendo en la efectividad de la comunicación y en la inducción de fallas falsas.

Estas dos conexiones son seriales del estándar RS232, la primera opera a baja velocidad de 38400 baudios y la segunda a alta velocidad de 1Mbaudio; ambas con la capacidad de variar su velocidad desde los 2400 hasta los 38400 baudios para la POST-card y desde los 9600 baudios hasta 1Mbaudio para la Centrix-card.

En la tabla 6.2 se observan los resultados del experimento que consistió en programar y correr pruebas del sistema del POST para diferentes combinaciones de velocidad.

Tabla 6.2 Cantidad de pruebas realizadas para diferentes combinaciones de velocidad.

POST card Baud Rate	Centrix Baud Rate 115K		Centrix Baud Rate 1M	
	PASO	FALLO	PASO	FALLO
2400 baudios	503	0	499	2
4800 baudios	503	0	501	2
9600 baudios	503	0	504	1
19200 baudios	503	0	503	0
38400 baudios	503	0	502	1

En esta tabla se observa que cuando se programó la velocidad de transmisión de la Centrix-card a 115kbaudios no influyó la velocidad de transmisión de la POST-card ya que no se presentaron fallas.

Por otro lado, Las fallas que se presentaron cuando la Centrix-card se programó para que trabajara a su máxima velocidad fueron realmente pocas. De hecho en uno de los casos cuando la POST-card se programó a 19200 baudios, no se presentaron fallos.

En el gráfico de la figura 6.12 se pueden apreciar estos resultados en forma de los porcentajes de pruebas superadas satisfactoriamente para diferentes combinaciones de velocidad de transmisión de la POST-card y la Celbridge-card. Se destaca de este gráfico lo que se mencionó anteriormente, las fallas son realmente muy pocas y no son significativas; el porcentaje de efectividad de todas las combinaciones de velocidad de transmisión es mayor o igual a 99.6%, lo que indica que todas las combinaciones son estadísticamente equivalentes.

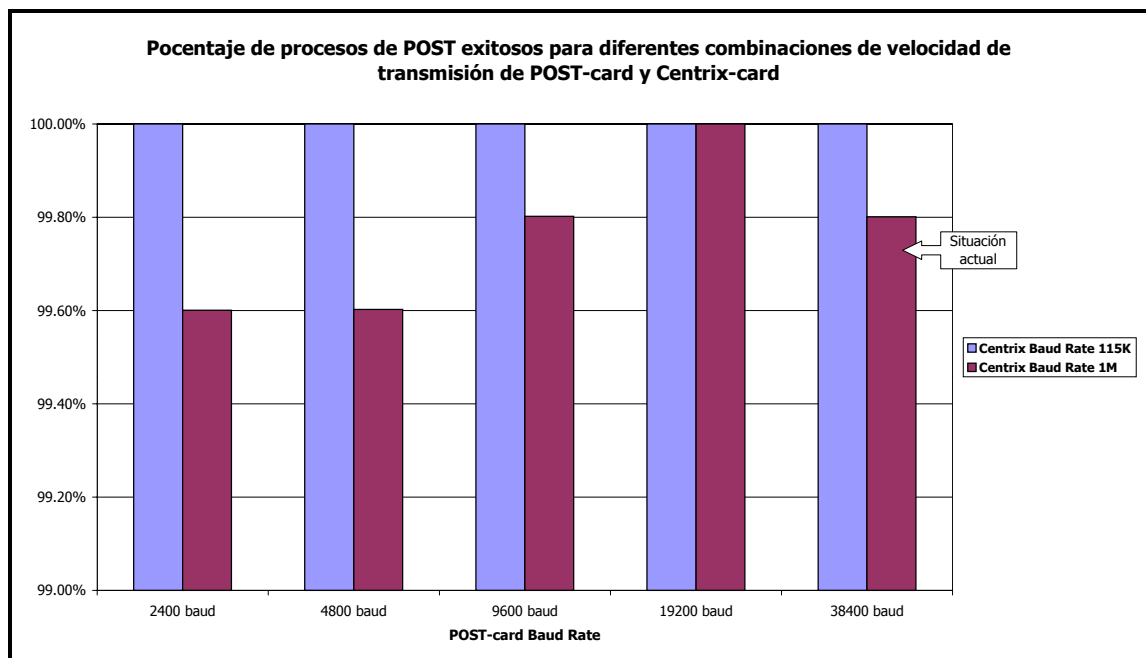


Figura 6.12 Efectividad de la prueba para diferentes combinaciones de velocidad de transmisión.

Además de coleccionar los datos de los errores que se presentaron al variar la velocidad, en este mismo experimento se tomaron datos del tiempo que dura la prueba en terminar satisfactoriamente.

En la tabla 6.3 se observan los resultados obtenidos al medir el tiempo de la prueba para una velocidad de transmisión de la Centrix-card de 1MBaud y en la tabla 6.4 se observan los mismos resultados pero para una velocidad de transmisión de la Centrix-card de 115kBaudo.

Se debe tomar en cuenta que estos tiempos fueron medidos únicamente en una sección del programa de prueba que incluía desde el encendido hasta el primer proceso de POST, no corresponden con los tiempos de la prueba completa. Además este experimento fue llevado a cabo en un equipo diferente al utilizado en el piso de producción, ya que se realizó en un laboratorio de una manera más controlada.

Tabla 6.3 Promedio del tiempo de prueba para diferentes velocidades de la POST-card y 1MBaud de velocidad de la Centrix-card.

	POST-card Baud Rate				
	2400	4800	9600	19200	38400
Tiempo / segundos	15.62925852	16.87824351	15.3452381	21.76294821	16.36055777

Tabla 6.4 Promedio del tiempo de prueba para diferentes velocidades de la POST-card y 115kBaudo de velocidad de la Centrix-card.

	POST-card Baud Rate				
	2400	4800	9600	19200	38400
Tiempo / segundos	15.72166998	15.92445328	15.8389662	25.88270378	20.63817097

De la tabla 6.3 se puede obtener el tiempo promedio de esta sección del programa para la configuración estándar, que corresponde a 16.4 segundos. Se observa que para las combinaciones de velocidad de la Centrix-card y la POST-card de 1MBaud-2400Baud, 1MBaud-9600Baud, 115kBaud-2400Baud, 115kBaud-4800Baud y 115kBaud-9600Baud hay una reducción de aproximadamente 1 segundo en el tiempo de la prueba.

6.2 Alcances y limitaciones

Dentro de los logros que se alcanzaron en este proyecto están:

- a. Se determinó el impacto económico que representaban para la empresa las fallas falsas.
- b. Se logró medir la reducción de la disponibilidad y el exceso del uso del equipo de prueba provocado por las fallas falsas.
- c. Se comprendió el principio de funcionamiento de los equipos prueba tanto en la parte de hardware como en la parte de software.
- d. Las modificaciones al programa de prueba mantuvieron la metodología ya establecida dentro de la empresa.
- e. Se determinó que al menos una de las variables físicas presentes en el equipo de prueba (la presión) estaba relacionada con las fallas falsas.
- f. Se descartó que el tipo de contactor utilizado estaba induciendo las fallas falsas.
- g. Se estableció y logró describir la verdadera causa de las fallas falsas durante el proceso de levantamiento de sistemas operativos.

Sin embargo dentro de las limitaciones de este proyecto se encontraron:

- h. No se ha logrado medir la conductividad o la resistividad existente en medio del procesador y la tarjeta madre.
- i. No se entendió completamente el significado de los códigos del POST, dado que no se encontró toda la información al respecto.
- j. Previa modificaciones al programa de prueba no dieron resultado pues no estaban orientadas a solucionar el verdadero problema.
- k. No se logró eliminar del todo las fallas falsas mediante las modificaciones al programa de prueba o los cambios en el hardware.

Capítulo 7: Conclusiones y recomendaciones

7.1 Conclusiones

- a. Las fallas falsas representan un gran impacto económico para la empresa.
- b. El tiempo que el equipo de prueba está disponible se ve afectado por el tiempo que se utiliza en el proceso de validación.
- c. La estabilidad del equipo se ve afectada por la presión sobre el procesador.
- d. Los pines de los conectores requieren de una presión mínima de 40lbs para ser accionados.
- e. La producción aumenta cuando se reduce la presión sobre el procesador a 45lbs.
- f. Las fallas falsas se presentan más rápido y seguido a 60lbs que a 45lbs.
- g. A 45lbs no se pone el equipo de prueba fuera de servicio por aparición de fallas falsas consecutivas.
- h. El comportamiento de la temperatura en el procesador no se ve afectado cuando se reduce la presión.
- i. Las fallas falsas aparecen aleatoriamente y son producidas por una pérdida de comunicación durante la lectura de los códigos de POST.
- j. Al cambiar en el programa de prueba la forma de leer los códigos de POST se reduce la aparición de fallas falsas.

7.2 Recomendaciones

- a. Reducir la presión sobre el procesador en la unidad de prueba de 60lbs a 45lbs.
- b. Investigar la posible modificación del conector entre el procesador y la tarjeta madre, para que exista un contacto mayor.
- c. Eliminar el contactor que da acceso al puerto de JTAG e integrar los conectores directamente en la tarjeta madre.
- d. Diseñar una herramienta ya sea de hardware o de software que permita medir la resistencia existente entre el procesador y la tarjeta madre durante la prueba.
- e. Continuar la investigación sobre la sección del programa de prueba que está relacionado con el proceso del POST así como también sobre las funciones relacionadas al puerto serie de la Centrix-card.

Bibliografía

- Halvorson, M. ***Learn Visual Basic 6.0 Now***. Microsoft Press. 1999
- Schwartz, R, Chistiansen, T. ***Learnig PERL***. 2da Edición. O'Reilly & Associates, Inc. 1999
- Cornell, G. ***Aprenda Microsoft Visual Basic Script Ya***. McGraw Hill. 1998
- Shanley, T. ***Pentium Pro Processor System Architecture***. Mind Share, Inc. 1997.

Abreviaturas

- POST: del inglés Power On-Selft Test
- BIOS: del inglés Basic Input Output System
- DPM: defectos por millón
- PVP: Plataforma de Validación de Producto
- DOS: del inglés Disc Operative System
- CPU: del inglés Central Process Unit.
- JTAG: estándar IEEE1149.1 método de prueba de componentes a través de un puerto especial.
- BIN: codificación de errores por plataformas.

ANEXOS

7.3 Anexo B.1 Hojas de datos del Pentium 4.



Contents

1	Introduction	9
1.1	Terminology.....	10
1.1.1	Processor Packaging Terminology.....	11
1.2	References	12
2	Electrical Specifications	13
2.1	System Bus and GTLREF	13
2.2	Power and Ground Pins	13
2.3	Decoupling Guidelines	14
2.3.1	VCC Decoupling	14
2.3.2	System Bus AGTL+ Decoupling.....	14
2.4	Voltage Identification	14
2.4.1	Phase Lock Loop (PLL) Power and Filter.....	17
2.5	Reserved, Unused Pins, and TESTHI[12:0].....	19
2.6	System Bus Signal Groups	20
2.7	Asynchronous GTL+ Signals.....	22
2.8	Test Access Port (TAP) Connection.....	22
2.9	System Bus Frequency Select Signals (BSEL[1:0]).....	22
2.10	Maximum Ratings.....	23
2.11	Processor DC Specifications.....	23
2.12	AGTL+ System Bus Specifications	31
3	Package Mechanical Specifications	33
3.1	Package Load Specifications	36
3.2	Processor Insertion Specifications	37
3.3	Processor Mass Specifications	37
3.4	Processor Materials.....	37
3.5	Processor Markings.....	37
4	Pin Lists and Signal Descriptions	39
4.1	Processor Pin Assignments	39
4.2	Signal Descriptions.....	52
5	Thermal Specifications and Design Considerations	61
5.1	Thermal Specifications	63
5.1.1	Measurements For Thermal Specifications.....	65
5.1.1.1	Processor Case Temperature Measurement	65
6	Features	67
6.1	Power-On Configuration Options	67
6.2	Clock Control and Low Power States.....	67
6.2.1	Normal State—State 1	67
6.2.2	AutoHALT Powerdown State—State 2.....	68
6.2.3	Stop-Grant State—State 3	69
6.2.4	HALT/Grant Snoop State—State 4	69
6.2.5	Sleep State—State 5.....	69
6.3	Thermal Monitor	70

	6.3.1 Thermal Diode.....	71
7	Boxed Processor Specifications	73
	7.1 Introduction	73
	7.2 Mechanical Specifications	74
	7.2.1 Boxed Processor Cooling Solution Dimensions	74
	7.2.2 Boxed Processor Fan Heatsink Weight.....	76
	7.2.3 Boxed Processor Retention Mechanism and Heatsink Assembly.....	76
	7.3 Electrical Requirements	77
	7.3.1 Fan Heatsink Power Supply	77
	7.4 Thermal Specifications	79
	7.4.1 Boxed Processor Cooling Requirements	79
	7.4.2 Variable Speed Fan	80
8	Debug Tools Specifications.....	83
	8.1 Logic Analyzer Interface (LAI).....	83
	8.1.1 Mechanical Considerations	83
	8.1.2 Electrical Considerations.....	83



Figures

2-1	V _{CC} VID Pin Voltage and Current Requirements	15
2-2	Typical VCCIOPLL, VCCA and VSSA Power Distribution	17
2-3	Phase Lock Loop (PLL) Filter Requirements	18
2-4	Vcc Static and Transient Tolerance	27
2-5	ITPCLKOUT[1:0] Output Buffer Diagram	30
2-6	Test Circuit	32
3-1	Exploded View of Processor Components on a System Board	33
3-2	Processor Package	34
3-3	Processor Cross-Section and Keep-In	35
3-4	Processor Pin Detail	35
3-5	IHS Flatness Specification	36
3-6	Processor Markings	37
3-7	The Coordinates of the Processor Pins As Viewed from the Top of the Package	38
5-1	Example Thermal Solution (Not to scale)	62
5-2	Guideline Locations for Case Temperature (TCASE) Thermocouple Placement ⁶⁵	
6-1	Stop Clock State Machine	68
7-1	Mechanical Representation of the Boxed Processor	73
7-2	Side View Space Requirements for the Boxed Processor	74
7-3	Top View Space Requirements for the Boxed Processor	75
7-4	Boxed Processor Fan Heatsink Power Cable Connector Description	77
7-5	MotherBoard Power Header Placement Relative to Processor Socket	78
7-6	Boxed Processor Fan Heatsink Airspace Keep-Out Requirements (Side 1 View)	79
7-7	Boxed Processor Fan Heatsink Airspace Keep-Out Requirements (Side 2 View)	80
7-8	Boxed Processor Fan Heatsink Set Points	81

Tables

1-1	References.....	12
2-1	V _{CC} VID Pin Voltage Requirements.....	15
2-2	Voltage Identification Definition.....	16
2-3	System Bus Pin Groups.....	21
2-4	BSEL[1:0] Frequency Table for BCLK[1:0].....	22
2-5	Processor DC Absolute Maximum Ratings.....	23
2-6	Voltage and Current Specifications.....	24
2-7	V _{CC} Static and Transient Tolerance.....	26
2-8	AGTL+ Signal Group DC Specifications.....	28
2-9	Asynchronous GTL+ Signal Group DC Specifications.....	28
2-10	PWRGOOD and TAP Signal Group DC Specifications.....	29
2-11	ITPCLKOUT[1:0] DC Specifications.....	29
2-12	BSEL [1:0] and VID[4:0] DC Specifications.....	30
2-13	AGTL+ Bus Voltage Definitions.....	31
3-1	Description Table for Processor Dimensions.....	34
3-2	Package Dynamic and Static Load Specifications.....	36
3-3	Processor Mass.....	37
3-4	Processor Material Properties.....	37
4-1	Pin Listing by Pin Name.....	40
4-2	Pin Listing by Pin Number.....	46
4-3	Signal Descriptions.....	52
5-1	Processor Thermal Design Power.....	64
6-1	Power-On Configuration Option Pins.....	67
6-2	Thermal Diode Parameters.....	71
6-3	Thermal Diode Interface.....	72
7-1	Fan Heatsink Power and Signal Specifications.....	77
7-2	Boxed Processor Fan Heatsink Set Points.....	82



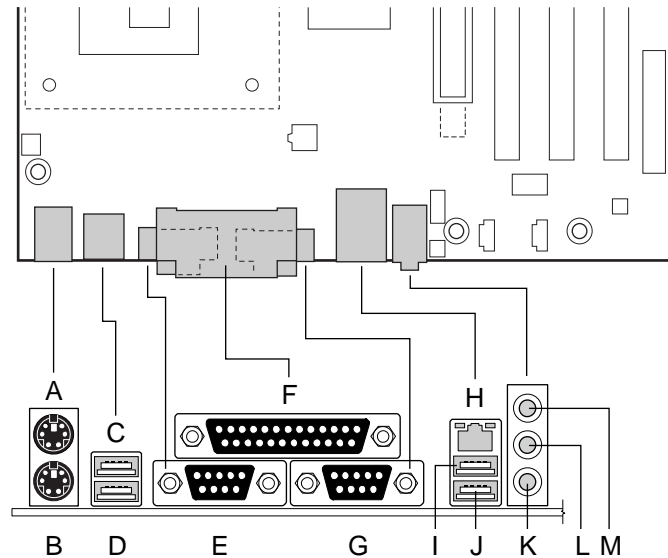
Revision History

Revision	Description	Date
-005	Added Thermal and Electrical Specifications for frequencies through 3.06 GHz and included multiple VID specifications. Updated the THERMTRIP# and DBI# signal descriptions. Removed Deep Sleep State section. Updated Boxed Processor Fan Heatsink Set Points table and figure. Update Power-on Configuration Option pins table.	November 2002
-006	Minor update to DC specifications	December 2002
-007	Corrected Table 4-3, Signal Description. Item TRST#, last sentence. Measurement changed from 680 W pull-down resistor to 680 Ω pull-down resistor.	January 2003

7.4 Anexo B.3 Hojas de datos de la tarjeta madre.

2.8.1 Back Panel Connectors

Figure 12 shows the location of the back panel connectors. The back panel connectors are color coded in compliance with PC 99 recommendations. The figure legend below lists the colors used.



OM12323

Item	Description	Color	For more information see:
A	PS/2 mouse port	Green	Table 19, page 55
B	PS/2 keyboard port	Purple	Table 19, page 55
C	USB port	Black	Table 20, page 55
D	USB port	Black	Table 20, page 55
E	Serial port A	Teal	Table 22, page 56
F	Parallel port	Burgundy	Table 21, page 55
G	Serial port B	Teal	Table 22, page 56
H	LAN (optional)	Black	Table 23, page 56
I	USB port	Black	Table 20, page 55
J	USB port	Black	Table 20, page 55
K	Mic in	Pink	Table 26, page 56
L	Audio line out	Lime green	Table 25, page 56
M	Audio line in	Light blue	Table 24, page 56

Figure 12. Back Panel Connectors

⇒ NOTE

The USB ports adjacent to the PS/2 ports are not populated if the USB 2.0 option is supported.

⇒ NOTE

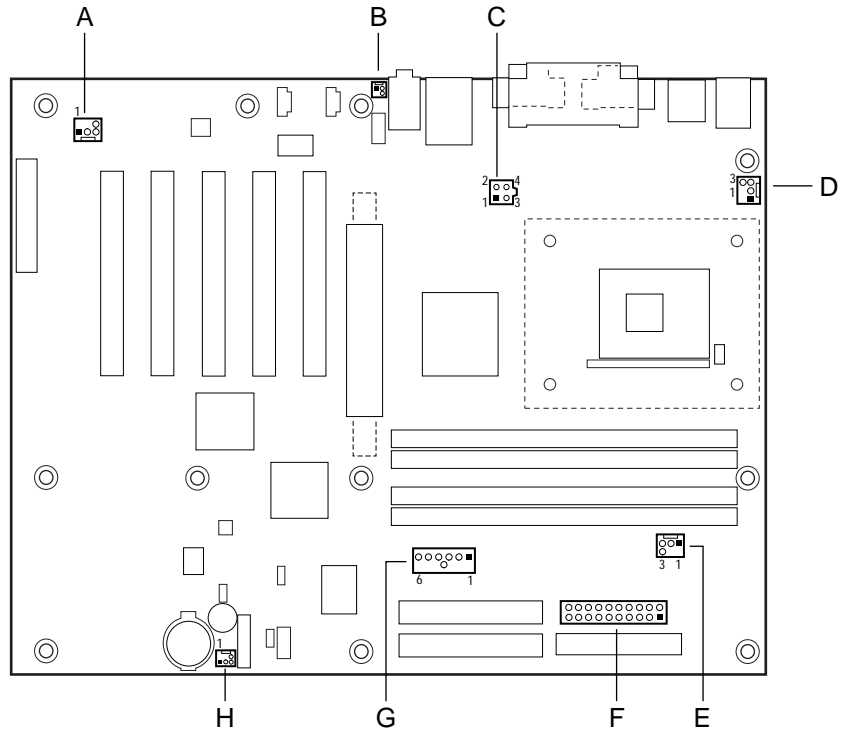
The back panel audio line out connector is designed to power headphones or amplified speakers only. Poor audio quality occurs if passive (nonamplified) speakers are connected to this output.

2.8.2.3 Power and Hardware Control Connectors

Figure 14 shows the location of the power and hardware control connectors.

⇒ **NOTE**

Figure 14 shows the D850MV board. Fan 3 is not present on the D850MD board.



OM12325

Item	Description	For more information see:
A	Fan 3 (D850MV board only)	Table 29, page 61
B	Chassis intrusion	Table 30, page 61
C	ATX12V power	Table 31, page 61
D	Processor fan	Table 32, page 61
E	Fan 1	Table 33, page 61
F	Main power	Table 34, page 62
G	Auxiliary power (optional)	Table 35, page 62
H	Fan 2	Table 36, page 62

Figure 14. Power and Hardware Control Connectors

For information about	Refer to
The power connector	Section 1.14.2.1, page 42
The functions of the fan connectors	Section 1.14.2.2, page 43



CAUTION

Use only an ATX12V-compliant power supply with these boards. ATX12V power supplies have two power leads that provide required supplemental power for the Intel Pentium 4 processor and the Intel 850 chipset. Always connect the 20-pin and 4-pin leads of the ATX12V power supply to the corresponding connectors on the D850MD and D850MV boards. Otherwise, the board and the processor could be damaged.

Do not use a standard ATX power supply. Doing so could damage the board and the processor.

Table 29. Fan 3 Connector (D850MV Board Only)

Pin	Signal Name
1	FAN_CNTRL
2	+12 V
3	Reserved

Table 30. Chassis Intrusion Connector

Pin	Signal Name
1	Intruder
2	Ground

Table 31. ATX12V Power Connector

Pin	Signal Name	Pin	Signal Name
1	Ground	3	+12 V
2	Ground	4	+12 V

Table 32. Processor Fan Connector

Pin	Signal Name
1	Ground
2	+12 V
3	Tachometer (CPU_FAN)

Table 33. Fan 1 Connector

Pin	Signal Name
1	FAN_CNTRL
2	+12 V
3	Ground

Table 34. Main Power Connector

Pin	Signal Name	Pin	Signal Name
1	+3.3 V	11	+3.3 V
2	+3.3 V	12	-12 V
3	Ground	13	Ground
4	+5 V	14	PS_ON# (power supply remote on/off)
5	Ground	15	Ground
6	+5 V	16	Ground
7	Ground	17	Ground
8	PWRGD (Power Good)	18	TP_PWRCONN_18
9	+5 V (Standby)	19	+5 V
10	+12 V	20	+5 V

Table 35. Optional Auxiliary Power Connector (Required for AGP Pro Only)

Pin	Signal Name
1	Ground
2	Ground
3	Ground
4	+3.3 V
5	+3.3 V
6	+5 V

Table 36. Fan 2 Connector

Pin	Signal Name
1	FAN_CNTRL
2	+12 V
3	Tachometer (FAN_2)

2.8.2.4 Add-in Board and Peripheral Interface Connectors

Figure 15 and Figure 16 show the locations of the add-in board connectors and peripheral connectors for the D850MD and D850MV boards respectively. Note the following considerations for the PCI bus connectors:

- All of the PCI bus connectors are bus-master capable.
- PCI bus connector 2 has SMBus signals routed to it, which enables PCI bus add-in boards with SMBus support to access sensor data on the board. The specific SMBus signals are as follows:
 - The SMBus clock line is connected to pin A40
 - The SMBus data line is connected to pin A41

2.8.3.2 Front Panel Connector

This section describes the functions of the front panel connector. Table 46 lists the signal names of the front panel connector.

Table 46. Front Panel Connector

Pin	Signal	In/Out	Description	Pin	Signal	In/Out	Description
1	HD_PWR	Out	Hard disk LED pull-up (330 Ω) to +5 V	2	HDR_BLNK_GRN	Out	Front panel green LED
3	HAD#	Out	Hard disk active LED	4	HDR_BLNK_YEL	Out	Front panel yellow LED
5	Ground		Ground	6	FPBUT_IN	In	Power switch
7	FP_RESET#	In	Reset switch	8	Ground		Ground
9	+5 V	Out	Reserved	10	N/C		
11	Reserved	In	Reserved	12	Ground		Ground
13	Ground		Ground	14	(pin removed)		Not connected
15	Reserved	Out	Reserved	16	+5 V	Out	Power

2.8.3.2.1 Reset Switch Connector

Pins 5 and 7 can be connected to a momentary (SPST type) switch that is normally open. When the switch is closed, the D850MD/D850MV boards reset and run the POST.

2.8.3.2.2 Hard Drive Activity LED Connector

Pins 1 and 3 can be connected to an LED to provide a visual indicator that data is being read from or written to a hard drive. For the LED to function properly, an IDE drive must be connected to the onboard IDE interface. The LED will also show activity for devices connected to the SCSI hard drive activity LED connector.

For information about

The SCSI hard drive activity LED connector

Refer to

Section 1.8.3.2, page 30

2.8.3.2.3 Power/Sleep/Message-Waiting LED Connector

Pins 2 and 4 can be connected to a one- or two-color LED. Table 47 shows the possible states for a one-color LED. Table 48 shows the possible states for a two-color LED.

Table 47. States for a One-Color Power LED

LED State	Description
Off	Power off/sleeping
Steady Green	Running
Blinking Green	Running/message waiting

Table 48. States for a Two-Color Power LED

LED State	Description
Off	Power off
Steady Green	Running
Blinking Green	Running/message waiting
Steady Yellow	Sleeping
Blinking Yellow	Sleeping/message waiting

⇒ **NOTE**

To use the message-waiting function, ACPI must be enabled in the operating system and a message-capturing application must be invoked.

2.8.3.2.4 Power Switch Connector

Pins 6 and 8 can be connected to a front panel momentary-contact power switch. The switch must pull the SW_ON# pin to ground for at least 50 ms to signal the power supply to switch on or off. (The time requirement is due to internal debounce circuitry on the D850MD/D850MV boards.) At least two seconds must pass before the power supply will recognize another on/off signal.

7.5 Anexo B.4 Códigos del proceso del POST de AMIBIOS.

5.2 Port 80h POST Codes

During the POST, the BIOS generates diagnostic progress codes (POST codes) to I/O port 80h. If the POST fails, execution stops and the last POST code generated is left at port 80h. This code is useful for determining the point where an error occurred.

Displaying the POST codes requires an add-in card, often called a POST card (PCI, not ISA). The POST card can decode the port and display the contents on a medium such as a seven-segment display.

The tables below offer descriptions of the POST codes generated by the BIOS. Table 84 defines the uncompressed INIT code checkpoints, Table 85 describes the boot block recovery code checkpoints, and Table 86 lists the run-time code uncompressed in F000 shadow RAM. Some codes are repeated in the tables because that code applies to more than one operation.

Table 84. Uncompressed INIT Code Checkpoints

Code	Description of POST Operation
D0	NMI is Disabled. Onboard KBC, RTC enabled (if present). Init code Checksum verification starting.
D1	Keyboard controller BAT test, CPU ID saved, and going to 4 GB flat mode.
D3	Do necessary chipset initialization, start memory refresh, and do memory sizing.
D4	Verify base memory.
D5	Init code to be copied to segment 0 and control to be transferred to segment 0.
D6	Control is in segment 0. To check recovery mode and verify main BIOS checksum. If either it is recovery mode or main BIOS checksum is bad, go to checkpoint E0 for recovery. Otherwise go to checkpoint D7 for giving control to main BIOS.
D7	Find Main BIOS module in ROM image.
D8	Uncompress the main BIOS module.
D9	Copy main BIOS image to F000 shadow RAM and give control to main BIOS in F000 shadow RAM.

Table 85. Boot Block Recovery Code Checkpoints

Code	Description of POST Operation
E0	Onboard Floppy Controller (if any) is initialized. Compressed recovery code is uncompressed in F000:0000 in Shadow RAM and give control to recovery code in F000 Shadow RAM. Initialize interrupt vector tables, initialize system timer, and initialize DMA controller and interrupt controller.
E8	Initialize extra (Intel Recovery) Module.
E9	Initialize floppy drive.
EA	Try to boot from floppy. If reading of boot sector is successful, give control to boot sector code.
EB	Booting from floppy failed. Look for ATAPI (LS-120, Zip) devices.
EC	Try to boot from ATAPI. If reading of boot sector is successful, give control to boot sector code.
EF	Booting from floppy and ATAPI device failed. Give two beeps. Retry the booting procedure again (go to checkpoint E9).

Table 86. Run-Time Code Uncompressed in F000 Shadow RAM

Code	Description of POST Operation
03	NMI is Disabled. To check soft reset/power-on.
05	BIOS stack set. Going to disable cache if any.
06	POST code to be uncompressed.
07	CPU init and CPU data area init to be done.
08	CMOS checksum calculation to be done next.
0B	Any initialization before keyboard BAT to be done next.
0C	KB controller I/B free. To issue the BAT command to keyboard controller.
0E	Any initialization after KB controller BAT to be done next.
0F	Keyboard command byte to be written.
10	Going to issue Pin-23,24 blocking/unblocking command.
11	Going to check pressing of <INS>, <END> keys during power-on.
12	To init CMOS if "Init CMOS in every boot" is set or <END> key is pressed. Going to disable DMA and Interrupt controllers.
13	Video display is disabled and port B is initialized. Chipset init about to begin.
14	8254 timer test about to start.
19	About to start memory refresh test.
1A	Memory Refresh line is toggling. Going to check 15 μ s ON/OFF time.
23	To read 8042 input port and disable Megakey GreenPC feature. Make BIOS code segment writeable.
24	To do any setup before Int vector init.
25	Interrupt vector initialization to begin. To clear password if necessary.
27	Any initialization before setting video mode to be done.
28	Going for monochrome mode and color mode setting.
2A	Different buses init (system, static, output devices) to start if present. (See Section 5.3 for details of different buses.)
2B	To give control for any setup required before optional video ROM check.
2C	To look for optional video ROM and give control.
2D	To give control to do any processing after video ROM returns control.
2E	If EGA/VGA not found, then do display memory R/W test.
2F	EGA/VGA not found. Display memory R/W test about to begin.
30	Display memory R/W test passed. About to look for the retrace checking.
31	Display memory R/W test or retrace checking failed. To do alternate Display memory R/W test.
32	Alternate Display memory R/W test passed. To look for the alternate display retrace checking.
34	Video display checking over. Display mode to be set next.
37	Display mode set. Going to display the power-on message.
38	Different buses init (input, IPL, general devices) to start if present. (See Section 5.3 for details of different buses.)
39	Display different buses initialization error messages. (See Section 5.3 for details of different buses.)
3A	New cursor position read and saved. To display the Hit message.

continued

Table 86. Run-Time Code Uncompressed in F000 Shadow RAM (continued)

Code	Description of POST Operation
40	To prepare the descriptor tables.
42	To enter in virtual mode for memory test.
43	To enable interrupts for diagnostics mode.
44	To initialize data to check memory wrap around at 0:0.
45	Data initialized. Going to check for memory wraparound at 0:0 and find the total system memory size.
46	Memory wraparound test done. Memory size calculation over. About to write patterns to test memory.
47	Pattern to be tested written in extended memory. Going to write patterns in base 640k memory.
48	Patterns written in base memory. Going to find out amount of memory below 1M memory.
49	Amount of memory below 1M found and verified. Going to find out amount of memory above 1M memory.
4B	Amount of memory above 1M found and verified. Check for soft reset and going to clear memory below 1M for soft reset. (If power on, go to checkpoint 4Eh).
4C	Memory below 1M cleared. (SOFT RESET) Going to clear memory above 1M.
4D	Memory above 1M cleared. (SOFT RESET) Going to save the memory size. (Go to checkpoint 52h).
4E	Memory test started. (NOT SOFT RESET) About to display the first 64k memory size.
4F	Memory size display started and will be updated during memory test. Going for sequential and random memory test.
50	Memory testing/initialization below 1M complete. Going to adjust displayed memory size for relocation/shadow.
51	Memory size display adjusted due to relocation/shadow. Memory test above 1M to follow.
52	Memory testing/initialization above 1M complete. Going to save memory size information.
53	Memory size information is saved. CPU registers are saved. Going to enter in real mode.
54	Shutdown successful. CPU in real mode. Going to disable gate A20 line and disable parity/NMI.
57	A20 address line, parity/NMI disable successful. Going to adjust memory size depending on relocation/shadow.
58	Memory size adjusted for relocation/shadow. Going to clear Hit message.
59	Hit message cleared. <WAIT...> message displayed. About to start DMA and interrupt controller test.
60	DMA page register test passed. To do DMA#1 base register test.
62	DMA#1 base register test passed. To do DMA#2 base register test.
65	DMA#2 base register test passed. To program DMA unit 1 and 2.
66	DMA unit 1 and 2 programming over. To initialize 8259 interrupt controller.
7F	Extended NMI sources enabling is in progress.
80	Keyboard test started. Clearing output buffer, checking for stuck key, to issue keyboard reset command.
81	Keyboard reset error/stuck key found. To issue keyboard controller interface test command.
82	Keyboard controller interface test over. To write command byte and init circular buffer.
83	Command byte written, global data init done. To check for lock-key.

continued

Table 86. Run-Time Code Uncompressed in F000 Shadow RAM (continued)

Code	Description of POST Operation
84	Lock-key checking over. To check for memory size mismatch with CMOS.
85	Memory size check done. To display soft error and check for password or bypass setup.
86	Password checked. About to do programming before setup.
87	Programming before setup complete. To uncompress SETUP code and execute CMOS setup.
88	Returned from CMOS setup program and screen is cleared. About to do programming after setup.
89	Programming after setup complete. Going to display power-on screen message.
8B	First screen message displayed. <WAIT...> message displayed. PS/2 mouse check and extended BIOS data area allocation to be done.
8C	Setup options programming after CMOS setup about to start.
8D	Going for hard disk controller reset.
8F	Hard disk controller reset done. Floppy setup to be done next.
91	Floppy setup complete. Hard disk setup to be done next.
95	Init of different buses optional ROMs from C800 to start. (See Section 5.3 for details of different buses.)
96	Going to do any init before C800 optional ROM control.
97	Any init before C800 optional ROM control is over. Optional ROM check and control will be done next.
98	Optional ROM control is done. About to give control to do any required processing after optional ROM returns control and enable external cache.
99	Any initialization required after optional ROM test over. Going to setup timer data area and printer base address.
9A	Return after setting timer and printer base address. Going to set the RS-232 base address.
9B	Returned after RS-232 base address. Going to do any initialization before Coprocessor test.
9C	Required initialization before Coprocessor is over. Going to initialize the Coprocessor next.
9D	Coprocessor initialized. Going to do any initialization after Coprocessor test.
9E	Initialization after Coprocessor test is complete. Going to check extended keyboard, keyboard ID, and numlock.
A2	Going to display any soft errors.
A3	Soft error display complete. Going to set keyboard typematic rate.
A4	Keyboard typematic rate set. To program memory wait states.
A5	Going to enable parity/NMI.
A7	NMI and parity enabled. Going to do any initialization required before giving control to optional ROM at E000.
A8	Initialization before E000 ROM control over. E000 ROM to get control next.
A9	Returned from E000 ROM control. Going to do any initialization required after E000 optional ROM control.
AA	Initialization after E000 optional ROM control is over. Going to display the system configuration.
AB	Put INT13 module run-time image to shadow.
AC	Generate MP for multiprocessor support (if present).
AD	Put CGA INT10 module (if present) in Shadow.

continued

Table 86. Run-Time Code Uncompressed in F000 Shadow RAM (continued)

Code	Description of POST Operation
AE	Uncompress SMBIOS module and init SMBIOS code and form the run-time SMBIOS image in shadow.
B1	Going to copy any code to specific area.
00	Copying of code to specific area done. Going to give control to INT-19 boot loader.

5.3 Bus Initialization Checkpoints

The system BIOS gives control to the different buses at several checkpoints to do various tasks. Table 87 describes the bus initialization checkpoints.

Table 87. Bus Initialization Checkpoints

Checkpoint	Description
2A	Different buses init (system, static, and output devices) to start if present.
38	Different buses init (input, IPL, and general devices) to start if present.
39	Display different buses initialization error messages.
95	Init of different buses optional ROMs from C800 to start.

While control is inside the different bus routines, additional checkpoints are output to port 80h as WORD to identify the routines under execution. In these WORD checkpoints, the low byte of the checkpoint is the system BIOS checkpoint from which the control is passed to the different bus routines. The high byte of the checkpoint is the indication of which routine is being executed in the different buses. Table 88 describes the upper nibble of the high byte and indicates the function that is being executed.

Table 88. Upper Nibble High Byte Functions

Value	Description
0	func#0, disable all devices on the bus concerned.
1	func#1, static devices init on the bus concerned.
2	func#2, output device init on the bus concerned.
3	func#3, input device init on the bus concerned.
4	func#4, IPL device init on the bus concerned.
5	func#5, general device init on the bus concerned.
6	func#6, error reporting for the bus concerned.
7	func#7, add-on ROM init for all buses.

Table 89 describes the lower nibble of the high byte and indicates the bus on which the routines are being executed.

Table 89. Lower Nibble High Byte Functions

Value	Description
0	Generic DIM (Device Initialization Manager)
1	Onboard system devices
2	ISA devices
3	EISA devices
4	ISA Plug and Play devices
5	PCI devices

5.4 Speaker

A 47 Ω inductive speaker is mounted on the D850MD and D850MV boards. The speaker provides audible error code (beep code) information during POST.

For information about	Refer to
The location of the onboard speaker on the D850MD board	Figure 1, page 14
The location of the onboard speaker on the D850MV board	Figure 2, page 15

5.5 BIOS Beep Codes

Whenever a recoverable error occurs during POST, the BIOS displays an error message describing the problem as shown in Table 90. The BIOS also issues a beep code (one long tone followed by two short tones) during POST if the video configuration fails (a faulty video card or no card installed) or if an external ROM module does not properly checksum to zero.

An external ROM module (for example, a video BIOS) can also issue audible errors, usually consisting of one long tone followed by a series of short tones. For more information on the beep codes issued, check the documentation for that device.

There are several POST routines that issue a POST terminal error and shut down the system if they fail. Before shutting down the system, the terminal error handler issues a beep code signifying the test point error, writes the error to I/O port 80h, attempts to initialize the video, and writes the error in the upper left corner of the screen (using both monochrome and color adapters).

If POST completes normally, the BIOS issues one short beep before passing control to the operating system.

Table 90. Beep Codes

Beep	Description
1	Refresh failure
2	Parity cannot be reset
3	First 64 KB memory failure
4	Timer not operational
5	Not used
6	8042 GateA20 cannot be toggled
7	Exception interrupt error
8	Display memory R/W error
9	Not used
10	CMOS Shutdown register test error
11	Invalid BIOS (e.g. POST module not found, etc.)

7.6 Anexo B.5 Hojas de datos de la POST-card.

**Uart Interface Specifications for
the PCI Card.**

By

Accutron Limited

Uart Interface Specifications for the PCI Card.

Revision 1.0

Prepared By

**Accutron Limited
Plassey Technological Park,
Plassey,
Limerick,
Ireland.**

Issued by : _____ **Date :** _____

All rights reserved. No part of this document may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopy, recording or any information storage and retrieval system, without permission from Accutron Limited.

I. Uart Data

Communications via the PCI CARD uart is at a rate of 38400 Baud (see table 3) , 8 bits and no parity. The format of the two bytes sent by the PCI card when new PCI data is received are shown below. Note also you can request the current PCI data by sending a char to the PCI card.

Symbol	bit	Value/ Active State	Description
Package ID	7	0	Byte Identification.
D6	6	HIGH	PCI Data 6
D5	5	HIGH	PCI Data 5
D4	4	HIGH	PCI Data 4
D3	3	HIGH	PCI Data 3
D2	2	HIGH	PCI Data 2
D1	1	HIGH	PCI Data 1
D0	0	HIGH	PCI Data 0

Table 1. Uart byte 0

Symbol	bit	Value/ Active State	Description
Package ID	7	1	Byte Identification.
D7	6	HIGH	PCI Data 7
GOODRST	5	HIGH	PCI Rst Okay.
GOODCLK	4	HIGH	PCI Clock Okay.
GOODM12	3	HIGH	PCI -12 Supply Okay.
GOODP12	2	HIGH	PCI 12 Supply Okay.
GOOD5V	1	HIGH	PCI 5 Supply Okay.
GOOD3V3	0	HIGH	PCI 3.3v Supply Okay.

Table 2. Uart byte 1

SW1 (1)	SW1 (2)	SW1 (3)	SW1 (4)	Baud Rate
OFF	OFF	OFF	ON/OFF	2400 baud
OFF	OFF	ON	ON/OFF	4800 baud
OFF	ON	OFF	ON/OFF	9600 baud
OFF	ON	ON	ON/OFF	19200 baud
ON	OFF	OFF	ON/OFF	38400 baud (Default)

Table 3. Baud rate the selection