

Instituto Tecnológico de Costa Rica  
Escuela de Ingeniería Electrónica



**DISEÑO DE UNA UNIDAD DE CÁLCULO UTILIZADA EN  
LA DETECCIÓN DE DISPAROS DE ARMAS DE FUEGO**

Informe de Proyecto de Graduación para optar por el título de  
Ingeniero en Electrónica con el grado académico de Licenciatura

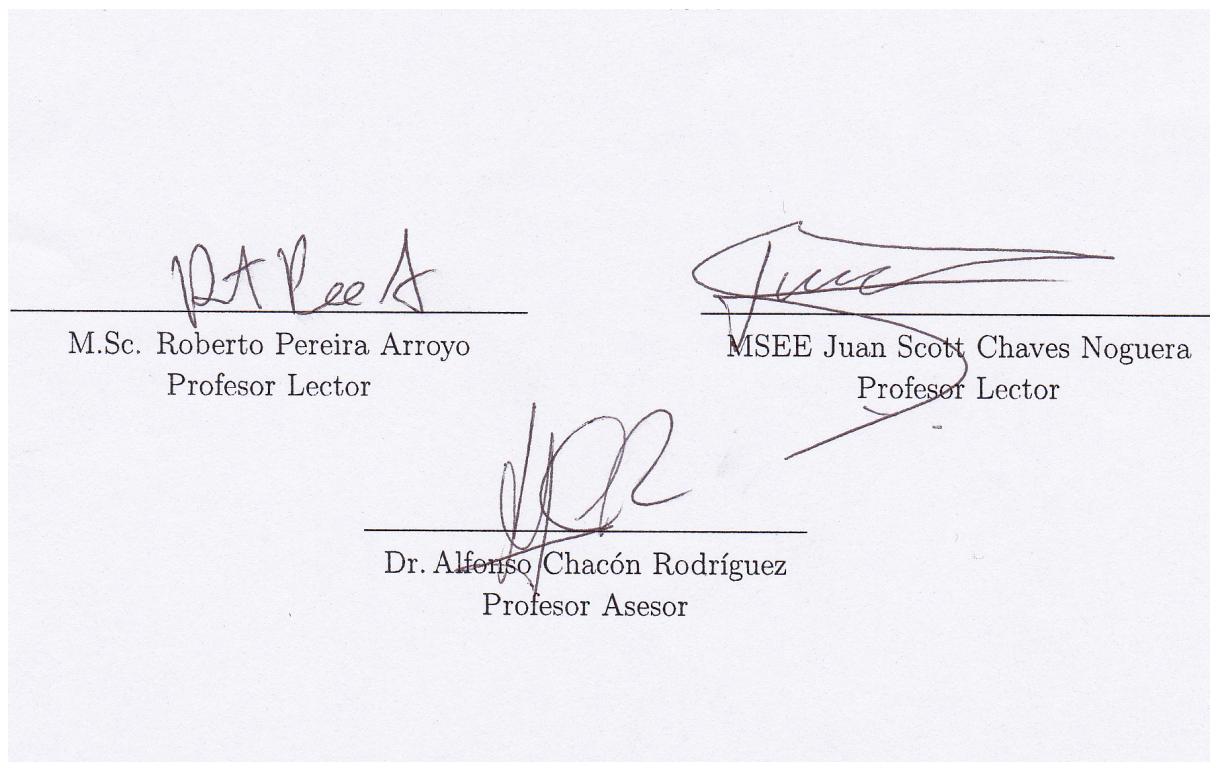
Dave Porras Alvarado

Cartago, 22 de junio de 2011

Instituto Tecnológico de Costa Rica  
Escuela de Ingeniería Electrónica  
Proyecto de Graduación  
Tribunal Evaluador

Proyecto de Graduación defendido ante el presente Tribunal Evaluador como requisito para optar por el título de Ingeniero en Electrónica con el grado académico de Licenciatura, del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal

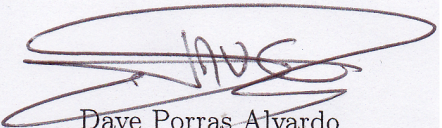


Los miembros de este Tribunal dan fe de que el presente trabajo de graduación ha sido aprobado y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica.

Cartago, 22 de junio de 2011

Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía he procedido a indicar las fuentes mediante las respectivas citas bibliográficas. En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



Dave Porras Alvarado

Cartago, 21 de junio de 2011

Céd: 3-0392-0082

# Resumen

Este documento describe el proceso de diseño e implementación de una unidad de cálculo de energía de los coeficientes de la transformada de ondas, utilizada en la detección de disparos de armas de fuego. Esto forma parte del proyecto de construcción de una red de sensores para combatir la caza y tala ilegal y contribuir con los esfuerzos de protección y conservación de recursos naturales. Lo que se busca es la mejora de la eficiencia en la detección de disparos mediante la reducción del offset de la unidad y la reducción del consumo de potencia. Para corregir esto, se diseñó un comparador que posteriormente fue optimizado mediante la utilización de una herramienta computacional basada en algoritmos genéticos e implementado en la unidad de cálculo. El esquema diseñado cumple satisfactoriamente las necesidades.

**Palabras clave:** offset, slew rate, delay, ciclo de trabajo, potencia, comparador, optimización, rectificador, unidad de cálculo

# Abstract

This document describes the design and implementation process of a wavelet coefficient's energy computation unit, used in the gunshot detection. This work is part a research project at ITCR Electronics Engineering School to develop a sensor network for protection and conservation of natural resources in Costa Rica. The goal is to improve efficiency in the gunshot detection by reducing the offset of the unit and reducing power consumption. To correct this, we designed a comparator which was subsequently optimized using a computer tool based on genetic algorithms and then implemented in the calculation unit. The designed scheme successfully meets the project's needs.

**Keywords:** offset, slew rate, delay, duty cicle, power, comparator, optimisation, rectifier, calculation unit

*a mis queridos padres, a mi hija y a la mujer que la trajo al mundo; su apoyo y sacrificio es invaluable...*

# Agradecimientos

El resultado de este trabajo no hubiese sido posible sin la ayuda de Dios que me brindó salud y paciencia para salir adelante; sin mis padres que me dieron siempre la voz de aliento y fueron el pilar sobre el cual hoy se termina de construir una gran obra; y sin el apoyo que durante tantos años mi hija y su madre calurosamente me brindaron, a todos ellos GRACIAS por tanto sacrificio, los amo...

Quiero agradecer también a Alfonso Chacón y Roberto Pereira, quienes con su guía y conocimiento me fueron sumergiendo en esta apasionante área del diseño de circuitos integrados; a mis amigos y compañeros del DCILab con quienes todos los días compartí los buenos y los no tan buenos momentos de esta enriquecedora experiencia; José Andrés, Jairo, Berny, Esteban, José Pablo, gracias...

Dave Porras Alvarado

Cartago, 22 de junio de 2011

# Índice general

Índice de figuras	iv
Índice de tablas	vi
<b>1 Introducción</b>	<b>1</b>
1.1 Antecedentes . . . . .	1
1.2 <i>Offset</i> de la unidad de cálculo y la importancia de su reducción . . . . .	2
1.3 Solución seleccionada y requisitos del diseño de la unidad de cálculo . . . . .	5
<b>2 Meta y objetivos</b>	<b>7</b>
2.1 Meta . . . . .	7
2.2 Objetivo general . . . . .	7
2.3 Objetivos específicos . . . . .	8
<b>3 Procedimiento metodológico</b>	<b>9</b>
<b>4 Marco teórico</b>	<b>11</b>
4.1 Modelo del comparador . . . . .	11
4.2 Esquemas básicos para el diseño de comparadores . . . . .	12
4.2.1 Comparador diferencial . . . . .	12
4.2.2 Comparador de dos etapas . . . . .	13
4.2.3 Comparador con circuito de decisión y seguidor de salida . . . . .	15
4.3 Consideraciones sobre <i>slew rate</i> . . . . .	17
4.4 Configuraciones serie-paralelo de transistores . . . . .	18
4.5 Herramientas de diseño y simulación de circuitos integrados . . . . .	19
4.5.1 Simuladores <i>SPICE</i> y modelos MOS . . . . .	19
4.5.2 Mentor Graphics . . . . .	21
4.6 Software de optimización automática . . . . .	22
4.7 Algunos principios sobre diseño de <i>layout</i> . . . . .	24
4.7.1 Anillos de protección . . . . .	24
4.7.2 <i>Layout</i> interdigitado . . . . .	24
4.7.3 Elementos falsos ( <i>dummy</i> ) . . . . .	24



---

<b>5</b>	<b>Resultados y análisis del diseño de la unidad de cálculo</b>	<b>26</b>
5.1	Selección del comparador . . . . .	26
5.1.1	Comparador diferencial . . . . .	27
5.1.2	Comparador de dos etapas . . . . .	27
5.1.3	Comparador diferencial con circuito de decisión y buffer de salida . . . . .	28
5.2	Análisis de los resultados de los distintos esquemas de comparadores . . . . .	29
5.3	Diseño inicial del comparador e implementación de la herramienta de optimización . . . . .	29
5.3.1	Parametrización y simulación del comparador . . . . .	30
5.3.2	Modificaciones a la herramienta de optimización . . . . .	30
5.4	Pruebas de preselección de resultados . . . . .	32
5.5	Apilamiento de transistores y optimización . . . . .	33
5.6	Preselección del comparador final . . . . .	34
5.6.1	Simulaciones . . . . .	35
5.6.2	Selección del comparador óptimo . . . . .	35
5.7	Análisis de los resultados del proceso de optimización . . . . .	36
5.8	Implementación de la unidad de cálculo completa . . . . .	38
5.8.1	Rectificador . . . . .	38
5.8.2	Banco de copiadores de corriente para la polarización . . . . .	39
5.8.3	Espejo cascode para la suma de corrientes . . . . .	39
5.8.4	Resultados de la simulación de la unidad de cálculo completa . . . . .	40
5.9	Análisis de los resultados de la implementación en esquemático de la unidad de cálculo . . . . .	41
5.10	Implementación en <i>layout</i> de la unidad de cálculo . . . . .	42
5.10.1	Comparador . . . . .	42
5.10.2	Rectificador . . . . .	44
5.10.3	Banco de copiadores de corriente para la polarización y espejo cascode para la suma de corrientes . . . . .	45
5.10.4	Amplificador de transconductancia (OTA) para conversión de corriente a tensión . . . . .	46
5.10.5	Resultados de la simulación de la unidad de cálculo completa sin incorporar el <i>layout</i> de los OTA's de salida dual . . . . .	46
5.11	Análisis de los resultados de la implementación en <i>layout</i> de la unidad de cálculo de energía completa . . . . .	47
<b>6</b>	<b>Conclusiones y Recomendaciones</b>	<b>49</b>
6.1	Conclusiones . . . . .	49
6.2	Recomendaciones . . . . .	50
	<b>Bibliografía</b>	<b>51</b>

**A Historial de optimizaciones**

**53**

**Índice alfabético**

**55**

# Índice de figuras

1.1	Estructura del banco de filtros y el detector. Se utiliza una función cuadrática en una primera fase del análisis y luego una función de valor absoluto, de más fácil implementación electrónica. . . . .	2
1.2	Esquema del circuito de la unidad de cálculo completa. . . . .	3
1.3	Salida de la unidad de cálculo de [6], con entradas alimentadas con una sinusoidal de $500Hz$ , $150mV$ pico. . . . .	3
1.4	Desapareamiento aleatorio de los transistores CMOS debido al proceso de fabricación. . . . .	4
1.5	Esquema del circuito rectificador de corriente. . . . .	5
4.1	Modelo de primer orden del comparador incluyendo <i>offset</i> . . . . .	11
4.2	Curva de transferencia de primer orden para un comparador incluyendo <i>offset</i> . . . . .	12
4.3	Esquema de comparador diferencial . . . . .	13
4.4	Esquema de comparador de dos etapas. . . . .	14
4.5	Diagrama de bloques del comparador con circuito de decisión y seguidor de salida. . . . .	15
4.6	Esquema de comparador con circuito de decisión y seguidor de salida. . . . .	16
4.7	Configuración de transistores en paralelo y su equivalente. . . . .	19
4.8	Configuración de transistores en serie y su equivalente. . . . .	19
4.9	Estructura general del flujo de diseño de Mentor Graphics, obtenida de [8].	21
4.10	Arquitectura de la herramienta de optimización de circuitos. . . . .	23
4.11	<i>Layout</i> de transistores interdigitados. . . . .	24
4.12	Representación del uso del elementos falsos, tomado de [4]. . . . .	25
5.1	Salida del comparador diferencial para una señal senoidal de entrada de $0, 15V$ de amplitud y frecuencia $10kHz$ . . . . .	27
5.2	Salida del comparador de dos etapas para una señal senoidal de entrada de $0, 15V$ de amplitud y frecuencia $10kHz$ . . . . .	28
5.3	Salida del comparador diferencial con circuito de decisión y <i>buffer</i> de salida para una señal senoidal de entrada de $0, 15V$ de amplitud y frecuencia $10kHz$ .	28

5.4	Salida del comparador con los parámetros obtenidos de la optimización, para una señal senoidal de entrada de $0,15V$ de amplitud y frecuencia $10kHz$ . . . . .	32
5.5	Esquema de comparador de dos etapas apilado, los transistores de los inversores son $3/0,6$ para los tipo $p$ y $1,8/0,6$ para los tipo $n$ . . . . .	33
5.6	Estructura de los bloques del comparador apilado. Se utilizan configuraciones serie-paralelo para aprovechar las ventajas en términos de $r_o$ y de apareamiento descritas en [3]. . . . .	34
5.7	Salida del comparador seleccionado, para una señal senoidal de entrada de $0,15V$ de amplitud y frecuencia $10kHz$ . . . . .	37
5.8	Simulación del rectificador con salida en tensión, para una entrada de $0,15V$ a $875Hz$ , la línea punteada representa la curva ideal esperada. . . . .	39
5.9	Esquema del circuito copiador de corriente. Los transistores M1 son de $3/20$ mientras que los M2 son de $2,8/24,9$ . . . . .	39
5.10	Esquema del circuito de copiadores cascado utilizado para la suma de corrientes, todos los transistores de $3/8$ . . . . .	40
5.11	Simulación en esquemático de la tensión de salida de la unidad de cálculo completa, para tres entradas senoidales idénticas de $0.15V$ a $815Hz$ . . . . .	40
5.12	Simulación <i>post-layout</i> del comparador seleccionado, primera implementación, para una señal senoidal de entrada de $0,15V$ de amplitud y frecuencia $10kHz$ . . . . .	43
5.13	Tensión de salida del comparador antes de los inversores, implementación en <i>layout</i> . . . . .	43
5.14	<i>Layout</i> funcional de comparador. . . . .	44
5.15	Simulación <i>post-layout</i> del comparador seleccionado, segunda implementación, para una señal senoidal de entrada de $0,15V$ de amplitud y frecuencia $10kHz$ . . . . .	44
5.16	Respuesta a mejorar y simulación <i>post-layout</i> del rectificador, para una señal senoidal de entrada de $0,15V$ y $875Hz$ . . . . .	45
5.17	<i>Layout</i> de los circuitos copiadores de corriente para polarización y espejos cascado para la suma de energía a la salida del rectificador. . . . .	46
5.18	Simulación <i>post-layout</i> de la tensión de salida de la unidad de cálculo completa, para tres entradas senoidales idénticas de $0,15V$ a $815Hz$ . . . . .	47

# Índice de tablas

1.1	Características de polarización y consumo de potencia de la unidad de cálculo implementada en [6]. . . . .	4
1.2	Características esperadas de consumo de potencia de la unidad de cálculo a diseñar. . . . .	5
5.1	Características obtenidas de la simulación del comparador con circuito de decisión y buffer de salida, para una señal de entrada de $0,15V$ a $10kHz$ .	28
5.2	Parámetros iniciales del comparador seleccionado para la optimización, para una corriente de polarización de $20\mu A$ . . . . .	30
5.3	Valores de aptitud para el comparador. . . . .	31
5.4	Características del comparador no apilado óptimo obtenido con la optimización. . . . .	32
5.5	Características de los mejores comparadores apilados obtenidos con la optimización. . . . .	35
5.6	Características del comparador apilado seleccionado de la optimización. . .	36
5.7	Parámetros del comparador apilado seleccionado de la optimización. . . . .	36
5.8	Características del rectificador completo. . . . .	39
5.9	Copia de corriente para la polarización de los comparadores y los OTAs. .	40
5.10	Características de la unidad de cálculo completa obtenidas de la simulación del esquemático, para tres entradas senoidales idénticas de $0,15V$ a $815Hz$ . .	41
5.11	Características del comparador después de las modificaciones al <i>layout</i> . . .	45
5.12	Características del rectificador al implementar el <i>layout</i> del comparador. .	45
5.13	Características de la unidad de cálculo completa obtenidas de la simulación <i>post-layout</i> , para tres entradas idénticas de $0,15V$ a $815Hz$ . . . . .	46

# Capítulo 1

## Introducción

### 1.1 Antecedentes

La Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica está trabajando en un proyecto para desarrollar una red de sensores inalámbricos que detecten disparos de armas de fuego y motosierras en los bosques de Costa Rica, esto con el fin de proporcionar a las autoridades pertinentes la facilidad de localizar a los infractores para así combatir la caza y tala ilegal.

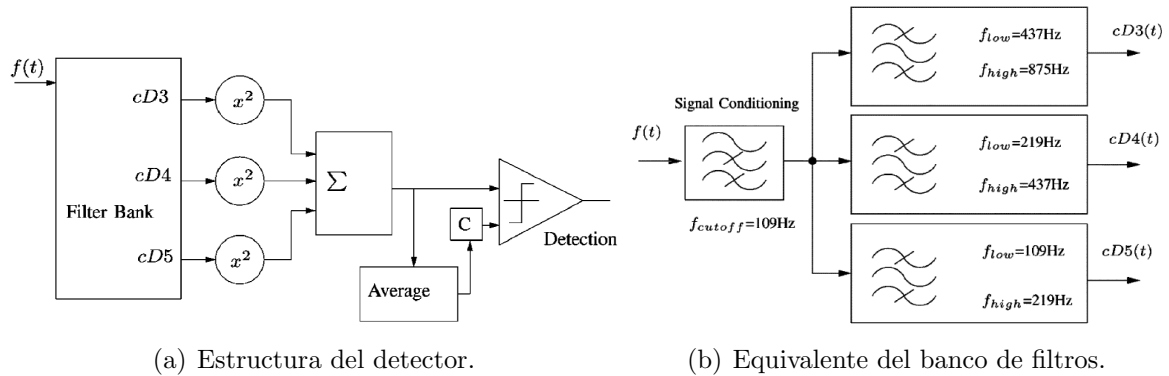
Estos sensores deben ser ubicados en distintas zonas del país lejos de la población y de alguna persona que les dé mantenimiento continuo. Por estas características, se requiere que el dispositivo que se diseñe tenga un bajo consumo de potencia ya que estos nodos van a ser alimentados con baterías, que deben proporcionar alimentación por un largo periodo de tiempo. Además, los sensores deben lograr una detección de manera eficiente para evitar la detección de falsos disparos que impliquen la movilización de personal de manera innecesaria y peor aún, que no se detecte el uso de una motosierra o un disparo.

Por las características antes mencionadas se opta por el desarrollo de un circuito integrado con una aplicación específica (ASIC por sus siglas en inglés), ya que estos presentan un menor consumo de potencia que un sistema comercial basado en microcontrolador o *FPGA*, porque el circuito se diseña para destinar los recursos a una labor particular.

El desarrollo de cada nodo se ha dividido en tres etapas generales: detección de sonidos impulsivos, clasificación de estos sonidos y una etapa para la localización espacial de estos.

Para la etapa de detección, Chacón en [6] diseñó un circuito integrado de bajo consumo que utiliza métodos matemáticos en la detección y clasificación de señales, específicamente la transformada continua de onditas (CWT o wavelets), ya que poseen una implementación física sencilla.

La etapa de detección se muestra en la figura 1.1, la cual se encuentra compuesta por un banco de filtros (mejorado en [10]) que separa la señal de entrada en los tres coeficientes de la transformada continua de ondas de ocho niveles, coeficientes cuya frecuencia máxima es de  $875\text{Hz}$ . Posteriormente, se hace una estimación de la energía de cada coeficiente para luego sumarlo, posteriormente esta sumatoria de energía se compara con un umbral adaptativo típicamente un promedio deslizando (*running average*) o una estimación *RMS* de la misma señal pre-procesada, escalada por un factor de ganancia.



**Figura 1.1:** Estructura del banco de filtros y el detector. Se utiliza una función cuadrática en una primera fase del análisis y luego una función de valor absoluto, de más fácil implementación electrónica.

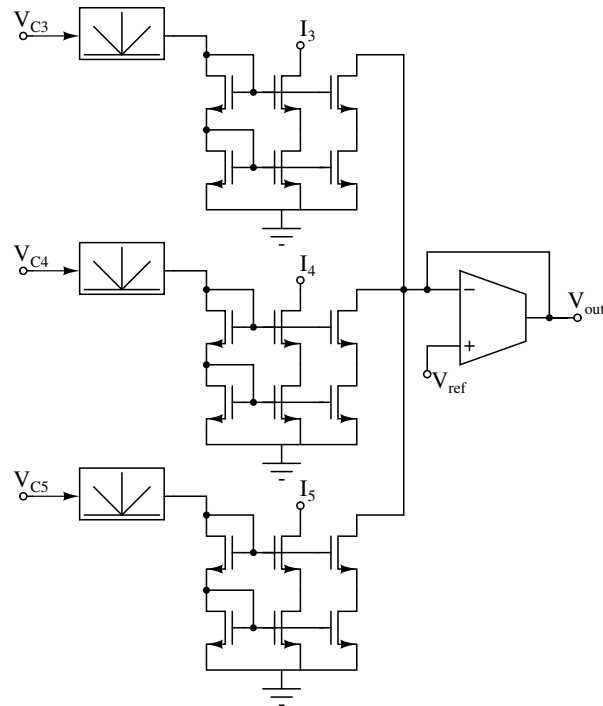
La unidad de cálculo del circuito detector es la que se encuentra ubicada la derecha del banco de filtros en la figura 1.1, compuesta por la sumatoria de las energías de cada uno de los tres coeficientes calculados por el filtro (en este caso coeficientes 3, 4 y 5).

Es en esta unidad de cálculo donde se desarrolla el presente proyecto con la reducción del consumo de potencia de la etapa de detección teniendo como meta ideal un consumo no mayor a  $1\mu\text{W}$ . Esta meta, por supuesto ambiciosa, se verá limitada por las capacidades del proceso CMOS a utilizar, un proceso ya de por sí antiguo, de  $0,5\mu\text{m}$ . Es por ello, que ya un 50% de reducción con respecto a implementaciones anteriores será una métrica aceptable para este proyecto.

## 1.2 Offset de la unidad de cálculo y la importancia de su reducción

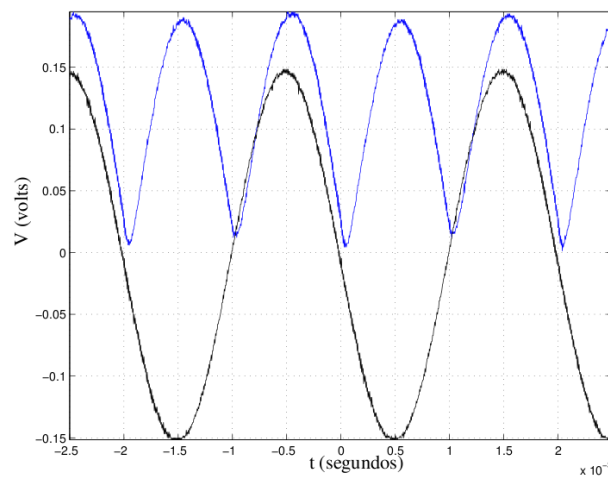
La unidad de cálculo está compuesta por un sumador de corriente que hace una estimación de la energía total de los coeficientes a considerar (ver figura 1.2).

La unidad ya fabricada en [6] tiene una repuesta como la mostrada en la figura 1.3, donde se muestra una respuesta no simétrica del rectificador, producto de la no simetría a su vez



**Figura 1.2:** Esquema del circuito de la unidad de cálculo completa.

de la tensión de conmutación (*tripping point*) del comparador y de los transconductores asociados (o, en otras palabras, del *offset* asociado a estos circuitos). Esta asimetría es de hasta un 7% de la señal de entrada, con un consumo de potencia mostrado en la tabla 1.1 para dos distintas tensiones de polarización donde el consumo de potencia es de  $27,2\mu W$  y  $5,98\mu W$  para tensiones de alimentación de  $4V$  y  $3,3V$  respectivamente.



**Figura 1.3:** Salida de la unidad de cálculo de [6], con entradas alimentadas con una sinusoidal de  $500Hz$ ,  $150mV$  pico.

Así, el *offset* de esta unidad introduce errores durante el cálculo de la energía. Este error es

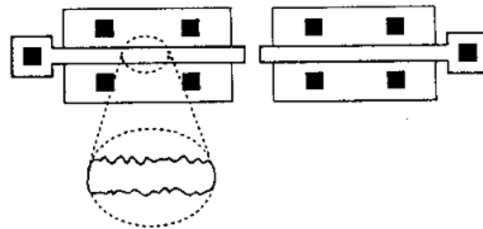


**Tabla 1.1:** Características de polarización y consumo de potencia de la unidad de cálculo implementada en [6].

Alimentación (V)	Polarización (nA)	Consumo ( $\mu A$ )
3,3	90,15	1,813
4,0	95,03	6,800

aleatorio, precisamente por el carácter aleatorio del *offset* de cada coeficiente proveniente desde el filtro de la etapa anterior. Compuesto por dos componentes fundamentales como lo son el *offset* sistemático y el *offset* aleatorio, y se debe tratar de minimizar ambos con técnicas tanto de trazado como de diseño optimizado.

El *offset* aleatorio se debe a las desigualdades de los transistores introducidas en el proceso de fabricación, como ejemplo de esto se muestra la figura 1.4, donde la compuerta de un transistor presenta irregularidades que no necesariamente se presentan en los otros transistores



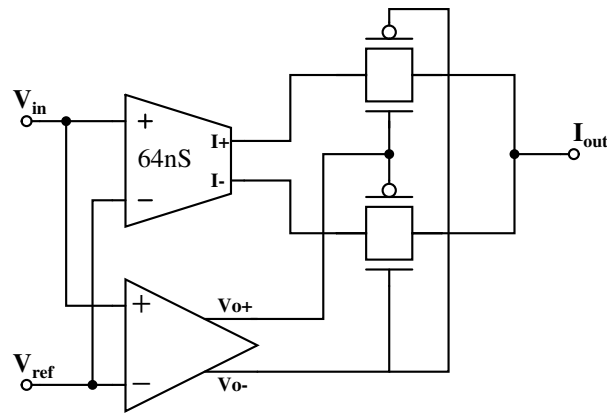
**Figura 1.4:** Desapareamiento aleatorio de los transistores CMOS debido al proceso de fabricación.

El *offset* sistemático se introduce debido a ciertas consideraciones de diseño y puede reducirse mediante un buen diseño ingenieril. Por lo mencionado anteriormente, el *offset* total no puede eliminarse de manera sistemática y la única solución por tanto es minimizarlo mediante correctas prácticas de diseño, como por ejemplo en el trazado.

La etapa de la unidad de cálculo que más *offset* introduce en la detección es el rectificador que hace la estimación de la energía de la señal (ver figura 1.5), y dentro de este el amplificador diferencial utilizado como comparador para conmutar los periodos entre positivos y negativos.

La importancia de minimizar este *offset* es que se evita la detección de disparos falsos, evitándose con esto la activación de otras etapas del sistema de manera innecesaria, y reduciendo con esto el desperdicio de potencia. Además se aumenta la eficiencia del sistema al reducir la posibilidad de que disparos verdaderos no sean detectados.

Por tanto, los requerimientos de bajo consumo y alta eficiencia del proyecto obligan a



**Figura 1.5:** Esquema del circuito rectificador de corriente.

reducir el *offset* introducido en esta etapa del sistema y con esto la potencia consumida por todo el circuito integrado.

### 1.3 Solución seleccionada y requisitos del diseño de la unidad de cálculo

La solución al problema planteado anteriormente inicia con la selección de la configuración de amplificador que brinde las mejores características de desempeño en cuanto a los requerimientos de consumo de potencia y el *offset* introducido en la etapa de rectificación. En cuanto al consumo de potencia, en la tabla 1.1 se muestra lo obtenido por [6], estos valores son los que se toman como referencia para buscar una reducción del 50% en el diseño a implementar. Los valores de potencia esperados al concluir el diseño se muestran en la tabla 1.2.

**Tabla 1.2:** Características esperadas de consumo de potencia de la unidad de cálculo a diseñar.

Alimentación (V)	Consumo ( $\mu A$ )
3,3	0,9065
4	3,4000

El *offset* sistemático introducido por el comparador es producto de que su tensión de conmutación ( $V_{os}$ ) es diferente de cero (ver 4.2), por tanto la solución se enfocará en disminuir esta tensión  $V_{os}$  para obtener una disminución de 10% del *offset* actual (10mV) en la señal rectificadora de salida, por tanto se plantea como objetivo diseñar un comparador

de tensión que introduzca como máximo  $1mV$  de *offset* sistemático a la unidad de cálculo completa.

Una vez elegida la configuración óptima, se deben calcular los parámetros necesarios para una primera implementación que pueda ser sujeta a simulaciones para probar su consumo de potencia. Este primer circuito servirá como patrón para luego ser optimizado. Además, se realizará el mismo procedimiento para las restantes etapas de la unidad de cálculo y se evaluará la necesidad de agregar o eliminar etapas.

Cabe destacar que los amplificadores de transconductancia (OTAs) mostrados en las figuras 1.2 y 1.5 ya fueron optimizados en [12] para ser implementados en los filtros pasa-banda de la etapa antecesora a la unidad de cálculo, pero también pueden ser utilizados en esta unidad, por tanto la atención en la optimización se centrará en los comparadores de los rectificadores y en el diseño de los sumadores de corriente y los copiadores de corriente que generen la polarización para las distintas etapas a partir de una única corriente de entrada generada por la fuente diseñada en [7].

Se toman los circuitos patrón para introducirlos en la herramienta de optimización [14] para hacer un análisis del frente de Pareto mediante la utilización de algoritmos genéticos, esto con el fin de obtener una familia de parámetros (individuos) que se ajusten a las especificaciones necesarias.

Una vez obtenido un conjunto de resultados se debe hacer una preselección de individuos y de estos escoger cual es el individuo óptimo para ser implementado en la solución, esta preselección se realiza mediante simulaciones para analizar el comportamiento individual de cada opción. Estas simulaciones se realizarán mediante el flujo EDA de MENTOR GRAPHICS (ver sección 4.5).

Cuando se ha seleccionado el individuo óptimo se debe desarrollar el *layout* necesario para implementar la solución en un circuito integrado, fabricado bajo la tecnología de  $0,5\mu m$  del servicio MOSIS [11].

# Capítulo 2

## Meta y objetivos

### 2.1 Meta

Reducir el consumo de potencia de la etapa de detección de disparos de armas de fuego a  $1\mu W$  mediante la optimización de la unidad de cálculo de energía.

*Indicador:* Pruebas de consumo de potencia bajo diversas condiciones que prueben que el consumo de la unidad de detección es menor a  $1\mu W$ , con una tolerancia del 10% (criterio de ingeniería).

### 2.2 Objetivo general

Optimizar la unidad de cálculo de energía de los coeficientes de la transformada de ondas para hacer una estimación eficiente en términos de detección de disparos y consumo de potencia.

*Indicador:* Banco de pruebas cuyos resultados muestren una estimación de energía con un error menor a 10% con un consumo de potencia menor o igual a  $13,6\mu W$ .

## 2.3 Objetivos específicos

- Minimizar la tensión de transición de los comparadores utilizados en la unidad de cálculo de manera que estos no introduzcan más de un 10% de error en la señal rectificadora.

*Indicador:* Simulaciones que muestren que la señal de salida de los rectificadores no se han aumentado en más de 10% del valor pico de la señal de entrada.

- Reducir el consumo de potencia de la unidad de cálculo un 50% de su consumo actual de  $27,2\mu W$  para una alimentación de 4V.

*Indicador:* Simulaciones que muestren un consumo de potencia total del circuito menor o igual a  $13,6\mu W$ .

# Capítulo 3

## Procedimiento metodológico

Inicialmente se debe hacer la selección de la configuración del amplificador que se utilizará como comparador para determinar cuál presenta mejores características en términos de las especificaciones necesarias, se hace una caracterización del comportamiento de varias configuraciones para compararlas y escoger la adecuada.

Antes de implementar el esquema seleccionado en la herramienta de optimización se debe diseñar un comparador inicial para obtener un circuito cuyas características se encuentren parametrizadas, es decir, representadas por medio de variables, a las cuales se les pueda asignar valores por medio del *netlist* correspondiente a este circuito.

Se debe hacer una modificación en la herramienta de optimización para adecuarla a los parámetros y variables que el circuito comparador amerite. Una vez modificada la herramienta se debe correr la optimización que tendrá una duración y arrojará unos resultados variados según el número de iteraciones que se le programen y que tan estrictas sean las limitaciones que se le pongan al diseño.

Una vez obtenidos un conjunto de comparadores óptimos se deben ejecutar simulaciones con el fin de obtener los mejores casos posibles, para así configurar el comparador con estos parámetros y generar una simulación individual que verifique el cumplimiento de las especificaciones, tanto en consumo de potencia como principalmente la reducción del *offset* sistemático introducido por esta etapa.

Además de la optimización de los comparadores se deben incorporar los OTAs, ya optimizados en [12], en el diseño de los rectificadores que forman parte la unidad de cálculo de energía.

Al obtener un diseño de rectificador con el comparador y el OTA optimizados, este se debe incorporar en el circuito completo de la unidad de cálculo, para así determinar el consumo de potencia de la unidad total y verificar que este cumpla con lo planteado en los objetivos.

Teniendo una unidad de cálculo funcional acorde con lo planteado en los objetivos, se debe trazar el *layout* del circuito para que este sea fabricado junto con el filtro diseñado en [10] y la fuente de polarización diseñada por [7].

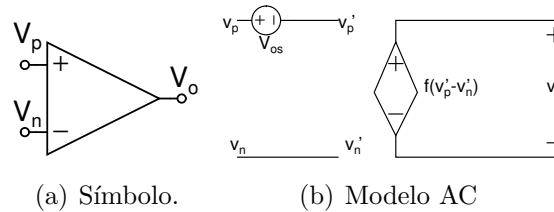
En el capítulo 5 se presentan con detalle las actividades realizadas para desarrollar la metodología antes descrita, junto con los resultados obtenidos y análisis de los mismos.

# Capítulo 4

## Marco teórico

### 4.1 Modelo del comparador

En la figura 4.1 se muestra el símbolo de un comparador, definido como un circuito que tiene idealmente una salida binaria cuyo valor se basa en la comparación de dos entradas analógicas.



**Figura 4.1:** Modelo de primer orden del comparador incluyendo *offset*.

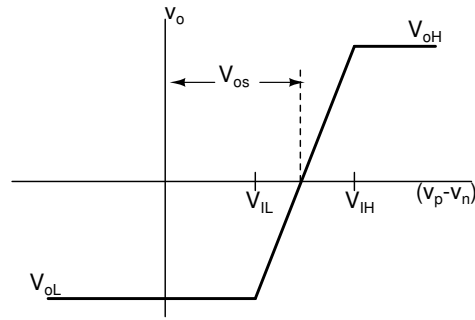
Para este comparador el modelo de primer orden que propone [1] es

$$f(v'_p - v'_n) = \begin{cases} V_{oH}, & (v'_p - v'_n) > V_{IH} \\ A_V(v'_p - v'_n), & V_{IL} < (v'_p - v'_n) < V_{IH} \\ V_{oL}, & (v'_p - v'_n) < V_{IL} \end{cases} \quad (4.1)$$

$$A_v = \frac{V_{oH} - V_{oL}}{V_{IH} - V_{IL}} \quad (4.2)$$

donde  $V_{IH}$  y  $V_{IL}$  representan la diferencia de tensión de entrada ( $v_p - v_n$ ) necesaria para saturar la salida en su límite superior e inferior respectivamente. La ganancia es una característica importante describiendo la operación del comparador, porque define el cambio mínimo necesario en la entrada para hacer que la salida cambie entre sus dos posibles estados.





**Figura 4.2:** Curva de transferencia de primer orden para un comparador incluyendo *offset*.

En un comparador, si la salida no cambia hasta que la diferencia de entrada alcanza un valor  $V_{os}$ , entonces esta diferencia es definida como la tensión de *offset*. No habría problema si este *offset* se pudiera predecir, pero varía aleatoriamente de circuito a circuito. Este *offset* se compone principalmente de dos factores: el *offset sistemático* que se debe a consideraciones propias del diseño, y el *offset aleatorio* que se incluye debido a las variaciones introducidas durante el proceso de fabricación.

El retraso característico que existe entre una excitación en la entrada y una transición en la salida es el tiempo de respuesta del comparador. Esta diferencia de tiempo es lo que se conoce como *delay* de propagación del comparador.

## 4.2 Esquemas básicos para el diseño de comparadores

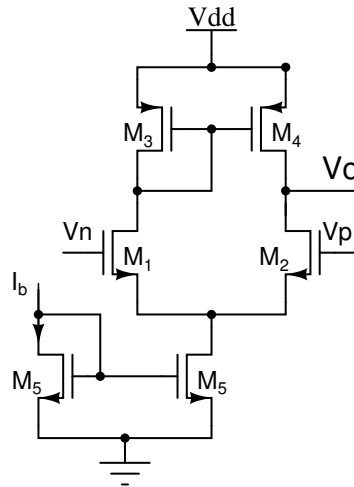
### 4.2.1 Comparador diferencial

En la figura 4.3 se muestra una etapa de amplificador diferencial con transistores tipo  $n$  en la entrada con una única salida. El atributo de esta configuración es la capacidad de amplificar la diferencia de tensión entre la entrada inversora  $v_n$  y la no inversora  $v_p$ . Como resultado, el punto de transición del comparador puede hacerse independiente de las variaciones del proceso y de la tensión de alimentación.

Mientras los transistores de salida estén en saturación, la ganancia es aproximadamente

$$A_v = \frac{\Delta V_o}{\Delta(V_p - V_N)} \cong \frac{g_{m2}}{g_{ds2} + g_{ds4}} = \frac{2(K'_2 W_2 / L_2)^{1/2}}{I_5^{1/2}(\lambda_2 + \lambda_4)} \quad (4.3)$$

La ganancia del amplificador diferencial no es muy alta; hay formas de aumentar esta ganancia a expensas del rango de tensión de salida. Una contribución al error es el efecto



**Figura 4.3:** Esquema de comparador diferencial

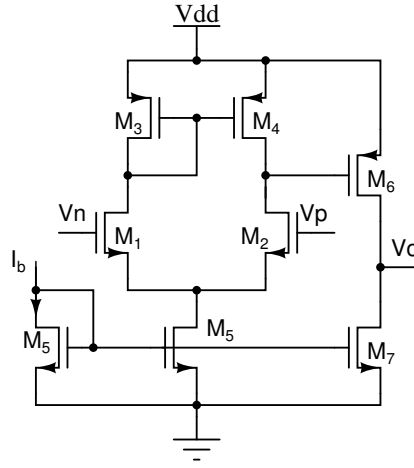
de modulación del largo del canal que empieza a hacer evidente cuando dos dispositivos pareados tienen diferentes tensiones de drenaje que resultan en desapareamiento (*mismatch*) de corriente que es reflejado en *mismatch* en la entrada. *Mismatch* de este tipo es inevitable debido a las imperfecciones en el proceso de fabricación.

### 4.2.2 Comparador de dos etapas

La figura 4.4 muestra un comparador de dos etapas que combina las características del amplificador diferencial con las cualidades de una etapa inversora. La pobre ganancia de la etapa diferencial es aumentada por la ganancia de la etapa inversora. La salida de la etapa diferencial, que se encuentra cerca de  $VDD$ , está en la vecindad del punto de transición de la etapa inversora que le sigue. Por lo tanto, el limitado rango de salida, que es un problema para la etapa diferencial, ahora es una buena característica en la configuración de dos etapas.

Para las condiciones de equilibrio es deseable que la salida de la etapa diferencial esté centrada en el punto de transición de la segunda etapa. En orden para entender los conceptos del comparador, se deben desarrollar algunas relaciones básicas en CD. La idea es establecer las relaciones requeridas entre los tamaños de los transistores para lograr la condición de balance. En adelante, balance significa una condición en la cual a todos los transistores de canal  $n$  les fluye una corriente exactamente igual que su contra parte de canal  $p$  cuando todos los dispositivos se encuentran en saturación.

Basados en la necesidad de la igualdad de las dos rutas de corriente, es obvio que  $M1$  y  $M2$  deben ser iguales, tal y como  $M3$  y  $M4$  también deben estar emparejados. Si la entrada está balanceada (esto es que  $v_p = v_n$ ) entonces la corriente que fluye en  $M5$  se divide



**Figura 4.4:** Esquema de comparador de dos etapas.

equitativamente a través de M1 y M2. Este análisis cualitativo se rige por las siguientes relaciones

$$W_1/L_1 = W_2/L_2 \quad (4.4a)$$

$$W_3/L_3 = W_4/L_4 \quad (4.4b)$$

$$i_1 = i_2 = i_5/2 \quad (4.4c)$$

La corriente que fluye en M5 es reflejada a la salida por la relación de tamaños de M7 y M5. También la corriente en M4 es reflejada a la salida por la relación de M6 y M4. Este resultado se deriva la suposición de condiciones balanceadas, lo cual significa que las tensiones de drenador de M4 y M3 son iguales. Como la compuerta y el drenador de M3 están conectados, la tensión de drenador de M4 es esencialmente la tensión de compuerta de M3, así la corriente  $i_4$  es copiada a  $i_6$  por la relación de tamaños de M6 y M4. Las siguientes ecuaciones describen estas relaciones

$$i_7 = i_5[(W_7/L_7)/(W_5/L_5)] \quad (4.5)$$

$$i_6 = i_4[(W_6/L_6)/(W_4/L_4)] \quad (4.6)$$

Para las condiciones de balance, es deseable que las corrientes  $i_6$  e  $i_7$  sean iguales, por lo tanto

$$i_7 = i_6 \quad (4.7)$$

$$[i_5/i_4][(W_7/L_7)/(W_5/L_5)] = (W_6/L_6)/(W_4/L_4) \quad (4.8)$$

De la discusión previa se sabe que

$$i_5/i_4 = 2 \quad (4.9)$$

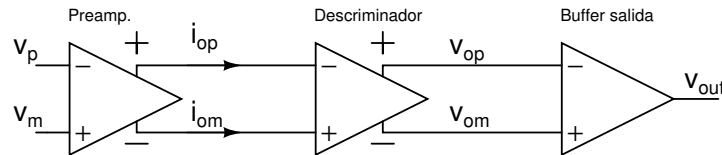
Por lo tanto

$$(W_6/L_6)/(W_4/L_4) = 2(W_7/L_7)/(W_5/L_5) \quad (4.10)$$

Las ecuaciones (4.4) y (4.10) describen completamente las relaciones entre los transistores para lograr la condición de balance. Los efectos de la modulación del largo del canal no han sido tomadas en cuenta en el desarrollo de estas ecuaciones de diseño. Como resultado, habrán algunos errores en la salida resultando en desigualdades en las corrientes. Este error en la salida se ve reflejado hacia la entrada como *offset* sistemático.

### 4.2.3 Comparador con circuito de decisión y seguidor de salida

En la figura 4.5 se muestra el diagrama de bloques de un comparador de alto desempeño según lo presenta [4]. El comparador consiste de tres etapas: el preamplificador de entrada, una realimentación positiva o etapa de decisión, y un seguidor de salida. La primera etapa amplifica la señal de entrada para mejorar la sensibilidad del comparador y aísla la entrada del comparador del ruido por conmutación proveniente de la etapa de realimentación positiva. La etapa de realimentación determina cual de las señales de entrada es mayor. El seguidor de salida amplifica esta información y da la señal digital de salida.



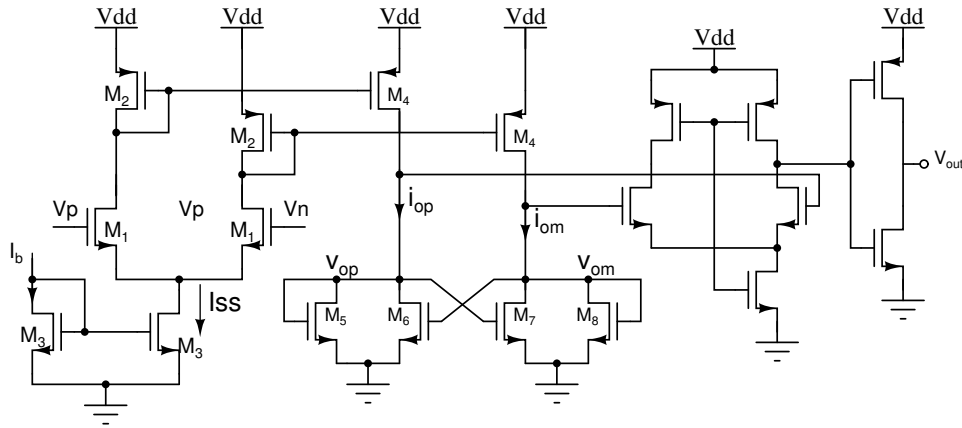
**Figura 4.5:** Diagrama de bloques del comparador con circuito de decisión y seguidor de salida.

#### Preamplificación

En la figura 4.6 se muestra el esquema del comparador analizado, la etapa de preamplificación la constituyen los transistores M1, M2, M3 y M4, el circuito es un amplificador diferencial con carga activa. El tamaño de M1 se selecciona considerando la transconductancia  $g_m$  del amplificador diferencial y la capacitancia de entrada. Se puede relacionar las tensiones de entrada con las corrientes de salida de la etapa con

$$i_{op} = \frac{g_m}{2}(v_p - v_m) + \frac{I_{SS}}{2} = I_{SS} - i_{om} \quad (4.11)$$

Nótese que si  $v_p > v_m$ , entonces  $i_{op}$  es positiva e  $i_{om}$  es negativa ( $i_{op} = -i_{om}$ ).



**Figura 4.6:** Esquema de comparador con circuito de decisión y seguidor de salida.

### Circuito de decisión

El circuito de decisión es la parte más importante del comparador y debe ser capaz de discriminar señales de pocos mili-Voltios; se debe diseñar el circuito con un poco de histéresis para usarlo en el rechazo del ruido en la señal; el circuito que se utiliza para este propósito es el conformado por los transistores M5, M6, M7 y M8 en el diagrama de la figura 4.6 se utiliza realimentación positiva de la conexión cruzada de las compuertas para aumentar la ganancia del elemento de decisión.

Se inicia asumiendo que  $i_{op}$  es mucho mayor que  $i_{om}$  entonces M5 y M7 están encendidos, y M6 y M8 están apagados. También se asume que  $\beta_5 = \beta_8 = \beta_A$  y  $\beta_6 = \beta_7 = \beta_B$ , bajo estas circunstancias,  $v_{om}$  es aproximadamente  $0V$  y  $v_{op}$  es

$$v_{op} = \sqrt{\frac{2i_{op}}{\beta_A}} + V_{THN} \quad (4.12)$$

Si se empieza a incrementar  $i_{om}$  y a decrementar  $i_{op}$ , empieza a darse la conmutación cuando la tensión compuerta-fuente  $V_{GS}$  de M8 es igual a  $V_{THN}$ . A medida que se incrementa la tensión  $V_{GS}$  de M8 más allá de  $V_{THN}$ , M6 comienza a tomar corriente de M5. Esto decrementa la tensión drenador-fuente  $V_{DS}$  de M5 y M6 y esto apaga a M7.

Cuando M8 esta a punto de encenderse (esto es cuando su  $V_{GS}$  es aproximadamente  $V_{THN}$  pero la corriente de drenador de M8 y M6 continúa siendo cero), la corriente que fluye en M7 es

$$i_{om} = \frac{\beta_B}{2}(v_{op} - V_{THN})^2 \quad (4.13)$$

y la corriente que fluye por M5 es

$$i_{op} = \frac{\beta_A}{2}(v_{op} - V_{THN})^2 \quad (4.14)$$

Nótese que la corriente en M7 (en el punto de transición) es reflejada en M5, por lo tanto

$$i_{op} = \frac{\beta_A}{\beta_B} i_{om} \quad (4.15)$$

Si  $\beta_A = \beta_B$ , entonces se da la transición cuando  $i_{op}$  y  $i_{om}$  son iguales. En el caso de que  $\beta_A \neq \beta_B$  el comparador presenta histéresis. Relacionando estas ecuaciones con la ec.(4.11) se obtiene la tensión de transición

$$V_{SPH} = v_p - v_m = \frac{I_{SS} \frac{\beta_B}{\beta_A} - 1}{g_m \frac{\beta_B}{\beta_A} + 1} \text{ para } \beta_B \geq \beta_A \quad (4.16)$$

y

$$V_{SPL} = -V_{SPH} \quad (4.17)$$

### Seguidor de salida

El componente final en el diseño de este comparador es el seguidor (*buffer*) de salida o post-amplificador. El propósito principal del seguidor es convertir la salida del circuito de decisión en una señal lógica (0 o VDD). El *buffer* de salida debe aceptar una entrada diferencial y no tener limitaciones de *slew rate*.

Para un diseño simple del *buffer* de salida se utiliza un amplificador diferencial auto-polarizado, un inversor es agregado a la salida del amplificador como una etapa adicional de ganancia y para aislar cualquier capacitancia de carga de la etapa diferencial. Este comparador trabaja muy bien en términos de *offset* sistemático y otras características, pero la cantidad de corriente de la etapa auto-polarizada es enorme.

## 4.3 Consideraciones sobre *slew rate*

Allen en [2] define el *slew rate* como la velocidad de cambio de la tensión de salida respecto a variaciones en la señal de entrada, y matemáticamente se representa como

$$SR = \left. \frac{dv_{out}}{dt} \right|_{v_{out}=v_{outmax}} \quad (4.18)$$

este valor depende del capacitor de carga y la capacidad de la etapa de salida del comparador de entregar la corriente para cargarlo a la misma velocidad de cambio de la entrada, en resumen

$$SR = \frac{i_{out}}{C_L} \quad (4.19)$$

Para el caso del comparador la carga a la salida son las compuertas de los transistores de las llaves de paso, las cuales deben conmutar mínimo a la velocidad de cambio máxima de la señal de entrada. Para efectos de diseño del comparador la señal de entrada es una onda senoidal de la forma

$$v(t) = V_m * \text{sen}(\omega t) \quad (4.20)$$

con  $V_m$  la amplitud de señal y  $\omega = 2 * \pi * f$  donde  $f$  es su frecuencia, la derivada máxima de esta señal es

$$\left. \frac{dv}{dt} \right|_{max} = 2 * \pi * f * V_m * \cos(\omega t) \Big|_{t=0} \quad (4.21)$$

por tanto el *slew rate* mínimo necesario será

$$SR_{min} = 2 * \pi * f * V_m \quad (4.22)$$

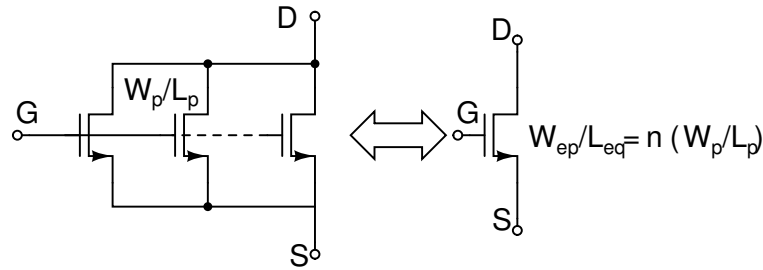
## 4.4 Configuraciones serie-paralelo de transistores

En la figura 4.7 se muestran  $n$  transistores idénticos conectados en paralelo. La corriente que atraviesa este arreglo se divide equitativamente entre todos los transistores, por lo que el transistor equivalente se puede interpretar ya sea como un transistor por el que atraviesa una corriente  $n$  veces equivalente a la corriente que atraviesa uno de los transistores individuales (de tamaño  $W_p/L_p$ ), o bien, como un transistor cuyo ancho es  $n$  veces el de uno de los elementos individuales. Las ecuaciones que muestran este comportamiento son

$$I_D = nI_{Dn} \quad (4.23a)$$

$$\frac{W_{eq}}{L_{eq}} = n \frac{W_p}{L_p} \quad (4.23b)$$

En la figura 4.8 se emplean  $n$  transistores idénticos conectados en serie, uno tras otro con la compuerta interconectada entre ellos. La misma corriente atraviesa a todos los

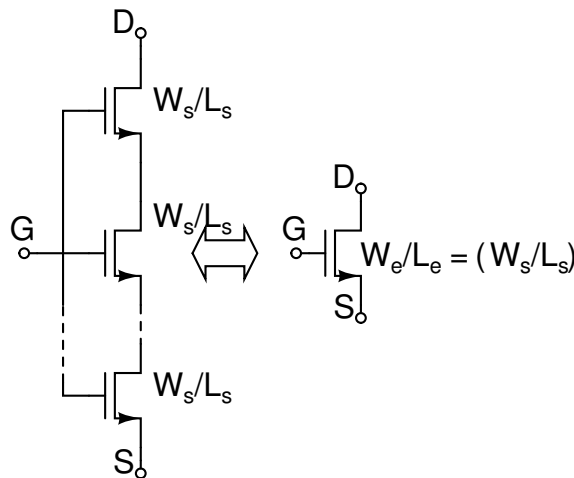


**Figura 4.7:** Configuración de transistores en paralelo y su equivalente.

transistores. El transistor equivalente presenta entonces  $n$  veces más largo que uno de los elementos individuales. Matemáticamente lo anterior se representa como

$$I_D = I_{Dn} \quad (4.24a)$$

$$\frac{W_{eq}}{L_{eq}} = \frac{1}{n} \frac{W_p}{L_p} \quad (4.24b)$$



**Figura 4.8:** Configuración de transistores en serie y su equivalente.

## 4.5 Herramientas de diseño y simulación de circuitos integrados

### 4.5.1 Simuladores *SPICE* y modelos MOS

El lenguaje *SPICE* (Simulation Program with Integrated Circuits Emphasis, por sus siglas en inglés) es el estándar internacional para la simulación de circuitos electrónicos. *SPICE* es un programa de simulación de circuitos de propósito general para análisis CD



no lineal, transitorio no lineal, transitorio lineal y análisis de AC (o de respuesta lineal de frecuencia). Los circuitos pueden contener resistencias, condensadores, inductores, inductores mutuos, fuentes independientes de tensión y de corriente, cuatro tipos de fuentes dependientes, líneas de transmisión con y sin pérdidas (dos implementaciones independientes), interruptores, líneas de distribución uniforme de RC, y cinco de los dispositivos semiconductores más comunes: diodos, BJT, JFET, MESFETs, y MOSFET. *SPICE* se origina en el Departamento de Ingeniería Eléctrica e Informática de la Universidad de California en Berkeley (ver [15]).

Actualmente se han desarrollado muchos programas y aplicaciones que implementan gráficamente este lenguaje. Estos programas interpretan los circuitos que el usuario traza y genera un archivo llamado *netlist*, el cual contiene las instrucciones e instancias equivalentes en *SPICE*.

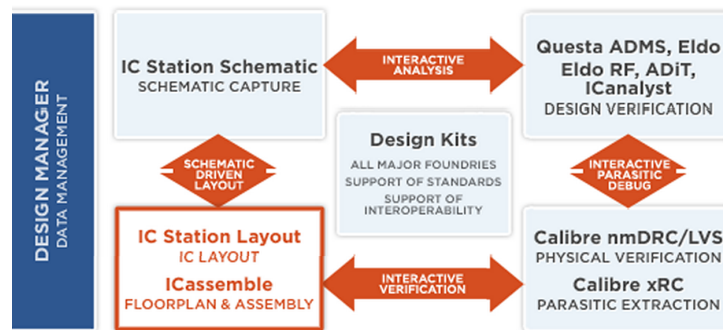
Una de los beneficios de los simuladores *SPICE* es la posibilidad de utilizar diferentes modelos para los componentes empleados en la simulación de circuitos. Así por ejemplo, se pueden utilizar en la simulación los parámetros de un transistor obtenidos para un proceso de fabricación específico y se pueden variar los modelos de ecuaciones que se utilizan para la simulación de los circuitos. Algunos de estos modelos de ecuaciones válidos son:

- *Modelo de Shichman-Hodges* [9]: es uno de los modelos más básicos para los transistores MOS. Sus ecuaciones son muy similares a las presentadas por [17] para la región de inversión fuerte y son utilizadas en el cálculo básico de circuitos.
- *Modelos BSIM* [13]: los modelos BSIM son desarrollados por la Universidad de Berkley, California. El diseño de circuitos utiliza ampliamente las diversas versiones de estos modelos, los cuales se caracterizan por emplear más de 100 parámetros en los cálculos, lo que lo hace muy complejo para el diseño a mano, pero si muy preciso para las herramientas de cómputo. Compañías como Intel, IBM, TI, HP y Motorola utilizan estos modelos para el diseño de sus productos. La versión más moderna es la BSIM4, la cual modela los efectos físicos de los transistores MOSFET por debajo del régimen de los  $100nm$ .
- *Modelo EKV*: este modelo propuesto por Enz, Krummenacher y Vittoz (ver [5]) tiene mayor precisión respecto al modelo de Shichman-Hodges y no es tan complejo como los modelos BSIM que incluso permite ser utilizado en el diseño a mano de circuitos con relativa precisión. Este modelo representa la base del modelado de transistores MOS dado por Tsvividis [17].

## 4.5.2 Mentor Graphics

En el ámbito de las herramientas automatizadas de diseño electrónico (EDA por sus siglas en inglés), Mentor Graphics, Synopsis y Cadence son las más utilizadas. Una herramienta EDA es un software especializado para el diseño de circuitos integrados y circuitos impresos. Usualmente son ambientes de desarrollo completos que involucran una serie de programas con funciones más específicas. Así por ejemplo, algunos programas se encargan de aspectos propios del diseño, otros sobre la verificación de los circuitos, simulación y visualización de resultados, etc.

ICstudio es el ambiente de desarrollo de circuitos integrados (IC Design) de Mentor Graphics. En la figura 4.9 se muestra la relación entre los programas que forman este ambiente, los cuales se utilizan según la etapa del proceso de diseño.



**Figura 4.9:** Estructura general del flujo de diseño de Mentor Graphics, obtenida de [8].

En [12] se brinda una descripción amplia de como está compuesta la interfaz principal del ICstudio, a continuación se presenta una reseña de las herramientas del ICstudio que serán utilizadas a lo largo del proyecto.

- *Design Architect-IC (DA-IC)*: este programa se ejecuta al crear una vista esquemática y permite la creación de circuitos a nivel de componentes. Sus funcionalidades permiten instanciar módulos previamente diseñados, utilizar componentes básicos (fuentes, elementos pasivos y activos, etc) y modificar las propiedades de estos. Desde este programa, mediante la opción *Simulation* se ingresa al ambiente de simulación donde pueden configurarse las señales a las que se les desea hacer las pruebas y qué tipo de análisis se requiere, entre varias opciones adicionales.
- *Eldo Simulator y EZwave waveform viewer*: El Eldo es un programa de simulación que emplea el lenguaje *SPICE* para obtener una base de datos de los análisis configurados. Esta utilidad se encuentra integrada dentro del ambiente de desarrollo. EZwave es una GUI (interfaz gráfica de usuario, por sus siglas en inglés) que permite la visualización de las bases de datos de formas de ondas como las obtenidas del

Eldo de análisis analógicos, digitales o de señal mixta. El EZwave también permite obtener valores importantes de una curva (máximos, mínimos, valor rms, pendiente, etc) y hacer operaciones matemáticas con las gráficas mostradas.

- *ICstation Layout*: permite el trazado y edición de *layouts*. Integra las funcionalidades del DA-IC ya que a partir de los esquemáticos el ICstation es capaz de trazar los componentes de acuerdo a las propiedades y dimensiones configuradas e incluso trazar las conexiones de manera automática (aRoute), semiautomática (trazado hecho por el usuario con la guía del iRoute) o totalmente personalizado de forma manual.
- *Calibre IC Verification*: permite verificar el correcto funcionamiento del *layout* confeccionado. Esta verificación se da en tres niveles, cada uno con su propia aplicación. El primer paso es el chequeo de las reglas de diseño (Design Rule Checking o DRC, por sus siglas en inglés), el cual se consiste en revisar que el *layout* cumpla con las reglas que se definen para un proceso de fabricación específico. Estas reglas establecen el tamaño mínimo de las capas, la separación entre trazos de material idéntico, el traslape de materiales, etc; y permiten que el *layout* generado se adapte a los estándares industriales para que efectivamente se pueda construir el circuito integrado según sus especificaciones.

La segunda verificación es revisar la concordancia entre el *layout* y su esquemático (*Layout Versus Schematic verification*, o LVS, por sus siglas en inglés). Esta revisión permite corroborar esencialmente tres cosas: si las conexiones entre los dispositivos son correctas, si se colocaron todos los componentes que contiene el esquemático original y si se colocaron correctamente todos los pines.

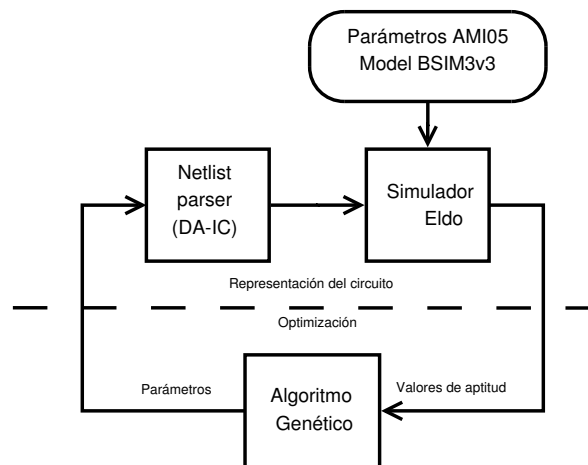
Finalmente se debe hacer una extracción *post-layout* de parásitos (PEX, por sus siglas en inglés), la cual genera un *netlist* que se utiliza para realizar simulaciones *post-layout* que representarían con mayor fidelidad el comportamiento esperado del circuito integrado una vez este sea fabricado. El *netlist* o lista de nodos es un archivo *SPICE* que debe asociarse nuevamente a la vista símbolo para que en los bancos de prueba pueda utilizarse este modelo del circuito en lugar del esquemático original.

## 4.6 Software de optimización automática

Pereira, Alvarado y Krautschneider en [14] muestran una herramienta de optimización multiobjetivos basada en el uso de algoritmos genéticos para compuertas MCML (MOS Current Mode Logic circuits, por sus siglas en inglés). Nicaragua en [12] presenta una explicación clara sobre el algoritmo PESA y el frente de Pareto utilizados en esta herramienta. El empleo de algoritmos genéticos permite que la herramienta no necesite conocer

la topología del circuito, sino un conjunto de valores de aptitud que representen variables dentro de ese circuito (consumo de potencia, *slew rate*, *offset* sistemático, respuesta ante algún estímulo, etc.). Dicha herramienta está escrita en C++.

El funcionamiento de la herramienta comprende dos procesos independientes: representación del circuito y optimización. El esquema de la figura 4.10 muestra ambos procesos y los diferentes componentes de cada uno. Para la representación del circuito se utilizan el *Design Architect*, que es donde se diseña el circuito y el simulador ELDO, para obtener el comportamiento del mismo. Se utiliza BSIM3v3 y los parámetros del proceso para modelar los transistores.



**Figura 4.10:** Arquitectura de la herramienta de optimización de circuitos.

El proceso de optimización contempla la implementación propia del algoritmo genético (PESA), este algoritmo utiliza valores de aptitud determinados por el usuario para generar un conjunto de parámetros que son realimentados al diseño para una nueva simulación del circuito y así generar un ciclo determinado por el número de iteraciones que se deseen realizar.

Emplear esta herramienta de optimización automática de circuitos permite complementar las labores de ajuste y verificación de circuitos. La herramienta no sustituye el proceso de diseño pues se requiere de un circuito inicial para luego generar un conjunto de valores optimizados según el frente de Pareto correspondiente. La tarea de elegir el mejor conjunto de parámetros sigue siendo del diseñador, debe tomar en cuenta las especificaciones que requiere cumplir, y para esto ya cuenta con un número finito de posibilidades óptimas para la elección.

## 4.7 Algunos principios sobre diseño de *layout*

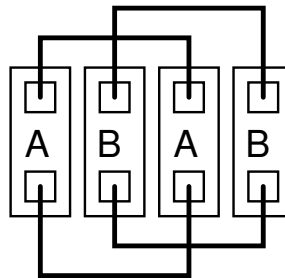
### 4.7.1 Anillos de protección

Cualquier circuito de precisión es susceptible a la introducción de ruido por el sustrato, este ruido se presenta porque los circuitos adyacentes se inyectan corriente unos a otros. La forma más simple de reducir este ruido es colocar un anillo de contactos tipo p al sustrato al rededor de los transistores, este contacto a sustrato remueve la inyección de portadores y mantiene el sustrato, idealmente, conectado a un potencia fijo (GND).

Además estos anillos, protegen contra el latch-up o posible cortocircuito entre VDD y tierra, producto del disparo de la estructura, casi de tiristor, que se forma entre los transistores bipolares parásitos inherentes a una estructura CMOS (ver [16]).

### 4.7.2 *Layout* interdigitado

Parear dos distintos transistores puede hacerse usando el *layout* mostrado en la figura 4.11, se dice que estos transistores están interdigitados. Gradientes en el proceso de fabricación se reparten entre los dos transistores más uniformemente. Nótese que la orientación de los transistores es consistente entre las celdas unitarias (en este caso verticales). También, cada transistor tiene esencialmente los mismos parásitos.

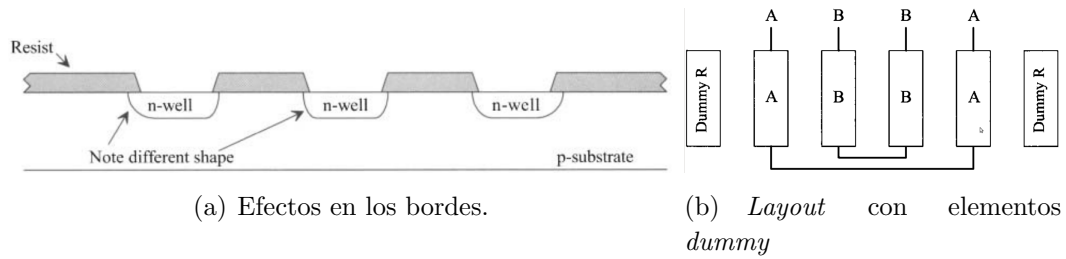


**Figura 4.11:** *Layout* de transistores interdigitados.

### 4.7.3 Elementos falsos (*dummy*)

Otra técnica que mejora el *matching* entre dos o más elementos es el uso de elementos falsos, considere la vista transversal de la figura 4.12a. El aporte final de la difusión debajo de la resistencia, en los elementos de los bordes es diferente que en los elementos que se encuentran dentro del arreglo. Este es el resultado de las diferentes concentraciones de dopante en diferentes puntos de la superficie (durante el proceso de difusión).

Estas diferencias resultan en desapareamiento entre los elementos unitarios. Para compensar este efecto, se agregan elementos falsos (*dummy*, ver figura 4.12b) en las configuración interdigitada o la de centroide común. Los elementos *dummy* no tienen ningún comportamiento eléctrico. Estos simplemente aseguran que los elementos unitarios de configuraciones pareadas vean las mismas estructuras adyacentes. Normalmente, estos elementos *dummy* se conectan a tierra o VDD en lugar de dejar sus terminales flotantes.



**Figura 4.12:** Representación del uso del elementos falsos, tomado de [4].

# Capítulo 5

## Resultados y análisis del diseño de la unidad de cálculo

Al avanzar en el desarrollo del proyecto, se volvió claro que el primer objetivo específico debía replantearse, pues este no aclaraba la necesidad de disminuir el *offset* sistemático del comparador, con esto, reducir a su vez el error introducido en la estimación de energía, por esta razón debe entenderse de aquí en adelante que el objetivo a cumplir es el siguiente:

- Diseñar un comparador que presente un *offset* sistemático menor a  $1mV$  con un trazado que permita minimizar el *offset* aleatorio introducido por la variabilidad del proceso de fabricación.

### 5.1 Selección del comparador

La propuesta inicial de solución se basa en el diseño de un comparador de tensión que presente mejoras en términos de *offset* sistemático y consumo de potencia respecto al diseñado en [6]. Para esto se evalúan varios esquemas de circuito para seleccionar el que cuente con las características que más se apeguen a los requerimientos.

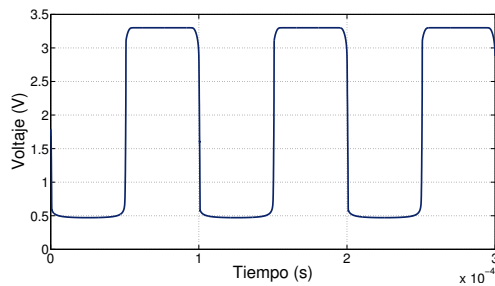
Debido a que este comparador se utiliza para activar o desactivar un par de llaves de paso, otra característica importante en su diseño es el valor de *slew rate*, esto porque entre más rápido el comparador, más exacta será la rectificación, contrasta con el hecho de que entre más rápido, mayor será el consumo de potencia y habrán más problemas de transferencia de carga.

En (4.22) se presenta la expresión necesaria para determinar el *slew rate* de salida mínimo necesario en la configuración seleccionada, este será igual al *slew rate* máximo de la señal aplicada a la entrada y no será fuertemente afectado por la carga conectada a la salida

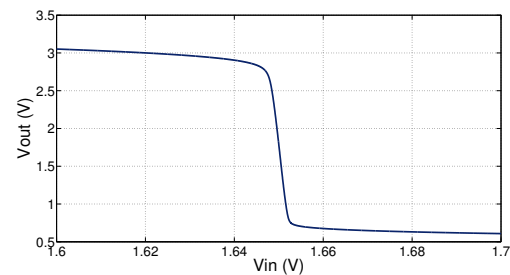
ya que esta va a ser la capacitancia equivalente de la compuerta de los transistores de las llaves de paso; esta equivalencia se elige con el fin de evitar retardo en el comparador debido a la velocidad de conmutación del mismo. Dado que se diseña el comparador para funcionar con una señal senoidal de entrada de  $500mV$  de amplitud con una frecuencia de  $10kHz$  el valor mínimo de *slew rate* buscado en este diseño será de  $31,5V/ms$ .

### 5.1.1 Comparador diferencial

Las simulaciones de la configuración del circuito de la figura 4.3 se presentan en la figura 5.1, donde se aprecian la respuesta transitoria y CD para una señal senoidal de entrada en la terminal  $Vp$  a comparar con una tensión de referencia de  $1,65V (VDD/2)$  en la terminal  $Vn$ .



(a) Respuesta transitoria.



(b) Respuesta en CD de la tensión de salida  $V_{out}$  versus la tensión de entrada  $V_{in}$ .

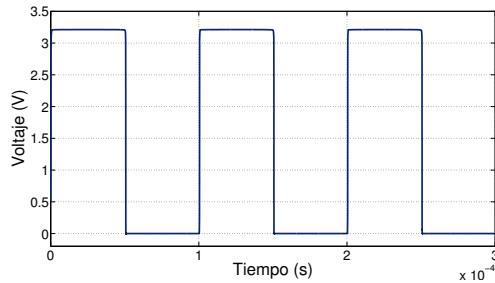
**Figura 5.1:** Salida del comparador diferencial para una señal senoidal de entrada de  $0,15V$  de amplitud y frecuencia  $10kHz$ .

Nótese que la configuración diferencial es inversora. Para las dimensiones de prueba se obtuvo un consumo de potencia de  $14\mu W$ .

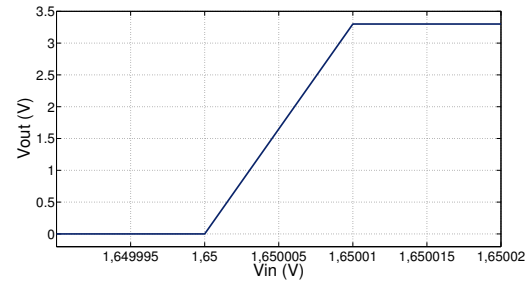
### 5.1.2 Comparador de dos etapas

En la figura 5.2 se muestra los resultados de la simulación transitoria y CD del circuito comparador de dos etapas de la figura 4.4 esta configuración presenta un *offset* menor a  $10\mu V$  y un comportamiento transitorio que cubre las características deseadas como lo son un ciclo de trabajo simétrico (cercano a 50%-50%) y una alta tasa de cambio entre los dos niveles de salida deseados; además se obtuvo un consumo de potencia de  $20\mu W$ .





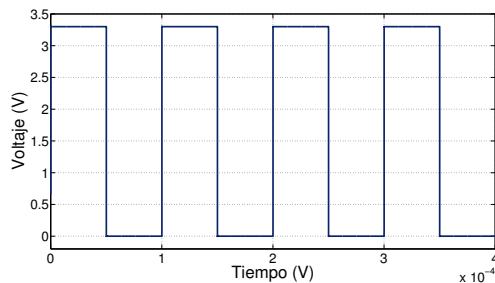
(a) Respuesta Transitoria

(b) Respuesta en CD de la tensión de salida  $V_{out}$  versus la tensión de entrada  $V_{in}$ .

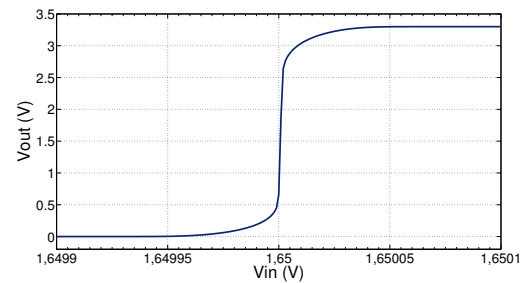
**Figura 5.2:** Salida del comparador de dos etapas para una señal senoidal de entrada de 0, 15V de amplitud y frecuencia 10kHz.

### 5.1.3 Comparador diferencial con circuito de decisión y buffer de salida

Para la tercera opción de comparador se muestra en la figura 5.3 su comportamiento transitorio y su respuesta en CD, en las cuales se puede apreciar una simetría en el ciclo de trabajo, una alta tasa de cambio entre alto y bajo (y viceversa), además de un reducido *offset* sistemático; el resumen de estas características se muestran en la tabla 5.1.



(a) Respuesta Transitoria

(b) Respuesta en CD de la tensión de salida  $V_{out}$  versus la tensión de entrada  $V_{in}$ .

**Figura 5.3:** Salida del comparador diferencial con circuito de decisión y *buffer* de salida para una señal senoidal de entrada de 0, 15V de amplitud y frecuencia 10kHz.

**Tabla 5.1:** Características obtenidas de la simulación del comparador con circuito de decisión y buffer de salida, para una señal de entrada de 0, 15V a 10kHz

Offset ( $nV$ )	Ciclo de Trabajo (%)	Consumo ( $\mu W$ )	Slew Rate $V/\mu s$
815	49,99	412,2	450

## 5.2 Análisis de los resultados de los distintos esquemas de comparadores

Es importante tomar en cuenta que el *slew rate* mínimo requerido para las especificaciones de diseño es de  $31,5V/ms$  por lo que todas las alternativas evaluadas de comparadores cumplen con creces este requisito.

Según los resultados de las tres subsecciones anteriores se evidencia que el comparador con circuito de decisión es el mejor respecto al parámetro de *offset* sistemático con únicamente  $815nV$ , tiene un comportamiento similar a las otras dos opciones en cuanto a ciclo de trabajo y *slew rate*, presenta un elevado consumo de potencia ( $412\mu W$ ) comparado con las otras dos opciones con  $20\mu W$ .

Si bien es cierto el comparador diferencial presenta el menor consumo de potencia, este tiene limitaciones de ganancia y la tensión del comparador no alcanza los valores de alimentación tanto en su respuesta transitoria como en su comportamiento en CD.

Por otra parte, el comparador de dos etapas presenta un *offset* sistemático de  $10\mu V$ , no tan bueno como el del comparador con circuito de decisión, pero lo suficientemente bajo para cumplir con la necesidades dentro de la unidad cálculo y con un costo en potencia mucho menor. Por estas razones se selecciona al comparador de dos etapas como la configuración a ser optimizada.

## 5.3 Diseño inicial del comparador e implementación de la herramienta de optimización

El dimensionamiento de circuitos analógicos tiene la particularidad que al variar alguno de sus parámetros se afecta otra de sus características. Por ejemplo, al intentar disminuir el consumo de potencia se puede afectar negativamente el *offset* sistemático o el ciclo de trabajo del comparador. Este fuerte ligamen entre parámetros y aptitudes hace necesario iterar varias veces el proceso de diseño hasta encontrar un compromiso óptimo entre todos los requisitos; es en esta situación donde se hace de gran importancia una herramienta de optimización como la diseñada en [14] y es por esto que la misma se utiliza en el diseño del comparador que forma parte del rectificador en la unidad de cálculo de energía.

Para el diseño inicial del comparador se utilizan los parámetros con los cuales se obtuvieron las simulaciones de la sección anterior, que se muestran en la tabla 5.2 según la nomenclatura del circuito de la figura 4.4.

**Tabla 5.2:** Parámetros iniciales del comparador seleccionado para la optimización, para una corriente de polarización de  $20\mu A$

Transistor	Dimensión $W/L$ ( $\mu m$ )
M1	20/10
M2	20/10
M3	10/10
M4	40/10
M5	10/10

### 5.3.1 Parametrización y simulación del comparador

El objetivo de contar con una configuración inicial de comparador es para simularlo y obtener un *netlist* en el cual las características principales se encuentren representadas por medio de variables con el fin de utilizar ese *netlist* en múltiples corridas y así obtener un conjunto de comparadores que cumplan con los requerimientos.

El *Design Architect* de Mentor Graphics brinda la facilidad de incorporarle parámetros a los circuitos a simular para luego ser sustituidos por valores numéricos. Las variables introducidas en el esquema seleccionado son  $L1, W1, L2, W2, L3, W3, L4, W4, L5$  y  $W5$ , para representar el largo y ancho de cada uno de los transistores del circuito de la figura 4.4. Además se incluye  $I_b$ , la corriente de polarización, debido a que es uno de los parámetros más importantes en términos de consumo y velocidad del circuito.

Luego de una simulación se genera un archivo que contiene todos los datos para generar la curvas de las características que se desean observar del circuito; y se obtiene todo lo necesario para medir los valores de aptitud.

### 5.3.2 Modificaciones a la herramienta de optimización

Las modificaciones a la herramienta de optimización se dividen principalmente en dos aspectos: modificaciones en el programa que sirve de interfaz entre los archivos de simulación y el programa que ejecuta el algoritmo de optimización, y modificaciones de clases y constructores propios del algoritmo genético. Los principales cambios realizados en el primer aspecto son los siguientes:

- *Definición de variables:* de acuerdo a los parámetros introducidos en la simulación se define un arreglo que almacene cada uno de los parámetros asignados por el optimizador.

- *Rutinas de escritura de parámetros y lectura de datos:* el programa es capaz de escribir nuevos valores de parámetros para realizar una nueva simulación y luego de concluida, debe ser capaz de leer la base de datos que genera información sobre la corriente y tensión de las distintas etapas del circuito, que se almacenan para luego calcular los valores de aptitud. Además, en el registro de simulación se debe hacer una lectura del consumo de potencia que se genera automáticamente con la simulación y es una medida de la corriente total entregada por la fuente de alimentación.
- *Cálculo de los valores de aptitud:* los cuatro valores de aptitud para el comparador se presentan en la tabla 5.3, el *slew rate* se calcula según

$$SR_{(i)} = dV_{out(i)} = \frac{V_{out(i+1)} - V_{out(i-1)}}{2d} \quad (5.1)$$

donde  $i$  es la posición en la que se evalúa la derivada,  $V_{out(i-1)}$  y  $V_{out(i+1)}$  son los valores de tensión anterior y posterior al evaluado, y  $d$  es el tiempo entre dos muestras que según lo configurado en el ambiente de simulación es de  $10\mu V$ . Se obtiene la máxima tasa de cambio de bajo a alto y viceversa y de esos dos valores se escoge el menor como el valor de *slew rate* a reportar para valor de aptitud, esto por ser el peor de los casos.

El valor de corriente de polarización y el consumo de potencia se obtienen directamente del archivo de simulación. Finalmente, el *offset* se obtiene encontrando el valor de la tensión de entrada del comportamiento en CD para el cual la tensión de salida es igual a la referencia (en este caso  $VDD/2$ ) y restándoselo a la referencia.

**Tabla 5.3:** Valores de aptitud para el comparador.

Especificación	Valor de aptitud
<i>slew rate</i>	$\frac{dV_{out}}{dt}$
I <sub>b</sub>	$\frac{1}{I_b}$
consumo	$\frac{1}{consumo}$
<i>offset</i>	$\frac{1}{offset}$

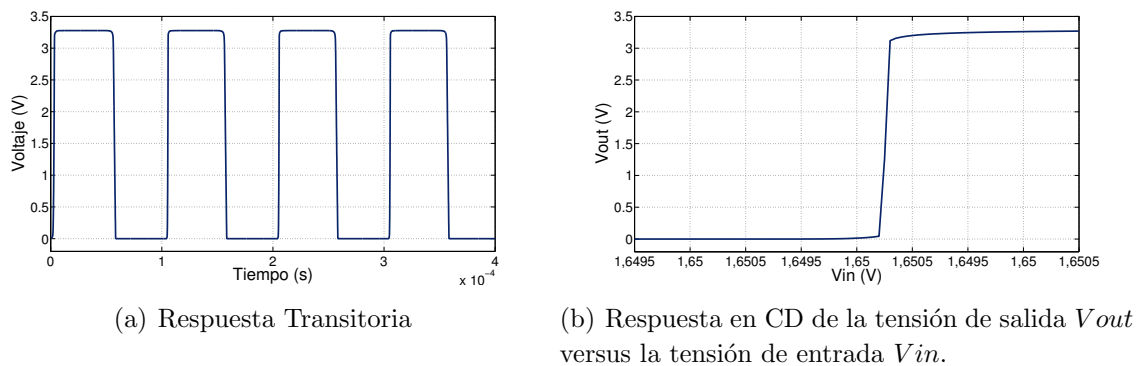
El algoritmo de optimización busca maximizar los parámetros de aptitud, las funciones utilizadas deben ser crecientes, en los casos que se desea minimizar una característica se debe emplear el inverso del valor de aptitud.

La segunda parte de la modificaciones consistió en la adaptación de clases y constructores propios del algoritmo genético de optimización, para adaptarlos a los parámetros

específicos del circuito comparador. Mediante el algoritmo PESA, implementado a partir de la librería LTI-LIB (ver [14]), se obtiene el frente de Pareto y las parametrizaciones o individuos no dominados y se almacenan en un archivo de texto con aquellas combinaciones de parámetros que representan las mejores opciones del conjunto total de datos.

## 5.4 Pruebas de preselección de resultados

Luego de correr la optimización se obtuvo un comparador que cumple fielmente con las especificaciones de diseño requeridas y se resumen en la tabla 5.4 los resultados de la simulación tanto transitoria como CD se muestran en la figura 5.4.



**Figura 5.4:** Salida del comparador con los parámetros obtenidos de la optimización, para una señal senoidal de entrada de  $0,15V$  de amplitud y frecuencia  $10kHz$ .

**Tabla 5.4:** Características del comparador no apilado óptimo obtenido con la optimización.

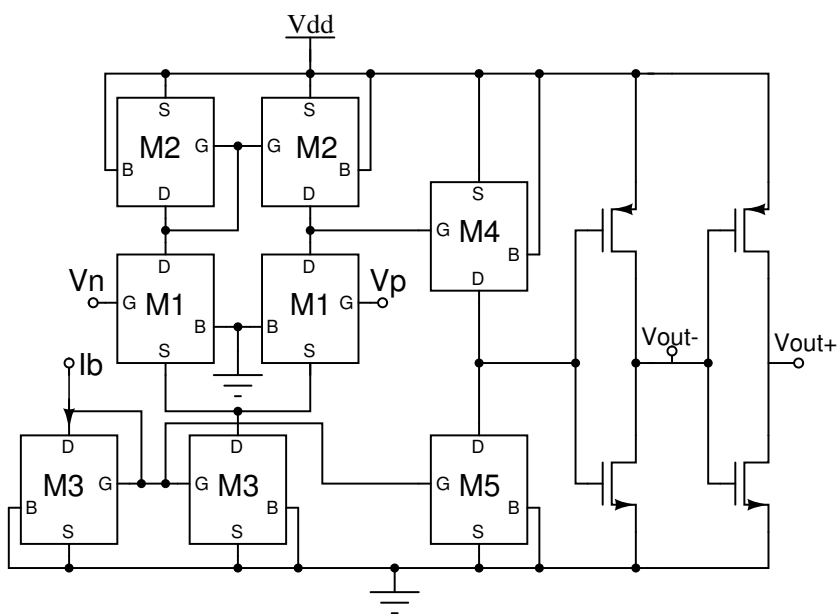
Offset Sistemático ( $\mu V$ )	Corriente de polarización $I_b$ (nA)	Consumo (nA) @3.3V
52,1	16,8	376,9

El comparador obtenido después de la optimización no es implementado debido a que está compuesto de transistores simples y esto es una práctica inadecuada ya que la variabilidad del proceso de fabricación haría incrementarse el *offset* aleatorio. Es por esta razón que se utilizan los parámetros obtenidos de esta primera optimización para construir un nuevo comparador que se encuentre compuesto por bloques de transistores, de manera tal que durante el proceso de elaboración de *layout* se puedan aplicar técnicas como las detalladas en la sección 4.7 para disminuir el *offset* aleatorio introducido en el proceso de fabricación.

Además, al diseño se le agrega dos inversores a la salida del circuito de la figura 4.4 con el fin de obtener una salida dual y aumentar el *slew rate* de salida del comparador según lo propone [2].

## 5.5 Apilamiento de transistores y optimización

Cada uno de los transistores del circuito de la figura 4.4 se sustituyen por bloques de arreglos en serie o paralelo con la intención de poder intercalar cada uno ellos de manera apilada durante el proceso de elaboración de *layout*, la configuración a utilizar se presenta en la figura 5.5.

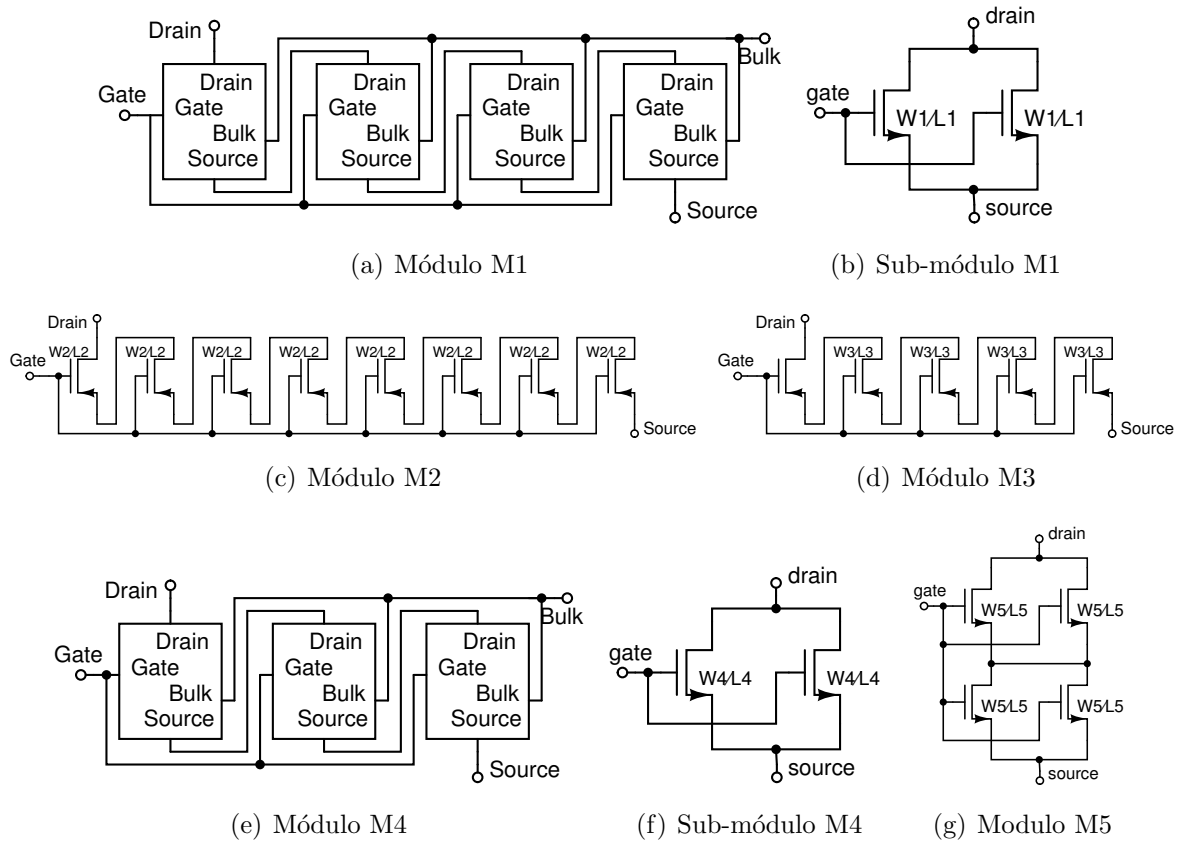


**Figura 5.5:** Esquema de comparador de dos etapas apilado, los transistores de los inversores son 3/0,6 para los tipo *p* y 1,8/0,6 para los tipo *n*.

La figura 5.6 muestra la composición de cada uno de los bloques del comparador apilado con los respectivos parámetros que se introducen dentro de la herramienta de optimización.

La optimización del módulo M3 se realizó conformado por cinco bloques en serie de tres transistores en paralelo, pero más adelante se analizan los problemas encontrados con esta configuración y la necesidad de utilizar el circuito tal y como se muestra en la figura 5.6.

Otra funcionalidad que se le programó a la herramienta de optimización fue un detector de nivel, para forzar a la herramienta a incluir dentro del grupo de individuos no dominados únicamente configuraciones que presenten un comportamiento similar al de una señal cuadrada en la tensión de salida. Muchas de las configuraciones probadas por la herramienta presentan un consumo de potencia muy bajo (en el orden de  $10^{-12}W$ ) y se



**Figura 5.6:** Estructura de los bloques del comparador apilado. Se utilizan configuraciones serie-paralelo para aprovechar las ventajas en términos de  $r_o$  y de apareamiento descritas en [3].

incluían dentro de las mejores opciones sin presentar una correcta respuesta en transitorio o CD.

El problema antes descrito eleva el número de conjuntos de parámetros a evaluar, incrementado la cantidad de simulaciones necesarias para demostrar el correcto funcionamiento de los comparadores encontrados por la herramienta.

## 5.6 Preselección del comparador final

Para la preselección se utilizó un criterio de discriminación, basado en el cumplimiento de los requerimientos del comparador. Primeramente se seleccionaron los casos cuyo *offset* sistemático fuera menor a  $1mV$ , dada la mejoría que la herramienta introdujo en este valor de aptitud, se redujo el criterio de selección a aquellas configuraciones con menos de  $50\mu V$  de *offset* sistemático.

El segundo criterio de selección es una combinación entre la corriente de polarización y el consumo de potencia ya que estos están ligados. El valor de *slew rate* no fue necesario utilizarlo como criterio de selección debido a que todas las configuraciones presentaban características semejantes (cerca de  $400V/\mu s$ ) y mucho mayores (en tres ordenes de magnitud) que el valor mínimo necesario de  $31,5V/ms$ .

Además, se introdujo un tercer criterio de selección que es el ciclo de trabajo del comparador, la asimetría de la tensión de salida del comparador produce diferencia en la tensión pico de dos semi-ciclos consecutivos de la salida del rectificador. Este criterio se volvió, junto con el *offset* sistemático, el más determinante en la selección de la configuración final ya que la eficiencia de la detección de disparos se mejora con la optimización de estos parámetros.

### 5.6.1 Simulaciones

Se simularon varias de las configuraciones que la herramienta encontró como óptimas y dentro de ellas se escogieron la cuatro mejores según las necesidades planteadas, el resumen de las características de estos comparadores se muestra en la tabla 5.5.

**Tabla 5.5:** Características de los mejores comparadores apilados obtenidos con la optimización.

Configuración	Ciclo de trabajo (%)	Offset ( $\mu V$ )	Consumo (nA) @3,3V
1	48,98	25	34
2	48,84	35	28
3	49,05	25	30
4	48,90	45	28

### 5.6.2 Selección del comparador óptimo

Como se mencionó al inicio de esta sección el *offset* sistemático y el ciclo de trabajo son los parámetros de más peso para la selección del comparador, y es por esta razón que se selecciona la tercera configuración como la que se implemente en los rectificadores que forman parte de la unidad de cálculo. El resumen de las características para este se presentan en la tabla 5.6.

Los valores de los parámetros obtenidos por el optimizador para la configuración seleccionada se presentan en la tabla 5.7. Hay que recordar que estos son los valores del largo y



**Tabla 5.6:** Características del comparador apilado seleccionado de la optimización.

Offset ( $\mu\text{V}$ )	Ciclo de Trabajo (%)	Ib (nA)	Consumo (nA) @3,3V	slew rate V/ $\mu\text{s}$
25	49,05	14,5	30	411,5

ancho del transistor unitario que conforma cada bloque de la figura 5.5, junto con el valor de la corriente de polarización del comparador.

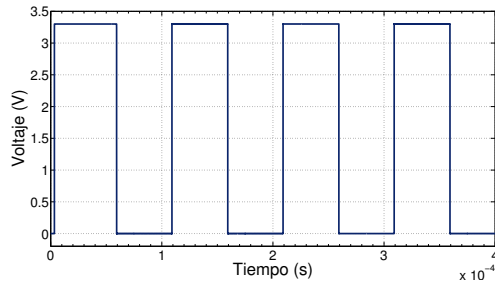
**Tabla 5.7:** Parámetros del comparador apilado seleccionado de la optimización.

Parámetro	Valor
L1	9,6 $\mu\text{m}$
W1	3,7 $\mu\text{m}$
L2	6,4 $\mu\text{m}$
W2	3,2 $\mu\text{m}$
L3	9,6 $\mu\text{m}$
W3	4,1 $\mu\text{m}$
L4	1,2 $\mu\text{m}$
W4	0,8 $\mu\text{m}$
L5	6,1 $\mu\text{m}$
W5	4,1 $\mu\text{m}$
Ib	14,5 nA

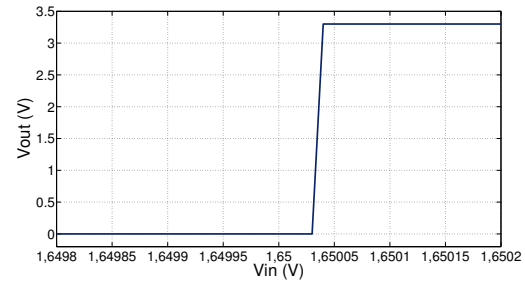
En la figura 5.7 se muestra la respuesta transitoria y en CD del comparador seleccionado, en estas gráficas se observa la simetría de los semi-ciclos positivos y negativos, con excepción el primer ciclo que introduce un *delay* de 11 $\mu\text{s}$  en la tensión de salida; este *delay* tiene repercusiones que se analizarán en apartado 5.8.1 junto con sus efectos en la salida del rectificador.

## 5.7 Análisis de los resultados del proceso de optimización

Como ya se mencionó, el diseño de circuitos integrados analógicos es un proceso iterativo y lento pues las ecuaciones que describen el comportamiento presentan una gran dependencia de los parámetros del circuito en todas sus características y hace que al intentar un ajuste de una característica se afecte otra y se deba repetir los cálculos una y otra



(a) Respuesta Transitoria

(b) Respuesta en CD de la tensión de salida  $V_{out}$  versus la tensión de entrada  $V_{in}$ .

**Figura 5.7:** Salida del comparador seleccionado, para una señal senoidal de entrada de 0,15 V de amplitud y frecuencia  $10kHz$ .

vez para llegar a un balance de compromiso entre todas las especificaciones. Si a esto se le suma el hecho de que los modelos que se utilizan en el diseño de circuitos analógicos CMOS son complejos, se debe invertir mucho esfuerzo y tiempo en la obtención de un conjunto de parámetros válido que cumpla con las necesidades.

Dadas las dificultades que el diseño presenta, es de gran ayuda contar con una herramienta que no solo permita iniciar simulaciones automáticamente, sino que también introduzca los valores numéricos de cada uno de los parámetros de los cuales depende el comportamiento del circuito. Otro aspecto importante es que los parámetros que se introduzcan en la simulación sean obtenidos de un proceso evolutivo para que así se logren resultados cada vez más satisfactorios; estas facilidades son las que se obtienen al utilizar la herramienta desarrollada en [14].

Es importante que, además de hacer las modificaciones necesarias para medir o calcular las características deseadas, se desarrollen las rutinas necesarias para evaluar el comportamiento correcto del circuito. En el caso particular del comparador se desarrolló el código necesario para detectar una onda cuadrada en la tensión de salida.

Un punto importante a tomar en cuenta es que debe haber una limitación en las restricciones que se le pongan al comportamiento del circuito, esto porque si se ponen fronteras para obtener un comportamiento muy cercano al ideal las configuraciones que cumplan podrían ser nulas o muy escasas y en este caso el algoritmo nunca encontraría un individuo base con el cual empezar a evolucionar para maximizar (o minimizar según sea el caso) las características planteadas en las especificaciones de diseño.

Además, es de gran importancia la cantidad de iteraciones en que la herramienta va a repetir el ciclo de evolución, para así asegurarse que no se escojan muy pocas iteraciones y no se le de la oportunidad de evolucionar a un punto donde se obtengan resultados satisfactorios; o que por el contrario, se ponga a correr tantas veces que el tiempo para

obtener un resultado que cumpla con las expectativas sea muy grande.

Durante el desarrollo de este proyecto se corrieron optimizaciones de 10, 100, 1000, 2000, 5000, 20000 y 50000 iteraciones; los resultados satisfactorios se obtuvieron con 2000 y 5000 iteraciones quedando demostrado lo planteado en el párrafo anterior. Los resultados de estas optimizaciones se detallan en las secciones 5.3, 5.4, 5.5 y 5.6, en las cuales se obtuvo un comparador con un *offset* sistemático de  $25\mu V$ , un ciclo de trabajo de 49,05%, un *slew rate* de  $411V/\mu s$  y un consumo de potencia de  $100nW$  con una corriente de polarización de  $14,5nA$ .

Con la configuración obtenida de la optimización del comparador se cumple con creces el objetivo de obtener un *offset* sistemático menor de  $1mV$  en el comparador, reduciéndose un 97,5% de lo planteado. Además, se obtuvo un bajo consumo de potencia, el impacto en el consumo de la unidad de cálculo de energía se analizará más adelante. Respecto al *slew rate* se obtuvo un aumento de más de 12500 veces el valor mínimo planteado en las especificaciones de diseño.

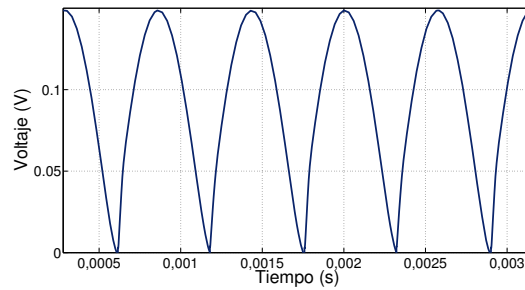
## 5.8 Implementación de la unidad de cálculo completa

En la presente sección se resume el comportamiento de las distintas etapas de la unidad de cálculo que se muestran en la figura 1.2 y el comportamiento que genera el comparador obtenido de la optimización en cada una de estas etapas.

### 5.8.1 Rectificador

El comparador de dos etapas con salida dual se incorpora en el circuito rectificador de la figura 1.5 para que estas tensiones activen y desactiven las llaves de paso para lograr la rectificación de corriente. Para obtener la salida de la rectificación como una tensión se utilizó un OTA con una transconductancia de  $64nS$  para la conversión de corriente a tensión. Los resultados de esta simulación se muestra en la figura 5.8 y el resumen de la características obtenidas se brindan en la tabla 5.8.

Los amplificadores de transconductancia utilizados en el rectificador son los diseñados en [12], los cuales ya están optimizados en términos de rango lineal y consumo de potencia; a estos hubo que hacerle una leve modificación para obtener una salida dual de corriente.



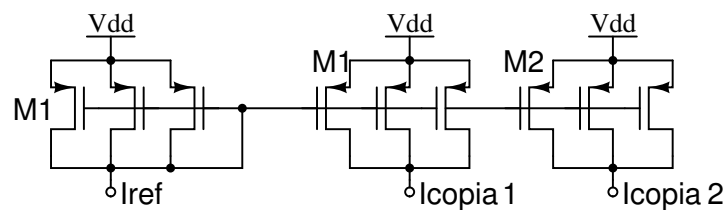
**Figura 5.8:** Simulación del rectificador con salida en tensión, para una entrada de  $0,15V$  a  $875Hz$ , la línea punteada representa la curva ideal esperada.

**Tabla 5.8:** Características del rectificador completo.

<i>Offset</i> ( $\mu V$ )	<i>Consumo</i> ( $nA$ ) @3, 3V
25	231

### 5.8.2 Banco de copiadores de corriente para la polarización

El bloque de copiado de corriente se construyó mediante un espejo de corriente PMOS según [6], hecho de tres transistores de  $3/20$  en paralelo para cada fuente de corriente necesaria para los OTAs, y tres transistores en paralelo de  $2, 8/24, 9$  para las corrientes de los comparadores, (ver 5.9). La diferencia en el tamaño de los transistores se debe a la necesidad de obtener dos valores distintos de corriente a partir de una única fuente de entrada, los resultados de la simulación en esquemático de esta configuración se muestra en la tabla 5.9.



**Figura 5.9:** Esquema del circuito coprador de corriente. Los transistores M1 son de  $3/20$  mientras que los M2 son de  $2, 8/24, 9$ .

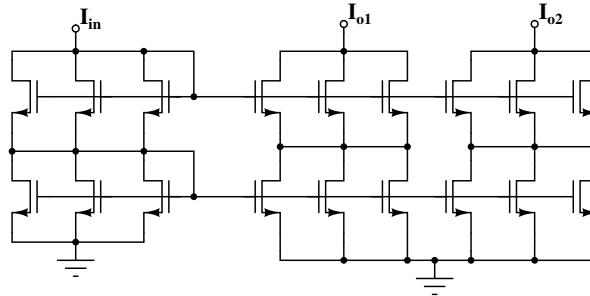
### 5.8.3 Espejo cascado para la suma de corrientes

La suma de energías se hizo mediante espejos cascado (ver figura 5.10) a la salida de cada rectificador, unidos en un mismo punto. Un OTA de  $64nS$  se usó como conver-

**Tabla 5.9:** Copia de corriente para la polarización de los comparadores y los OTAs.

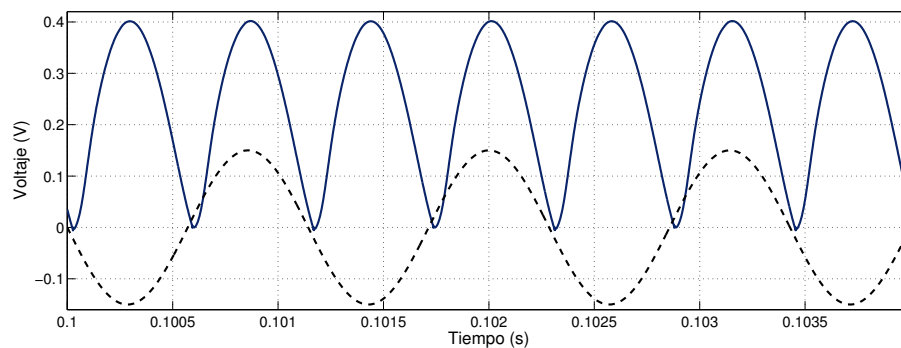
$I_{ref}$ (nA)	$I_{copia1}$ (nA)	$I_{copia2}$ (nA)
20	20,2	14,5

El convertidor corriente-tensión la relación de transconductancia mantiene las señales dentro de los rangos dinámicos de los transconductores sin exceder su rango lineal.

**Figura 5.10:** Esquema del circuito de copiadore cascado utilizado para la suma de corrientes, todos los transistores de  $3/8$ .

### 5.8.4 Resultados de la simulación de la unidad de cálculo completa

La figura 5.11 muestra la respuesta transitoria de la unidad de cálculo completa ante tres señales senoidales de entrada idénticas, esto permite observar la simetría entre los semiciclos de la señal rectificadora de salida, indicador de la reducción del *offset* sistemático.

**Figura 5.11:** Simulación en esquemático de la tensión de salida de la unidad de cálculo completa, para tres entradas senoidales idénticas de 0.15 V a 815 Hz.

Las especificaciones medidas para la unidad de cálculo completa se presentan en la tabla 5.10, donde se presentan los dos valores que permiten corroborar el cumplimiento de los objetivos.

**Tabla 5.10:** Características de la unidad de cálculo completa obtenidas de la simulación del esquemático, para tres entradas senoidales idénticas de 0,15V a 815Hz.

Alimentación (V)	Offset (uV)	Consumo (nA) @Ib =14,5 nA
3,3	332	587,9
4	331,8	596,1

## 5.9 Análisis de los resultados de la implementación en esquemático de la unidad de cálculo

El comparador obtenido de la optimización se incorporó en el rectificador de la figura 1.5 junto con el transconductor de  $64nS$  diseñado en [12] este comparador tiene un *delay* de  $11\mu s$  que en las pruebas realizadas con la señal de entrada con frecuencia de  $10kHz$  representa 11% del periodo, introduciendo distorsión en la forma de onda de la señal rectificadora.

Cuando se prueba el rectificador con una señal de  $875Hz$  (frecuencia mayor de los tres coeficientes que proporciona el filtro), el *delay* de  $11\mu s$  es menor que el 1% del periodo de la señal, por lo tanto la distorsión introducida en esta etapa es mínima y la tensión de salida es una copia rectificadora de la señal de entrada tal como se muestra en la figura 5.8. Aquí, el *offset* sistemático es de  $25\mu V$  con un consumo de potencia de  $762,3nW$  para una corriente de polarización de  $14,5nA$  para el comparador y  $20,2nA$  para los transconductores.

Para obtener las corrientes de polarización de las diferentes etapas a partir de una fuente de corriente de  $20nA$ , se diseñó un banco de copiadores de corriente según lo planteado por [6], donde cada transistor del copiador fue implementado por tres transistores en paralelo con el fin de utilizar transistores unitarios que se intercalen durante el diseño del *layout* y con esto de disminuir el efecto de la variabilidad introducido en el proceso de fabricación.

En los copiadores de corriente se utilizan transistores de 3/20 y 2,8/24,9 (ver figura 5.9), los valores de las copias obtenidas se presentan en la tabla 5.9.

Luego se procedió a realizar la suma de energías conectando un espejo cascode como el de la figura 5.10 a la salida de los rectificadores y conectados en un mismo punto. El OTA de  $64nS$  diseñado en [12] que convierte de corriente a tensión tiene una salida mostrada en la figura 5.11.

De esta simulación el *offset* sistemático de la unidad de cálculo completa es de  $332\mu V$  para una tensión de alimentación de  $3,3V$ , lo cual es únicamente un  $0,22\%$  de la señal de entrada con la cual se realizaron las pruebas. Además, el consumo de potencia medido para esta implementación es de  $1,94\mu W$ , siendo este un  $32\%$  del consumo obtenido por [6], superando con creces la reducción del  $50\%$  planteada dentro de los objetivos.

Para las pruebas hechas con  $4V$  de alimentación (ver tabla 5.10) se obtuvo un *offset* sistemático de  $331,8\mu V$  (semejante para  $3,3V$ ), en las pruebas de consumo de potencia se obtuvo  $2,384\mu W$  lo cual representa  $8,76\%$  del consumo obtenido por [6] y claramente supera por mucho los  $13,6\mu W$  planteados como los objetivo.

Si bien las simulaciones en esquemático arrojan resultados satisfactorios que cumplen con todo lo planteado en los objetivos; es necesario realizar la implementación en *layout* para extraer los parásitos (PEX: Parasitic Extraction) del circuito y con estos obtener las simulaciones de algo más parecido a lo que se obtendrá después de la fabricación. Los resultados de este proceso se detallan en la siguiente sección.

## 5.10 Implementación en *layout* de la unidad de cálculo

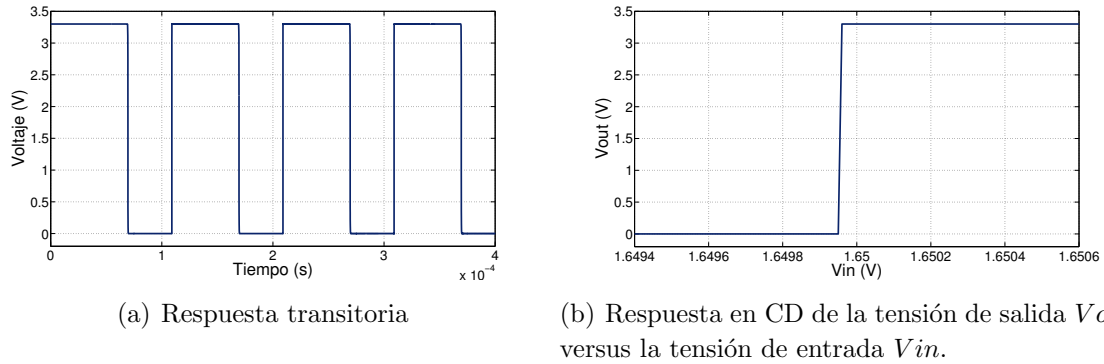
A continuación se detalla el proceso para la implementación de la unidad de cálculo de energía y el desarrollo de este a partir de los bloques que la componen.

### 5.10.1 Comparador

Las dimensiones de los transistores del bloque M5 fueron modificadas para que estos transistores se apilaran en una misma columna junto con los de los bloques M3, buscando con eso que la copia de corriente a través de los bloques M4 y M5 dependa únicamente de la cantidad de transistores en serie o paralelo dentro del arreglo.

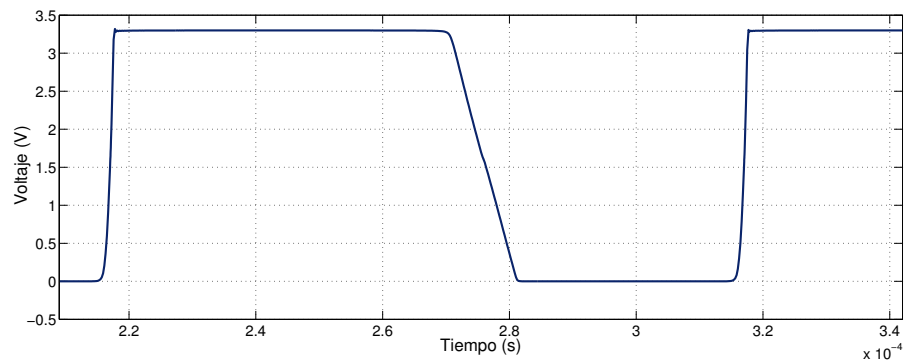
Luego de implementar el *layout* del comparador se realizó una simulación que incluyera los valores de parásitos extraídos del diseño; los resultados de esta simulación se muestra en la figura 5.12, el ciclo de trabajo del comparador de  $40\%$ . Este comportamiento anómalo provoca deformación en la rectificación y error en la estimación de la energía, este comportamiento se corrige antes de continuar con la implementación del resto de la unidad.

Esta disminución en el ciclo de trabajo se debe al aumento en el tiempo de transición de alto a bajo del comparador de dos etapas (ver figura 5.13), ocasionado por el cambio en las dimensiones los transistores del bloque M5 para intercalarlos con los del bloque M3. Además el *layout* del bloque M3, por estar compuesto de muchos transistores (15 para cada bloque), quedó como una columna de más de  $250\mu m$  de alto y con estas dimensiones las



**Figura 5.12:** Simulación *post-layout* del comparador seleccionado, primera implementación, para una señal senoidal de entrada de 0,15V de amplitud y frecuencia 10kHz.

variaciones por gradientes de dopado, grabado y chorreo de las distintas capas significarán transistores muy distintos entre sí.

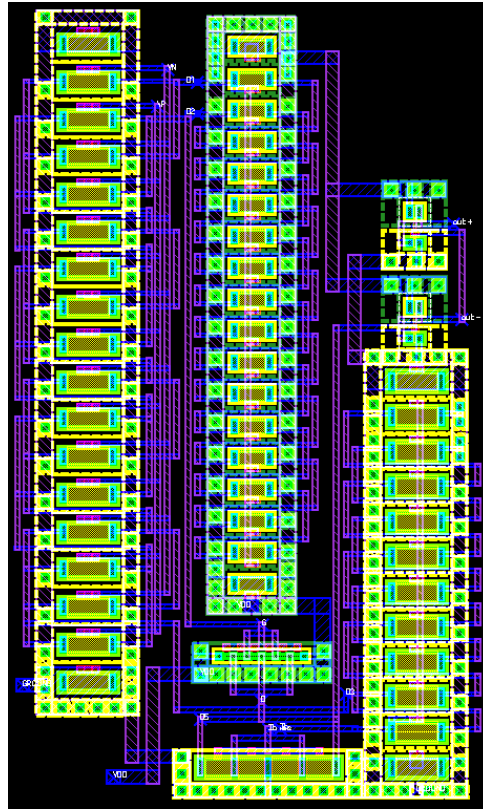


**Figura 5.13:** Tensión de salida del comparador antes de los inversores, implementación en *layout*.

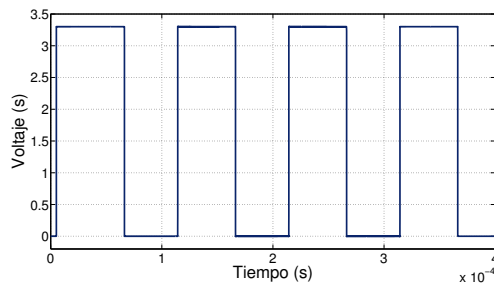
Se procede a disminuir el número de transistores del bloque M3 de quince a cinco tal y como se muestra en la figura 5.6 y rehacer el *layout* del bloque M5 y M4 con una configuración interdigitada para seguir con la consigna de obtener una implementación en la que se minimice el offset aleatorio. El esquema del *layout* del comparador con las modificaciones se muestra en la figura 5.14.

Luego de los cambios realizados se simuló de nuevo el comparador, obteniéndose el comportamiento de la figura 5.15 donde se aprecia la simetría del ciclo de trabajo, manteniéndose el *offset* sistemático por debajo de los  $50\mu V$  con un consumo de potencia similar a lo obtenido de la simulación en esquemático. El resumen de las características *post-layout* se muestra en la tabla 5.11.

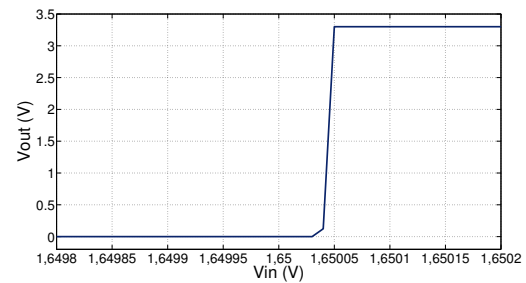




**Figura 5.14:** *Layout* funcional de comparador.



(a) Respuesta transitoria



(b) Respuesta en CD de la tensión de salida  $V_{out}$  versus la tensión de entrada  $V_{in}$ .

**Figura 5.15:** Simulación *post-layout* del comparador seleccionado, segunda implementación, para una señal senoidal de entrada de 0, 15V de amplitud y frecuencia 10kHz.

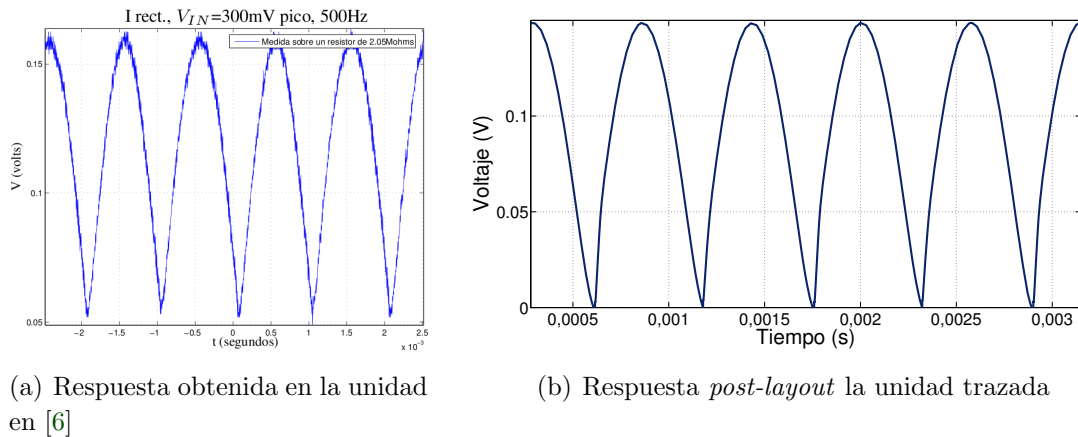
## 5.10.2 Rectificador

Al implementar el diseño en *layout* del comparador dentro del rectificador se observa que el *delay* de  $11\mu s$  se mantiene y que igualmente que en la implementación en esquemático es influyente en las pruebas con una señal de entrada de 10kHz pero despreciable cuando la señal tiene una frecuencia de 875Hz tal y como se observa en la figura 5.16 y el resumen

**Tabla 5.11:** Características del comparador después de las modificaciones al *layout*.

Offset ( $\mu V$ )	Ciclo de Trabajo (%)	Ib (nA)	Consumo (nA) @3,3V	slew rate V/ $\mu s$
35	49,9	14,5	35,4	401

de sus características se muestran en la tabla 5.12.

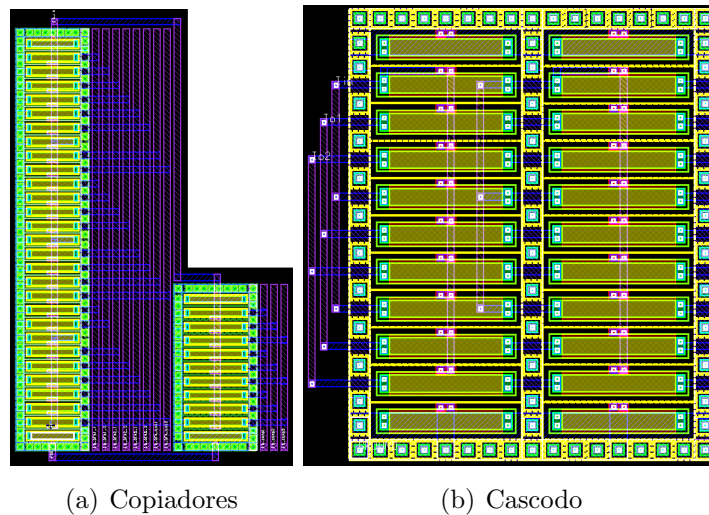
**Figura 5.16:** Respuesta a mejorar y simulación *post-layout* del rectificador, para una señal senoidal de entrada de  $0,15V$  y  $875Hz$ .**Tabla 5.12:** Características del rectificador al implementar el *layout* del comparador.

Offset sist. ( $\mu V$ )	Consumo (nA) @3,3V
35	236,4

El *layout* del amplificador de transconductancia fue diseñado en [12], pero como se hicieron modificaciones para obtener una salida dual, este debe rediseñarse para incorporarse dentro del rectificador (este rediseño no se implementó por falta de tiempo).

### 5.10.3 Banco de copiadores de corriente para la polarización y espejo casado para la suma de corrientes

Para los copiadores de corriente (ver figura 5.9) y los espejos casado (ver figura 5.10) se implementó el *layout* como [6], intercalando los transistores para disminuir el *offset* aleatorio, el esquema de estas configuraciones se muestra en la figura 5.17.



**Figura 5.17:** *Layout* de los circuitos copiadores de corriente para polarización y espejos cascodo para la suma de energía a las salida del rectificador.

#### 5.10.4 Amplificador de transconductancia (OTA) para conversión de corriente a tensión

El *layout* del transconductor de  $64nS$  fue diseñado en [10] y este se utiliza dentro de la unidad de cálculo de energía debido a de que se trata del mismo bloque funcional.

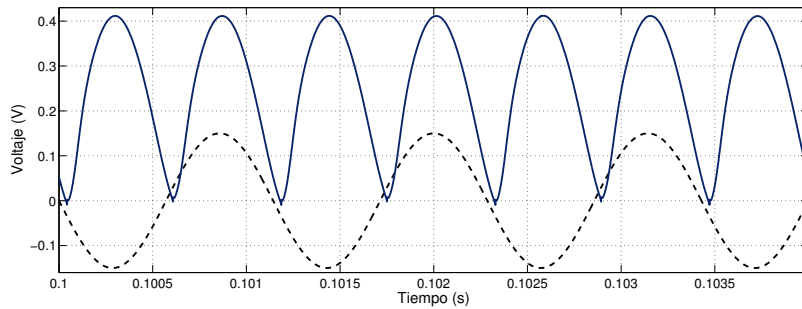
#### 5.10.5 Resultados de la simulación de la unidad de cálculo completa sin incorporar el *layout* de los OTA's de salida dual

Todos los bloques diseñados en las subsecciones anteriores fueron implementados dentro de la unidad completa de cálculo de energía para obtener simulaciones de su comportamiento, en la figura 5.18 se observa la simetría de los semi-ciclos rectificadas asegurando con esto exactitud en la estimación de la energía.

El resumen del comportamiento final del circuito se resume en la tabla 5.13.

**Tabla 5.13:** Características de la unidad de cálculo completa obtenidas de la simulación *post-layout*, para tres entradas idénticas de  $0,15V$  a  $815Hz$ .

Alimentación (V)	Offset (uV)	Consumo (nA) @ $I_b = 14,5$ nA
3,3	548	604,5
4	547	612,9



**Figura 5.18:** Simulación *post-layout* de la tensión de salida de la unidad de cálculo completa, para tres entradas senoidales idénticas de  $0,15V$  a  $815Hz$ .

## 5.11 Análisis de los resultados de la implementación en *layout* de la unidad de cálculo de energía completa

El requerimiento final del proyecto es la elaboración del *layout* de la unidad de cálculo completa y para esto se desarrolló este diseño de forma modular implementando por separado cada sub-circuito que conforma la unidad como se detalla en la sección 5.10.

Otra técnica, además de las mencionadas en la subsección 5.10.1, utilizada para disminuir el desapareamiento de los transistores que conforman los distintos bloques, fue la utilización de transistores *dummy* en la formación de los distintos sub-circuitos para asegurar la similitud de condiciones en los alrededores de todos los transistores y con estos la similitud en su comportamiento. Además, se utilizaron anillos de protección alrededor de cada sub-circuito con el fin de reducir el ruido introducido por el substrato atándolo a un potencial fijo.

En la figura 5.15 y la tabla 5.11 se evidencia que con las modificaciones realizadas se corrigió el comportamiento anómalo y se obtuvo un ciclo de trabajo de  $49,9\%$  aún mejor que para la simulación en esquemático ( $49,05\%$ ) con un consumo de  $117nW$ , este último ligeramente mayor que el obtenido en esquemático ( $100nW$ ) pero el parámetro de mayor peso en el diseño es el *offset* sistemático para mejorar la eficiencia en la detección de disparos así que se tolera un pequeño sacrificio en potencia.

La implementación del comparador dentro del rectificador produjo un *offset* sistemático de  $35\mu V$  con un consumo de  $780,1nW$ , valores ligeramente mayores que los obtenidos en el apartado 5.8.1 pero aún buenas para el cumplimiento de los objetivos. Cabe destacar que los transconductores para los rectificadores no fueron implementados en este proyecto y el OTA utilizado para la conversión corriente-tensión en la salida fue diseñado en [10] y se utiliza dentro de esta unidad.

También se trazó el *layout* de los copiadore de corriente para obtener la polarización de los OTAs y lo comparadores, y se trazó el diseño de los espejos cascodo utilizados en la suma de energía, estos se trazaron según [6] y se obtuvieron resultados semejantes a los de la tabla 5.9 luego de la extracción de parasíticos.

Las simulaciones con la integración del *layout* de todos los bloques (excepto los OTAs de salida dual) se muestran en la figura 5.18 donde se obtuvo un *offset* sistemático de  $548\mu V$  el cual representa un 0,14% de la tensión de salida rectificada ( $400mV$  pico) y un 5,5% del *offset* obtenido por [6] y 55% del planteado en los objetivos. El consumo de potencia obtenido fue  $1,995\mu W$  lo cual representa un 33,3% del consumo de la unidad diseñada por Chacón para una alimentación de 3,3V.

Analizando los resultados para la alimentación de 4V (ver tabla 5.13 ) se observa que el *offset* sistemático obtenido es de  $547\mu V$ , valor muy semejante para la alimentación de 3,3V, de igual forma que en la simulación en esquemático el consumo de potencia es mucho menor que el obtenido en [6], específicamente se obtuvo  $2,452\mu W$  lo cual representa 9% del obtenido por Chacón, de esta forma se demuestra que el objetivo de reducción de potencia se cumple tanto para la alimentación de 3,3V como para 4V.

# Capítulo 6

## Conclusiones y Recomendaciones

### 6.1 Conclusiones

A partir de los resultados obtenidos, es posible concluir para este proyecto que:

1. Un comparador de dos etapas representa el mejor compromiso en términos de *offset* sistemático, simetría del ciclo de trabajo y consumo de potencia en comparación con la configuración diferencial y el comparador con circuito de decisión y *buffer* de salida.
2. Es necesario partir de un diseño parametrizado y simulable para que la herramienta de optimización automáticamente reemplace las variables e inicie las simulaciones para evaluar cuáles conjuntos de parámetros son los óptimos.
3. La herramienta basada en algoritmos genéticos permite optimizar un comparador entregando los mejores conjuntos de parámetros dentro del rango definido por el usuario.
4. Utilizar bloques optimizados con algoritmos genéticos (como el comparador y los OTAs) ha permitido obtener un circuito para la unidad de cálculo de energía de los coeficientes de ondas que cumple con las especificaciones dadas en un inicio para el circuito a diseñar con un *offset* sistemático de  $548\mu V$  y un consumo de potencia de  $2,452\mu W$ .
5. No se alcanza la meta de lograr un consumo neto de  $1\mu W$  debido a las limitaciones del proceso de fabricación utilizado.
6. Fragmentar los transistores de los copiadores de corriente en muchos elementos unitarios introduce parásitos en el trazado que afecta el comportamiento esperado del comparador.

7. Se hizo un trazado de *layout* que cuenta con las consideraciones necesarias para reducir el *offset* aleatorio introducido en el proceso de fabricación.

## 6.2 Recomendaciones

1. El comparador con circuito de decisión presentó excelentes características de *offset* sistemático y *slew rate*. Se recomienda implementarlo en la herramienta de optimización para corroborar si se puede obtener una configuración que presente una reducción de consumo considerable para poder competir con otras configuraciones en términos de este parámetro.
2. Los bloques comparadores son utilizados dentro de circuitos con múltiples aplicaciones. Por lo tanto se recomienda investigar sobre la existencia o no de más configuraciones que las evaluadas en el presente proyecto, esto con el fin de determinar si se puede mejorar el diseño.
3. La herramienta de optimización fue de gran ayuda en el ajuste y verificación de circuitos. Se recomienda difundir su uso para que así se reduzca el tiempo empleado en ajustes y pueda ser dedicado al diseño de circuitos más grandes o complejos.
4. Se recomienda no excederse en las restricciones puestas a la herramienta de optimización ya que esto puede hacer que se necesite correr la optimización durante mucho tiempo para empezar a tener resultados prometedores.
5. Se recomienda flexibilizar los límites de los parámetros dentro de los cuales la herramienta actuará, así se expande el ámbito de posibilidades a evaluar y la herramienta por sí sola tenderá a centrarse en las zonas más prometedoras en el espacio de parametrizaciones.
6. Se recomienda no excederse en el número de bloques en los que se fragmenta un transistor pues si bien se busca mejorías en el *matching* del mismo, los efectos de los elementos parásitos introducidos en el trazado pueden alterar el comportamiento esperado del circuito.
7. Es conveniente introducir en el proceso un análisis de variabilidad sobre las dimensiones del comparador, los copiadores de corriente y los OTAs para obtener una aproximación de cual será el comportamiento del *offset* aleatorio en la unidad de cálculo luego de la fabricación.
8. Con el fin de contribuir en el cumplimiento de la meta de obtener un consumo neto menor a  $1\mu W$  se recomienda migrar el diseño a una tecnología más pequeña para reducir el consumo de potencia que es una especificación crítica en el proyecto global de la red de sensores.

# Bibliografía

- [1] Phillip E. Allen and Douglas R. Holberg. *CMOS Analog Circuit Design*. Oxford University Press, 1987.
- [2] Phillip E. Allen and Douglas R. Holberg. *CMOS Analog Circuit Design, second edition*. Oxford University Press, 2002.
- [3] A. Arnaud. *Very Large Time Constant Gm-C Filters*. PhD thesis, Universidad de la República, Uruguay, Montevideo, Uruguay.
- [4] R. J. Baker. *CMOS. Circuit Design, Layout, and Simulation*. IEEE Press, 2005.
- [5] F. Krummenacher C. Enz and E. Vittoz. An analytical mos transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications. In *Journal on Analog Integrated Circuits and Signal Processing*, pages 83–114. Kluwer Academic Publishers, Julio 1995.
- [6] Alfonso Chacón. *Circuitos Integrados de Bajo Consumo para Detección y Localización de Disparos de Armas de Fuego*. PhD thesis, Facultad de Ingeniería, Departamento de Ingeniería Electrónica, Universidad Mar del Plata, Mar del Plata, Argentina.
- [7] Berny Dinarte. Diseño de una fuente auto-polarizada independiente de la tensión de alimentacion y la temperatura para circuitos integrados analógicos, 2011.
- [8] Mentor Graphics. Ic design [online, visitado el 11 de junio de 2011]. URL [http://www.mentor.com/products/ic\\_nanometer\\_design/custom-ic-design/](http://www.mentor.com/products/ic_nanometer_design/custom-ic-design/).
- [9] D. A. Hodges H. Shichman. Modeling and simulation of insulated-gate field-effect transistor switching circuits. In *IEEE Journal of Solid-State Circuits*, pages 285–289, Washington, DC, USA, 1968. IEEE Computer Society.
- [10] José Andrés Ibarra. Diseño de un filtro analógico para la detección de disparos de armas de fuego usando amplificadores operacionales de transconductancia, 2011.
- [11] MOSIS. The mosis service [online, visitado el 8 de junio de 2011]. URL <http://www.mosis.com/>.



- 
- [12] Frank Nicaragua. Diseño de un amplificador operacional de transconductancia para la implementación de filtros analógicos utilizados en la detección de disparos de armas de fuego, 2010.
- [13] Device Research Group of the Department of of Electrical Engineering and Berkeley Computer Science, University of California. Bsim3/bsim4 home page [online, visitado el 10 de junio de 2011]. URL <http://www-device.eecs.berkeley.edu/~bsim3/>.
- [14] Roberto Pereira-Arroyo, Pablo Alvarado-Moya, and Wolfgang H. Krautschneider. Design of a mcml gate library applying multiobjective optimization. In *Proceedings of the IEEE Computer Society Annual Symposium on VLSI*, pages 81–85, Washington, DC, USA, 2007. IEEE Computer Society.
- [15] Jan M. Rabaey. The spice page [online, visitado el 10 de junio de 2011]. URL <http://bwrc.eecs.berkeley.edu/classes/icbook/spice/>.
- [16] Razavi and Wiley. *Fundamentals of Microelectronics*. John Wiley & Sons, 2006.
- [17] Y. Tsividis. *Mixed Analog-Digital VLSI Devices and Technology*. World Scientific Publishing, 2002.

# Apéndice A

## Historial de optimizaciones

A continuación se enlistan las fechas de corrida de optimizaciones junto con las principales modificaciones y resultados obtenidos.

- Martes 12/4/2011: Primera corrida de optimización, se obtuvieron muchos conjuntos de parámetros con consumo menor a  $500pW$ , las simulaciones demostraron que ninguno de ellos era útil porque no presentaban el comportamiento transitorio ni CD requerido.
- Lunes 25/4/2011: Se agregó una rutina que detectara el comportamiento oscilatorio (señal cuadrada) de la tensión de salida del comparador, no se obtuvieron conjuntos satisfactorios debido a que las restricciones fueron muy rigurosa y la herramienta no encontró ningún grupo de parámetros que cumpliera con las necesidades dentro los límites planteados.
- Miércoles 27/4/2011: Se disminuyeron las restricciones en la detección de la onda cuadrada de salida, se obtuvieron varios resultados prometedores con consumo menores de  $500nW$  y *offset* sistemático menor a  $200\mu V$
- Lunes 2/5/2011: Se diseñó un comparador compuesto de bloques de transistores apilados, no se obtuvo ningún resultado satisfactorio.
- Viernes 6/5/2011: Se dejó corriendo una optimización larga durante todo el fin de semana, no se obtuvo ningún conjunto satisfactorio.
- Lunes 9/5/2011: Se cambió el numero de transistores que formaban cada bloque del comparador, la optimización se truncó por que se interrumpió el fluido eléctrico.
- Miércoles 11/5/2011: Se conectó una fuente de respaldo para maquina en que se corre la optimización, esta optimización se interrumpió por desconexión con el servi-

dor de licencias, se logró darle continuación a esta corrida con la ayuda de Alvarado (ver [14]).

- Lunes 16/5/2011: la reanudación de la optimización anterior arrojó resultados satisfactorios que son los que se detallan en el capítulo 5.

# Índice alfabético

buffer, 17

comparador de dos etapas, 13

delay, 12

dummy, 25

meta, 7

mismatch, 13

netlist, 20

objetivo general, 7

objetivos específicos, 8

offset, 12

offset aleatorio, 12

offset sistemático, 12

running average, 2

slew rate, 17

SPICE, 19

tripping point, 3