

INSTITUTO TECNOLÓGICO DE COSTA RICA
ESCUELA DE INGENIERÍA EN ELECTRÓNICA



CONVERSIÓN ANALÓGICA-DIGITAL DE ALTA VELOCIDAD PARA
ESPECTROSCOPIA POR IMPEDANCIA ELÉCTRICA

POR

ALVARO DIONISIO CAMACHO MORA

INFORME DE PROYECTO DE GRADUACIÓN PARA OPTAR POR EL TÍTULO DE
INGENIERO EN ELECTRÓNICA CON EL GRADO ACADÉMICO DE
LICENCIATURA

CARTAGO, JUNIO DEL 2016

INSTITUTO TECNOLÓGICO DE COSTA RICA

ESCUELA DE INGENIERÍA ELECTRÓNICA

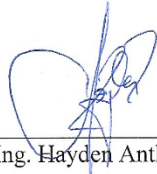
PROYECTO DE GRADUACIÓN

ACTA DE APROBACIÓN

Defensa de Proyecto de Graduación
Requisito para optar por el título de Ingeniero en Electrónica
Grado Académico de Licenciatura
Instituto Tecnológico de Costa Rica

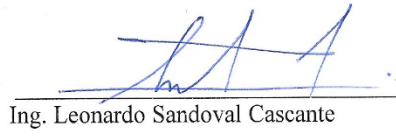
El Tribunal Evaluador aprueba la defensa del proyecto de graduación denominado Conversión Analógica-Digital de Alta Velocidad para Espectroscopia por Impedancia Eléctrica, realizado por el señor Alvaro Dionisio Camacho Mora y, hace constar que cumple con las normas establecidas por la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal Evaluador



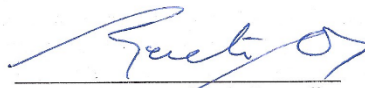
Ing. Hayden Anthony Phillips Brenes

Profesor lector



Ing. Leonardo Sandoval Cascante

Profesor lector



Dr.-Ing. Renato Rímolo Donadio

Profesor asesor

Cartago, Costa Rica, 17 de junio del 2016

Declaratoria de Autenticidad

Declaro que el presente Proyecto de Graduación ha sido realizado, en su totalidad, por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado material bibliográfico, he procedido a indicar las fuentes mediante citas bibliográficas.

En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.




Alvaro Dionisio Camacho Mora

Cédula: 304730491

Cartago, 17 de junio del 2016.

Resumen



La Espectroscopia por Impedancia Eléctrica es una técnica emergente con muy diversas aplicaciones, como la detección de enfermedades realizando un análisis en la impedancia de las células para conocer su morfología y así poder detectar cambios que signifiquen algún tipo de enfermedad en las personas. A través de la inyección de ondas armónicas de corriente y voltaje a diferentes frecuencias es que se puede crear un mapa de la impedancia de cada muestra. En el Instituto Tecnológico de Costa Rica se está diseñando un circuito integrado que implementa esta técnica bajo un barrido en frecuencia de hasta 10 GHz, empleando circuitos analógicos que logren el cometido de adquirir los datos de impedancia de las células. El sistema requiere convertir estas señales analógicas de impedancia a un formato digital que pueda ser comprendido por un computador que sea capaz de procesar los datos adquiridos.

Es por esto que, el presente documento explica el diseño de un convertidor analógico-digital (ADC) de 8 bits de resolución para una aplicación de alta velocidad. Este ADC es implementado en la tecnología CMOS 0.13 μm IBM 8RF y se basa en un flujo de diseño a la medida de un circuito integrado en el que se inicialmente se diseña la vista esquemática, después una implementación física del esquemático (layout) y concluyendo con simulaciones postlayout que ratifiquen el funcionamiento del ADC a nivel de implementación física.

La arquitectura del ADC propuesta está basada en una arquitectura Flash con interpolación y plegado que produce una reducción del hardware utilizado en un 87% menos comparadores, 75% menos latches y 48% menos resistencias en comparación con una arquitectura Flash tradicional que no implementa las técnicas de interpolación y plegado. El área utilizada por el ADC es de 0.39875 mm^2 y la potencia consumida es de aproximadamente 2.2447 mW. La velocidad de conversión de señales analógicas a digitales alcanzada por esta implementación es de 143 MS/s (Mega muestras por segundo).

Palabras claves: Espectroscopia por Impedancia Eléctrica, Convertidor Analógico Digital, Arquitectura Flash, Interpolación, Plegado, CMOS.

Abstract

Electrical Impedance Spectroscopy is an emergent technique with different applications, like the detection of diseases by performing an analysis of the cell impedance with the purpose of knowing its morphology, which enables the ability to detect changes that could mean some disease in the people. A map of impedance of each sample is created through the injection of harmonic waves of current and voltage in different frequencies. At the Instituto Tecnológico de Costa Rica a design of an integrated circuit that implemented this technique is being developed by using analog circuits that allow to get cell data impedance. It is required then to convert these signals to a digital in order to process the signal information with conventional computer systems.

It is for this reason that in this work the design of an 8-bit analog-digital converter (ADC) for a high-speed application is addressed. This ADC is implemented in 0.13 μm IBM8RF CMOS technology. Furthermore, it is based in an integrated circuit custom design flow, that initially is designed in the schematic, then to proceed with the physical implementation of the schematic (layout), and it concludes with a post-layout simulation to evaluate the performance of the ADC.

The ADC architecture proposed it is based on a Flash architecture that uses interpolation and folding techniques. By using these techniques, the hardware reduction was optimized in an 87% less of comparators, 75% less of latches and 48% reduction of resistors when compared to a traditional Flash architecture. The area used for the ADC is 0.39875 mm^2 and the power consumption calculated is of an approximate of 2.2447 mW. The conversion speed of analog to digital signal obtained by this design has been 143 MS/s.

Key words: Electrical Impedance Spectroscopy, analog-digital converter, flash architecture. Interpolation, Folding, CMOS.

Dedicatoria

A mis padres Alvaro y Maricel, primeramente, por darme la vida y después hacerme la persona que soy hoy. Enseñarme los valores de la responsabilidad, honestidad, esfuerzo y perseverancia que sin estos valores tan importantes alcanzar este objetivo tan importante en mi vida hubieran sido imposibles. Además de ser ese soporte cuando más lo he necesitado.

A mis hermanos Michael, José y Catherine que siempre en los momentos difíciles me han ayudado a salir adelante.

Y a toda mi familia, que siempre me han apoyado a seguir adelante y poder alcanzar este objetivo en mi vida.

A todos ellos, gracias.

Agradecimiento

Al Dr.-Ing. Renato Rimolo Donadio, por su guía y ayuda por más de un año desde que empecé a ser su asistente y más aún en este semestre que realicé el proyecto de graduación.

A mis amigos del TEC que en estos 5 años y medio de carrera hicieron que cada momento valiera la pena al crear experiencias inolvidables. Sin ellos llegar a este objetivo de presentar este proyecto de graduación hubiese sido más complicado.

Y a todas las personas que de alguna u otra forma han contribuido a llegar a este objetivo final que es presentar este proyecto de graduación.

Índice

Lista de Acrónimos	13
Capítulo 1 : Introducción	14
1.1 Organización del Documento	16
Capítulo 2 : Marco Teórico	17
2.1. Espectroscopia por Impedancia Eléctrica	17
2.2 Convertidor Analógico-Digital	21
2.2.1. Fundamentos de Conversión Analógica-Digital	21
2.2.2. Otros Conceptos	25
2.3 Flujo de Diseño IC	26
2.3.1. Tecnología de Diseño	26
2.3.2. Metodología de Diseño	29
Capítulo 3 : Propuesta de Diseño	32
3.1. Arquitecturas de ADCs de Alta Velocidad de Conversión	32
3.1.1. Arquitectura Flash	34
3.1.2. Registro de Aproximaciones Sucesivas (SAR)	36
3.1.3. Interpolación y Plegado (Folding and Interpolation)	37
3.2. Escogencia de la Arquitectura ADC	41
3.2.1. Criterios de escogencia	41
3.2.2. Análisis de arquitecturas	42
Capítulo 4 Diseño de la Arquitectura	44
4.1. Módulos de la Arquitectura	46
4.1.1. Escalera Resistiva (Resistive Ladder)	46
4.1.2. Selección de los voltajes de referencia para los comparadores	49
4.1.3. Circuito Muestreador/Retenedor	61
4.1.4. Comparación	63
4.1.5. Decodificador	80
4.1.6. Banco de Inversores	83
4.2. Arquitectura completa del ADC	86
Capítulo 5 : Presentación y Discusión de Resultados	94

Capítulo 6 : Conclusiones y Recomendaciones	97
Bibliografía	100
Anexo 1: Tabla con valores de referencia de salida de la escalera resistiva	103

Índice de Figuras

Figura 2.1. Respuesta en frecuencia para la permitividad de una célula. Adaptada de [9].....	18
Figura 2.2. Diagrama simplificado de un sistema de Espectroscopia por Impedancia Eléctrica. Adaptada de [10].....	20
Figura 2.3. Bloques básicos de un Convertidor Analógico-Digital.....	21
Figura 2.4. Esquema de funcionamiento del S/H. Adaptada de [3].....	22
Figura 2.5. Cuantización de una señal analógica. Adaptada de [3].....	24
Figura 2.6. Muestra el Error de Cuantización. Adaptada de [3].....	24
Figura 2.7. Stack-up utilizado para la implementación Física.....	27
Figura 3.1. Gráfico de velocidad de conversión versus bits de resolución para diferentes topologías de ADC. Adaptada de [1].....	33
Figura 3.2. Estructura típica de un ADC Flash. Adaptado de [2].....	35
Figura 3.3. Arquitectura SAR ADC. Adaptada de [3].....	36
Figura 3.4. Interpolación entre la salida de dos preamplificadores. Adaptado de [4].....	38
Figura 3.5. Implementación de la interpolación. Adaptado de [5].....	39
Figura 3.6. (a) Características de entrada/salida de dos preamplificadores, (b) suma de las características en (a). Adaptado de [4].....	40
Figura 3.7. Aplicación de la técnica de plegado. Adaptado de [5].....	40
Figura 4.1. Arquitectura ADC propuesta.....	44
Figura 4.2. Diagrama esquemático de la escalera resistiva. Adaptada de [5].....	47
Figura 4.3. Muestra una parte del layout de la escalera resistiva.....	48
Figura 4.4. Muestra la simulación postlayout de la escalera resistiva.....	49
Figura 4.5. Esquemático de la compuerta de paso.....	50
Figura 4.6. Layout de la compuerta de paso.....	51
Figura 4.7. Diagrama esquemático del MUX2x1.....	52
Figura 4.8. Muestra la vista de layout para el MUX2x1.....	53
Figura 4.9. Simulación postlayout del MUX2x1.....	53
Figura 4.10. Diagrama esquemático para el MUX4x1.....	54
Figura 4.11. Muestra el layout para el MUX4x1.....	56
Figura 4.12. Simulación postlayout del MUX4x1.....	57
Figura 4.13. Diagrama esquemático de la macrocelda de selección de voltaje de referencia.....	59
Figura 4.14. Sección del layout de la macrocelda de selección de voltajes de referencia.....	60
Figure 4.15. Diagrama esquemático del circuito muestreador/retenedor.....	62
Figura 4.16. Simulación postlayout de la Compuerta de Paso para S/H.....	62
Figura 4.17. Implementación física de la compuerta de paso para S/H.....	63
Figure 4.18. Esquemático de la compuerta NAND.....	63
Figura 4.19. Implementación física para la compuerta NAND.....	64
Figura 4.20. Esquemático del latch.....	65
Figura 4.21. Simulación postlayout del latch.....	66
Figura 4.22. Implementación física del Latch.....	66
Figura 4.23. Esquemático del inversor.....	67
Figura 4.24. Implementación física del Inversor Lógico.....	68
Figura 4.25. Esquemático del comparador.....	69

Figura 4.26. Implementación física del comparador.....	71
Figure 4.27. Esquemático del comparador-latch.....	72
Figura 4.28. Implementación física del comparador-latch.....	72
Figura 4.29. Simulación postlayout del comparador-latch.....	73
Figure 4.30. Esquemático comparador $\frac{V_{ref}}{2}$	74
Figura 4.31. Implementación física del comparador $\frac{V_{ref}}{2}$	74
Figura 4.32. Simulación del comparador $\frac{V_{ref}}{2}$	75
Figura 4.33. Esquemático de la interpolación.....	76
Figura 4.34. Esquemático macrocelda de comparación.....	77
Figura 4.35. Implementación física de una sección de la etapa de comparación.....	79
Figure 4.36. Esquemático del decodificador.....	81
Figura 4.37. Porción de la implementación física del decodificador.....	82
Figura 4.38. Simulación del decodificador.....	83
Figure 4.39. Esquemático del banco de inversores.....	84
Figura 4.40. Implementación física del banco de inversores.....	85
Figure 4.41. Esquemático de la arquitectura de ADC implementada.....	87
Figura 4.42. Implementación física del ADC.....	89
Figure 4.43. Distribución de energía en el layout del ADC.....	90
Figura 4.44. Muestra el proceso de llenado para un sector de la implementación física final del ADC.....	92
Figura 4.45. Simulación de la arquitectura completa.....	93

Índice de Tablas

Tabla 2.1. Descripción de las capas utilizadas en la implementación física.....	28
Tabla 4.1. Tabla de verdad para el MUX4x1	56
Tabla 4.2. Dimensiones de los transistores para la Compuerta NAND.	64
Tabla 4.3. Tabla de verdad del Latch.....	65
Tabla 4.4. Dimensiones de los transistores del comparador.	70
Tabla 5.1. Diferencias entre arquitectura Flash tradicional y arquitectura propuesta.	95
Tabla A-1. Contiene los voltajes de referencia generados en la escalera resistiva.....	106

Lista de Acrónimos

ADC	Convertidor Analógico-Digital (Analog-Digital Converter)
CMOS	MOS Complementario (Complementary MOS)
DAC	Convertidor Digital-Analógico (Digital-Analog Converter)
DRC	Revisión de las Reglas de Diseño (Design Rules Checking)
EIE	Espectroscopia por Impedancia Eléctrica
FET	Transistor de Efecto de Campo (Field-Efect Transistor)
FSR	Rango de escala completa (Full-scale range)
IC	Circuito Integrado (Integrated Circuit)
ITCR	Instituto Tecnológico de Costa Rica
L	Largo del transistor (Transistor Length)
LSB	Bit menos significativo (Least significant bit)
LVS	Layout versus Esquemático
LVTNFET	NFET de bajo voltaje de umbral (Low Voltage Threshold NFET)
LVTNPFET	PFET de bajo voltaje de umbral (Low Voltage Threshold PFET)
MOS	Metal Oxido Semiconductor (Metal Oxide Semiconductor)
MOSIS	Servicio de Implementación MOS (MOS Implementation Service)
NFET	FET tipo N
NMOS	MOS tipo N
PEX	Extracción de Parasíticos (Parasitic Extraction)
PFET	FET tipo P
PMOS	MOS tipo P
RC	Resistivo-Capacitivo
RF	Radiofrecuencia
ROM	Memoria de solo lectura (read-only memory)
SAR	Registro de Aproximaciones Sucesivas (Successive approximation register)
S/H	Muestreo y Retenedor (Sample-and-Hold)
VLSI	Integración a muy gran escala (Very-Large-Scale-Integration)
W	Ancho del transistor (Transistor Width)

Capítulo 1 : Introducción

La espectroscopia por Impedancia Eléctrica (EIE), es una técnica de la que se pueden derivar gran cantidad de aplicaciones entre las que destacan la caracterización de materiales, dispositivos de estado sólido, corrosión de los materiales, fuentes de potencia electroquímica (baterías, celdas de combustible) [6]. Al tratarse de una técnica que tiene diferentes aplicaciones, recientemente se está empezando a utilizar como una forma de detección de enfermedades analizando muestras de células o tejidos bajo las premisas de ser una aplicación no invasiva y de bajo costo que ha sido posible con la miniaturización de los circuitos electrónicos en circuitos integrados.

La EIE se basa en la respuesta en frecuencia obtenida del tejido que este bajo análisis, en el cual se buscan características que demuestren cambios morfológicos en la composición del tejido y las células que lo constituyen como lo son: hidratación, volumen de fluidos corporales, volumen intracelular y extracelular, porcentaje de grasa, entre otras [24]. Además, se ha determinado con el estudio de la dinámica molecular que envuelve esta técnica que se tiene un ancho de banda para la aplicación de la EIE de 10^{-6} Hz a 10^{12} Hz, sin embargo, existe un límite para la implementación con circuitos eléctricos que ronda los 10^{11} Hz, después de este límite se deben utilizar circuitos ópticos para poder implementar la espectroscopia.

Bajo este panorama es que en la Escuela de Ingeniería en Electrónica del Instituto Tecnológico de Costa Rica se está realizando la implementación de un circuito integrado que tendrá como objetivo principal la medición de impedancia eléctrica en células que puedan presentar algún riesgo o modificación en su comportamiento que indique la presencia de cierta enfermedad, detectable bajo la excitación de las células con señales armónicas de corriente y voltaje de hasta 10 GHz.

Este circuito integrado está compuesto por varios módulos o subcircuitos que permiten un funcionamiento acorde con lo deseado. Uno de estos módulos logra la comunicación con un computador que permitirá postprocesar la información obtenida del tejido que se está analizando, convirtiendo de un formato analógico a uno digital que podrá ser entendido por un

computador. Este submódulo es un convertidor analógico-digital (ADC) que dentro de sus principales características esta que debe ser un convertidor con alta velocidad de conversión que permita una sinergia con los otros módulos del sistema.

La conversión de señales es un tema que concierne a aquellos diseñadores que trabajan con sistemas en señal mixta, es decir, señales que están en el dominio analógico y digital, y que dadas las características de los sistemas se debe tener una comunicación o transferencia de datos entre ambos dominios. En cuanto a los convertidores analógicos-digitales, convierten una señal del dominio analógico o continuo a un dominio discreto o digital que es el dominio en el que trabajan los computadores y es aquí donde se presenta la importancia de este tipo de conversión, pues se realiza esta conversión para que la señal analógica pueda ser entendida y procesada por un computador. Muchos autores han realizado implementaciones de ADCs de alta velocidad, pero dada su complejidad, se limitan a implementaciones que no sobrepasan los 5 bits de resolución [7] [8] [5].

En este documento se presenta el proceso de diseño de un ADC a nivel de circuito integrado con una resolución de 8 bits que sea capaz de convertir señales analógicas a digitales con la velocidad más alta que permite la tecnología CMOS 0.13 μm IBM8RF. Como antes ha sido mencionado, la implementación de un ADC de 8 bits, presupone un reto mayor comparada a otras implementaciones en cuando a velocidad final de conversión, área y potencia consumida.

El ADC se diseñará e implementará siguiendo un esquema típico que se sigue en el diseño a la medida (*custom IC design*) en microelectrónica, iniciando con un análisis de topologías de ADCs de alta velocidad que cumplan con el requerimiento de 8 bits de resolución. Una vez concluido el análisis de topologías a nivel teórico, se pretende abordar la implementación en esquemático de la arquitectura que concluirá cuando se tenga un diseño funcional de la arquitectura en cuestión.

Lo anterior permitirá avanzar a la etapa de la implementación física o layout, en donde se construirá la etapa física de la arquitectura escogida, en la que se ofrecerá un modelo real tanto de funcionamiento, área y potencia consumida para la arquitectura antes escogida.

Por lo tanto, este documento pretende conducir al lector por todo el proceso de diseño de este ADC, llevándolo desde las cuestiones teóricas que envuelven el entorno y desarrollo de este proyecto como lo son los pormenores de la técnica de Espectroscopia por Impedancia Eléctrica, cuestiones teóricas de las arquitecturas ADC y las diferentes etapas de diseño e implementación, sin olvidar la presentación de resultados obtenidos con la arquitectura ADC implementada.

1.1 Organización del Documento

El presente documento se dividirá en capítulos para que el lector tenga una mayor fluidez en la lectura de este informe final de proyecto de graduación.

El capítulo 2 estará enfocado en un análisis teórico de los principales conceptos que involucra este proyecto como lo es la Espectroscopia por Impedancia Eléctrica, conceptos de interés para el entendimiento de los circuitos convertidores de señales analógicos a digital y posteriormente se ofrecerán detalles sobre la metodología que se siguió en el proceso de diseño.

El capítulo 3 mostrará en sus primeros apartados un análisis de las principales arquitecturas que se utilizan en la actualidad para implementar ADCs de alta velocidad, un análisis teórico de dichas arquitecturas y los criterios que llevaron a la escogencia de la arquitectura.

Posteriormente, en el capítulo 4 se ofrecerán detalles sobre el diseño a nivel de esquemático de cada uno de los submódulos que comprende la arquitectura escogida junto con los detalles sobre la implementación del diseño del ADC en su etapa física (layout).

En el capítulo 5 de este documento se ofrecerán detalles sobre la presentación y discusión de resultados arrojados por la arquitectura final del ADC.

Finalmente, en el capítulo 6 de este documento se presentarán las conclusiones a las que se han llegado con el diseño planteado y las recomendaciones pertinentes de este proyecto de graduación.

Capítulo 2 : Marco Teórico

2.1. Espectroscopia por Impedancia Eléctrica

La técnica de EIE se basa en la excitación con ondas electromagnéticas de cierto tejido o grupo de células para obtener un espectro en frecuencia del comportamiento de la impedancia eléctrica de dicha muestra [21]. Estando bajo el efecto de un campo eléctrico \vec{E} , se produce un flujo eléctrico \vec{D} en el material bajo estudio, resultando en:

$$\vec{D} = \varepsilon^* \varepsilon_0 \vec{E} \quad (2.1-1)$$

Donde ε_0 es la permitividad en el vacío y ε^* se define como la permitividad compleja, definida como:

$$\varepsilon^* = \varepsilon'(\omega) - i \varepsilon''(\omega) \quad (2.1-2)$$

Donde ε'' representa las pérdidas y ε' es la permitividad del material, que, a su vez será la variable en importancia pues tiene una variación con la frecuencia que permitirá determinar la zona de frecuencia en la que se encuentra el material y poder determinar sus características y si existe alguna alteración. El \vec{E} aplicado, también inducirá una densidad de corriente \vec{J} definida como:

$$\vec{J} = \sigma^* \vec{E} \quad (2.1-3)$$

En la que se define σ^* como la conductividad compleja. En la figura 2.1 se puede observar dichas zonas α (difusión iónica), β (Polarización de la membrana celular) y γ (Polarización dipolar, rotación y relajación del agua). Cada una de las zonas presenta diferentes características que pueden ser asociadas a anomalías o comportamientos normales en las células del tejido en análisis.

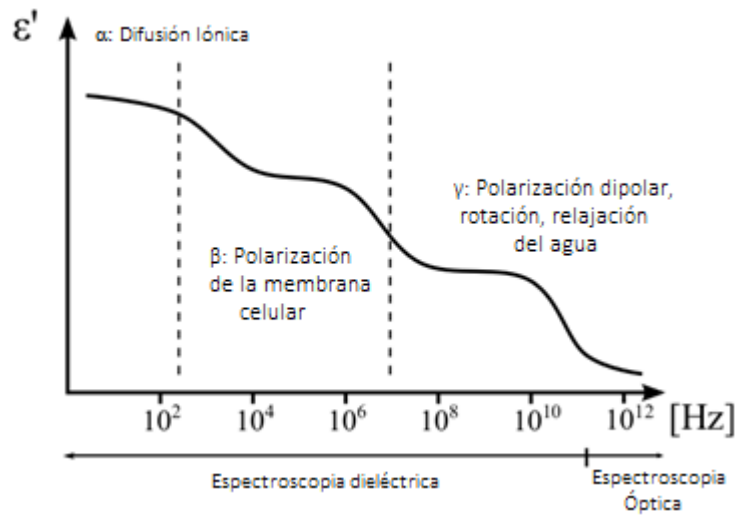


Figura 2.1. Respuesta en frecuencia para la permitividad de una célula. Adaptada de [9].

Si se hace un modelado de la célula como un circuito RC [24], se puede expresar la impedancia equivalente como:

$$Z_{eq} = R - jX_C = \frac{A}{\sigma \cdot l} + j \frac{l}{\omega \epsilon' \epsilon_0 A} \quad (2.1-4)$$

Si a la muestra bajo análisis se le aplica una señal armónica de voltaje con una frecuencia ω ; ϵ' y σ se pueden determinar de la siguiente forma:

$$\epsilon' = \frac{I_{imag} \cdot l}{U \cdot A \cdot \omega \cdot \epsilon_0} \quad (2.1-5)$$

$$\sigma = \frac{I_{real} \cdot A}{U \cdot l} \quad (2.1-6)$$

Donde I_{real} es la componente real de la corriente aplicada, I_{imag} la componente imaginaria de la corriente aplicada, U la magnitud del voltaje, l el largo de la muestra y A el área transversal de la muestra [21].

Ahora bien, la recuperación de datos obtenidos como respuesta de la excitación realizada al tejido bajo análisis, se debe hacer en un computador con el fin de almacenar la información y realizar un procesamiento efectivo de los datos, donde se pueda determinar qué características poseen las células analizadas y con esto determinar si tienen un estado normal, si poseen algún tipo de enfermedad o mutación que, si es detectada en etapas tempranas, pueda salvar vidas o prevenir efectos que agraven la calidad de vida de las personas.

Ahora bien, en el proyecto de investigación que se está desarrollando actualmente en el Instituto Tecnológico de Costa Rica sobre Espectroscopia por Impedancia Eléctrica se pretende diseñar un circuito integrado capaz de hacer mediciones de impedancia sobre múltiples canales en un rango de barrido de frecuencia hasta 10 GHz para obtener un espectro con suficiente información de las zonas de penetración celular (Figura 2.1), que permita tener datos con suficiente precisión y confiabilidad para brindar un diagnóstico aceptable sobre lo que le suceden a las células que están siendo analizadas.

Los presupuestos de área que se cuentan para implementar el sistema de Espectroscopia por Impedancia Eléctrica son limitados. Por lo que realizar un módulo de conversión analógica-digital permite optimizar el uso del área disponible, reducir el consumo de potencia al no tener que realizar un procesamiento nativo por métodos analógicos que dificultaría el tratamiento de los datos pues no se tienen las facilidades de software que ofrecería un computador, aumentaría el área destinada para el chip por tener que incluir etapas de procesamiento y se perdería la capacidad de almacenaje y portabilidad de la información obtenida en el barrido de frecuencia hecho al tejido bajo análisis.

Por tanto, se muestra como es de preponderante importancia la implementación de un sistema conversor de señales analógicas a digital para mejorar el procesamiento de los datos obtenidos por parte del barrido en frecuencia aplicado a las células bajo estudio. La figura 2.2 muestra un diagrama de bloques básico de una posible implementación de un sistema de EIE. Donde se muestra el bloque generador de la señal para el barrido en frecuencia, el tejido bajo análisis, el bloque de retención y eliminador de ruido (Lock-In Amplifier) y por último el ADC que funciona para la transmisión de datos a un computador.

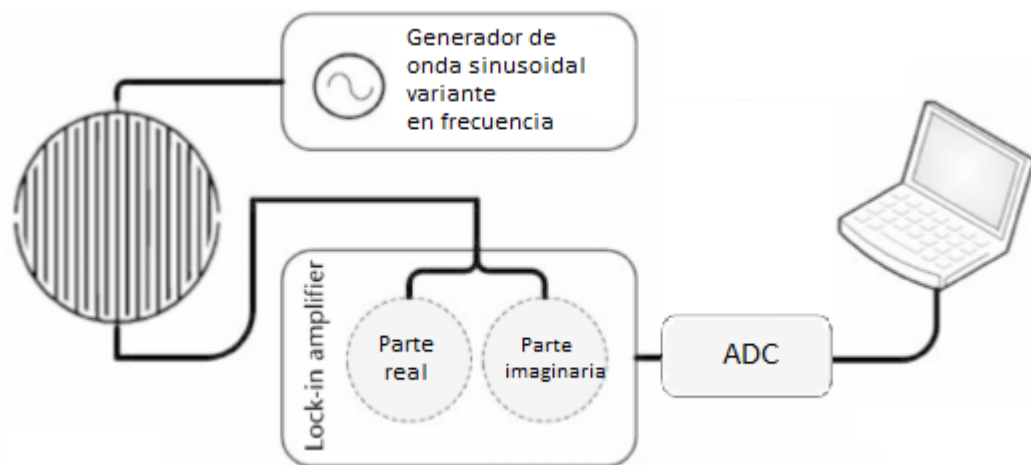


Figura 2.2. Diagrama simplificado de un sistema de Espectroscopia por Impedancia Eléctrica.
Adaptada de [10].

Ahora bien, se pretende realizar un ADC en circuito integrado en conjunto con los demás módulos del sistema de EIE. Para esto se utilizará la tecnología de fabricación CMOS 0.13 μm IBM8RF pues cumple con las características requeridas para poder llegar a generar una señal de excitación a la frecuencia máxima que se tiene como objetivo (10 GHz).

Además, se debe tener en cuenta la resolución que tendrá el ADC, esto pues a mayor cantidad de bits de resolución, se tendrá una representación cada vez más exacta de la señal analógica en un formato digital. Sin embargo, con el aumento de la cantidad de bits de resolución se tienen problemas asociados y como principal compromiso la velocidad de conversión que será capaz de manejar el ADC.

Otro aspecto a considerar es el área que se estará utilizando ya que, en arquitecturas de alta velocidad como la Flash, un aumento en la resolución equivale a un aumento exponencial del área consumida [11]. El aumento del área también tendrá repercusiones en el aumento de la potencia ya que, al tener una mayor cantidad de transistores, el consumo estático y dinámico de todo el módulo ADC se verá incrementado.

Es por esto que, bajo esta perspectiva, se decide realizar la implementación del ADC con una resolución de 8 bits, que está en el límite alto de implementaciones recomendables para

ADCs de alta velocidad de conversión [12]. Además, 8 bits de resolución implican 256 formas de representación de la señal analógica en formato digital que se presupuesta como una cantidad suficiente para validar los resultados obtenidos de la excitación del tejido que este bajo análisis por la técnica de Espectroscopia por Impedancia Eléctrica.

2.2 Convertidor Analógico-Digital

2.2.1. Fundamentos de Conversión Analógico-Digital

Como ya se ha tratado en este documento, la meta principal de este proyecto es el diseño e implementación de un ADC de alta velocidad con una resolución de 8 bits que permita tener una representación de la señal analógica lo suficientemente precisa en un formato digital. Para esto se presentan conceptos necesarios para entender las arquitecturas y el proceso de conversión analógica digital.

En primera instancia, en la figura 2.3 se muestra la arquitectura básica de un ADC:

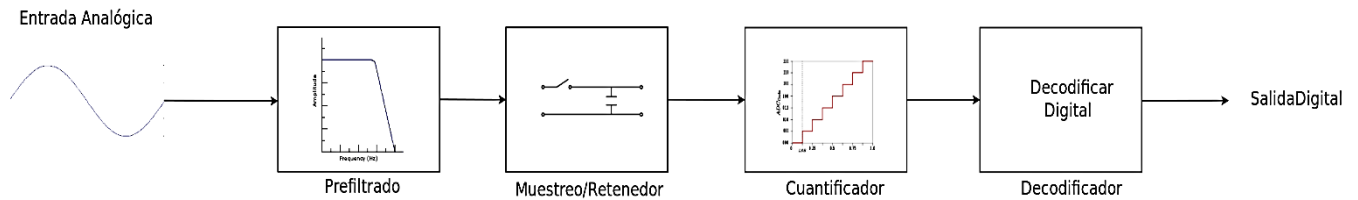


Figura 2.3. Bloques básicos de un Convertidor Analógico-Digital.

En la anterior figura se muestra como primer bloque un filtro denominado antireplicador (antialiasing filter) que tiene como objetivo limitar el ancho de banda de la señal a digitalizar, para evitar el ruido que pueda generarse al muestrear la señal y servir como estabilizador de la señal analógica de entrada para disminuir el riesgo de replicación (aliasing). Además, como se mencionó este filtro tiene la función de eliminar cualquier tipo de ruido que la señal de interés contenga en sus componentes espectrales. La segunda etapa es en la que se realiza el muestreo de la señal de interés, cuando se habilita el interruptor permite que se cargue un capacitor que mantendrá el valor actual de la señal por un periodo de muestreo. Esta función se realiza por parte de un circuito llamado *Sample-and-Hold* o *Track-and-Hold*.

El siguiente eslabón dentro de la arquitectura del ADC es la cuantización que se refiere a la conversión de valores continuos en series de valores discretos o muestreo en amplitud. Por último, se tiene la etapa de decodificación que es la etapa en la cual se codifica el resultado de la cuantización a un formato binario, que sería la salida del ADC y la representación digital de la señal analógica. A continuación, se detallarán cada una de las etapas antes mencionadas a mayor profundidad.

2.2.1.1. Muestreo y Retención (S/H)

Esta sección es quizás uno de los puntos clave en cualquier arquitectura ADC ya que no solamente aísla la etapa de la entrada con el interior del ADC, sino que también proporciona estabilidad en la señal de entrada para que la conversión de la señal a digital se realice de forma adecuada. La figura 2.4 muestra un esquema típico del comportamiento de un circuito S/H.

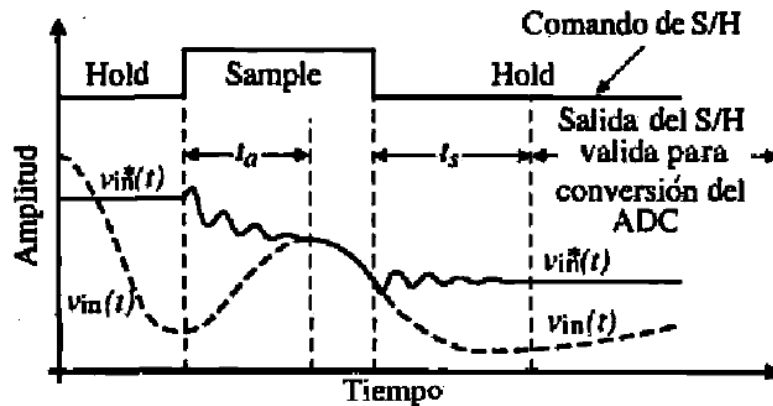


Figura 2.4. Esquema de funcionamiento del S/H. Adaptada de [3].

En la anterior figura se puede ver como el *tiempo de adquisición* destacado como t_a , se define como el tiempo en el que el S/H debe permanecer en muestreo para asegurar que la señal analógica pueda ser muestreada de forma correcta por parte del circuito de muestreo, esto asegura que se tenga un nivel confiable para la subsecuente etapa de retención.

El *tiempo de estabilización* se destaca como t_s y se refiere al intervalo de tiempo entre el cierre del periodo de muestreo y el transitorio producido en la salida que produce oscilaciones en la salida del S/H, este tiempo se debe cumplir para asegurar que la señal que está tomando el ADC como valor de conversión este estable y no produzca conversiones falsas a causa de este

transitorio [3].

Por tanto, para cumplir con los criterios de temporización antes mostrados, el tiempo mínimo de S/H debe ser:

$$T_{muestreo} = t_s + t_a \quad (2.2-1)$$

La ecuación 2.2-1 indica, por lo tanto, que la frecuencia máxima de muestreo del ADC será dada por:

$$f_{muestreo} = \frac{1}{T_{muestreo}} \quad (2.2-2)$$

Cabe destacar que esta frecuencia de muestreo indicada por la ecuación 2.2-2 debe cumplir con el Teorema de Nyquist que indica a grandes rasgos que, para poder reconstruir la señal muestreada, la frecuencia de muestreo debe ser al menos el doble de la frecuencia máxima de la señal de interés.

2.2.1.2. Cuantización

El cuantificador es el encargado de convertir una sucesión de muestras de amplitud continua a una sucesión de valores discretos preestablecidos. En esta etapa la señal muestreada por el S/H es convertida por acción de circuitos como comparadores a valores digitales que crean una representación digital preliminar del valor en amplitud que representa la señal analógica en cuestión. En general, esta etapa se implementa con comparadores que bajo la comparación de la amplitud de la señal analógica y valores de voltajes de referencia crean la decisión del circuito comparador. La salida de esta etapa será un código termómetro que será la entrada de la etapa de decodificación.

La cuantización crea una representación discreta de la señal que no se adapta a la perfección a la señal analógica como se puede observar en la figura 2.5 que representa un ADC ideal de 3 bits [13]. Este efecto crea un error de cuantización que es un efecto intrínseco de la discretización de una señal continua, ya que no se tiene la suficiente resolución para hacer una representación fiel de la señal analógica. Este efecto de la resolución se puede ver con claridad en la figura 2.6, en donde q_s se define como paso de cuantización o *quantization step* que indica los pasos que se dan ante la entrada de la figura 2.5. Aquí se observa como para un ADC de 3

bits los pasos que se deben dar son muy grandes y no son suficientes para poder seguir a la señal analógica.

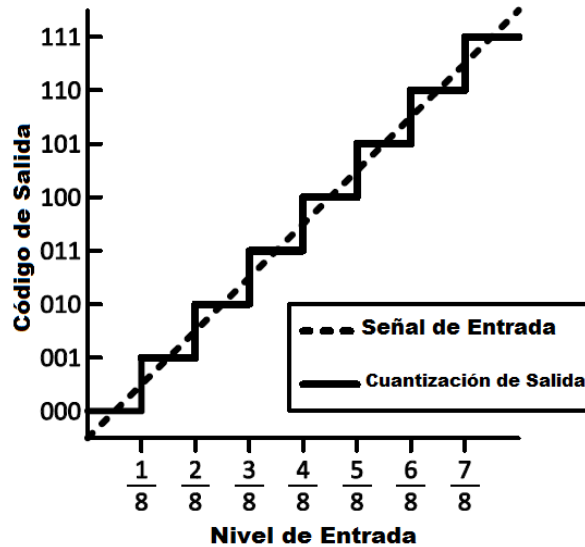


Figura 2.5. Cuantización de una señal analógica. Adaptada de [3].



Figura 2.6. Muestra el Error de Cuantización. Adaptada de [3].

Cabe mencionar que la salida de esta etapa de cuantización será un código semibinario o código termómetro que permitirá determinar el valor binario que tendrá la señal muestreada.

2.2.1.3. Decodificación

Por último, se tiene la etapa de decodificación que tendrá como entrada el código generado por el cuantificador y dará la salida digital que corresponde al valor muestreado de la señal analógica. Esta etapa básicamente se compone de un decodificador que traduce el código termómetro resultante de la etapa de cuantización a un formato binario que es la salida del ADC.

Esta etapa se puede implementar como un circuito digital ya que el nivel de voltaje del código termómetro se puede tratar como digital, es decir como 1s y 0s pues son salidas de comparadores.

2.2.2. Otros Conceptos

Algunos otros conceptos importantes que se deben conocer para el diseño del ADC [14] son los siguientes:

- FSR: se refiere al rango máximo que se tiene disponible para crear los voltajes de referencia, es decir, si por ejemplo el voltaje de referencia máximo es 1.2 V, el FSR será 1.2 V.
- LSB: se refiere al ancho de cada uno de los pasos que se da en el proceso de cuantización. se refiere a la cantidad de pasos que se pueden dar en el proceso de cuantización. Este concepto está asociado a la resolución del ADC y se puede calcular de la siguiente forma:

$$1 \text{ LSB} = \frac{FSR}{2^N - 1} \quad (2.2-3)$$

Donde N es la cantidad de bits de resolución que tenga el ADC.

2.3 Flujo de Diseño IC

En esta sección se explica la metodología que se seguirá en el diseño de este ADC, teniendo en cuenta que el resultado final será una implementación que será construida en un circuito integrado bajo las reglas y técnicas que envuelven un diseño VLSI.

2.3.1. Tecnología de Diseño

Como ya se ha mencionado en varias ocasiones, la tecnología utilizada para la implementación del ADC en sus diferentes etapas de diseño es la de 0.13 μm IBM8RF.

2.3.1.1. Características de la Tecnología

Esta tecnología ofrece las siguientes características que la hacen propicia para la implementación del ADC y los diferentes módulos que componen el IC para la EIE.

- ✓ La Escuela de Ingeniería en Electrónica del ITCR tiene un convenio universitario con MOSIS que le permite fabricar un IC con un área de 4 mm². Uno de los kits de diseño que está dentro de este programa de fabricación gratuita es el de 0.13 μm IBM8RF lo que ofrece una ventaja competitiva muy grande frente a otros kits de diseño.
- ✓ La Escuela de Ingeniería en Electrónica tiene una licencia académica del software Mentor Graphics que es el software utilizado para diseñar con el kit 0.13 μm IBM8RF.
- ✓ La tecnología 0.13 μm IBM8RF esta optimizada para aplicaciones de alta velocidad pues es un kit enfocado a aplicaciones en radiofrecuencia.
- ✓ La tecnología 0.13 μm IBM8RF ofrece el rendimiento necesario para poder realizar la generación de la señal de excitación de las células para el proyecto de EIE a frecuencias cercanas y/o superiores a los 10 GHz.

Ahora bien, como el lector de este documento comprenderá el uso de la tecnología 0.13 μm IBM8RF está ligada al uso confidencial de la información expuesto en las hojas de datos de dicha tecnología, por lo que compartir información como anchos mínimos, largos mínimos, tolerancias, capacitancias de las difusiones y otros parámetros eléctricos está prohibido. Si el

lector tiene acceso a los manuales de diseño puede revisar dicha información que podrá ser encontrada en [9].

2.3.1.2. Capas de Metal Utilizadas (*Stack-up*)

Cuando se realice la implementación física del ADC (layout), se deberá tener en cuenta las capas de metal que se utilizarán para realizar el ruteo entre los diferentes módulos e interconexiones entre los transistores que componen el ADC. En la figura 2.7 se muestra el acomodo de las capas que se van a utilizar en la implementación física.

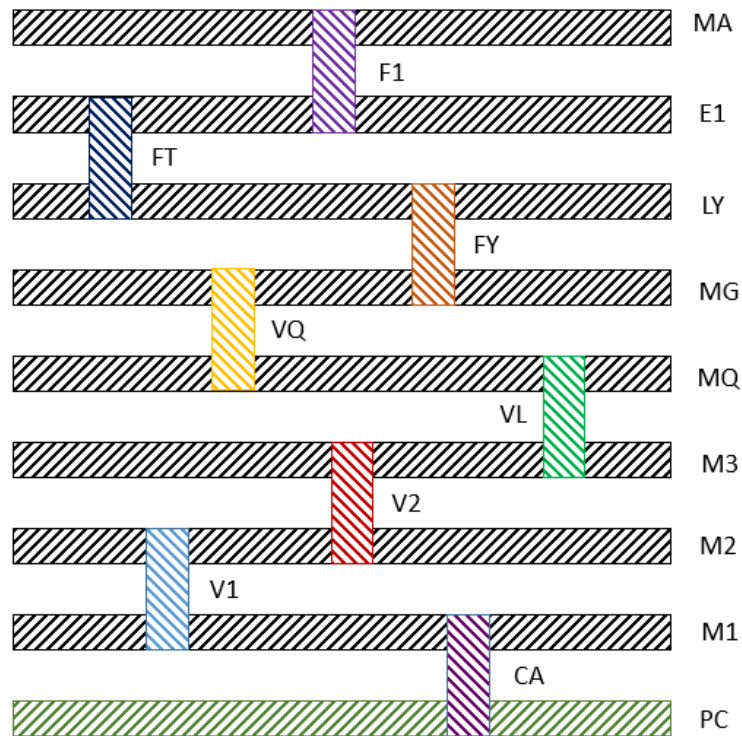


Figura 2.7. *Stack-up* utilizado para la implementación Física

Cada uno de los acrónimos de la figura 2.7 se denominan máscaras y corresponden a máscaras utilizadas en el proceso de fabricación. La tabla 2.1 ofrece más detalles sobre esto.

Tabla 2.1. Descripción de las capas utilizadas en la implementación física.

Nombre de la Máscara	Descripción
PC	Polisilicio, conecta las compuertas de los transistores
CA	Conecta PC con M1
M1	Primer nivel de metal
V1	Via 1, conecta M1 con M2
M2	Segundo nivel de metal
V2	Via 2, conecta M2 con M3
M3	Tercer nivel de metal
VL	Conecta M3 con MQ
MQ	Primer nivel de metal para cableado
VQ	Conecta MQ con MG
MG	Segundo nivel de metal para cableado
FY	Conecta MG con LY
LY	Antepenúltimo nivel de metal
FT	Conecta LY con E1
E1	Penúltimo nivel de metal
F1	Conecta E1 con MA
MA	Última capa de metal

Dado el *stack-up* de la figura 2.7 y la descripción dada en la tabla 2.2, para la implementación del ADC se utilizarán las capas de metal y vias que llegan hasta MG, ya que las capas y vias superiores a MG se utilizaran para el ruteo entre este módulo y los demás módulos del IC que se construirá para el proyecto de EIE.

2.3.2. Metodología de Diseño

Primeramente, se realizó una investigación bibliográfica de topologías de ADC de alta velocidad, esto para asegurar que se cumplan los requerimientos mínimos de resolución, área y velocidad de conversión a los que se debe ajustar el proyecto como parte de un proceso de fabricación en el que se deben cumplir requerimientos muy exigentes. Es por esto que además de lo anterior, la investigación que se realizó, tuvo temas concernientes al proceso de fabricación, pues permitió conocer los pormenores de la tecnología de fabricación 0.13 μm IBM8RF en cuanto a la implementación de los dispositivos que son necesarios en la arquitectura del ADC como lo son: transistores que brinden un rendimiento óptimo, resistencias y sus diferentes parámetros de fabricación. Además, en esta sección es de importancia conocer las reglas de diseño de la tecnología para agilizar la implementación de etapas posteriores como lo es la implementación física o *layout*. El proyecto se realizará a nivel de software, lo que indica que se debe tener un entrenamiento previo en cuanto al uso del software de diseño llamado Mentor Graphics. Este software es el que la Escuela de Ingeniería en Electrónica tiene acceso para el kit de la tecnología 0.13 μm IBM8RF.

Ahora bien, una vez que se tienen las bases teóricas que involucran el proyecto, se seleccionaran al menos tres topologías de ADC que cumplan con los criterios establecidos. A cada una de estas arquitecturas, se le realizará un análisis a nivel teórico que permitirá estimar propiedades de cada una de ellas como lo es área, complejidad en la implementación física y velocidad de conversión.

Una vez seleccionada la arquitectura, se realizara un análisis teórico del ADC, correspondiente a la primer etapa de diseño, pues aquí se conocen las características reales que presenta y puede llegar a tener el ADC en cuanto a velocidad y confiabilidad de conversión ya que, se puede evaluar retardos de los transistores, efectos no lineales intrínseco a cualquier arquitectura ADC, niveles de potencia que se manejaran en las diferentes etapas y dimensionamiento de componentes pasivos (resistencias, capacitores) y activos (transistores), que tiene la arquitectura seleccionada. Seguidamente, en Mentor Graphics se creará la vista en esquemático de la arquitectura del ADC, esta representa la primera etapa de la implementación

del diseño propuesto pues se tienen las herramientas necesarias para realizar la verificación funcional a nivel de esquemático del ADC. Para esto se utilizará el simulador integrado a Mentor Graphics llamado EldoSpice, en el que se evaluará la funcionalidad completa de los diferentes módulos que componen la arquitectura, para posteriormente realizar una simulación de la arquitectura completa en la que se evaluará el rendimiento, velocidad y eficacia de la conversión de señales analógicas a digital. Cabe destacar que esta etapa es de las más importantes pues se debe cumplir con los requerimientos planteados antes de poder seguir con las etapas posteriores.

Con la funcionalidad de la arquitectura a nivel de esquemático, el siguiente paso es la implementación del diseño a nivel físico del ADC o layout. Parte de las estrategias que se siguen está la confección de un plano en el que se planea la disposición de las celdas que garanticen un mejor rendimiento. Entre los factores que rigen este rendimiento están: rutas cortas, compartir difusiones para disminuir capacitancias parasitas, disminución del área utilizada, utilización de la menor cantidad de niveles de metal, entre otras. Seguidamente se realizará la disposición de las celdas con ayuda de Pyxis Layout, herramienta disponible en Mentor Graphics para la creación de la vista de layout.

Ahora bien, una vez finalizada la implementación física (layout), se deberá verificar dicha implementación, para lo cual se debe cumplir las Reglas de Diseño (DRC) haciendo uso de Calibre DRC (herramienta interna de Mentor Graphics). El DRC se tiene que pasar sin errores para asegurar el éxito de las etapas posteriores del flujo de diseño, pues si existe algún error, quiere decir que se pueden producir corto-circuitos, interferencias entre señales, etc.

La etapa posterior, es validar la comparación entre layout y esquemático (LVS), esta acción se realiza con la herramienta Calibre LVS que igualmente forma parte de Mentor Graphics. Esta prueba es de suma importancia pues si no es aprobada, quiere decir que el layout no corresponde a lo que se implementó a nivel de esquemático y como en una etapa anterior se revisó que el esquemático funcionara correctamente, el layout es quien tiene errores. Entre las posibles causas de error pueden estar: errores de conexión, escogencia de dispositivos, dimensionamiento, etc.

La etapa posterior consiste en la estimación de los elementos parásitos que tenga el layout, tarea realizada con ayuda de Calibre PEX. Los elementos parásitos a los que se hacen mención

son resistencias y capacitancias que aparecen en la implementación del layout y que contribuyen a ser una carga mayor al caso ideal, aportando en consumo de potencia y retrasos en tiempos de llegada de las diferentes señales como principales efectos. Con lo anterior se pretende tener un modelo más real de las condiciones y elementos que podrían aparecer cuando se fabrique el ADC. Es por esta razón que nuevamente se debe realizar una validación de la arquitectura del ADC, ya que con la aparición de elementos parásitos el funcionamiento del circuito cambia (se espera que estos cambios sean mínimos) y por eso la importancia de esta etapa que permite evaluar y tener una arquitectura final funcional. Esta simulación postlayout se realiza nuevamente con EldoSpice y mide el rendimiento final del ADC antes de la fabricación, pues al ser una simulación a nivel de implementación física, se están tomando en cuenta los modelos parásitos y mayores retardos o problemas que podría llegar a presentar el ADC.

Capítulo 3 : Propuesta de Diseño

3.1. Arquitecturas de ADCs de Alta Velocidad de Conversión

Como el lector de este documento ya conoce, parte del desafío de este proyecto es la implementación de un ADC con una arquitectura que demuestre una velocidad de conversión de señales analógicas a digitales lo más alta posible para asegurar que el ADC no represente un cuello de botella al final de la arquitectura del chip que se está diseñando para la aplicación de la técnica de EIE.

Además, se debe tener en cuenta la resolución del ADC, que como se ha detallado, debe ser de al menos 8 bits para que cumpla con los requerimientos planteados y se tenga una representación adecuada de la señal de respuesta de la célula o el tejido bajo análisis en un formato digital que reúna la información necesaria para poder determinar la condición de la muestra.

Bajo este panorama, la figura 3.1 ofrece realizar un escrutinio inicial de que arquitecturas se pueden tomar en cuenta como base para el diseño del ADC ya que en dicha figura se realiza una comparación entre una velocidad estimada de conversión y la resolución que cada una de las arquitecturas tenga.

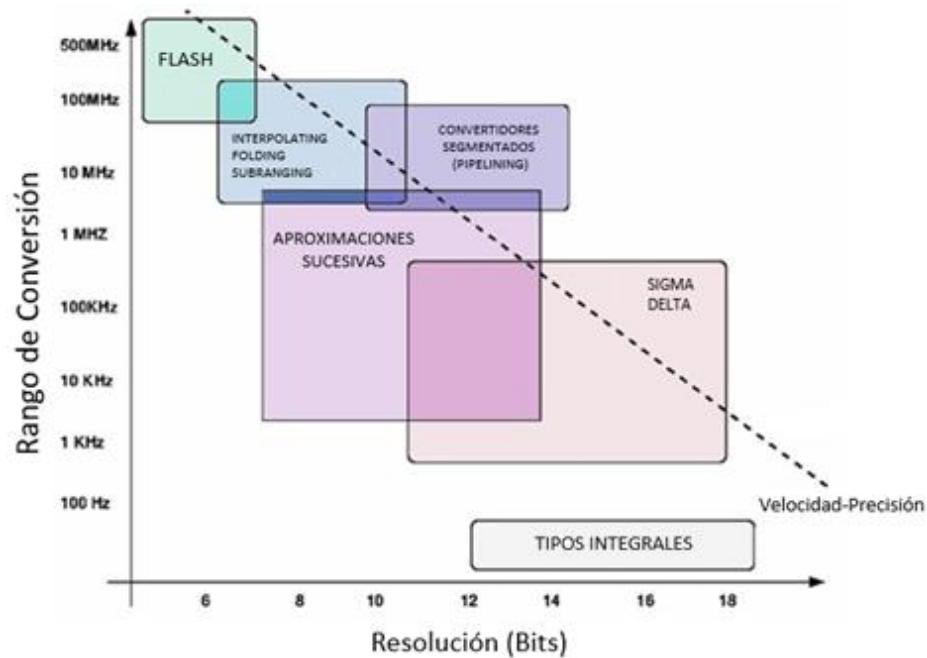


Figura 3.1. Gráfico de velocidad de conversión versus bits de resolución para diferentes topologías de ADC. Adaptada de [1].

Dado un análisis inicial del rendimiento que se puede obtener de cada una de las arquitecturas se puede estimar que entre las arquitecturas que tienen la propiedad de alta velocidad se tienen: *Flash*, *Interpolating-Folding Subranging*, *Convertidores Segmentados* y *Aproximaciones Sucesivas* que a su vez pertenecen a la escala de *Nyquist ADC* [6]. Estas son las arquitecturas más utilizadas para altas velocidades de conversión.

Implementar ADCs con alta velocidad de conversión limita la resolución a la que los convertidores puedan llegar a tener como ya ha sido visto en la figura 3.1, es por esto que se ha estimado, diseñar un ADC con una resolución de 8 bits, pues permite tener una representación binaria de la señal analógica lo suficientemente confiable para permitir llegar a conclusiones validas una vez que se ha procesado la información proveniente de la muestra bajo estudio por parte de la EIE. Es por esto que bajo este panorama a continuación se presenta un análisis de tres topologías de ADC de alta velocidad que pueden ser implementables en este proyecto.

3.1.1. Arquitectura Flash

Desde el punto de vista teórico esta arquitectura es la más simple y presenta un potencial para tener una velocidad de conversión superior a todas las demás arquitecturas ya que se basa en el paralelismo y muestreo paralelizado para alcanzar altas velocidades de conversión [15]. La figura 3.2 muestra un ejemplo típico de cómo es la implementación de esta arquitectura, en donde se muestran en un alto nivel los principales bloques funcionales de una arquitectura de ADC tipo Flash.

Esta arquitectura se basa en tres etapas básicas: una primera etapa implementada con una escalera de divisores resistivos que proporcionan la referencia para los comparadores de la siguiente etapa. Esta escalera de divisores resistivos proporciona 2^N referencias igualmente espaciadas, donde N es la resolución del ADC.

La etapa de cuantificación es implementada con comparadores en los que se dispara una salida "digital" cuando el valor de la señal de entrada sobrepasa al de la referencia que es generada en la escalera de divisores resistivos. Esta etapa es quizás la más crítica de toda la arquitectura pues los comparadores no solamente tienen que responder a una gran velocidad, sino que también deben ser estables pues ante cambios en las señales de entrada (ruido) no se debe permitir cambios en el resultado de la comparación.

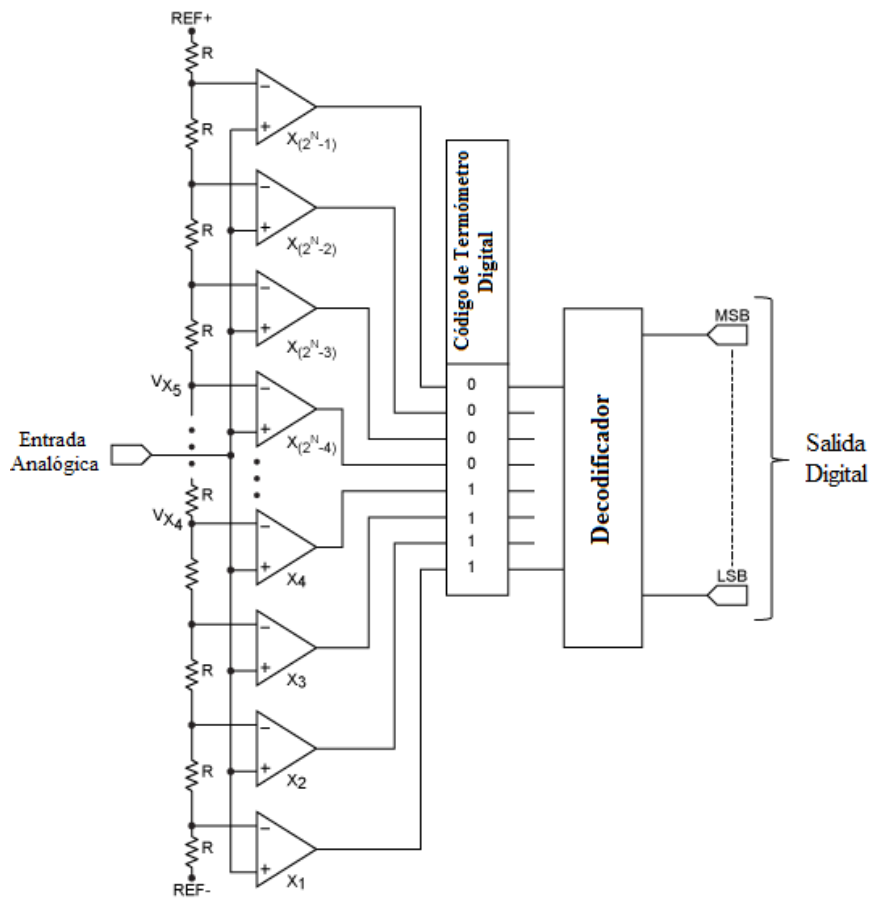


Figura 3.2. Estructura típica de un ADC Flash. Adaptado de [2].

Esta arquitectura no necesita S/H pues los comparadores realizan un muestreo paralelizado, es decir, cada comparador realiza el muestreo y la cuantización en una sola etapa, lo que permite una mayor velocidad de conversión al no necesitar etapas que ralentizan el proceso. Uno de los problemas que tiene esta arquitectura es que necesita 2^N-1 comparadores, donde N es la resolución del ADC [6]. Esto indica que para un ADC con una resolución de 8 bits se necesitan 255 comparadores, lo que es prácticamente inviable por requerimientos de área. Además, desde el punto de vista de potencia consumida es más elevada que otras arquitecturas ya que en general los comparadores de alta velocidad consumen más potencia que comparadores de aplicaciones de baja velocidad.

La última etapa es un decodificador, que recibe el código termómetro generada por los comparadores de la etapa anterior. Esta sección del ADC genera el código binario que identifica el valor discreto de la señal analógica que ha sido muestreada. Esta etapa en general recibe un código binario de entrada por lo que se puede construir y diseñar con técnicas de diseño digital combinacional por lo que se tendrá que diseñar teniendo en cuenta la velocidad de propagación de esta etapa combinacional que tendrá un impacto directo en la velocidad de conversión.

3.1.2. Registro de Aproximaciones Sucesivas (SAR)

Esta arquitectura de ADC está basada en una combinación entre un ADC y un DAC pues en el diagrama de la arquitectura que se muestra en la figura 3.3, se puede observar dicha combinación. Esta arquitectura es una de las arquitecturas más deseadas cuando se necesita un ADC con resolución y velocidad media pues en comparación con una arquitectura 100% Flash, es $N+1$ veces más lenta, donde N es la resolución del ADC.

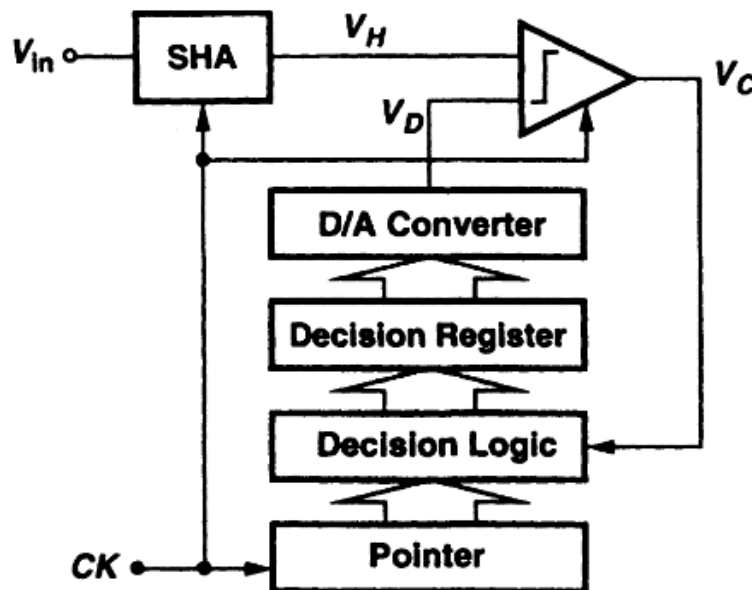


Figura 3.3. Arquitectura SAR ADC. Adaptada de [3].

Como la figura 3.3 lo muestra esta arquitectura cuenta con un S/H, comparador con arquitectura de alta velocidad, registro de desplazamiento, lógica de decisión, registro de decisión y un DAC lo que representa en general una arquitectura con una complejidad de implementación menor comparado a otras arquitecturas.

El funcionamiento de esta arquitectura se basa en múltiples comparaciones sucesivas ya sean ascendentes o descendentes según corresponda la salida del DAC que es el encargado de realizar dicho cambio en la comparación para poder igualar la tensión de la señal de entrada. Inicialmente el registro de desplazamiento comienza en cero y en el primer ciclo de reloj se pone un 1 en el MSB, dejando los demás bits del registro en cero. Este valor es convertido a una señal analógica que es comparada con la señal de entrada, si dicha señal es menor a V_{in} se agrega un 1 al MSB del registro de desplazamiento quedando en 110...00; en caso contrario si la señal es mayor a V_{in} se agrega un 0 al valor MSB del registro quedando como 010...00. El proceso continúa de la misma manera hasta poder alcanzar el valor LSB y este código final será la salida del ADC SAR.

3.1.3. Interpolación y Plegado (Folding and Interpolation)

Esta arquitectura se basa en dos mejoras que se la hace a la arquitectura del ADC Flash para reducir la cantidad de comparadores que se deben utilizar. Esta arquitectura es la más utilizada cuando se desea implementar ADC de alta velocidad pues permite velocidades de muestreo similares a las alcanzadas con la arquitectura Flash, pero con la ventaja de hacer un uso más eficiente del área utilizada en la implementación [6].

3.1.3.1. Interpolación

Para poder realizar el proceso de reducción de comparadores, la diferencia entre la señal analógica de entrada y el voltaje de referencia puede ser cuantizada a la salida de los preamplificadores. Esto es posible gracias a que los preamplificadores usados son de ganancia finita.

Este concepto puede ser ilustrado por medio de la figura 3.4. En la figura 3.4 (a), los preamplificadores A_1 y A_2 comparan la entrada analógica con V_{r1} y V_{r2} , respectivamente. En la figura 3.4 (b), la entrada/salida característica de A_1 y A_2 son presentadas en donde se asume que

no hay offset en ambos preamplificadores, por tanto, se puede ver que $V_{x1}=V_{y1}$ si $V_{in}=V_{r1}$ y $V_{x2}=V_{y2}$ si $V_{in}=V_{r2}$. Más importante aún, $V_{x2}=V_{y1}$ si $V_{in}=V_m = (V_{r1} + V_{r2})/2$, por tanto, la polaridad de la diferencia entre V_{x2} y V_{y1} es la misma que la diferencia entre V_{in} y V_m [15].

Visto de otra forma el proceso de interpolación lo que hace es crear nuevos voltajes de referencia posterior a los preamplificadores lo que reduce la cantidad de comparadores que se utilizan. Las ventajas de la interpolación es que primeramente se reduce el área utilizada lo que repercute en una disminución en la potencia consumida y además trae consigo una disminución en la capacitancia de entrada del ADC.

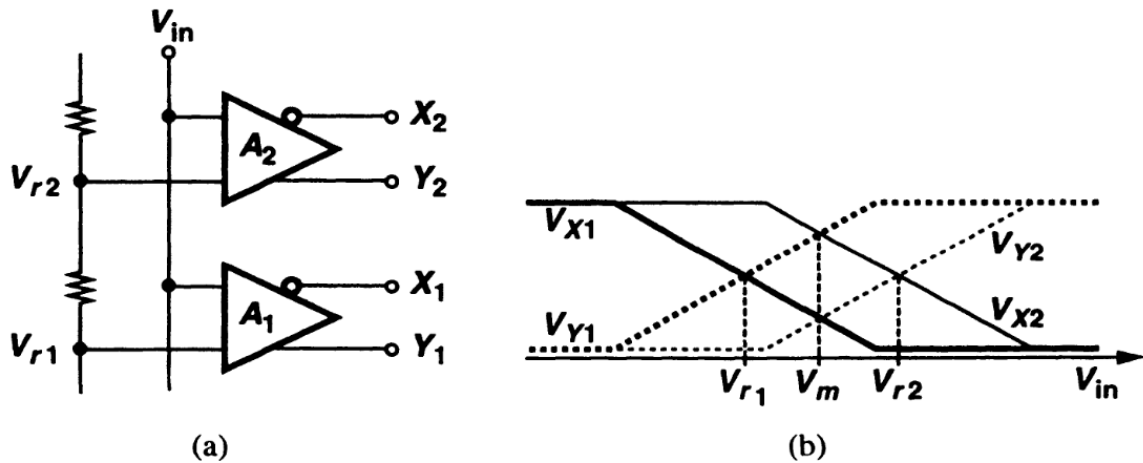


Figura 3.4. Interpolación entre la salida de dos preamplificadores. Adaptado de [4].

Ahora bien, una forma de implementar la interpolación es la interpolación 2R como se puede observar en la figura 3.5, que utiliza divisores resistivos para crear los nuevos voltajes de referencia, que como se puede ver de las ecuaciones 3.1-1 y 3.1-2 la interpolación 2R lo que genera es un promedio entre los voltajes de los nodos bajo interés. Los nuevos voltajes de referencia para los nodos V_{ref+} y V_{ref-} , entradas del comparador del medio, se calculan como lo muestran las ecuaciones 3.1-1 y 3.1-2.

$$V_{ref+} = \frac{V_{x1} + V_{x2}}{2} \quad (3.1-1)$$

$$V_{ref-} = \frac{V_{y1} + V_{y2}}{2} \quad (3.1-2)$$

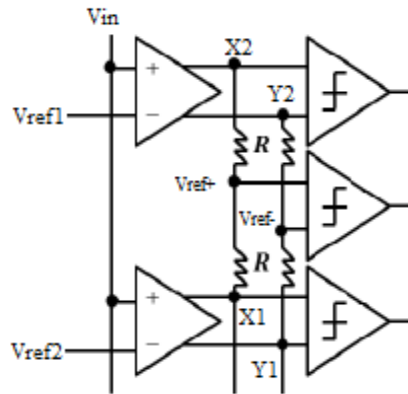


Figura 3.5. Implementación de la interpolación. Adaptado de [5].

3.1.3.2. Plegado (Folding)

Como ya se analizó anteriormente, la arquitectura Flash provee conversiones en un paso sin necesitar un preprocesamiento analógico, pero con el agravante de sufrir de gran capacitancia de entrada, gran disipación de potencia y área. La arquitectura Folding realiza un preprocesamiento analógico para reducir el hardware mientras mantiene la característica de conversión en un paso de la arquitectura flash original.

El principio básico es el de generar un voltaje de residuo a través de un preprocesamiento analógico y subsecuente digitalización de los residuos para obtener el LSB. El MSB se obtiene utilizando una etapa ordinaria de la arquitectura Flash que operará en paralelo con el circuito de plegado y por lo tanto muestrear la señal en aproximadamente el mismo tiempo que se da el muestreo del residuo.

Ahora bien, considere dos preamplificadores A_1 y A_2 con característica de entrada/salida mostrada en la figura 3.6 (a). La región activa de uno de los preamplificadores está centrada alrededor de $(V_{r1} + V_{r2})/2$ y para el otro alrededor de $(V_{r2} + V_{r3})/2$ y $V_{r3} - V_{r2} = V_{r2} - V_{r1}$.

Cada amplificador tiene ganancia unitaria en la región activa y ganancia de cero en la región de saturación. Si la salida de los dos preamplificadores es sumada, la característica de plegado se muestra en la figura 3.6 (b), resultando una salida igual a $V_{in} - V_{r1}$ para $V_{r1} < V_{in} < V_{r2}$ y $-V_{in} + V_{r2} + \Delta$ para $V_{r2} < V_{in} < V_{r3}$, donde Δ es el valor de la suma en $V_{in} = V_{r2}$. Por lo tanto, si V_{r1} , V_{r2} , V_{r3} son voltajes de referencia de un ADC entonces estas dos regiones pueden ser vistas

como una característica de residuo del ADC para $V_{r1} < V_{in} < V_{r3}$ [15].

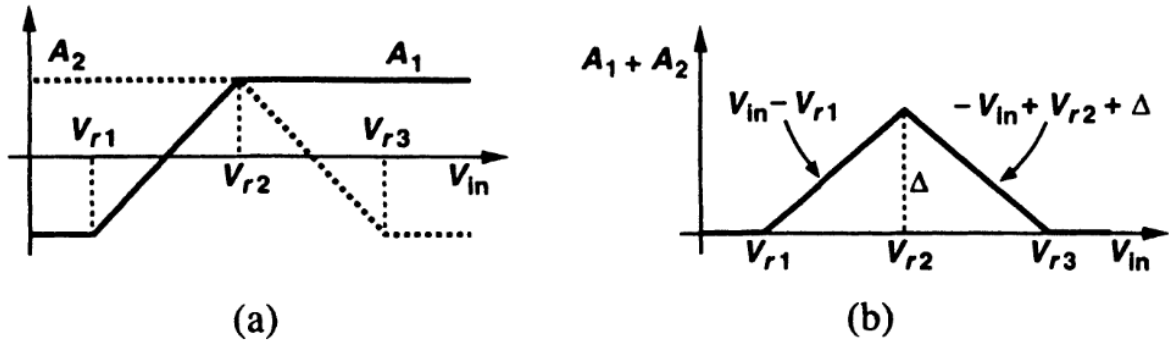


Figura 3.6. (a) Características de entrada/salida de dos preamplificadores, (b) suma de las características en (a). Adaptado de [4].

Ahora bien, una forma de implementar esta técnica de plegado es con el uso de multiplexores que generan los voltajes de residuo al tener diferentes voltajes de entrada que corresponden a salidas de escaleta resistiva. La figura 3.7 muestra esta implementación donde los voltajes de residuo que están etiquetados como V_{rx} y V_{ry} serán utilizados en la etapa siguiente como voltajes de referencia para los comparadores.

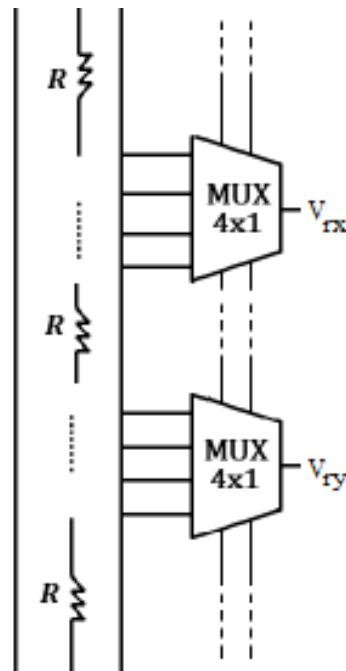


Figura 3.7. Aplicación de la técnica de plegado. Adaptado de [5].

3.1.3.3. Folding and Interpolation

Anteriormente se han analizado por separado las características de mejora que la técnica de interpolación y plegado ofrecen para la arquitectura ADC Flash tradicional. Ahora bien, estos dos métodos pueden ser combinados para ofrecer una mejora superior en cuanto al uso del área, potencia consumida y capacitancia de entrada sin inhibir a la arquitectura general de la conversión de señales analógicas a digitales en un solo paso, ya que los elementos que se agregaran no dependen de una señal de reloj que agregue pasos a la conversión.

Sin embargo, se compromete en cierto punto la velocidad ya que dichos elementos que se van a agregar incrementan la velocidad de propagación de la señal, principalmente en el preprocesamiento hecho por la técnica de plegado. Esto se debe tomar en cuenta al momento de la escogencia de la frecuencia de reloj con la que trabajaran los comparadores. Otro aspecto es que al agregar elementos a la arquitectura la simplicidad intrínseca de la arquitectura Flash en su etapa de implementación se va a perder pues agregar elementos complica su implementación final en todas sus etapas (diseño de los elementos extra, esquemático de la arquitectura, layout, verificación y validación).

3.2. Escogencia de la Arquitectura ADC

3.2.1. Criterios de escogencia

En la sección anterior se han presentado tres arquitecturas generales de ADC de alta velocidad en las que se han presentado, además, las principales características y una explicación general del funcionamiento de cada una de ellas. Con base en esto los siguientes criterios serán tomados en cuenta en la escogencia de la arquitectura final.

- Área
- Potencia consumida
- Velocidad de conversión

3.2.2. Análisis de arquitecturas

Según los criterios antes mencionados, se presenta un análisis de cada una de las arquitecturas tomando en cuenta los criterios antes señalados.

❖ Flash

Esta arquitectura tiene como característica principal la de poder convertir la señal analógica en digital en un solo ciclo de reloj, maximizando la velocidad de conversión que se pueda tener ya que al tener solamente 3 etapas principales (escalera resistiva, cadena de comparadores y decodificador), el ancho del pulso de reloj puede verse minimizado, conllevando a una mayor frecuencia de muestreo. En cuanto a presupuestos de área, esta arquitectura es la que posee mayores problemas ya que la cantidad de comparadores aumenta exponencialmente con la resolución, esto hace que esta arquitectura ocupe una mayor área.

Un aspecto a rescatar es que arquitecturas de alta velocidad implican una conmutación más acelerada de los transistores que componen la arquitectura que conlleva a un consumo de corriente más elevado. Además, por la cantidad de transistores que en general se utilizaran, el consumo de potencia será alto con respecto a otras arquitecturas que utilizan menos hardware.

❖ Registro de Aproximaciones Sucesivas

Esta arquitectura tiene la ventaja que el hardware que se utilice será menor en comparación con otras arquitecturas por lo que en cuanto a área es la arquitectura con mejores prestaciones que se van a extender a la potencia consumida, ya que en general al tener menos hardware en su arquitectura, menos potencia será consumida.

El aspecto que quizás más impacta esta arquitectura es el hecho de utilizar varios ciclos de reloj para poder realizar la conversión de la señal analógica, lo que impacta directamente en el rendimiento esperado por el ADC que se estará utilizando en el proyecto de EIE.

❖ Interpolación y Plegado

Esta arquitectura como ya se ha analizado antes, es una modificación de la arquitectura Flash. El principal objetivo de estas modificaciones es la reducción del hardware

utilizado en la arquitectura, principalmente buscando la reducción de la cantidad de comparadores que se necesitan para realizar la comparación sin comprometer la característica principal de la arquitectura Flash que es la de realizar la conversión de la señal analógica en un solo pulso de reloj.

Esto implica que, en cuanto a velocidad sigue siendo una arquitectura veloz, menos que la Flash original por la adición en hardware extra que impacta en la reducción de los comparadores, pero con frecuencias de muestreo superiores a otras arquitecturas como la de Registro de Aproximaciones Sucesivas.

Otro aspecto importante, es que, al disminuir la cantidad de comparadores, se logra realizar una disminución en el área necesaria para implementar el ADC, lo que estaría impactando directamente en la potencia total consumida por el circuito.

Dado el análisis anterior, se puede ver que la arquitectura de Interpolación y Plegado arroja un balance entre los tres aspectos considerados para la escogencia de la arquitectura pues es capaz de convertir a altas velocidades, similares a la arquitectura Flash y superiores a la SAR. Utiliza un área mayor que la SAR pero menor a la Flash y este aspecto impacta directamente en la estimación de potencia consumida relacionándola directamente con la cantidad de área necesaria para la implementación del ADC.

Por tanto, se escoge implementar una arquitectura de **ADC con Interpolación y Plegado** que sacrifica velocidad de conversión, pero ofrece un balance entre velocidad de conversión, potencia consumida y área necesaria para la implementación del ADC.

Capítulo 4 Diseño de la Arquitectura

Como se analizó en la sección anterior, se realizará la implementación y diseño de un ADC que toma en cuenta las técnicas de interpolación y plegado para optimizar la arquitectura en cuanto al área utilizada, esto porque al aplicar estas técnicas se reduce la cantidad de comparadores en comparación de una arquitectura Flash tradicional. A lo largo de esta sección se discutirán los diferentes módulos que conllevarán a obtener una arquitectura de ADC completa y funcional como lo muestra la figura 4.1, en la que se muestra la implementación a nivel de bloques funcionales del ADC propuesto. Estos bloques funcionales serán explicados en este capítulo.

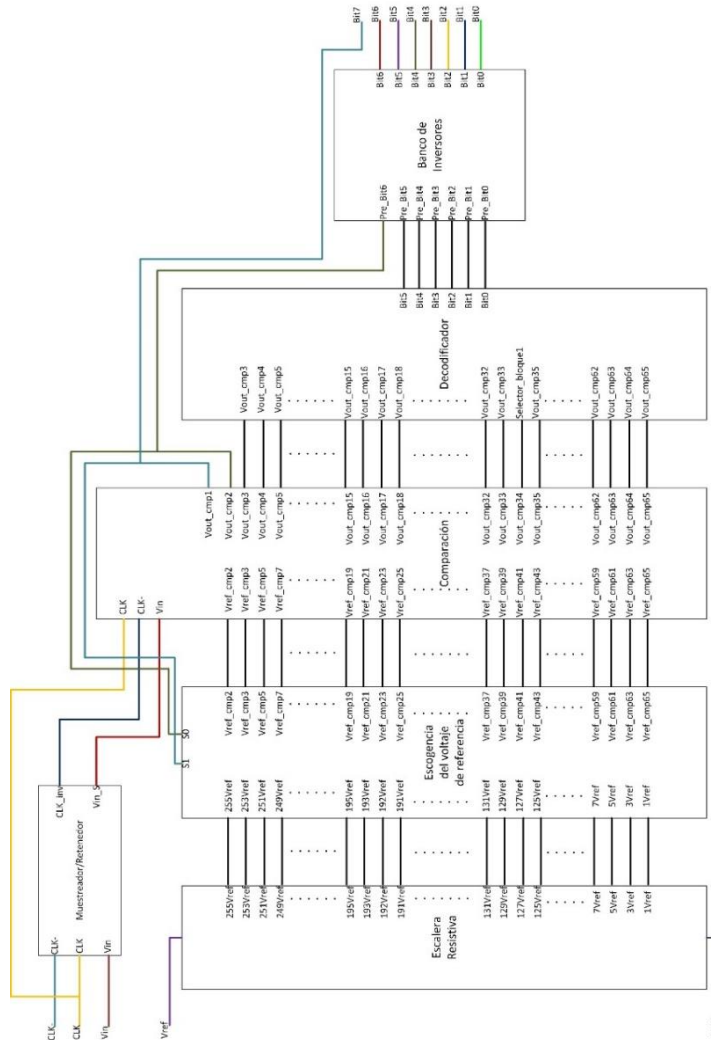


Figura 4.1. Arquitectura ADC propuesta.

Además de lo anterior, en esta sección se discutirá el paso de las subceldas diseñadas a nivel de esquemático a una etapa física en la que se deben tener en cuenta varias características del diseño VLSI para obtener un comportamiento similar al mostrado en la implementación del esquemático. Algunos de los aspectos básicos que se tomarán en cuenta para toda la construcción del layout son las siguientes:

- Diseño basado en celdas estándar, es decir celdas con altura establecida que beneficia y aligere el ruteo de los rieles de alimentación (poder y/o tierra). La altura estándar para cada una de las celdas será $10.22\ \mu\text{m}$.
- Uso de capas de metal de niveles inferiores que ayuden a reducir las capacitancias parasitas que se puedan generar al cambiar de niveles de metal superiores.
- Distribución de potencia simétrica, es decir en la arquitectura final los rieles de alimentación deben estar distribuidos por todo el layout para facilitar conexión de las celdas.
- Colocar las celdas y macroceldas tan cercanas como sea posible para optimizar el área que se esté utilizando.
- Pasar cada uno de los flujos de revisión del layout (DRC, LVS, PEX).

Cabe destacar que el kit de la tecnología $0.13\ \mu\text{m}$ IBM8RF contiene transistores RF (radiofrecuencia), los cuales son transistores especializados que entre otras características tiene un mejor manejo de las señales de alta frecuencia que es de especial importancia para este ADC, es por esto que la mayoría de transistores que se han utilizado son transistores RF [16] [17]. Además, se han utilizado transistores de bajo voltaje de umbral (low voltage threshold), pues este tipo de transistores ofrecen la característica de conmutar con una velocidad mayor en comparación con transistores con voltaje de umbral mayores.

4.1. Módulos de la Arquitectura

En esta sección se explicarán cada uno de los módulos que componen la arquitectura del ADC, tanto a nivel de esquemático como implementación física. Además, las simulaciones que se presentan en esta sección, son simulaciones postlayout pues presentan una idea más real sobre el comportamiento de cada uno de los circuitos. Además, cada uno de los bloques de layout que se presentan, han pasado el DRC y LVS. Posterior a esto se ofrecerá la arquitectura completa y una explicación a nivel de funcionamiento de la arquitectura.

4.1.1. Escalera Resistiva (Resistive Ladder)

En la mayoría de implementaciones de arquitecturas Flash, el voltaje de referencia para los comparadores es generado por divisores resistivos que en su mayoría consisten de una fila de $N+1$ resistencias. Implementar el divisor resistivo de esta forma puede causar discrepancias muy grandes en el valor de las resistencias pues en circuitos integrados la creación de resistencias puede ser un problema, esto porque los valores que se pueden llegar a tener son limitados junto con las variaciones en el proceso de fabricación.

Bajo esta perspectiva es que se decide hacer un cambio en la arquitectura ADC que se está presentando, pues se están diseñando dos escaleras de división resistiva, donde en una de ellas se generan los voltajes más críticos, es decir, $64V_{ref}$ y $192V_{ref}$; mientras que en la otra rama se estarán generando los demás voltajes de referencia para los comparadores.

La escalera resistiva tiene dos voltajes de referencia V_{ref+} es el voltaje de referencia mayor, mientras que V_{ref-} el voltaje de alimentación más bajo. Esto permite que el ADC pueda cambiar de niveles de voltaje para adecuarse a señales con rangos de voltaje que no están en el rango de 0 a 1.2V y así aprovechar de mejor manera los 8 bits de la resolución de este ADC.

La figura 4.2 muestra la implementación de esta escalera resistiva en la que se reduce la cantidad de resistencias en comparación a una arquitectura Flash convencional a un poco más de la mitad ya que en la arquitectura que diseñada se están utilizando 133 resistencias mientras que en una arquitectura Flash tradicional se estarían utilizando 257 resistencias. Esta reducción se logra creando pasos dobles en lugar de pasos simples entre los voltajes de referencia que combinado a las técnicas de interpolación y plegado se refleja en una optimización del hardware

utilizado. Las resistencias que se utilizaron son las OPRRPRES que dan un rango acertado ya que son capaces de dar valores de 1.0733 k Ω (L=1.06 μm y W=0.74 μm) y 2.144 k Ω (L=1.48 μm y W=0.74 μm), que resultan en valores ideales para esta arquitectura pues son valores relativamente altos y limitaran la corriente consumida a un máximo de 4.373 μA cuando Vref+ es 1.2V y Vref- es 0V. Cabe mencionar que en la figura 4.1, R se refiere a la resistencia OPRRPRES de valor 1.0733 k Ω , 2R a la resistencia OPRRPRES de valor 2.144 k Ω y N a la resolución del ADC.

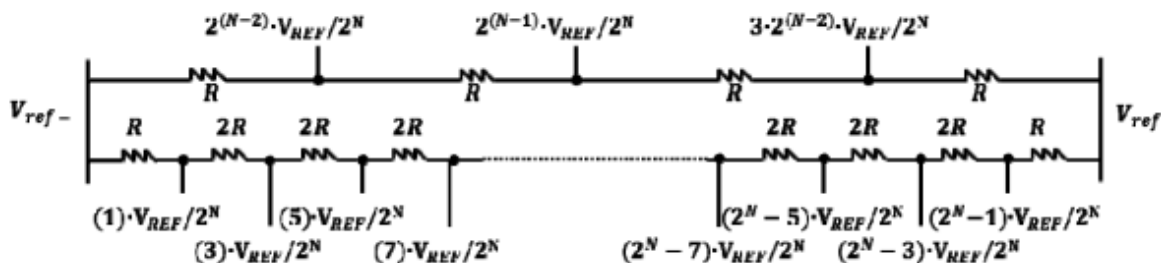


Figura 4.2. Diagrama esquemático de la escalera resistiva. Adaptada de [5].

En el Anexo 1 se puede observar una tabla con cada uno de los valores de referencia que esta escalera resistiva está generando para un voltaje de referencia Vref de 1.2V y un voltaje Vref- de 0V. La forma en cómo se calcula el voltaje de referencia esta enunciado en la ecuación 4.1-1, donde #Salida se refiere a la salida de la escalera resistiva, Vref al voltaje positivo de referencia, Vref- al voltaje negativo de referencia de la escalera resistiva y N a la cantidad de bits de resolución del ADC

$$Vref = \#Salida * \frac{(V_{ref} - V_{ref-})}{2^{N-1}} \quad (4.1-1)$$

Ahora bien, en cuanto a la implementación del layout de la escalera de divisores resistivos se tiene una vista del mismo en la figura 4.3. Cabe mencionar que el layout del divisor resistivo no aparece en su totalidad ya que la altura es muy grande (676.20 μm), sin embargo, se ofrece una vista en la que se muestran las dos ramas de resistencias y algunas de las salidas del mismo. En la figura 4.3, la zona destacada con un circulo amarillo, corresponde a una de las resistencias en su implementación física.

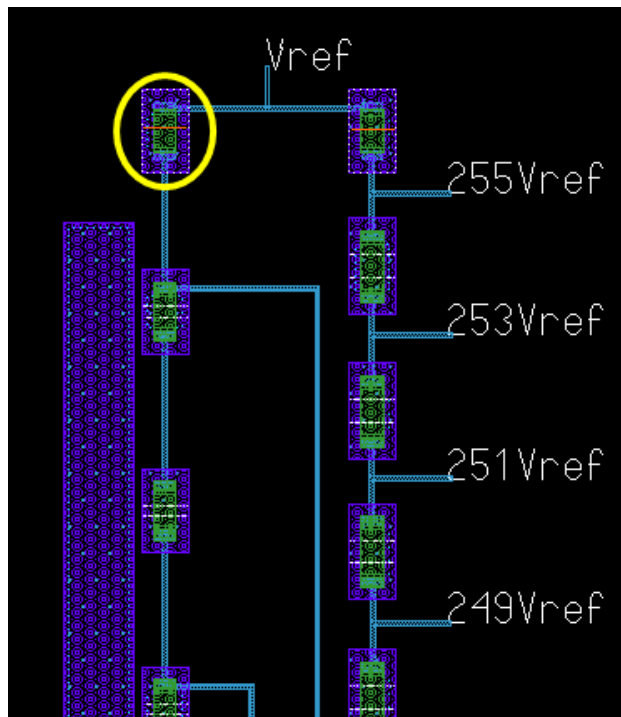


Figura 4.3. Muestra una parte del layout de la escalera resistiva.

La simulación de este subcircuito se puede observar en la figura 4.4, en ella se muestran algunos voltajes de referencia pues poner los voltajes haría prácticamente imposible de observar los voltajes. En dicha simulación en comparación con la tabla del Anexo 1, se puede ver como las variaciones en el voltaje de referencia teórico y postlayout son mínimas, las discrepancias se ven reflejadas en el orden de las decenas de μV .

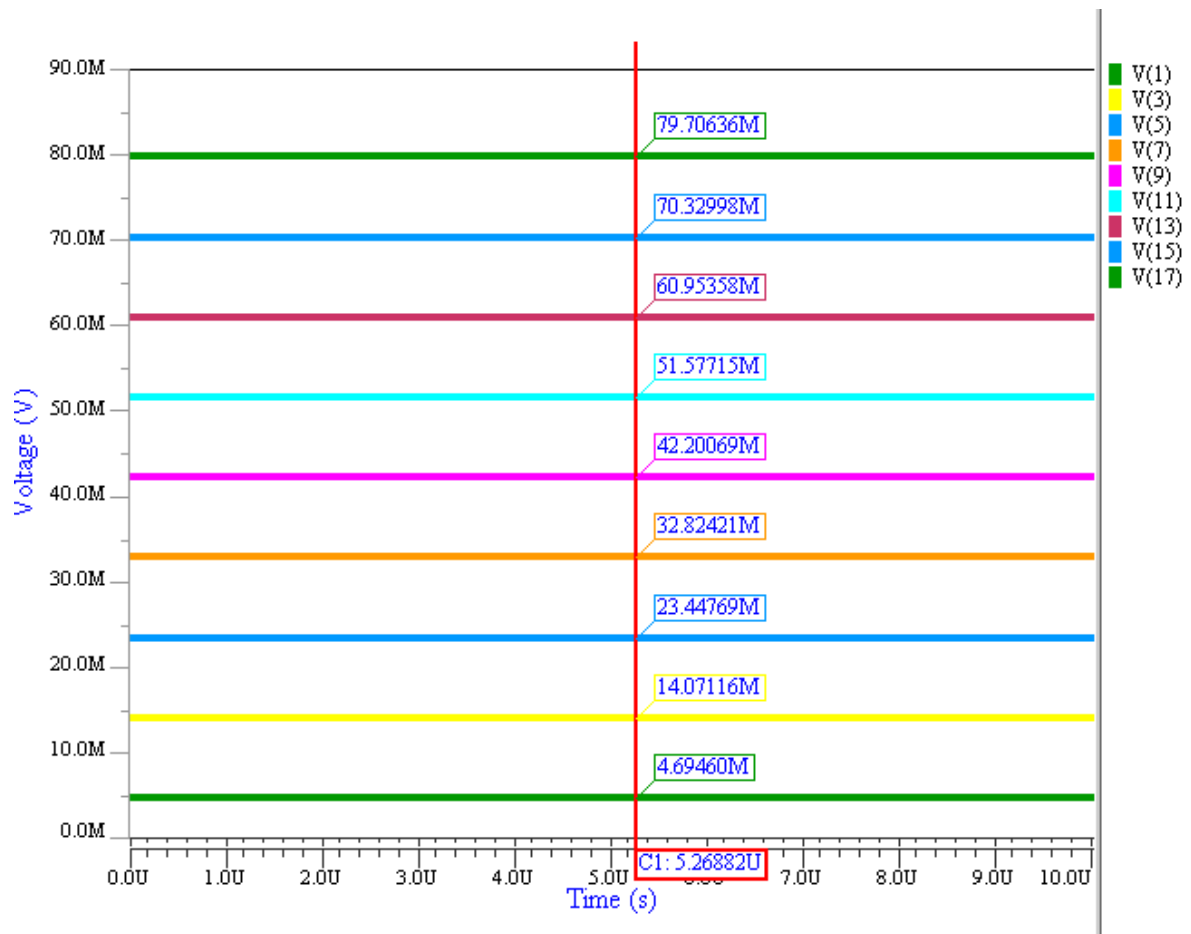


Figura 4.4. Muestra la simulación postlayout de la escalera resistiva.

4.1.2. Selección de los voltajes de referencia para los comparadores

Esta macro celda de la arquitectura del ADC, es la encargada de escoger los voltajes de referencia para los comparadores de una de las etapas que se explicaran más adelante. Además, en esta sección del circuito se implementa la técnica de plegado, que, junto con la interpolación, ayuda a reducir la cantidad de comparadores que se deban utilizar.

Esta celda se basa en la multiplexión para poder escoger cada uno de los voltajes de referencia. Es por esto que a continuación se realiza un análisis de las arquitecturas escogidas para la implementación de esta sección.

4.1.2.1. Compuertas de paso

Una de las formas más sencillas de implementar multiplexores es haciendo uso de compuertas de paso que se basan en la interconexión del drenador de un transistor PMOS con el drenador de un NMOS e igualmente se interconectan las fuentes de cada uno de los transistores. Además, se cuenta con una única señal habilitadora de polaridad invertida para cada transistor; la señal habilitadora se conecta a la compuerta de cada uno de los transistores.

La compuerta de paso es básicamente un interruptor que bloquea el paso de la señal que tiene como entrada si se encuentra deshabilitado. Se utiliza un transistor de cada tipo (NMOS y PMOS), pues cada uno de ellos logra una mejor conducción para diferentes valores de voltaje, entiéndase con esto que el transistor PMOS es más eficiente conduciendo valores de voltaje altos sin degradar la señal y el NMOS es más eficiente conduciendo valores bajos de tensión sin degradar la señal que tendrá como salida. Por lo que, poner un transistor de cada tipo provocaría que no importe la amplitud de la señal, a la salida no se producirá una degradación de la señal significativa.

La figura 4.5 muestra la compuerta de paso implementada, donde además se debe hacer notar que el transistor NMOS_RF (X1) tiene como dimensiones $L=0.15\ \mu\text{m}$ y $W=0.5\ \mu\text{m}$, mientras que el PMOS_RF (X2) tiene como dimensiones $L=0.15\ \mu\text{m}$ y $W=0.5\ \mu\text{m}$.

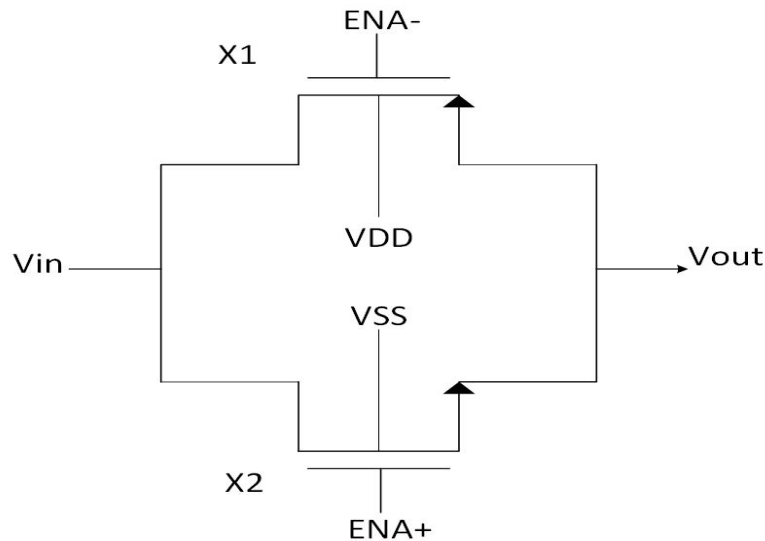


Figura 4.5. Esquemático de la compuerta de paso.

Además, en la figura 4.6 se muestra la implementación física de dicha compuerta de paso.

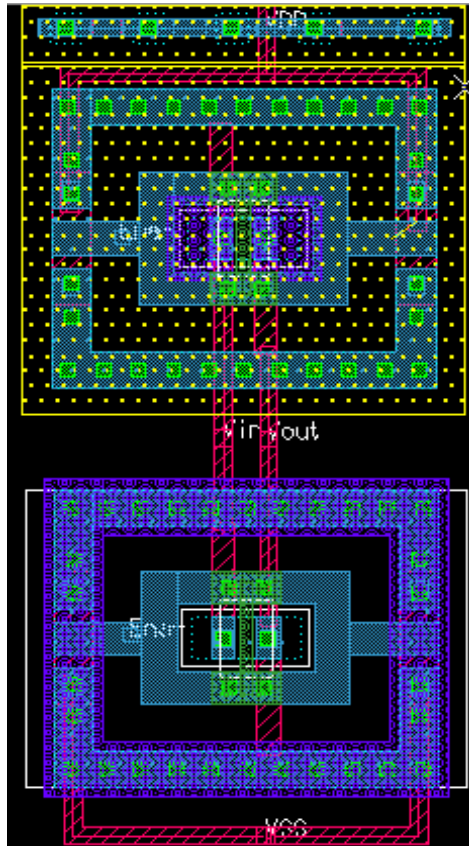


Figura 4.6. Layout de la compuerta de paso.

4.1.2.2. Multiplexor de 2 entradas 1 salida

El multiplexor de dos entradas y una salida (MUX2x1), se puede ver como dos circuitos interruptores en paralelo que, cuando uno de ellos se encuentra habilitado deja pasar la señal correspondiente mientras que el otro circuito interruptor retiene la otra señal. Es por esto que, bajo esta perspectiva, el MUX2x1 puede ser implementado con dos compuertas de paso como lo muestra la figura 4.7. Además, como bien es conocido, para un MUX2x1, se necesita únicamente una señal selectora, es por esto que además de las dos compuertas de paso, es necesario un inversor lógico para que las compuertas de paso no se activen al mismo instante. La implementación del inversor se explicará más adelante.

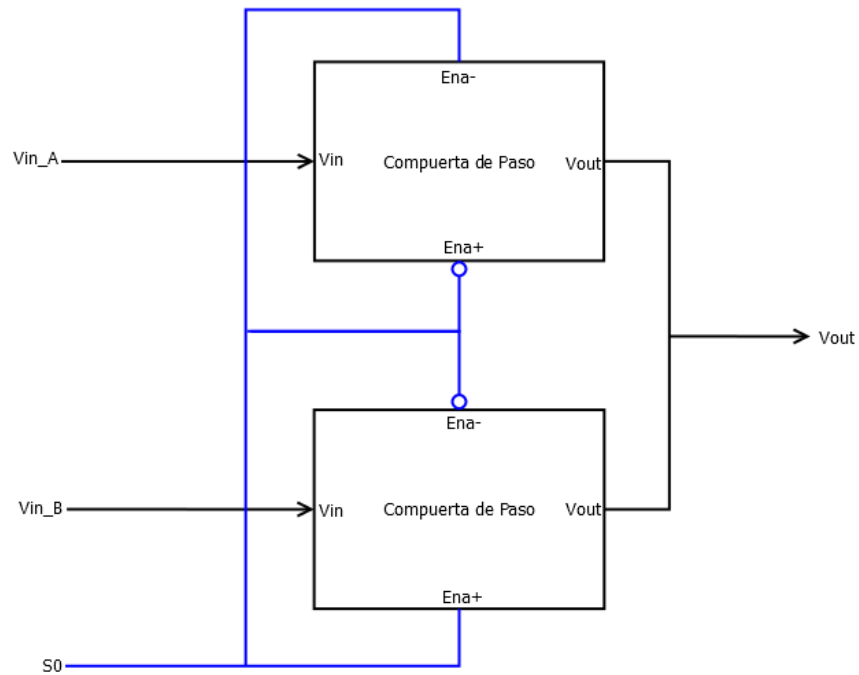


Figura 4.7. Diagrama esquemático del MUX2x1.

La vista de layout del multiplexor puede verse en la figura 4.8 y la simulación postlayout del mismo en la figura 4.9 donde se puede ver la medición del tiempo de respuesta del MUX2x1 en el que se puede observar que es muy veloz, pues para un cambio de 0 a 1 tiene un tiempo de retraso de 53.82 ps y para un cambio de 1 a 0 el tiempo de retraso es de 27.05ps. En dicha simulación en color verde se muestra la señal selectora, en color rosa la señal de salida y en color celeste y amarillo se muestran las señales correspondientes a las señales de entrada.

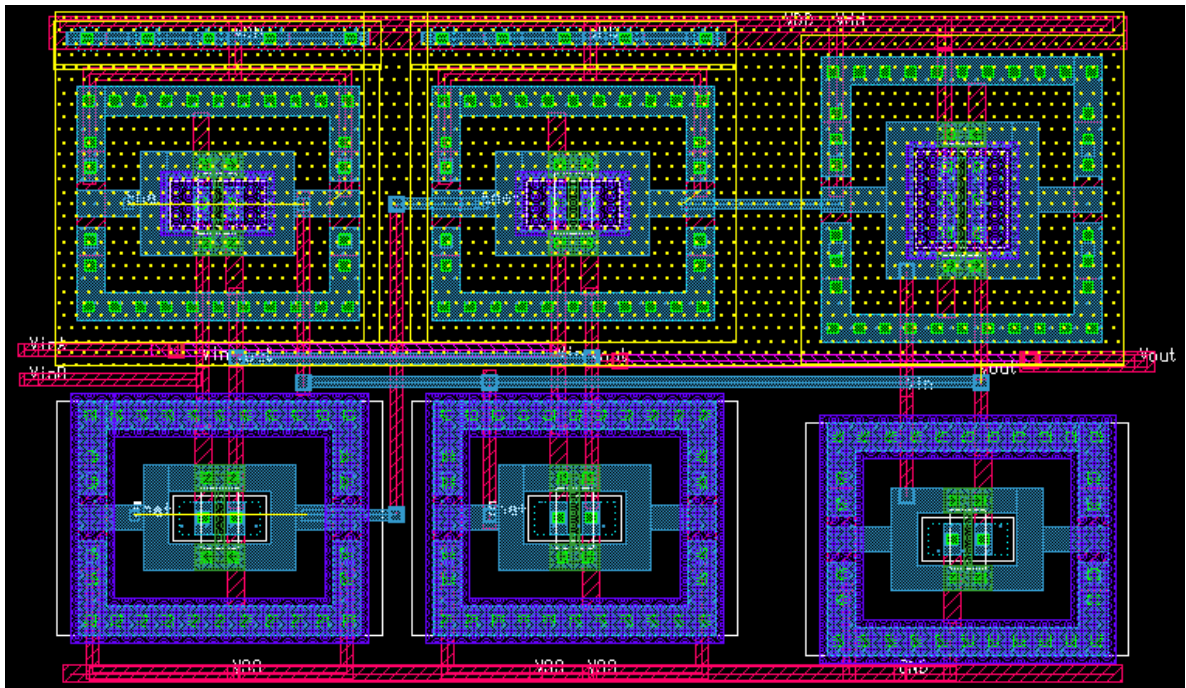


Figura 4.8. Muestra la vista de layout para el MUX2x1.

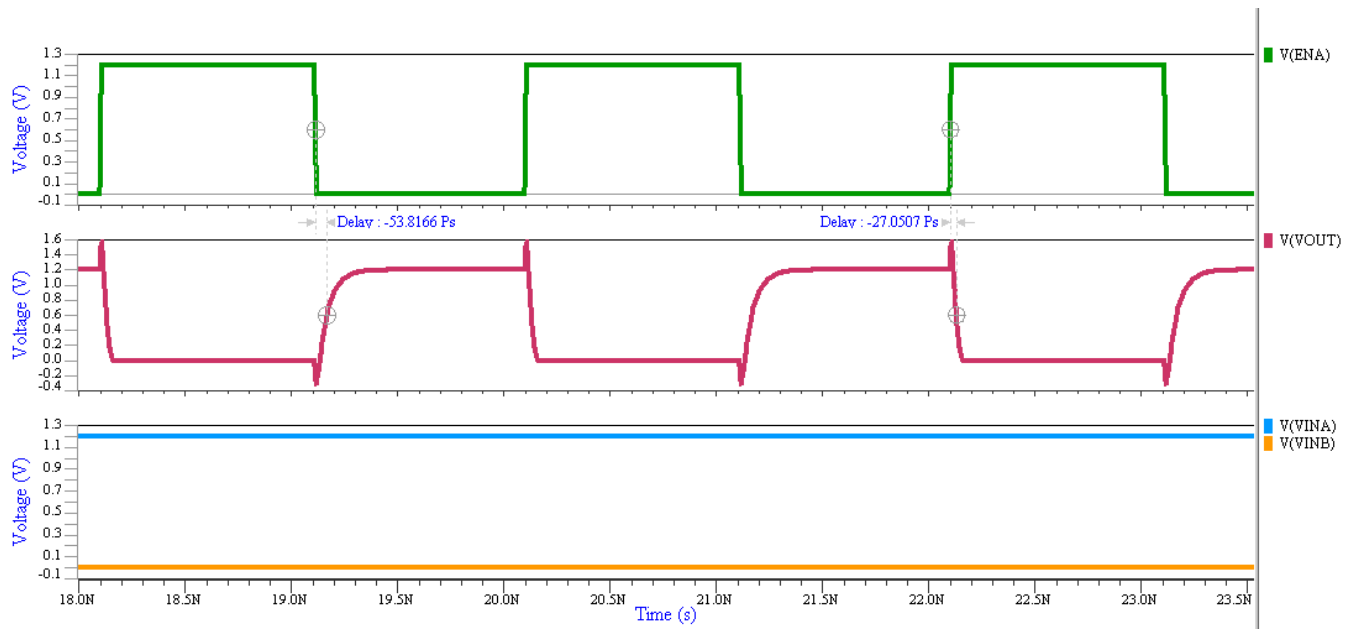


Figura 4.9. Simulación postlayout del MUX2x1.

4.1.2.3. Multiplexor de 4 entradas y 1 salida

Ahora bien, en el caso del multiplexor de 4 entradas y 1 salida (MUX4x1), se basa en el uso de 3 MUX2x1 conectados como lo muestra la figura 4.10. En el que se puede observar que la primera señal selectora es una de las entradas de los primeros 2 MUX2x1 y la segunda señal selectora va hacia una de las entradas del segundo MUX2x1.

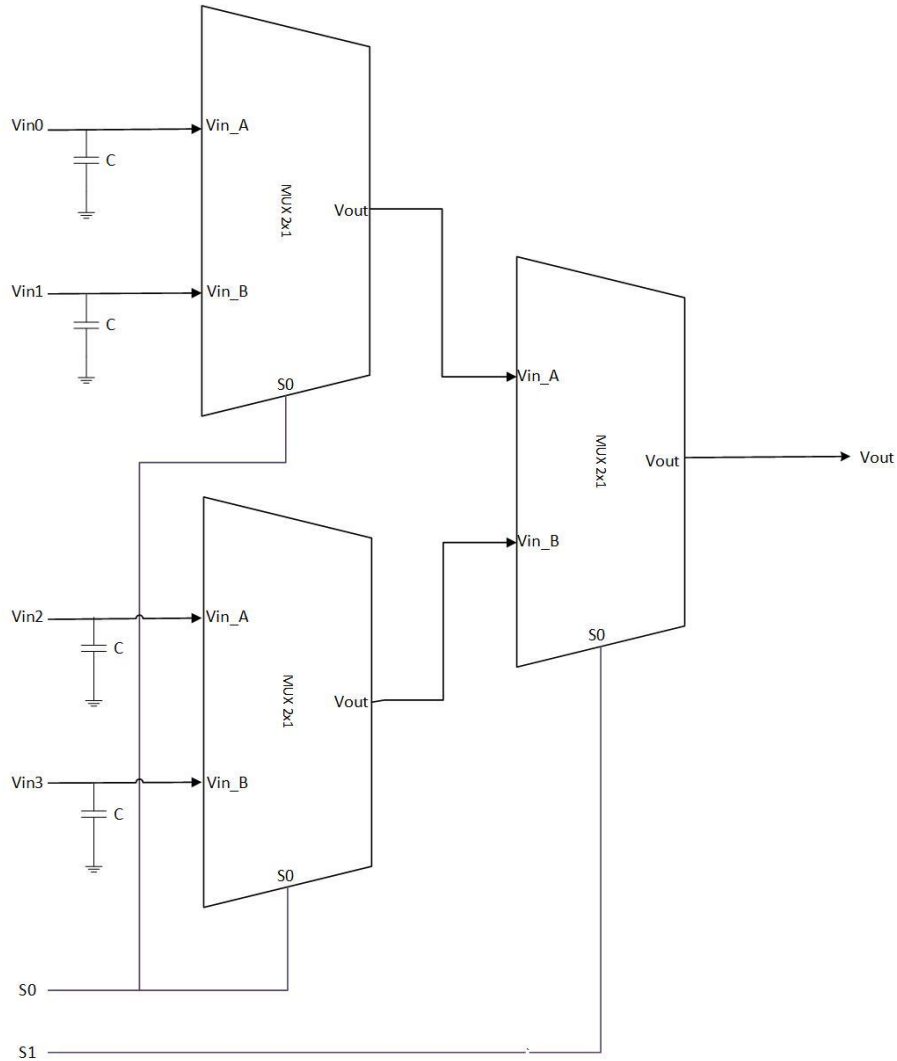


Figura 4.10. Diagrama esquemático para el MUX4x1.

Ahora bien, bajo la perspectiva de la arquitectura que se está presentado en este documento, se debe tener presente como se explicará más adelante, cada una de las entradas de los MUX4x1 vendrán de la escalera de divisores resistivos y es por esto que se agregó un capacitor en cada una de las entradas del MUX4x1 para crear un filtro pasa bajas que atenué la interferencia que se crea en la señal de entrada a causa de las resistencias. En la ecuación 4.1-2 se muestra como calcular la frecuencia del filtro para cada uno de los casos de entrada.

$$f_c = \frac{1}{2\pi \cdot C \cdot R_{eq}} \quad (4.1-2)$$

Donde, C es el valor de capacitancia utilizada en esta implementación, donde según [18], para un NCAP con L=10 μm y W=10 μm con 2 compuertas en paralelo se obtiene una capacitancia aproximada a los 2 pF. Además, R_{eq} será la resistencia equivalente vista por el nodo en cuestión hacia el divisor resistivo que tendrá como peor caso o frecuencia de corte más alta los nodos 1Vref y 255Vref, pues en ellos se da el valor más bajo de resistencia equivalente que ronda 1 k Ω dando al traste a una frecuencia de corte por parte del filtro de 79.58 MHz que representa una frecuencia relativamente baja y que a su vez permite que el nodo se mantenga lo suficientemente estable para los propósitos de este circuito.

Una vez diseñado el MUX4x1 se pasó a la vista en layout que se puede ver en la figura 4.11 en la que se pueden ver los NCAP en un color verde (1 NCAP para cada una de las entradas) y en la parte central cada uno de los MUX2x1. Posteriormente en la figura 4.12 usted puede observar la simulación postlayout donde se observa que cuando los selectores cambian de código de selección, inmediatamente la salida del MUX4x1, la salida tiende a alguno de los valores de referencia de entrada. En la tabla 4.1 se ofrece la tabla de verdad de funcionamiento del MUX4x1.

Tabla 4.1. Tabla de verdad para el MUX4x1

Entradas Selectoras		Salida
S1	S0	Vout
0	0	Vin0
0	1	Vin1
1	0	Vin2
1	1	Vin3

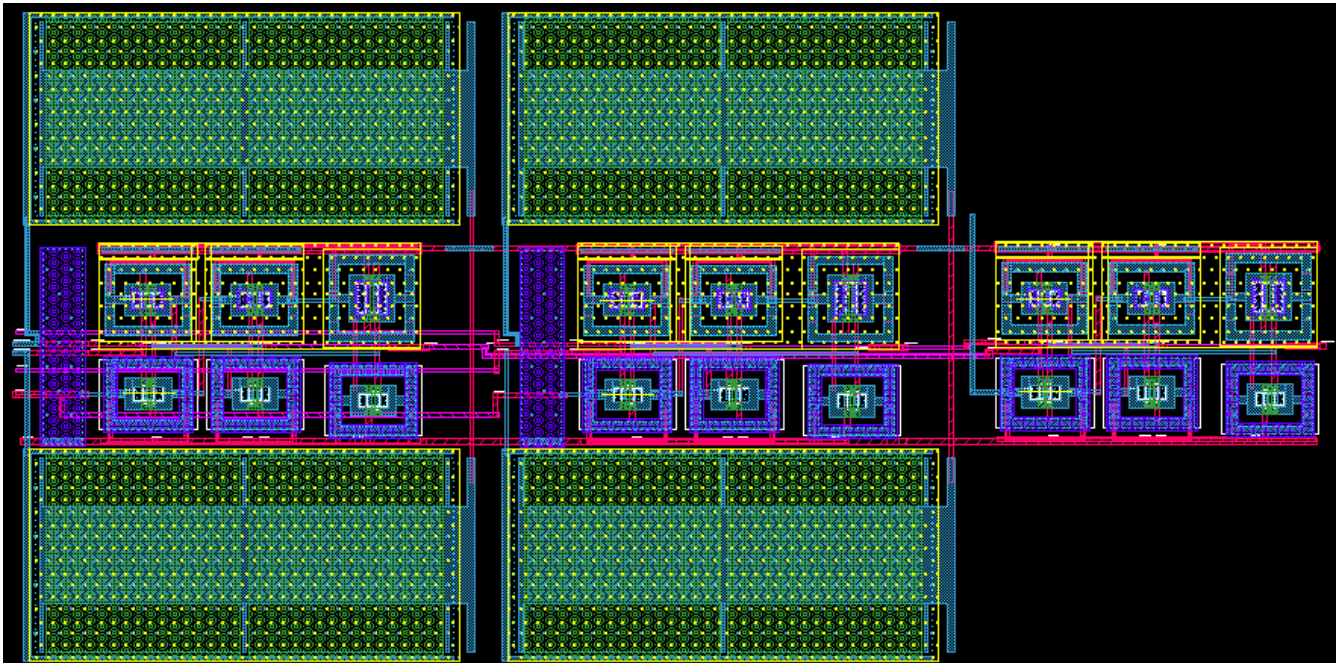


Figura 4.11. Muestra el layout para el MUX4x1

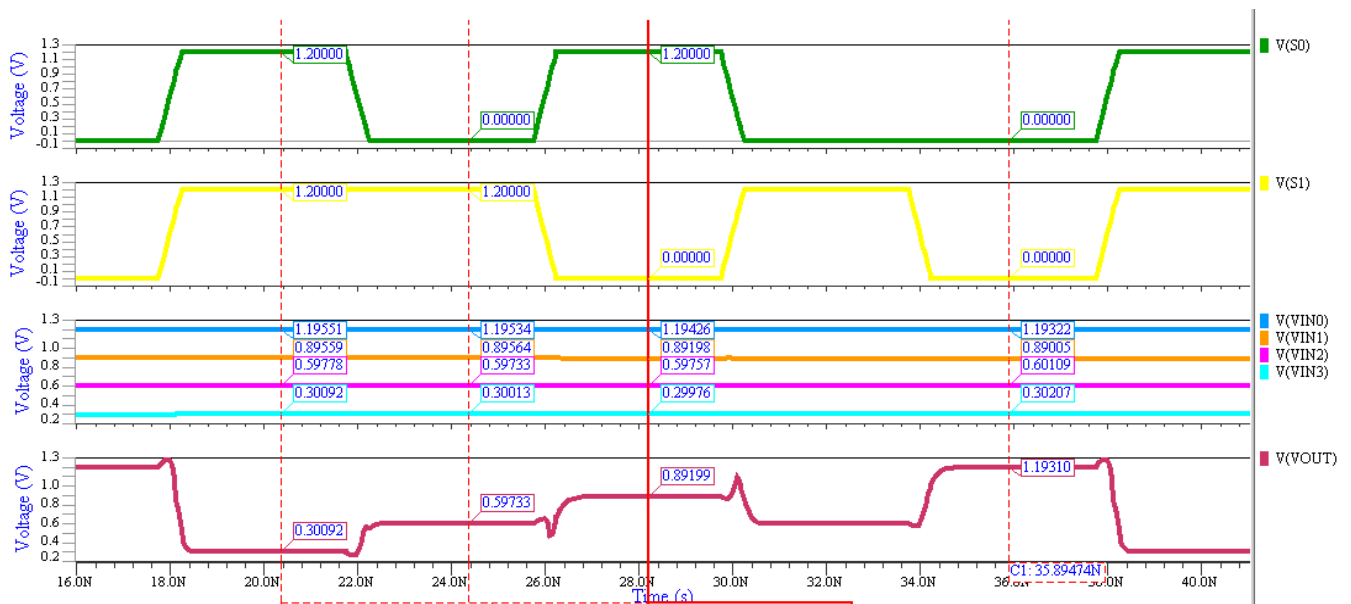


Figura 4.12. Simulación postlayout del MUX4x1.

Ahora bien, una vez que se tienen todos los componentes básicos de esta etapa de la arquitectura del ADC, para lograr la técnica de plegado cada una de las entradas de los MUX4x1 serán voltajes pertenecientes a 4 grupos que son:

- Grupo 0 valores de voltaje comprendidos entre $255V_{ref}$ y $193V_{ref}$
- Grupo 1 valores de voltaje comprendidos entre $191V_{ref}$ y $129V_{ref}$
- Grupo 2 valores de voltaje comprendidos entre $127V_{ref}$ y $65V_{ref}$
- Grupo 3 valores de voltaje comprendidos entre $63V_{ref}$ y $1V_{ref}$

Donde valores del grupo 0 estarán conectados a la entrada 0 del MUX4x1, los del grupo 1 a la entrada 1 y así sucesivamente. Por ejemplo, el primer MUX4x1 tendrá como entradas:

- Entrada 0: $255V_{ref}$
- Entrada 1: $191V_{ref}$
- Entrada 2: $127V_{ref}$
- Entrada 3: $63V_{ref}$

Para el segundo MUX4x1 tendrá como entradas:

- Entrada 0: $253V_{ref}$

- Entrada 1: $189V_{ref}$
- Entrada 2: $125V_{ref}$
- Entrada 3: $61V_{ref}$

Para el último MUX4x1 tendrá como entradas:

- Entrada 0: $193V_{ref}$
- Entrada 1: $129V_{ref}$
- Entrada 2: $65V_{ref}$
- Entrada 3: $1V_{ref}$

Ahora bien, se debe incluir un MUX2x1 que será el que proporcione el valor de referencia para el comparador que decide el segundo bit más significativo. Para este MUX las señales de entrada serán: entrada 0 la señal $192V_{ref}$ y para la entrada 1 la señal $64V_{ref}$.

Ahora bien, en cuanto a las señales selectoras, el bit más significativo del ADC será el producido por el comparador 1 que a su vez será el selector para el MUX2x1 y el selector más significativo para los MUX4x1. El selector menos significativo será dado por el segundo bit más significativo del ADC, que es la salida del segundo comparador (mismo comparador que recibe la señal de referencia por parte del MUX2x1). El esquemático de esta sección de la arquitectura se puede observar en la figura 4.13 y en la figura 4.14 se puede observar la implementación física de esta macrocelda en la que se muestra una sección, pues la implementación física es muy alta y no se podría ver en detalle en dicha figura, en la que se puede ver varios MUX4x1 apilados.

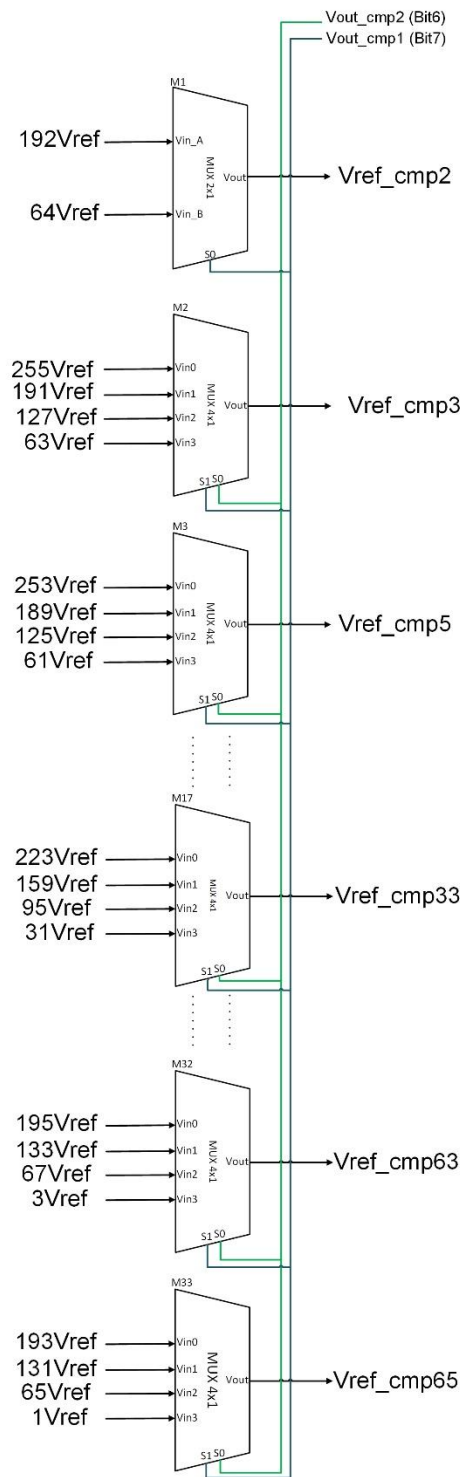


Figura 4.13. Diagrama esquemático de la macrocelda de selección de voltaje de referencia.

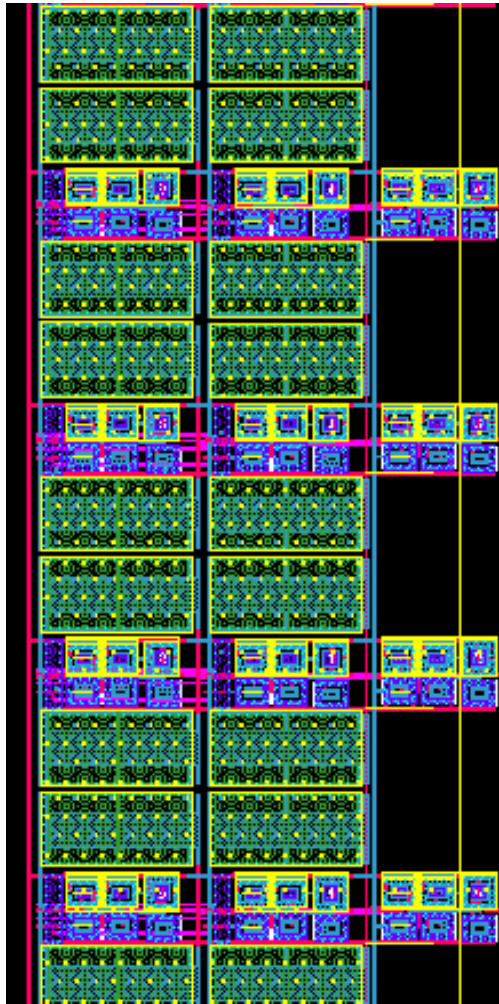


Figura 4.14. Sección del layout de la macrocelda de selección de voltajes de referencia.

4.1.3. Circuito Muestreador/Retenedor

El circuito Muestreador/Retenedor (S/H) es uno de los componentes más importantes de todo ADC y por tanto de la arquitectura que se está presentado en este documento. Esto porque ofrece a los comparadores una señal estable que les permita con una mayor facilidad comparar y también ofrece el muestreo a la frecuencia necesaria para que la señal pueda ser reconstruida (teorema de Niquyst).

Este circuito fue implementado con una compuerta de paso que como ya ha sido mencionado tiene el funcionamiento de un interruptor y que, para este circuito que está siendo implementado, cumple con su función como lo explica [15]. La diferencia principal que existe entre esta compuerta de paso y la que ya ha sido explicada con anterioridad radica en que a la salida se conecta un capacitor del nodo de salida a tierra. Este capacitor tiene la función de mantener la señal muestreada estable durante el ciclo de reloj que debe mantenerse estable.

Además de esto, las dimensiones de esta compuerta de paso son muy diferentes a las de la compuerta de paso antes explicada pues para el transistor NMOS_RF (X2) las dimensiones son $L=0.12\ \mu\text{m}$ y $W=1\ \mu\text{m}$ con 20 segmentos o “fingers”. Fingers se refiere a cantidad de transistores en paralelo con las mismas dimensiones que el original. Para el PMOS_RF (X1), las dimensiones serán $L=0.12\ \mu\text{m}$ y $W=1\ \mu\text{m}$ con 30 fingers. Además, el capacitor de salida (NCAP) tendrá una capacitancia aproximada de 500 fF según [18] para las dimensiones de $L=2\ \mu\text{m}$ y $W=2\ \mu\text{m}$ con 10 gates.

El diagrama del circuito y la simulación del mismo se puede observar en la figura 4.15 y figura 4.16, respectivamente. En la simulación se puede observar cómo se da el proceso de muestreo y retención, pues cuando la señal de reloj está en 1 lógico (entrada al NMOS_RF) y la señal de reloj invertida en consecuencia estará en cero (entrada del PMOS_RF), se da el proceso de muestreo cuando la compuerta de paso está abierta. Cuando los estados lógicos de las señales de reloj cambian, la compuerta de paso se cierra y se observa el proceso de retención.

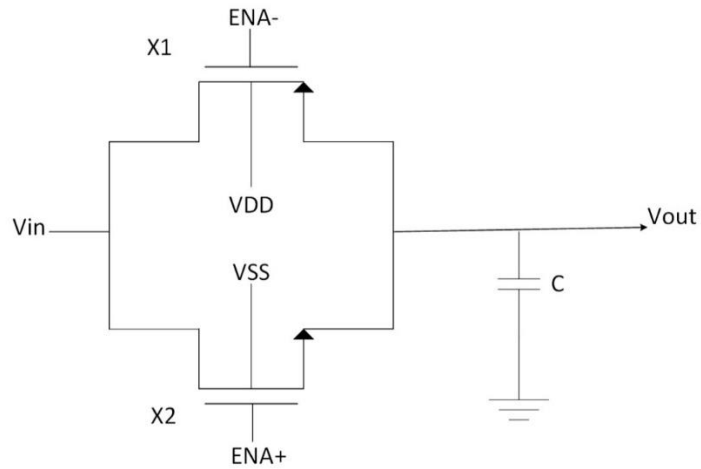


Figure 4.15. Diagrama esquemático del circuito muestreador/retenedor.

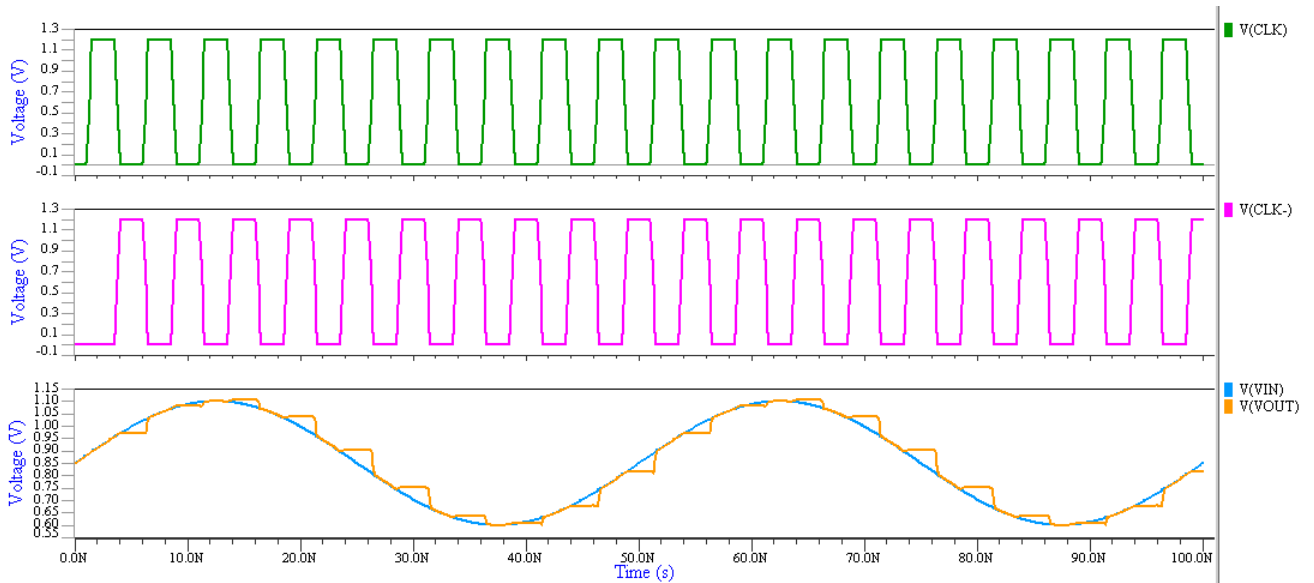


Figura 4.16. Simulación postlayout de la Compuerta de Paso para S/H.

Ahora bien, en la figura 4.17 se muestra la implementación física de la compuerta de paso para S/H en donde en la parte superior izquierda se puede observar la magnitud del transistor P y debajo de él se puede observar al NMOS_RF que igualmente es bastante ancho. Además, en verde y morado se tienen el NCAP y SUBC, respetivamente.

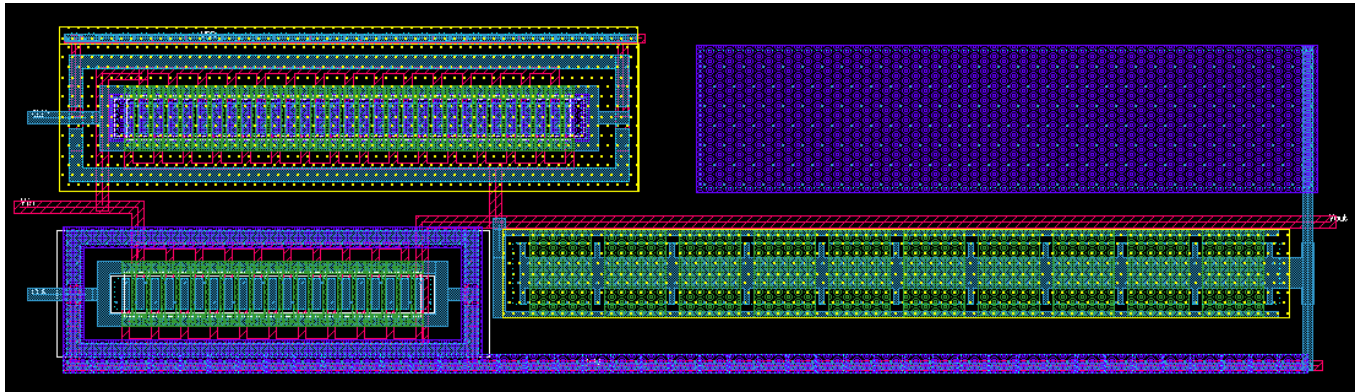


Figura 4.17. Implementación física de la compuerta de paso para S/H.

4.1.4. Comparación

4.1.4.1. Compuerta NAND

La compuerta NAND (NO AND) es el componente principal de la arquitectura del Latch. Esta compuerta lógica ha sido diseñada con la característica de tener un tiempo de subida y bajada simétrico, esto ocasiona que el tiempo de retardo entre una transición de 1 a 0 lógico y viceversa sea el mismo. En la figura 4.18 se muestra el esquemático de la compuerta NAND.

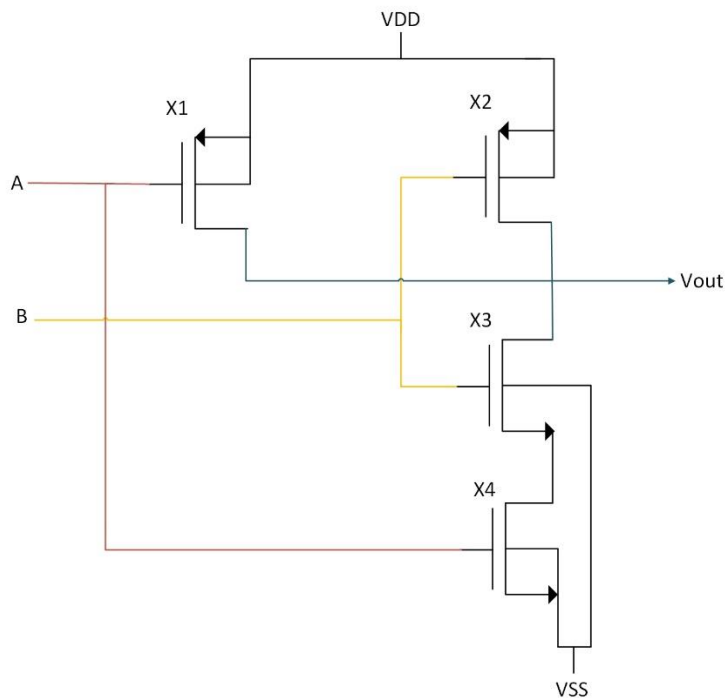


Figure 4.18. Esquemático de la compuerta NAND.

Cada compuerta NAND está compuesta por dos transistores NMOS y dos transistores PMOS. La tabla 4.2 muestra las dimensiones de cada uno de los transistores de la compuerta NAND.

Tabla 4.2. Dimensiones de los transistores para la Compuerta NAND.

Tipo de Transistor	L (μm)	W(μm)
NMOS_RF (X3 y X4)	0.12	0.48
PMOS_RF (X1 y X2)	0.12	1

La figura 4.19 muestra el layout de esta compuerta lógica en el que se puede observar los 4 transistores que componen la topología de la compuerta.

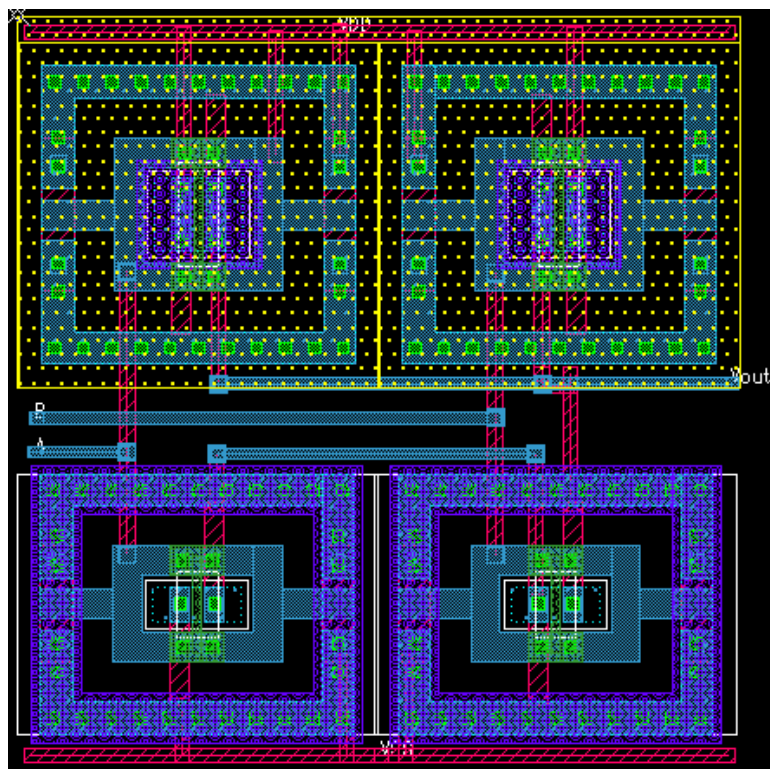


Figura 4.19. Implementación física para la compuerta NAND.

4.1.4.2. Latch

Una de las celdas más importantes para el funcionamiento del ADC es el latch. Esto porque es el encargado de conservar de manera estable el nivel lógico dado como respuesta por parte de cada uno de los comparadores. La arquitectura del latch es basada en dos compuertas NAND realimentadas como lo muestra el diagrama de circuito de la figura 4.20.

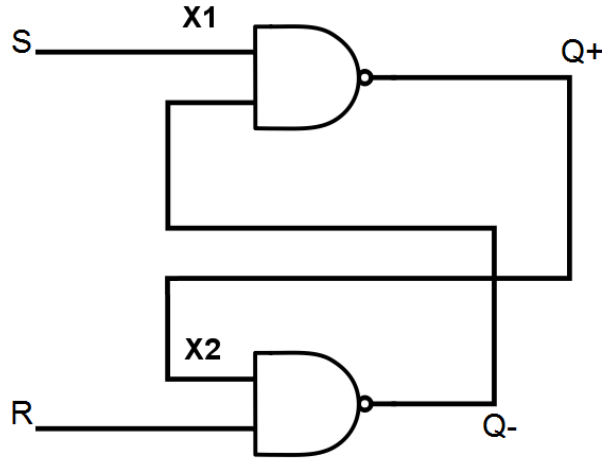


Figura 4.20. Esquemático del latch.

Ahora bien, en la tabla 4.3 se muestra la tabla de verdad del latch y a su vez en la figura 4.21 se observa la simulación del latch en el que se puede observar su comportamiento ante las señales a las que se está viendo estimulado. Cabe mencionar que R (Reset) y S (Set) son las señales de entrada y Q^+ y Q^- son las señales de salida.

Tabla 4.3. Tabla de verdad del Latch

S	R	Q^+	Q^-
0	0	Estado Indefinido	
0	1	1	0
1	0	0	1
1	1	Igual que estado anterior	

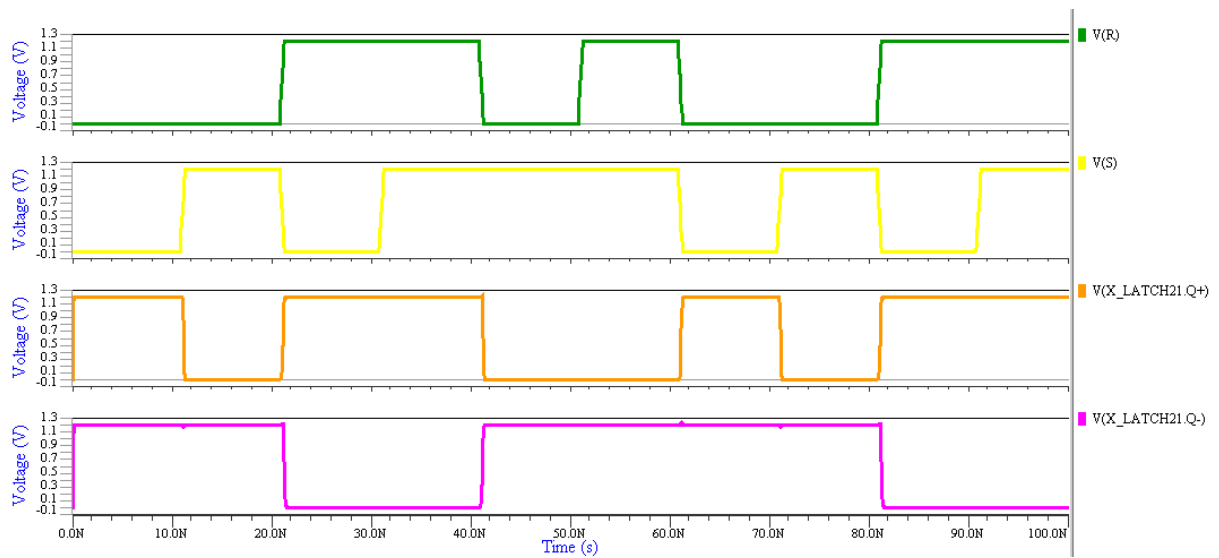


Figura 4.21. Simulación postlayout del latch.

Ahora bien, en la figura 4.22 se puede observar el layout del latch, donde se puede observar las dos compuertas NAND interconectadas como lo muestra el esquemático de la figura 4.20.

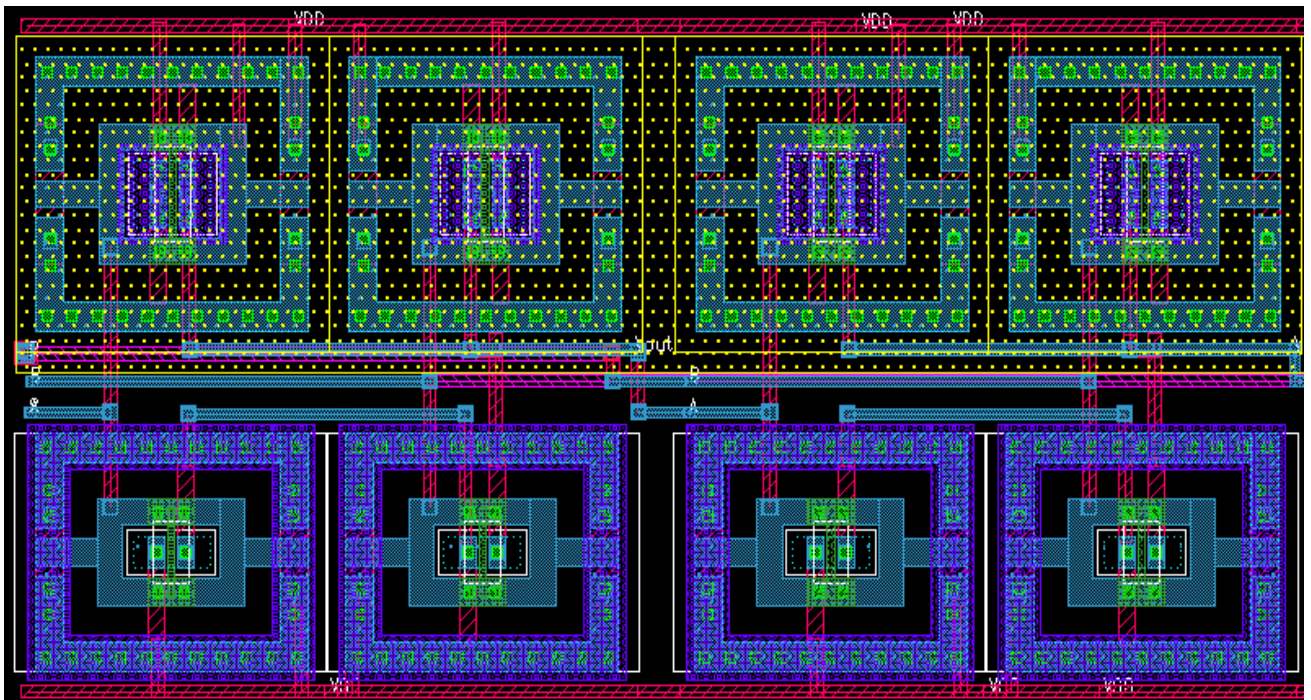


Figura 4.22. Implementación física del latch.

4.1.4.3 Inversor Lógico

El inversor lógico jugará un papel importante en muchos de los subcircuitos de la arquitectura ya que en muchos de ellos cumplirá su función como inversor (invertir el estado lógico de una señal) o servir como buffer para diferentes señales. El diseño en esquemático del inversor se muestra en la figura 4.23 y como se muestra, cuenta con un transistor NMOS_RF (X2) de tamaño unitario ($L=0.12\mu\text{m}$ y $W=0.48\mu\text{m}$), mientras que el transistor PMOS_RF (X1) tiene como tamaños un $L=0.12\mu\text{m}$ y un $W=1.26\mu\text{m}$, esto con el fin de garantizar un inversor simétrico que no favorezca a ninguno de los estados lógicos, lo que garantiza que se tenga una simetría en los tiempos de retardo.

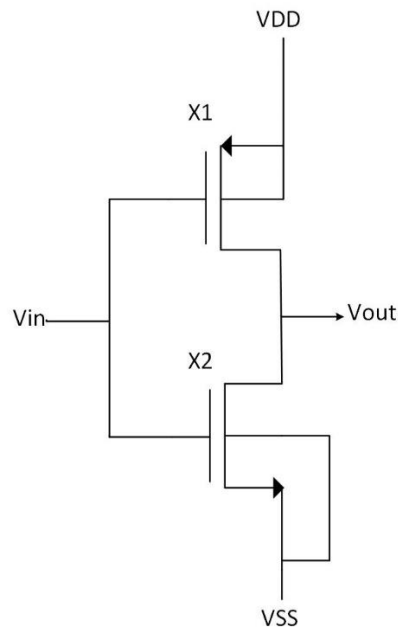


Figura 4.23. Esquemático del inversor.

La implementación física de este inversor se muestra en la figura 4.24.

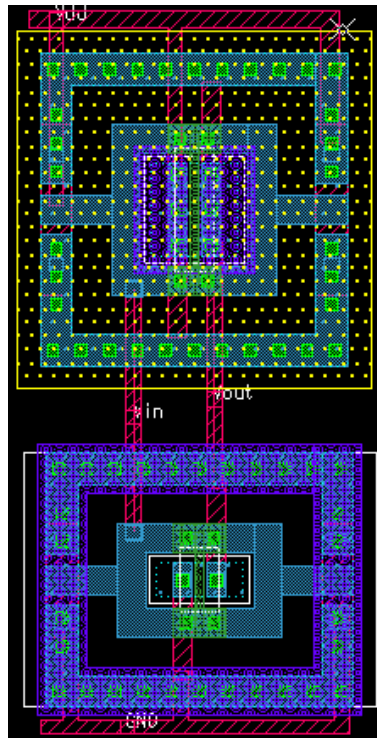


Figura 4.24. Implementación física del Inversor Lógico.

4.1.4.4 Comparador

El comparador no solamente es el componente de mayor importancia en la arquitectura, sino que también el que mayor precisión debe de tener pues se encarga de tomar la decisión sobre la diferencia entre las señales que tiene como entrada. La arquitectura del comparador es una arquitectura de alta velocidad por lo que cuenta con gran cantidad de transistores que le ayudan a tomar una decisión en el menor tiempo posible. La figura 4.25 muestra la arquitectura del comparador en la que se tienen tres entradas principales: CLK (reloj), V_{in+} (tensión de entrada analógica) y V_{ref-} (tensión de referencia).

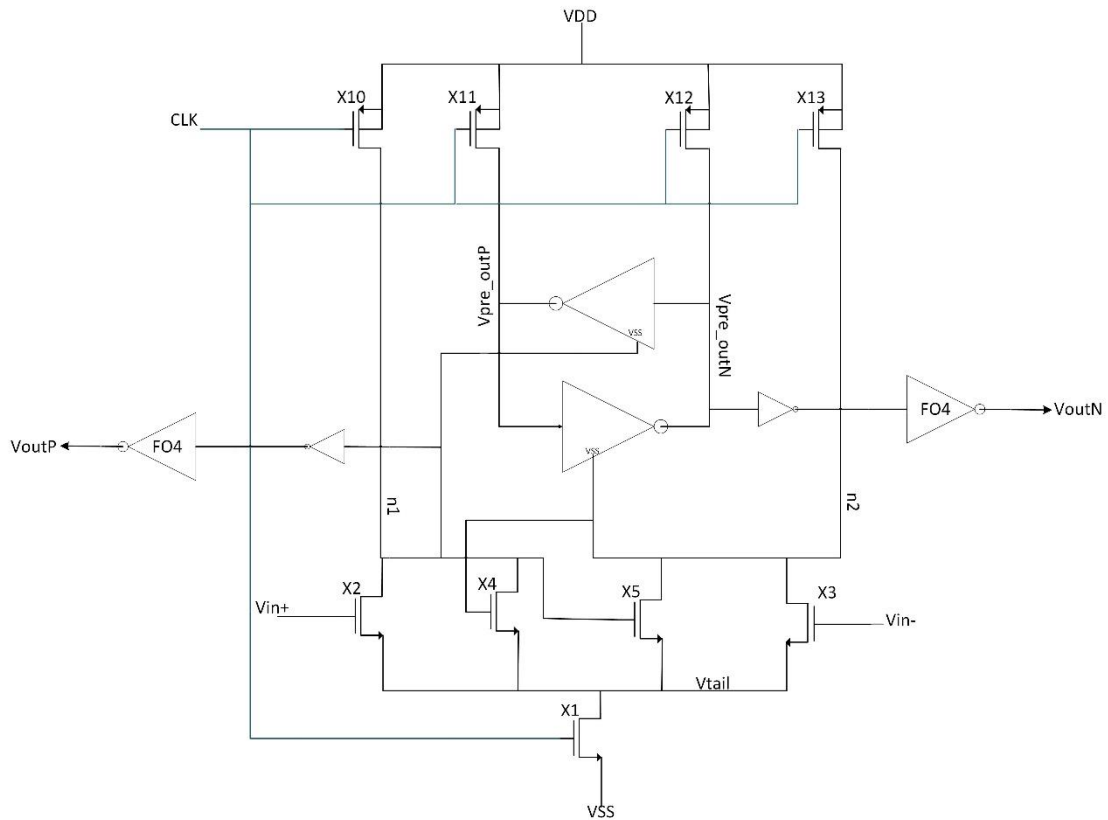


Figura 4.25. Esquemático del comparador.

En los transistores PMOS_RF etiquetados como X10, X11, X12 y X13 tienen como entrada en la compuerta la señal de reloj que cuando está en su estado bajo (0V) se activan y permiten el paso de la tensión de alimentación (VDD) hacia los nodos etiquetados como n1, n2 y Vpre_outN y Vpre_outP con el fin de precargarlos, es decir, precargan las capacitancias parasitas que se encuentran en dichos nodos y permiten un funcionamiento más rápido por parte del comparador pues no existe un retardo asociado a las cargas parasitas existentes en cada uno de los transistores.

Ahora bien, en el ciclo alto o mejor dicho cuando se da el flanco positivo de reloj, el transistor etiquetado como X1, permite la conexión del nodo etiquetado como Vtail a tierra. Esto hace que los transistores que tienen como entrada los voltajes Vin+ y Vin- entren en funcionamiento y permitan una preamplificación del voltaje de entrada.

En ese mismo instante los transistores etiquetados como X4 y X5 están conduciendo el

voltaje del nodo V_{tail} hacia los nodos $n2$ y $n1$ respectivamente. Los nodos $n1$ y $n2$ sirven como tierra de la sección de decisión del comparador, implementada con dos inversores lógicos realimentados. La comparación se define en cuál de los voltajes de entrada sea más alta ya que al pasar hacia los nodos $n1$ y $n2$, harán un cambio en la tensión de dichos nodos que a su vez son entradas de los inversores lógicos. Entonces, bajo este panorama, el voltaje mayor hará que el cambio de voltaje sea más fuerte en el nodo respectivo $-n1$ o $n2$ - provocando que uno de los inversores se polarice más rápido y produzca un cambio de estado lógico, ocasionando que automáticamente el otro inversor cambie de estado y se produzca la decisión correspondiente. Ahora bien, los nodos de salida etiquetados como V_{pre_outN} y V_{pre_outP} están conectados a un inversor lógico que a su vez su nodo de salida está conectado a un FO4 (fanout of 4, equivalente a 4 inversores conectados en paralelo), que permiten crear un buffer para conducir la señal de salida hacia las conexiones de las siguientes etapas.

La tabla 4.4 muestra el valor de cada uno de los transistores utilizados en la arquitectura del comparador.

Tabla 4.4. Dimensiones de los transistores del comparador.

Transistor	L(μm)	W(μm)
X1	0.12	0.48
X2	0.12	0.16
X3	0.12	0.16
X4	0.12	0.48
X5	0.12	0.48
X10	0.12	1.33
X11	0.12	0.48
X12	0.12	0.48
X13	0.12	1.33

En la figura 4.26 se muestra la implementación física de la etapa del comparador, donde se pueden observar todos los elementos mencionados en la explicación anterior y el esquemático de la figura 4.25. Cabe mencionar que en los vacíos de material que se observan en el layout del

comparador, posteriormente serán cubiertos en la etapa de llenado.

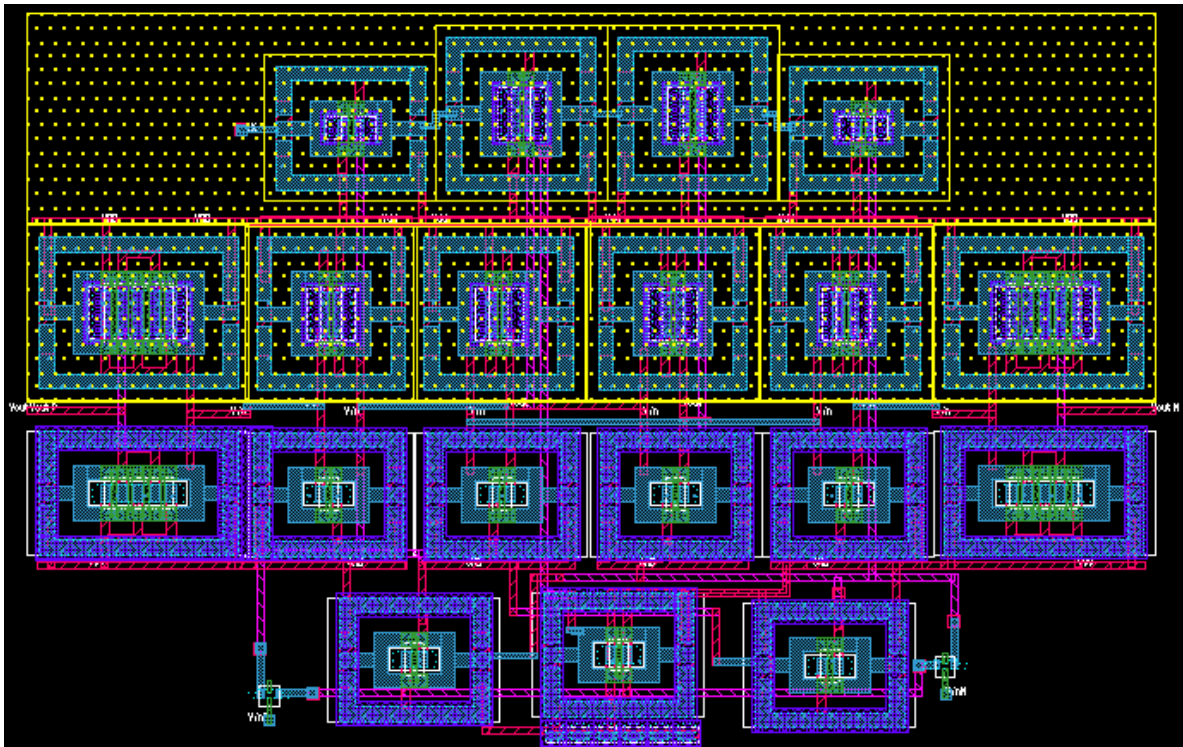


Figura 4.26. Implementación física del comparador

Una vez que se tiene la arquitectura de las subceldas lista, a continuación, se presenta el diagrama del comparador-latch completo, que incluye como su nombre lo indica, un comparador conectado en cascada con un latch. La figura 4.27 muestra dicha arquitectura a nivel de esquemático y la figura 4.28 muestra la implementación en layout donde se puede observar que el elemento sobresaliente de la izquierda corresponde al comparador mientras que el elemento de la derecha corresponde al latch.

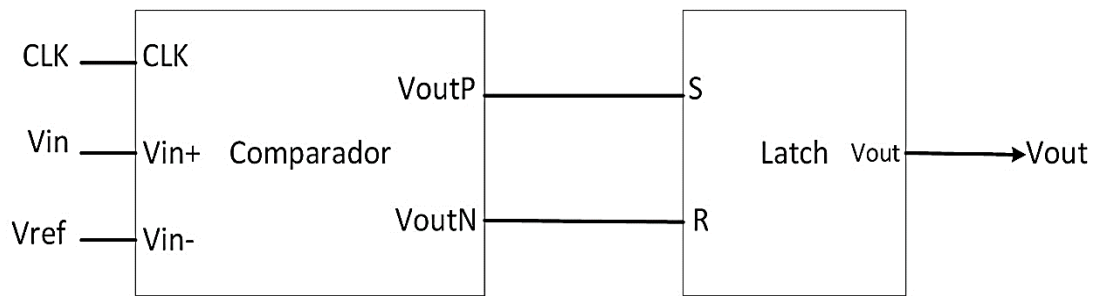


Figure 4.27. Esquemático del comparador-latch.

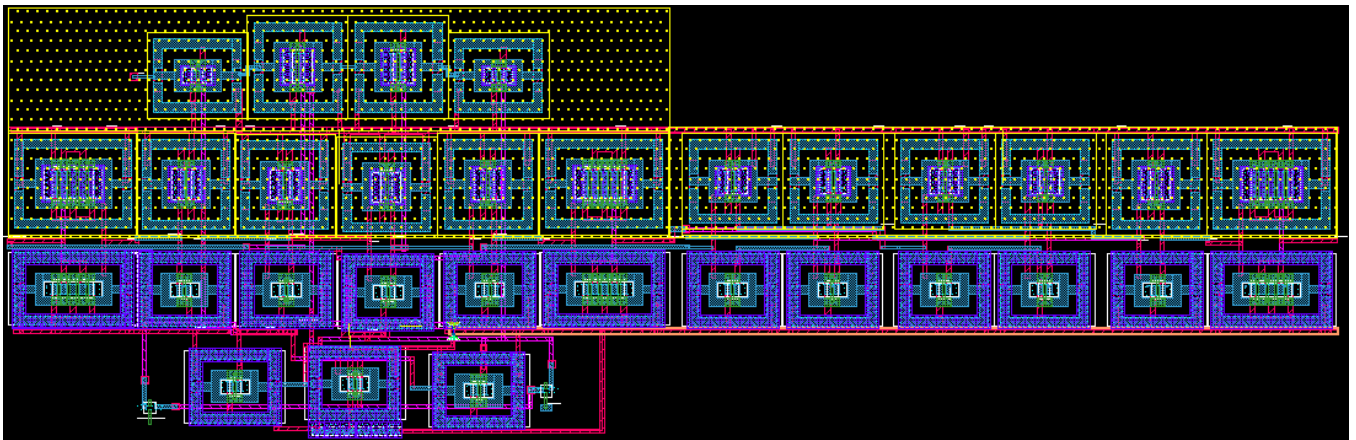


Figura 4.28. Implementación física del comparador-latch

La salida del comparador (V_{outN} y V_{outP}) es conectado a las entradas del latch (S y R) para producir la decisión final, es decir, una única salida con el nivel lógico correcto y que además es almacenado sin ninguna variación en el estado lógico hasta el siguiente ciclo de comparación. La figura 4.29 muestra una simulación donde se observa la etapa de comparación junto al latch para producir una salida según lo esperado, pues se puede ver como cuando se produce un flanco positivo de la señal de reloj, se produce una decisión en cuanto a si el voltaje de entrada (V_{INP}) es mayor o menor al voltaje de referencia (V_{INN}).

Dependiendo de la diferencia entre estas dos señales (mayor o menor que), se producirá una salida alta o baja en el nodo de salida como se puede observar en la señal verde. Además, muestra que en este caso el primero de los cursores está señalando el instante en el que la señal de entrada es mayor a la señal de referencia y por lo tanto se produce tiempo después una salida en alto. El segundo de los cursores muestra el caso en el que la señal de entrada es menor a la

referencia y bajo este panorama se produce una salida en bajo en VOUT.

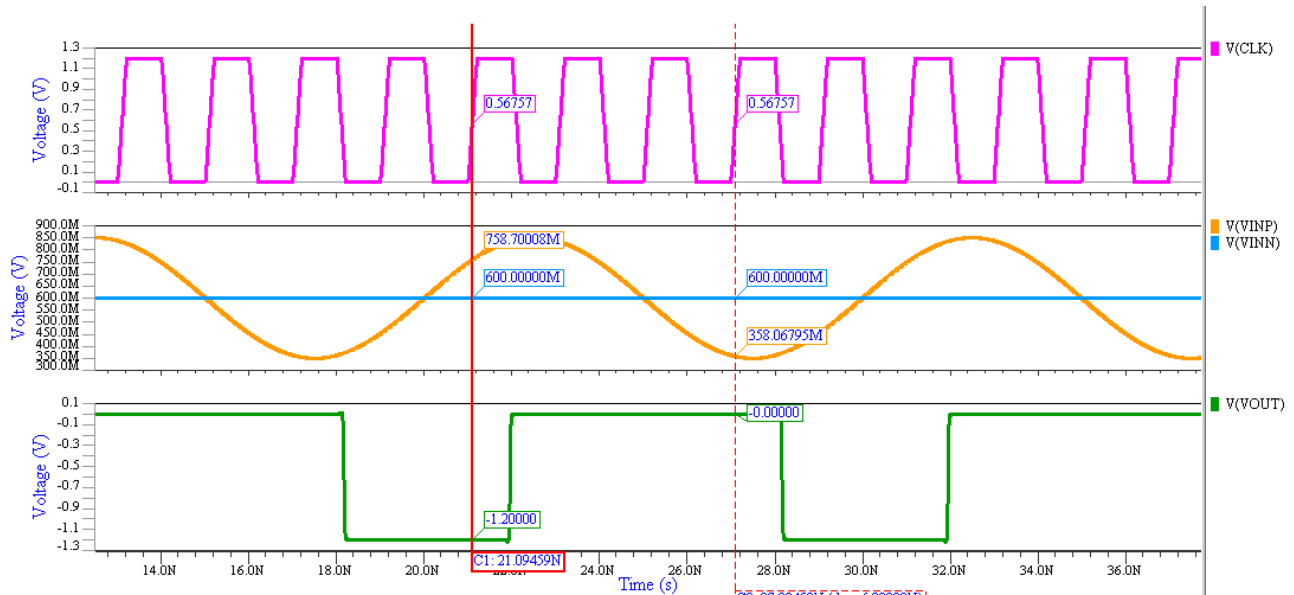


Figura 4.29. Simulación postlayout del comparador-latch.

4.1.4.5. Comparador $\frac{V_{ref}}{2}$

Este comparador, como posteriormente se explicará es el que da el bit más significativo del ADC ya que decide si una señal de entrada está por encima o por debajo de la mitad de la señal de referencia, indicando en este caso que, para un ADC de 8 bits, si la salida binaria será mayor o menor a 127. La arquitectura de este comparador es combinatorial y está basada en un inversor lógico, en el cual se busca una simetría tanto en tiempos de subida o bajada como también un cambio de estado lógico a la mitad del voltaje de referencia. Esto se logró con el inversor que se presentó en secciones anteriores pues, este diseño logra hacer el cambio de estado lógico en el momento justo.

La arquitectura de este comparador se puede observar en la figura 4.30, donde además se pueden observar varios inversores en cascada como: un inversor para obtener el nivel lógico esperado, un FO4 (equivalente a 4 inversores en paralelo) y un FO16 (equivalente a 4 FO4 en paralelo), que servirán para poder distribuir esta señal por diferentes sectores del circuito sin afectar de sobremanera la integridad de la señal por tanto su valor lógico.

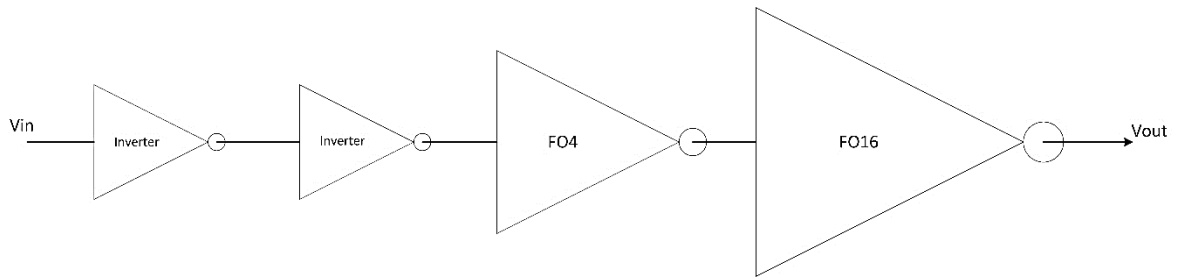


Figura 4.30. Esquemático comparador $\frac{V_{ref}}{2}$

En la figura 4.31 se muestra el layout del comparador $\frac{V_{ref}}{2}$ que este caso tendrá un voltaje de disparo de 600mV como se puede observar en la simulación de la figura 4.31 en la que se ve como a voltajes mayores a 600mV, la salida es un 1 lógico y en caso contrario un 0 lógico. EL diseño de este comparador es para un voltaje V_{ref} de 1.2V.

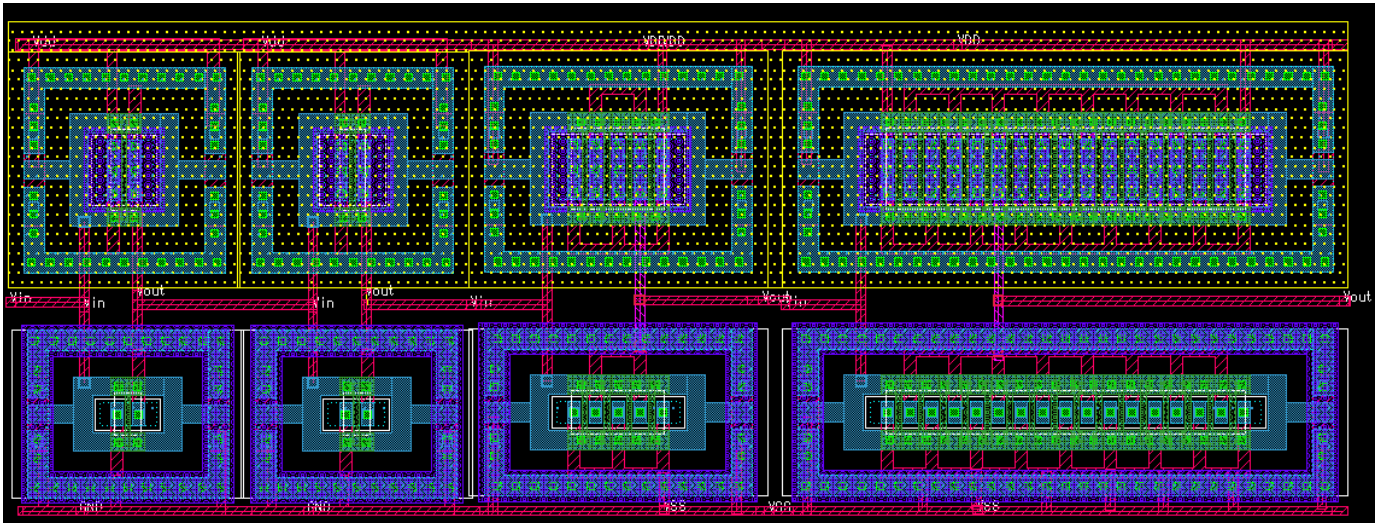


Figura 4.31. Implementación física del comparador $\frac{V_{ref}}{2}$.

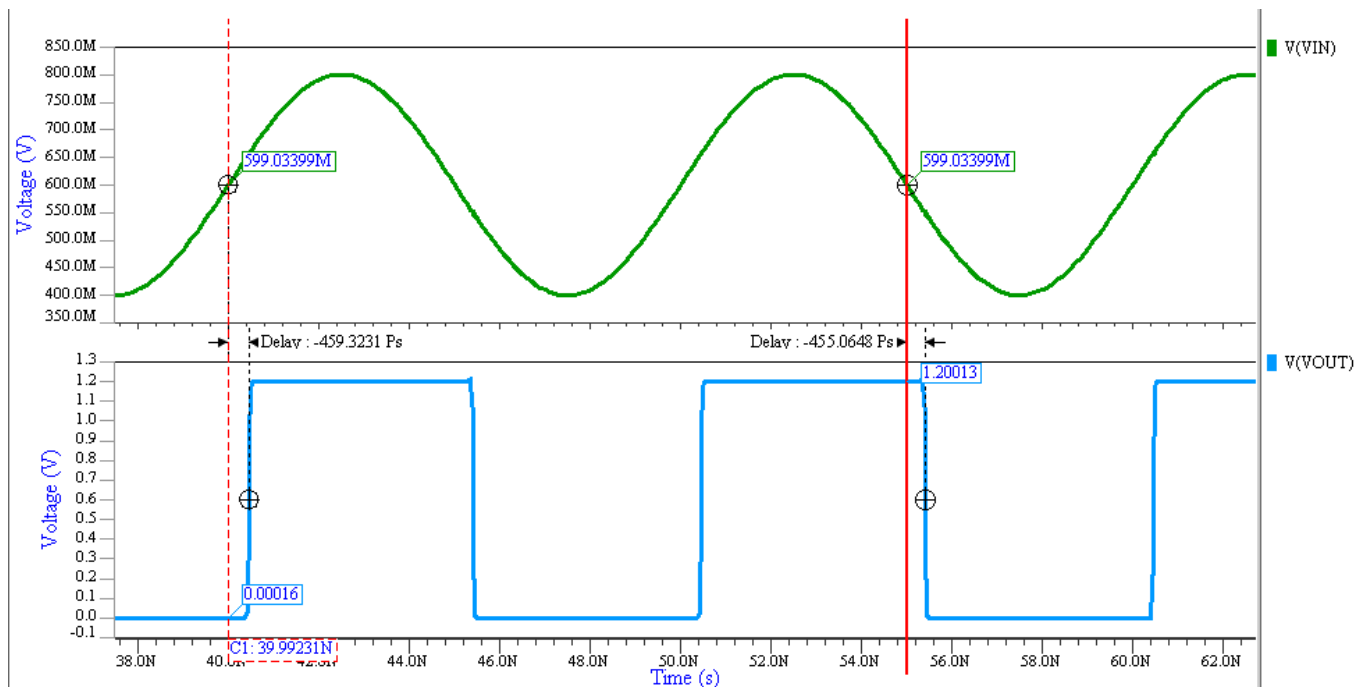


Figura 4.32. Simulación del comparador $\frac{V_{ref}}{2}$.

La figura 4.32 como ya se ha mencionado, presenta la simulación del comparador de 600mV, y se puede ver como el disparo del comparador se da en 600mV y la simetría del mismo ante transiciones de estados lógicos es casi exacta. Además, se muestra el delay presentado por el comparador para una señal de entrada de 100MHz.

Ahora bien, todas las subceldas antes explicadas son en conjunto parte de la sección de comparación que ha sido implementada utilizando 33 comparadores ($2^{N-3}+1$) y 64 latches o 2^{N-2} , donde N representa los bits de resolución del ADC. Esta reducción significativa con respecto a una arquitectura Flash original se da gracias a la técnica de interpolación y plegado que la arquitectura de ADC que se presenta en este documento utiliza. En cuanto a la técnica de plegado se discutió anteriormente y en cuanto a la interpolación se basa en la técnica explicada en [4], basada en utilizar la salida diferencial de los comparadores y utilizarlos como entradas de los latches, tanto para el latch perteneciente a la arquitectura propia del comparador como del latch utilizado para la interpolación. La figura 4.33 muestra la arquitectura base de la interpolación que se ha implementado.

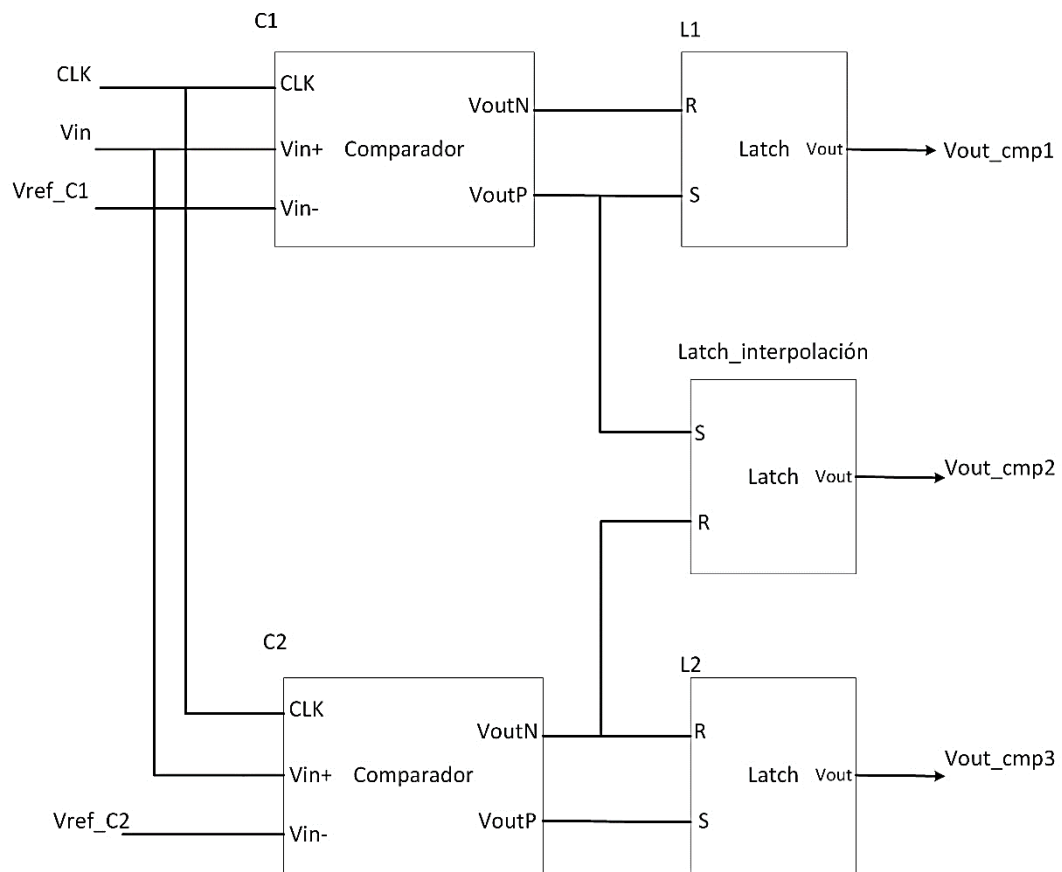


Figura 4.33. Esquemático de la interpolación.

Como se puede observar, la salida VoutP del comparador 1 se conecta al Set (S) del latch de interpolación y la salida VoutN del comparador 2 se conecta al Reset (R) del latch de interpolación. Con esto se busca que bajo la combinación de dos resultados de comparación (comparador 1 y comparador 2), se cree una nueva salida de comparación (salida del latch de interpolación). Ahora bien, bajo este panorama se presenta la arquitectura de esta sección de comparación en la figura 4.34.

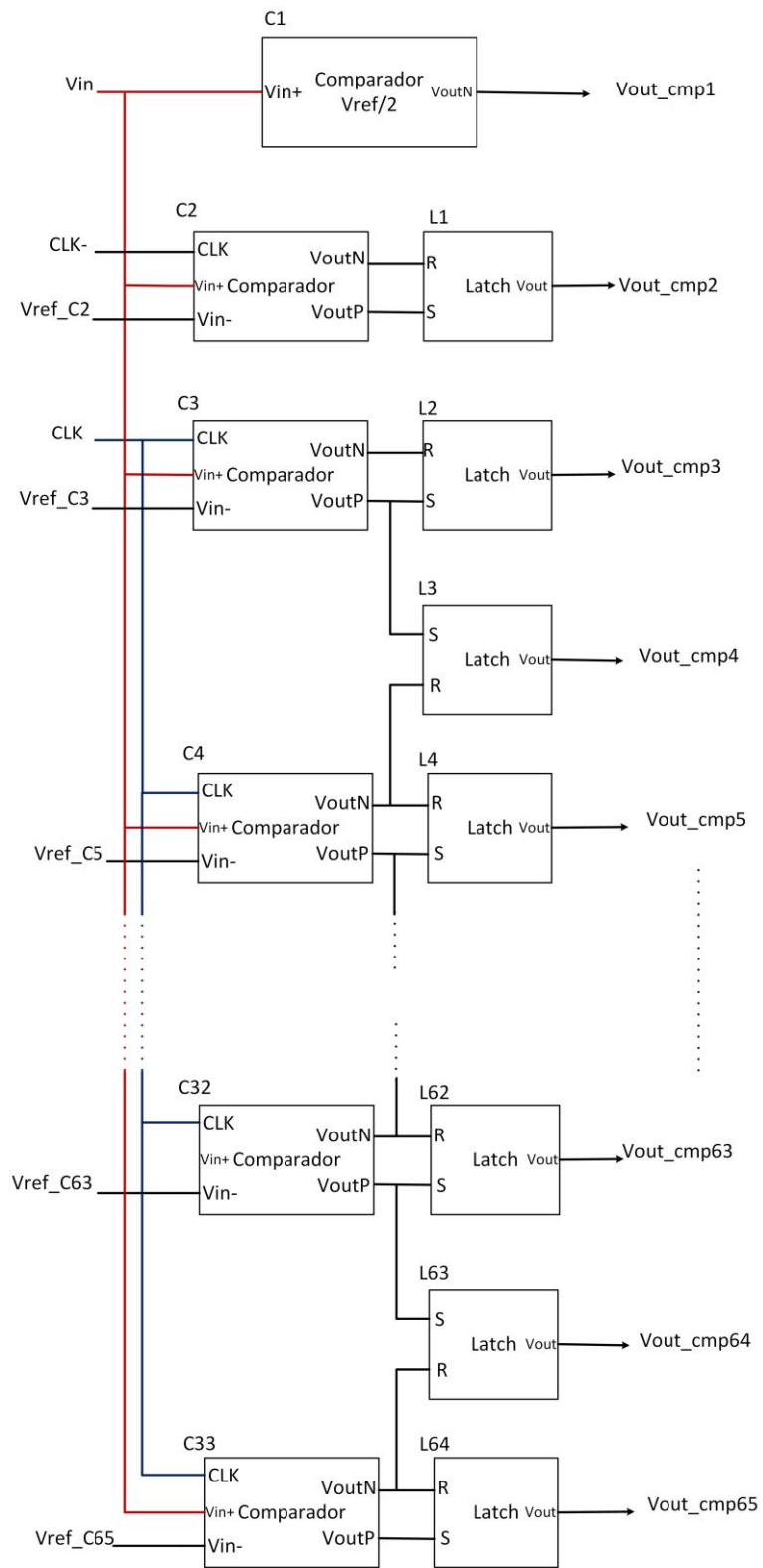


Figure 4.34. Esquemático macrocelda de comparación.

En la figura 4.34, se puede observar cómo se implementan los diferentes módulos desde una perspectiva más macro en la que se muestran las subceldas de los comparadores y latches en su interconexión para que realice la función necesaria.

Cabe destacar que la salida de este módulo será un código termómetro de 63 bits que servirá como entrada al decodificador que convertirá este código termómetro de 63 bits a un código binario de 6 bits (los otros dos bits de la arquitectura los aportan el comparador 1 y el comparador 2).

La figura 4.35 muestra una vista ampliada de una sección de la etapa de comparación en su implementación física ya que su altura (733.70 μm), la hace prácticamente imposible de mostrar en su totalidad. El primer elemento que se muestra en la figura -de arriba hacia abajo- es el layout del comparador de 600mV, mientras que los demás elementos que se muestran son las celdas del comparador y latches que forman parte de la arquitectura. En esta vista se muestran solamente 8 comparadores, recordando que son 63 en total los que componen esta macrocelda.

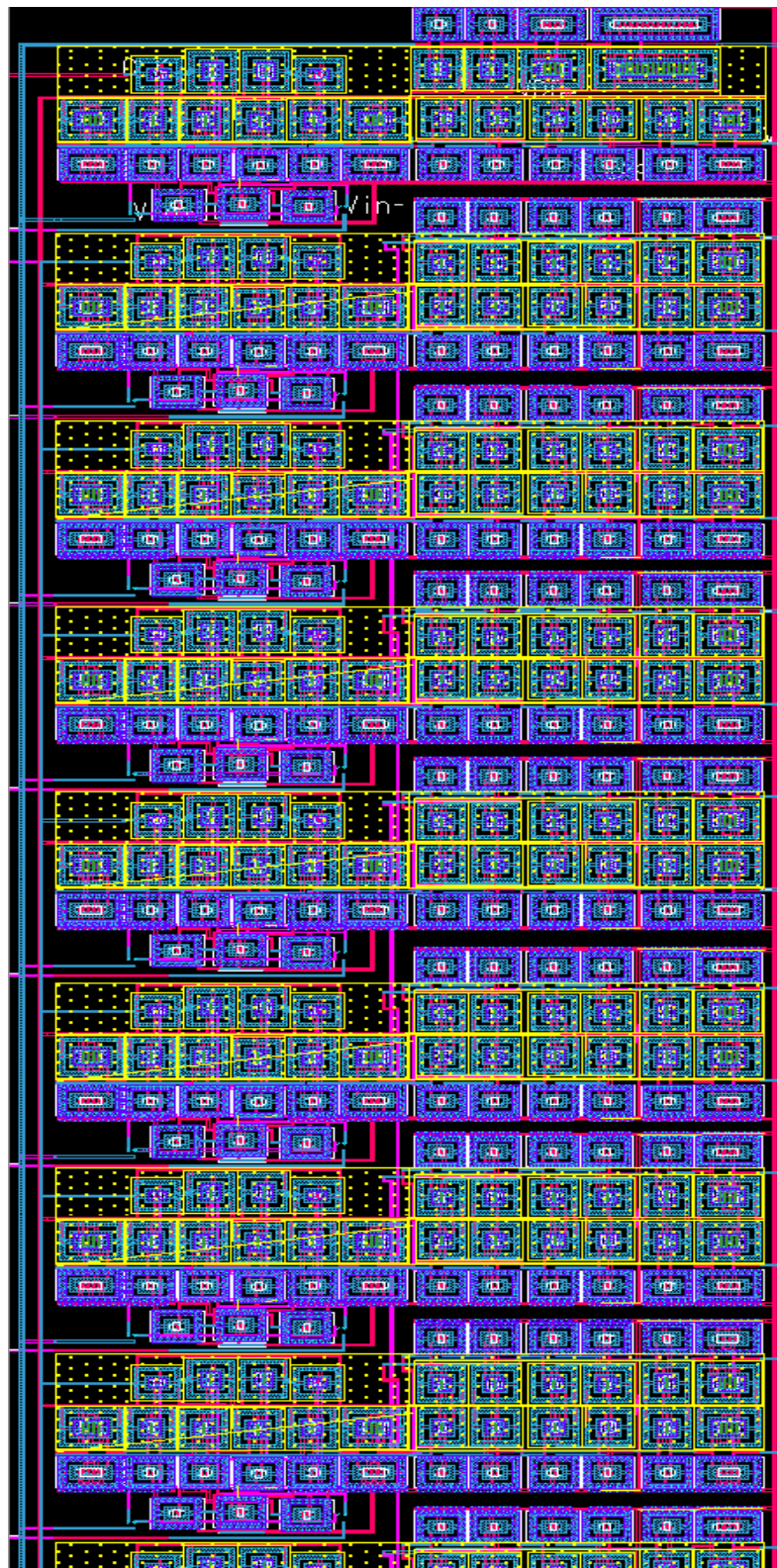


Figura 4.35. Implementación física de una sección de la etapa de comparación.

4.1.5. Decodificador

El decodificador de este ADC es un decodificador particular ya que es un decodificador de código termómetro y lo que básicamente quiere decir es que recibe un código semi-binario (salida de la etapa de comparación) que será traducido a código binario.

Existen varias formas en las que se puede implementar este decodificador para arquitecturas Flash como lo son: decodificador basado en ROM, Fat-Tree usando compuertas OR, Wallace Tree y basado en multiplexión en el que varios autores como [8] [5] expresan puntos a favor de este tipo de decodificadores entre las que están la facilidad de implementación, menor hardware y velocidad de conversión pues en general tiene un solo camino crítico, que a su vez es más corto que otras implementaciones.

La figura 4.36 se muestra la base de la arquitectura en la que en cada una de las etapas se genera un bit que será parte de la salida del ADC y a su vez selector de los MUX de la etapa siguiente. El MUX que se utilizó es el mismo MUX2x1 que se explicó anteriormente en la etapa de escogencia del voltaje de referencia para los comparadores, lo que presupone que la implementación de la arquitectura final sea más veloz, pues al crear hardware para una etapa del ADC se puede reutilizar para otra etapa. La entrada de cada uno de los MUX de la primera etapa de multiplexión será una de las salidas de los comparadores, empezando por el comparador 3 ya que se debe recordar que la salida del comparador 1 y 2 son los bits más significativos de toda la arquitectura.

La salida de esta etapa es el código binario de los 6 bits menos significativos de la arquitectura ADC diseñada. Al igual que las macroceldas anteriores (escalera resistiva, escogencia del voltaje de referencia para los comparadores y comparación), el layout es muy grande para poder ser mostrado en detalle, por lo que la figura 4.37 ofrece una vista amplificada del layout que ofrece una mejor visión de los diferentes elementos que componen esta sección de la arquitectura (MUX2x1). La porción del layout que se muestra es de la zona que tiene contacto con los comparadores y se pueden observar 6 MUX2x1 de los 58 que en su totalidad componen la arquitectura del decodificador.

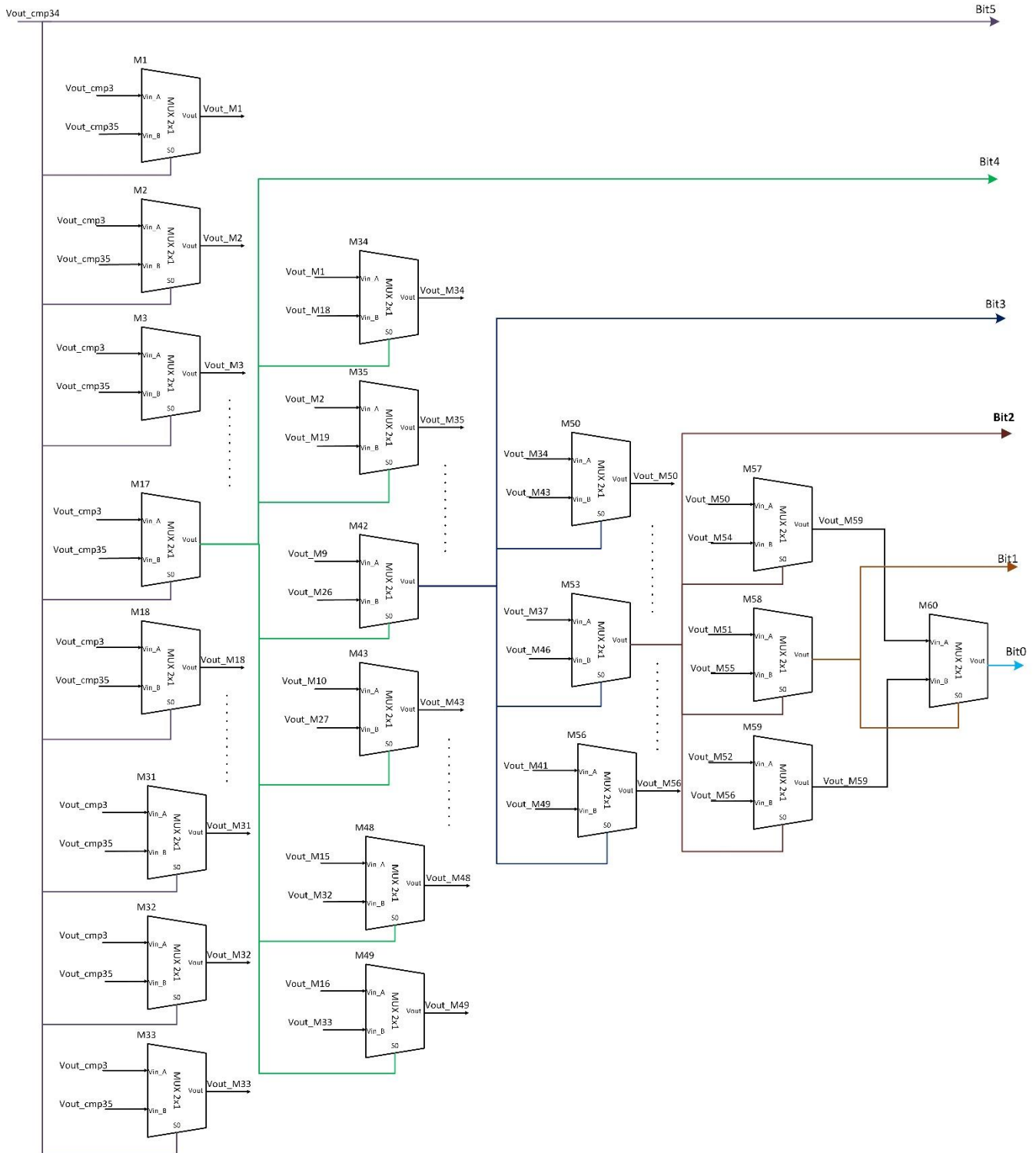


Figure 4.36. Esquemático del decodificador.

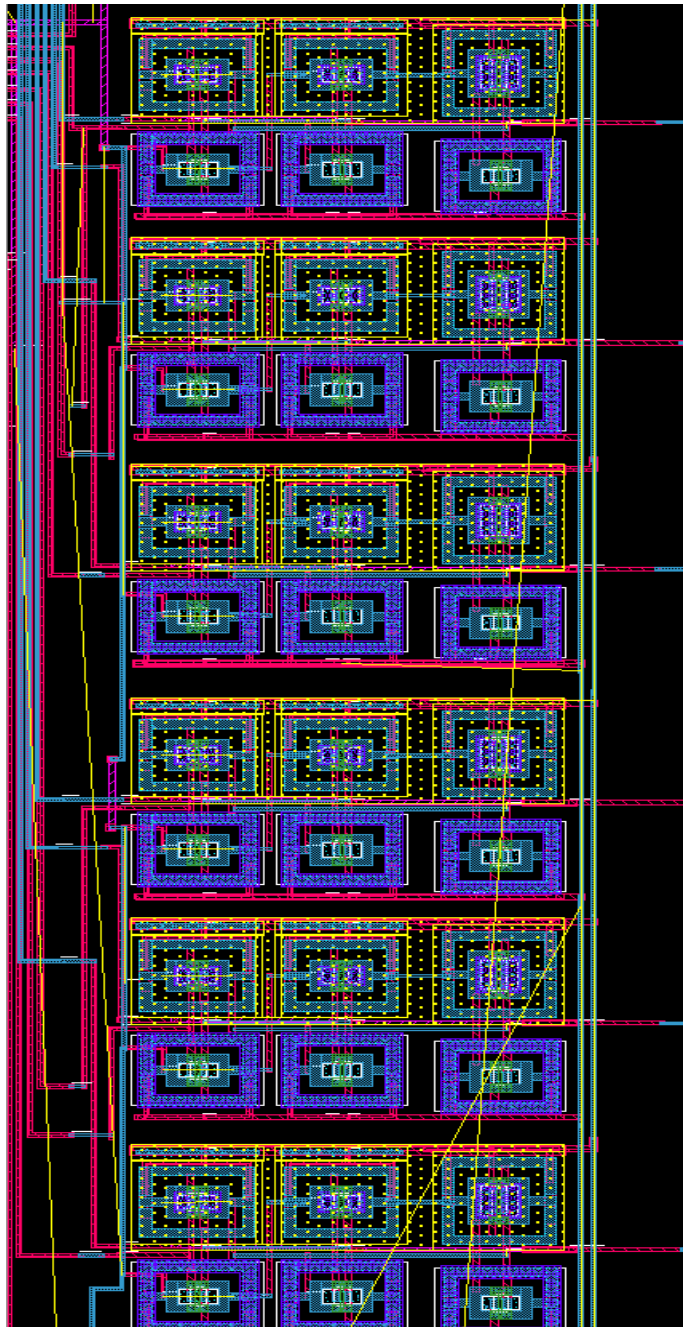


Figura 4.37. Porción de la implementación física del decodificador.

Ahora bien, como se ha mencionado, este decodificador recibe como entrada un código termómetro de 63 bits y lo transforma a 6 bits. El funcionamiento de este decodificador es muy simple, si por ejemplo los 39 bits más significativos del código termómetro son un 1 lógico; la salida del decodificador será un 39 en código binario. Es por esto que en la figura 4.38 se puede

observar la simulación de este decodificador que bajo la entrada de los primeros 39 bits más significativos del código termómetro en 1 lógico, se obtiene a la salida un 39 en binario, es decir, un 100111. En la figura 4.38 se observa a la izquierda una escala de voltaje donde el lector de este documento debe interpretar un 1 lógico como un voltaje cercano a 1.2 V y un 0 lógico a un nivel de voltaje cercano a 0 V.

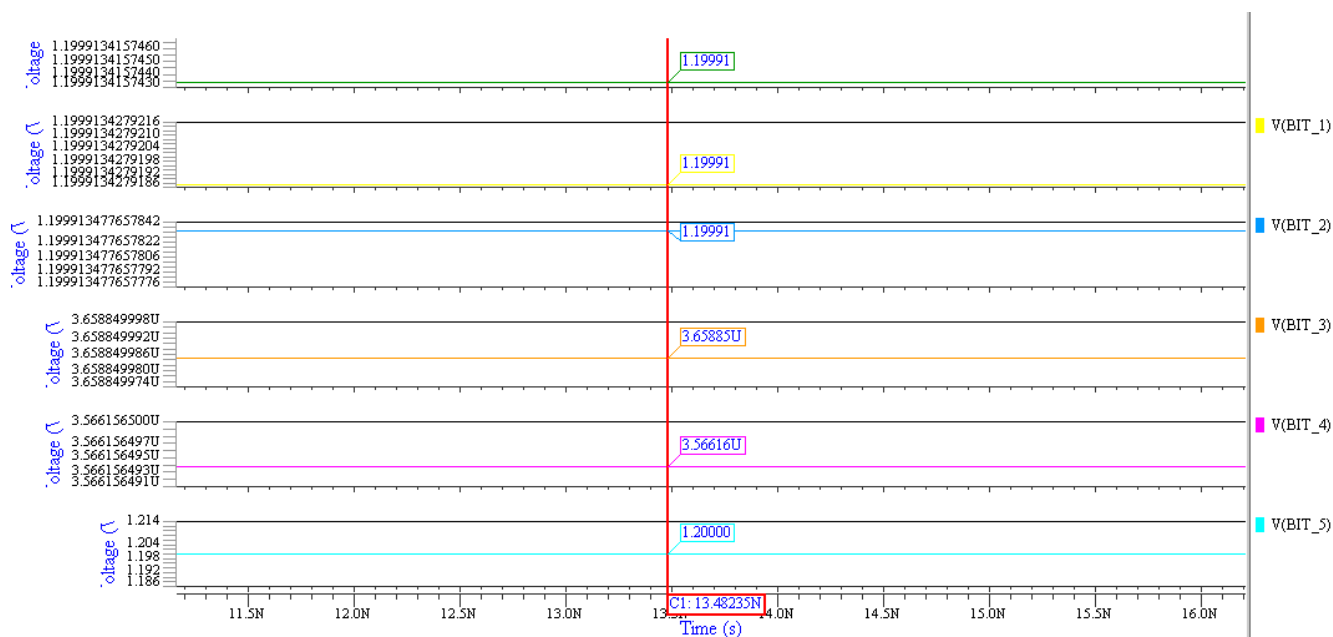


Figura 4.38. Simulación del decodificador.

4.1.6. Banco de Inversores

Por la forma en la que se ha implementado la arquitectura, todos los bits exceptuando el bit más significativo sale de los módulos anteriores invertidos, por lo que es necesario que cada uno de los bits pasen por un inversor antes de poder ser considerados como resultados de la conversión. Es por esto que se incluye este módulo que invertirá cada una de las señales y por consecuencia, la salida de este módulo será el resultado de la conversión de analógico-digital de la señal muestreada por el S/H.

La figura 4.39 muestra este módulo en esquemático que básicamente corresponde a 7 inversores lógicos. Además, en la figura 4.40 se puede ver la implementación de layout de este elemento.

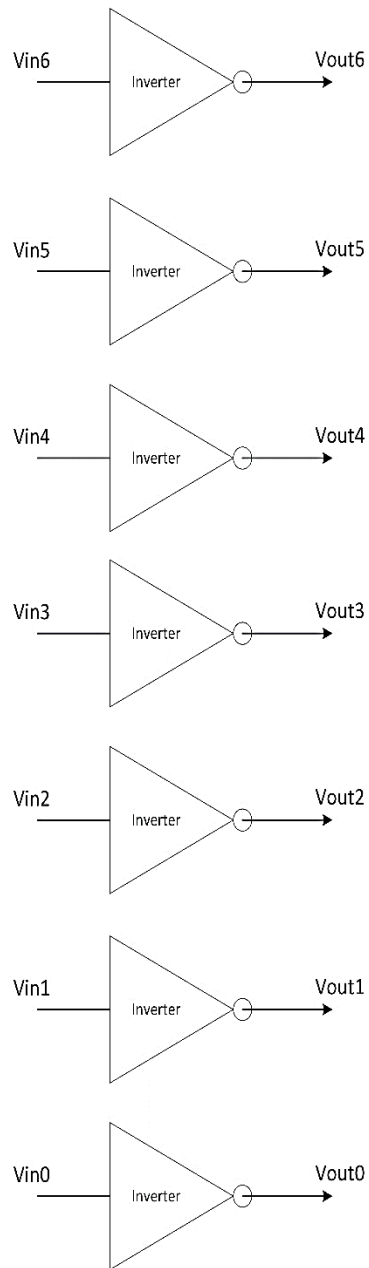


Figure 4.39. Esquemático del banco de inversores.

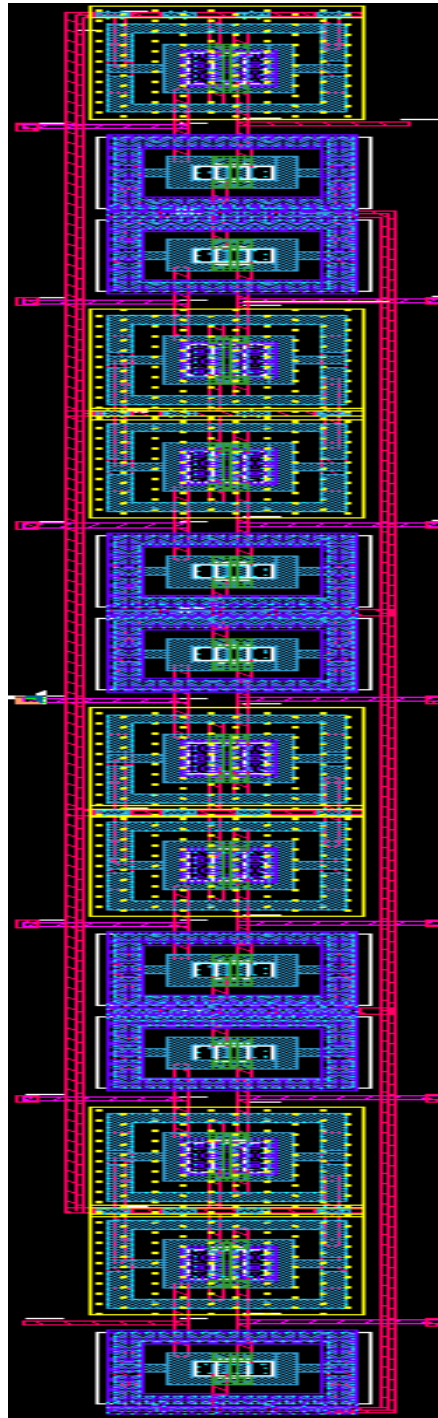


Figura 4.40. Implementación física del banco de inversores.

4.2. Arquitectura completa del ADC

Dadas las macro celdas presentadas en la sección anterior, incluyendo cada uno de los subcomponentes, ya se tiene una perspectiva para presentar la arquitectura completa del ADC en donde se contemplan todas celdas antes presentadas.

La figura 4.41 muestra la arquitectura completa que comprende 5 entradas (CLK, CLK-, Vin, Vref+, Vref-) y 8 salidas (Bit7, Bit6, Bit5, Bit4, Bit3, Bit2, Bit1, Bit0) y los 6 macroceldas que son:

- Muestreador/Retenedor
- Escalera Resistiva
- Selección del voltaje de Referencia
- Comparación
- Decodificación
- Banco de inversores

Ahora bien, bajo esta perspectiva se puede realizar una explicación macro del funcionamiento y el algoritmo de conversión que inicia con las señales de reloj (CLK, CLK-), sirviendo como entradas del circuito S/H en el que ambos relojes entran a un buffer para poder ser distribuido por todo el circuito. Estas señales de reloj ingresan a la compuerta de paso para realizar el muestreo de Vin.

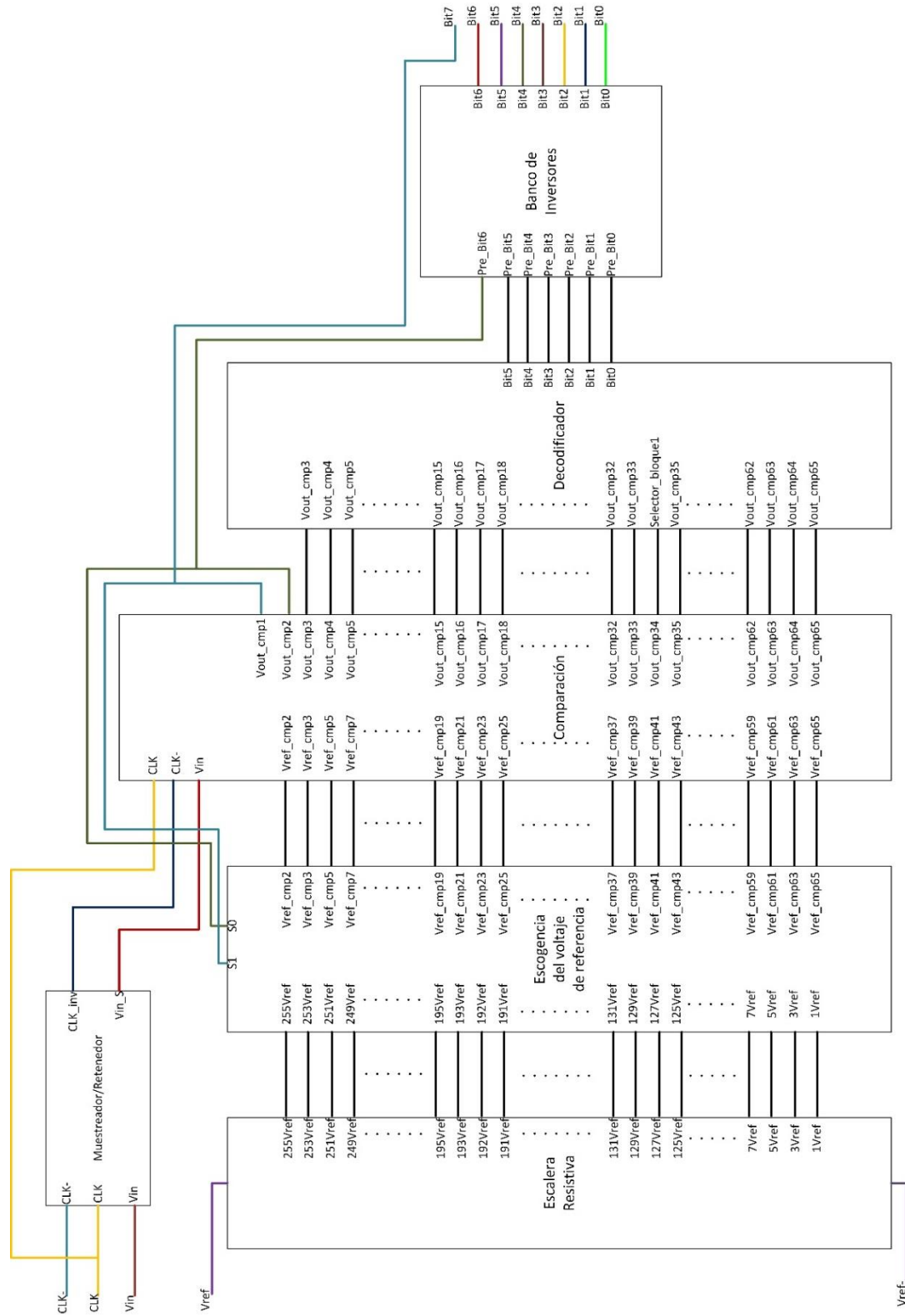


Figure 4.41. Esquemático de la arquitectura de ADC implementada.

La salida muestreada V_{in_S} es dirigida a la entrada V_{in} de cada uno de los comparadores, incluyendo el comparador basado en el inversor lógico que da como resultado el bit más significativo. Al ser un circuito combinacional la respuesta del comparador se da prácticamente instantánea. Esta señal generada por este comparador selecciona el valor de referencia para el comparador 2 que a su vez genera el segundo bit más significativo, este comparador 2 tiene como señal de reloj la señal de reloj invertida mientras que los demás comparadores tienen la señal de reloj sin invertir. El medio ciclo de reloj que se tiene antes que los otros comparadores tomen la decisión, debe ser el suficiente para que la señal de salida del comparador 2 se propague hasta los MUX4x1 y logre la selección de los voltajes de referencia correcto para cada uno de los comparadores. Este tiempo de propagación y cambio de voltajes de referencias desde la salida del comparador 2 hasta el cambio en el voltaje de referencia en los comparadores influirá directamente en la frecuencia de reloj máxima que podrá tener el ADC.

Una vez se dé el cambio de voltaje de referencia en los demás comparadores, en el flanco positivo del reloj sin invertir, se dará la comparación entre V_{in_S} y cada uno de los voltajes de referencia de los comparadores (voltajes generados por la escalera resistiva). Una vez que los comparadores generen el código termómetro, el decodificador podrá generar el pre-código binario para los 5 bits menos significativos.

La salida producida por el decodificador junto al bit 5 (salida del comparador 34 y selector del primer bloque de multiplexión del decodificador) y bit 6 pasarán al banco de inversores que será el encargado de generar el código binario correspondiente a la señal muestreada. Todo el anterior proceso es llevado a cabo en un solo ciclo de reloj como es esperado en una arquitectura basada en un ADC Flash.

Ahora bien, bajo la explicación anterior y teniendo en cuenta la arquitectura del ADC presentada en la figura 4.41, se presenta la vista de layout del ADC en la figura 4.42, en la que se integran todas las subceldas y macroceldas explicadas y presentadas en la sección anterior. La implementación final del layout tiene como dimensiones 0.34017 mm de ancho y 1.17222 mm de alto, que implica un área total de 0.39875 mm².

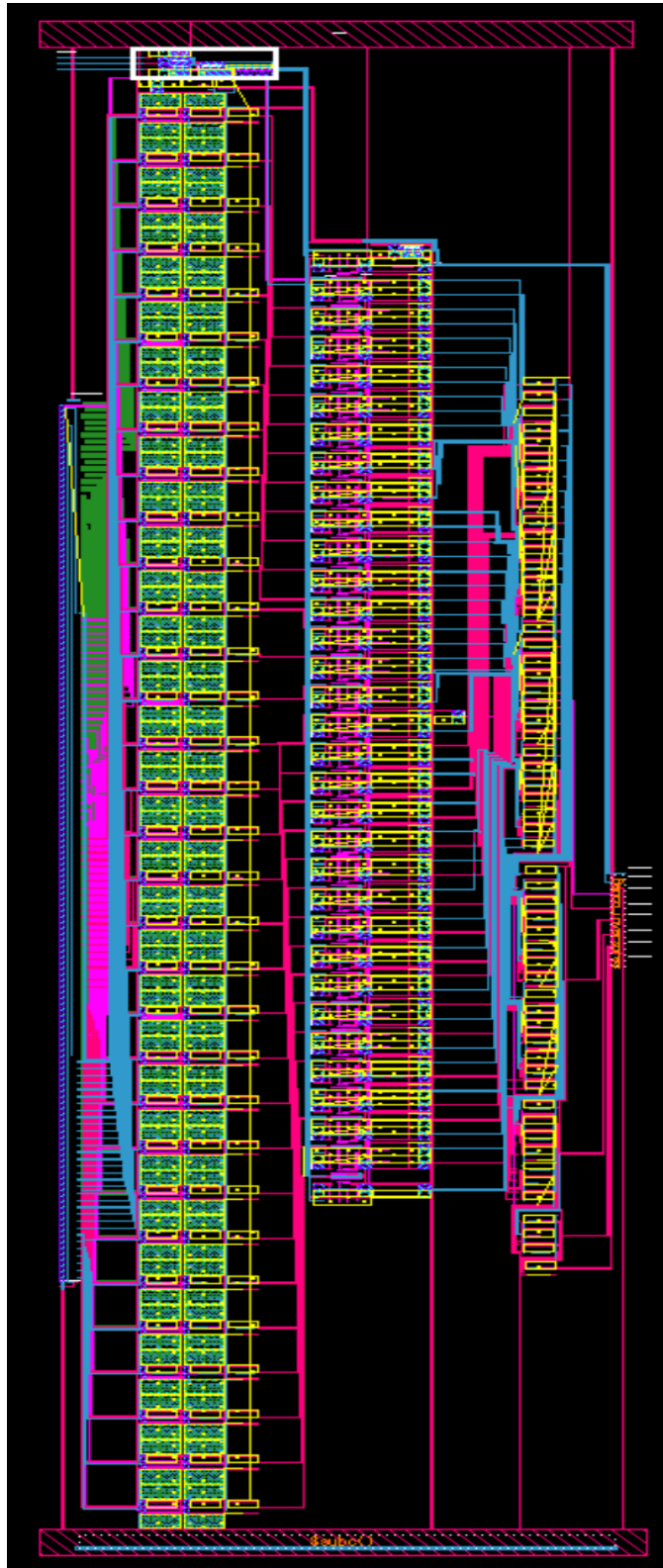


Figura 4.42. Implementación física del layout.

En la figura 4.42 de izquierda a derecha se tiene la escalera resistiva, a la derecha el arreglo de multiplexores o la selección del voltaje de referencia para los comparadores, posteriormente los comparadores. A la derecha de la zona de comparación, está el decodificador y por último el banco de inversores; además en dicha figura en el sector destacado en color blanco se tienen los buffers de las señales de reloj y el circuito muestreador/retenedor.

Otro aspecto importante a destacar es que la red de distribución de energía de este circuito se ha dispuesto de tal forma que todo el circuito y cada una de las celdas tengan fácil acceso ya sea al nodo de tierra o al nodo de alimentación. El arreglo de las líneas de potencia se puede observar en la figura 4.43. En ella se muestra como se tienen dos líneas verticales de poder (nodo superior) y tierra (nodo inferior), posteriormente se dan distribuciones horizontales secundarias envolviendo las diferentes macroceldas para la interconexión en líneas horizontales y más locales de cada una de las subceldas. Con el propósito de mostrar la conexión de las líneas de alimentación a lo largo de todo el layout del ADC, en la figura 4.43 se muestran las macroceldas sin ninguna conexión aparte de VDD (rojo) o tierra (azul).

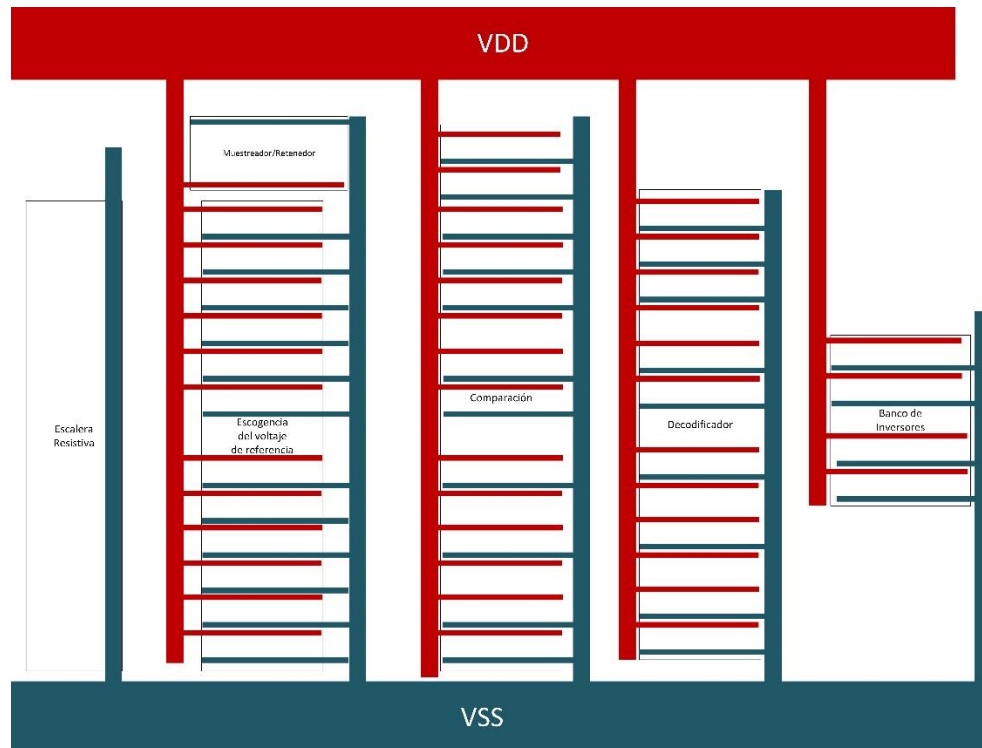


Figure 4.43. Distribución de energía en el layout del ADC.

Además, en el diseño principal de este layout se ha tomado en cuenta lo mostrado por la ecuación 4.2-1, donde se representa la fórmula geométrica para la resistencia de un material, en donde se puede hacer notar que es la resistividad ρ , L el largo del material y más importante para el propósito de este proyecto, A qué se refiere al área transversal, en la que se puede deducir que a mayor área transversal la resistencia del trazo de conexión será menor. Bajo esta tesis es que en la interconexión de todas las celdas y macroceldas se ha utilizado al menor un 30% más del ancho mínimo permitido por la tecnología para cada uno de los trazos de metal. Además, para nodos y/o conexiones más críticas como las de reloj o distribución de voltajes de entrada se ha utilizado hasta un 250% más ancho de lo mínimo permitido por la tecnología.

$$R = \frac{\rho \cdot L}{A} \quad (4.2-1)$$

El hecho de hacer los trazos de metal más anchos disminuye la resistencia del material que ayuda en la integridad de señal y disminuye el tiempo de propagación de cada una de las señales. Además, se destaca que en la figura 4.42 algunos “huecos” en los que no se observa material; en realidad si cuentan con material ya que se realizó un proceso de llenado de capas de metal con el fin de tener una conexión de substrato más arraigada a tierra o poder según sea el caso. En la figura 4.42 no se observa este proceso de llenado ya que por problemas de visualización en la herramienta se debe hacer un acercamiento para que la herramienta permita visualizar dichas celdas de llenado, la figura 4.44 muestra un acercamiento a dichas celdas.

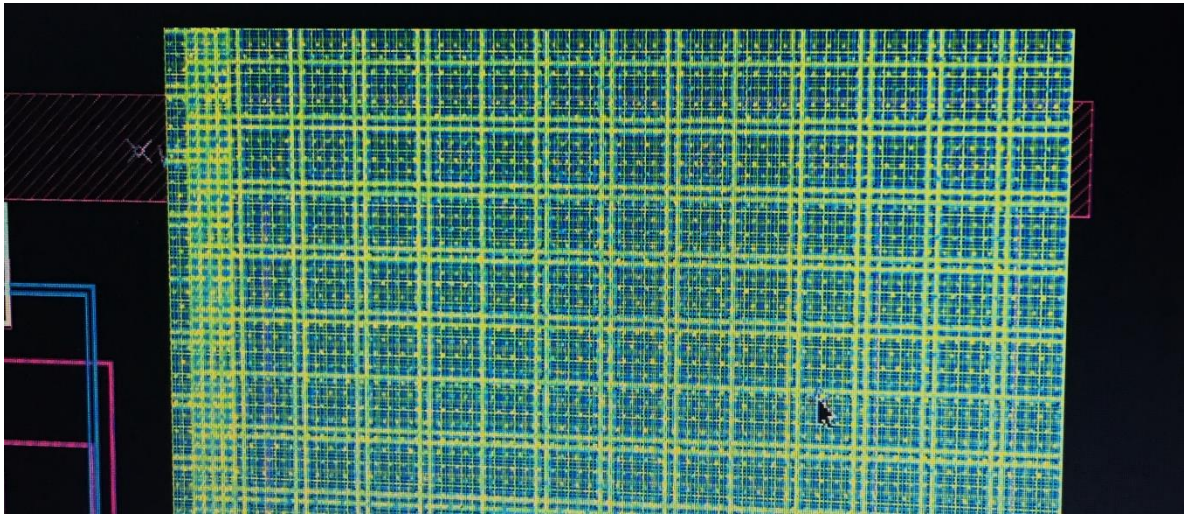


Figura 4.44. Muestra el proceso de llenado para un sector de la implementación física final del ADC.

La figura 4.45 muestra la simulación postlayout del ADC, en la que se puede observar cómo se realiza el proceso de muestreo y retención (señal en color verde etiquetada como ADC1.N_VIN), cambio en los voltajes de referencia para los comparadores (señales en el sector medio de la imagen etiquetadas como ADC1.N_VRE) y, además, en el lugar donde se encuentran los cursores el número al que corresponde la conversión analógica a digital. En el primer cursor, se tiene que el valor muestreado es 0.997 V que corresponde a un 211, mientras que el valor convertido es 210. Para el segundo cursor el valor muestreado 0.753 V que corresponde a 161 y el valor obtenido es 163.

Como se puede ver, existe un error en la conversión de los valores analógicos a digitales por parte del ADC que corresponde al error de cuantización que anteriormente se ha explicado.

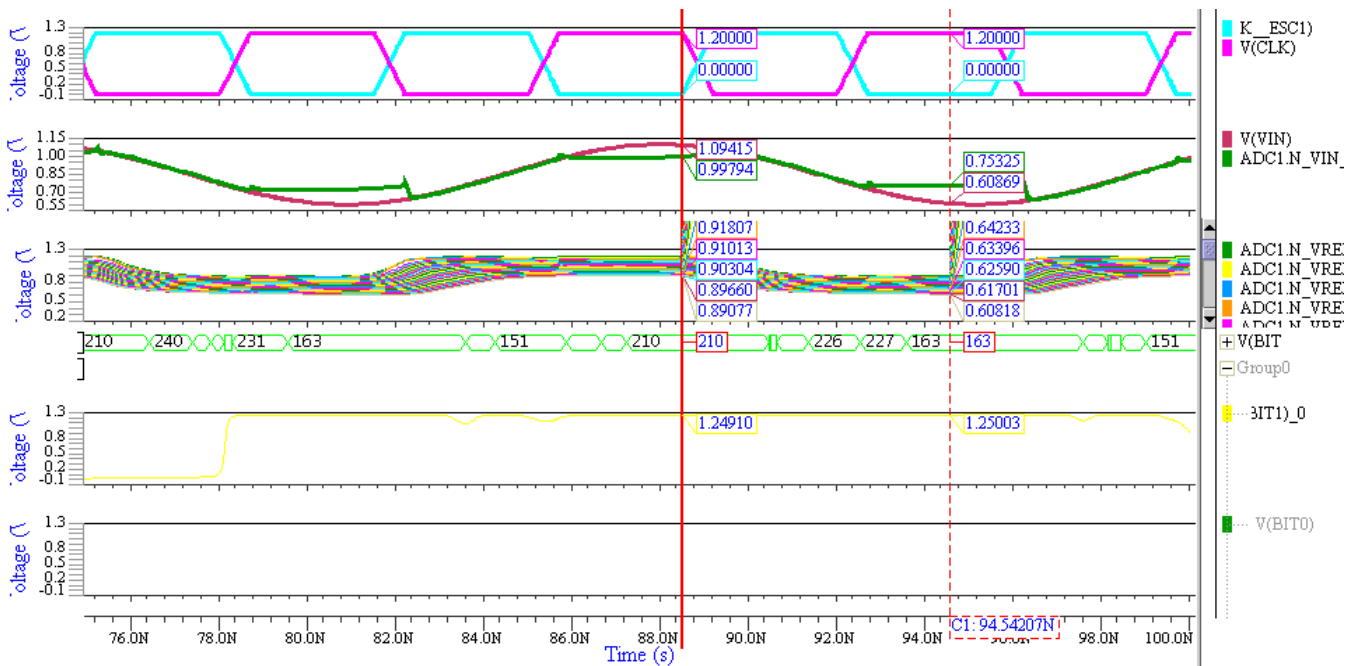


Figura 4.45. Simulación de la arquitectura completa.

Como aporte final, se tiene la ecuación 4.2-2, en la que se muestra como calcular el número entre 0 y 255 que va a tener como resultado el ADC ante una señal muestreada. En dicha ecuación, se tiene que $V_{muestreado}$ es la amplitud del voltaje de entrada que ha sido muestreada, N la cantidad de bits de resolución del ADC, V_{ref} la amplitud del voltaje de referencia positivo para la escalera resistiva y V_{ref-} la amplitud del voltaje de referencia negativo para la escalera resistiva.

$$\#Resultado = V_{muestreado} * \frac{2^N - 1}{V_{ref} - V_{ref-}} \quad (4.2-2)$$

Capítulo 5 : Presentación y Discusión de Resultados

A lo largo de todo este documento se ha discutido y presentado el diseño de un convertidor analógico-digital de alta velocidad para la aplicación en espectroscopia por impedancia eléctrica en el que se ha alcanzado el objetivo principal de diseñar una arquitectura capaz de convertir señales analógicas a digitales con una resolución de 8 bits. Sin embargo, la arquitectura puede incorporar algunas mejoras que en esta primera iteración no se han podido corregir, principalmente por la duración estipulada del proyecto de graduación. En la sección de recomendaciones se presentarán los cambios mínimos que se le deben realizar a la arquitectura para poder convertir en un formato full 8 bits.

Dentro de los problemas que se han mencionado están que bajo cuestiones de tiempos de propagación entre la señal de salida del comparador 2, que a su vez sirve como señal selectora de los multiplexores que permiten el cambio del voltaje de referencia que le llegaran a los comparadores, tiene un tiempo de propagación de cerca de 800ps, esto ocasiona que aunado al tiempo de propagación y cambio del voltaje de referencia anterior al nuevo voltaje de referencia se tenga un tiempo de propagación final para juzgar una señal de referencia estable de 2ns. Esto ha ocasionado que la frecuencia de las señales de reloj -que imponen el tiempo de muestreo- sean de 143 MHz. Para cumplir con el teorema de muestreo de Nyquist, la señal de entrada al ADC debe tener una frecuencia máxima de 70 MHz. Además, bajo una cuestión del tipo de transistores y de la tecnología, los comparadores implementados tienen un problema de sensibilidad ante voltajes menores a 250 mV, esto ocasionado por un problema de polarización de los transistores NMOS de entrada, ya que el voltaje de umbral de estos transistores debe ser mayor a este valor, para lo cual, ante voltajes de entrada menores a 250 mV, los resultados del ADC no están garantizados. Para no arriesgar a que el funcionamiento del ADC pueda verse comprometido bajo las condiciones que será utilizado, se ha acordado con el encargado del proyecto de Espectroscopia por Impedancia Eléctrica diseñar un acondicionador de señal (diseño que no es parte de este proyecto) para que el voltaje de la señal de entrada no sea un problema para el ADC y que garantizará su funcionamiento en las condiciones indicadas.

Además, no se debe dejar de mencionar que este diseño es parte de una primera iteración, en la que bajo las recomendaciones que se darán más adelante, se espera que la arquitectura este sea completamente funcional para las demandas del proyecto de Espectroscopia por Impedancia Eléctrica.

Ahora bien, la arquitectura que aquí se presenta, tiene características muy interesantes en el sentido que es una arquitectura que podría decirse que es dinámica ya que sin hacer cambios significativos se puede tener una arquitectura igualmente funcional. Al tener dos entradas de voltaje de referencia (V_{ref} y V_{ref-}) para la generación de los voltajes de referencia en el divisor resistivo se tiene la posibilidad de limitar los voltajes de referencia en comparación con la amplitud de la señal de entrada, por ejemplo ante una señal de entrada con una amplitud comprendida entre 600mV y 1.1V, se puede colocar en la señal V_{ref} el valor de 1.1V y en la señal de entrada V_{ref-} 600mV y se generaran señales de referencia entre estos valores, lo que aumentara la precisión de conversión del ADC.

Otro aspecto a destacar de la arquitectura que aquí se presenta es la reducción de hardware que se ha dado en comparación con una arquitectura Flash tradicional, ya que al diseñar una topología de ADC que toma en cuenta la técnica de interpolación y plegado para reducir la cantidad de hardware necesario para cumplir con el cometido de convertir señales analógicas a digital en un solo ciclo de reloj. La tabla 5.1 muestra un resumen con la reducción de hardware que se ha realizado.

Tabla 5.1. Diferencias entre arquitectura Flash tradicional y arquitectura propuesta.

Resolución	Arquitectura					
	Flash			Propuesta		
8 bits	Comparadores	Latches	Resistencias	Comparadores	Latches	Resistencias
		255	255	257	33	64

En análisis de la tabla 5.1 se puede demostrar una optimización del hardware utilizado muy importante, ya que se redujo la cantidad de comparadores en un 87%, la cantidad de latches utilizada en toda la arquitectura en un 75% y las resistencias utilizadas en la escalera resistiva en un 48%, demostrando que el diseño que aquí se presenta, es parte de un diseño en el que se

tuvo muy en cuenta uno de los ejes principales del diseño microelectrónica que es el uso eficiente del área ya que, a mayor cantidad de componentes, mayor área se necesita para cumplir con el cometido final de convertir señales analógicas a digitales. Cabe mencionar que el área total del ADC que se presenta en este documento es de 0.39875 mm^2 .

En cuanto potencia consumida, este diseño bajo la simulación postlayout, se ha determinado que la potencia promedio consumida es de 2.2447 mW , que queda muy por debajo en comparación con otras arquitecturas como las presentadas, en [5] donde no solamente se presentan arquitecturas con menor resolución (6 bits), sino que además presentan consumos de potencia mayores y que incluso llegan a 72 mW .

Además, la forma en la que ha sido implementado este circuito ha permitido no solamente una implementación veloz, sino que también la revisión de los diferentes módulos cuando se presentaban problemas de funcionamiento, ya que se realizó un diseño basado en jerarquías, que permitió que como el lector de este documento intuye, al diseñar una única celda básica, celdas de jerarquías mayores ya estaban diseñadas.

Capítulo 6 : Conclusiones y Recomendaciones

Se evaluaron a nivel teórico tres topologías de ADC que ofrecían alta velocidad de conversión para una resolución de 8 bits. Estas topologías generales que fueron exploradas como arquitectura general para el ADC son: Flash, Flash con interpolación y plegado, y por último Registro de Aproximaciones Sucesivas. Se eligió la arquitectura basada en una arquitectura Flash con las técnicas de interpolación y plegado que reducen el hardware utilizado en la implementación del ADC.

Para la implementación y diseño de este circuito se tuvo que utilizar la tecnología CMOS de 0.13 μm IBM8RF, en la que se realizó el diseño a nivel de esquemático de la arquitectura del ADC con resolución de 8 bits, donde se dio una validación funcional a nivel de simulación del esquemático del ADC y se comprobó lo prometido por la arquitectura Flash con interpolación y plegado pues en el diseño final del ADC se pudo realizar -en comparación con una arquitectura Flash clásica- una reducción de 87% de comparadores, 75% menos latches y un 48% menos resistencias para la escalera resistiva.

El diseño del layout del ADC fue un trabajo muy intensivo por la cantidad de celdas que se debían diseñar, interconectar y validar. Cabe mencionar que cada una de las celdas paso los flujos de validación como lo son la comprobación de las reglas de diseño (DRC), comparación entre el esquemático y layout (LVS) y posteriormente la extracción de elementos parásitos que genero el modelo que permitió realizar la simulación postlayout para validar funcionalmente cada uno de los módulos de la arquitectura.

La implementación final de toda la arquitectura del ADC arrojó resultados interesantes como lo es un consumo de potencia promedio de cerca de 2.2447 mW, inferior a otras implementaciones de otros autores con ADCs de menor resolución [5] [8] [19]. Un área final de la implementación en layout de 0.39875 mm^2 que esta de acorde a lo esperado y requerimientos de espacio que se tiene para el proyecto de Espectroscopia por Impedancia Eléctrica. Además, se ofrece una arquitectura final a nivel de layout de un ADC con resolución de 8 bits capaz de cambiar de rangos de voltaje de referencia que se adecue a las necesidades del proyecto y que inicialmente admite una frecuencia máxima de conversión de 143 MHz.

Como recomendación para poder aumentar la frecuencia de muestreo y por ende la frecuencia de la señal de entrada, se podría el diseñar e implementar un buffer analógico a la salida de cada uno de los multiplexores 4x1 que son parte de la macrocelda de escogencia del voltaje de referencia para los comparadores. La adición de un buffer permitirá que la velocidad de cambio en los niveles de voltaje escogidos sea mayor y la ruta crítica que esta sección del circuito representa deje de serlo o al menos disminuya este tiempo de propagación. Además, la adición de este buffer analógico permitirá eliminar o al menos reducir la capacitancia del filtro RC que se tuvo que diseñar para cada una de las entradas del MUX4x1, ya que al aislar la macrocelda de comparación con las otras celdas, el efecto de interferencia que se presenta cuando se activa el periodo de comparación sobre los nodos de referencia se disminuya o incluso se nulifique. El buffer que se utilice en esta sección se podría implementar con un amplificador operacional como los que son explicados en [5] y [6] bajo la configuración de seguidor de voltaje.

Otra recomendación es que para mejorar el diseño y en general para cambios en el voltaje de referencia de la escalera resistiva, se debe hacer un cambio en el comparador 1, ya que, como fue mencionado, este fue implementado para conmutar a la mitad del voltaje de referencia. En la implementación actual este comparador está diseñado para conmutar a la mitad entre 0V y 1.2 V, es decir 600mV; pero si se desea cambiar el voltaje de referencia de la escalera resistiva a un rango, por ejemplo, entre 600mV y 1.1V se deberá rediseñar el inversor del comparador 1 para que tenga un voltaje de conmutación de 850 mV, voltaje que representa el punto medio en el voltaje de referencia de la escalera resistiva. Esto se puede realizar cambiando el tamaño de los transistores del inversor; si se desea aumentar el voltaje de conmutación se debe aumentar el ancho del transistor PMOS y si por el contrario se desea disminuir el voltaje de conmutación del inversor se debe aumentar el ancho del transistor NMOS.

Otro aspecto que se puede mejor, es la arquitectura de los comparadores, donde se puede buscar el cambio a una arquitectura con mayor velocidad de respuesta que influiría positivamente en la frecuencia base de muestreo que se tenga para el ADC. Además, aumentando la sensibilidad de dichos comparadores se puede disminuir el error de cuantización que este ADC presenta.

Una última recomendación es el cambio en la tecnología utilizada, pasando a una tecnología CMOS de más alta densidad, ya que, al disminuir el tamaño del canal de cada uno de los transistores, la velocidad de los transistores aumenta y esto repercutirá directamente en las frecuencias a las que podría trabajar el ADC que serán teóricamente mayores, aunque con un aumento en el costo de la fabricación de prototipos.

Bibliografía

- [1] B. Klein, «SIGNAL CHAIN BASICS Series (Part 4): Introduction to analog/digital converter (ADC) types,» 14 diciembre 2007. [En línea]. Available: http://www.eetimes.com/document.asp?doc_id=1272411. [Último acceso: 17 febrero 2016].
- [2] «Understanding Flash ADCs,» septiembre 2001. [En línea]. Available: <http://materias.fi.uba.ar/6644/info/variados/conversores/basico/Understanding%20flash%20ADCs.htm>. [Último acceso: 26 febrero 2016].
- [3] P. E. Allen y D. R. Holberg, «Digital-Analog and Analog-Digital Converters,» de *CMOS Analog Circuit Design*, New York, USA, Oxford University Press, 2002, pp. 652-665 & 682-698.
- [4] B. Razavi, «Folding and Interpolating ADCs,» Electrical Engineering Department University of California, Los Angeles.
- [5] J. Im Lee y J.-I. Song, «Flash ADC Architecture using Multiplexers to Reduce a Pre-amplifier and Comparator Count,» de *TENCON 2013*, Xian, 2013.
- [6] E. Barsoukov y R. Macdonald, *Impedance Spectroscopy: Theory, Experimente, and Applications*, Hoboken, New Jersey: John Wiley & Sons. Inc, 2005.
- [7] S. Mishra, A. Vidyarthi y S. Akashe, «A Novel Folding Technique for 3 Bit Flash ADC in Nanoscale,» de *Third International Conference on Advanced Computing & Communication Technologies*, Rohtak, 2013.
- [8] L. Nazir, R. Naaz Mir y N.-u.-d. Hakim, «A 4 GS/s, 1.8 V Multiplexer encoder based Flash ADC using TIQ Technique,» de *International Conference on Signal Processing and Integrated Networks*, Noida, 2014.
- [9] F. Kremer, A. Serghei, J. R. Sangoro, M. Treb y E. Mapesa, «Broadband Dielectric Spectroscopy in Nano-(bio)-Physics,» 2010. [En línea].
- [10] T. Süsselbeck, H. Thielecke, J. Köchlin, S. Cho, I. Weinschenk, J. Metz, M. Borggreffe y K. Haase, «Intravascular electric impedance spectroscopy of atherosclerotic lesions using a new impedance catheter system. *Basic Research in Cardiology*, 100(5), 446-452. doi:10.1007/s00395-005-0527-6,» 2005.
- [11] P. Figueiredo y J. Vital, «High-Speed ADC Architectures,» de *Offset Reduction Techniques in Highspeed Analog-To-Digital Converters*, Springer Netherlands doi: 10.1007/978-1-4020-9716-4_1, 2009, pp. 1-65.
- [12] H. Li, «Data Converter Architectures,» de *CMOS: Circuit Design, Layout, and Simulation*, Hoboken, New Jersey, Wiley, 2010, pp. 971-972 & 985-1010.
- [13] T. Sundström, *Design of High-Speed Analog-to-Digital Converters using Low-Accuracy Components*, Department of Electrical Engineering Linköping University, Linköping, Sweden: Linköping University, 2011.
- [14] Texas Instruments, «Understanding Data Converters: Application Report,» 1995. [En línea]. Available: <http://www.ti.com/lit/an/slaa013/slaa013.pdf>. [Último acceso: 22 febrero 2016].

febrero 2016].

- [15] B. Razavi, *Principles of Data Conversion System Design*, Wiley-IEEE Press, 1995.
- [16] N. Dye y H. Granberg, «RF Transistor Fundamentals,» de *Radio Frequency Transistors: Principles and Practical Applications*, segunda ed., Woburn, MA, British Library Cataloguing-in-Publication Data, 2001, pp. 31-32.
- [17] Future Electronics, «RF Transistors,» [En línea]. Available: <https://www.futureelectronics.com/en/wireless-rf-radio-frequency/rf-transistors.aspx>. [Último acceso: 11 abril 2016].
- [18] Department 9G8A, Mixed Signal Technology Development, «CMOS8RF (CMOSF8SF) Design Manual,» IBM Microelectronics Division, 2010.
- [19] S. Sheikhaei, S. Mirabbasi y A. Ivanov, «A 4-bit 5 GS/s Flash A/D Converter in 0.18um CMOS,» 2005.
- [20] R. Megha y K. Pradeepkumar, «Implementation of Low Power Flash ADC By Reducing Comparators,» de *International Conference on Communication and Signal Processing*, Melmaruvathur, 2014.
- [21] H. Gao, P. Baltus y Q. Meng, «Low Voltage Comparator for High Speed ADC,» de *Proceedings of International Symposium on Signals, Systems and Electronics*, Nanjing, 2010.
- [22] P. Iyappan , P. Jamuna y S. Vijayasamundiswary, «Design of Analog to Digital Converter Using CMOS Logic,» de *International Conference on Advances in Recent Technologies in Communication and Computing*, Kottayam, Kerala, 2009.
- [23] H. Tang, H. Zhao, S. Fan, X. Wang, L. Lin, Q. Fang, J. Liu, A. Wang y B. Zhao, «Design Technique for Interpolated Flash ADC,» de *Solid-State and Integrated Circuit Technology*, Shanghai, 2010.
- [24] G. Yongheng, C. Wei, L. Tiejun y W. Zongmin, «A Novel 1GSPS Low offset Comparator for high speed ADC,» de *Fifth International Joint Conference on INC, IMS and IDC*, Seoul, 2009.
- [25] N. Gray, «ABCs of ADCs: Analog-to-Digital Converter Basics,» National Semiconductor: The Sight & Sound of Information, 2003.
- [26] R. J. Baker, «Nonlinear Analog Circuits,» de *CMOS: Circuit Design, Layout, and Simulation*, Hoboken, New Jersey, Wiley, 2010, pp. 909-918.

- [27] H. Li, «Data Converter Fundamentals,» de *CMOS: Circuit Design, Layout, and Simulation*, Hoboken, New Jersey, Wiley, 2010, pp. 935-937 & 947-956.
- [28] Devices Inc., «Data Conversion Handbook,» Elsevier Science & Technology, Saint Louis, MO, USA, 2005.
- [29] Q. Liu y D. Schutzer, «Cell-based biosensors: Principles and applications,» Artech House, Norwood, MA, USA, 2009.
- [30] Y. Salazar Muñoz, «Introducción a la Medida de Impedancia Eléctrica de Tejidos Biológicos,» 2006. [En línea]. Available:
<http://www.tdx.cat/bitstream/handle/10803/6187/02Ysm02de07.pdf?sequence=2>.
- [31] P. E. Allen y D. R. Holberg, «Comparators,» de *CMOS Analog Circuit Design*, New York, USA, Oxford University Press, 2002, pp. 439-488.

Anexo 1: Tabla con valores de referencia de salida de la escalera resistiva

La siguiente tabla muestra los voltajes de salida para la escalera resistiva para un voltaje V_{ref} de 1.2 V y V_{ref-} de 0V.

Tabla A-1. Contiene los voltajes de referencia generados en la escalera resistiva.

#Salida	V_{ref}
1	0,004688
3	0,014063
5	0,023438
7	0,032813
9	0,042188
11	0,051563
13	0,060938
15	0,070313
17	0,079688
19	0,089063
21	0,098438
23	0,107813
25	0,117188
27	0,126563
29	0,135938
31	0,145313
33	0,154688
35	0,164063
37	0,173438
39	0,182813
41	0,192188
43	0,201563
45	0,210938
47	0,220313
49	0,229688
51	0,239063
53	0,248438
55	0,257813
57	0,267188
59	0,276563
61	0,285938

63	0,295313
64	0,3
65	0,304688
67	0,314063
69	0,323438
71	0,332813
73	0,342188
75	0,351563
77	0,360938
79	0,370313
81	0,379688
83	0,389063
85	0,398438
87	0,407813
89	0,417188
91	0,426563
93	0,435938
95	0,445313
97	0,454688
99	0,464063
101	0,473438
103	0,482813
105	0,492188
107	0,501563
109	0,510938
111	0,520313
113	0,529688
115	0,539063
117	0,548438
119	0,557813
121	0,567188
123	0,576563
125	0,585938
127	0,595313
128	0,6
129	0,604688
131	0,614063
133	0,623438
135	0,632813
137	0,642188

139	0,651563
141	0,660938
143	0,670313
145	0,679688
147	0,689063
149	0,698438
151	0,707813
153	0,717188
155	0,726563
157	0,735938
159	0,745313
161	0,754688
163	0,764063
165	0,773438
167	0,782813
169	0,792188
171	0,801563
173	0,810938
175	0,820313
177	0,829688
179	0,839063
181	0,848438
183	0,857813
185	0,867188
187	0,876563
189	0,885938
191	0,895313
192	0,9
193	0,904688
195	0,914063
197	0,923438
199	0,932813
201	0,942188
203	0,951563
205	0,960938
207	0,970313
209	0,979688
211	0,989063
213	0,998438
215	1,007813

217	1,017188
219	1,026563
221	1,035938
223	1,045313
225	1,054688
227	1,064063
229	1,073438
231	1,082813
233	1,092188
235	1,101563
237	1,110938
239	1,120313
241	1,129688
243	1,139063
245	1,148438
247	1,157813
249	1,167188
251	1,176563
253	1,185938
255	1,195313