

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería en Electrónica



Diseño de un mezclador de frecuencias con topología de Gilbert para espectroscopia médica por impedancia eléctrica en tecnología CMOS de 0.13 μm

Informe de Proyecto de Graduación para optar por el título de Ingeniero en Electrónica con el grado académico de Licenciatura

Bryan Edgardo Gómez Cervantes

Cartago, Junio de 2016

Acta de aprobación

INSTITUTO TECNOLÓGICO DE COSTA RICA

ESCUELA DE INGENIERÍA ELECTRÓNICA

PROYECTO DE GRADUACIÓN

ACTA DE APROBACIÓN

Defensa de Proyecto de Graduación
Requisito para optar por el título de Ingeniero en Electrónica
Grado Académico de Licenciatura
Instituto Tecnológico de Costa Rica

El Tribunal Evaluador aprueba la defensa del proyecto de graduación denominado *Diseño de un mezclador de frecuencias con topología de Gilbert para espectroscopia médica por impedancia eléctrica en tecnología CMOS de 0.13 μm* , realizado por el señor Bryan Edgardo Gómez Cervantes y, hace constar que cumple con las normas establecidas por la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica.

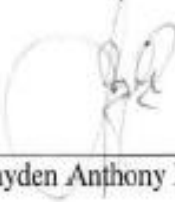
Miembros del Tribunal Evaluador


Ing. Sergio Morales Hernández

Profesor lector


Ing. José Faustino Montes de Oca
Murillo

Profesor lector


Ing. Hayden Anthony Phillips Brenes

Profesor asesor

Declaración de Autenticidad

Declaro que el presente Proyecto de Graduación ha sido realizado, en su totalidad, por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado material bibliográfico, he procedido a indicar las fuentes mediante citas.

En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



Firma

Fecha: 08 de Junio del 2016

Bryan Edgardo Gómez Cervantes

Cédula: 1-1556-0173

Resumen

Actualmente en la medicina se buscan métodos que ayuden a caracterizar, diagnosticar y encontrar de manera correcta y rápida una gran gama de enfermedades las cuales siguen teniendo víctimas mortales a lo largo del mundo como por ejemplo enfermedades cancerosas que afectan los tejidos biológicos. Este trabajo es parte de un proyecto que busca diseñar un circuito integrado para espectroscopia médica por impedancia eléctrica de muestras biológicas, el cual tiene como meta a largo plazo llegar a brindar a la medicina una nueva herramienta de análisis y diagnóstico.

Es por esto que para el proyecto se planteó desarrollar uno de los bloques que conforman el sistema de medición de impedancia eléctrica para células biológicas, más específicamente el bloque que funciona como mezclador de frecuencias, que permite el acople de señales y la conversión a baja frecuencia para analizar la medición y extraer el valor de impedancia a una frecuencia dada.

En este trabajo se presenta todo el flujo de diseño analógico para el mezclador en una tecnología CMOS de $0.13\mu\text{m}$ y los diferentes resultados junto con los logros obtenidos después de realizadas las simulaciones hasta nivel de “postlayout”.

Para lograr este desarrollo se realizó una investigación acerca de diferentes arquitecturas para el diseño de un mezclador que permite convertir a baja frecuencia, seguidamente se escogió la mejor topología adecuada al proyecto con lo que se construyó un circuito esquemático para poder realizar simulaciones que validaran el diseño y continuar con la etapa de construcción del trazado físico para caracterizar el comportamiento del mezclador con una visión más cercana a la realidad para la gama de frecuencias de entrada propuestas para el proyecto en el rango de los GHz.

Finalmente, en el trabajo se presentan las diferentes verificaciones y simulaciones para el trazado físico del mezclador con lo que se logró definir el ancho de banda para el mismo (1-10 GHz), la tensión de modo común a la salida (600 mV), el área total abarcada por el diseño ($980\mu\text{m}^2$), la ganancia de conversión, la máxima diferencia entre las frecuencias de entrada para garantizar la amplificación de la señal de salida con respecto a la teórica (0.1 a 1 GHz), y el establecimiento final de los tamaños y tensiones de polarización para los transistores.

Palabras clave: espectroscopia médica, transistores CMOS, mezclador de frecuencia, ancho de banda, ganancia de conversión, trazado físico.

Abstract

Currently, methods to characterize, diagnose, and find quickly and correctly a wide range of diseases which still have fatalities throughout the world, such as cancer diseases that affect biological tissues, are sought. This work is part of a project to design an integrated circuit for electrical impedance spectroscopy of biological samples, which aims to provide a new analysis and diagnose tool in the future.

In this one of the building blocks of the system under development for measuring electrical impedance for biological cells will be developed. More specifically, the frequency mixer block will be addressed, which allows the coupling and signal conversion to extract the measurement value of impedance magnitude and phase at a given frequency. The analog integrated circuit design flow for the mixer is presented for a 0.13 μm CMOS technology and the different results together with the simulations results at a postlayout level.

Different architectures to design a mixer that allowed the conversion were investigated, as preamble to select the best architecture for the project needs. The schematic circuit was built to perform simulations to evaluate the design and continue then with the construction phase of the physical layout to characterize the behavior of the mixer in the frequency range of interest up to the GHz range.

Finally, the different simulations and analysis for the physical layout of the mixer were carried out. Performance parameters were obtained to define the bandwidth of the stage (1-10 GHz), the common mode voltage at the output (600 mV), the total area covered by the design (980 μm^2), the conversion gain, the maximum difference between the input frequencies (0.1-1 GHz), to ensure the amplification of the output signal with respect to the theoretical and the final establishment of sizes and bias voltages for the transistors.

Keywords: medical spectroscopy, CMOS transistors, mixer, bandwidth, conversion gain, physical layout.

Dedicatoria

A mis padres, Edgardo y Lilliana ya que desde que soy un niño se han esmerado en financiar mis estudios y que pueda tener una educación de calidad de la mano de la guía de ellos por medio de sus consejos, voluntad y buenos deseos para alcanzar un éxito profesional y como persona de bien. Al mismo tiempo porque me han brindado su cariño y enseñado siempre el camino correcto.

A mi hermano y hermana, que de alguna u otra manera estuvieron siempre para mí y al me brindaron sus felicitaciones por mis logros académicos.

A mis abuelas, Socorro y Lilliana que siempre estuvieron dándome su apoyo y enseñándome que todo en la vida hay que ganárselo siguiendo buenos pasos.

A mis tíos, Renán y Andrés que durante toda mi vida me han llenado de motivación y consejos para cada una de las etapas que he vivido.

A mi cuñado José Pablo que siempre me ha brindado su ayuda en momentos donde he tenido alguna emergencia tanto familiar como personal.

A mis amigos y compañeros universitarios que me ayudaron a sacar siempre mi mayor esfuerzo, al mismo tiempo a alcanzar mis metas, superar cursos y retos difíciles a lo largo de esta etapa por medio de un clima de confianza.

A todos ellos les dedico mi tesis de proyecto de graduación, con el cual culmino mi etapa de formación profesional en el Instituto Tecnológico de Costa Rica como Ingeniero Licenciado en Electrónica.

Agradecimientos

Agradecimiento especial al profesor Dr.-Ing Renato Rímolo Donadio, ya que en mis últimos años universitarios me brindó la confianza para ser su asistente y tutor en los Cursos de Teoría Electromagnética I y II, y al mismo tiempo por extender su confianza, dedicación, la oportunidad, disponibilidad y guía para el mejor desarrollo de mi proyecto de graduación.

A mis profesores lectores Faustino Salas y Sergio Morales, así como al profesor asesor Hayden Phillips, ya que me brindaron sus aportes profesionales durante mi proceso de formación académica, ayudaron a culminar mi etapa universitaria y contribuir a mi realización profesional.

A los estudiantes Yendri González y Edgar Solera, Álvaro Camacho y Enrique Ramírez por facilitarme material y documentación sobre su trabajo realizado en la asistencia de investigación para poder utilizarla en mi tesis de proyecto de graduación. Al mismo tiempo al profesor Jose Luis Barboza por brindarme de su trabajo con unas celdas en específico para poder realizar el llenado metálico para concluir el trazado físico del circuito.

Al Instituto Tecnológico de Costa Rica y diferentes profesores en especial los de la Escuela de Electrónica que fueron los encargados de brindarme la enseñanza en gran parte de la carrera.

A mi familia, amigos y compañeros universitarios por toda su confianza, ayuda, compañía, amistad y apoyo brindado durante toda la carrera.

ÍNDICE GENERAL

Capítulo 1: Introducción	1
1.1 Definición del Problema.....	4
1.2 Objetivos.....	4
1.3 Estructura del documento.....	5
Capítulo 2: Marco Teórico	6
2.1 Topologías de Mezclador	6
2.1.1 Definición de un mezclador.....	6
2.1.2 Tipos de mezclador.....	7
2.1.3 ¿Por qué utilizar un Mezclador de Gilbert?	9
2.2 Análisis de las posibles soluciones.....	10
2.2.1 Solución 1: Celda de Gilbert activa doblemente balanceada.....	10
2.2.2 Solución 2: Celda de Gilbert utilizando cascodo y técnicas de direccionamiento de corriente.....	11
2.2.3 Solución 3: Celda de Gilbert doblemente balanceada con salida IF de banda ancha.	12
2.3 Plataforma de desarrollo usando Mentor Graphic's Custom IC Solution	13
2.3.1 Pyxis Schematic.....	14
2.3.2 Pyxis Layout	14
Capítulo 3: Diseño y desarrollo del mezclador.....	16
3.1 Comparación y selección de la mejor solución.....	16
3.1 Desarrollo del concepto de diseño.....	18
3.2 Descripción general de las partes del mezclador.....	18
3.2.1 Etapa de Ganancia.....	18
3.2.2 Etapa de Switching.....	19
3.2.3 Etapa para el manejo de corriente.....	20
3.2.4 Etapa de salida diferencial	21
3.2.3 Etapa de cascodo	21
3.3 Operación del mezclador	22
3.4 Enfoque del diseño	22
3.4.1 Restricciones del diseño.....	22
3.4.2 Análisis del diseño	23
3.5 Implementación del diseño	24
Capítulo 4: Caracterización, validación y análisis del mezclador	28
4.1 Simulación en DC.....	28

4.2 Simulación Transiente.....	28
4.3 Análisis del espectro de frecuencia.....	34
4.3.1 Pruebas realizadas utilizando la Transformada de Fourier.....	34
4.3.2 Ancho de banda medido para el mezclador de Gilbert.....	36
4.4 Simulación con carga a la salida.....	37
4.5 Simulación en las esquinas del proceso.....	42
Capítulo 5: Trazado físico (layout) y simulación post-trazado (post-layout).....	45
5.1 Layout desarrollado.....	45
5.1.1 Utilización de simetría en el layout.....	45
5.1.2 Utilización de "fingers" en el layout.....	46
5.1.3 Utilización de transistores RF.....	47
5.2 Construcción del layout.....	47
5.3 Simulaciones post-layout del mezclador de Gilbert.....	48
5.4 Simulación post-layout con carga a la salida.....	55
5.5 Simulación postlayout en las esquinas del proceso.....	60
Capítulo 6: Conclusiones.....	63
6.1 Conclusiones.....	63
6.2 Recomendaciones.....	64
Capítulo 7: Referencias Bibliográficas.....	65
Capítulo 8: Apéndices.....	68
Apéndice A.1 Desarrollo del filtro pasa bajas en Verilog-A.....	68
Apéndice A.2 Parámetros escogidos para hacer la primera iteración del diseño del mezclador sin carga.....	69
Apéndice A.3 Parámetros escogidos para hacer la segunda iteración del diseño del mezclador sin carga.....	70
Apéndice A.4 Simulación del mezclador en esquemático sin carga.....	70
Apéndice A.5 Simulación del mezclador en esquemático con carga.....	70
Apéndice A.6 Simulación del mezclador en postlayout sin carga.....	71
Apéndice A.7 Simulación del mezclador en postlayout con carga.....	71
Apéndice A.8 Comprobación de DRC.....	72
Apéndice A.9 Comprobación de LVS.....	73
Apéndice A.10 Extracción de elementos parásitos.....	73

ÍNDICE DE FIGURAS

Figura 1. 1	Regiones de dispersión en el dominio de la frecuencia para la permitividad eléctrica.	2
Figura 1. 2	Diagrama de bloques para el sistema de medición de impedancia.	4
Figura 2. 1	Esquema básico de un mezclador tanto en el tiempo como en frecuencia.	6
Figura 2. 2	Espectro en frecuencia obtenido para la señal de salida IF.	7
Figura 2. 3	Configuración basada en una celda de Gilbert activa doblemente balanceada.	11
Figura 2. 4	Configuración basada en una celda de Gilbert utilizando cascode y técnicas de direccionamiento de corriente.	12
Figura 2. 5	Configuración basada en una celda de Gilbert doblemente balanceada con banda ancha de salida.	13
Figura 3. 1	Diseño modular para el mezclador seleccionado.	18
Figura 3. 2	Etapas de ganancia para el circuito mezclador.	19
Figura 3. 3	Etapas de switching para el circuito mezclador.	20
Figura 3. 4	Entradas diferenciales para cumplir la condición de pareja encendida–apagada en los transistores.	20
Figura 3. 5	Etapas para el manejo de corriente del circuito mezclador.	21
Figura 3. 6	Etapas de salida diferencial del circuito mezclador.	21
Figura 3. 7	Etapas de cascode para el circuito mezclador.	21
Figura 3. 8	Circuito esquemático construido para el mezclador.	26
Figura 3. 9	Símbolo realizado con entradas a la izquierda y salidas a la derecha para el mezclador de Gilbert.	27
Figura 4. 1	Diagrama de bloques realizado para la simulación transiente y el análisis del espectro de frecuencia.	29
Figura 4. 2	Salidas obtenidas sin carga a la salida a frecuencias bajas.	30
Figura 4. 3	Salidas obtenidas sin carga a la salida a frecuencias intermedias.	31
Figura 4. 4	Salidas obtenidas sin carga a la salida a frecuencias altas.	32
Figura 4. 5	Salidas obtenidas sin carga a la salida con una conversión a muy baja frecuencia.	33
Figura 4. 6	Transformada de Fourier aplicada a la configuración de la prueba 1 de la sección 4.2.	34
Figura 4. 7	Transformada de Fourier aplicada a la configuración de la prueba 2 de la sección 4.2.	35

Figura 4. 8	Transformada de Fourier aplicada a la configuración de la prueba 3 de la sección 4.2.....	35
Figura 4. 9	Transformada de Fourier aplicada a la configuración de la prueba 4 de la sección 4.2.....	35
Figura 4. 10	Ganancia de conversión medida versus la frecuencia de la señal RF para el circuito esquemático.	37
Figura 4. 11	Diagrama de bloques para la simulación transiente con un mezclador como carga a la salida.....	38
Figura 4. 12	Salidas obtenidas con carga a la salida a frecuencias bajas.	39
Figura 4. 13	Salidas obtenidas con carga a la salida a frecuencias intermedias.	40
Figura 4. 14	Salidas obtenidas con carga a la salida a frecuencias altas.	41
Figura 4. 15	Salidas obtenidas con carga a la salida para una conversión a muy baja frecuencia.	42
Figura 4. 16	Salidas obtenidas en diferentes esquinas a frecuencia baja-media.....	43
Figura 4. 17	Salidas obtenidas en diferentes esquinas a frecuencia media-alta.	44
Figura 5. 1	Layout realizado para el mezclador de Gilbert.	47
Figura 5. 2	Diagrama de bloques implementado para las simulaciones postlayout.	48
Figura 5. 3	Salidas obtenidas para la simulación postlayout a frecuencias bajas.	49
Figura 5. 4	Transformada de Fourier aplicada a las señales de salida para la simulación postlayout a frecuencias bajas.....	49
Figura 5. 5	Salidas obtenidas para la simulación postlayout a frecuencias intermedias.	50
Figura 5. 6	Transformada de Fourier aplicada a las señales de salida para la simulación postlayout a frecuencias intermedias.	51
Figura 5. 7	Salidas obtenidas para la simulación postlayout a frecuencias altas.....	52
Figura 5. 8	Transformada de Fourier aplicada a las señales de salida para la simulación postlayout a frecuencias altas.	52
Figura 5. 9	Salidas obtenidas para la simulación postlayout con una conversión a muy baja frecuencia.....	53
Figura 5. 10	Transformada de Fourier aplicada a las señales de salida para la simulación postlayout con una conversión a muy baja frecuencia.	54
Figura 5. 11	Ganancia de conversión medida versus la frecuencia de la señal RF para el trazado físico.....	54
Figura 5. 12	Diagrama de bloques para la simulación transiente postlayout con un mezclador como carga a la salida.....	56

Figura 5. 13 Salidas obtenidas para la simulación postlayout con carga a la salida a frecuencias bajas.....	57
Figura 5. 14 Salidas obtenidas para la simulación postlayout con carga a la salida a frecuencias intermedias.....	58
Figura 5. 15 Salidas obtenidas para la simulación postlayout con carga a la salida a frecuencias altas.	59
Figura 5. 16 Salidas obtenidas para la simulación postlayout con carga a la salida con una conversión a muy baja frecuencia.....	60
Figura 5. 17 Salidas obtenidas para la simulación postlayout en diferentes esquinas para frecuencia baja-media.	61
Figura 5. 18 Salidas obtenidas para la simulación postlayout en diferentes esquinas para frecuencia baja-media.	62
Figura A. 4.1 Código en Verilog-A para un filtro pasa baja.....	69
Figura A. 4.2 Circuito esquemático realizado para la simulación transiente y AC.	70
Figura A. 4.4 Circuito esquemático realizado para la simulación transiente con un mezclador como carga a la salida.....	71
Figura A. 5.3 Circuito esquemático implementado para la simulación postlayout.....	71
Figura A. 5.4 Circuito esquemático realizado para la simulación transiente postlayout con un mezclador como carga a la salida.	72
Figura A. 5.1a Comprobación de DRC para el Mezclador de Gilbert.....	72
Figura A. 5.1b Comprobación de LVS para el Mezclador de Gilbert.....	73
Figura A. 5.1c Extracción de elementos parásitos para el Mezclador de Gilbert.....	73

ÍNDICE DE TABLAS

Tabla 2. 1	Clasificación de tipos básicos de mezclador.....	7
Tabla 2. 2	Clasificación de un mezclador debido a los elementos que utilizan para su diseño.	8
Tabla 2. 3	Clasificación de un mezclador debido a la topología usada.....	9
Tabla 3. 1	Comparación de las características propias y compartidas de cada una de las configuraciones de Celdas de Gilbert.	16
Tabla 3. 2	Parámetros importantes a considerar para el diseño del mezclador.....	24
Tabla 3. 3	Tamaños de los transistores para el circuito mezclador.....	25
Tabla 4. 1	Configuración de las entradas y resultados obtenidos sin carga a la salida a frecuencias bajas.....	29
Tabla 4. 2	Configuración de las entradas y resultados obtenidos sin carga a la salida a frecuencias intermedias.....	30
Tabla 4. 3	Configuración de las entradas y resultados obtenidos sin carga a la salida a frecuencias altas.....	31
Tabla 4. 4	Configuración de las entradas y resultados obtenidos sin carga a la salida con una conversión a muy baja frecuencia.....	32
Tabla 4. 5	Configuración de las entradas y resultados obtenidos con carga a la salida a frecuencias bajas.....	38
Tabla 4. 6	Configuración de las entradas y resultados obtenidos con carga a la salida a frecuencias intermedias.....	39
Tabla 4. 7	Configuración de las entradas y resultados obtenidos con carga a la salida a frecuencias altas.....	40
Tabla 4. 8	Configuración de las entradas y resultados obtenidos con carga a la salida para una conversión a muy baja frecuencia.....	41
Tabla 4. 10	Configuración de las entradas en diferentes esquinas a frecuencia baja-media... ..	43
Tabla 4. 11	Configuración de las entradas en diferentes esquinas a frecuencia media-alta. ...	43
Tabla 5. 1	Tamaños de los transistores con el ancho respectivo de los fingers.....	46
Tabla 5. 2	Configuración de las entradas y resultados postlayout obtenidos sin carga a la salida a frecuencias bajas.....	48
Tabla 5. 3	Configuración de las entradas y resultados postlayout obtenidos sin carga a la salida a frecuencias intermedias.	50
Tabla 5. 4	Configuración de las entradas y resultados postlayout obtenidos sin carga a la salida a frecuencias altas.....	51

Tabla 5. 5 Configuración de las entradas y resultados postlayout obtenidos sin carga a la salida con una conversión a muy baja frecuencia.....	53
Tabla 5. 6 Configuración de las entradas y resultados postlayout obtenidos con carga a la salida a frecuencias bajas.....	56
Tabla 5. 7 Configuración de las entradas y resultados postlayout obtenidos con carga a la salida a frecuencias intermedias.....	57
Tabla 5. 8 Configuración de las entradas y resultados postlayout obtenidos con carga a la salida a frecuencias altas.....	58
Tabla 5. 9 Configuración de las entradas y resultados postlayout obtenidos con carga a la salida para una conversión a muy baja frecuencia.....	59
Tabla 5. 10 Configuración de las entradas para simulaciones postlayout en diferentes esquinas a frecuencia baja-media.....	61
Tabla 5. 11 Configuración de las entradas para simulaciones postlayout en diferentes esquinas a frecuencia media-alta.....	61
Tabla A. 4.1 Tamaños iniciales de los transistores para el circuito mezclador.....	69
Tabla A. 4.2 Tamaños de los transistores para el circuito mezclador.....	70

Capítulo 1: Introducción

Este proyecto se desarrolló en la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica, en la sede de la provincia de Cartago. Este trabajo es una parte de un proyecto de investigación que se desarrolla en la Escuela sobre el tema de medición de impedancia para espectroscopia médica de tejidos biológicos.

La Espectroscopia de Impedancia Eléctrica (EIS, siglas en inglés), ha ampliado investigaciones en los últimos años, lo que ha generado a su vez que las aplicaciones y publicaciones vayan creciendo en el área. Se puede definir la EIS en términos generales como un método en el cual se realiza una medición de impedancia eléctrica de una muestra biológica en función de la frecuencia a partir de una corriente eléctrica que se le ha aplicado previamente. La técnica de EIS se considera también como una técnica experimental que permite describir, por ejemplo, muestras biológicas, midiendo su impedancia del sistemas en un rango de frecuencias, por ejemplo, comprendidas entre un ancho de banda de 10^{-6} Hz hasta 10^{12} Hz, aunque por consideraciones prácticas generalmente la medición del espectro de frecuencia se hace desde 1 kHz (Friedrich K, 2003). En la respuesta en frecuencia se pueden observar propiedades de conductividad y permitividad para el tejido que se puso a prueba. (Gurukartheek P, 2014)

Para aplicaciones en medicina, el método de medición de impedancia eléctrica del tejido encuentra aplicación para diferenciar los tejidos que se pueden encontrar cancerosos en una variedad de órganos como en los pechos de las mujeres, el cuello del útero, la próstata, la vejiga y la piel, entre muchos otros (Paulsen K, et al, 2007)

El potencial de la técnica a futuro es muy alto, dado que el seguimiento de la salud de las células biológicas se está convirtiendo en una nueva forma de utilizar la tecnología para la detección temprana de anomalías y enfermedades. (Grenier K, et al, 2013).

Para explicar el procedimiento de medición de impedancia dieléctrica podemos partir del supuesto que el tejido va a ser excitado por ondas electromagnéticas, mediante un campo eléctrico \vec{E} con el cual se produce una densidad de campo eléctrico por el dieléctrico dada por la siguiente ecuación, suponiendo un material isotrópico y lineal:

$$\vec{D} = \epsilon \vec{E} = \epsilon^* \epsilon_0 \vec{E} \quad (1.1)$$

De (1) definimos ϵ_0 como la permitividad que hay en el vacío y ϵ^* como la permitividad compleja del material definida como:

$$\epsilon^* = \epsilon'(\omega) - j\epsilon''(\omega) \quad (1.2)$$

Donde ϵ' es la permitividad característica del material y ϵ'' son las pérdidas que se presentan, sin embargo para el método la variable que toma importancia sería la permitividad, pero a altas frecuencias la fase también interesa. (Prada J, 2014)

Ahora bien el campo eléctrico \vec{E} aplicado al tejido en estudio causa una densidad de corriente dada por:

$$\vec{J} = \sigma^* \vec{E} \quad (1.3)$$

Donde σ^* representa la conductividad eléctrica compleja. Además se puede establecer una relación entre la conductividad y permitividad eléctrica compleja mediante la siguiente ecuación:

$$\sigma^* = j\omega\epsilon^*\epsilon_0 \quad (1.4)$$

Y reemplazando (2) en (4) podemos obtener las pérdidas como:

$$\epsilon'' = \frac{\sigma}{\omega\epsilon_0} \quad (1.5)$$

En (5) la variable σ representa la conductividad. Las variables ϵ' y σ en el dominio de la frecuencia pueden representar la respuesta de diferentes estructuras biológicas. En la Figura 1 se pueden apreciar tres zonas definidas por α (difusión iónica), β (polarización de la membrana celular) y γ (polarización y rotación del dipolo; relajación del agua). Por lo tanto con la comparación de ϵ' y σ es posible encontrar información para diferentes fenómenos celulares. (Prada J, 2014)

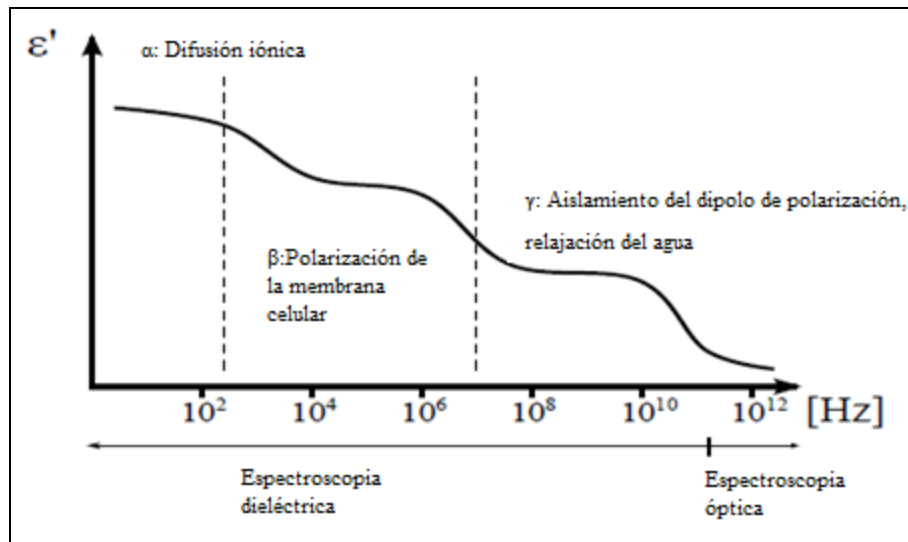


Figura 1. 1 Regiones de dispersión en el dominio de la frecuencia para la permitividad eléctrica. Fuente: (Prada J, 2014)

Continuando con el análisis, haciendo un equivalente RC del circuito (Prada J, 2014); se puede expresar la impedancia equivalente como:

$$z_{eq} = R - jX_C = \frac{A}{\sigma l} + j \frac{l}{\omega \epsilon' \epsilon_0 A} \quad (1.6)$$

Para terminar con el análisis podemos encontrar ϵ' y σ al aplicar una señal armónica de voltaje a una frecuencia ω , por lo tanto se definirían como:

$$\epsilon' = \frac{I_{imag} l}{UA \omega \epsilon_0} \quad (1.7)$$

$$\sigma = \frac{I_{real} A}{Ul} \quad (1.8)$$

Donde I_{imag} es la componente imaginaria de la corriente, l es la longitud del camino celular y A representa el área transversal del camino celular. (Prada J, 2014)

Finalmente, si bien es cierto usar espectroscopia óptica es más deseada por tener mayor descripción de la célula y al mismo tiempo es más precisa, su funcionamiento en bajas temperaturas suele hacer complejo el diseño por lo que se buscan mejores soluciones, es aquí en donde entra la espectroscopia eléctrica la cual puede integrar un instrumento plenamente y la medición se puede realizar fácilmente obteniendo señales eléctricas sin la necesidad de realizar un acoplamiento optoelectrónico. (Prada J, 2014)

Es importante hacer la diferenciación entre impedancia eléctrica y dieléctrica, donde la dieléctrica no toma en cuenta la fase y las pérdidas, que no es el caso nuestro por las frecuencias de interés.

El presente trabajo se centra en la investigación, diseño e implementación de un sistema mezclador de frecuencias el cual funcione para adaptarse a un sistema de medición de impedancia para espectroscopia médica de células a una frecuencia, potencia, tecnología y que abarque cierta área dada por los requerimientos del sistema total. El entendimiento de todo el sistema de medición es importante para asociar el entorno donde se desarrolla el proyecto.

1.1 Definición del Problema

Para poder realizar la técnica de medición de impedancia eléctrica, se debe crear un sistema que sea capaz de hacer todas estas mediciones en un rango de frecuencias específicas. Una posible solución puede contar con bloques como: un oscilador en cuadratura el cual provee la señal de frecuencia LO, un controlador de enganche de fase (PLL), un mezclador de frecuencias, un conjunto de amplificadores de señal y en general filtros de ruido y de altas frecuencias. El diagrama de bloques que conforma esta posible solución para el sistema viene dado por la Figura 1.2.

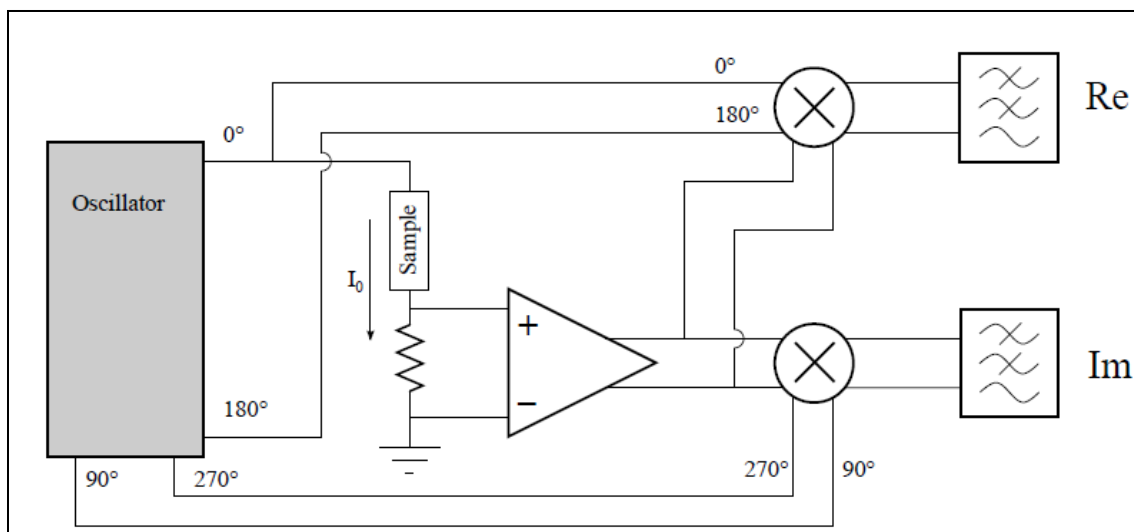


Figura 1.2 Diagrama de bloques para el sistema de medición de impedancia. Fuente: (Prada J, 2014)

Por lo tanto todos estos bloques deben desarrollar un diseño a nivel analógico en donde se deban probar las mejores configuraciones para hacer que el sistema de medición sea el mejor que se pueda cumplir con las condiciones y restricciones que se tienen. Específicamente para este trabajo se enfocará en el bloque de mezclador de frecuencias para que se puedan medir las señales eléctricas necesarias que se consiguen al trasladar en frecuencia y de la diferencia de fase. Por lo tanto, la investigación de topologías y la implementación del mejor diseño que se adapte para el sistema son fundamentales para el correcto funcionamiento del sistema de medición de impedancia ya que viene a solucionar el problema de la medición de fase.

1.2 Objetivos

El proyecto tiene como su objetivo principal desarrollar una etapa de mezclador de frecuencia, para un sistema de medición de impedancia para espectroscopia médica de muestras de células. Para esto se pretende seleccionar la mejor topología para el diseño

de un mezclador que se adapte al sistema de medición de impedancia de espectroscopia médica.

Cumpliendo esto se diseña la etapa a nivel de esquemático incluyendo el dimensionamiento de los componentes en la tecnología CMOS IBM 8RF de 130nm, para un ancho de banda superior a 7 GHz para la entrada de radiofrecuencia. Finalmente se busca implementar y validar el trazado físico del circuito esquemático obtenido para realizar su respectiva verificación y cumplimiento de las especificaciones detalladas más adelante en el documento.

1.3 Estructura del documento

La estructura que presenta el documento se describe de la siguiente manera: en el capítulo dos se presenta el marco teórico necesario con todos los conceptos que ayudarán a entender el desarrollo de la solución propuesta. En el capítulo tres se explica el diseño y desarrollo del mezclador de frecuencias realizado. En el capítulo cuatro se muestran las pruebas realizadas para la caracterización, validación y análisis del mezclador de frecuencias. En el capítulo cinco se analiza el diseño del trazado físico construido por medio de diferentes simulaciones que caracterizan el comportamiento más realista del mezclador de frecuencias considerando elementos parásitos. Finalmente, en el capítulo seis se brindan las conclusiones y recomendaciones para futuros trabajos.

Capítulo 2: Marco Teórico

La información que se presenta en este capítulo corresponde a los temas que se consideran necesarios para el buen entendimiento de las soluciones encontradas y de la solución final propuesta. A su vez se busca que el lector de este trabajo logre tener una introducción al diseño de circuitos integrados y se familiarice con diferentes conceptos importantes referente a escogencia de circuitos en la microelectrónica debido a los elementos que los conforman. Si el lector deseara entender más acerca de algún tema en específico, se recomienda revisar bibliografía incluida al final del documento.

2.1 Topologías de Mezclador

2.1.1 Definición de un mezclador

Un mezclador lo podemos definir como un dispositivo que combina dos o más señales en una o dos salidas compuestas por estas señales. La conversión de energía RF se da a una frecuencia diferente a la entrada, lo que hace el procesamiento de señales más sencillo, la razón básica de esta conversión de frecuencia es también que se permite la amplificación de la señal recibida a una frecuencia diferente de la RF (Gurukartheek P, 2014). Lo podemos representar de la siguiente manera. (Bandil L, et al, 2015).

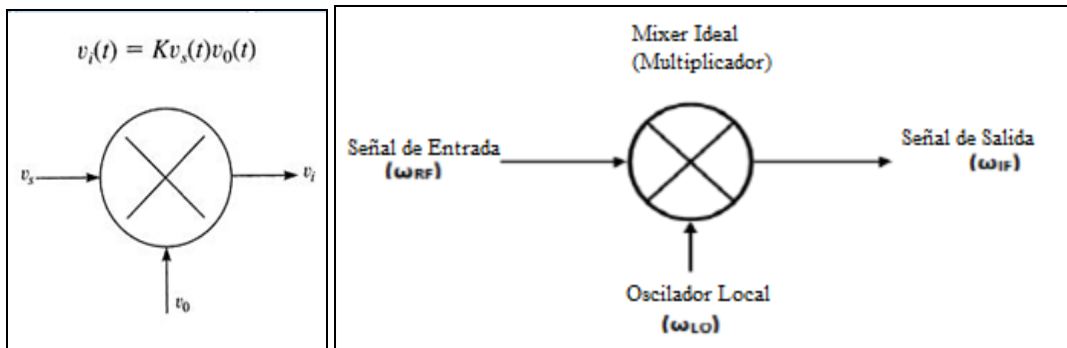


Figura 2.1 Esquema básico de un mezclador tanto en el tiempo como en frecuencia.

Fuente: (Bandil L, et al,2015)

Las ecuaciones que definirían el comportamiento del mezclador están dadas por (Belorkar A, et al, 2012):

$$RF = A \cos(\omega_{RF} t) \quad (2.1)$$

$$LO = B \cos(\omega_{LO} t) \quad (2.2)$$

$$IF = A \cos(\omega_{RF} t) * B \cos(\omega_{LO} t) \quad (2.3)$$

$$IF = \frac{1}{2} AB \left(\cos((\omega_{RF} + \omega_{LO})t) + \cos((\omega_{RF} - \omega_{LO})t) \right) \quad (2.4)$$

El espectro de frecuencia que podríamos observar utilizando un mezclador de frecuencias para este caso se ilustra en la Figura 2.2.

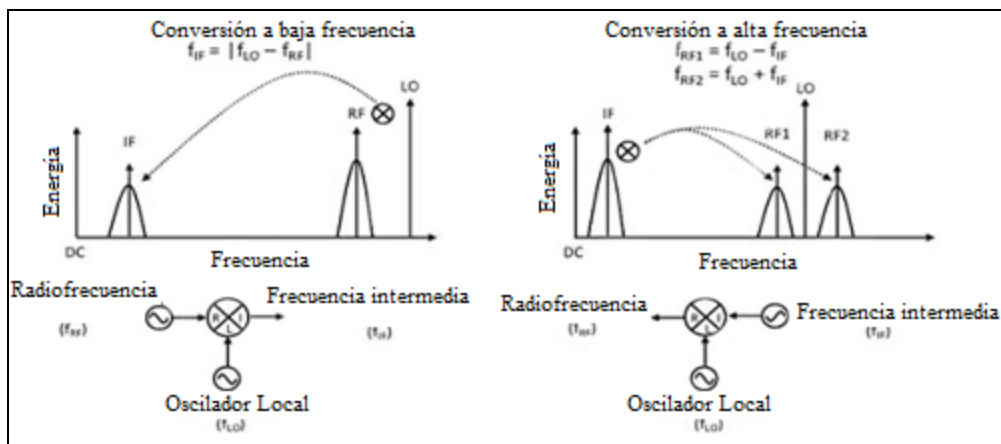


Figura 2. 2 Espectro en frecuencia obtenido para la señal de salida IF. Fuente: (DeLisle J, 2014).

La metodología que se plantea establece una base experimental de diversas topologías para la construcción del mezclador con el fin de realizar una comparación acerca de cuál ofrece el mejor acoplamiento al sistema y a las restricciones dadas para el proyecto.

2.1.2 Tipos de mezclador

Dependiendo de las características propias que compongan el circuito mezclador, se pueden clasificar utilizando tres grandes ramas, las cuales vienen descritas a continuación en la Tabla 2.1, Tabla 2.2 y Tabla 2.3. (Gurukartheek P, 2014)

Tabla 2. 1 Clasificación de tipos básicos de mezclador.

Clasificación	Descripción
Mezclador aditivo	Realiza la adición de dos o más señales para producir una señal compuesta que contiene las componentes en frecuencia de cada una de las señales.

Mezclador multiplicativo	<p>Su comportamiento es parecido al mezclador aditivo, con la diferencia de que la señal de salida que produce es igual al producto de las señales de entrada. Es importante señalar que este tipo de mezclador es utilizado comúnmente en comunicaciones junto a un oscilador para modular una señal, para esto se usa la técnica de "down-convert" para llevar a una frecuencia más baja y permitir un diseño más simple de los filtros como lo que se busca en este proyecto.</p>
--------------------------	--

Tabla 2. 2 Clasificación de un mezclador de acuerdo a los elementos que utilizan para su diseño. (Wang M, 2010)

Clasificación	Descripción
Mezclador pasivo	<p>Usan diodos y relés en la relación no lineal entre corriente y voltaje para poder realizar la multiplicación de las señales y esta señal de salida siempre tiene menor amplitud que las señales de entrada. El gran problema que presenta este tipo de mezclador es que poseen pérdidas por conversión más altas y por tanto figuras de ruido más altas que los mezclador activos.</p>
Mezclador activo	<p>Utilizan elementos como transistores y tubos de vacío generalmente, los cuales amplifican las señales de entrada a la hora de realizar el producto. Este tipo de mezclador implementa el aislamiento</p>

	<p>entre las señales de entrada pero produce un mayor consumo de potencia y una mayor afectación por ruido.</p> <p>Por lo tanto este tipo de mezclador pueden realizar una doble función: mezclar las señales y amplificar la salida.</p>
--	---

Tabla 2. 3 Clasificación de un mezclador de acuerdo a la topología usada. (Mehdi G, 2007)

Clasificación	Descripción
Mezclador balanceado simple	Este tipo de mezclador permite que una de las señales de entrada pase hacia la salida, es decir este mezclador está dispuesto para que una de las entradas ya sea la del oscilador local (LO) o la señal de entrada (RF) sea suprimida a la salida.
Mezclador doblemente balanceado	Este tipo de mezclador se caracteriza porque ambas salidas son suprimidas a la salida, es decir que solo el producto de las señales es el que se refleja a la salida. Además los puertos de entradas están aislados entre sí lo que convierte a este tipo de arquitecturas en soluciones más complejas de diseñar y manejar.

2.1.3 ¿Por qué utilizar un Mezclador de Gilbert?

De las tablas resumen del tipo de mezclador, junto con las consideraciones de los requerimientos del proyecto se concluye que la mejor solución es ser un mezclador de frecuencias que multiplicaría las señales en el tiempo, activo y doblemente balanceado. Primeramente ocupamos un mezclador multiplicativo porque son los que nos proveen la multiplicaciones en el tiempo de las señales de entrada y la suma o resta de frecuencias de estas mismas señales en el espectro de frecuencia a la salida. Para la aplicación del trabajo ocupamos reducir la frecuencia a la que queremos trabajar por lo que se hace uso

del valor absoluto de la resta de frecuencia de las señales RF y LO, y esta salida se lleva a un filtro pasa bajas para terminar con la conversión de frecuencia.

Además, el mezclador debe proveer una conversión de ganancia razonable a la salida (IF) con respecto a la entrada RF por lo tanto el uso de transistores se vuelve prescindible por lo que se convierte en un mezclador activo. Es importante rescatar que las señales de entrada y de salida son diferenciales por lo que el mezclador debe respetar este criterio.

A su vez el mezclador debe suprimir los puertos RF y LO a la salida por lo que se busca que el mezclador sea doblemente balanceado lo que nos resulta en un mezclador que posee alta linealidad y aislamiento entre sus puertos de entrada para evitar susceptibilidad de la fuente hacia el ruido y con esto posibles productos falsos.

Por estas razones es que la escogencia de la celda de Gilbert para realizar el mezclador es la opción más confiable puesto que reúne todas o la mayoría de estas características aún con una configuración relativamente simple. (Glesner M, 2009).

2.2 Análisis de las posibles soluciones

En esta parte del capítulo se explicará cada una de las soluciones seleccionadas a partir de configuraciones de celda de Gilbert y se analizarán un poco las partes que las componen para facilitar la selección de la mejor solución en el próximo capítulo.

2.2.1 Solución 1: Celda de Gilbert activa doblemente balanceada.

La primera solución que se presenta en la Figura 2.3 nos muestra una configuración base para una celda de Gilbert que posee las siguientes características intrínsecas: una etapa de ganancia en su parte inferior con una alta linealidad para manejar la potencia del amplificador operacional, una etapa de "switching" para que cuando una pareja conduzca la otra pareja se apague y viceversa, un espejo de corriente para elevar la capacidad de corriente que puede manejar el mezclador y finalmente una etapa de salida diferencial con una resistencia para aumentar la ganancia. (Gurukartheek P, 2014) El diseño base de esta configuración está compuesto por: cinco resistencias y ocho transistores NMOS.

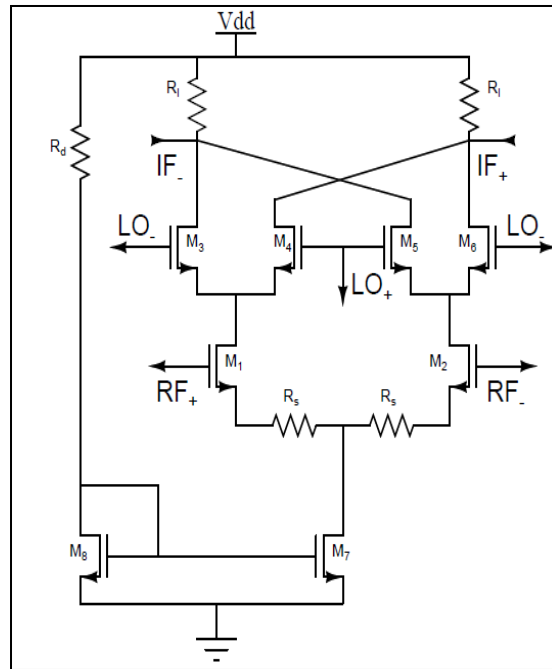


Figura 2. 3 Configuración basada en una celda de Gilbert activa doblemente balanceada. Fuente: (Gurukartheek P, 2014)

2.2.2 Solución 2: Celda de Gilbert utilizando cascode y técnicas de direccionamiento de corriente.

La solución que se presenta en la Figura 2.4 nos muestra una configuración base también para una celda de Gilbert que posee las siguientes características intrínsecas: una etapa de polarización en su diseño superior para lograr la saturación de los transistores y la linealidad de la potencia del amplificador operacional. Al igual que la solución pasada posee una etapa de "switching" para que cuando una pareja de transistores se encuentre en conducción, la otra pareja se apague y viceversa, una pareja de transistores para ayudar al aislamiento entre las señales de entrada LO y RF. Finalmente, un transistor que proporciona la polarización al circuito en la parte inferior. Esta descripción es dada a grandes rasgos. (Haddadian S, et al, 2008)

El diseño base de esta configuración está compuesto por: nueve transistores NMOS y cuatro transistores PMOS.

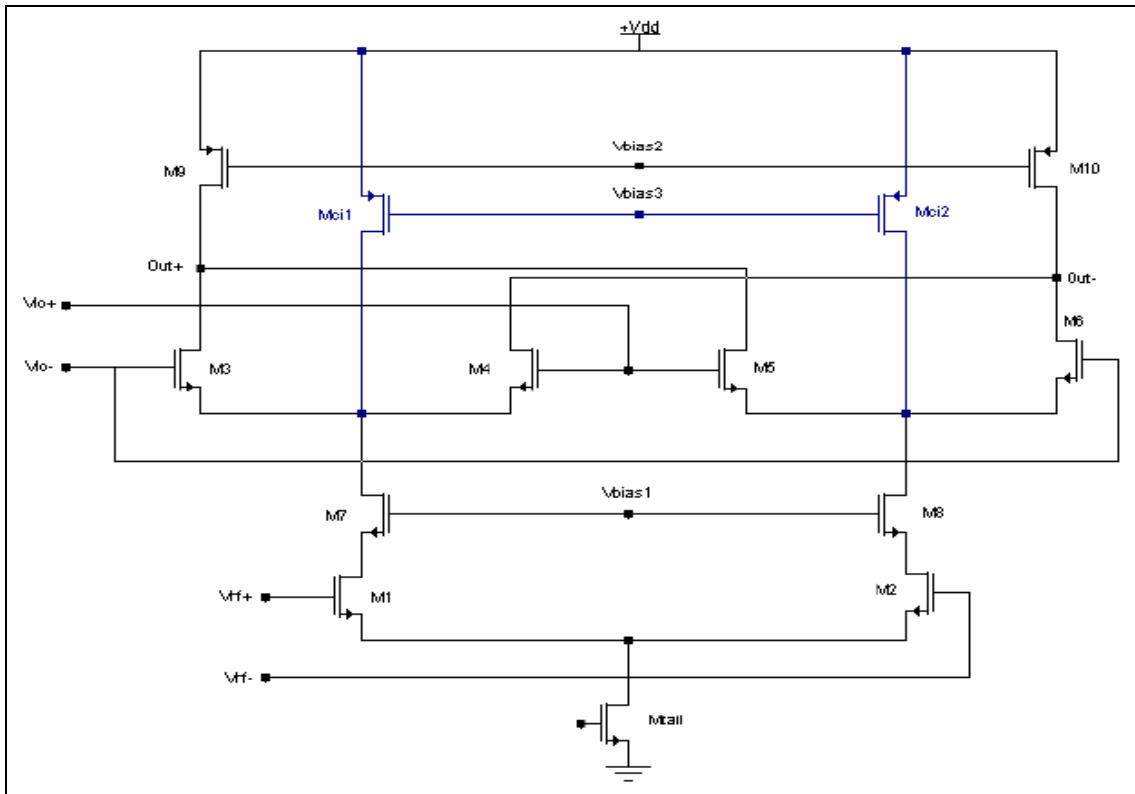


Figura 2. 4 Configuración basada en una celda de Gilbert utilizando cascode y técnicas de direccionamiento de corriente. Fuente: (Haddadian S, et al, 2008)

2.2.3 Solución 3: Celda de Gilbert doblemente balanceada con salida IF de banda ancha.

En la Figura 2.5 se muestra el circuito para esta configuración. De ahí se puede observar que esta topología está compuesta por tres etapas principales. La primera es la etapa que maneja la señal de entrada diferencial de voltaje proveniente del oscilador local por medio de una configuración doblemente balanceada para aislar los puertos y al mismo tiempo una pareja de resistencias para aumentar la ganancia del circuito a la salida. En la parte inferior se tiene la etapa para el tratamiento de la señal de entrada RF la cual está doblemente balanceada también pero con la utilización de un par de inversores de cada lado para reforzar la señal que se realimenta. Finalmente se tiene una tercera etapa que es la que hace el puente entre las dos etapas citadas, la cual se compone recomendable por elementos resistivos e inductivos (RL). (Mouthaan K, et al, 2013)

El diseño base de esta configuración está compuesto por: cuatro resistencias, ocho transistores NMOS y dos transistores PMOS.

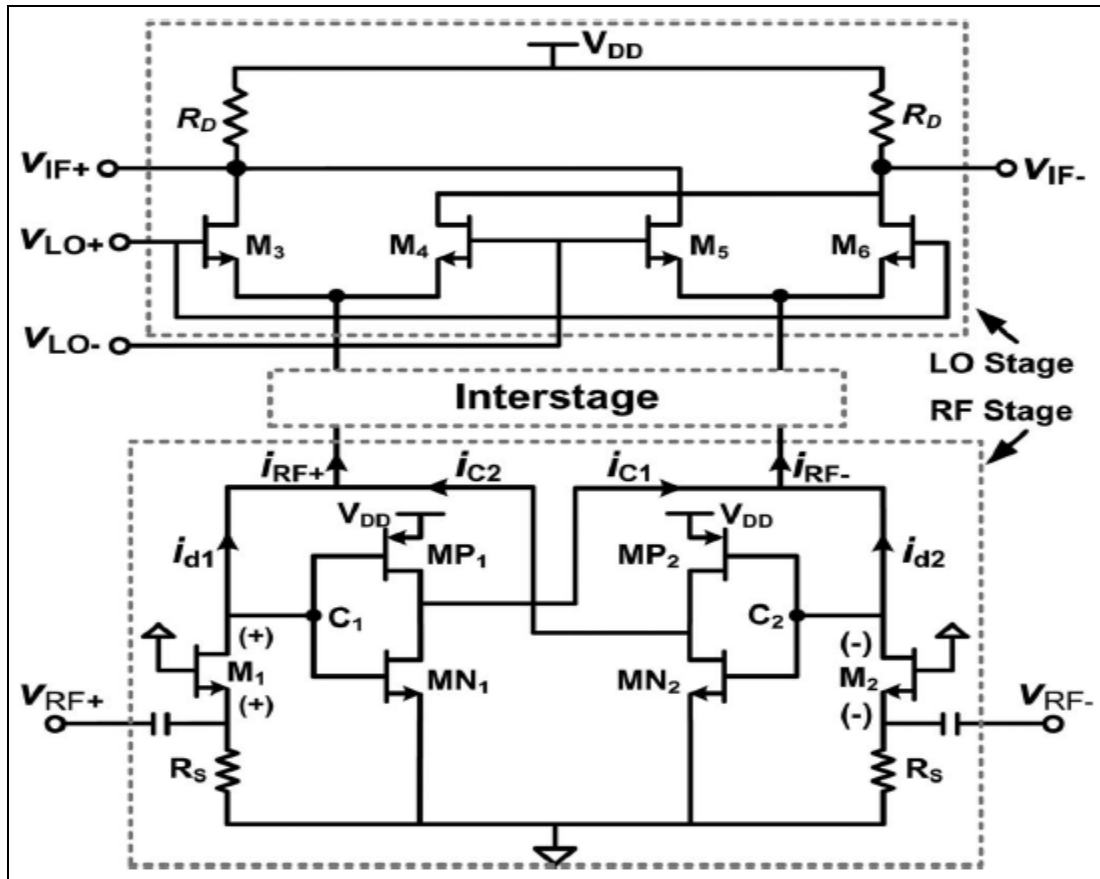


Figura 2. 5 Configuración basada en una celda de Gilbert doblemente balanceada con banda ancha de salida. Fuente: (Mouthaan K, et al, 2013)

2.3 Plataforma de desarrollo usando Mentor Graphic's Custom IC Solution

La plataforma que se usa para el desarrollo del circuito esquemático, así como sus respectivas simulaciones y además del trazado físico con sus verificaciones también, está dada por la empresa de herramientas EDA (Electronic Design Automation) Mentor Graphics (Mentor Graphics, 2016)

Esta empresa [ya fue adquirida, son actualmente parte de Mentor] provee una herramienta llamada Pyxis Custom IC Design, este software incluye soluciones para diseños de circuitos integrados a la mitad tanto para la captura de diseño, enrutamiento personalizado, distribución de elementos por medio de floorplanning, creación de vistas esquemáticas de un circuito así como su distribución y trazado físico para el montaje del chip. (Mentor Graphics, 2015)

Es importante recalcar que esta herramienta de software también posee un simulador integrado en lenguaje SPICE con el que pude realizar las diferentes simulaciones

necesarias para la verificación del circuito (simulaciones DC, AC, transiente y post-trazado), Específicamente estas simulaciones se realizan bajo el solucionador ELDO-SPICE. Esta herramienta permite a su vez configurarla de manera de generar archivos de resultado para las salidas vistas en la simulación con un formato .csv, el cual se puede abrir con Microsoft Excel y observar la tabla generada con los puntos y su respectivo valor asociado; esto podría servir en caso de que se quisiera hacer un análisis un poco más específico con herramientas externas. El kit de diseño utilizado para el proyecto fue: 2.4 CMOS IBM 8RF PDK (siglas en inglés, Process Design Kit)

A continuación se muestran las principales funcionalidades que posee Pyxis.

2.3.1 PyxisSchematic

Esta funcionalidad permite crear un entorno donde se dé la captura del diseño y la vista del circuito, al mismo tiempo permite realizar la configuración de la simulación, verificación y análisis del circuito construido. Para realizar el circuito se utilizan los kits de elementos que traen como bloques personalizables y celdas básicas que se adapten a la tecnología de proceso en la que se trabaja el diseño propio. También se pueden crear símbolos asociados a un circuito que se usen como celda básica para otro esquemático, esto con el objetivo de ir creciendo en el nivel de abstracción.

Además, permite la integración entre entornos analógicos con su respectiva simulación para la verificación completa del esquemático con rapidez y la precisión necesaria para avanzar. Al mismo tiempo permite la optimización y personalización del circuito esquemático para que sea más amigable a la vista y el diseñador no se pierda a la hora de construir y realizar las conexiones y poder recurrir a la creación de esquemas, diagramas de bloques, símbolos y representaciones de HDL correctas. (Mentor Graphics, 2015)

2.3.2 PyxisLayout

Con esta funcionalidad se puede crear el trazado físico correspondiente al circuito, en mi caso el del mezclador de frecuencia. Para esto la herramienta le permite realizar el diseño físico de la manera que uno quiera haciendo todo desde el nivel más básico, o utilizando algunas de las opciones de automatización que le genera elementos ya definidos por la herramienta como básicos como son los transistores NMOS Y PMOS. Por lo tanto esto nos da el control total para diseñar de la manera en que deseemos y podemos incrementar el rendimiento del circuito.

También, ofrece la posibilidad de tener la comparación del esquemático en una ventana con su respectivo trazado físico en otra ventana para ir llevando un mejor control del diseño que se va realizando y de los elementos que ya se encuentra dispuestos.

Pyxis Layout ofrece integración con otras herramientas de diseño de IC Custom Pyxis para crear, desarrollar, simular, verificar, optimizar y ejecutar las diferentes verificaciones como layout versus esquemático (LVS, siglas en inglés), comprobación de las reglas de diseño (DRC, siglas en inglés) y la extracción de parasíticos (PEX, siglas en inglés) para usarlos en simulaciones más reales (simulaciones post-layout). Aquí, otro paquete de la firma Mentor Graphics, llamado Calibre, se involucra para realizar estas tareas. (Mentor Graphics, 2015)

Capítulo 3: Diseño y desarrollo del mezclador

En este capítulo se presenta el proceso de diseño y desarrollo del mezclador seleccionado en la primera sección de este capítulo. Se explica además el desarrollo del concepto del diseño, una descripción general de las partes del mezclador con sus respectivas etapas, la operación del mezclador, el enfoque del diseño con sus respectivas restricciones y análisis. Finalmente la implementación esquemática de la propuesta de diseño del mezclador.

3.1 Comparación y selección de la mejor solución

A partir de las soluciones planteadas en la sección 2.2, se realizó una tabla para comparar las características propias de cada una de las configuraciones. En la Tabla 3.1 se muestra el contraste entre las soluciones con lo cual se determinó la mejor solución para el proyecto.

Tabla 3. 1 Comparación de las características propias y compartidas de cada una de las configuraciones de Celdas de Gilbert.

Característica	Solución 1	Solución 2	Solución 3
Ganancia considerable a frecuencias grandes	x	x	--
Distorsión de la salida a grandes frecuencias	--	--	x
Linealidad de potencia	x	x	--
Banda ancha para la salida IF	x	x	x
Operación teórica del circuito hasta al menos 8 GHz	x	x	--
Elementos RLC	x	--	x
Etapas para aislamiento entre los puertos de entrada	--	x	x

Utilización de transistores PMOS	--	x	x
Utilización de menos de diez transistores NMOS	x	x	x
Generación de armónicos en frecuencia no deseados	--	--	x
Permite polarización en algunos de sus nodos	--	x	--

Como se observa de la tabla, la Solución 3 es la que presenta las características menos deseadas para el proyecto desarrollado debido a que no cumplía muchos de los requerimientos del mismo como el hecho de poseer elementos RLC, por lo que esta opción se descartó ya que la tolerancia absoluta de estos elementos pasivos es mala, especialmente los inductores. Sin embargo se usó como referencia para el trabajo en varias secciones.

Por otro lado, la Solución 1 y la Solución 2 son las que presentan las características más adecuadas para el proyecto, sin embargo cada una poseía una desventaja con respecto a la otra. La Solución 1 tiene la desventaja de poseer elementos resistivos por lo que se introducen elementos que en la teoría se pueden modelar con sus respectivas ecuaciones, pero que en el proceso de trazado físico y fabricación, introducen variaciones grandes que no se tomaron en cuenta de una manera precisa en el diseño original. En cuanto a la Solución 2 presentaba una pequeña desventaja de tener elementos PMOS que generalmente son mucho más grandes de construir debido a que abarcan más área, sin embargo presenta grandes ventajas, entre ellas una etapa para lograr un mejor aislamiento entre los puertos de entrada a pesar de que la configuración ya está doblemente balanceada, y también permite la polarización de sus nodos para lograr un mejor ajuste de características, por ejemplo ganancia y ancho de banda.

Finalmente tomando en consideración estos puntos, se decidió optar por la Solución 2 debido a las ventajas que presentaba con respecto a las otras.

3.1 Desarrollo del concepto de diseño

A partir de la propuesta seleccionada en el capítulo anterior, en la Figura 3.1 se muestra el concepto general de diseño que engloba dos bloques principales para llevar a cabo la implementación funcional del mezclador que se construyó. Estos bloques son: el encargado de realizar la polarización para los nodos ya descritos en el circuito del mezclador, y el segundo bloque corresponde al circuito base funcional del mezclador de frecuencias. El diagrama de diseño modular se muestra en la Figura 3.1.

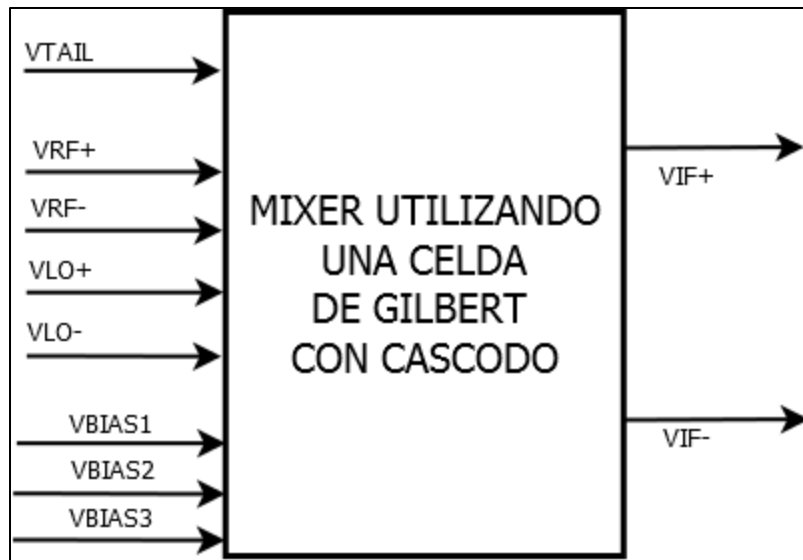


Figura 3. 1 Diseño modular para el mezclador seleccionado.

3.2 Descripción general de las partes del mezclador

El mezclador está compuesto por seis etapas principales que vienen descritas a continuación con sus respectivas figuras, basado en la solución presentada en la sección 2.2, en la Figura 2.4 (Haddadian S, et al, 2008)

3.2.1 Etapa de Ganancia

Esta etapa es la que podemos encontrar en la parte inferior de la representación esquemática del mezclador (Figura 2.4, transistores M1 y M2) y la cual debe poseer una alta linealidad para lograr el manejo de la potencia del amplificador operacional del circuito. Es preferible que los transistores que se muestran en la Figura 3.2 se mantengan en la región de saturación con el fin de mantener una alta corriente.

Esta etapa realiza una función de convertir el voltaje en corriente (convertidor V-I). Sin embargo debido a la tecnología en la que se trabajó, estos transistores se pusieron a trabajar en su zona lineal y aun así se logró una alta corriente, con el problema que la

impedancia vista por el resto del circuito no es buena y se inserta mucha variabilidad, por ejemplo, con respecto a la frecuencia.

Para lograr un correcto funcionamiento de la etapa se debe cumplir la siguiente ecuación:

$$V_{GS} - V_T \geq 200 \text{ mV} \quad (3.1)$$

Además la ganancia de conversión viene descrita por la siguiente ecuación (Pham B, 2010):

$$G_C = \frac{2}{\pi} g_m R_L = \frac{2}{\pi} R_L \left(\mu_n C_{ox} \frac{W_1}{L_1} I_{tail} \right) \quad (3.2)$$

Como se observa de la figura anterior, la ganancia de conversión del mezclador se puede ver aumentada de dos maneras:

- 1) Manteniendo el largo del canal "L" como el mínimo y aumentando el ancho "W" hasta alcanzar la ganancia deseada.
- 2) Al mismo tiempo notando que la ganancia de la etapa es proporcional a g_m , podemos hacer que al aumentar la corriente logremos un aumento en la ganancia como se muestra en la siguiente ecuación:

$$g_m = \frac{2I_{D_s}}{V_{GS} - V_T} \quad (3.3)$$

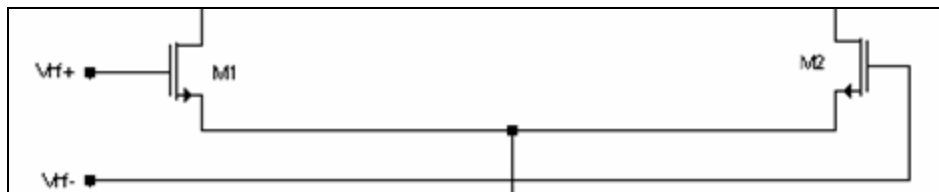


Figura 3.2 Etapa de ganancia para el circuito mezclador, detalle de la Figura 2.4.

Fuente: (Haddadian S, et al, 2008)

3.2.2 Etapa de Switching

En esta etapa se busca que los transistores que manejan las señales provenientes del oscilador local (Figura 3.3) puedan mantenerse siempre en saturación cuando es necesario. Para lograr esto se busca que el voltaje de modo común de las señales LO sea el suficiente para garantizar que el mezclador conmute de la manera correcta y que el ruido se reduzca para señales grandes de LO. (Mayaram M, et al, 1999)

Por otro lado, cuando la señal de LO se vuelve muy grande pueden generarse picos de voltaje que repercuten en la velocidad de conmutación e incrementa la realimentación hacia la salida IF que posteriormente se ve reflejada en los puertos RF. Sin embargo, estos problemas ya no deben ser preocupantes puesto que al usar una señal diferenciada con una estructura doblemente balanceada se logra cancelar el efecto sobre la

realimentación y la conmutación. Con esto último nos referimos a que cuando una pareja de transistores está funcionando en saturación, la otra pareja se encuentra apagada o en corte por lo que lo que no presenta efectos ruidosos a la salida.

Por lo discutido en el párrafo anterior se vuelve importante que se cumpla que la condición de encendido del transistor ($V_{GS}-V_T$) se vuelva lo más cercano a cero, con el motivo que la señal diferencial positiva encienda un par de transistores y apague el otro par y que posteriormente en el ciclo negativo se encienda el par de transistores que estuvo apagado y se apaguen los que estuvieron encendidos (Figura 3.4).

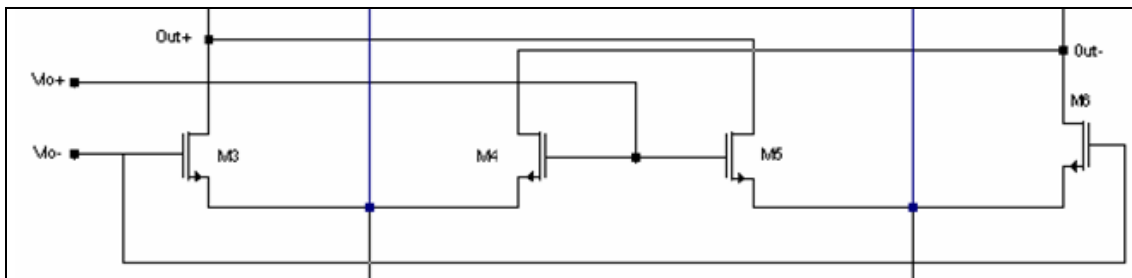


Figura 3.3 Etapa de switching para el circuito mezclador, detalle de la Figura 2.4.

Fuente: (Haddadian S, et al, 2008)

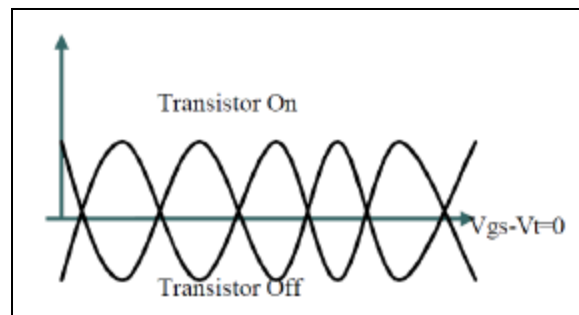


Figura 3.4 Entradas diferenciales para cumplir la condición de pareja encendida–apagada en los transistores. Fuente: (Haddadian S, et al, 2008)

3.2.3 Etapa para el manejo de corriente

Esta etapa está compuesta por tres transistores operando como fuentes de corriente como se muestra en la Figura 3.5. El transistor inferior (M_{tail}) proporciona la suficiente corriente de polarización para el circuito (Chang T, et al, 2013), y los dos transistores superiores (M_{c1} y M_{c2}) se utilizan como fuentes de corriente para implementar una inyección de carga por medio de la "técnica de sangrado" y con esto mejorar el rendimiento del mezclador.

En general estos transistores se mantienen en la región de saturación configurando su ancho (W) y largo (L) de una manera que lo garantice así como sus tensiones de polarización de V_{tail} y V_{bias3} .

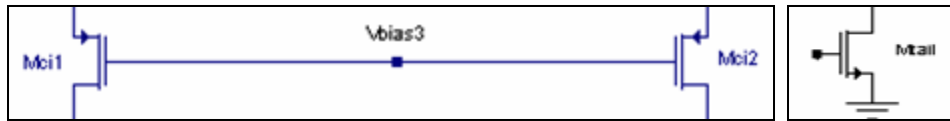


Figura 3. 5 Etapa para el manejo de corriente del circuito mezclador, detalle de la Figura 2.4. Fuente: (Haddadian S, et al, 2008)

3.2.4 Etapa de salida diferencial

Esta etapa está compuesta por dos transistores PMOS (uno en cada salida, IF+ e IF-) que actúan como cargas para aumentar la ganancia de conversión de voltaje del mezclador. Con esta configuración se busca explotar la simetría para eliminar las señales no deseadas de RF y LO realimentadas hacia la salida, por medio de la cancelación.

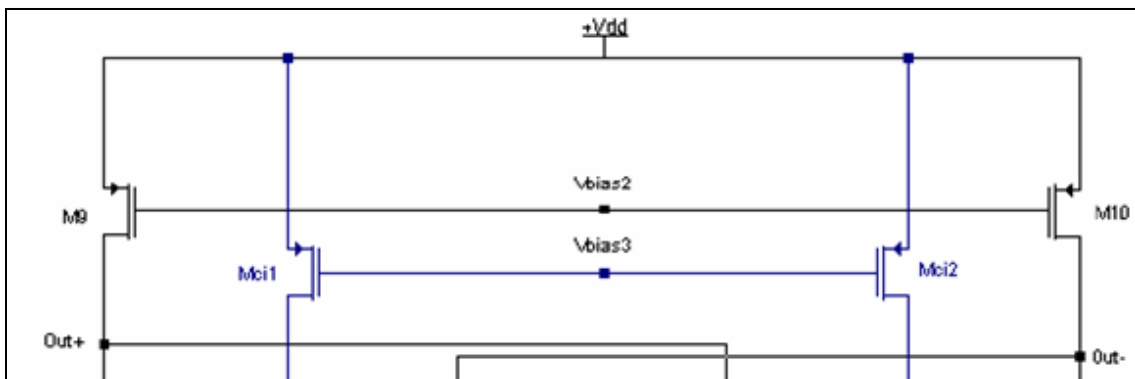


Figura 3. 6 Etapa de salida diferencial del circuito mezclador, detalle de la Figura 2.4. Fuente: (Haddadian S, et al, 2008)

3.2.3 Etapa de cascode

Esta etapa está compuesta por básicamente dos transistores NMOS que funcionan como dispositivos cascode para el circuito del mezclador (Figura 3.7). Además se busca que estos transistores siempre se mantengan en saturación con el fin de incrementar el aislamiento entre los puertos de entrada RF y LO.



Figura 3. 7 Etapa de cascode para el circuito mezclador, detalle de la Figura 2.4.

Fuente: (Haddadian S, et al, 2008)

3.3 Operación del mezclador

De la Figura 2.4 podemos hacer varias acotaciones de acuerdo al funcionamiento general del mezclador como un todo. Primero, los transistores M_1 y M_2 proporcionan el convertidor de voltaje-corriente proveniente de la señal RF diferencial, para que con esto el transistor M_{tail} no se vea afectado y el circuito siga polarizado.

Cuando el voltaje en el puerto LO es lo suficientemente superior para polarizar los transistores M_3 y M_6 , buscando mantenerlos en saturación, y la tensión en LO+ es lo suficientemente pequeña para apagar los transistores M_4 y M_5 ; los transistores M_3 y M_6 se vuelven en interruptores cerrados de manera que cada transistor tiene un transistor PMOS como carga (M_9 y M_{10} respectivamente), por lo que se convierte en una configuración diferencial a la salida con IF+ e IF-.

En el siguiente ciclo se invierten los papeles, entonces el voltaje LO+ es lo suficientemente grande para polarizar los transistores M_4 y M_5 , mientras que LO- es lo suficientemente pequeño como para poner en corte los transistores M_3 y M_6 ; los transistores M_4 y M_5 se vuelven en interruptores cerrados de manera que cada transistor tiene un transistor PMOS como carga con la diferenciación de que M_4 tiene como carga a M_{10} y M_5 tiene como carga a M_9 por lo que se convierte en una configuración diferencial a la salida con IF+ e IF- con la misma amplitud del ciclo pasado pero con diferente fase.. Para evitar algún problema con la etapa que maneja la señal LO, los transistores M_{c1} y M_{c2} buscan que la etapa superior del mezclador se encuentre polarizada para que al menos uno de los pares de transistores que reciben las señales LO+ y LO- se encuentren encendidos en saturación (M_{3-6}). Finalmente con los transistores M_7 y M_8 se busca que siempre estén en saturación con el fin de incrementar el aislamiento entre los puertos de entrada RF y LO.

3.4 Enfoque del diseño

3.4.1 Restricciones del diseño

De acuerdo al área donde se desarrolla el proyecto y a la aplicación específica para la que se va a utilizar el diseño (espectroscopia médica de tejidos biológicos), está delimitado por las siguientes restricciones:

- El voltaje de alimentación deber ser $V_{DD} = 1.2V$
- Se está utilizando la tecnología $0.13 \mu m$ IBM8RF para el diseño del circuito por lo que el ancho de los transistores no puede exceder los $20 \mu m$

- El funcionamiento del mezclador debe tener un ancho de banda en el rango de frecuencias entre 1 MHz-7 GHz por lo que la Celda de Gilbert utilizando tecnología CMOS es una buena escogencia.
- El ancho de banda a alcanzar es de 1 GHz hasta 7 GHz mínimo para la señal de entrada RF sin que se llegue a atenuar la señal de salida de forma importante.
- El ancho de banda para la salida IF debe alcanzar los 100 MHz hasta 800 MHz sin que la señal de salida se vea atenuada con respecto a la teórica.
- Se necesita que el mezclador haga una conversión a bajas frecuencias
- Se busca que la mayoría de los transistores cuando estén activos funcionen en la región de saturación para el correcto funcionamiento del mezclador.
- Se busca que las tensiones de polarización (V_{BIAS}) sean lo más bajo posibles para garantizar menor consumo de potencia y área a utilizar.
- Los transistores que funcionan como fuentes de corriente, deben ser diseñados de manera que se comporten lo más cercano a una fuente de corriente ideal con una resistencia muy grande.
- El largo de los transistores puede ser el mínimo que es $0.13 \mu\text{m}$, sin embargo debido a que se quiere que la resistencia r_o propia de cada transistor sea constante e igual para todos los transistores no se utilizará este valor.
- Se busca que la tensión V_T sea constante y la misma para todos los transistores, por lo que el largo mínimo con el que se cumple esta condición es $0.5 \mu\text{m}$ o ligeramente superior. (Rimolo R, 2016)

3.4.2 Análisis del diseño

La corriente que se debe manejar en el circuito debe ser en el orden de μA lo que es posible utilizando la tecnología CMOS, sin embargo dependiendo de las corrientes de polarización que se requieran, el orden podría aumentar para obtener un mayor rango de frecuencias para la entrada y salida.

Por otro lado el largo de los transistores fue tomado a partir de la restricción de que todos los transistores deben tener este parámetro igual a $0.5 \mu\text{m}$, exceptuando el transistor M_{TAIL} que se definió su largo como $0.65 \mu\text{m}$ debido a la función de polarización que cumple. Al mismo tiempo la compuerta de este último transistor debe ser alimentada con 0.4V .

En cuanto a la tensión de entrada para los puertos RF y LO del mezclador deben tener una tensión de modo común para garantizar que los transistores puedan tener la transición de saturación a corte cuando sea necesario y viceversa, y también se debe procurar que la

tensión con la que se logra este objetivo sea la menor posible para evitar un exceso de consumo de potencia por la conmutación, así que considerando estos factores se llegó a que la tensión de modo común debe ser para los puertos de entrada de la señal RF alrededor de 0.6V y para los puertos de entrada de la señal LO alrededor de 0.7V.

Finalmente se tomaron en cuenta los parámetros listados en la siguiente tabla. (IBM Corporation, 2003)

Tabla 3. 2 Parámetros importantes a considerar para el diseño del mezclador.

Parámetro	Valor
Tensión de alimentación (V_{DD})	1.2 V
Tensión de "encendido" (V_T)	Alrededor de 0.3 V
Resistencia NMOS	1.93 $k\Omega \cdot \mu m$
Resistencia PMOS	5.48 $k\Omega \cdot \mu m$
V_{BIAS1}	0.6 V
V_{BIAS2}	0.6 V
V_{BIAS3}	0.7-0.9V
V_{TAIL}	0.4 V
$V_{CM_{LO}}$	0.7V
$V_{CM_{RF}}$	0.6V

Es necesario explicar que para la obtención de los valores de anchos de los transistores se partió de valores conocidos brindados para una Celda de Gilbert (Gurukartheek P, 2014), y posteriormente se ajustaron para el diseño específico de este mezclador por medio del circuito esquemático realizado en Pyxis Schematic de Mentor Graphics. Debido a que se requiere que la mayoría de los transistores trabajen en saturación, se hicieron análisis en DC hasta lograr este objetivo, con lo que se determinó que se ocupaba una fuente externa de 0.6V tanto para V_{BIAS1} y V_{BIAS2} para lograr un alto manejo de corriente, mientras que para V_{BIAS3} se utilizó una tensión entre 0.85 a 0.90 V para aumentar la ganancia y tener la tensión de salida de modo común en 0.6V.

3.5 Implementación del diseño

Para el circuito propuesto se utilizaron los siguientes valores luego de realizar un conjunto de simulaciones en DC (Ver Apéndice A.2), y después de cargarlo se obtuvieron las dimensiones finales del diseño (Ver Apéndice A.3), es importante indicar que el modelo de transistores que se utilizaron finalmente son los que presentan la característica de ser

hechos para aplicaciones RF, específicamente los que en la librería tienen como nombre `nfet_rf` y `pfet_rf`:

Tabla 3. 3 Tamaños de los transistores para el circuito mezclador.

Transistores	W (μm)	L (μm)
M ₁₋₂	9.75	0.5
M ₃₋₆	9.50	0.5
M ₇₋₈	9.75	0.5
M ₉₋₁₀	8.70	0.5
M _{C1-2}	2.00	0.5
M _{tail}	15.15	0.65

Con esto finalmente se construyó el siguiente circuito esquemático mostrado en la Figura 3.8.

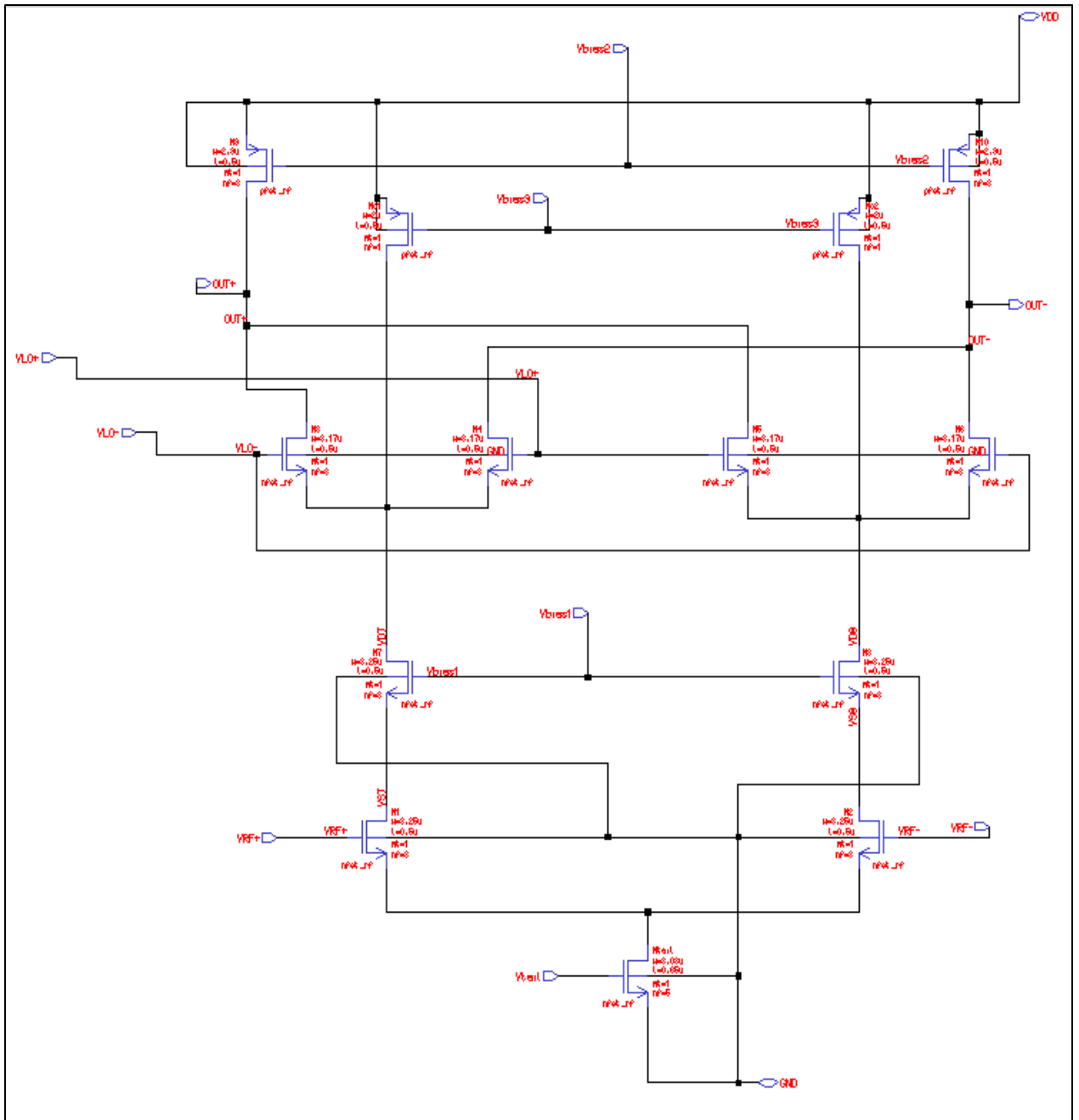


Figura 3. 8 Circuito esquemático construido para el mezclador.

En la Figura 3.9 se puede observar la vista símbolo construida para el esquemático de la Figura 3.8, donde se detallan de una manera más visual las ocho entradas del circuito tanto de polarización como de las señales de entrada, las dos entradas de alimentación y finalmente las salidas diferenciales del mezclador. En resumen se tienen ocho puertos de entrada, dos puertos bidireccionales para la alimentación y dos puertos de salida.

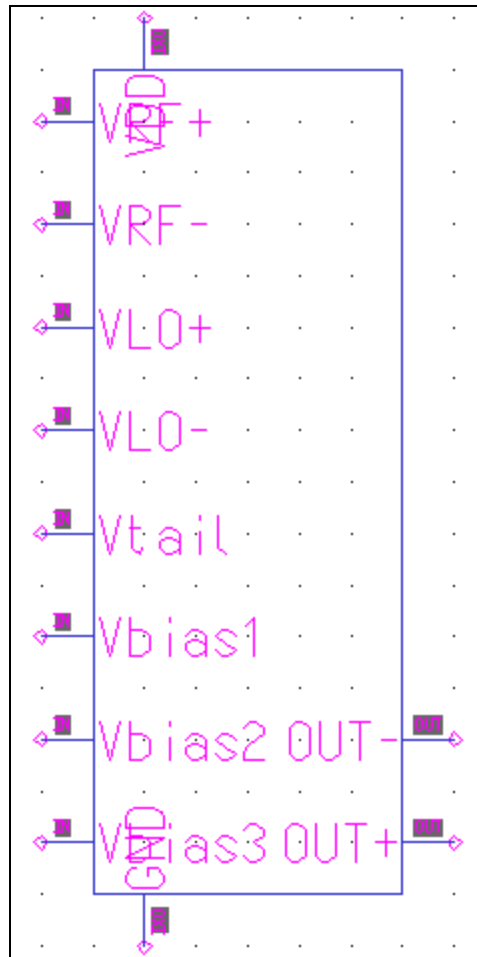


Figura 3. 9 Símbolo realizado con entradas a la izquierda y salidas a la derecha para el mezclador de Gilbert.

Capítulo 4: Caracterización, validación y análisis del mezclador

En este capítulo se muestran las simulaciones realizadas para un análisis en transiente y un análisis del espectro de frecuencia para conocer el comportamiento del esquemático para diferentes condiciones. Es importante recordar que previamente también se hizo un análisis en DC.

4.1 Simulación en DC

Para esta sección no se muestran simulaciones realizadas puesto que se consideró que sería una saturación de información que no aportan mucho, aun así es importante recordar que las simulaciones que se hicieron en DC tuvieron como objetivo únicamente verificar que todos los transistores del esquemático funcionaran en su región respectiva, para esto se hizo un acomodo de los anchos de los transistores y de las tensiones de polarización en cada uno de los nodos que lo ameritaba como ya se explicó antes. Gracias a este análisis se conocieron la mayoría de parámetros relacionados a cada transistor y de los nodos de importancia lo cual fue útil para seguir mejorando el diseño y proseguir con los demás análisis y simulaciones.

Sin embargo es importante explicar que se observó que al cargar el mezclador con las dimensiones descritas en la sección anterior, la señal de salida se veía atenuada con respecto a la original por lo que se tuvieron que hacer nuevos dimensionamientos para por lo menos alcanzar que la señal de salida a altas frecuencias tuviera una pequeña ganancia. A partir de esto se obtuvo el dimensionamiento de la Sección 3.5.

4.2 Simulación Transiente

Este análisis se configuró de manera tal que se observara la respuesta en el tiempo del circuito para diferentes señales de entrada, con esto se hace referencia a cambiar las amplitudes de la señales de entrada y sus frecuencias. En cuanto al voltaje de modo común que tenían las señales de entrada RF y LO no se modificó ya que esta tensión era importante para garantizar la saturación en los transistores, así como las tensiones V_{bias1} , V_{bias2} , V_{tail} . Es importante recordar que el mezclador diseñado rescata en la salida, la diferencia de frecuencia de las señales de entrada, es decir hacer una conversión a bajas frecuencias y esto es lo que se trata de demostrar con las pruebas que se muestran en las secciones posteriores.

El circuito esquemático que se construyó para la simulación fue el mostrado en la Figura 4.1:

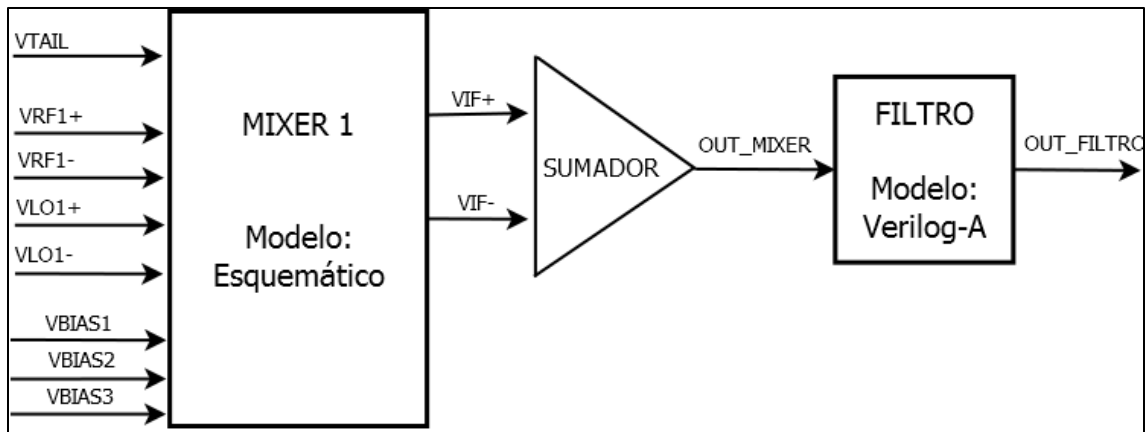


Figura 4. 1 Diagrama de bloques realizado para la simulación transiente y el análisis del espectro de frecuencia.

De la Figura 4.1 se observa que se colocaron las fuentes correspondientes que ofrecían el VCM necesario a las entradas para la correcta polarización de los transistores, así como la tensión de polarización para V_{bias1} , V_{bias2} , V_{bias3} y V_{tail} . Además el bloque del mezclador está con su modelo de esquemático así como el filtro a la salida desarrollado en Verilog-A (Ver Apéndice A.1), éste último es puesto para observar la verdadera salida a baja frecuencia del mezclador.

Prueba 1-Configuración en frecuencias bajas de entrada sin carga a la salida

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 4.1.

Tabla 4. 1 Configuración de las entradas y resultados obtenidos sin carga a la salida a frecuencias bajas.

ENTRADAS			
Parámetro	LO (oscilador)		RF (radiofrecuencia)
Frecuencia (GHz)	2.0		1.0
Amplitud pico (mV)	50.0		50.0
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (GHz)	1.0	1.010	1.023
Amplitud pico (mV)	2.5	8.00	4.28

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 4.2 tanto para la salida original del mezclador, como la salida luego de ser filtrada y la salida teórica de la multiplicación de las señales.

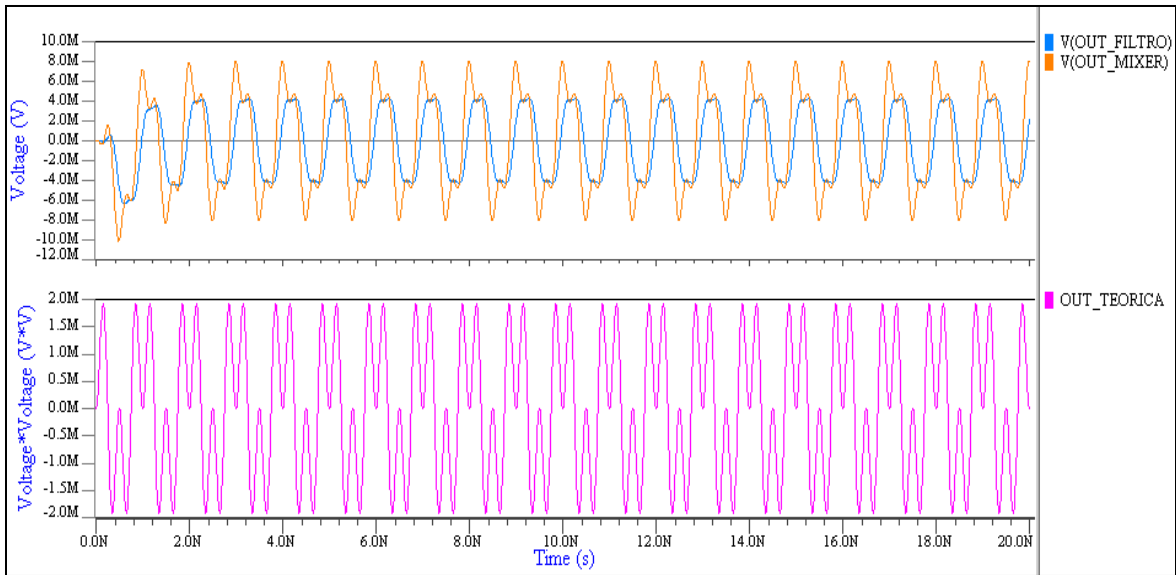


Figura 4. 2 Salidas obtenidas sin carga a la salida a frecuencias bajas.

Prueba 2-Configuración de las entradas a frecuencia media sin carga a la salida

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 4.2.

Tabla 4. 2 Configuración de las entradas y resultados obtenidos sin carga a la salida a frecuencias intermedias.

ENTRADAS			
Parámetro	LO (oscilador)		RF (radiofrecuencia)
Frecuencia (GHz)	5.0		4.5
Amplitud pico (mV)	100.0		50.0
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (MHz)	500	496.31	502.34
Amplitud pico (mV)	5.0	22.95	15.08

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 4.3 tanto para la salida original del mezclador, como la salida luego de ser filtrada la salida teórica de la multiplicación de las señales.

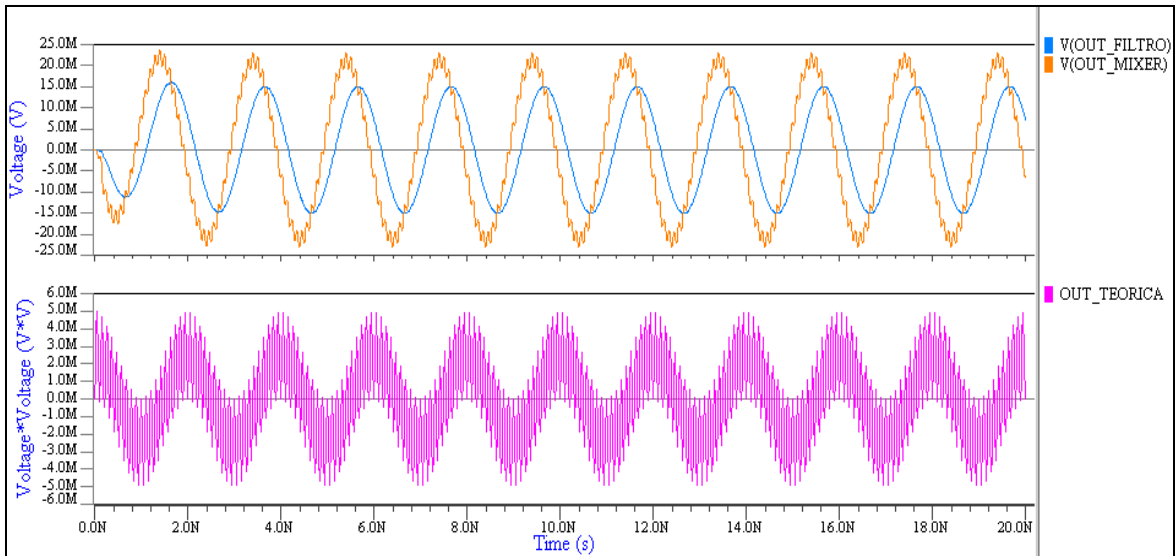


Figura 4.3 Salidas obtenidas sin carga a la salida a frecuencias intermedias.

Prueba 3- Configuración de las entradas a frecuencias altas sin carga a la salida

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 4.3.

Tabla 4.3 Configuración de las entradas y resultados obtenidos sin carga a la salida a frecuencias altas.

ENTRADAS			
Parámetro	LO (oscilador)		RF (radiofrecuencia)
Frecuencia (GHz)	10.0		9.9
Amplitud pico (mV)	100.0		100.0
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (MHz)	100	100	100.23
Amplitud pico (mV)	10.0	41.84	28.93

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 4.4 tanto para la salida original del mezclador, como la salida luego de ser filtrada y la salida teórica de la multiplicación de las señales.

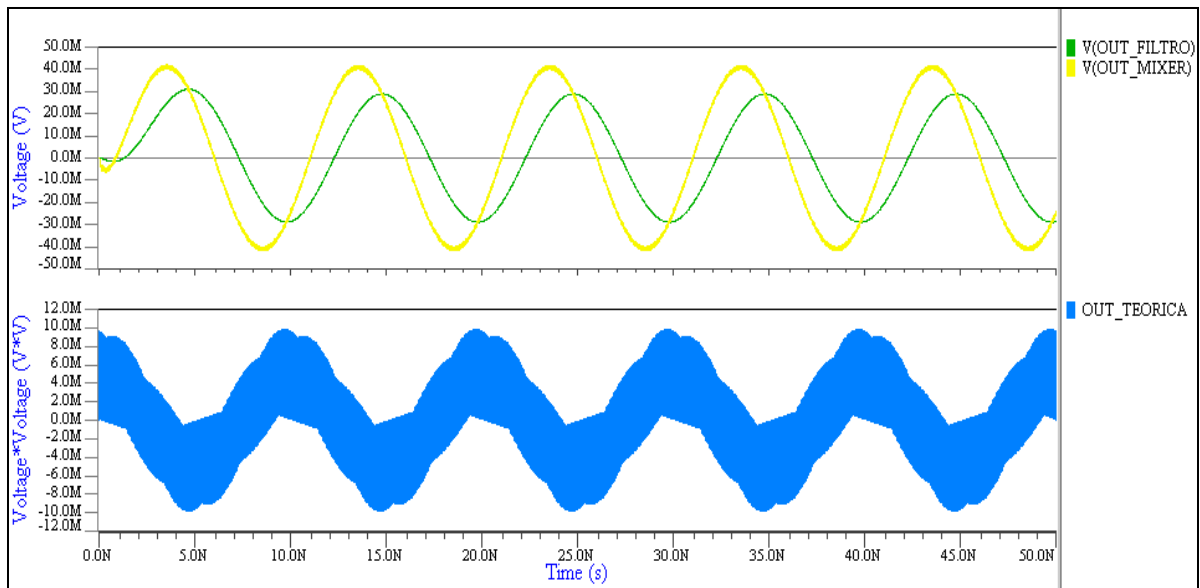


Figura 4. 4 Salidas obtenidas sin carga a la salida a frecuencias altas.

Prueba 4-Configuración de las entradas para una conversión a muy baja frecuencia sin carga a la salida

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 4.4.

Tabla 4. 4 Configuración de las entradas y resultados obtenidos sin carga a la salida con una conversión a muy baja frecuencia.

ENTRADAS			
Parámetro	LO (oscilador)		RF (radiofrecuencia)
Frecuencia (GHz)	10.0		9.999
Amplitud pico (mV)	100.0		100.0
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (MHz)	1.0	1.0	1.0
Amplitud pico (mV)	10.0	43.3	42.1

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 4.5 tanto para la salida original del mezclador, como la salida luego de ser filtrada.

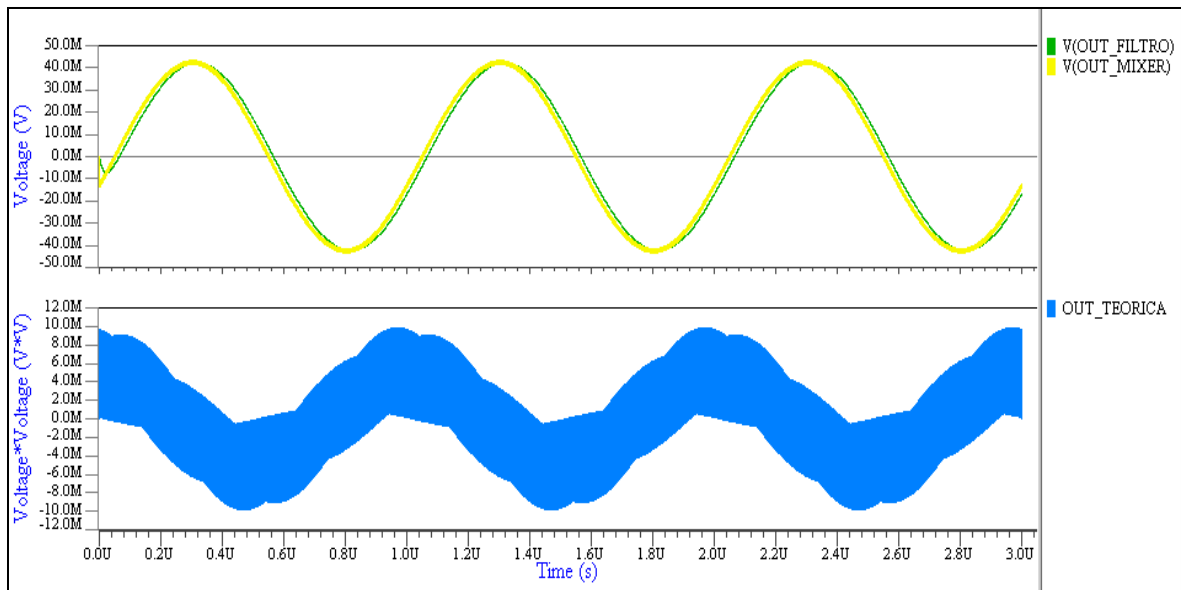


Figura 4.5 Salidas obtenidas sin carga a la salida con una conversión a muy baja frecuencia.

Análisis general de las pruebas.

En un principio lo que es más notable de todas las pruebas realizadas es que el mezclador logra el objetivo de hacer la conversión a baja frecuencia para las señales ya que atenúa las componentes de altas frecuencias, esto se puede observar al comparar la señal de salida del mezclador con la salida teórica que se debería obtener, ya que en esta última se nota como existe una distorsión debido a las componentes de alta frecuencia mientras que para la salida del mezclador se nota más la envolvente que se forma proveniente de la diferencia de las frecuencias de entrada. Al mismo tiempo al aumentar la frecuencia se empieza a notar más el desfase de la señal del mezclador con respecto a la teórica debido a los elementos parásitos en general.

También es notable que el filtro permite rescatar aun más la envolvente de la señal de salida del mezclador pero se desfasa la señal y al mismo tiempo se disminuye la amplitud de la señal ya que para la frecuencia de corte la señal tiene atenuados aproximadamente tres decibeles. Finalmente aunque en las figuras anteriores no se muestra, la tensión de modo común (VCM) a la salida es aproximadamente 0.6V, lo cual es deseable puesto que generalmente se busca que el VCM esté a la mitad de la tensión de alimentación para tener un mayor rango dinámico a la salida.

4.3 Análisis del espectro de frecuencia

Para realizar estas simulaciones y su análisis, se establecieron los puertos de entrada RF y LO con señales con magnitud y amplitud en AC, lo que a la salida de la señal se transformaba en una mezcla de frecuencias como $f_{LO}-f_{RF}$ y $f_{LO}+f_{RF}$. Este análisis se vuelve fundamental puesto que ayuda a reconocer si el comportamiento de la Celda de Gilbert en la gama de frecuencias requeridas no presenta oscilaciones armónicas indeseadas o un ruido que distorsione la señal.

A su vez un análisis de Bode para saber la ganancia que presenta el circuito en el rango de frecuencias requerido, así como su frecuencia de corte, impedancia de entrada y de salida se vuelven factores importantes para mostrar las características propias del diseño realizado. De igual manera el cálculo de la Transformada de Fourier a la señal de salida para verificar la correcta conversión de las frecuencias de entrada es algo que también se debe comprobar. Usar un análisis en AC directamente no es posible debido a que la amplificación a la salida se da con respecto a la señal de salida teórica.

Todos estos análisis se muestran a continuación.

4.3.1 Pruebas realizadas utilizando la Transformada de Fourier

Una vez realizadas las pruebas de transiente y al haber graficado las señales de salida deseadas, se realizó un análisis de Fourier para la salida del mezclador con ayuda de la función FFT en la herramienta gráfica del visualizador de ondas en Mentor Graphics. Estas pruebas se le realizaron a las configuraciones mostradas en las secciones anteriores. A partir de esto se obtuvieron los resultados mostrados en las Figuras 4.6, 4.7, 4.8 y 4.9.

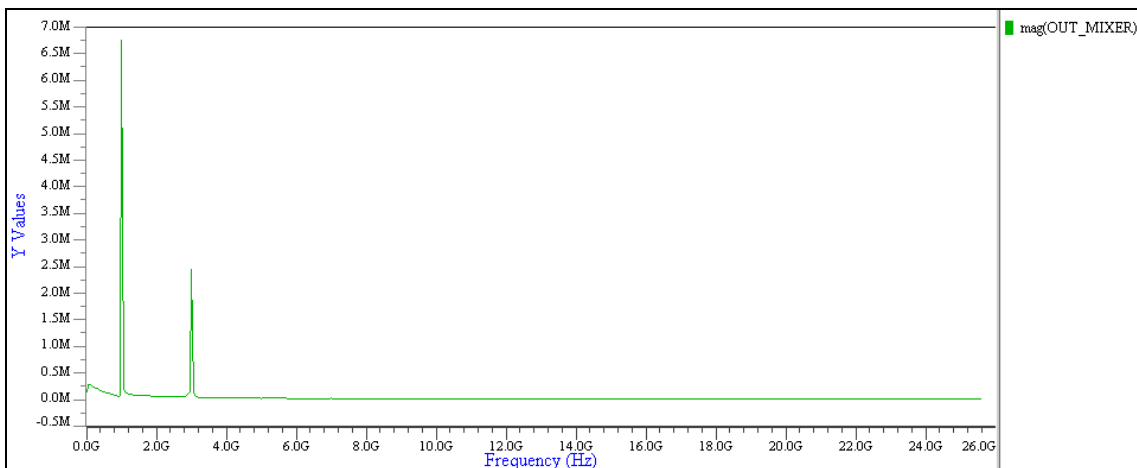


Figura 4.6 Transformada de Fourier aplicada a la configuración de la prueba 1 de la sección 4.2.

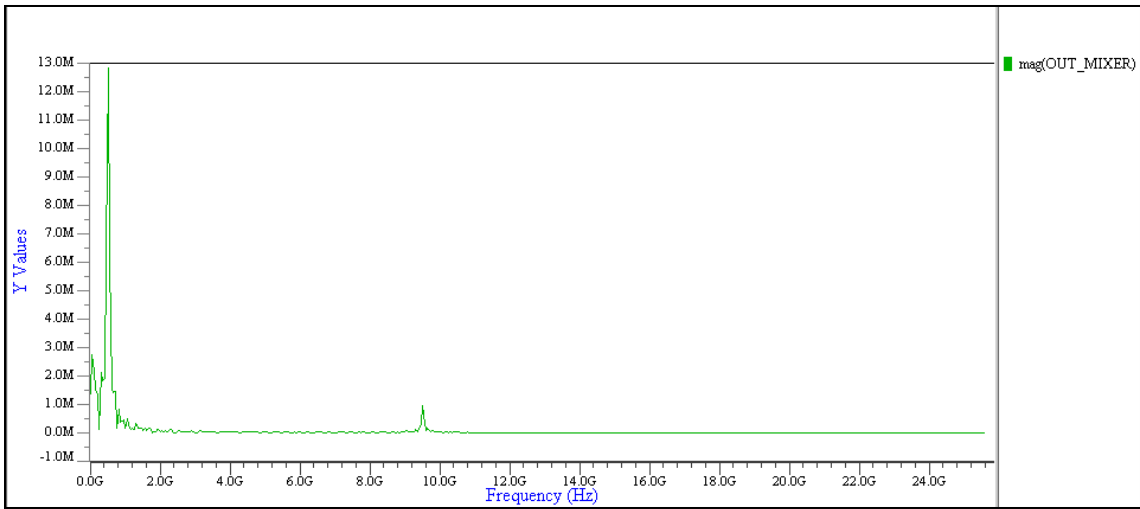


Figura 4.7 Transformada de Fourier aplicada a la configuración de la prueba 2 de la sección 4.2.

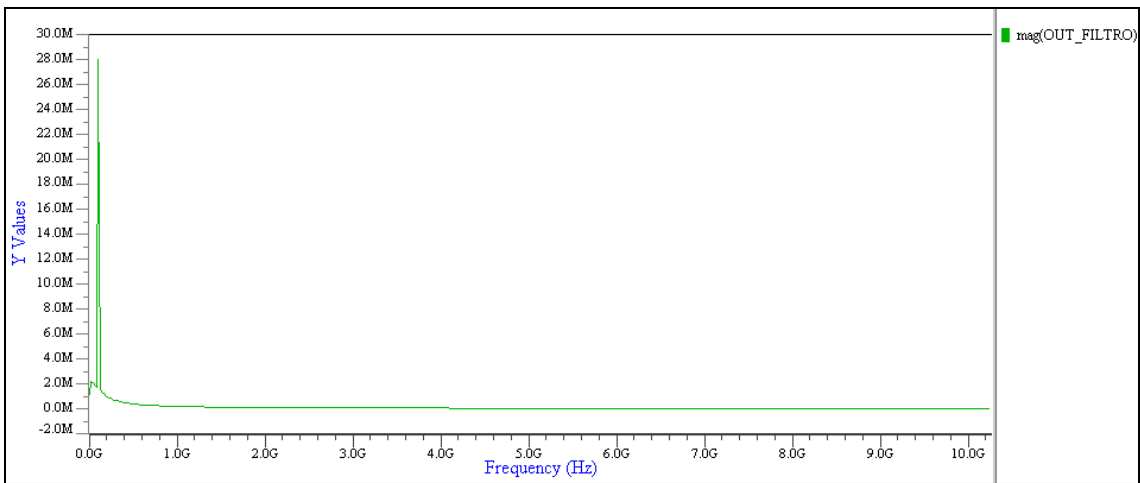


Figura 4.8 Transformada de Fourier aplicada a la configuración de la prueba 3 de la sección 4.2.

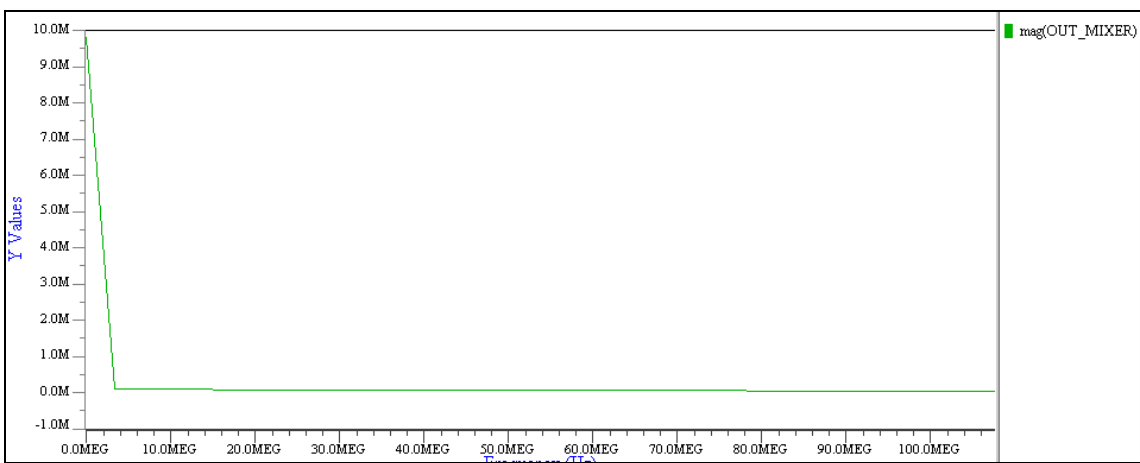


Figura 4.9 Transformada de Fourier aplicada a la configuración de la prueba 4 de la sección 4.2.

De las figuras anteriores se comprueba el hecho descrito en la Sección 4.2.5, el cual era que a pequeñas frecuencias (la diferencia de las frecuencias de entrada) se muestra la componente de magnitud más grande, y en altas frecuencias (la suma de las frecuencias de entrada) la magnitud es más pequeña, lo cual era lo deseable con los requerimientos dados para el mezclador.

4.3.2 Ancho de banda medido para el mezclador de Gilbert

Para hacer la caracterización del ancho de banda (rango de frecuencias de trabajo) en el cual la celda de Gilbert diseñada puede funcionar se establecieron dos barridos:

- Un barrido donde la frecuencia de salida (IF) variara entre 0.1 hasta 1 GHz.
- Un barrido donde la frecuencia de entrada (RF) y la frecuencia del oscilador (LO) variara entre 1 hasta 10 GHz con una amplitud de 50 mV.

Debido a la función que el mezclador realiza, teóricamente se debe obtener la multiplicación de las señales por lo que la amplitud de salida teórica es 2.5 mV, por lo que para la caracterización y obtención de la ganancia DC del mezclador se siguió el siguiente procedimiento:

- Se configuraron las entradas a cierta frecuencia dentro del rango de 1 a 10 GHz.
- Se midió la amplitud de la salida teórica a esa frecuencia en unidades de Voltios.
- Se realizó la división entre la salida experimental y la salida esperada (teórica).
- Se convirtió el resultado de la división a decibeles (dB).

Este procedimiento fue realizado para cada una de las frecuencias que se encontraban dentro del barrido mencionado en líneas anteriores, con lo que se obtuvo el comportamiento mostrado en la Figura 4.10.

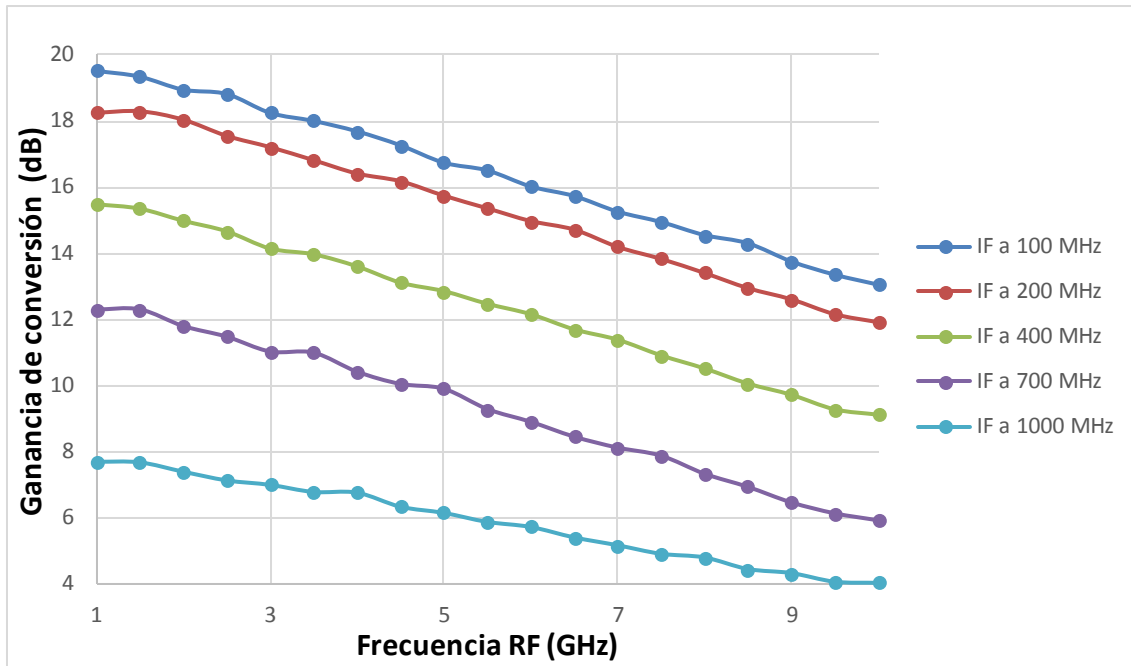


Figura 4. 10 Ganancia de conversión medida versus la frecuencia de la señal RF para el circuito esquemático.

Como se observa de la Figura 4.10, la variación de la ganancia de conversión que se da entre la frecuencia de salidas IF es de aproximadamente 5 ± 1.5 dB. Mientras tanto al variar la frecuencia de RF entre una gama de 1-10 GHz se observa la variación de aproximadamente 15.5dB.

4.4 Simulación con carga a la salida

Tomando en consideración que el mezclador funciona como bloque de un sistema más grande, se decidió definir una carga para caracterizar su comportamiento en una situación de operación más realista. Para esto se cargó con otro mezclador a la salida (debido a que en el sistema de impedancia se tienen mezclador en cascada) y se volvieron a realizar las mismas simulaciones en transiente que se habían realizado en la Sección 4.2 para observar los cambios. Antes de mostrar las pruebas realizadas, se muestra en la Figura 4.11 el circuito esquemático realizado en esta sección.

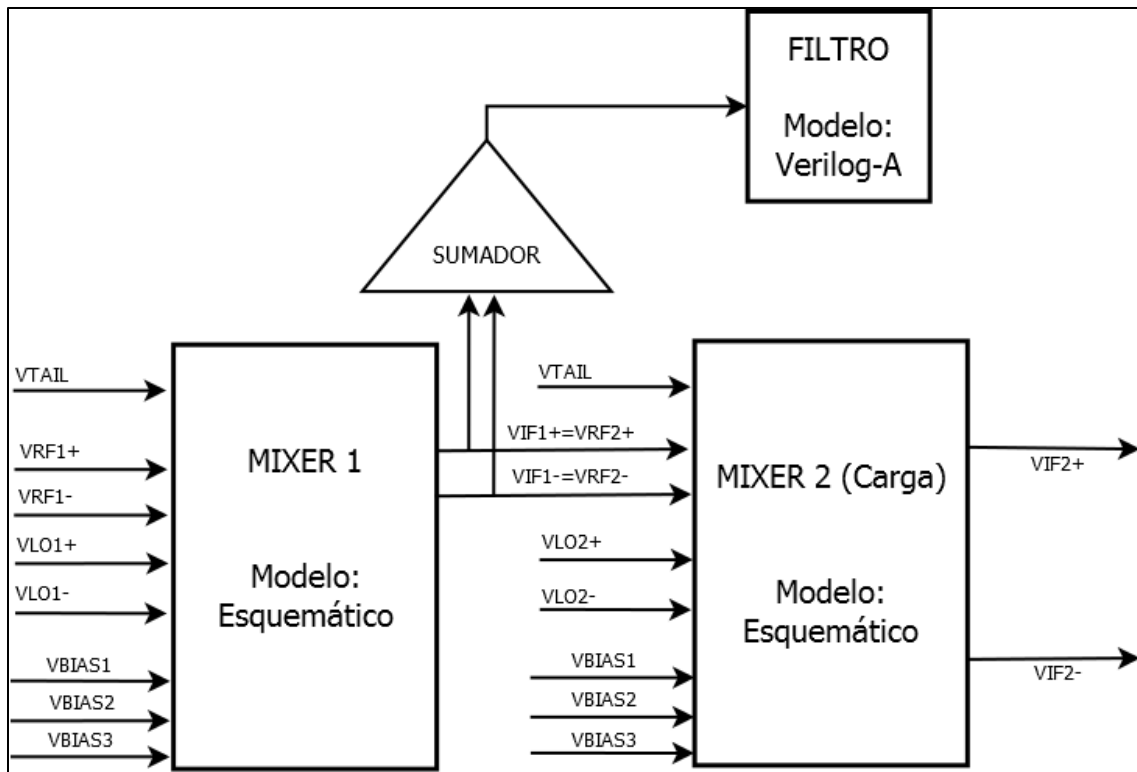


Figura 4. 11 Diagrama de bloques para la simulación transiente con un mezclador como carga a la salida.

Prueba 1-Configuración en frecuencias bajas de entrada con carga a la salida

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 4.5.

Tabla 4. 5 Configuración de las entradas y resultados obtenidos con carga a la salida a frecuencias bajas.

ENTRADAS			
Parámetro	LO (oscilador)	RF (radiofrecuencia)	
Frecuencia (GHz)	2.0	1.0	
Amplitud pico (mV)	50.0	50.0	
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (GHz)	1.0	1.02	1.01
Amplitud pico (mV)	2.5	3.08	1.90

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 4.12 tanto para la salida original del mezclador, como la salida luego de ser filtrada y la salida teórica de la multiplicación de las señales.

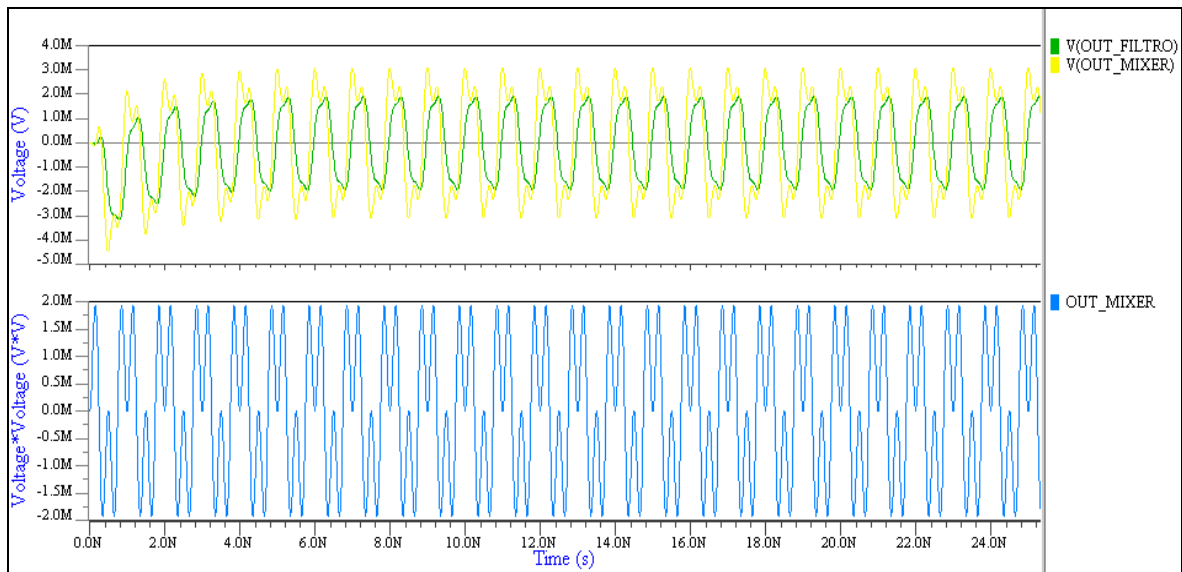


Figura 4. 12 Salidas obtenidas con carga a la salida a frecuencias bajas.

Prueba 2-Configuración de las entradas a frecuencia media con carga a la salida

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 4.6.

Tabla 4. 6 Configuración de las entradas y resultados obtenidos con carga a la salida a frecuencias intermedias.

ENTRADAS			
Parámetro	LO (oscilador)		RF (radiofrecuencia)
Frecuencia (GHz)	5.0		4.5
Amplitud pico (mV)	100.0		50.0
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (MHz)	500	497.42	492.48
Amplitud pico (mV)	5.0	10.51	6.49

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 4.13 tanto para la salida original del mezclador, como la salida luego de ser filtrada y la salida teórica de la multiplicación de las señales.

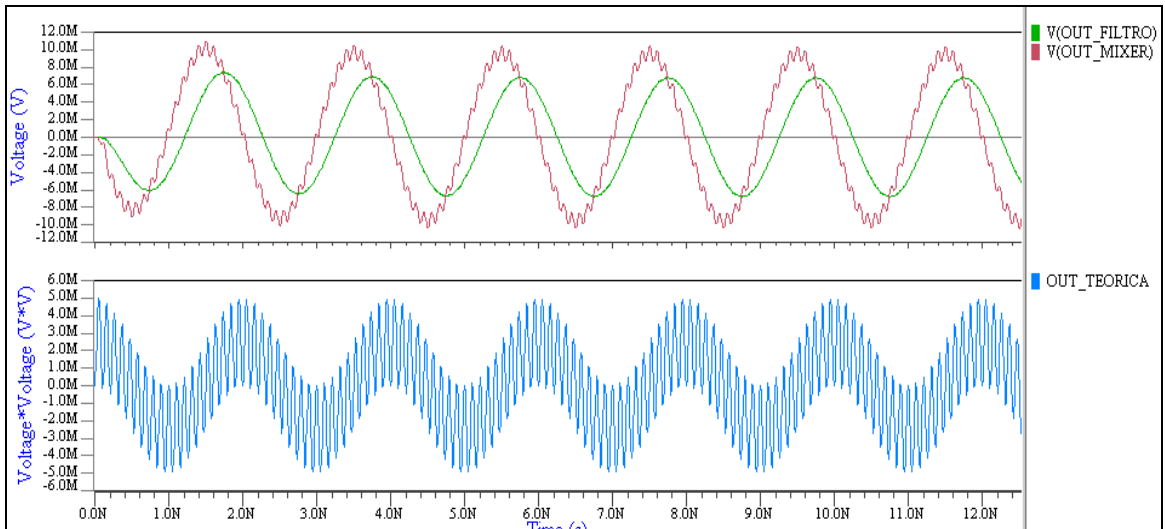


Figura 4. 13 Salidas obtenidas con carga a la salida a frecuencias intermedias.

Prueba 3- Configuración de las entradas a frecuencias altas con carga a la salida

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 4.7.

Tabla 4. 7 Configuración de las entradas y resultados obtenidos con carga a la salida a frecuencias altas.

ENTRADAS			
Parámetro	LO (oscilador)		RF (radiofrecuencia)
Frecuencia (GHz)	2.0		1.0
Amplitud pico (mV)	50.0		50.0
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (MHz)	100	100.37	100.53
Amplitud pico (mV)	10.0	34.08	23.65

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 4.14 tanto para la salida original del mezclador, como la salida luego de ser filtrada y la salida teórica de la multiplicación de las señales.

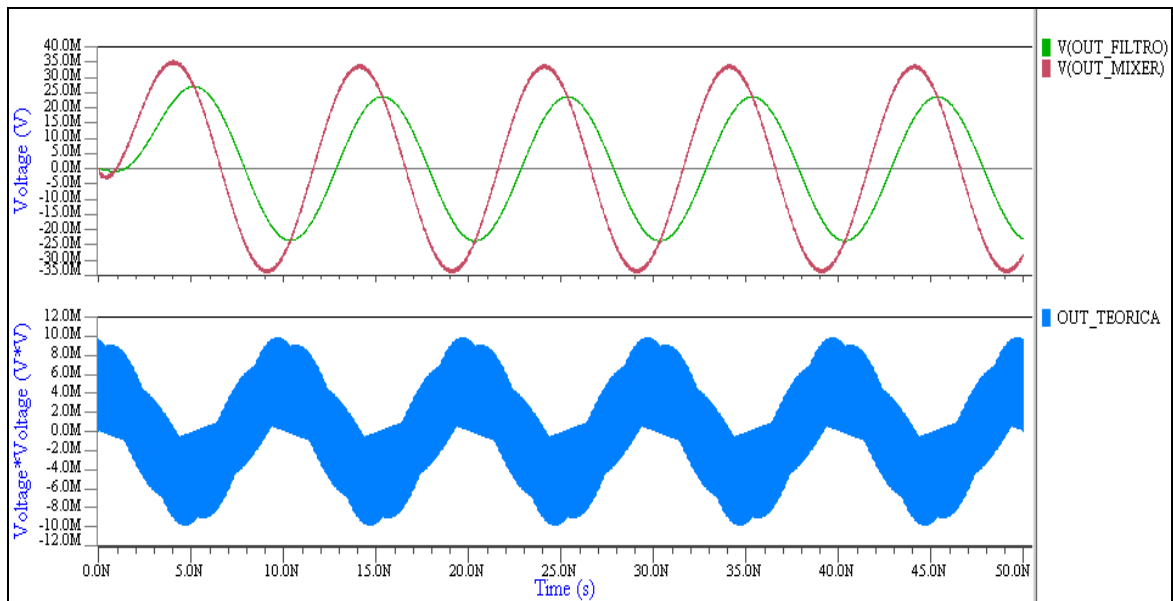


Figura 4. 14 Salidas obtenidas con carga a la salida a frecuencias altas.

Prueba 4-Configuración de las entradas para una conversión a muy baja frecuencia con carga a la salida.

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 4.8.

Tabla 4. 8 Configuración de las entradas y resultados obtenidos con carga a la salida para una conversión a muy baja frecuencia.

ENTRADAS			
Parámetro	LO (oscilador)	RF (radiofrecuencia)	
Frecuencia (GHz)	10.0	9.999	
Amplitud pico (mV)	100.0	100.0	
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (MHz)	1.00	1.00	1.00
Amplitud pico (mV)	10.0	42.82	42.33

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 4.15 tanto para la salida original del mezclador, como la salida luego de ser filtrada.

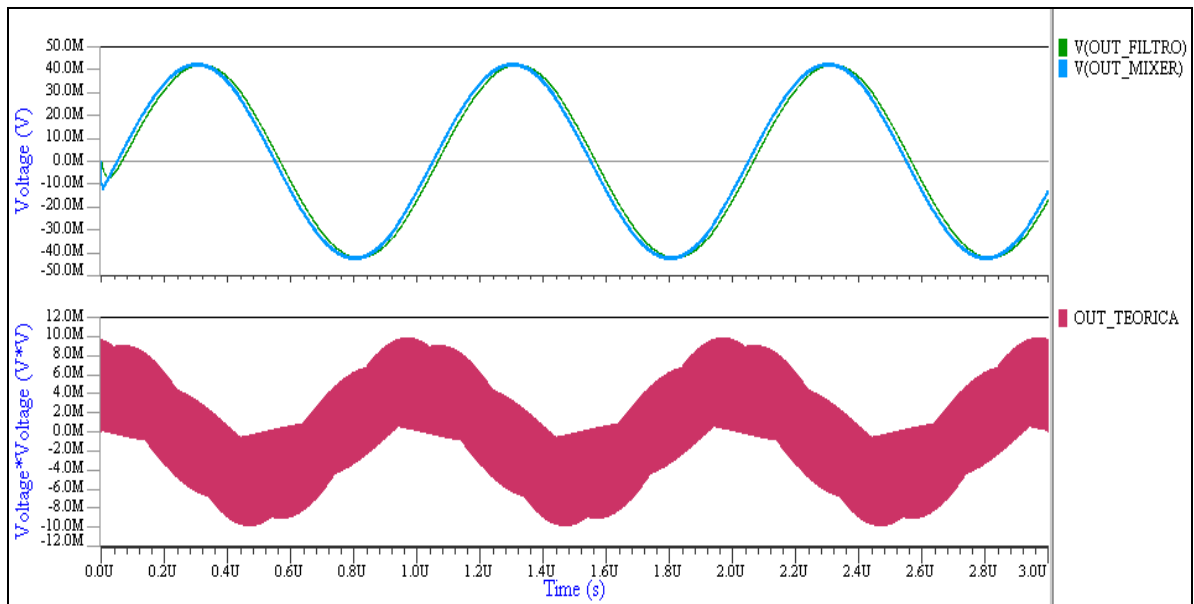


Figura 4. 15 Salidas obtenidas con carga a la salida para una conversión a muy baja frecuencia.

Comparación entre las pruebas con carga y sin carga.

De las pruebas anteriores es notable que la amplitud se atenúa con respecto a las pruebas sin carga ya que el mezclador a su salida empieza a ver otro camino por donde redireccionar el voltaje y la energía debido a las capacitancias que antes no existían en las pruebas sin carga.

También se puede marcar el hecho que el efecto de la carga se empieza a hacer más notables a frecuencias más altas porque las capacitancias parásitas del mezclador que se conecta como carga, se empiezan a hacer más grandes por lo que hacen que la señal de salida se vea más atenuada en amplitud por tener otro camino por donde llevar la tensión, y por tanto por donde fluir la corriente.

4.5 Simulación en las esquinas del proceso

Para finalizar la caracterización del mezclador en su vista de esquemático, se procedió a simular en diferentes esquinas del proceso, más específicamente en TT, SS, FF, SF, FS que significan transistores con modelos típicos, transistores NMOS y PMOS lentos, transistores NMOS y PMOS rápidos, transistores NMOS lentos y PMOS rápidos, y transistores NMOS rápidos y PMOS lentos respectivamente. Se realizaron dos pruebas en esta sección las cuales se muestran a continuación con la configuración utilizada.

Prueba 1-Configuración de las entradas a frecuencia baja-media para diferentes esquinas del proceso

Para realizar esta prueba se realizó la siguiente configuración de las entradas.

Tabla 4. 9 Configuración de las entradas en diferentes esquinas a frecuencia baja-media.

Parámetro	LO (oscilador)	RF (radiofrecuencia)
Frecuencia (GHz)	2.5	3.0
Amplitud pico (mV)	50.0	50.0

A partir de la configuración anterior se obtuvieron las siguientes salidas para las esquinas del proceso mostradas en la Figura 4.16.

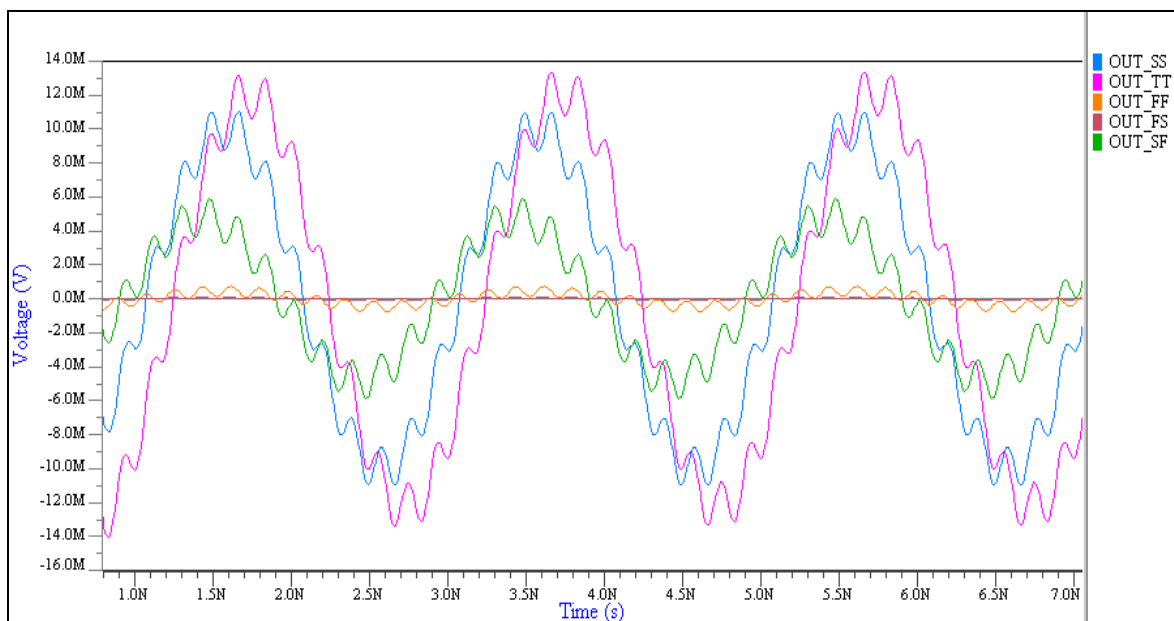


Figura 4. 16 Salidas obtenidas en diferentes esquinas a frecuencia baja-media.

Prueba 2-Configuración de las entradas a frecuencia media-alta para diferentes esquinas del proceso

Para realizar esta prueba se realizó la siguiente configuración de las entradas.

Tabla 4. 10 Configuración de las entradas en diferentes esquinas a frecuencia media-alta.

Parámetro	LO (oscilador)	RF (radiofrecuencia)
Frecuencia (GHz)	7.0	7.5
Amplitud pico (mV)	100.0	100.0

A partir de la configuración anterior se obtuvieron las siguientes salidas para las esquinas del proceso mostradas en la Figura 4.17.

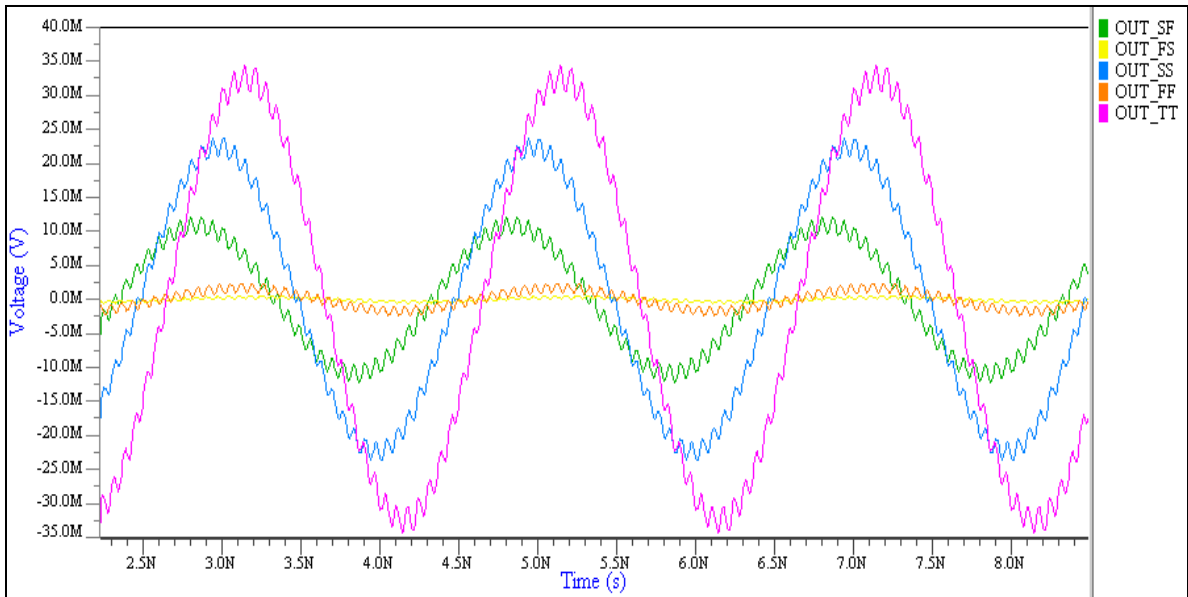


Figura 4. 17 Salidas obtenidas en diferentes esquinas a frecuencia media-alta.

Comportamiento del diseño en las esquinas del proceso

De las Figuras 4.17 y 4.18 se puede notar que el diseño se comporta mejor en amplitud y por lo tanto en ganancia para el modelo típico (TT), y el modelo donde NMOS y PMOS son lentos también tiene una amplitud considerable. Pero como es de esperar, si los NMOS se cambian por su modelo rápido (FF ó FS), la ganancia del circuito se ve reducida, incluso se observa la atenuación de la señal debido a que la etapa principal de ganancia del circuito se encuentra con transistores NMOS. Sin embargo, es importante aclarar que si se volviera a sintonizar las tensiones de alimentación podríamos lograr que el mejor comportamiento se alcance para cada uno de los modelos a los que se simuló por lo que el comportamiento de las esquinas no debe ser algo de mucha preocupación. A las frecuencias de operación y considerando las variaciones del proceso, es de esperar que una implementación física deba ser sintonizada a partir de la definición de las corrientes y tensiones de polarización.

Capítulo 5: Trazado físico (layout) y simulación post-trazado (post-layout)

En este capítulo se explica el diseño físico desarrollado para el circuito mezclador así como las verificaciones y cumplimiento de las reglas del proceso (DRC, LVS y PEX) con el objetivo de el diseño hasta el nivel de simulación postlayout.

5.1 Layout desarrollado

Como se ha mencionado anteriormente, el diseño físico desarrollado para el mezclador fue realizado en un proceso de 130 nm. Con el software de diseño y la herramienta Calibre se pudieron comprobar las reglas de diseño (DRC), semejanza entre esquemático y layout (LVS) y la extracción, incluyendo elementos parásitos RC. Aunque cumplir estas verificaciones nos indican que nuestro diseño es implementable, no indica si las especificaciones se mantienen con respecto a los resultados a nivel de esquemático. Por esto es importante trabajar el diseño a nivel de la implementación física a fabricar, utilizando técnicas apropiadas de acomodo para minimizar efectos indeseados como inducción de tensiones, retrasos en las señales, discordancias de amplitudes, variación de la frecuencia, aumento de ruido, inducción de capacitancias, entre otras. Las técnicas relevantes utilizadas para el desarrollo del layout se explican a continuación. (Rimolo R, 2016)

5.1.1 Utilización de simetría en el layout

Explotar la simetría para la construcción del diseño físico se vuelve un buen aliado para reducir el tamaño del área total del chip a fabricar, al mismo tiempo ayuda a la utilización de metales y cables en menor cantidad lo que reduce la resistencia total del circuito, y al utilizar metales de un nivel más bajo disminuye la inducción de capacitancias entre diferentes niveles de metales. (Gurukartheek P, 2014)

El uso de la simetría se debe aplicar también para el ambiente que va a rodear al bloque desarrollado, en este caso el mezclador, ya que si de algún lado se posicionan elementos que no se encuentran en su lado opuesto, se pueden inducir parásitos que afectan y cambian el comportamiento y la respuesta esperada debido a la imperfección del proceso de fabricación.

Finalmente la utilización de simetría se vuelve un punto a favor para el aislamiento entre los puertos de entrada ya que su colocación se realiza manteniendo una distancia considerable entre ellos. (Razavi B, 2001)

5.1.2 Utilización de "fingers" en el layout

La implementación de los transistores se realizó utilizando uno de los parámetros conocido como "número de fingers". La función que cumple este parámetro es la de particionar los transistores de modo que el ancho total del transistor dividido en "fingers" de tamaños iguales. Esto ayuda a que el área de conexión entre el drenador y el surtidor se vea disminuida y al mismo tiempo la resistencia en la compuerta del transistor también se vea reducida de manera importante, a pesar de que aumenta moderadamente las capacitancias parásitas.

A los diseñadores se les recomienda que a la hora de utilizar "fingers" cumplan la siguiente condición para garantizar un efecto positivo al diseño: (Razavi B, 2001)

$$R_F < \frac{1}{g_{m_F}} \quad (5.1)$$

Lo que nos dice la ecuación anterior es que se busca que la resistencia aportada por el "finger" sea menor al inverso de la transconductancia de ese mismo finger. Sin embargo es importante saber que tampoco nos podemos ir al extremo de utilizar una gran cantidad de fingers en paralelo porque se pueden aumentar las capacitancias entre el drenador y el surtidor. (Gurukartheek P, 2014)

La tabla a continuación muestra los anchos de cada finger utilizado para los transistores y el ancho total, se utilizó un número de fingers diferente para los transistores tratando de buscar que el ancho de cada finger no fuera superior a los 4µm.

Tabla 5. 1 Tamaños de los transistores con el ancho respectivo de los fingers.

Transistores	W (µm)	Fingers
M ₁₋₂	3.25	3
M ₃₋₆	3.17	3
M ₇₋₈	3.25	3
M ₉₋₁₀	2.90	3
M _{C1-2}	2.00	1
M _{tail}	3.03	5

5.1.3 Utilización de transistores RF

Se utilizaron transistores del tipo RF como se mencionó en secciones anteriores, con el fin de utilizar transistores que se adaptaran de una mejor manera a la aplicación del proyecto, ya que cuando se construyó el trazado físico estos transistores presentaban una gran cantidad de contactos a sustrato con el fin de fortalecer la conexión de los transistores al sustrato y disminuir la resistencia que se podría generar entre los transistores y el sustrato para que con esto las pérdidas fueran mucho menores.

5.2 Construcción del layout

La construcción del layout realizado se muestra a continuación.

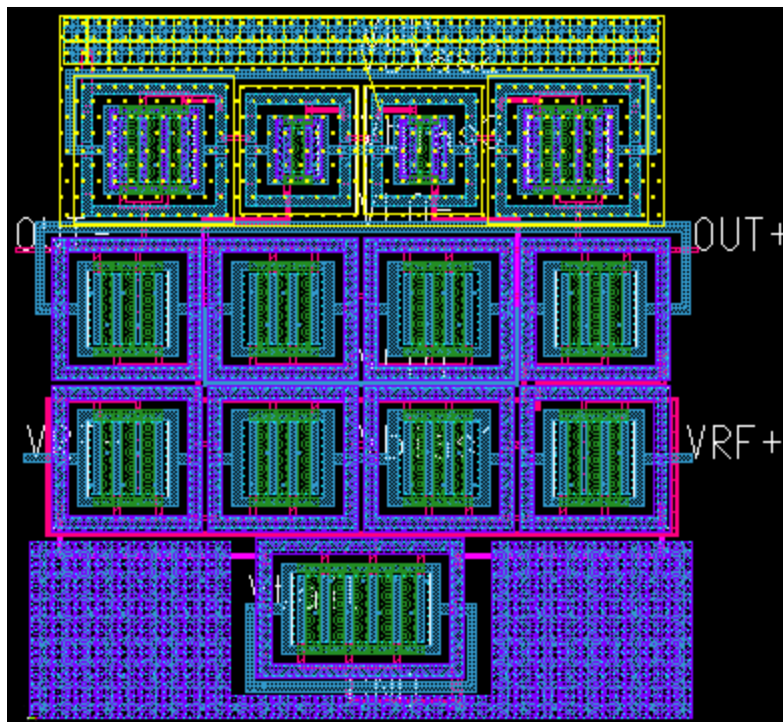


Figura 5. 1 Layout realizado para el mezclador de Gilbert.

Teniendo el layout completo se procedió a realizar las diferentes pruebas para su comprobación y aprobación del diseño físico. Es importante señalar que para el DRC están permitidos ciertos errores por los que ellos se ignoraron debido a que no aplicaban para el diseño de este trabajo. Las comprobaciones se muestran en los Apéndices A.8, A.9 y A.10.

Es importante destacar que el área total que abarca la Celda de Gilbert diseñada es de $30.5\mu\text{m} \times 32.1\mu\text{m}$, es decir de $979.05\mu\text{m}^2$.

5.3 Simulaciones post-layout del mezclador de Gilbert

Se diseñó el siguiente esquemático para la simulación postlayout.

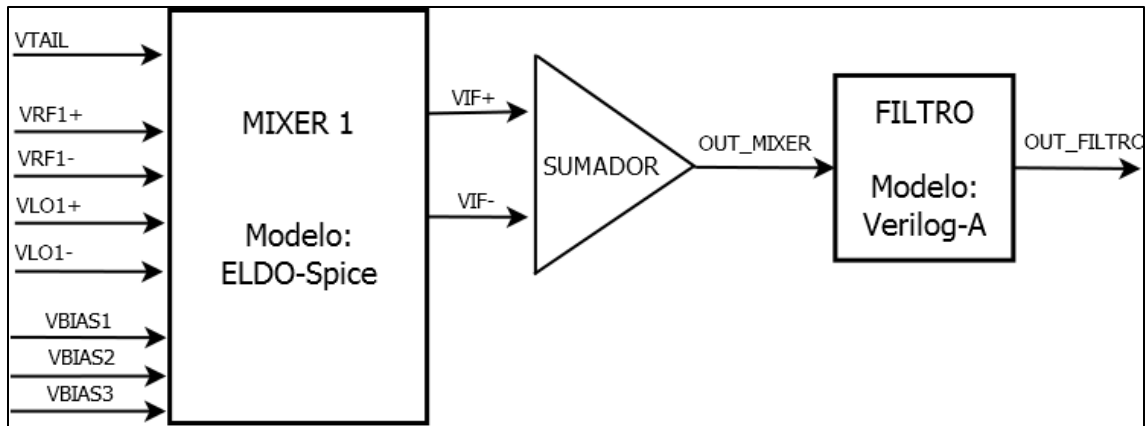


Figura 5.2 Diagrama de bloques implementado para las simulaciones postlayout.

De la Figura 5.2 se observa que el bloque del mezclador está con su modelo de EldoSpice el cual posee todos los elementos parasíticos asociados al trazado físico realizado, y se mantuvo el filtro a la salida para nuevamente observar la verdadera salida a baja frecuencia del mezclador.

Seguidamente se realizaron las mismas pruebas que se hicieron para el modelo esquemático en el Capítulo 4, con la salvedad que la tensión de polarización Vbias3 se cambió a 0.78V y el modo común de la señal LO se bajó a 0.70V para lograr un comportamiento semejante a las pruebas pre-layout.

Prueba 1 postlayout- Configuración en frecuencias bajas de entrada sin carga

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 5.2.

Tabla 5.2 Configuración de las entradas y resultados postlayout obtenidos sin carga a la salida a frecuencias bajas.

ENTRADAS			
Parámetro	LO (oscilador)	RF (radiofrecuencia)	
Frecuencia (GHz)	2.0	1.0	
Amplitud pico (mV)	50.0	50.0	
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (GHz)	1.0	1.00	1.01
Amplitud pico (mV)	2.5	11.29 y -9.12	6.87 y -4.27

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 5.3 tanto para la salida original del mezclador, como la salida luego de ser filtrada y la salida teórica de la multiplicación de las señales. También se obtuvo la Transformada de Fourier para la señal de salida del mezclador como se muestra en la Figura 5.4.

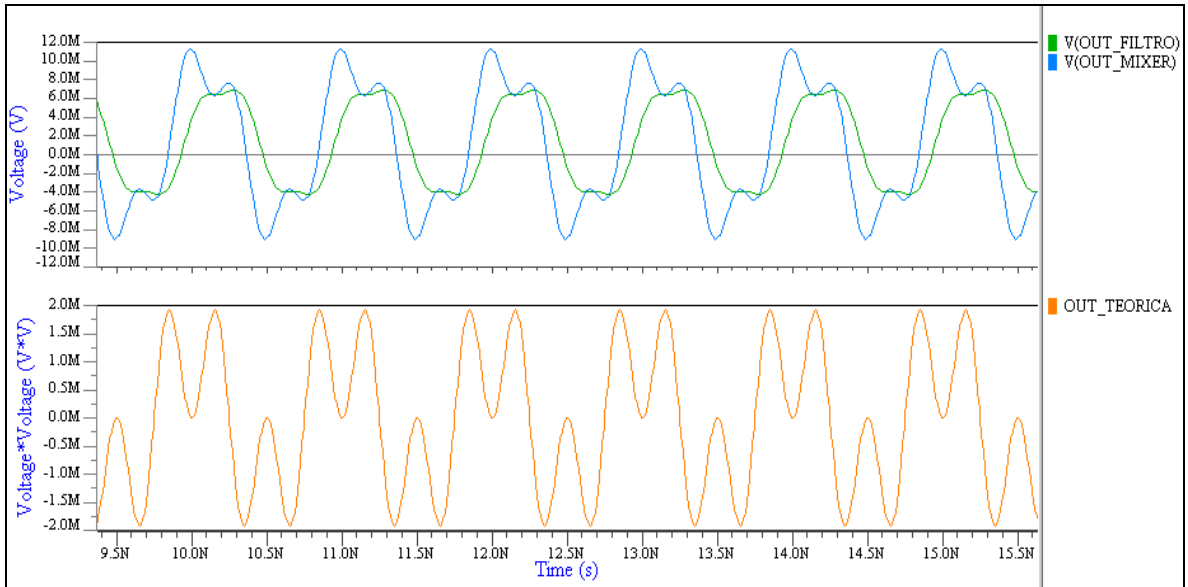


Figura 5.3 Salidas obtenidas para la simulación postlayout a frecuencias bajas.

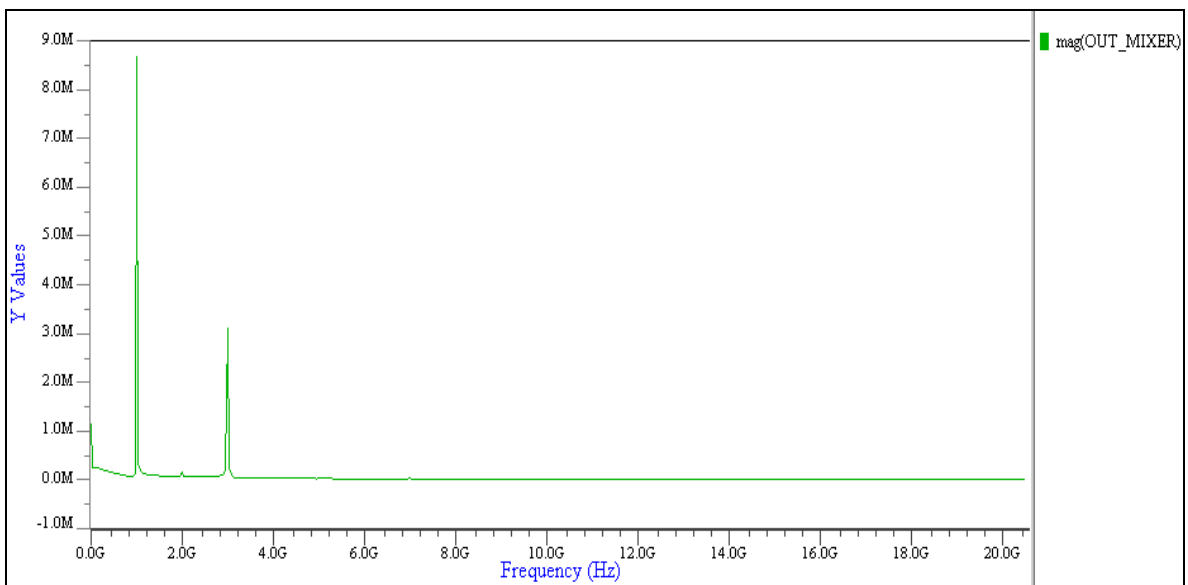


Figura 5.4 Transformada de Fourier aplicada a las señales de salida para la simulación postlayout a frecuencias bajas.

Prueba 2 postlayout- Configuración de las entradas a frecuencia media sin carga

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 5.3.

Tabla 5. 3 Configuración de las entradas y resultados postlayout obtenidos sin carga a la salida a frecuencias intermedias.

ENTRADAS			
Parámetro	LO (oscilador)	RF (radiofrecuencia)	
Frecuencia (GHz)	5.0	4.5	
Amplitud pico (mV)	100.0	50.0	
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (MHz)	500	501	500
Amplitud pico (mV)	5.0	31.77 y -29.40	21.58 y -18.86

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 5.5 tanto para la salida original del mezclador, como la salida luego de ser filtrada y la salida teórica de la multiplicación de las señales. También se obtuvo la Transformada de Fourier para la señal de salida del mezclador como se muestra en la Figura 5.6.

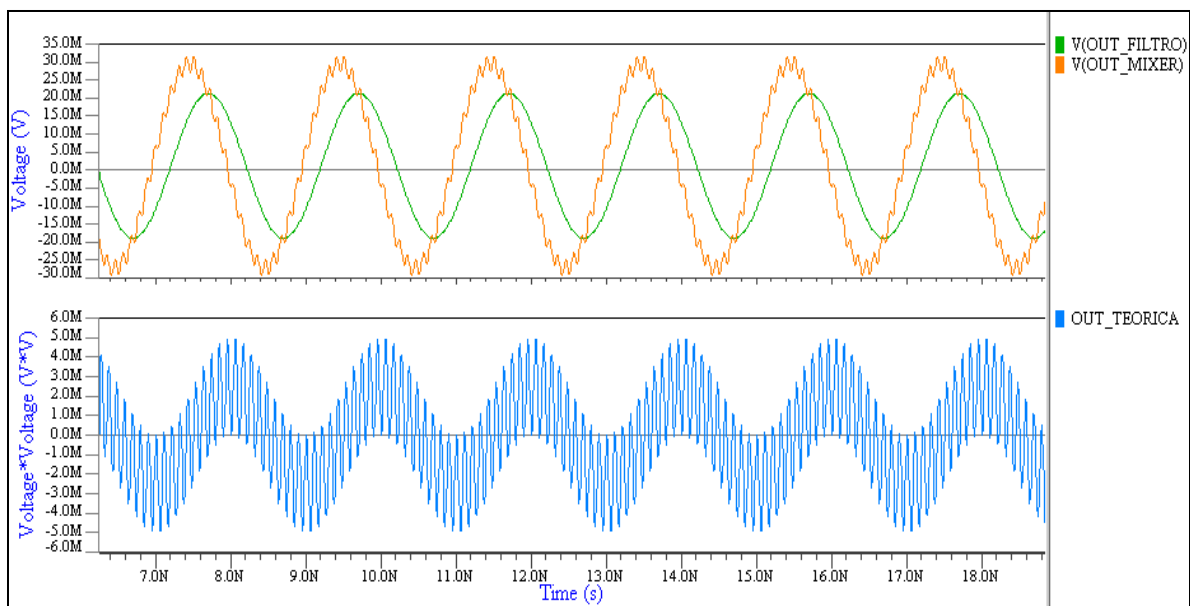


Figura 5. 5 Salidas obtenidas para la simulación postlayout a frecuencias intermedias.

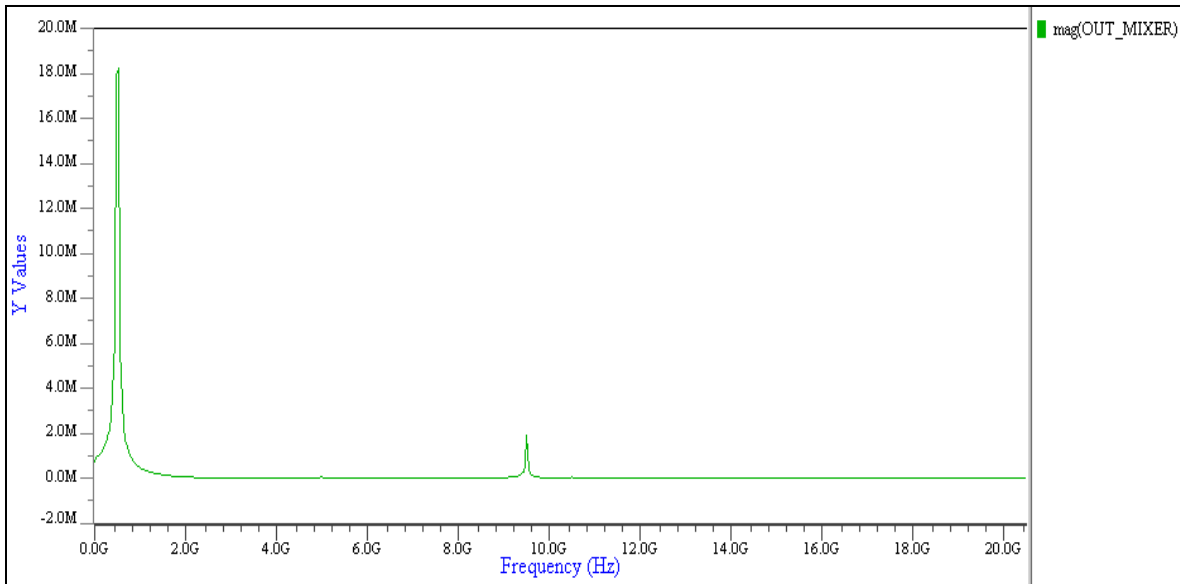


Figura 5.6 Transformada de Fourier aplicada a las señales de salida para la simulación postlayout a frecuencias intermedias.

Prueba 3 postlayout-Configuración de las entradas a frecuencias altas sin carga

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 5.4.

Tabla 5.4 Configuración de las entradas y resultados postlayout obtenidos sin carga a la salida a frecuencias altas.

ENTRADAS			
Parámetro	LO (oscilador)		RF (radiofrecuencia)
Frecuencia (GHz)	10.0		9.9
Amplitud pico (mV)	100.0		100.0
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (MHz)	100	100	100
Amplitud pico (mV)	10.0	56.36 y -54.05	39.21 y -36.86

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 5.7 tanto para la salida original del mezclador, como la salida luego de ser filtrada y la salida teórica de la multiplicación de las señales. También se obtuvo la Transformada de Fourier para la señal de salida del mezclador como se muestra en la Figura 5.8.

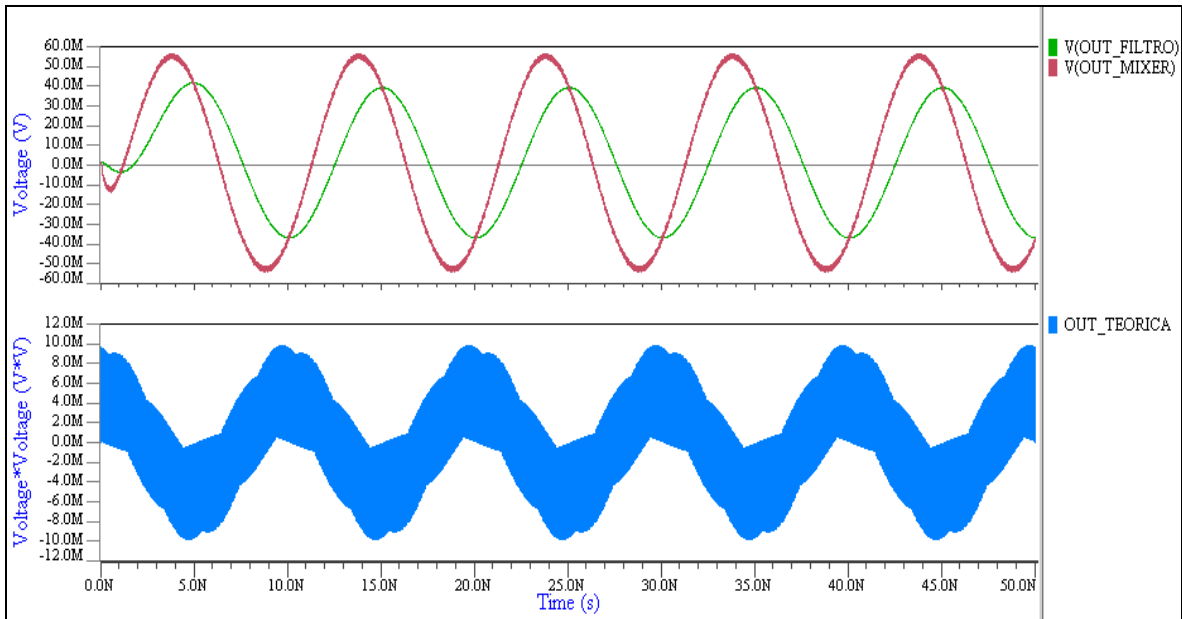


Figura 5.7 Salidas obtenidas para la simulación postlayout a frecuencias altas.

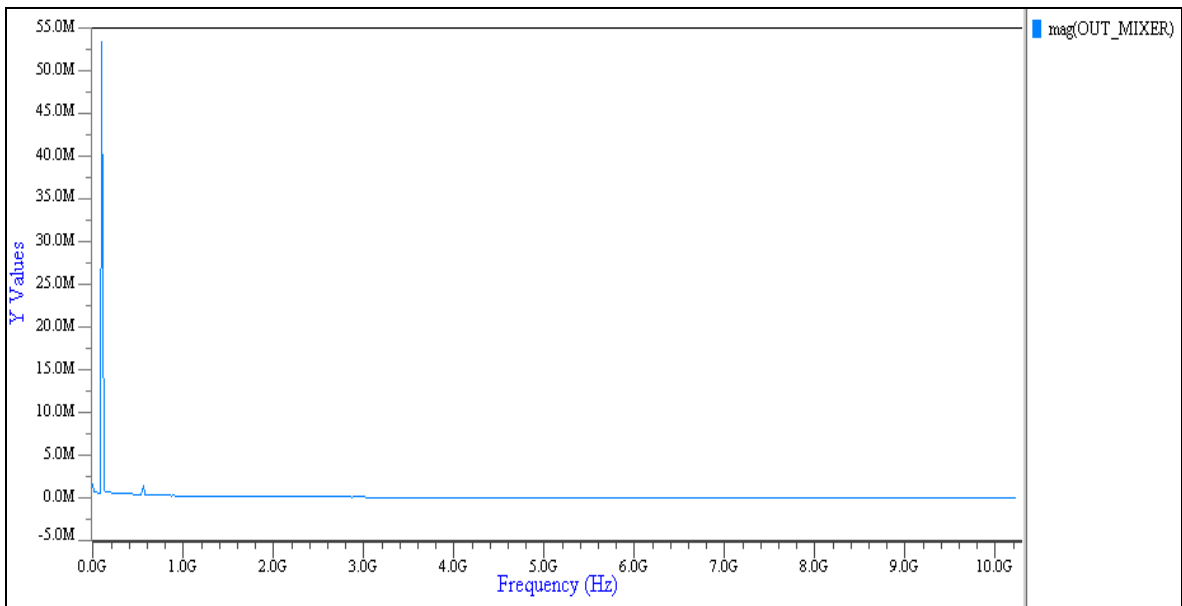


Figura 5.8 Transformada de Fourier aplicada a las señales de salida para la simulación postlayout a frecuencias altas.

Prueba 4 postlayout-Configuración de las entradas para una conversión a muy baja frecuencia sin carga.

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 5.5.

Tabla 5. 5 Configuración de las entradas y resultados postlayout obtenidos sin carga a la salida con una conversión a muy baja frecuencia.

ENTRADAS			
Parámetro	LO (oscilador)	RF (radiofrecuencia)	
Frecuencia (GHz)	10.0	9.999	
Amplitud pico (mV)	100.0	100.0	
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (MHz)	1.00	1.00	1.00
Amplitud pico (mV)	10.0	57.83 y -55.50	56.28 y -53.80

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 5.9 tanto para la salida original del mezclador, como la salida luego de ser filtrada y la salida teórica de la multiplicación de las señales. También se obtuvo la Transformada de Fourier para la señal de salida del mezclador como se muestra en la Figura 5.10.

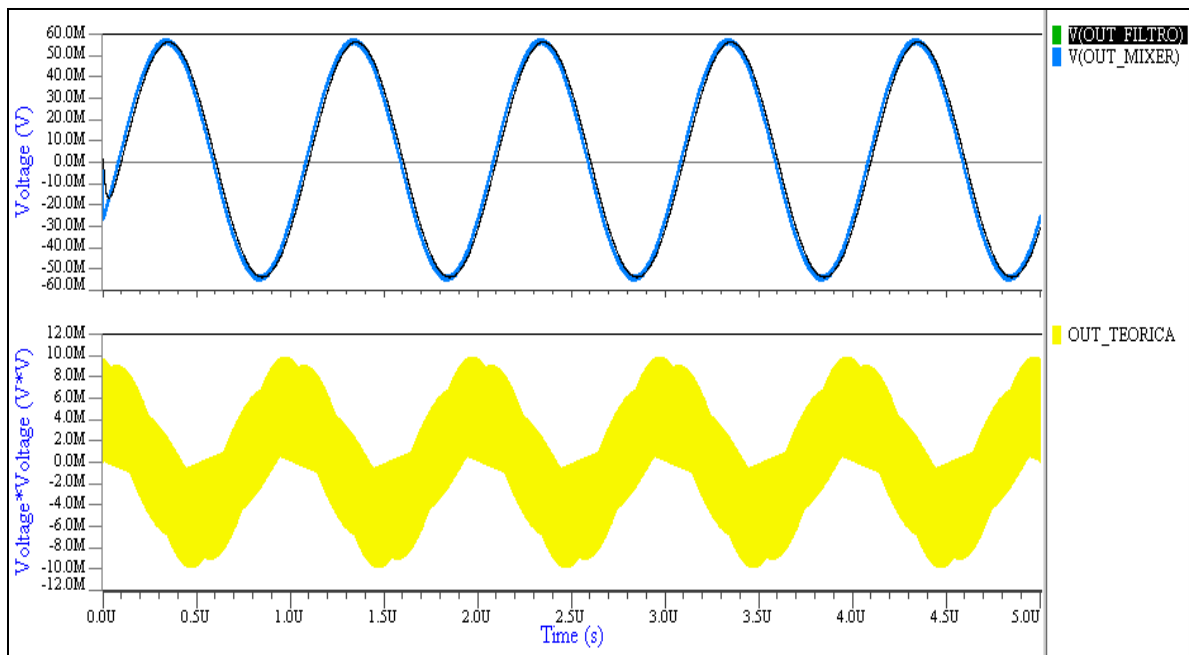


Figura 5. 9 Salidas obtenidas para la simulación postlayout con una conversión a muy baja frecuencia.

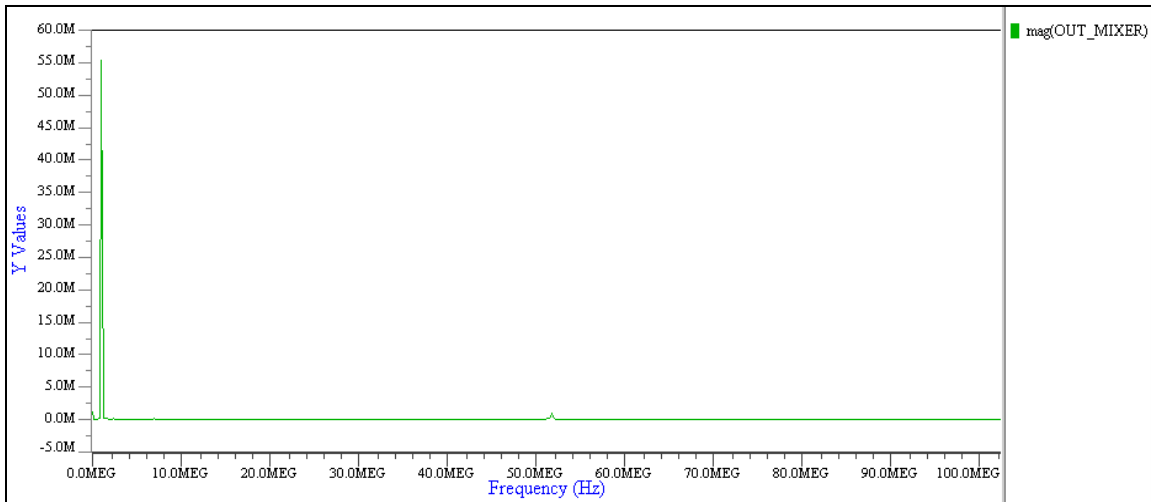


Figura 5. 10 Transformada de Fourier aplicada a las señales de salida para la simulación postlayout con una conversión a muy baja frecuencia.

Ancho de banda medido para el mezclador de Gilbert en simulación postlayout

Para hacer la caracterización del ancho de banda (rango de frecuencias de trabajo) en el cual la celda de Gilbert diseñada puede funcionar se establecieron dos barridos al igual que para la simulación del modelo esquemático:

- Un barrido donde la frecuencia de salida (IF) variara entre 0.1 hasta 1 GHz.
- Un barrido donde la frecuencia de entrada (RF) y la frecuencia del oscilador (LO) variara entre 1 hasta 10 GHz con una amplitud de 50 mV.

Estos barridos se muestran en la Figura 5.11.

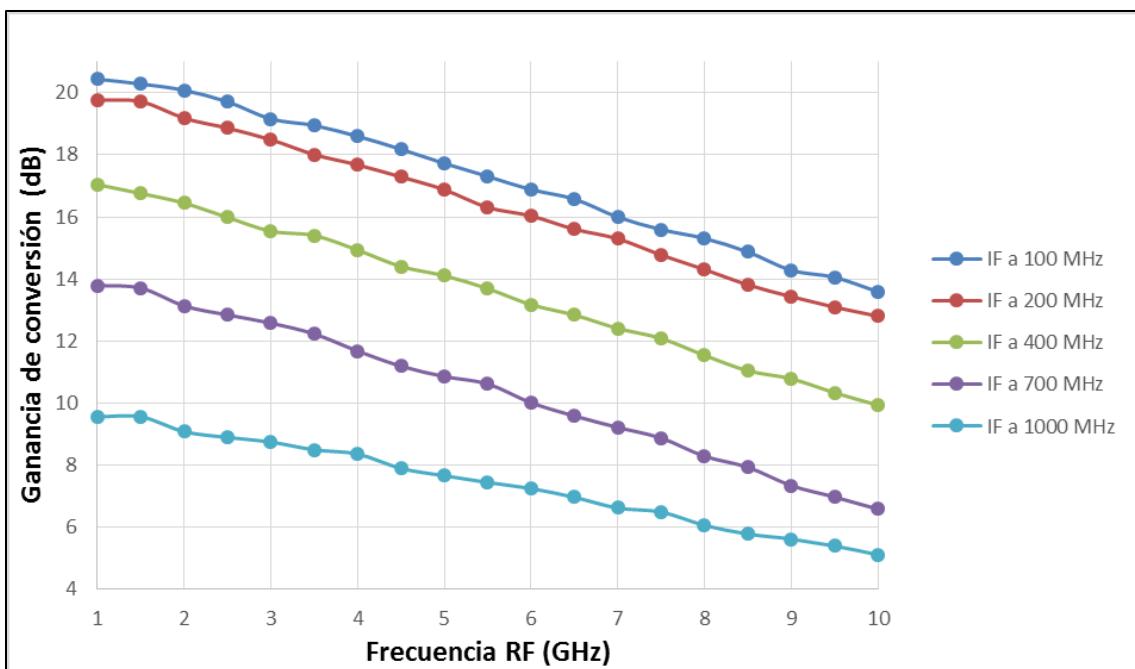


Figura 5. 11 Ganancia de conversión medida versus la frecuencia de la señal RF para el trazado físico.

Como se observa de la Figura 5.11, la variación de la ganancia de conversión que se da entre la frecuencia de salidas IF es de 12.5 ± 8 dB.

Mientras tanto al variar la frecuencia de RF entre una gama de 1-10 GHz se observa la variación de aproximadamente 16.5 dB.

Análisis general de las pruebas postlayout.

Con las simulaciones postlayout se obtuvieron resultados similares a los que se obtuvieron con las simulaciones en esquemático, con las excepciones de que se obtuvo una mayor amplificación con el trazado físico y al mismo tiempo se tuvo un problema con la tensión de modo común a la salida ya que tuvo un offset positivo de aproximadamente 1.3mV alrededor de todas las frecuencias del rango de frecuencias de trabajo del mezclador (1-10 GHz de la señal RF).

Aun así, de las simulaciones se pudo probar que el mezclador seguía realizando su función de conversión a baja frecuencia que se recalaba con la señal filtrada. Es importante mencionar que con el uso de transistores RF se vio beneficiado el diseño del layout porque se tenía un anillo que evitaba lo mayor posible, la inserción e inducción de tensiones ruidosas al transistor. Al mismo tiempo al aumentar la frecuencia se empieza a notar más el desfase de la señal del mezclador con respecto a la teórica debido a las capacitancias parásitas, y se trató de tener el mezclador con un VCM a la salida alrededor de 0.6V para mantener el rango dinámico.

Finalmente para el mezclador se midió un consumo de potencia de aproximadamente $240\mu\text{W}$ para la tensión de alimentación de 1.2V con una corriente de $200\mu\text{A}$.

5.4 Simulación post-layout con carga a la salida

Tomando en consideración que el mezclador funciona como bloque de un sistema más grande, se decidió cargarlo para caracterizar su comportamiento. Para esto se cargó con otro mezclador a la salida (debido a que en el sistema de impedancia se tienen mezclador en cascada) y se volvieron a realizar las mismas simulaciones en transiente que se habían realizado en la Sección 4.1 para observar los cambios. Antes de mostrar las pruebas realizadas, se muestra a continuación el circuito esquemático realizado en esta sección.

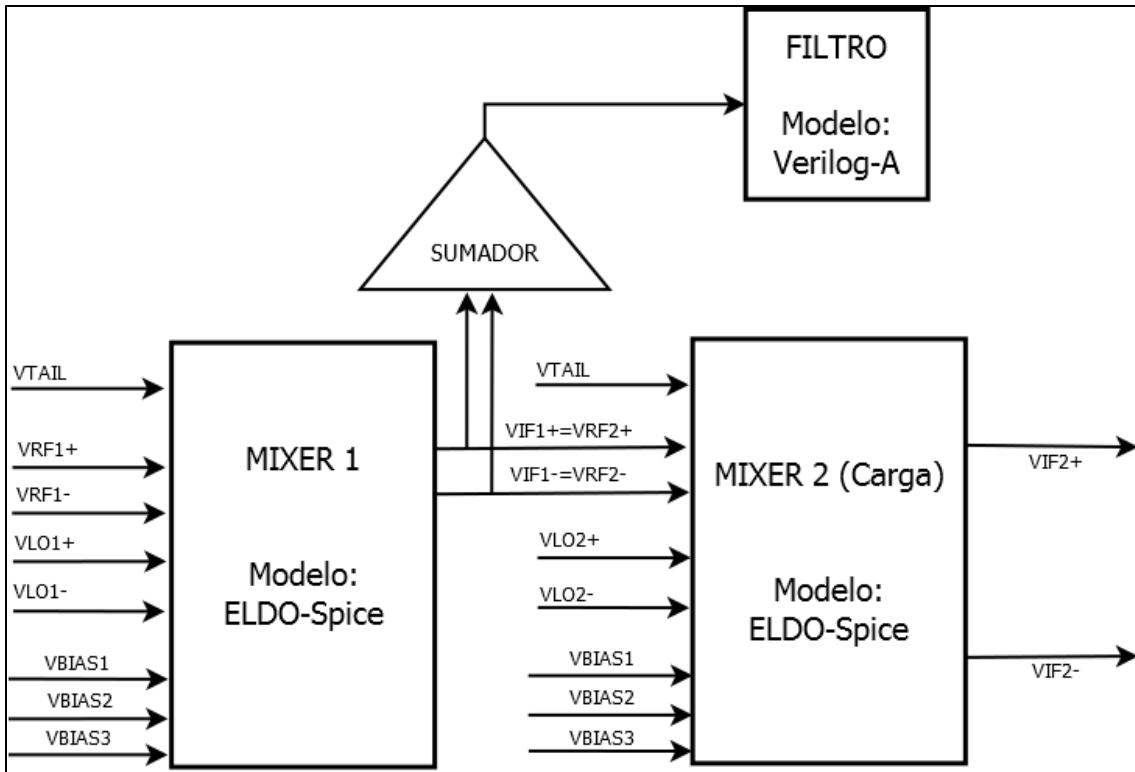


Figura 5. 12 Diagrama de bloques para la simulación transiente postlayout con un mezclador como carga a la salida.

Prueba 1 postlayout- Configuración en frecuencias bajas de entrada con carga a la salida

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 5.6.

Tabla 5. 6 Configuración de las entradas y resultados postlayout obtenidos con carga a la salida a frecuencias bajas.

ENTRADAS			
Parámetro	LO (oscilador)		RF (radiofrecuencia)
Frecuencia (GHz)	2.0		1.0
Amplitud pico (mV)	50.0		50.0
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (GHz)	1.0	1.00	1.00
Amplitud pico (mV)	2.5	4.58 y - 2.11	3.51 y - 0.91

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 5.13 tanto para la salida original del mezclador, como la salida luego de ser filtrada y la salida teórica de la multiplicación de las señales.

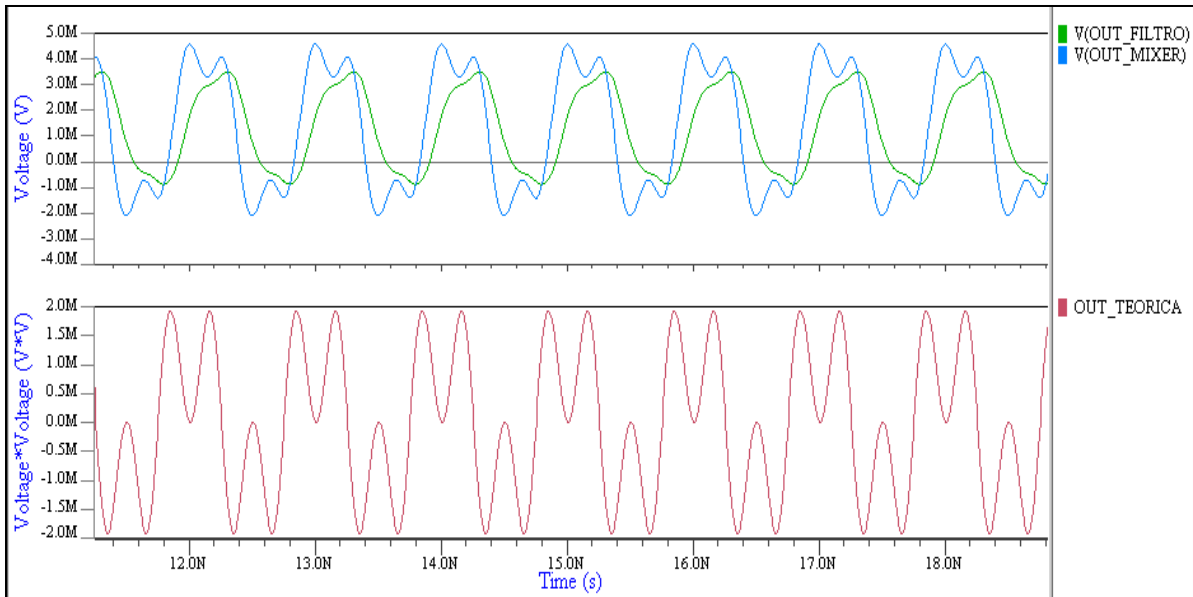


Figura 5. 13 Salidas obtenidas para la simulación postlayout con carga a la salida a frecuencias bajas.

Prueba 2 postlayout- Configuración de las entradas a frecuencia media con carga a la salida

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 5.7.

Tabla 5. 7 Configuración de las entradas y resultados postlayout obtenidos con carga a la salida a frecuencias intermedias.

ENTRADAS			
Parámetro	LO (oscilador)		RF (radiofrecuencia)
Frecuencia (GHz)	5.0		4.5
Amplitud pico (mV)	100.0		50.0
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (MHz)	500	500	500
Amplitud pico (mV)	5.0	13.69 y -11.15	9.49 y -7.02

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 5.14 tanto para la salida original del mezclador, como la salida luego de ser filtrada la salida teórica de la multiplicación de las señales.

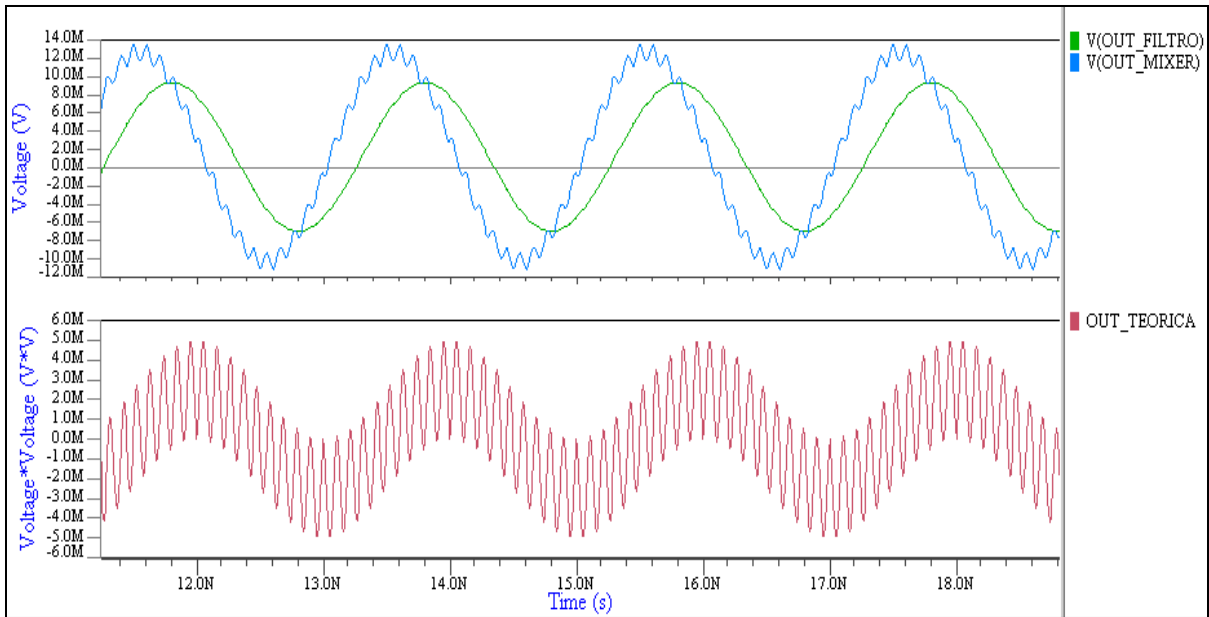


Figura 5. 14 Salidas obtenidas para la simulación postlayout con carga a la salida a frecuencias intermedias.

Prueba 3 postlayout- Configuración de las entradas a frecuencias altas con carga a la salida

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 5.8.

Tabla 5. 8 Configuración de las entradas y resultados postlayout obtenidos con carga a la salida a frecuencias altas.

ENTRADAS			
Parámetro	LO (oscilador)		RF (radiofrecuencia)
Frecuencia (GHz)	10.0		9.9
Amplitud pico (mV)	100.0		100.0
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (MHz)	100	100.04	100.48
Amplitud pico (mV)	10.0	45.21 y -42.83	31.82 y -29.36

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 5.15 tanto para la salida original del mezclador, como la salida luego de ser filtrada y la salida teórica de la multiplicación de las señales.

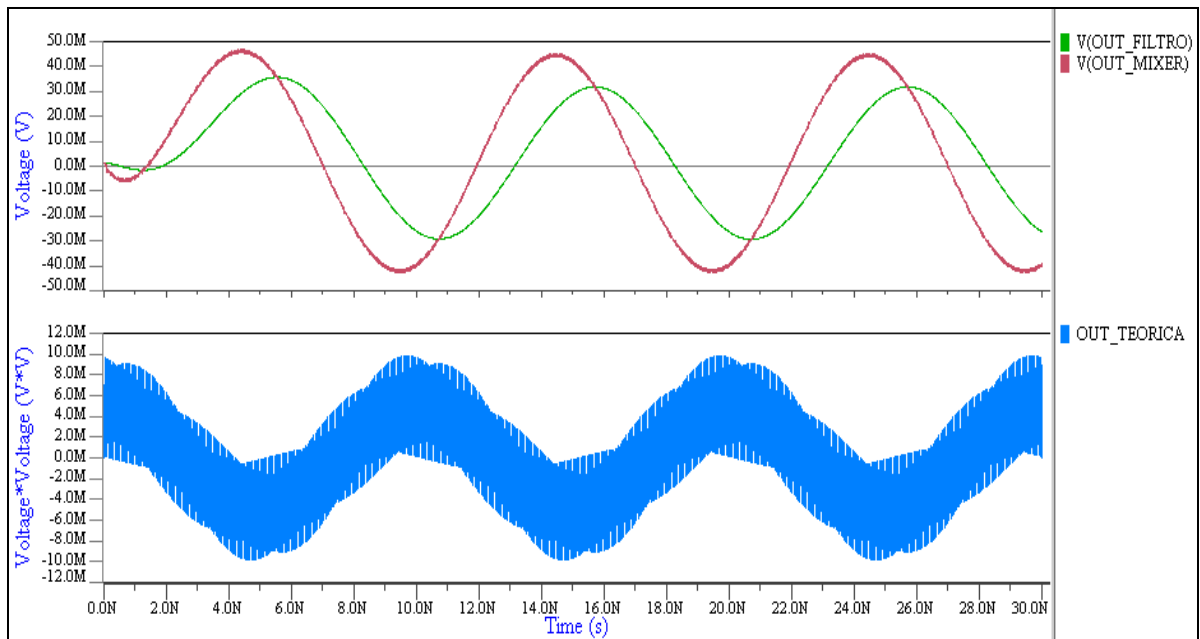


Figura 5. 15 Salidas obtenidas para la simulación postlayout con carga a la salida a frecuencias altas.

Prueba 4 postlayout-Configuración de las entradas para una conversión a muy baja frecuencia con carga a la salida.

Para realizar esta prueba se realizó la siguiente configuración de las entradas y se obtuvieron a su vez los resultados mostrados en la Tabla 5.9.

Tabla 5. 9 Configuración de las entradas y resultados postlayout obtenidos con carga a la salida para una conversión a muy baja frecuencia.

ENTRADAS			
Parámetro	LO (oscilador)	RF (radiofrecuencia)	
Frecuencia (GHz)	10.0	9.999	
Amplitud pico (mV)	100.0	100.0	
SALIDAS			
Parámetro	IF (teórica)	IF (sin filtro)	IF (con filtro)
Frecuencia (MHz)	1.00	1.00	1.00
Amplitud pico (mV)	10.0	56.90 y -54.71	56.28 y -53.69

A partir de la configuración anterior se obtuvieron las siguientes salidas mostradas en la Figura 5.16 tanto para la salida original del mezclador, como la salida luego de ser filtrada.

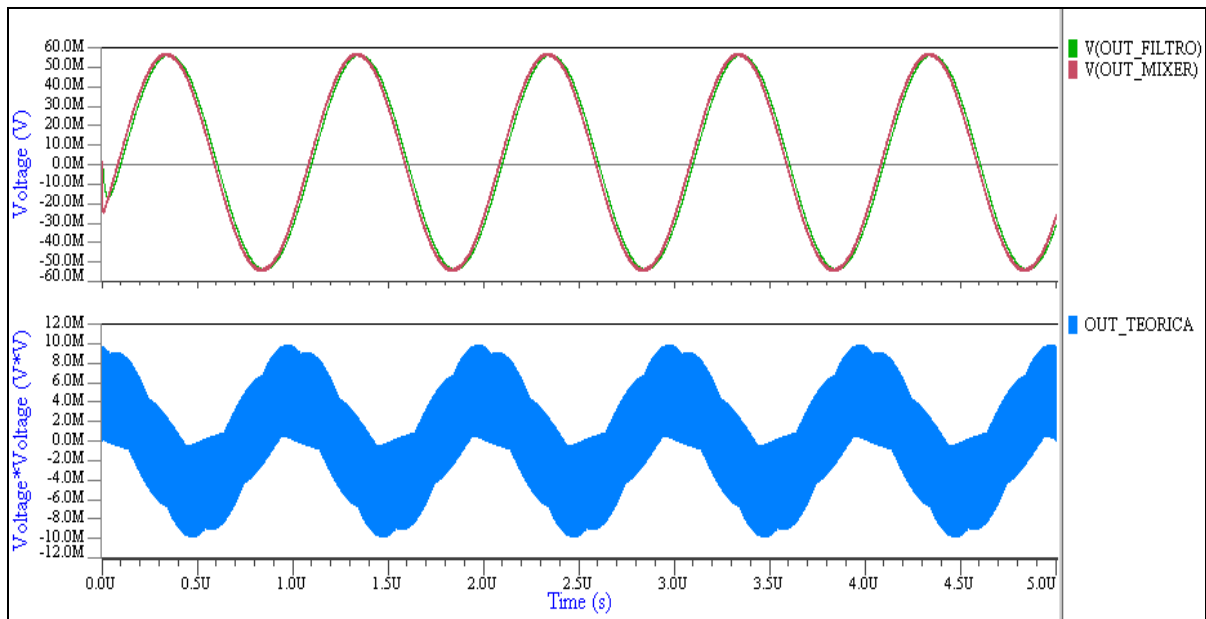


Figura 5. 16 Salidas obtenidas para la simulación postlayout con carga a la salida con una conversión a muy baja frecuencia.

Comparación entre las pruebas postlayout con carga y sin carga a la salida

De la misma manera que pasó con el esquemático, el layout vio atenuada su salida al verse cargado debido a que el mezclador empezó a ver otro camino por donde podía redireccionar el voltaje debido a capacitancias que antes no tenía. Además también se tuvo el offset a la salida del que se habló en la sección anterior sin embargo más atenuado debido nuevamente a la carga puesta.

5.5 Simulación postlayout en las esquinas del proceso

Para finalizar la caracterización del mezclador en su vista de layout, se procedió a simular en diferentes esquinas del proceso como se hizo para el esquemático en las mismas esquinas, más específicamente en TT, SS, FF, SF, FS.

Prueba 1 postlayout-Configuración de las entradas a frecuencia baja-media para diferentes esquinas del proceso

Para realizar esta prueba se realizó la siguiente configuración de las entradas.

Tabla 5. 10 Configuración de las entradas para simulaciones postlayout en diferentes esquinas a frecuencia baja-media.

Parámetro	LO (oscilador)	RF (radiofrecuencia)
Frecuencia (GHz)	2.5	3.0
Amplitud pico (mV)	50.0	50.0

A partir de la configuración anterior se obtuvieron las siguientes salidas para las esquinas del proceso mostradas en la Figura 5.17.

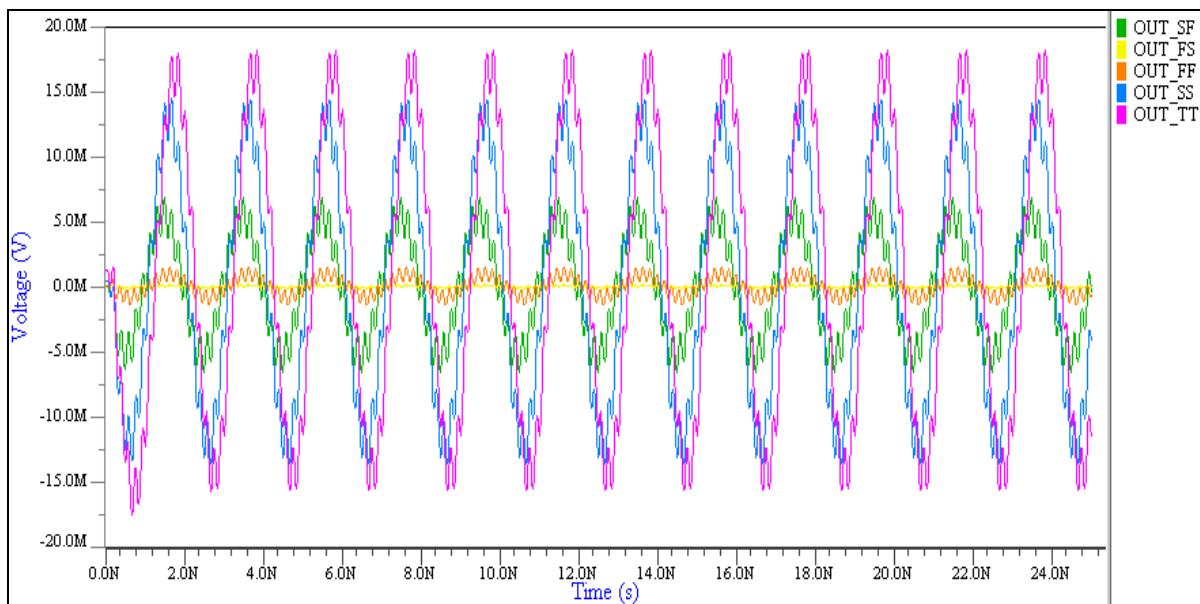


Figura 5. 17 Salidas obtenidas para la simulación postlayout en diferentes esquinas para frecuencia baja-media.

Prueba 2-Configuración de las entradas a frecuencia media-alta para diferentes esquinas del proceso

Para realizar esta prueba se realizó la siguiente configuración de las entradas.

Tabla 5. 11 Configuración de las entradas para simulaciones postlayout en diferentes esquinas a frecuencia media-alta.

Parámetro	LO (oscilador)	RF (radiofrecuencia)
Frecuencia (GHz)	7.0	7.5
Amplitud pico (mV)	100.0	100.0

A partir de la configuración anterior se obtuvieron las siguientes salidas para las esquinas del proceso mostradas en la Figura 5.18.

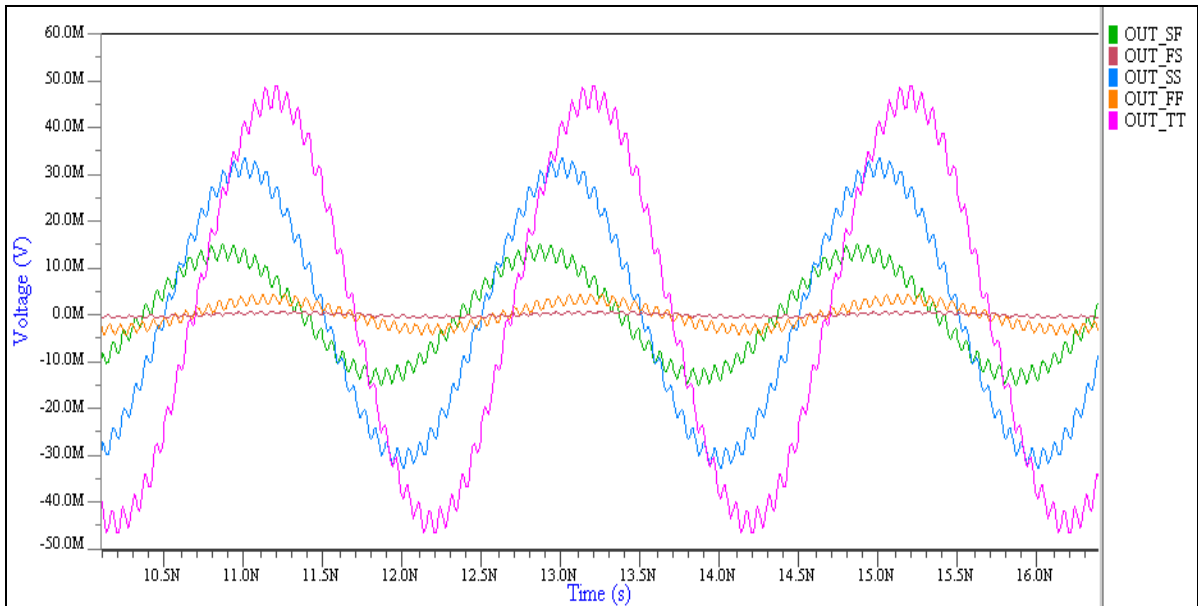


Figura 5. 18 Salidas obtenidas para la simulación postlayout en diferentes esquinas para frecuencia baja-media.

Comportamiento del diseño en las esquinas del proceso

De las Figuras 5.17 y 5.18 se puede notar que el diseño se comporta mejor en amplitud y por lo tanto en ganancia para el modelo típico (TT) como sucedió con las simulaciones en esquemático, también en el modelo donde NMOS y PMOS son lentos también tiene una amplitud considerable. Y como pasó con las simulaciones de esquemático, si los NMOS se cambian por su modelo rápido (FF ó FS), disminuye la ganancia del circuito hasta incluso llegar a atenuarla.

Finalmente si se volviera a sintonizar las tensiones de alimentación podríamos lograr que el mejor comportamiento se alcance para cada uno de los modelos a los que se simuló como también sucedió con las simulaciones con el modelo de esquemático.

Capítulo 6: Conclusiones

En este capítulo se resumen los principales logros del proyecto tanto para el diseño del circuito esquemático como para la implementación del trazado físico realizado para el circuito. Así mismo se brindan algunas recomendaciones para la utilización del mezclador en el sistema de medición de impedancia como algunas posibles mejoras del diseño.

6.1 Conclusiones

Se completó el diseño a nivel de esquemático y trazado físico de un mezclador diferencial basado en la celda de Gilbert, el cual presentó como características principales el manejo de frecuencias de entrada superior a los 7 GHz, conversión a baja frecuencia, aislamiento entre las entradas, tensión de modo común a la salida cercana a la mitad de la tensión de alimentación, diferencias de frecuencia máximas de 1 GHz sin atenuar la señal de salida y un área total de aproximadamente $979.05 \mu\text{m}^2$ para el trazado físico con un consumo de potencia de $240 \mu\text{W}$. Se obtuvo un comportamiento muy similar al esquemático para los barridos realizados y el ancho de banda establecido, sin embargo para lograr esto se tuvo que sintonizar nuevamente una de las tensiones de polarización de la celda como se explicó en el capítulo cinco.

Como se dijo en el marco teórico todas las simulaciones fueron realizadas en la herramienta Pyxis utilizando a ELDO como simulador tipo SPICE, con lo que a partir de estos se caracterizó el comportamiento del circuito.

Se confirmó que para la celda de Gilbert se alcanza un ancho de banda en la señal de entrada RF de 1 a 10 GHz, y para la salida IF se tiene un rango de frecuencias de trabajo de 0.1 GHz a 1 GHz donde la máxima diferencia entre la mínima frecuencia de entrada RF y la máxima frecuencia de entrada RF fue de 16.5 dB. Este comportamiento fue el esperado puesto que la celda de Gilbert estaba diseñada de manera que el circuito rescatara la conversión de baja frecuencia del espectro. Lo que es más notable y considerable es la diferencia en decibeles entre la mínima diferencia de la señal de salida IF (0.1GHz) y la máxima diferencia de la señal de salida IF (1GHz) fue de 12.5 ± 8 dB. Otro aspecto de importancia a rescatar es que el mezclador logra obtener a su salida una tensión de modo común alrededor de 0.6 V lo cual se vuelve deseable para tener un manejo amplio de rango dinámico, y que al mismo tiempo permite manejar a otro mezclador como carga lo cual se aproxima a un caso posible de implementación. Si se requiriera modificar esta tensión de modo común a la salida, se podría realizar por medio de una sintonización diferente de las tensiones de polarización de todos los transistores

que ocupan, esto hace que el diseño se pueda adecuar en caso de que ocupe manejar mayor carga o que solamente se quiera aumentar o disminuir la tensión de modo común de IF. Las señales de salida IF no tienen los mismos mínimos y máximos a su salida por lo que por esta razón se tuvo un offset positivo de la señal diferencial aproximado a 1.3mV para el rango de frecuencias en el que se trabaja el mezclador.

La caracterización de la Celda de Gilbert es suficiente para cumplir las restricciones del proyecto pero no fue completa ya que no se tenían las herramientas necesarias para analizar el diseño con simulaciones de RF que permitieran conocer otro tipo de características propias de sistemas RF. Sin embargo este proyecto se vuelve una guía importante para aquellos que deseen desarrollar una Celda de Gilbert para un mezclador en una tecnología CMOS de 130 μm donde no deseen utilizar elementos RLC.

Se vuelve de relevancia recordar que el circuito del mezclador pertenece al sistema de medición de impedancia para espectroscopia médica de células por lo que la realización de pruebas para el chip no formó parte de este proyecto puesto que la fabricación se hacía hasta que la mayoría o todos los bloques estuvieran diseñados e integrados y es un proceso que lleva varios meses desde la finalización del diseño.

6.2 Recomendaciones

La primera recomendación que se da para el diseño presentado, es la realización de las pruebas necesarias para el bloque una vez el chip se tenga fabricado y a disposición en la Escuela, para confirmar las simulaciones realizadas para el trazado físico.

A su vez se recomienda que si se utilizaran señales de amplitud mucho más grande a las utilizadas para caracterizar el ancho de banda del mezclador de Gilbert, se realice una nueva caracterización del ancho de banda puesto que se está aumentando la excursión de la señal por lo que se varía el punto de operación de una manera más brusca lo que cambia las características del circuito. Para cuestiones del proyecto es deseable que la excursión de las señales de entrada sea relativamente pequeña, sin embargo esto dependerá de las otras etapas del proyecto.

En cuanto si se desearan aumentar las características de ancho de banda o de ganancia para la celda, se deberían de modificar los tamaños de los transistores, ya sea aumentando el ancho para producir un mayor manejo de corriente lo que aumenta la ganancia, o también disminuyendo o aumentando los tamaños de los transistores de la parte superior del circuito para aumentar el rango del ancho de banda. Es necesario recordar que al variar alguna de estas dos características se afecta la otra inversa, es decir si se desea aumentar

el ancho de banda se verá disminuida la ganancia, y viceversa. También se le podrían incluir inductores al diseño entre la etapa de LO y la etapa de RF si se deseara aumentar la ganancia en el ancho de banda de forma significativa (Ahmed W, et al, 2014), sin embargo se vería un aumento considerable en el área a utilizar por el mezclador, lo cual no era deseable para el sistema de impedancia puesto que el mezclador se utiliza en diferentes etapas y bloques del proyecto.

Utilizar largos más pequeños de los utilizados en el diseño del mezclador, no se recomienda puesto que la tensión de encendido (V_{TH}) varía para cada transistor y los estos al estar en su zona de saturación no tendrían una resistencia relativamente constante para cualquier tensión entre drenador y surtidor.

Se recomienda tener cuidado a la hora de modificar las tensiones de polarización y de modo común para las entradas porque podrían hacer que la tensión de modo común a la salida se vea disminuida y por tanto la ganancia del circuito, hay que encontrar un balance en donde la tensión de modo común a la salida no sea muy alta y se pueda tener un buen margen de ancho de banda.

Finalmente, si se deseara tener un diseño en donde todos los transistores funcionen en saturación para aumentar la ganancia, se recomienda eliminar los transistores M_7 y M_8 para con esto tener más tensión disponible en los transistores M_1 y M_2 , además de poner a funcionar M_{TAIL} verdaderamente como una fuente de corriente. Se debe ser cuidadoso con esta acción, ya que al eliminar los transistores M_7 y M_8 se pierde aislamiento entre los puertos de entrada y por lo tanto linealidad en la ganancia.

Capítulo 7: Referencias Bibliográficas

Ahmed W, Gim-Heng T, Harikrishnan R, Jeevan K, Nandini V and Wei-Keat C, (2014). *50 MHz–10 GHz Low-Power Resistive Feedback Current-Reuse Mezclador with*

Inductive Peaking for Cognitive Radio Receiver. Department of Electrical Engineering, University of Malaya. Hindawi Publishing Corporation, The Scientific World Journal.

Bandil L, Ghayvat H, Gupta R and Mukhopadhyay S.C, (2015). *A 2.4GHz CMOS Gilbert Mezclador in 180nm Technology*. 2015 Fifth International Conference on Communication Systems and Network Technologies. School of Engineering and Advanced Technology Massey University, Palmerston North, New Zealand

Belorkar A, Ladhake S.A and Sujata N. Kale, (2012). *2.45 GHz Gilbert Mezclador Using 45 nm CMOS Technology*. IEEE Business, Engineering & Industrial Applications Colloquium (BEIAC).

Chang T, Chi S, Tsao C, Tsai J, Wang M and Yang H, (enero 2013). *Mezcladors of Ultra-High Gain from 5.0 to 18.0 GHz*. Scientific Research, Wireless Engineering and Technology.

DeLisle J, (Abril 2014). *RF Mezcladors Pine For Linearity And Dynamic Range*. Microwaves&rf. Recuperado el 25 de febrero de: <http://mwrfr.com/active-components/rf-mezcladors-pine-linearity-and-dynamic-range>

Friedrich K, (2003). *Broadband dielectric spectroscopy : with 22 tables*. Springer-Verlag Berlin Heidelberg GmbH. University of Leipzig, Faculty of Physics and Geosciences.

Glesner M, Manolescu A.M, Mitrea O and Popa C, (2009). *A Linearization technique for Radio Frequency CMOS Gilbert-Type Mezcladors*. University "Politehnica" of Bucharest, Iuliu Maniu 1-3, Bucharest, Romania.

Grenier K, Dubuc D, Chen T, Artis F, Chretiennot T, Poupot M, and Fournie J, (Mayo 2013). *Recent advances in microwave-based dielectric spectroscopy at the cellular level for cancer investigations*. Microwave Theory and Techniques, IEEE Transactions on.

Gurukartheek P, (Agosto 2014). *Design and Characterization of CMOS Gilbert Mezclador at 130 nm Technology for Impedance Measurement System of Human Cell*. Institute for Nanoelectronics

Haddadian S, Hedayati R and Nabovati H, (2008). *A Low Voltage High Linearity CMOS Gilbert Cell Using Charge Injection Method*. World Academy of Science, Engineering and Technology International Journal of Electrical, Computer, Energetic, Electronic and Communication Engineering Vol:2, No:2.

IBM Corporation, (2003). *Foundry technologies 130-nm CMOS and RF CMOS*. Recuperado el 25 de febrero de:

http://edg.uchicago.edu/projects/sampling_chip_review_2010/docs/130nm-techbrief01.pdf

Mayaram K and Hu Y, (octubre 1999). *Behavioral Models for Noise in Bipolar and MOSFET Mezcladors*. IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 46, No. 10

Mentor Graphics, (2016). *Company*. Recuperado el 20 de febrero del 2016 de: <https://www.mentor.com/company/>

Mentor Graphics, (2015). *Custom IC Design*. Recuperado el 20 de febrero del 2016 de: https://www.mentor.com/products/ic_nanometer_design/custom-ic-design/

Mehdi G, (enero 2007). *Highly Linear Mezclador for On-Chip RF Test in 130nm CMOS*. Linköpings Universitet.

Money D and Weste N, *CMOS VLSI Design: A Circuits and Systems Perspective*, 4 edition. Boston: Addison-Wesley, 2010.

Moreno L, (2011). *Elaboración de una referencia de bajo voltaje con el fenómeno de "Bandgap", utilizando técnicas de microelectrónica*. Pontificia Universidad Javeriana-Facultad de Ingeniería, Bogotá D.C.

Mouthaan K and Zijje H, (noviembre 2013). *A 1- to 10-GHz RF and Wideband IF Cross-Coupled Gilbert Mezclador in 0.13- μ m CMOS*. IEEE Transactions on circuits and systems-II:Express Bruefs, Vol. 60, No.11.

Paulsen K, Schned A, Halter R, Hartov A, and Heaney J, (2007). *Electrical Impedance Spectroscopy of the Human prostate*. IEEE Transactions on Biomedical Engineering, Vol 54, pp. 5–7

Pham B, (2010). *A 1.9GHz Gilbert Mezclador in 0.18m CMOS For a Cable Tuner*. Department of Electronics, Carleton University, Ottawa, Canada.

Prada J, (Julio 2014). *Design of a wide tuning-range CMOS 130-nm quadrature VCO for cell impedance spectroscopy*. Institute of Nanoelectronics.

Razavi B, (2001). *Design of Analog CMOS Integrated Circuits*. McGraw-Hill Higher Education.

Rimolo R, (2016). *Modelos Analógicos para Transistores: MOS*. Diseño de Circuitos Integrados Analógicos. Instituto Tecnológico de Costa Rica.

Rimolo R, (2016). *Implementación Física de Dispositivos*. Diseño de Circuitos Integrados Analógicos. Instituto Tecnológico de Costa Rica.

Wang M, (mayo 2010). *Reconfigurable CMOS Mezclador for Radio-Frequency Applications*. Queen's University. Kingston, Ontario, Canada. Department of Electrical and Computer Engineering.

Wang RY, (2005). *Study on fish embryo responses to the treatment of cryoprotective chemicals using impedance spectroscopy*. Europe PMC Author Manuscripts, PMC1885896.

Capítulo 8: Apéndices

Apéndice A.1 Desarrollo del filtro pasa bajas en Verilog-A

A continuación, se presenta el código desarrollado el filtro pasa bajas construido en Verilog-A. Es importante resaltar el hecho de que si quisiera cambiar la frecuencia de corte del filtro, se podía modificar con el parámetro llamado "f1".

```

`include "disciplines.vams"
`include "constants.vams"

module lpf1(in,out);
input in;
output out;

voltage in, out;
parameter real f1 = 20 from (0:inf);
parameter real ganancia = 1 from (0:inf);

analog
V(out) <+ ganancia*laplace_nd(V(in), {1} ,{1,1/('M_TWO_PI*f1)});

endmodule

```

Figura A. 4.1 Código en Verilog-A para un filtro pasa baja.

Apéndice A.2 Parámetros escogidos para hacer la primera iteración del diseño del mezclador sin carga.

En un inicio del diseño se utilizaron los siguientes valores para los transistores de la celda de Gilbert tomados de (Gurukartheek P, 2014).

Tabla A. 4.1 Tamaños iniciales de los transistores para el circuito mezclador.

Transistores	W (μm)	L (μm)
M ₁₋₂	7	0.5
M ₃₋₆	9	0.5
M ₇₋₈	7	0.5
M ₉₋₁₀	9	0.5
M _{C1-2}	6	0.5
M _{tail}	5	0.65

Sin embargo estos valores fueron cambiados luego de realizar un conjunto de simulaciones en DC ya que algunos de los transistores que se ocupaban en saturación quedaban en su región lineal, lo que hacía que a su vez la tensión de modo común a la salida se incrementara en gran medida.

Finalmente con esto se llegó a los valores utilizados en el Apéndice A.3.

Apéndice A.3 Parámetros escogidos para hacer la segunda iteración del diseño del mezclador sin carga.

Estas dimensiones representan las que se tenían antes de hacer pruebas del mezclador con carga a la salida.

Tabla A. 4.2 Tamaños de los transistores para el circuito mezclador.

Transistores	W (μm)	L (μm)
M ₁₋₂	7.5	0.5
M ₃₋₆	10	0.5
M ₇₋₈	7.5	0.5
M ₉₋₁₀	9	0.5
M _{C1-2}	2.5	0.5
M _{tail}	5	0.65

Sin embargo al cargar el mezclador utilizando estos tamaños de transistores, la amplitud de la señal de salida disminuyó y a su vez la tensión de modo común, por lo que se tuvo que volver a rediseñar los tamaños de los transistores, y con esto finalmente se obtuvieron los mostrados en la Sección 3.5.

Apéndice A.4 Simulación del mezclador en esquemático sin carga

El circuito de prueba realizado para esta sección viene dado por la Figura A.4.2

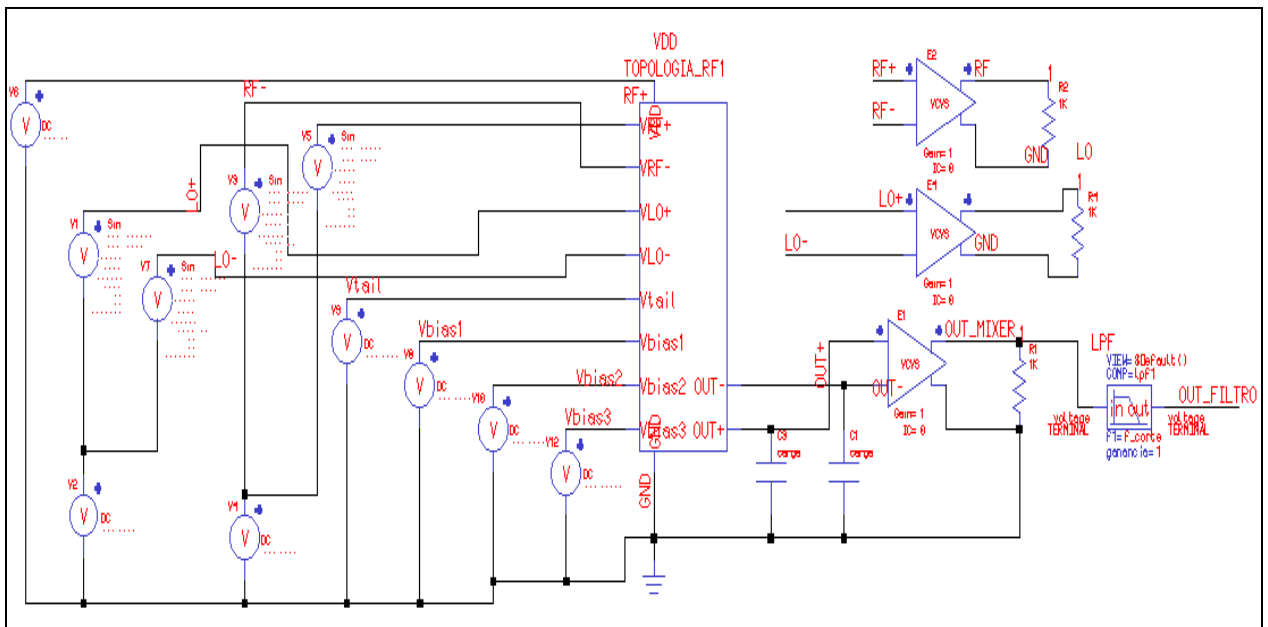


Figura A. 4.2 Circuito esquemático realizado para la simulación transiente y AC.

Apéndice A.5 Simulación del mezclador en esquemático con carga

El circuito de prueba realizado para esta sección viene dado por la Figura A.4.4

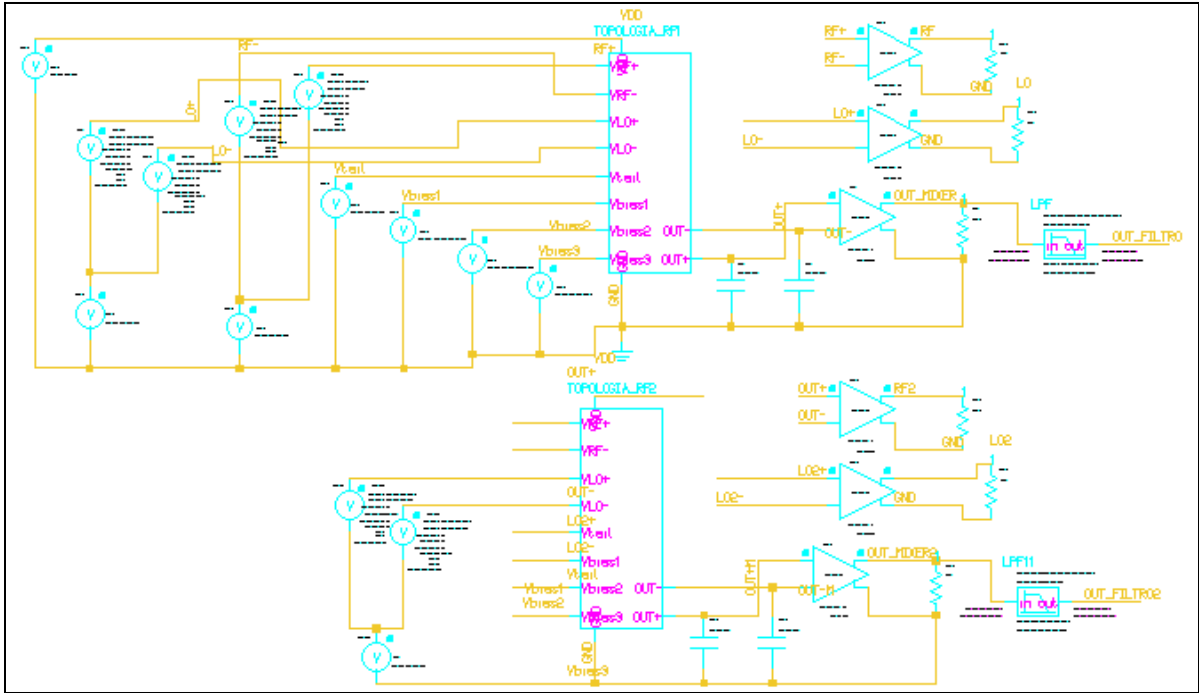


Figura A. 4.4 Circuito esquemático realizado para la simulación transiente con un mezclador como carga a la salida.

Apéndice A.6 Simulación del mezclador en postlayout sin carga

El circuito de prueba realizado para esta sección viene dado por la Figura A.5.3

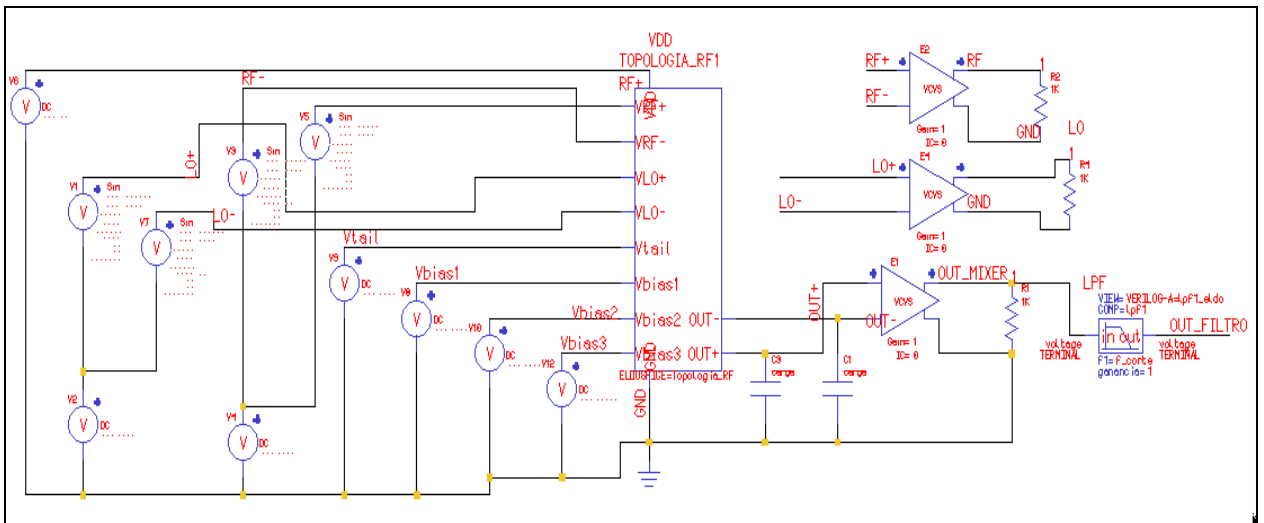


Figura A. 5.3 Circuito esquemático implementado para la simulación postlayout.

Apéndice A.7 Simulación del mezclador en postlayout con carga

El circuito de prueba realizado para esta sección viene dado por la Figura A.5.4

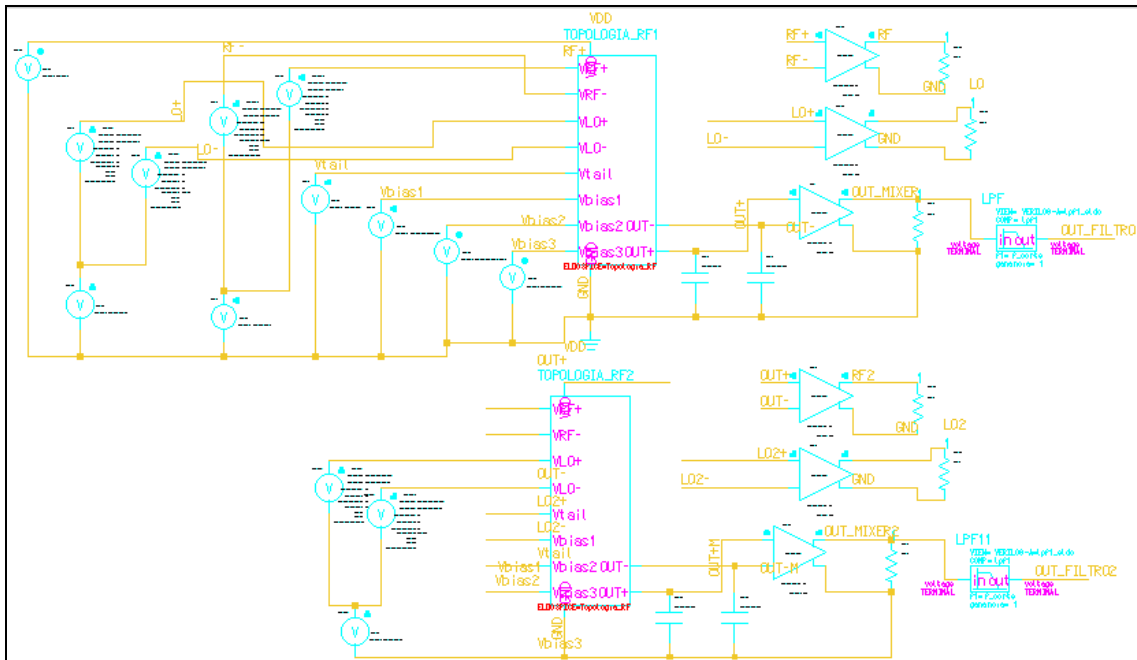


Figura A. 5.4 Circuito esquemático realizado para la simulación transiente postlayout con un mezclador como carga a la salida.

Apéndice A.8 Comprobación de DRC

Para la Celda de Gilbert diseñada se realizó la comprobación de las reglas de diseño para verificar que su fabricación era posible en la tecnología utilizada.

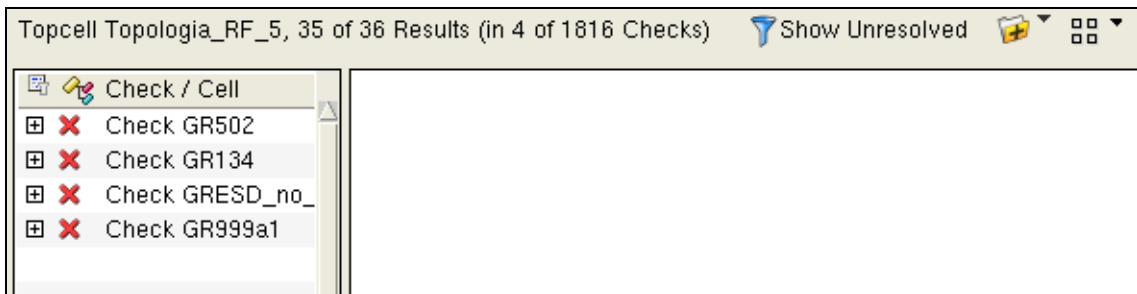


Figura A. 5.1a Comprobación de DRC para el Mezclador de Gilbert.

De la Figura A.5.1 se observan cuatro errores los cuales se omitieron puesto que no presentaban problema para el LVS, el primero error se obtuvo debido a un problema que se tuvo con la herramienta de Pyxis Layout a la hora de crear los transistores RF ya que no cumplía con el espaciado mínimo entre metal de nivel uno, sin embargo esto se presentó para ciertos transistores NMOS. El segundo error era un problema con la herramienta ya que no estaba reconociendo la conexión de las compuertas de los PMOS pero al realizar el LVS sí existían las conexiones entonces se omitió. Finalmente los últimos dos errores se omitieron puesto que eran errores en cuanto a fabricación, y debido a que el mezclador es un módulo dentro de un sistema más grande, no era necesario tomar en cuenta esas reglas de DRC.

Apéndice A.9 Comprobación de LVS

Para la Celda de Gilbert diseñada se realizó la comparación entre el esquemático y el diseño físico para verificar que todas las conexiones estaban y que a su vez eran correctas.

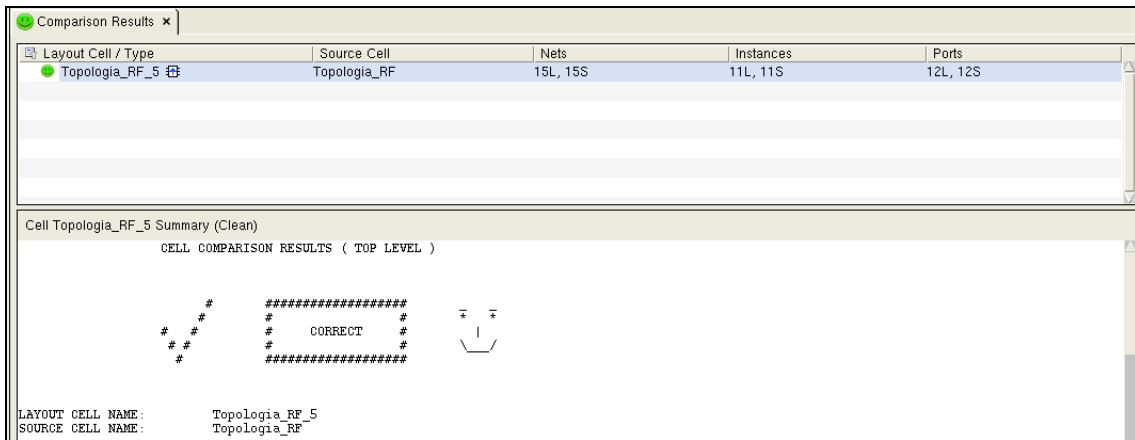


Figura A. 5.1b Comprobación de LVS para el Mezclador de Gilbert.

Como era de esperar, la comprobación entre el esquemático y el trazado físico fue correcta.

Apéndice A.10 Extracción de elementos parásitos

Después de haber realizado la verificación de las reglas de diseño y la comprobación de las conexiones del trazado estuvieran correctas, se le extrajeron los elementos parásitos para poder realizar las simulaciones post-trazado.

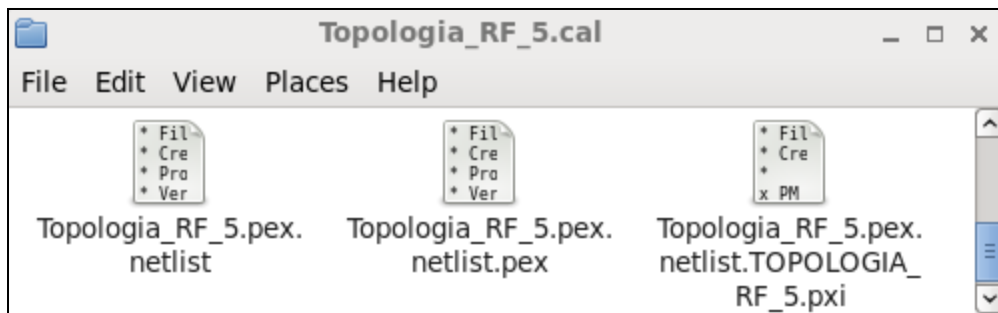


Figura A. 5.1c Extracción de elementos parásitos para el Mezclador de Gilbert.

Una vez realizado la configuración de extracción en la herramienta de Pyxis Layout, se obtienen los tres archivos mostrados en la Figura A.5.4, los cuales pueden utilizarse para añadirseles a la vista de símbolo del mezclador y con esto tener el modelo de EldoSpice listo para la simulación post-layout.