

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica



**Diseño preliminar de un circuito CMOS para estimulación
cardíaca con protección a los sobre-estímulos**

Informe de Proyecto de Graduación para optar por el título de
Ingeniero en Electrónica con el grado académico de Licenciatura

Mauricio Chaverri Chacón

Cartago, Junio del 2016

INSTITUTO TECNOLÓGICO DE COSTA RICA

ESCUELA DE INGENIERÍA ELECTRÓNICA

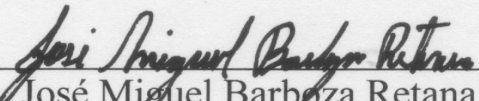
PROYECTO DE GRADUACIÓN

ACTA DE APROBACIÓN

Defensa de Proyecto de Graduación
Requisito para optar por el título de Ingeniero en Electrónica
Grado Académico de Licenciatura
Instituto Tecnológico de Costa Rica

El Tribunal Evaluador aprueba la defensa del proyecto de graduación denominado “Diseño preliminar de un circuito CMOS para estimulación cardíaca con protección a los sobre-estímulos”, realizado por el señor Mauricio Chaverri Chacón y, hace constar que cumple con las normas establecidas por la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal Evaluador


Ing. José Miguel Barboza Retana

Profesor lector


Ing. José Alberto Díaz García

Profesor lector


Ing. Alfonso Chacón Rodríguez

Profesor asesor

Cartago, 20 de Junio del 2016

Declaro que el presente Proyecto de Graduación ha sido realizado enteramente por mi persona, utilizando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que he utilizado bibliografía he procedido a indicar las fuentes mediante las respectivas citas bibliográficas. En consecuencia, asumo la responsabilidad total por el trabajo de graduación realizado y por el contenido del correspondiente informe final.



Mauricio Chaverri Chacón

Cartago, Junio del 2016

Cédula: 2-697-705

Resumen

Se realizó el diseño de una prueba de concepto para un circuito de estímulo que protege al corazón de la sobre-estimulación, impidiendo pulsaciones menores a 300ms entre pulsos sucesivos. Se usó una tecnología comercial CMOS no revelable, para la cual se desarrolló una metodología para obtener los parámetros generales I-V del proceso como V_{Th} , λ y κ' .

Se utilizaron transistores tanto de bajo como de alto voltaje (*low voltage, high voltage*), para implementar no solo el bloque de seguridad (*safety block*) que impide la generación sucesiva de pulsos, sino también el desplazador de nivel (*level shifter*) que permite generar los impulsos de alto voltaje necesarios para el estímulo (10V).

El bloque de seguridad o *Safety Block* es el que abarcó la mayoría del diseño y pruebas de verificación en todo el circuito, sobretodo por su naturaleza analógica y sus altas restricciones en consumo de potencia.

Para el desarrollo de cada sección se usaron diferentes metodologías en el diseño de circuitos digitales y analógicos, tal es el caso de la metodología g_m/I_D para el dimensionamiento de los transistores. Para el diseño y verificación a nivel de esquemáticos de esta propuesta se usó el ambiente Pyxis de Mentor Graphics; el ISE de Xilinx para diseñar circuitos digitales; LTSpice para representar algunos esquemáticos de los circuitos, así como el *Python* 3.4, para el desarrollo de *script's* que facilitaron el cálculo y la verificación del modelo matemático de la corriente en los transistores. Este modelo se utiliza para la región de subumbral, pero no considera efectos de ruptura y corrientes de fuga.

Palabras clave: Dispositivos implantables médicos, marcapasos, metodología g_m/I_D , circuitos integrados CMOS, comparador de bajo consumo, modelo EKV del transistor MOS.

Abstract

A cardiac stimulus circuit with protection from overstimulation (successive pulses with less than 300ms between them) has been proposed as a proof of concept. A commercial CMOS technology has been used, which required the generation of several design I-V parameters, such as: V_{Th} , λ y κ' .

Both low and high voltage transistors were used, either for the design of the safety block (the circuit that avoids the overstimulation) and a level shifter that provides the high voltage output (10V).

The Safety block is the critical component of the system in terms of functionality and power consumption. Thus, a great part of the project was focused on this unit.

Different methodologies for digital and analog design were used. Among them was the g_m/I_D method for dimensioning transistors for low power applications. The Mentor Graphics' Pyxis suite was used for the schematic entry and verification of the proposed circuits; some testing required the ISE Project suite from Xilinx. The mathematical model used for all the three regions of the transistor was written on a small Python script. This model does not include junction leakage and breakdown effects.

Keywords: Implantable medical devices, pacemaker, g_m/I_D method, analog integrated circuits, low power comparator, EKV Mosfet model.

“Dedico este proyecto a mis queridos padres, porque gracias al apoyo y sacrificio que hicieron por mí, he logrado llegar hasta este punto de la carrera.”

Agradecimientos

Agradezco al Dr. Alfonso Chacón Rodríguez, por permitirme realizar el Proyecto de Graduación en el DCILab y su tutela durante el presente período.

Mauricio Chaverri Chacón

Cartago, Junio del 2016

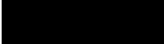

Índice general

Índice de figuras	iii
Índice de tablas	viii
1 Introducción	1
2 Meta y objetivos	3
2.1 Meta	3
2.2 Objetivos	3
2.2.1 Objetivo general	3
2.2.2 Objetivos específicos	3
3 Procedimiento metodológico	4
4 Marco teórico	6
4.1 Estructura del transistor MOSFET	6
4.2 Regiones de operación del MOSFET	8
4.3 Modelo EKV y otras aproximaciones	12
4.4 Amplificador operacional CMOS	14
4.5 Marcapasos y estimulación de tejidos por señales de tensión	16
5 Diseño de un circuito CMOS para estimulación cardíaca con protección a los sobre estímulos	19
6 Obtención de curvas y parámetros de los transistores en la tecnología usada	21
7 Diseño del bloque de seguridad o <i>Safety Block</i>	31
7.1 Comparador utilizando un amplificador operacional de Miller	32
7.2 Diseño de la referencia de tiempo para el <i>Safety Block</i>	43
7.3 Diseño del circuito digital en la salida del <i>Safety Block</i>	46
7.4 Construcción del sistema completo del <i>Safety Block</i>	55
7.5 Conclusiones parciales sobre el diseño del <i>Safety Block</i>	57
8 Diseño del <i>Level Shifter</i> o desplazador de nivel	58
8.1 Conclusiones parciales del <i>Level Shifter</i>	66

9 Salida del circuito de estimulación: Balance de carga y tensión en el electrodo	67
10 Conclusiones	71
11 Recomendaciones	72
Bibliografía	73

Índice de figuras

4.1	Estructura básica de un MOSFET tipo n y su símbolo con cada una de las terminales <i>Source</i> S, <i>Gate</i> G y el <i>Drain</i> D [17].	6
4.2	Representación básica en dos dimensiones de un enlace covalente entre átomos de Si puro [22].	7
4.3	Dopantes en una estructura de silicio, a) arsénico (As) que provoca la liberación de cargas negativas y b) boro (B) que ocasiona cargas positivas libres [22].	7
4.4	Comportamiento de las cargas presentes en un transistor al ser sometido a diferentes valores de tensión, presentando la región de a) acumulación, b) agotamiento e c) inversión [22].	8
4.5	Curvas I_D vs V_{DS} con las regiones de inversión débil, fuerte y moderada según el valor de V_{GS} [21].	9
4.6	Curva I_D vs V_{DS} . La región de triodo presenta un aumento pronunciado de la corriente, mientras que en saturación se mantiene constante [21]. . . .	10
4.7	Curva I_D vs V_{DS} con modulación de canal. Aunque el transistor esté en la región de saturación, la corriente no se mantiene constante [19].	11
4.8	Comparación del modelo general con el simétrico en cada una de las regiones del transistor MOSFET. La línea continua es la curva que genera el modelo general o cuadrático, mientras que la línea discontinua es el comportamiento del modelo simétrico [21].	12
4.9	Curva gm/I_d versus I_d/I_z con el modelo general y el simétrico en cada una de las regiones del transistor MOSFET. De aquí se puede escoger el valor de X que corresponda a la región en que trabaja el transistor [21]. . .	14
4.10	Amplificador operacional compuesto por dos etapas, la primera es un par diferencial (M1, M2, M3 y M4), la segunda es una <i>common source</i> a partir de M6. Los transistores M5, M7 y M8 conforman el circuito de polarización [12].	15
4.11	Proceso de estimulación cardíaco generado por el nodo sinusal del corazón, al intercambiar iones de potasio y sodio mediante las células llamadas miocitos. El intercambio de iones produce la polarización del tejido, generando una diferencia de potencial que estimula el tejido muscular en el corazón [10].	17

4.12	Estructura del pulso generado por medio de un marcapasos, se presenta una primer etapa de polarización, seguida de una descarga para regresar a las condiciones iniciales de reposo [18].	18
5.1	Esquema general del circuito de estimulación cardíaca, el cual incluye la llave de estímulo M1 y el <i>Level Shifter</i> que lo controla, así como la llave de balance de carga M3. También se muestra el <i>Safety Block</i> que impide estímulos mayores a 200ppm. [4]	19
6.1	Curva I_D vs V_{GS} de uno de los transistores medidos con baja tensión V_{DS} .	22
6.2	Distintas curvas I_D vs. V_{GS} para uno de los transistores medidos, para distintos V_{DS}	23
6.3	Curvas I_D vs. V_{DS} para distintos V_{GS} para uno de los transistores medidos.	24
6.4	Curva $\sqrt{I_D}$ vs V_{GS} para la obtención del valor de V_{Th} . [21]	24
6.5	Obtención del V_{Th} empírico de uno de los transistores simulados. Arriba el script.	25
6.6	Ejemplo del cálculo de λ para determinado transistor en la zona de saturación.	26
6.7	Comparación del modelo matemático de la ecuación 4.10 con los datos obtenidos en la simulación. Nótese el error especialmente en la zona de saturación.	28
6.8	Comparación del modelo matemático de la ecuación 4.10 con los datos obtenidos en la simulación. Se ajustan tensiones a los rangos adecuados. Nótese que ahora λ parece coincidir en ambos modelos.	29
6.9	Ajuste del modelo matemático de la ecuación 4.10 con los datos obtenidos en la simulación. El porcentaje de error promedio fue 4.96%  	29
7.1	Propuesta inicial para la generación de la base de tiempo de 300ms que se dispara con la señal STIM, el transistor M_{RES} resetea la tensión en el capacitor C_T y lleva la salida del comparador a '1', cuando STIM baja, la corriente I_{timer} carga a C_T . Cuando la rampa de tensión en e^- es mayor a 0,8V, la salida del comparador baja a '0'. [4]	31
7.2	Topología de un comparador de bajo consumo con un amplificador de Miller sin compensar [2].	32
7.3	Esquemático del comparador con un amplificador de Miller. La entrada Va hace referencia a la entrada IN(+) del comparador, mientras Vb es IN(-).	36
7.4	Primera simulación del comparador diseñado, la señal de salida V_{OUT} se mantiene casi en cero, sin importar el valor de tensión aplicada en la entrada.	37
7.5	Funcionamiento del comparador una vez que se aumentó corriente I_{Dout} . Cuando Vb supera el valor de 0,8V, V_{OUT} baja a un '0' lógico. Caso contrario ocurre cuando Vb es menor a Va, entonces V_{OUT} debería cambiar a un '1' lógico, pero esto no sucede, con lo que se siguen presentando errores.	38
7.6	Esquemático del comparador con amplificador de Miller, con par diferencial NMOS.	39

7.7	Funcionamiento correcto del comparador visto en la figura 7.6 al realizar todas las modificaciones. Vb es la señal que está conectada a la entrada de la patilla negativa del comparador, por eso la salida se ve invertida con respecto a Vb.	40
7.8	Ganancia del comparador a partir del análisis AC, colocando una fuente de prueba de 1mV equivalente a -60dB en la entrada Vb. La curva continua es la forma de la salida con un valor de -16,5357dB y un ancho de banda de aproximadamente 200 KHz. La ganancia del comparador es de 44dB aproximadamente, quizás muy baja y que deberá optimizarse para posteriores aplicaciones.	41
7.9	Ventana del comparador medida entre el 10% y el 90% de la tensión V_{DD} en la salida.	42
7.10	Corriente medida a partir de la fuente V_{DD} en el comparador. Se analizó el comportamiento de la corriente en el transitorio y se calculó su promedio.	43
7.11	Esquemático utilizado para la referencia de tiempo con los transistores utilizados para generar la corriente I_{timer}	44
7.12	Primer prueba del circuito de referencia de tiempo con pulsos de 60ms y un período de 380ms, se presenta un fallo debido a que la tensión de salida Vb no presenta cambios al cargarse el capacitor C_T	45
7.13	Funcionamiento correcto de la referencia de tiempo al obtener aproximadamente 310ms hasta que Vb alcance los 0,8V de la tensión de referencia Vref.	46
7.14	Diagrama de tiempos del circuito digital en la salida del <i>Safety Block</i> . Si RefTime está en alto, cualquier pulso que llegue de STIM no puede verse reflejado en la señal de salida LS_{IN} , la cual está invertida porque controla el PMOS M1 de la figura 5.1.	47
7.15	Esquema del circuito de salida del <i>Safety Block</i> utilizando un <i>Latch</i> tipo D y una compuerta NAND.	47
7.16	Diagrama de tiempos de las señales externas e internas del circuito digital en la salida del <i>Safety Block</i>	48
7.17	Esquemático de la salida del <i>Safety Block</i> en el ISE.	49
7.18	Diagrama de tiempos generado por el circuito de la figura 7.17 visto en el ISE.	49
7.19	Esquemático del <i>Latch</i> compuesto por compuertas NAND y NOT.	50
7.20	Estructura a nivel de transistores de una compuerta a) NOT y una b) NAND [22].	50
7.21	Estructura a nivel de transistores de la NAND implementado en el Pyxis.	51
7.22	Simulación y verificación transitoria de la NAND.	51
7.23	Esquemático del <i>Latch</i> armado en el Pyxis. Cada compuerta posee la alimentación VDD y VSS necesaria para que los circuitos internos funcionen.	52
7.24	Funcionamiento del <i>Latch</i> al aplicarse diferentes valores lógicos en sus entradas.	52
7.25	Corriente suministrada por la fuente de tensión V1 (V_{DD}) en el análisis transitorio del <i>Latch</i>	53

7.26	Diagrama de tiempos del circuito digital en la salida del <i>Safety Block</i>	54
7.27	Transistorio de la corriente suministrada por la fuente de tensión V1 (V_{DD}) del circuito digital en la salida del <i>Safety Block</i>	54
7.28	Diagrama del circuito interno del <i>Safety Block</i> en <i>Mentor</i> , una vez que se unieron todas las secciones que lo conforman.	55
7.29	Diagrama de tiempos de prueba que debe mostrar el <i>Safety Block</i> al momento de su simulación. Los pulsos tienen un ancho de 20mS.	56
7.30	Simulación del <i>Safety Block</i> al aplicarse el tren de pulsos de la figura 7.29.	56
8.1	Circuito utilizado para aumentar la tensión V_{DD} a $V_{High} = 10V$, la señal de entrada es LS_{IN} y la de salida es LS_{Out} , vistas en el esquema general 5.1 [3].	58
8.2	Comportamiento del <i>Level Shifter</i> al tener un ‘0’ lógico en su entrada. Su comportamiento se muestra a partir de los transistores encendidos o apagados [3].	59
8.3	Comportamiento del <i>Level Shifter</i> al tener un ‘1’ lógico en su entrada. Su comportamiento se muestra a partir de los transistores encendidos o apagados, de forma similar al caso anterior [3].	60
8.4	Respuesta del <i>Level Shifter</i> ante una entrada de pulsos con $V_{DD} = 2,2V$. La salida responde de igual forma, pero con un nivel $V_{High} = 10V$	60
8.5	Primer prueba del consumo de corriente utilizado en el <i>Level Shifter</i> , basándose en la corriente promedio suministrada por las fuentes de tensión. V1 es V_{High} y V2 es V_{DD}	61
8.6	Circuito del <i>Level Shifter</i> una vez que se quitaron las puertas de paso del circuito visto en la figura 8.1.	62
8.7	Funcionamiento del <i>Level Shifter</i> visto en la figura 8.6, al realizar las modificaciones al LS inicial.	62
8.8	Resultado de las corrientes medidas para el <i>Level Shifter</i> modificado de la figura 8.6. V1 es V_{High} y V2 es V_{DD}	63
8.9	Resultado de las corrientes medidas en el <i>Level Shifter</i> al aplicar las tensiones máximas soportadas por los transistores en el proceso utilizado, para el circuito de la figura 8.6.	64
8.10	Comportamiento del <i>Level Shifter</i> al considerar un V_{High} de 5V, en el circuito de la figura 8.6.	65
8.11	Medición de las corrientes presentes en el <i>Level Shifter</i> a partir de las fuentes de tensión V_{High} (V1) y V_{DD} (V2) de la figura 8.6.	65
9.1	Resultado de la simulación, al conectarse el <i>Safety Block</i> y el <i>Level Shifter</i> , donde se obtiene el comportamiento de la señal LS_{Out} al generar un tren de pulsos en la entrada STIM. Revisar el diagrama de tiempos de la figura 7.29 para un mejor entendimiento.	68
9.2	Esquemático de la salida del circuito general con la sección del balance de carga.	68

- 9.3 Funcionamiento del balance de carga en la salida del circuito general, para polarizar y despolarizar el tejido que hace contacto con el electrodo. El balance de carga inicia cuando se termina el pulso proveniente de LS_{Out} . La corriente en el electrodo muestra el proceso de polarización del tejido, donde el área bajo la curva que produce el pulso en el electrodo, debe ser igual al momento de balancear la carga. 70

Índice de tablas

6.1	Resultado promedio de V_{Th} de los transistores NMOS y PMOS simulados.	25
6.2	Valores de λ obtenidos para simulaciones de un transistor cuadrado $L=W=1\mu\text{m}$.	26
6.3	Valores generales de las variables características del proceso CMOS comercial usado en este proyecto.	27
6.4	Valores promedio de κ' en la región de subumbral y moderada ($V_{GS} < V_{Th}$) para los transistores simulados.	27
6.5	Valores obtenidos de κ' en la región de subumbral para cada transistor, después de ser ajustados para el modelo matemático de la ecuación 4.10.	30
7.1	Datos del fabricante y calculados que se usaron para el dimensionamiento del circuito (se tachan los datos por asuntos de confidencialidad) de los transistores del comparador.	33
7.2	Tamaño de los transistores sin optimizar que conforman el comparador.	35
7.3	Tamaño de los transistores optimizados del comparador.	36
7.4	Tamaño final de los transistores que conforman el comparador, una vez que se verificó el modelo matemático 4.10.	39
7.5	Tamaño de los transistores utilizados para generar la corriente I_{timer} vista en la figura 7.11.	44
7.6	Comportamiento de LS_{IN} al utilizar una compuerta NAND como salida.	47
7.7	Comportamiento típico de un <i>Latch</i> tipo D [20].	48
7.8	Corriente y consumo de potencia en cada sección del <i>Safety Block</i> .	55
8.1	Resultados finales para el <i>Level Shifter</i> de la figura 8.6, en cuanto a corriente y consumo de potencia.	66
8.2	Tamaño de los transistores que conforman el <i>Level Shifter</i> de la figura 8.6.	66

Capítulo 1

Introducción

El ser humano sufre de gran cantidad de enfermedades que se presentan por diversas causas, entre ellas, las que afectan al corazón. Este órgano se encarga de bombear la sangre para que el oxígeno y otras sustancias alcancen los demás sistemas del cuerpo. Este proceso ocurre gracias a que el corazón se contrae y relaja a una determinada frecuencia. En condiciones de reposo esta frecuencia cardíaca está en un rango de 60 a 70 latidos por minuto en adultos y de 80 a 120 en niños. Pero pueden ocurrir arritmias cardíacas, lo cual significa que el corazón late a menor o mayor frecuencia según el rango normal del organismo [15].

Es por esto que surge la necesidad de utilizar dispositivos ajenos al corazón para estimular y controlar la frecuencia cardíaca de los pacientes que sufren enfermedades asociadas a esta causa, usualmente llamados marcapasos o su similar en inglés *pacemaker*.

Aunque existen diversas clases de marcapasos, el tiempo promedio que un paciente puede portar este tipo de mecanismos ronda entre los 5 y 12 años [15], esto debido a recambios de la batería, desgaste de los componentes o por la tecnología utilizada.

Es por esto que en el laboratorio de Diseño de Circuitos Integrados (DCILab) del Instituto Tecnológico de Costa Rica (TEC), como parte de uno de los centros de investigación y desarrollo del país, se están iniciando proyectos que mejoren áreas de la salud como lo son los dispositivos implantables.

El presente proyecto es una propuesta para diseñar un circuito preliminar para estimulación cardíaca, con una etapa de protección a los sobre estímulos, implementado en una tecnología CMOS (“Complementary Metal-Oxide Semiconductor”) de alta tensión [16]. El DCILab ya tiene algo de experiencia en diseño de circuitos analógicos [1, 5, 13, 14], que apuntan al desarrollo de sistemas de muy bajo consumo. Esta experiencia le permite entonces incursionar en un área donde el consumo de potencia es crítica, tal como los dispositivos médicos implantables. Este proyecto servirá como un antecedente en el DCILab para futuros proyectos relacionados con dispositivos implantables, así como de guía para el diseño de circuitos integrados en tecnologías CMOS ██████████

Es importante destacar la razón de usar protección a los sobre estímulos en el diseño del circuito. Esto se debe a que la señal que genera los pulsos proviene de un microcontrolador externo al sistema de estimulación cardíaca, por lo tanto, se deben bloquear los pulsos consecutivos que ocasionen frecuencias mayores a 3.33 Hz y así proteger el órgano.

Cabe destacar que el diseño de la solución es una prueba de concepto y que para el alcance de este proyecto, no se produjeron trazados para enviar a fabricación. En particular porque el proceso usado no está capacitado para manejar altos voltajes. Además, los manuales del usuario del proceso no ofrecen parámetros adecuados para el modelado del transistor en todas las zonas de inversión, por lo que fue necesario dedicar una buena parte del proyecto a realizar esta caracterización. El trabajo de diseño y verificación de la propuesta se realizó dentro del entorno de desarrollo de circuitos integrados Pyxis de la compañía Mentor Graphics.

El enfoque de la solución está dirigido desde el punto de vista de los circuitos integrados VLSI (*Very Large Scale Integration*) [19], es decir, se toma en cuenta el diseño desde la estructura y el funcionamiento de los transistores MOSFET, para hacer un análisis más directo sobre condiciones importantes como el consumo de potencia y el tiempo de respuesta de cada bloque del circuito. Se trabajó en la región de subumbral del transistor [21] con base en el modelo EKV válido en todas las regiones, por la particularidad buscada de un circuito de ultra baja potencia.

Para tener un punto de referencia en cuanto al consumo de potencia de todo el circuito, se consideró que la corriente utilizada por el diseño fuera de 25nA y la tensión máxima de 10V, por lo tanto el límite que se propuso fue de 250nW. Aunque, es más importante cumplir con el presupuesto de corriente de aproximadamente 25nA.

Capítulo 2

Meta y objetivos

2.1 Meta

Desarrollar en el DCILab de la Escuela de Ingeniería Electrónica las capacidades de diseño de circuitos electrónicos integrados de muy bajo consumo, orientados a los dispositivos médicos implantables.

2.2 Objetivos

2.2.1 Objetivo general

- Desarrollar un circuito para estimulación cardíaca con una etapa de protección a los sobre estímulos, implementado en una tecnología CMOS comercial de bajo consumo de potencia.

2.2.2 Objetivos específicos

- Diseñar un circuito de seguridad que proteja al órgano de la sobre estimulación temporal bloqueando pulsos sucesivos con un período menor a los 300 ms.
 - * Indicador: Obtener un tiempo igual o mayor a 300 ms entre pulsos sucesivos.
- Implementar un desplazador de nivel (*Level Shifter*) para elevar la tensión de los pulsos.
 - * Indicador: Verificar que la tensión aumenta de 2.2V a 10V.
- Minimizar el consumo de potencia del dispositivo.
 - * Indicador: Obtener un consumo de potencia menor o igual a los 250nW para todo el sistema.

Capítulo 3

Procedimiento metodológico

Para desarrollar el proyecto se hizo una división por etapas para llevar un mejor control en el proceso y la finalización del mismo. Estas etapas fueron el proceso de investigación de la teoría que envuelve al proyecto, entrenamiento con el software utilizado, diseño de bloques funcionales, pruebas de simulación, integración de todos los bloques y rediseño para cumplir con los objetivos. A continuación se da una extensión de cada punto mencionado anteriormente.

Primeramente se realizó un estudio bibliográfico sobre la teoría de transistores MOSFET, sus regiones de funcionamiento, el modelo matemático que explica el comportamiento del mismo (modelo de Shockley), así como las relaciones I-V. También se estudió un modelo para la corriente de *drain* que funciona para todas las regiones de inversión, siendo una aproximación a partir del modelo EKV. Además, se investigaron métodos de diseño en circuitos analógicos como la metodología g_m/I_D , para el dimensionamiento de transistores.

Por otra parte, se estudió el funcionamiento de los comparadores con amplificador de Miller y sus diferentes características al ser sometidos a los análisis en AC y DC. Finalmente, se debió estudiar el comportamiento de los marcapasos y la estimulación de tejidos por señales de voltaje.

Paralelo a la revisión bibliográfica, se realizó un entrenamiento con el software necesario para llevar a cabo el proyecto. Este fue el entorno de desarrollo de circuitos integrados Pyxis de la compañía Mentor Graphics.

Después de estudiar la teoría relacionada al proyecto, se realizó la caracterización de los parámetros del proceso CMOS usado para poder comenzar con el diseño de los circuitos. Esta actividad llevó gran parte del proyecto porque no se contaba con los datos del proceso comercial, por lo tanto, se debió desarrollar una metodología para obtenerlos a partir de las curvas I-V.

El siguiente paso fue desarrollar los circuitos internos por cada bloque del diseño general. Primero se diseñó un bloque de seguridad compuesto por un circuito que generara una referencia de tiempo de 300ms, así como una sección digital para manejar sus señales de

salida. También se implementó un *Level Shifter* que fue sometido a diferentes pruebas y rediseños. Los circuitos necesitaron una serie de iteraciones y rediseños para cumplir con las especificaciones de la propuesta en cada componente.

Una vez que se desarrollaron los bloques principales del circuito, se unieron para verificar el comportamiento según las especificaciones. Estas pruebas fueron satisfactorias, por lo tanto, se realizó un pequeño análisis en la salida del circuito, y el proceso de polarización del tejido.

Finalmente, al desarrollar todas las actividades y verificar el funcionamiento de los circuitos diseñados, se da por concluido el proyecto. Aunque, esta es una primer iteración de la propuesta y el proyecto se considera de final abierto, para mejorar sus bloques y llevar a cabo el *layout* de los esquemáticos.

Capítulo 4

Marco teórico

4.1 Estructura del transistor MOSFET

En la actualidad, debido a su comportamiento y características, el campo de la microelectrónica está dominado por el uso del transistor MOSFET (del inglés *Metal Oxide Semiconductor Field Effect Transistor*) [17].

La estructura básica de un MOSFET se puede observar en la figura 4.1, las terminales marcadas como S, G y D corresponden a sus nombres en inglés *source*, *gate* y *drain* respectivamente.

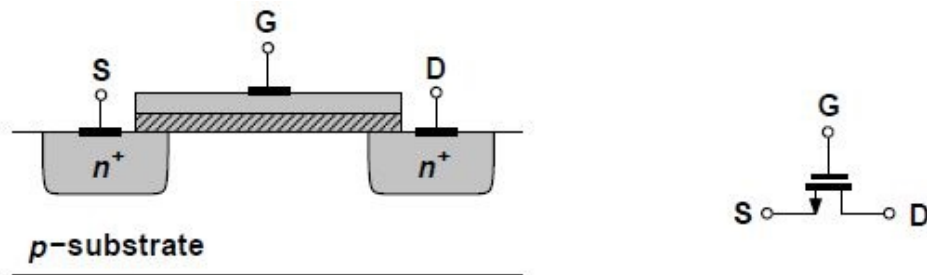


Figura 4.1: Estructura básica de un MOSFET tipo n y su símbolo con cada una de las terminales *Source* S, *Gate* G y el *Drain* D [17].

Para entender este dispositivo, es necesario ubicarse en su estructura molecular y estudiar su comportamiento. El transistor está compuesto por silicio (Si), lo cual pertenece al grupo IV de la tabla periódica de los elementos, esto quiere decir que forma enlaces covalentes con 4 átomos adyacentes en su estado puro, sin dejar electrones libres como lo ejemplifica la figura 4.2 [22].

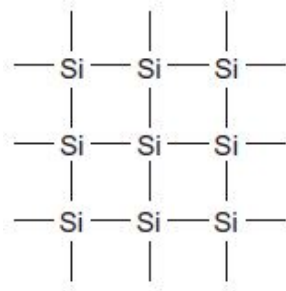


Figura 4.2: Representación básica en dos dimensiones de un enlace covalente entre átomos de Si puro [22].

Al introducir impurezas o dopantes en determinadas zonas de la placa de silicio, la conductividad aumenta porque se liberan iones con carga positiva o negativa, facilitando su movimiento y produciendo flujo de cargas. La adición de los dopantes es similar a lo que se observa en la figura 4.3.

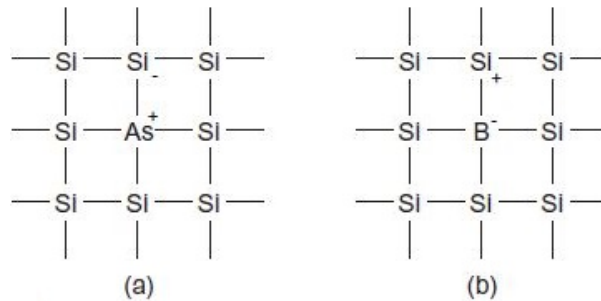


Figura 4.3: Dopantes en una estructura de silicio, a) arsénico (As) que provoca la liberación de cargas negativas y b) boro (B) que ocasiona cargas positivas libres [22].

Estas cargas libres también son llamadas portadores: los electrones son las cargas negativas, mientras que la falta de un electrón en algún enlace se considera como una carga positiva, llamada hueco. Por lo tanto, el silicio dopado con impurezas que ocasionan portadores de carga negativa se denomina silicio de tipo-n y el dopado que produce huecos es del tipo-p. Estas regiones son las que se observan en la figura 4.1 y están conectadas a las terminales S y D, de tipo-n. Por otra parte, estas regiones también sirven para clasificar los MOSFETS, los que están compuestos por regiones tipo-n, comunmente se llaman NMOS y los que poseen zonas tipo-p son PMOS [22].

El espacio ubicado entre el *source* y el *drain* es conocido como canal, y tiene un ancho W (del inglés *width*) y un largo L (*length*) con proporciones desde una fracción de micrómetro hasta unos $1000\mu\text{m}$. Por encima de esta zona se ubica una placa compuesta por dióxido de silicio con un espesor aproximado de 70 a 200Å , que a su vez se conecta con una placa de metal o polisilicio para formar el *gate* [21].

4.2 Regiones de operación del MOSFET

Al aplicar tensiones entre las terminales del transistor, el comportamiento del mismo cambia y pueden identificarse características diferentes según el valor de la tensión. Es importante definir algunos parámetros para el análisis de estas tres regiones. La tensión entre la terminal G y S se conoce como V_{GS} , entre D y S es V_{DS} , la corriente que se presenta entre las terminales D y S se llama I_{DS} , pero usualmente se utiliza el nombre de I_D para definir la corriente que entra por la terminal D.

La figura 4.4 muestra la región del canal de un transistor NMOS y cómo afecta la tensión aplicada en el *gate* en cuanto a la carga de portadores libres.

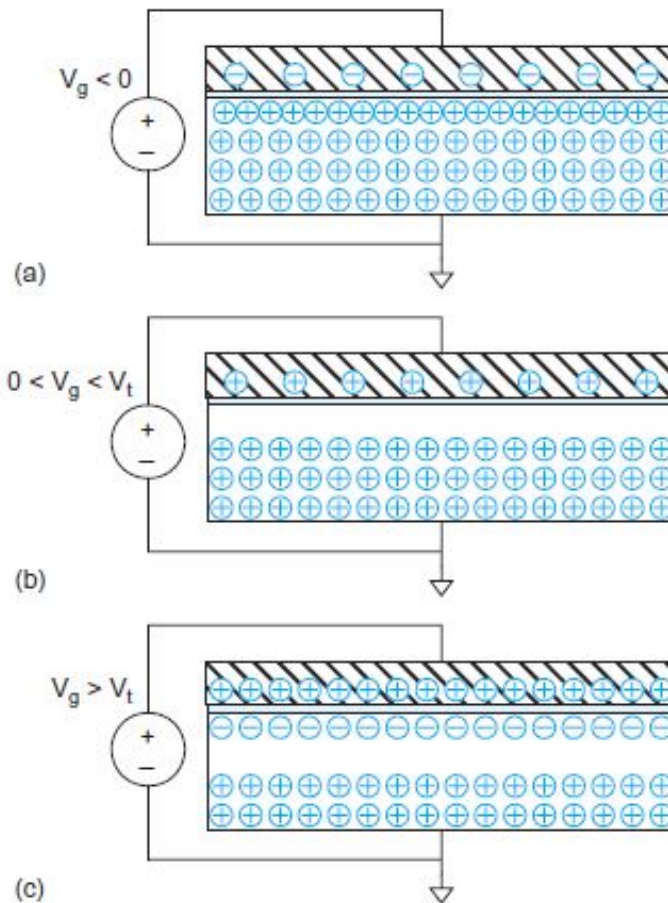


Figura 4.4: Comportamiento de las cargas presentes en un transistor al ser sometido a diferentes valores de tensión, presentando la región de a) acumulación, b) agotamiento e c) inversión [22].

Cuando se aplica una tensión V_G menor a cero, las cargas negativas presentes en el *gate* se repelan hacia el interior de la placa, mientras que las cargas positivas del sustrato se acercan hacia la parte superior como lo muestra la figura 4.4.a, evitando la presencia de portadores de carga libre que se puedan mover entre el *drain* y el *source*, llamada así, región de acumulación. Una vez que el potencial V_G es mayor a cero, algunas cargas positivas se ven repelidas hacia el interior del *gate*, al contrario de aplicar una tensión

negativa. Por lo tanto, las cargas positivas en el sustrato, también se repelen formando una zona de agotamiento de iones negativos vista en la figura 4.4.b [22].

Conforme V_G aumenta, la zona de agotamiento se vuelve más profunda, pero cuando esta tensión es suficientemente positiva, algunos electrones libres son atraídos hacia la placa de óxido de silicio, formando un canal conductor. Este fenómeno sucede cuando se alcanza la tensión de “subumbral” (V_{Th} o V_t), que es cuando el potencial del *gate* es suficiente para que aparezca un canal entre el *drain* y el *source*. Una vez superada esa tensión, el transistor trabaja en la región de “inversión” como lo muestra la figura 4.4.c.

Las regiones antes mencionadas son determinadas por el nivel de tensión de V_{GS} , por lo cual se puede encontrar el transistor en: región de subumbral, inversión débil, moderada o fuerte, tal y como lo muestra la figura 4.5.

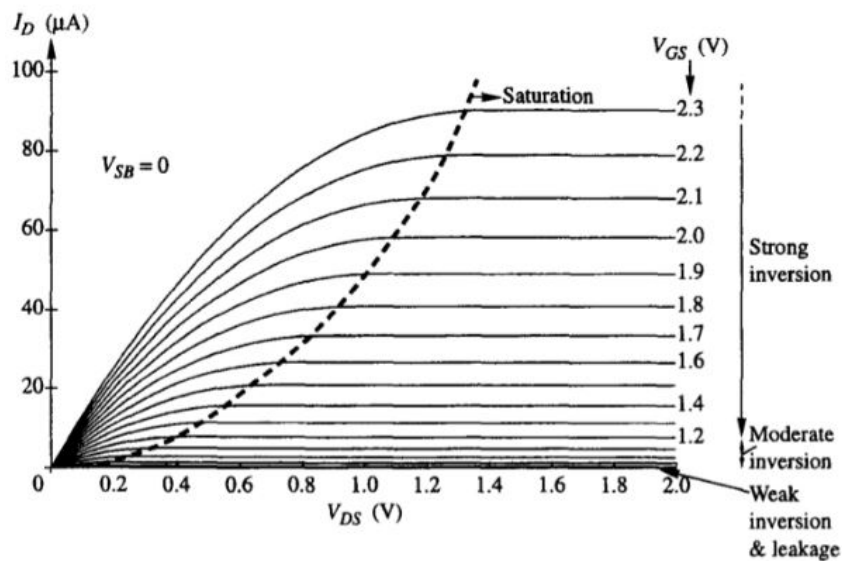


Figura 4.5: Curvas I_D vs V_{DS} con las regiones de inversión débil, fuerte y moderada según el valor de V_{GS} [21].

Con base a la tensión V_{DS} , el transistor puede trabajar en tres regiones principales: corte o subumbral, lineal o triodo y saturación [17], las cuales se presentan en inversión débil, fuerte o moderada según V_{GS} . La figura 4.6 muestra el comportamiento de la corriente I_D en cada región según V_{DS} .

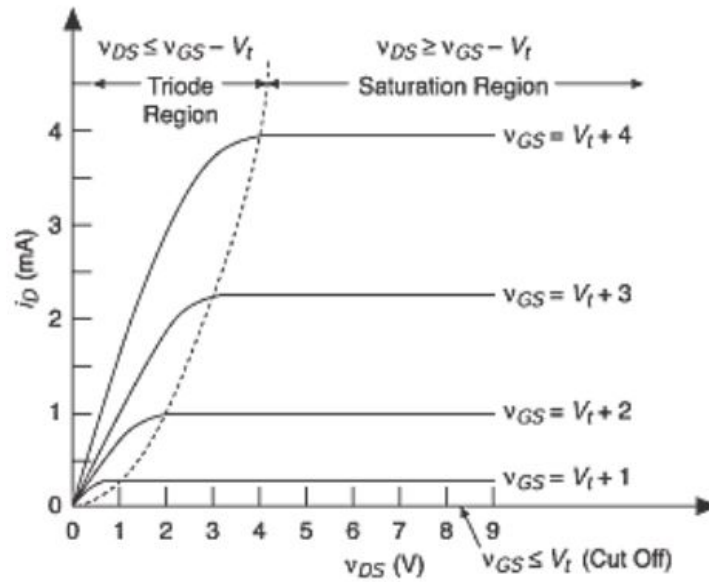


Figura 4.6: Curva I_D vs V_{DS} . La región de triodo presenta un aumento pronunciado de la corriente, mientras que en saturación se mantiene constante [21].

Para empezar, se van a derivar algunas relaciones tradicionales sobre las relaciones I-V de un transistor MOSFET.

Región de saturación

La región de saturación en el modelo de Shockley está dada por

$$V_{DS} \geq V_{GS} - V_{Th} \quad (4.1)$$

Se conoce así porque, de forma ideal, la corriente I_D no cambia al seguir aumentando el valor de V_{DS} como lo muestra la figura anterior. En la realidad, esta corriente posee pequeñas variaciones en comparación a los cambios que ocurren en la región de triodo. Para tomar en cuenta esos cambios, se considera la modulación del canal, con efectos similares a los que se presentan en la figura 4.7, donde la corriente I_D , según el modelo cuadrático de Shockley, sigue el comportamiento de [17]

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{Th})^2 (1 + \lambda V_{DS}) \quad (4.2)$$

donde si se hace

$$\kappa' = \mu_n C_{ox} \quad , \quad \kappa = \mu_n C_{ox} \frac{W}{L} \quad (4.3)$$

la ecuación de la corriente I_D resultante sería

$$I_D = \frac{\kappa}{2} (V_{GS} - V_{Th})^2 (1 + \lambda V_{DS}) \quad (4.4)$$

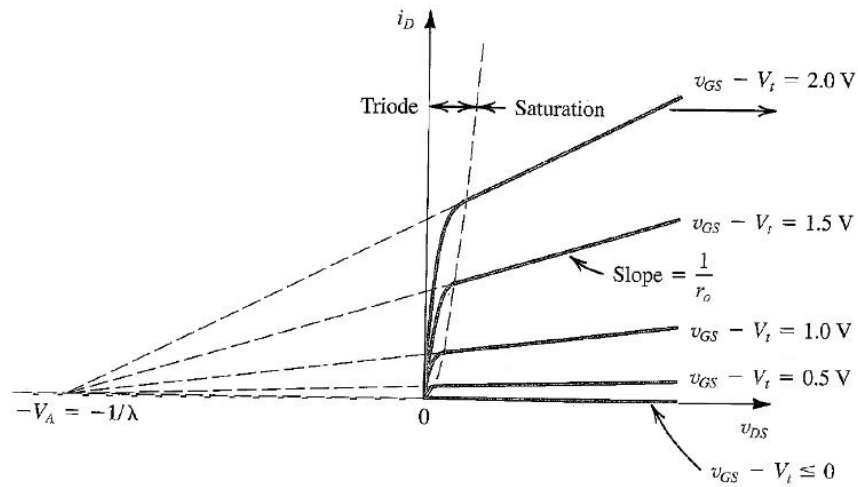


Figura 4.7: Curva I_D vs V_{DS} con modulación de canal. Aunque el transistor esté en la región de saturación, la corriente no se mantiene constante [19].

La variable C_{ox} es la capacitancia por unidad de área descrita como

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (4.5)$$

donde ϵ_{ox} es la permitividad del óxido de silicio ($\epsilon_{ox}=3.9\epsilon_0 = 3.45 \cdot 10^{-11}$ F/m) y t_{ox} es su grosor en el transistor [19]. La constante de proporcionalidad, μ , es conocida como movilidad y sus unidades son $m^2/V \cdot s$. Para facilitar las expresiones, debido a que algunas dependen del proceso, se utiliza la variable κ' , que es el parámetro de transconductancia del proceso con su unidad, A/V^2 . Además, λ es el coeficiente de modulación de canal [V^{-1}].

Región de triodo o lineal

La región lineal ocurre cuando

$$V_{DS} < V_{GS} - V_{Th} \quad (4.6)$$

y

$$V_{GS} > V_{Th} \quad (4.7)$$

La curva I_D con respecto a V_{DS} posee una pendiente casi constante en esta región, por lo tanto, el MOSFET puede utilizarse como un amplificador o una resistencia lineal [22]. En esta zona, I_D se aproxima como

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [2(V_{GS} - V_{Th})V_{DS} - V_{DS}^2] \quad (4.8)$$

Región de corte o subumbral

Esto sucede cuando

$$V_{GS} < V_{Th} \quad (4.9)$$

Entonces el canal entre el *drain* y el *source* no se ha terminado de crear, por lo tanto, la corriente I_D es igual a cero [22]. Pero se ha estudiado que en realidad bajo estos niveles inferiores de tensión, hay corrientes de canal de varios órdenes de magnitud [21] menores a las típicas de los transistores en la zona cuadrática. Es precisamente esta cualidad la que ha impulsado el desarrollo de circuitos que operan en la región de sub-umbral con aplicaciones de muy baja potencia.

4.3 Modelo EKV y otras aproximaciones

Es un modelo matemático para transistores MOSFET, el cual sirve para simular y diseñar más fácilmente circuitos analógicos de bajo consumo, que es válido en todas las regiones de inversión del transistor MOSFET. Las siglas EKV provienen de los autores que desarrollaron el proceso: *C.C.Enz*, *F.Krummenacher* y *E.A.Vittoz* [6].

Existen diferentes modelos para aproximar la expresión de la corriente I_D en cada región, uno de ellos es el modelo simétrico, el cual se puede comparar con el modelo general en la figura 4.8.

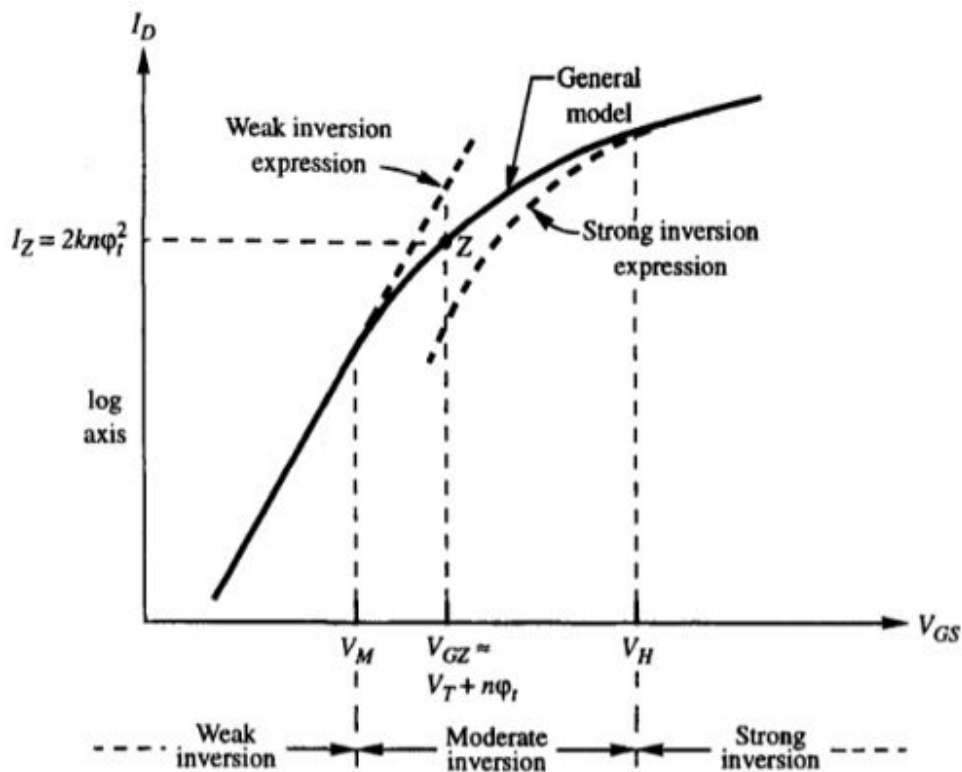


Figura 4.8: Comparación del modelo general con el simétrico en cada una de las regiones del transistor MOSFET. La línea continua es la curva que genera el modelo general o cuadrático, mientras que la línea discontinua es el comportamiento del modelo simétrico [21].

De la figura anterior, la línea sólida es la forma de la corriente de drenaje realizada con el

modelo general o cuadrático, mientras que las líneas discontinuas son las aproximaciones del modelo simétrico en la región de inversión débil y fuerte. El modelo simétrico no toma en cuenta la región de inversión moderada, por eso es que en la gráfica se presentan discrepancias en la forma de la corriente. No se presentan las ecuaciones que rigen el comportamiento del modelo simétrico, ya que este ejemplo solo sirve para evidenciar las diferencias entre las aproximaciones y la dificultad de obtener un modelo más exacto en cuanto al comportamiento del transistor.

Debido a que las aproximaciones difieren una de otra y no coinciden según la región en que se encuentre, se busca una ecuación para I_D más exacta y que funcione en todas las regiones, esta aproximación se conoce como modelo EKV [21], que propone una ecuación única para la corriente de *drain* sin importar la zona de inversión del transistor:

$$I_D = I_Z \left\{ \ln^2 \left[1 + \exp \left(\frac{V_{GS} - V_{Th}}{2n\phi_t} \right) \right] - \ln^2 \left[1 + \exp \left(\frac{V_{GS} - V_{Th} - nV_{DS}}{2n\phi_t} \right) \right] \right\} \quad (4.10)$$

donde I_Z es el valor de I_D en la región de inversión moderada como se observa en la figura 4.8, expresada como

$$I_Z = 2Kn\phi_t^2 \quad (4.11)$$

La constante ϕ_t es la tensión térmica descrita como

$$\phi_t = \frac{kT}{q} \quad (4.12)$$

y κ es la constante de Boltzmann ($1.38 \cdot 10^{-23}$ V.C/K), T es la temperatura en Kelvin y q es la carga del electrón ($1.602 \cdot 10^{-19}$ C) [19].

La variable n es adimensional y se puede obtener de la pendiente de subumbral medida en V/década como

$$S = n\phi_t \ln(10) \quad (4.13)$$

Esta ecuación parte de una definición de corrientes en el canal hacia adelante y en reversa, en función tanto de V_{GS} como de V_{DS} . Hacer tender a V_{GS} hacia cero o llevarla muy por encima de V_{Th} transforma la ecuación en sus equivalentes exponencial (para inversión débil) o cuadrática (para inversión fuerte). Este modelo es una interpolación realizada a partir de mediciones características de transistores conforme pasan por los distintos niveles de inversión.

Con el modelo EKV, se puede entonces realizar el diseño de circuitos analógicos mediante la metodología g_m/I_D , que busca disminuir un poco las complejidades del cálculo, haciendo notar que típicamente en diseño analógico se busca maximizar la razón de la transconductancia con respecto a la corriente de polarización de *drain* [7]. Para iniciar, se parte de la curva g_m/I_D con respecto a I_D/I_Z vista en la figura 4.9, donde g_m se conoce como transconductancia (medida en A/V, Ω^{-1} o Siemens).

De la figura 4.9, el eje de las abscisas se expresa como

$$X = \frac{I_D}{I_Z} \quad (4.14)$$

Conociendo las ecuaciones anteriores, se puede hacer una aproximación de la corriente I_D que funciona para todas las regiones de inversión cuando el transistor está saturado (V_{DS} no mayor a unos cuatro o cinco ϕ_t) que es la región típica donde se usa el transistor como amplificador, tal que:

$$I_D = I_Z \ln^2 \left[1 + \exp \left(\frac{V_{GS} - V_{Th}}{2n\phi_t} \right) \right] \quad (4.15)$$

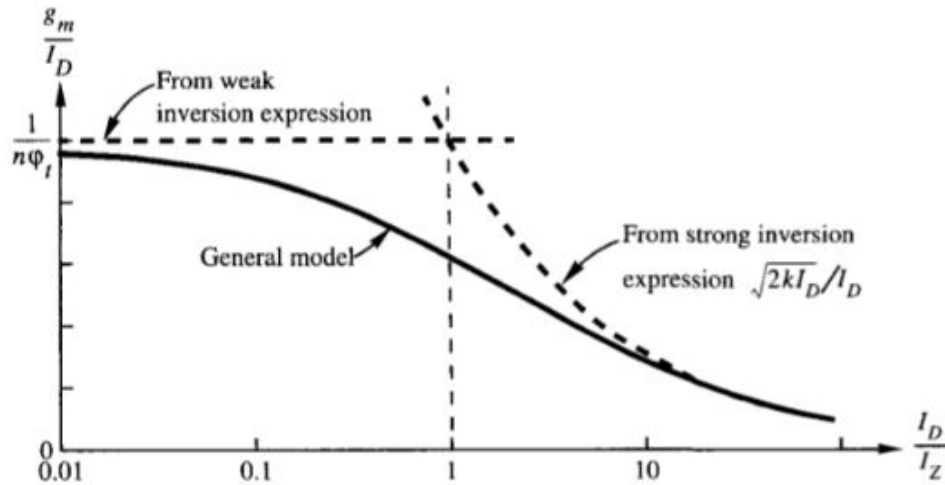


Figura 4.9: Curva g_m/I_D versus I_D/I_Z con el modelo general y el simétrico en cada una de las regiones del transistor MOSFET. De aquí se puede escoger el valor de X que corresponda a la región en que trabaja el transistor [21].

Para tomar en cuenta todas las regiones, g_m se calcula con

$$g_m = \frac{I_D}{n\phi_t} \cdot \frac{1}{f(x)} \quad (4.16)$$

Donde utilizando la figura 4.9, se ubica la región de inversión con la que se desea trabajar y se cambia el valor X en la función $f(x)$

$$f(x) = \sqrt{1 + 0,5\sqrt{x} + x} \quad (4.17)$$

Por lo tanto, con las ecuaciones anteriores, el proceso de diseño se reduce a la obtención de cada variable y el cálculo según la región de inversión en que se necesite cada transistor.

4.4 Amplificador operacional CMOS

Se puede definir un amplificador como un sistema de elementos activos que toma una señal eléctrica de entrada y la escala en su salida, es decir, puede verse aumentada o disminuida. Además, la señal de salida no necesariamente comparte la misma unidad que la entrada, por ejemplo, la señal de salida puede ser una corriente que responde de acuerdo a los cambios de tensión en la entrada [17].

Un amplificador ideal debe cumplir con 3 características principales: una ganancia infinita, una resistencia de entrada infinita y una resistencia de salida cero [17]. El amplificador no ideal varía estas características según las condiciones necesarias en un diseño.

La figura 4.10 muestra el esquemático de un amplificador operacional CMOS conformado por dos etapas, la primera es un par diferencial con los transistores M1, M2, M3 y M4, mientras que la segunda etapa es un *common source* con el transistor M6. Una de las ventajas de utilizar MOSFET es que en la entrada del *gate*, su resistencia es infinita [16]. Por otra parte, la entrada diferencial, rechaza señales comunes como por ejemplo el ruido.

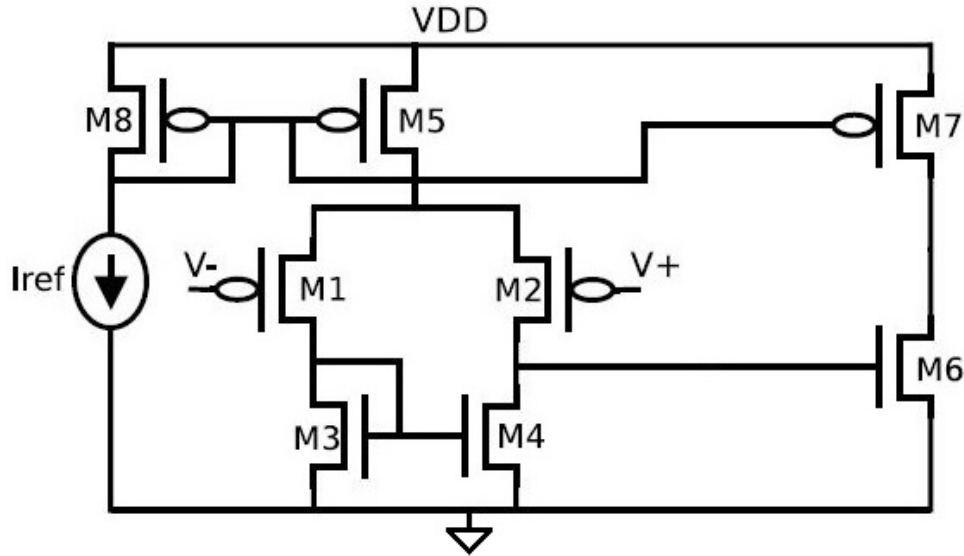


Figura 4.10: Amplificador operacional compuesto por dos etapas, la primera es un par diferencial (M1, M2, M3 y M4), la segunda es una *common source* a partir de M6. Los transistores M5, M7 y M8 conforman el circuito de polarización [12].

La ganancia del amplificador de la figura anterior responde a

$$A_V = \frac{V_o}{V_{id}} = g_{m1} \cdot g_{m6} (r_{o2} // r_{o4}) (r_{o6} // r_{o7}) \quad (4.18)$$

donde r_o es

$$r_o = \frac{1}{\lambda \cdot I_D} \quad (4.19)$$

Cada sección del amplificador posee un nivel óptimo de inversión para sus transistores. Para el circuito de polarización es en inversión fuerte, para el par diferencial es la región de inversión débil, aunque también se utiliza inversión moderada, mientras que para el *common source* es inversión débil o moderada [12].

4.5 Marcapasos y estimulación de tejidos por señales de tensión

El marcapasos es un dispositivo electrónico implantable que regula la frecuencia del corazón cuando se presentan arritmias cardíacas. Una arritmia cardíaca es la perturbación de la frecuencia cardíaca en estado de reposo del organismo. Esta es de 60 a 70 latidos por minuto en un adulto y de 80 a 120 en los niños [15].

Los marcapasos se dividen en dos tipos según el modo de aplicación, los externos y los internos. Los externos son utilizados en medio de una emergencia cuando el corazón se detiene, aplicando pulsos de hasta 150V. Los internos son usados por largos períodos de tiempo, internamente en el cuerpo del paciente, con pulsos de 0 a 15V y un rango de 0,1mA a 20mA. El ancho del pulso no supera los 5ms [9].

El tiempo promedio de vida de los marcapasos se ha aumentado conforme la tecnología avanza. Entre 1968 y 1972, la vida útil era de 22 meses, para 1974 era de 31 meses. Luego, de 1975 en adelante se llegó a más de 5 años. En la actualidad, algunos fabricantes aseguran un buen funcionamiento de por vida, bajo ciertas condiciones [15].

Para entender el funcionamiento del marcapasos, primero se debe conocer el comportamiento del corazón y cómo es que sucede la contracción del tejido cardíaco. Una sección del corazón llamada nodo sinusal (SA) posee células especializadas llamadas miocitos, éstas coordinan el intercambio de iones de sodio y potasio que crean una diferencia de potencial (ver figura 4.11), estimulando el tejido muscular cardíaco. Esta estimulación crea contracciones en las cavidades del corazón, bombeando la sangre hacia todo el organismo, además, el tiempo que tarda este proceso es aproximadamente 300ms [10].

Con respecto al comportamiento anterior, los marcapasos cumplen la función del nodo sinusal, es por esto que los electrodos se conectan a diferentes secciones del órgano para generar la contracción artificial del tejido cardíaco.

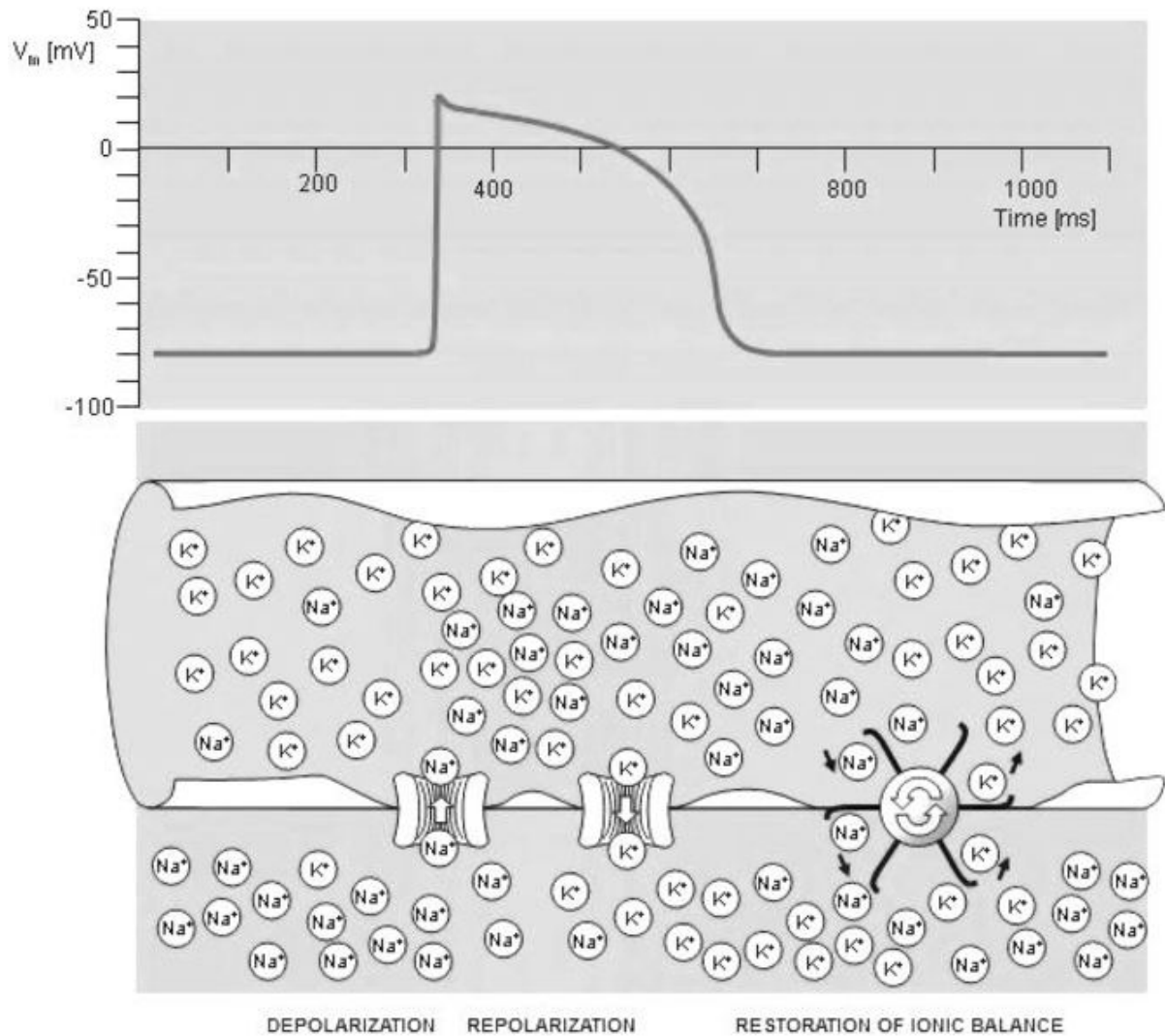


Figura 4.11: Proceso de estimulación cardíaco generado por el nodo sinusal del corazón, al intercambiar iones de potasio y sodio mediante las células llamadas miocitos. El intercambio de iones produce la polarización del tejido, generando una diferencia de potencial que estimula el tejido muscular en el corazón [10].

La estimulación artificial utiliza un pulso con una estructura bifásica, es decir, en una primera etapa se cambia la carga presente en el tejido al aplicar el pulso de tensión. Luego, se descarga o se modifica la polarización por medio de un capacitor [18]. La figura 4.12 muestra el comportamiento descrito.

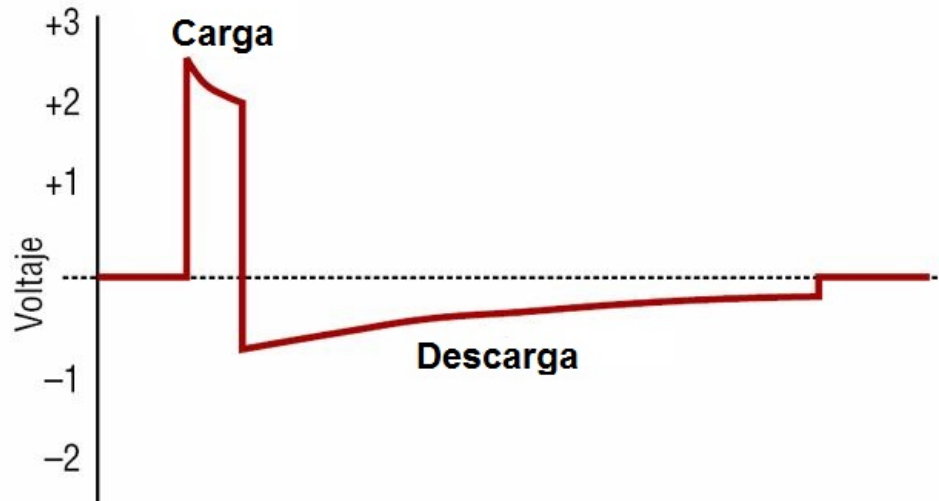


Figura 4.12: Estructura del pulso generado por medio de un marcapasos, se presenta una primer etapa de polarización, seguida de una descarga para regresar a las condiciones iniciales de reposo [18].

Para generar la despolarización en las células cardíacas, es necesario una cantidad mínima de energía de un impulso eléctrico, esta cantidad o punto se denomina umbral de estimulación. Técnicamente es medido por la densidad de corriente o flujo de electrones intracelular, pero en la realidad suele medirse en voltios [18].

La determinación del umbral de estimulación depende de diferentes factores como el nivel del pulso, la resistividad de los tejidos, así como la forma y el material del electrodo. Por lo tanto, se realiza un estudio por cada paciente para poder calibrar el marcapasos y determinar sus condiciones óptimas de corriente y la frecuencia de cada pulso [18].

Capítulo 5

Diseño de un circuito CMOS para estimulación cardíaca con protección a los sobre estímulos

Para realizar el diseño del circuito de estimulación cardíaca se parte del esquema general visto en la figura 5.1.

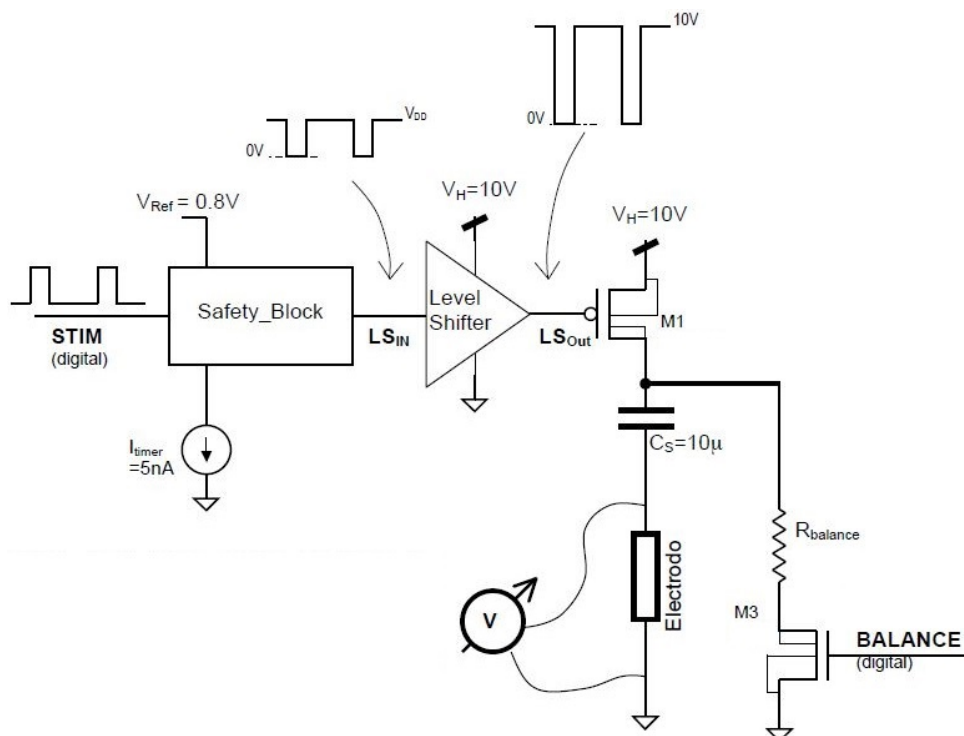


Figura 5.1: Esquema general del circuito de estimulación cardíaca, el cual incluye la llave de estímulo M1 y el *Level Shifter* que lo controla, así como la llave de balance de carga M3. También se muestra el *Safety Block* que impide estímulos mayores a 200ppm. [4]

El funcionamiento del circuito inicia con una señal generada por un microcontrador llamada STIM (por referirse a la palabra en inglés *stimulus*), la cual es la variable de entrada del sistema a diseñar. Seguidamente, STIM llega al bloque denominado *Safety Block* al que los pulsos lo atraviesan sin ningún inconveniente, excepto en aquellos casos en que se produzcan dos pulsos sucesivos separados con un tiempo menor a 300ms entre sí. La señal que sale de ese bloque se denomina LS_{IN} .

El *Level Shifter* aumenta la tensión de LS_{IN} hasta 10V, para poder alimentar al electrodo con los 10V del pulso. El transistor M1 es el que provee la tensión al electrodo.

Por otra parte, hay una segunda señal proveniente del microcontrolador denominada BALANCE, que sirve para controlar el balance de carga en la salida y proteger la salida del electrodo de las corrientes de fuga. El comportamiento de la señal BALANCE no se especifica en la documentación utilizada como referencia, y simplemente se encarga de asegurar que la carga neta entregada al tejido es igual a cero.

Para facilitar el diseño completo del circuito de estimulación, se dividió el problema en diferentes secciones para exponer el desarrollo de su solución con mayor claridad. Además, se presentan los resultados de las pruebas y mediciones realizadas en cada bloque, con el fin de ser analizadas por separado y concluir al respecto. También se incluyó un apartado con la obtención de algunos parámetros del proceso utilizado a partir de las curvas de los transistores.

Capítulo 6

Obtención de curvas y parámetros de los transistores en la tecnología usada

Se posee un manual del usuario del proceso CMOS utilizado en este proyecto (del que no se ofrecen datos por ser un proceso comercial). No obstante, algunos de los parámetros típicos de diseño en CMOS analógico, no están disponibles. Para obtenerlos se tuvo que establecer una metodología de extracción y ajuste de los mismos, a partir de las curvas I_D vs V_{DS} e I_D vs V_{GS} de cada transistor.

Los transistores utilizados para el diseño son tanto de bajo voltaje como de alto voltaje (estos últimos necesarios para manejar los pulsos de alta tensión necesarios para estimular el tejido).

Si bien la máxima tensión en el proceso escogido no alcanza los 10V [8], se prosiguió con el diseño ignorando esta característica. Ello pues lo que interesaba era demostrar el principio de funcionamiento y a nivel de simulación obtener los pulsos deseados no sería problema.

La metodología usada siguió el siguiente procedimiento (que se ejemplifica con uno de los muchos transistores medidos): Primero se realizó la obtención de la curva I_D vs V_{GS} , donde se inició con $V_{DS} = 0,2V$ y se fue variando la tensión aproximadamente cada 0,2V hasta llegar al V_{DS} máximo soportado por el transistor, mientras que se hacía un corrimiento de V_{GS} para cada valor de V_{DS} . Uno de los resultados se puede observar en la figura 6.1, de la cual se guardan los datos en formato .txt o .csv para su respectivo análisis. Además, se utilizaron diferentes valores de W y L para la simulación, tratando de cubrir un buen rango de muestras entre transistores de tamaños mínimos a de mediano y gran tamaño, tanto para transistores de bajo (LV) como alto voltaje (HV).

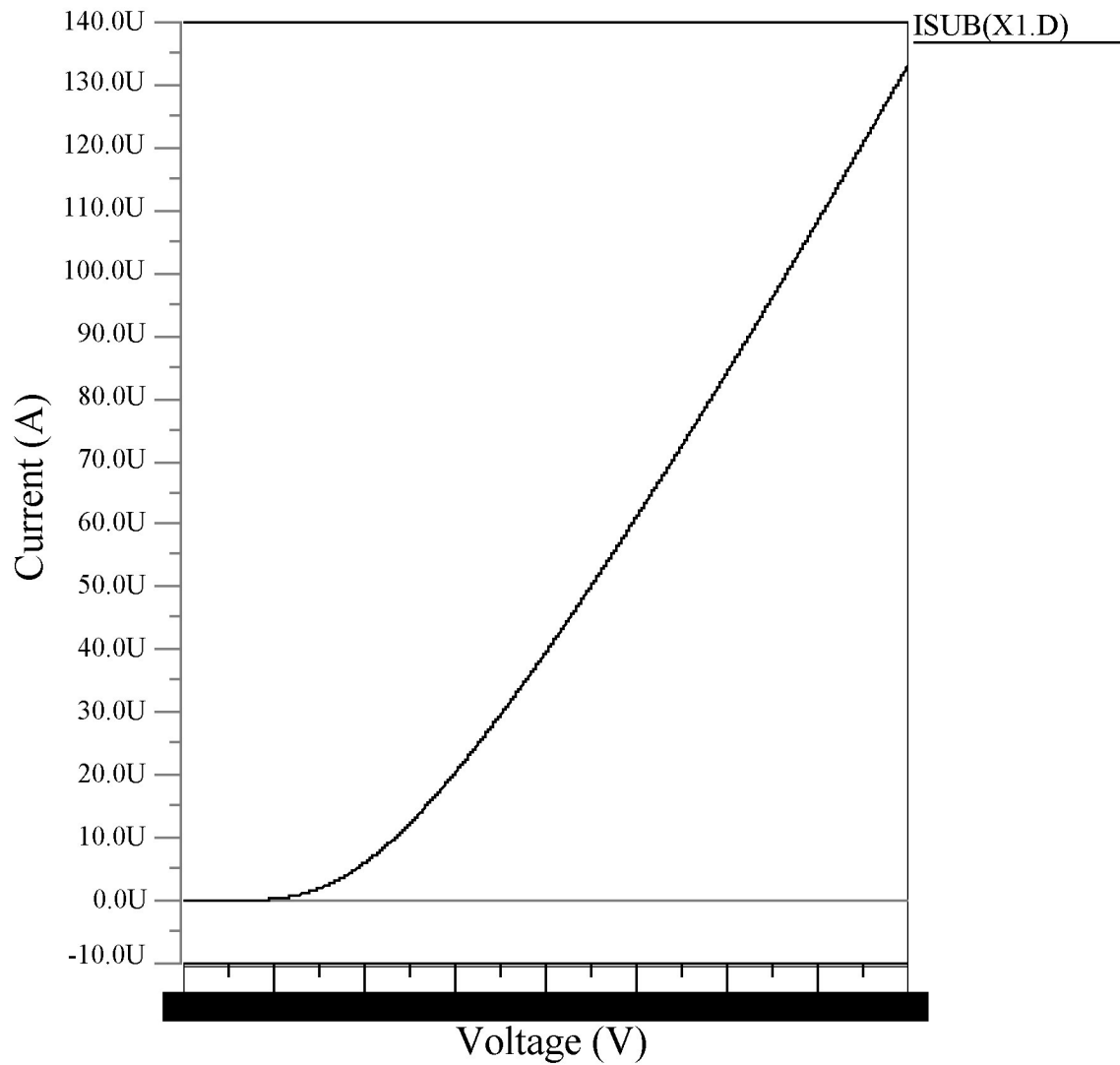


Figura 6.1: Curva I_D vs V_{GS} de uno de los transistores medidos con baja tensión V_{DS} .

Una vez realizadas todas las simulaciones con diferentes valores de V_{GS} , se colocaron los datos en una hoja del programa *Excel* para tener un mayor orden y facilidad al momento de hacer cálculos. Esto se puede ver en la figura 6.2.

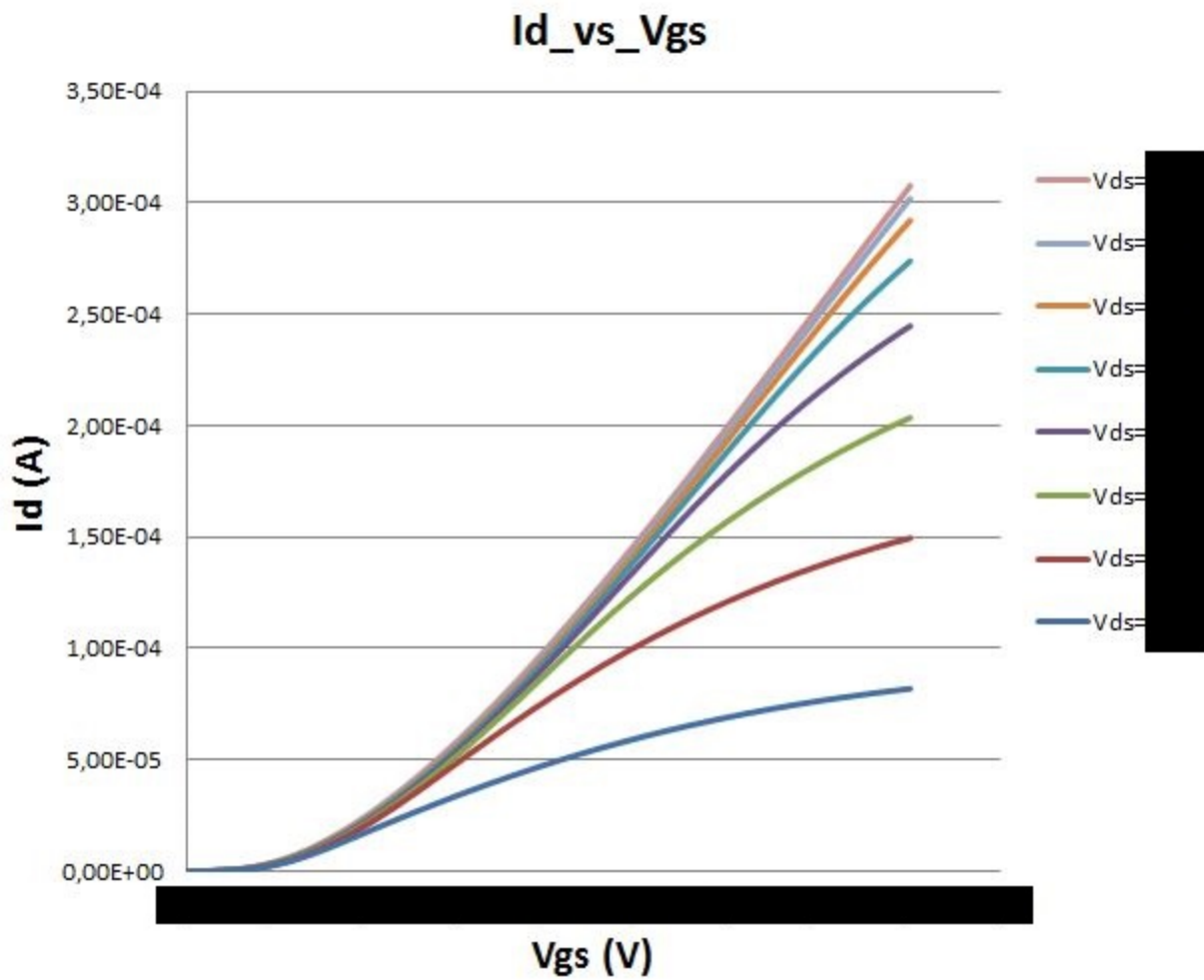


Figura 6.2: Distintas curvas I_D vs. V_{GS} para uno de los transistores medidos, para distintos V_{DS} .

El mismo método se realizó para I_D vs V_{DS} , pero en este caso se utilizaron valores constantes de V_{GS} mientras que se hacía un corrimiento de V_{DS} . Al graficar los datos juntos, se pueden comparar las curvas como se muestra en la figura 6.3.

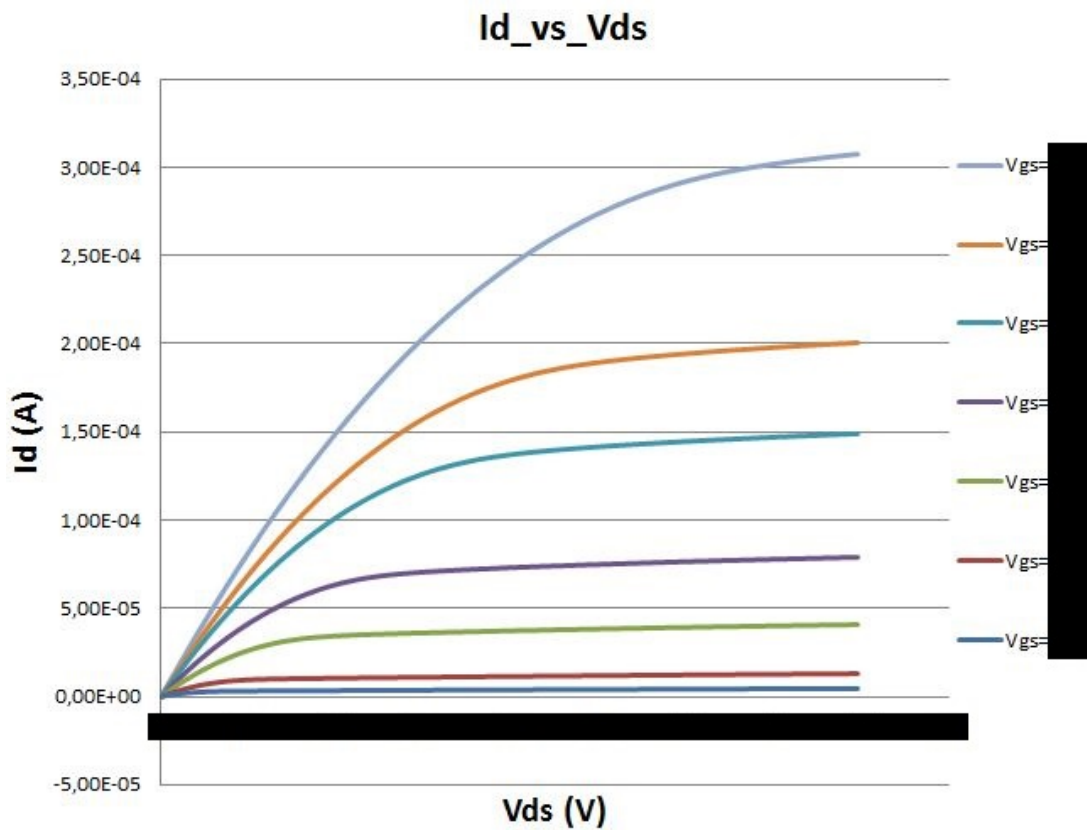


Figura 6.3: Curvas I_D vs. V_{DS} para distintos V_{GS} para uno de los transistores medidos.

Con base a los datos obtenidos que fueron graficados en las figuras 6.2 y 6.3, el paso siguiente fue calcular V_{Th} a partir de las curvas I_D vs V_{GS} , ya que como se observa en la figura 6.4, al tomar $\sqrt{I_D}$ la curva se linealiza y el punto que corta el eje V_{GS} en $I_D = 0$ es V_{Th} .

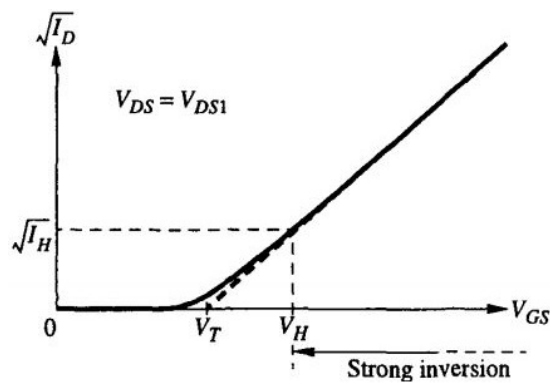


Figura 6.4: Curva $\sqrt{I_D}$ vs V_{GS} para la obtención del valor de V_{Th} . [21]

Conociendo esto, se realizó un *script* en *Python* en el cual se toman los datos de cada simulación y se calcula V_{Th} , generando una recta en un intervalo que se puede variar a conveniencia. Un ejemplo de su resultado se presenta en la figura 6.5, donde se exponen los datos utilizados en la simulación y las curvas generadas.

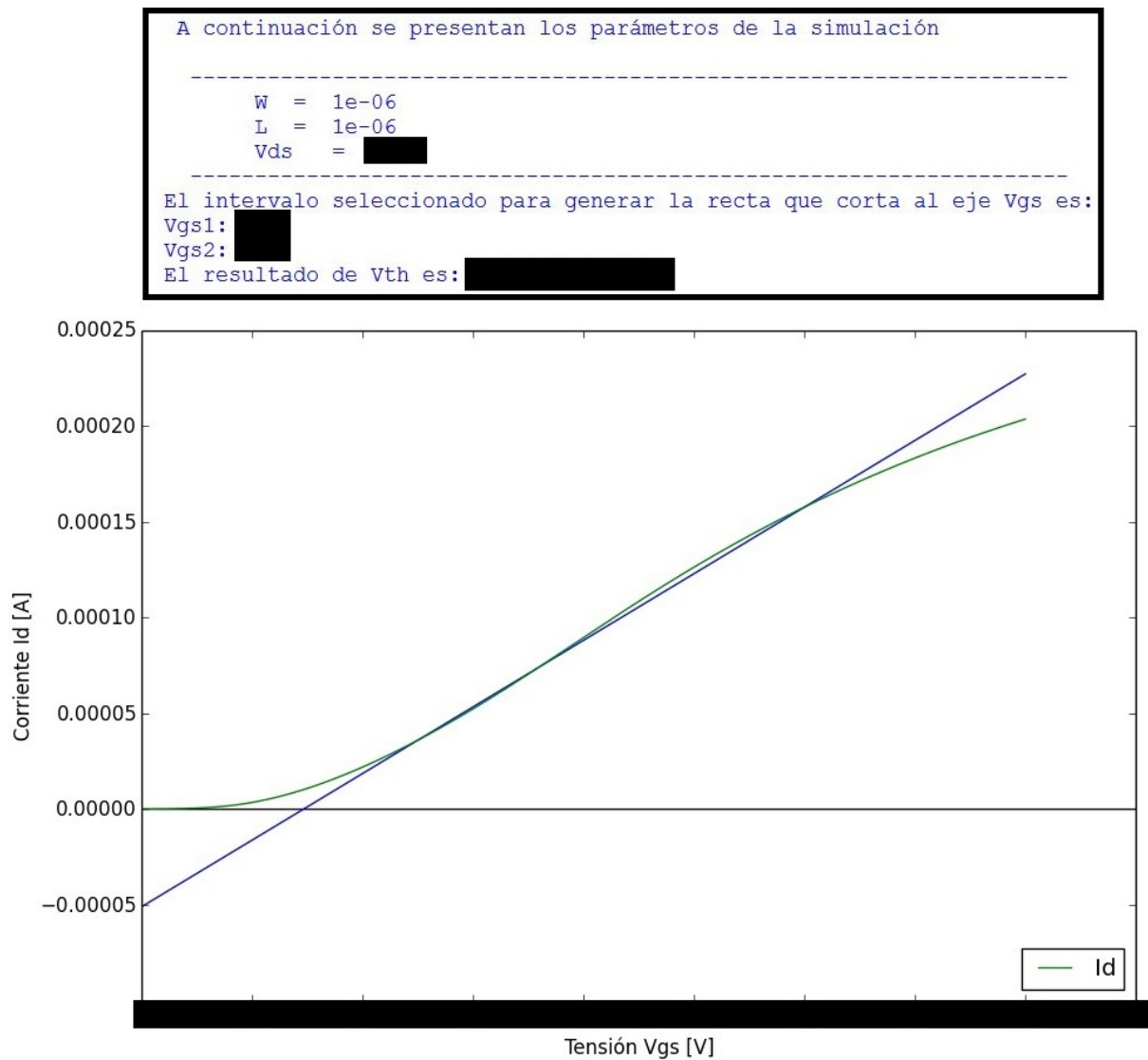


Figura 6.5: Obtención del V_{Th} empírico de uno de los transistores simulados. Arriba el script.

Los resultados se dan como un promedio de varias pruebas debido a que V_{Th} no es un parámetro estático o constante. Se obtuvieron parámetros de V_{Th} para un promedio de transistores en la tabla 6.1 (no se muestran debido a la confidencialidad de los resultados).

Tabla 6.1: Resultado promedio de V_{Th} de los transistores NMOS y PMOS simulados.

	Tipo	V_{Th} [V]
LV	nmos	██████████
	pmos	██████████
HV	nmos	██████████
	pmos	██████████

Otro parámetro importante es λ que se determina a partir de la tensión de Early V_A como lo muestra la figura 4.7. Esta variable se obtiene de las curvas I_D vs V_{DS} como las vistas en la figura 6.3, donde por medio de un *script* similar al utilizado para el cálculo de V_{Th} ,

se toman los valores de la simulación y se determina su valor. Para su obtención, se utiliza un valor de $V_{GS} = 5 \cdot \phi_t$ para que se encuentre en la región de subumbral, el resultado al correr el *script* se muestra en la figura 6.6.

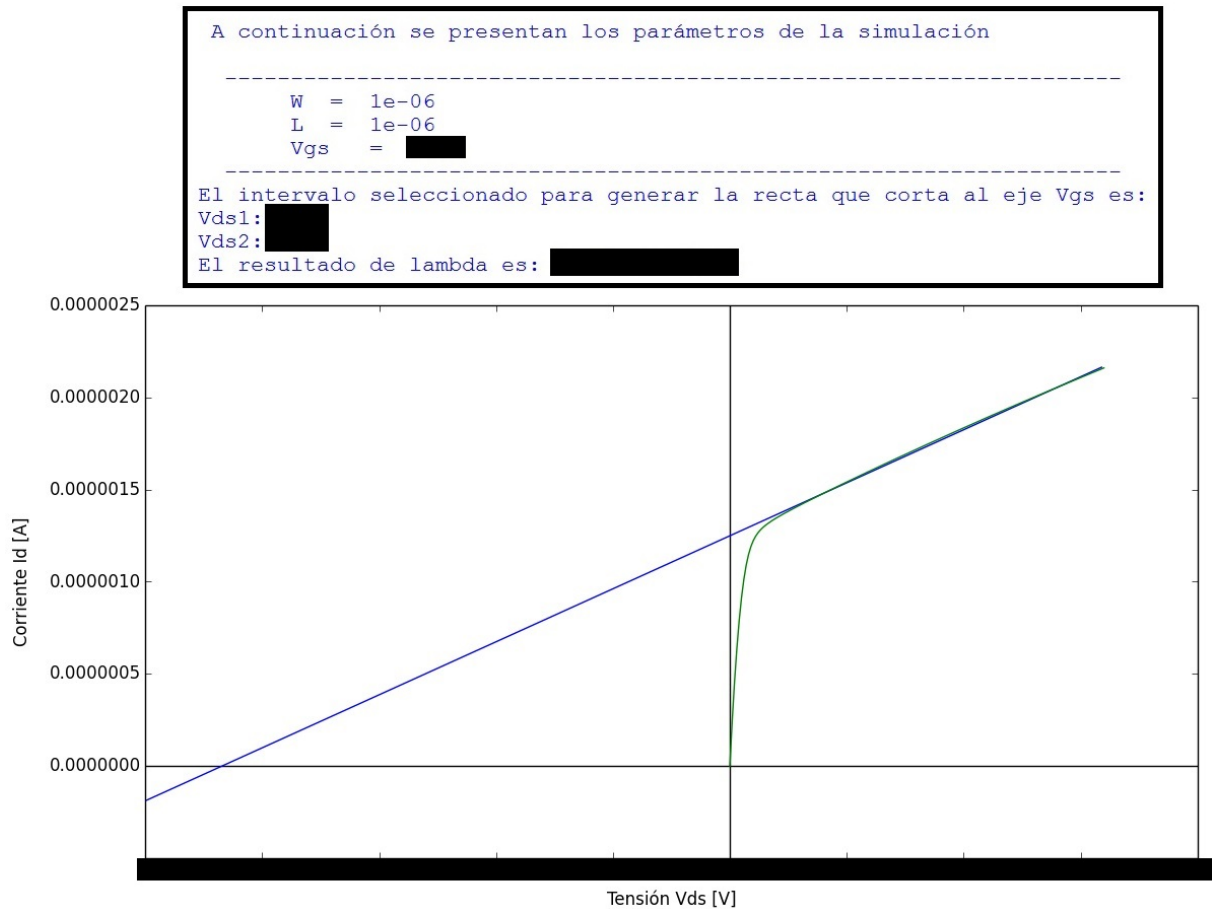


Figura 6.6: Ejemplo del cálculo de λ para determinado transistor en la zona de saturación.

Realizando el mismo procedimiento para cada transistor, se obtuvieron los resultados de λ que se usaron para los cálculos de pequeña señal en el diseño.

Tabla 6.2: Valores de λ obtenidos para simulaciones de un transistor cuadrado $L=W=1\mu\text{m}$.

	Tipo	$\lambda [V^{-1}]$
LV	nmos	[redacted]
	pmos	[redacted]
HV	nmos	[redacted]
	pmos	[redacted]

Una vez calculado los valores de V_{Th} y λ se necesitaba el parámetro κ' del proceso para poder iniciar los diseños posteriores. Las ecuaciones 4.10 a la 4.15 poseen valores que se deben obtener antes de calcular el κ' , estos datos se pueden observar en la tabla 6.3 y son obtenidos por medio de las hojas de datos del proceso usado en este proyecto.

Tabla 6.3: Valores generales de las variables características del proceso CMOS comercial usado en este proyecto.

Variable	Valor	Unidad
ϕ_t	0,026	V
S^{-1}		
n		

Con la información anterior, se despejó κ' de la función de I_D para todas las regiones de inversión 4.15 tal que

$$\kappa' = \frac{I_D}{2 \frac{W}{L} n \phi_t^2 \ln^2 \left[1 + \exp \left(\frac{V_{GS} - V_{Th}}{2n\phi_t} \right) \right]} \quad (6.1)$$

Como ya todas las variables son conocidas, se colocaron los datos en un *script* con la ecuación 6.1 y la curva I_D en función de V_{GS} . Con esto, se logra obtener el valor de κ' para cualquiera de los transistores a utilizar. Este valor es un promedio a lo largo de todas las regiones de operación. Puesto que el interés del proyecto se enfocaba en las regiones de inversión moderada y débil, se restringió el rango a estas zonas para tener un valor un poco más preciso. Debe recordarse que este valor es solo un parámetro de arranque en el planteo inicial del diseño de los circuitos. Será luego mediante simulaciones que se ajusten los tamaños apropiados finales de los transistores.

Claro está, este valor no es constante y varía de acuerdo a la región en que se encuentre o a la tensión V_{GS} , pero como se busca trabajar en la región de subumbral, se tomó el resultado con valores por debajo de V_{Th} . En resumen, los resultados de κ' se muestran en la tabla 6.4.

Tabla 6.4: Valores promedio de κ' en la región de subumbral y moderada ($V_{GS} < V_{Th}$) para los transistores simulados.

	Tipo	$\kappa' \left[\frac{\mu A}{V^2} \right]$
LV	nmos	
	pmos	
HV	nmos	
	pmos	

Una vez que se obtuvieron todos los parámetros que se necesitaban, se realizó un ajuste de los parámetros del modelo matemático de la ecuación 4.10, utilizando los valores de V_{Th} , λ y κ' aproximados anteriormente, con el fin de ajustarlos numéricamente hasta hacer coincidir los modelos de simulación con los del cálculo manual. Para esto se hizo un *script* en *Python* para comparar la simulación de los transistores con el modelo de la ecuación 4.10, en la figura 6.7 se muestra uno de los resultados parciales obtenidos para un transistor en particular.

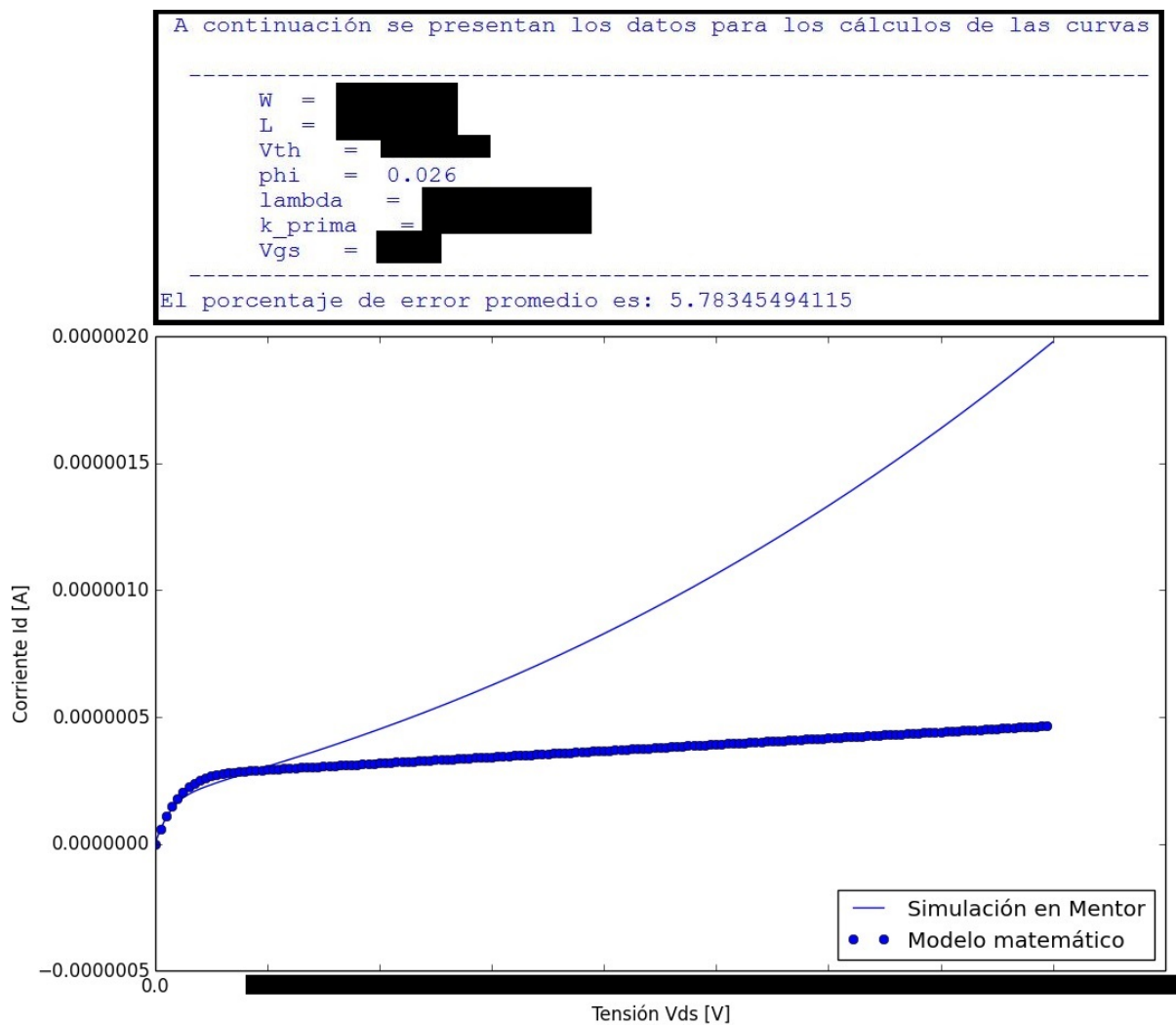


Figura 6.7: Comparación del modelo matemático de la ecuación 4.10 con los datos obtenidos en la simulación. Nótese el error especialmente en la zona de saturación.

Como vemos en la figura anterior, ha de tenerse cuidado al definir los rangos de operación del transistor. Ello pues el modelo teórico no incluye efectos de ruptura. En este caso, se excitó al transistor con una V_{DS} que superaba la máxima tensión aplicable para el V_{GS} respectivo. Por eso se decide aumentar V_{GS} y su resultado fue como de la figura 6.8.

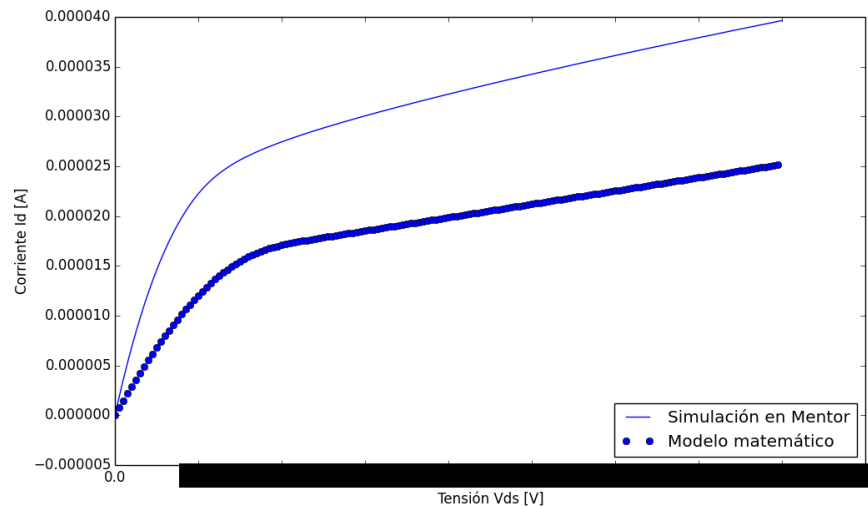


Figura 6.8: Comparación del modelo matemático de la ecuación 4.10 con los datos obtenidos en la simulación. Se ajustan tensiones a los rangos adecuados. Nótese que ahora λ parece coincidir en ambos modelos.

A partir de los resultados anteriores, se realizó un ajuste numérico de κ' que llevó a la coincidencia en las curvas mostrada en la figura 6.9. Ya con estos parámetros, es posible entonces hacer cálculos manuales que se saben, estarán cerca de los valores reales.

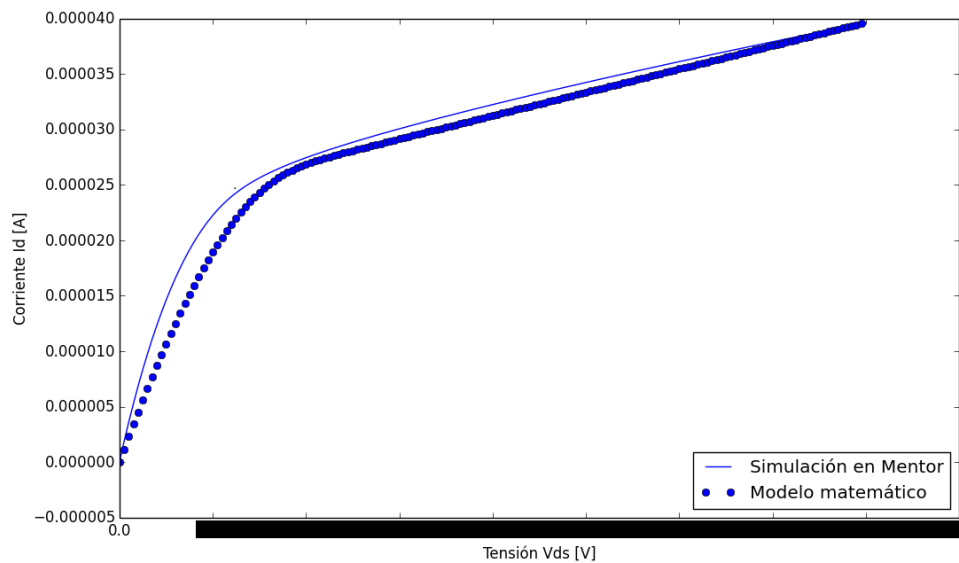



Figura 6.9: Ajuste del modelo matemático de la ecuación 4.10 con los datos obtenidos en la simulación. El porcentaje de error promedio fue 4.96% y el $\kappa' = \blacksquare$.

En la tabla 6.5 se muestran los valores ajustados de κ' para los distintos transistores.

Tabla 6.5: Valores obtenidos de κ' en la región de subumbral para cada transistor, después de ser ajustados para el modelo matemático de la ecuación 4.10.

	Tipo	κ' [$\frac{\mu A}{V^2}$]
LV	nmos	
	pmos	
HV	nmos	
	pmos	

Al finalizar el desarrollo presente en este capítulo se determinó que aunque los parámetros de los transistores no sean constantes, se debe obtener una aproximación inicial para tener un punto de partida en el diseño de los circuitos del sistema. Además, es importante considerar el tamaño del transistor porque afecta el valor de la corriente que pasa por ellos.

Para obtener los parámetros del proceso, es necesario realizar varias mediciones, a diferentes tensiones, por que el comportamiento del transistor también varía con respecto a V_{DS} o V_{GS} . Con los diferentes tipos de transistores, se puede seguir una misma metodología para la obtención de sus parámetros, ya que se comportan de forma similar al ser polarizados.

Por otra parte, los resultados deben ser verificados por medio de modelos matemáticos para determinar si coinciden con los parámetros utilizados en el *software* de simulación.

Capítulo 7

Diseño del bloque de seguridad o *Safety Block*

Para el sistema, existían una serie de restricciones definidas según la propuesta inicial del proyecto. Una funcional: que no podían permitirse pulsos sucesivos separados menores de 300ms entre sí. Y otra relacionada con la eficiencia: existía un presupuesto de corriente que no debía superar los 25nA para todo el sistema. En función de la primera restricción, era necesario entonces contar con un sistema generador de tiempos. Para ello, partiendo de la sugerencia de [4] se propuso una primera versión de dicho generador, considerando que no se podría superar el presupuesto de potencia asignado. Este bloque utiliza una fuente de corriente de referencia I_{ref} de 5nA y una fuente de tensión V_{ref} de 0.8V. Por aparte, era necesario algún tipo de lógica digital que determinara a partir de la base de tiempos cuándo era permisible aplicar un pulso. En la figura 7.1 tenemos la propuesta del generador de base de tiempos propuesto en [4].

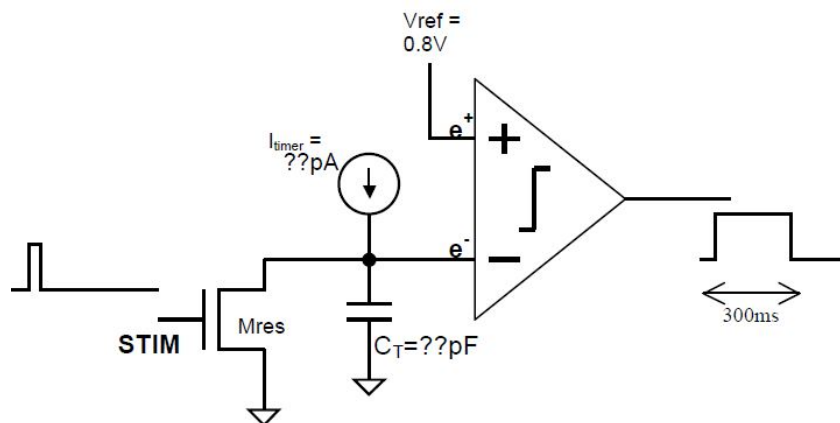


Figura 7.1: Propuesta inicial para la generación de la base de tiempo de 300ms que se dispara con la señal STIM, el transistor M_{RES} resetea la tensión en el capacitor C_T y lleva la salida del comparador a '1', cuando STIM baja, la corriente I_{timer} carga a C_T . Cuando la rampa de tensión en e^- es mayor a 0,8V, la salida del comparador baja a '0'. [4]

El generador de tiempos inicia con la carga del transistor C_T por medio de la corriente I_{timer} , mientras que la tensión en e^- es superior a V_{ref} (conectada a e^+ del comparador), la salida del comparador es un '0' lógico. Esto es controlado por medio de la señal de entrada STIM, cuando esta señal es cero, el transistor M_{RES} está desactivado, pero una vez que sube a V_{DD} , M_{RES} se activa y el capacitor se descarga, obteniendo en la salida del comparador un '1' lógico.

7.1 Comparador utilizando un amplificador operacional de Miller

Como se observa en la figura 7.1, el *Timer* necesita un comparador de bajo consumo para su funcionamiento. Por ello se utiliza un comparador desarrollado a partir de un amplificador de Miller sin compensar, como el de la figura 7.2.

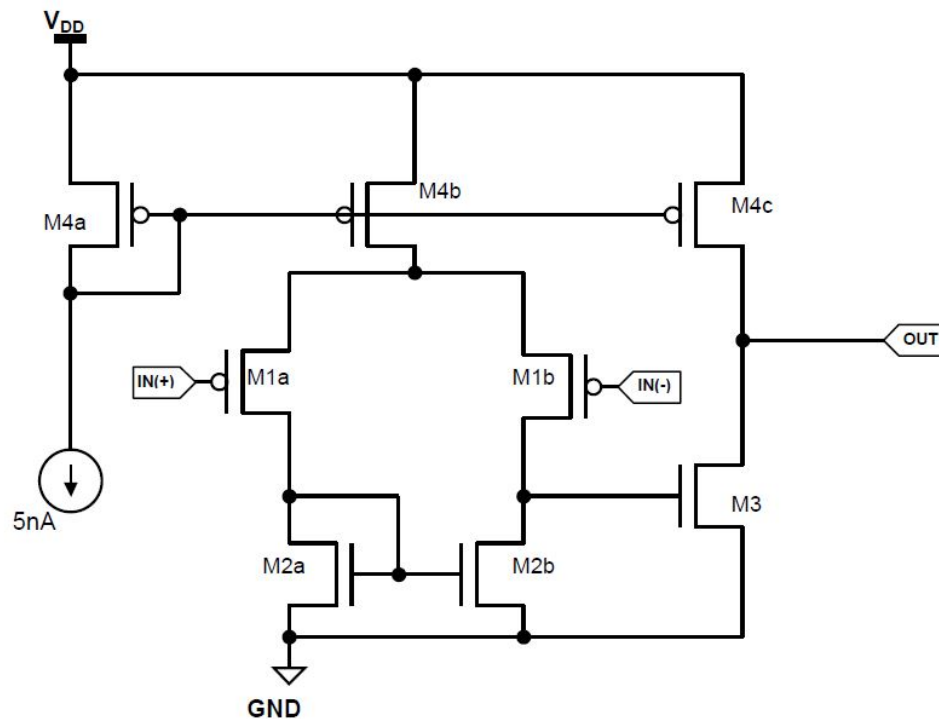


Figura 7.2: Topología de un comparador de bajo consumo con un amplificador de Miller sin compensar [2].

Cómo se desea disminuir el consumo, para este circuito se usaron transistores *LV*. El dimensionamiento se realizó por medio de la metodología g_m/I_D y partir de los datos de la tabla 7.1.

Puesto que se supone que este comparador manejará alguna lógica, se hizo primero un estudio sobre la posible capacitancia de carga con la que podría toparse. Para ello, se determinó la capacitancia teórica que presentaría en su compuerta un inversor mínimo con relación 2:1 entre PMOS y NMOS [22]. Así:

$$C_g = C_{OX}WL = 3,9\epsilon_0 \frac{WL}{t_{OX}} = C_{gs} + C_{gd} + C_{gb} \quad (7.1)$$

Por ende el valor total entonces de un carga de inversor mínimo será entonces de tres veces C_g , tal que:

$$C_T = 3C_{g_{nmos}} \quad \blacksquare \quad (7.2)$$

Ahora, aplicando los conceptos de óptimo esfuerzo lógico, suponemos una carga de Fan-out of 4 (FO4) a la salida del comparador, tal que [22]:

$$C_{TFO4} = 4C_T = \quad \blacksquare \quad (7.3)$$

Tabla 7.1: Datos del fabricante y calculados que se usaron para el dimensionamiento del circuito (se tachan los datos por asuntos de confidencialidad) de los transistores del comparador.

Variable	Unidad	NMOS	PMOS
S^{-1}			
n			
ϕ_t			
κ^2			
t_{ox}			
W_{min}			
L_{min}			
$C_{overlap}$			
ϵ_0			
Slew Rate SR			
I_{ZU}			

Esta carga de salida es la que debe poder manejar el comparador (su *slew-rate*), lo que a su vez define su corriente de salida, si nos proponemos un SR adecuado (en este caso, suponemos $0,1V/\mu s$, ya que no estamos ante una situación donde la velocidad sea crítica). Así, la corriente de salida del comparador es:

$$I_{Dout} = SR \cdot C_{TFO4} = 0,4nA \quad (7.4)$$

Escogemos $I_{Dout} = 0,5nA$ para cubrir la carga del *Common Source* del comparador y el cableado. Además, se conoce que

$$I_{Dout} = I_{D3} \quad (7.5)$$

Luego debemos considerar la corriente unitaria en el punto Z , I_{ZU} , debido a que como lo expresa la ecuación 4.14, se puede despejar la relación W/L de [7]

$$X = \frac{I_D}{I_{ZU} \cdot \frac{W}{L}} \quad (7.6)$$

y obtener

$$\frac{W}{L} = \frac{I_D}{X \cdot I_{ZU}} \quad (7.7)$$

Con respecto a lo anterior, ya se pudo calcular la relación del transistor M3 a partir de X , el cual se puede escoger a conveniencia y de acuerdo a la región de inversión mostrada en la figura 4.9. Para facilitar su comprensión, la expresión de 7.7 para M3, sería

$$(W/L)_3 = \frac{I_{D3}}{X \cdot I_{zu_{nmos}}} \quad (7.8)$$

El resultado depende del valor escogido de X , que es la región de inversión del transistor que, en este caso, para minimizar consumo y maximizar la transconductancia, obliga a ir hacia la zona de inversión débil (X alrededor de 0,1 o menos). Valores preliminares de W/L se pueden notar en la tabla 7.2, a partir del *script* usado para calcular estas relaciones.

Para el transistor M4c, el cálculo es el mismo que el de M3 ya que los transistores están en serie y comparten la misma corriente. La única diferencia es que se utiliza $I_{zu_{pmos}}$. Además, se consideró que la corriente por M4b fuera igual a I_{Dout} , por lo tanto, su tamaño es el mismo que M4c por el espejo de corriente con M4a.

Como el transistor M4a es el que posee la corriente de referencia I_{ref} , su tamaño se obtuvo con base al de M4b y M4c, según la relación del espejo de corriente

$$\frac{(W/L)_{M4a}}{(W/L)_{M4b}} = \frac{I_{Dref}}{I_{Dout}} \quad (7.9)$$

y despejando M4a

$$(W/L)_{M4a} = (W/L)_{M4b} \cdot \frac{I_{Dref}}{I_{Dout}} = (W/L)_{M4b} \cdot 10 \quad (7.10)$$

El siguiente paso fue determinar el tamaño de M2a y M2b (de ahora en adelante M2ab), que para evitar el *offset* sistemático. Dado que el amplificador de Miller cumple que [12]

$$\frac{(W/L)_{M3}}{(W/L)_{M2ab}} = 2 \cdot \frac{(W/L)_{M4c}}{(W/L)_{M4b}} \quad (7.11)$$

y como M4b es igual a M4c

$$\frac{(W/L)_{M3}}{(W/L)_{M2ab}} = 2 \quad (7.12)$$

$$(W/L)_{M2ab} = \frac{(W/L)_{M3}}{2} \quad (7.13)$$

Finalmente los transistores M1a y M1b se calcularon de forma similar a M3 y M4c, debido a que la corriente que pasa por cada uno de ellos es

$$I_{D1a} = \frac{I_{Dout}}{2} \quad (7.14)$$

con lo que se obtuvo que

$$(W/L)_{M1ab} = \frac{I_{D1a}}{X \cdot I_{Zu_{pmos}}} \quad (7.15)$$

Para realizar estos cálculos, se utilizó una plantilla con la que se pudo probar diferentes valores de X, así como variar algunos parámetros y facilitar la iteración y el rediseño del comparador para obtener el tamaño de cada transistor observado en la tabla 7.2.

Tabla 7.2: Tamaño de los transistores sin optimizar que conforman el comparador.

Transistor	W [μm]	L [μm]
M1a		
M1b		
M2a		
M2b		
M3		
M4a		
M4b		
M4c		

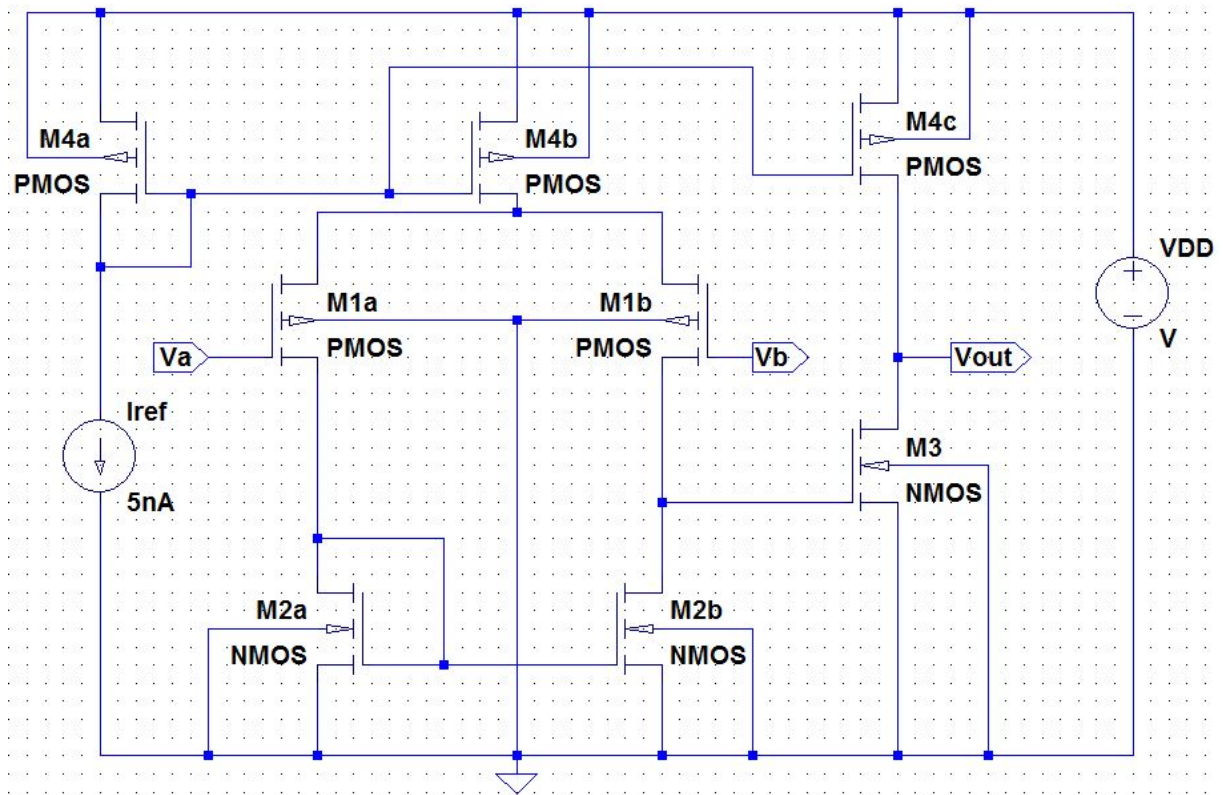
Una vez que se obtuvo esa relación en cada transistor, se buscó optimizar el tamaño de los mismos mediante transistores en serie para obtener la misma relación W/L , pero con transistores de largo menor. Los resultados de esta optimización se observan en la tabla 7.3.

Con el comparador diseñado, se montó el circuito para comprobar su comportamiento y el consumo de potencia (ver figura 7.3).

En la figura 7.4 se puede observar el resultado de la primera simulación del comparador. La respuesta del circuito es inesperada debido a que la señal de salida nunca cambia y se mantiene casi en cero voltios. Luego de evaluar exhaustivamente y sin resultados el circuito para buscar errores, se procedió a revisar las capacitancias parásitas de los transistores calculados.

Tabla 7.3: Tamaño de los transistores optimizados del comparador.

Transistor	Cantidad	W [μm]	L [μm]
M1a			
M1b			
M2a			
M2b			
M3			
M4a			
M4b			
M4c			

**Figura 7.3:** Esquemático del comparador con un amplificador de Miller. La entrada Va hace referencia a la entrada IN(+) del comparador, mientras Vb es IN(-).

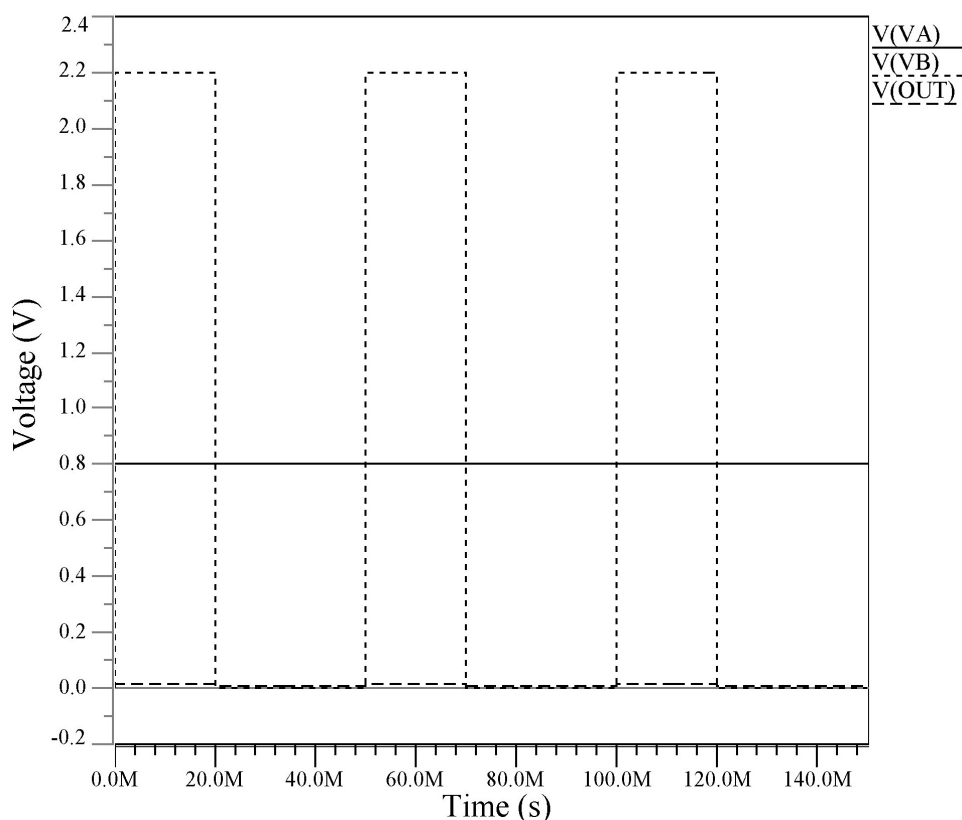


Figura 7.4: Primera simulación del comparador diseñado, la señal de salida V_{OUT} se mantiene casi en cero, sin importar el valor de tensión aplicada en la entrada.

Los cálculos de área se realizaron para cada uno de los transistores en los nodos de señal. A partir de estos cálculos, se encontró una capacitancia excesiva en el nodo interno (la salida del diferencial hacia el *common source*), del orden de 2,3 pF. El SR [13] calculado fue de:

$$SR = \frac{I_C}{C_{Carga}} = \frac{0,5nA}{2,3pF} \simeq 217V/s \quad (7.16)$$

Al pasar el valor anterior a $mV/\mu s$, se obtuvo un $SR = 0,217 mV/\mu s$, algo demasiado lejos de los $0,1V/\mu s$ buscados, ya que en tan solo un microsegundo, el cambio de tensión es menor a un milivoltio. Puesto que se estaba bastante dentro del presupuesto de corriente de 25nA, la corriente de salida se aumentó en un orden de magnitud, y se llevó hasta 4,839nA, lo que mejoró un poco el desempeño del circuito (ver figura 7.5).

Se procedió a realizar un estudio más cuidadoso del procedimiento. Aquí se encontró un error en los cálculos de la constante de ganancia κ' del proceso (que se muestra corregido ya en el capítulo 6). El recálculo de los transistores dio tamaños mucho más cercanos a la realidad (ver tabla 7.4). Además, un breve análisis de modo común en el simulador en el operacional pareció indicar que el diferencial PMOS no podía manejar las referencias de tensión positivas deseadas, pues la fuente de corriente de cola se salía de saturación y el diferencial dejaba de operar. Para solucionar este segundo punto, se procedió a

implementar el operacional con un diferencial NMOS, tal como se muestra en la figura 7.6.

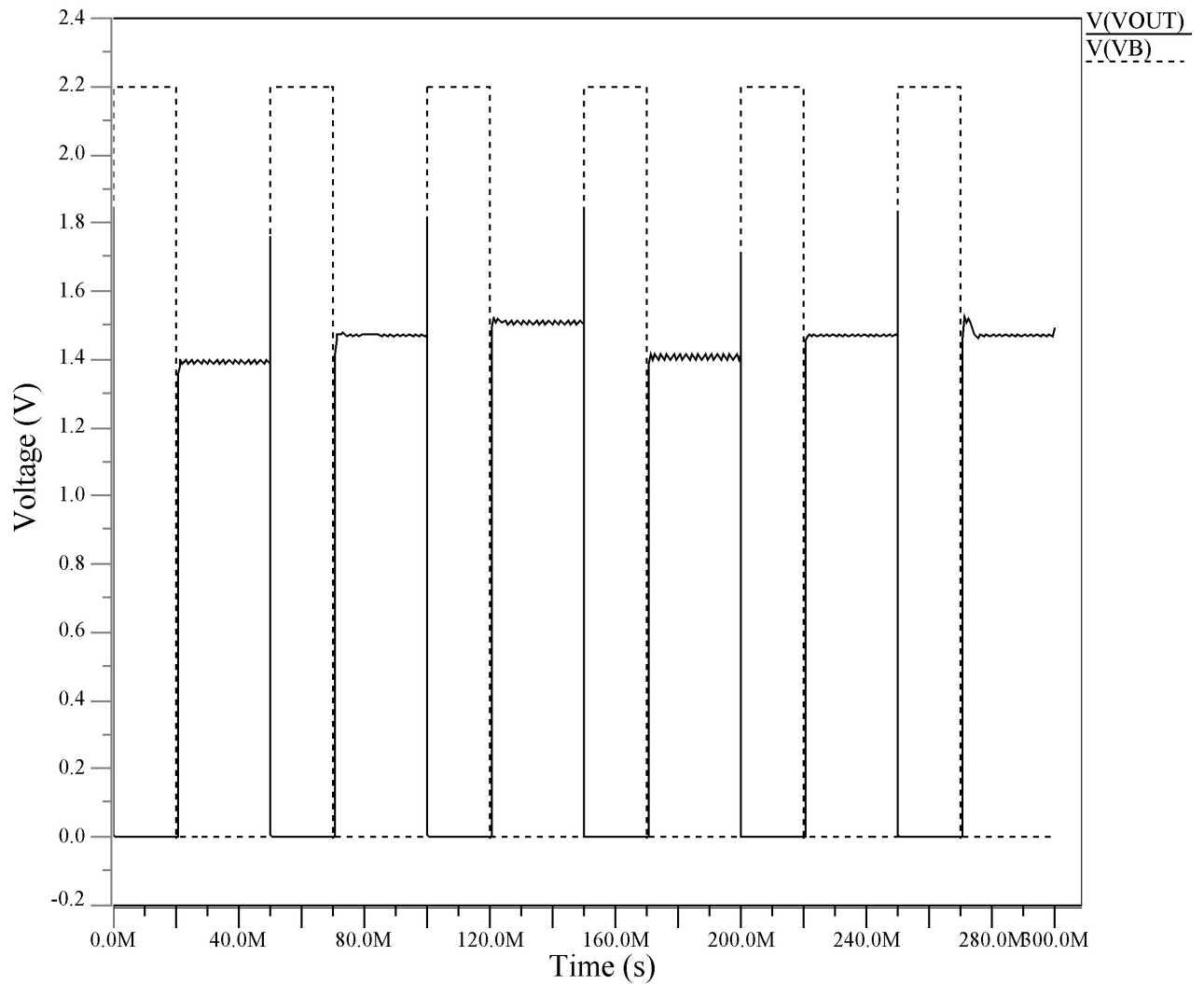


Figura 7.5: Funcionamiento del comparador una vez que se aumentó corriente I_{Dout} . Cuando V_b supera el valor de 0,8V, V_{OUT} baja a un '0' lógico. Caso contrario ocurre cuando V_b es menor a V_a , entonces V_{OUT} debería cambiar a un '1' lógico, pero esto no sucede, con lo que se siguen presentando errores.

Tabla 7.4: Tamaño final de los transistores que conforman el comparador, una vez que se verificó el modelo matemático 4.10.

Transistor	W [μm]	L [μm]
M1a		
M1b		
M2a		
M2b		
M3		
M4a		
M4b		
M4c		

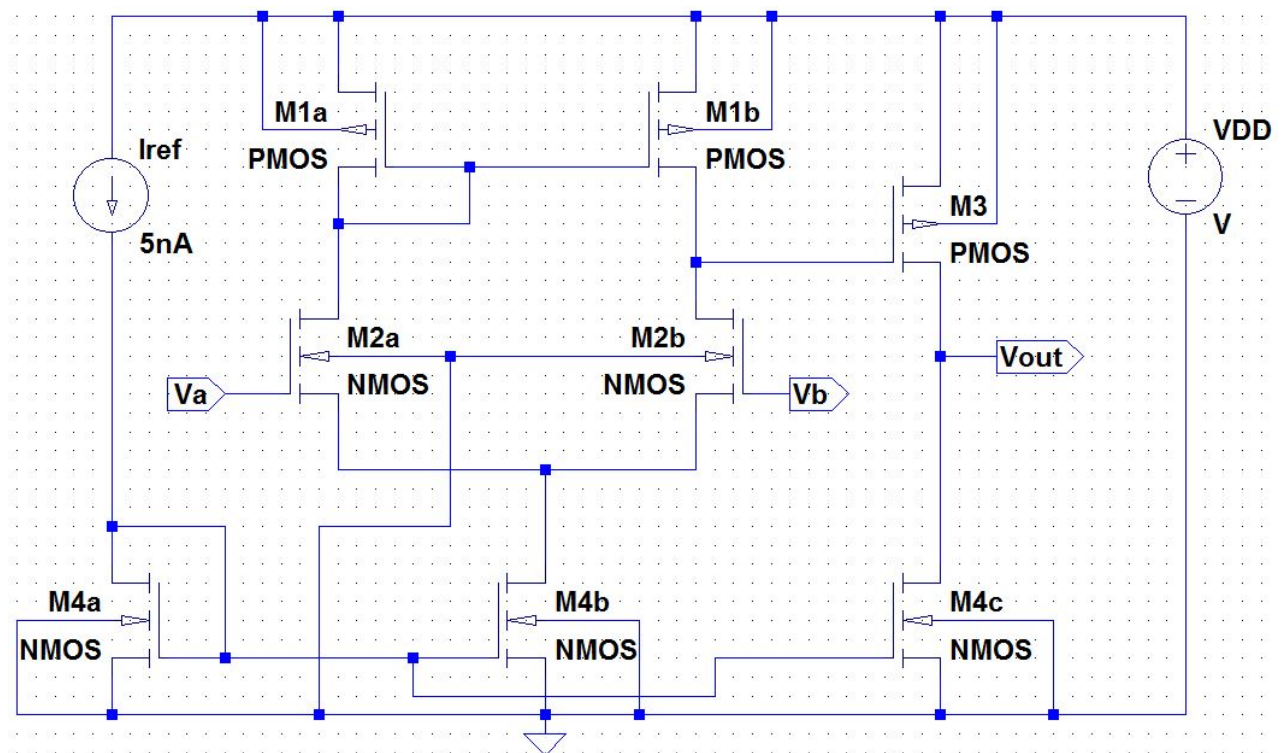


Figura 7.6: Esquemático del comparador con amplificador de Miller, con par diferencial NMOS.

Como puede apreciarse en la figura 7.7, el comportamiento del circuito ahora es satisfactorio.

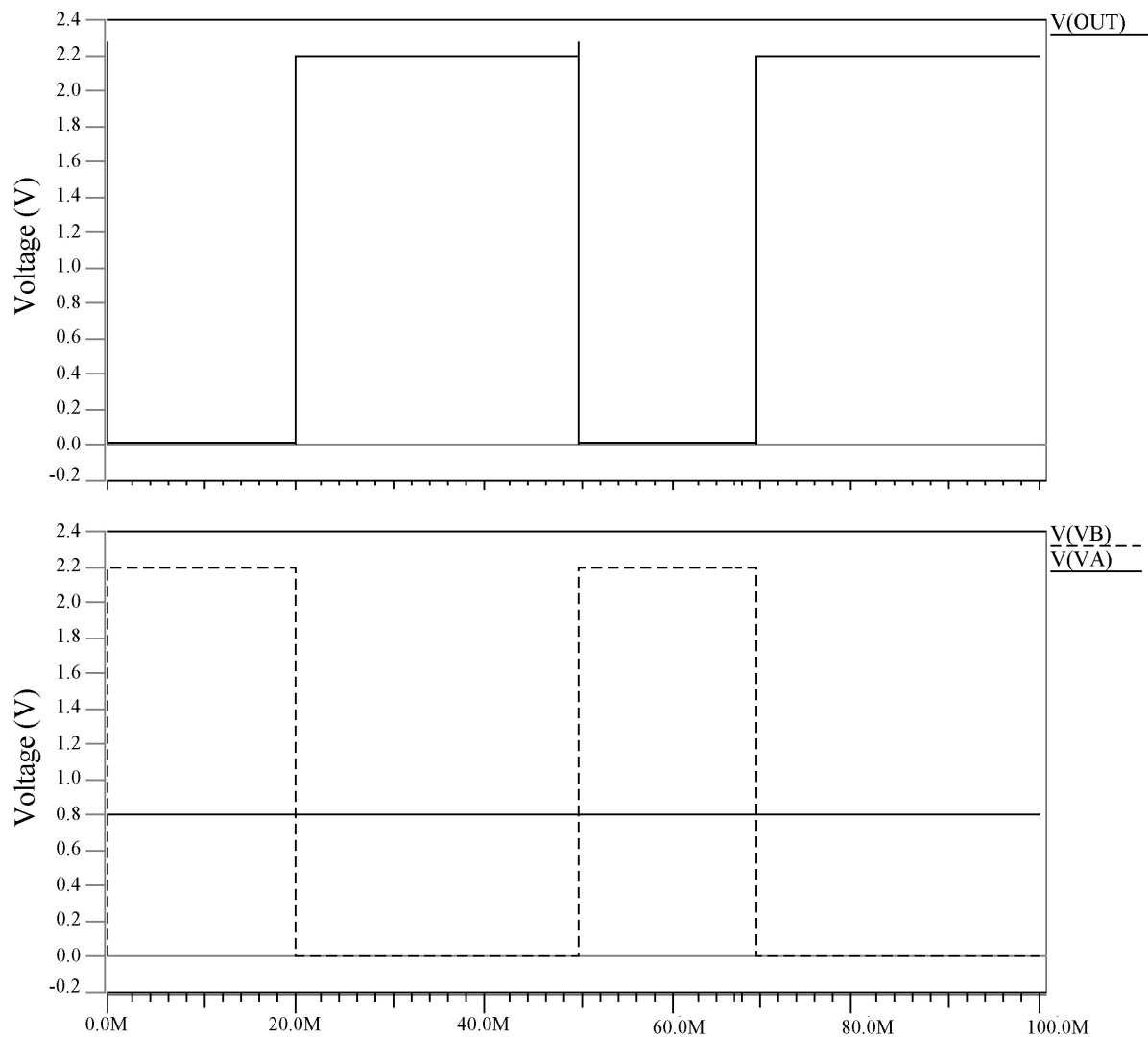


Figura 7.7: Funcionamiento correcto del comparador visto en la figura 7.6 al realizar todas las modificaciones. V_b es la señal que está conectada a la entrada de la patilla negativa del comparador, por eso la salida se ve invertida con respecto a V_b .

En la figura 7.8 se muestra un análisis de respuesta de frecuencia del amplificador, excitado con una señal de 1mV (-60dB). La ganancia total del comparador según la figura 7.8 es de unos 44 dB. Queda pendiente para continuaciones de este proyecto mejorar esta ganancia relativamente baja.

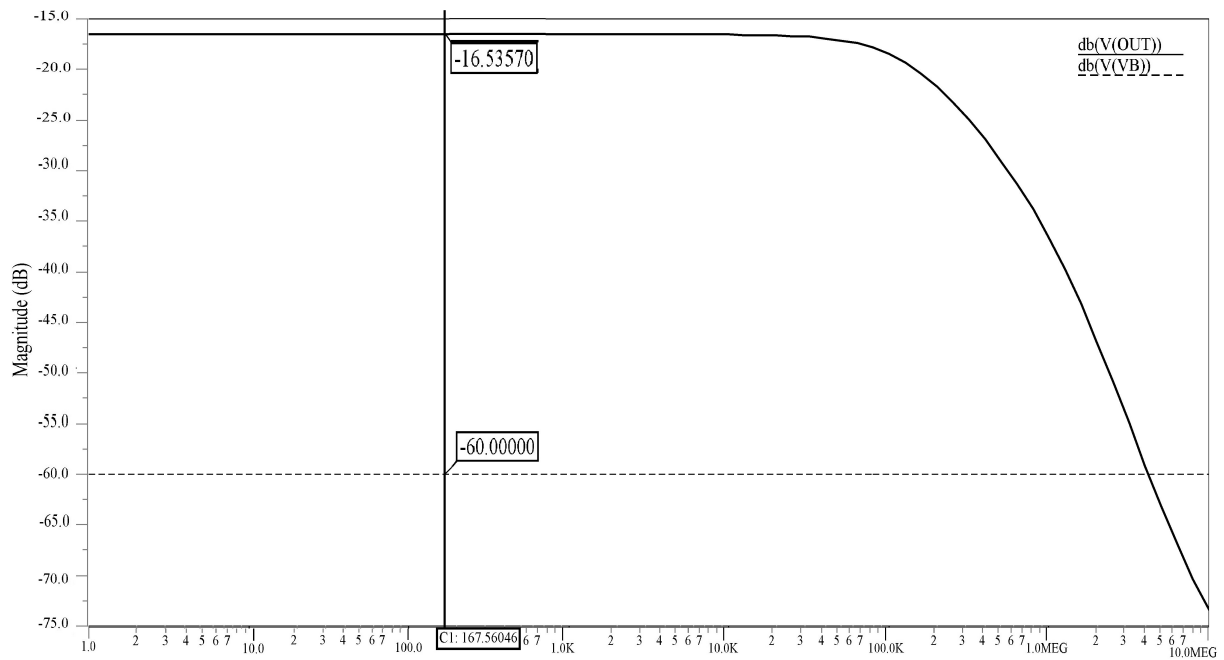


Figura 7.8: Ganancia del comparador a partir del análisis AC, colocando una fuente de prueba de 1mV equivalente a -60dB en la entrada Vb. La curva continua es la forma de la salida con un valor de -16,5357dB y un ancho de banda de aproximadamente 200 KHz. La ganancia del comparador es de 44dB aproximadamente, quizás muy baja y que deberá optimizarse para posteriores aplicaciones.

La figura 7.9 muestra la curva de transferencia del comparador. Se determinó su ventana entre el 10% y el 90% del valor de V_{DD} .

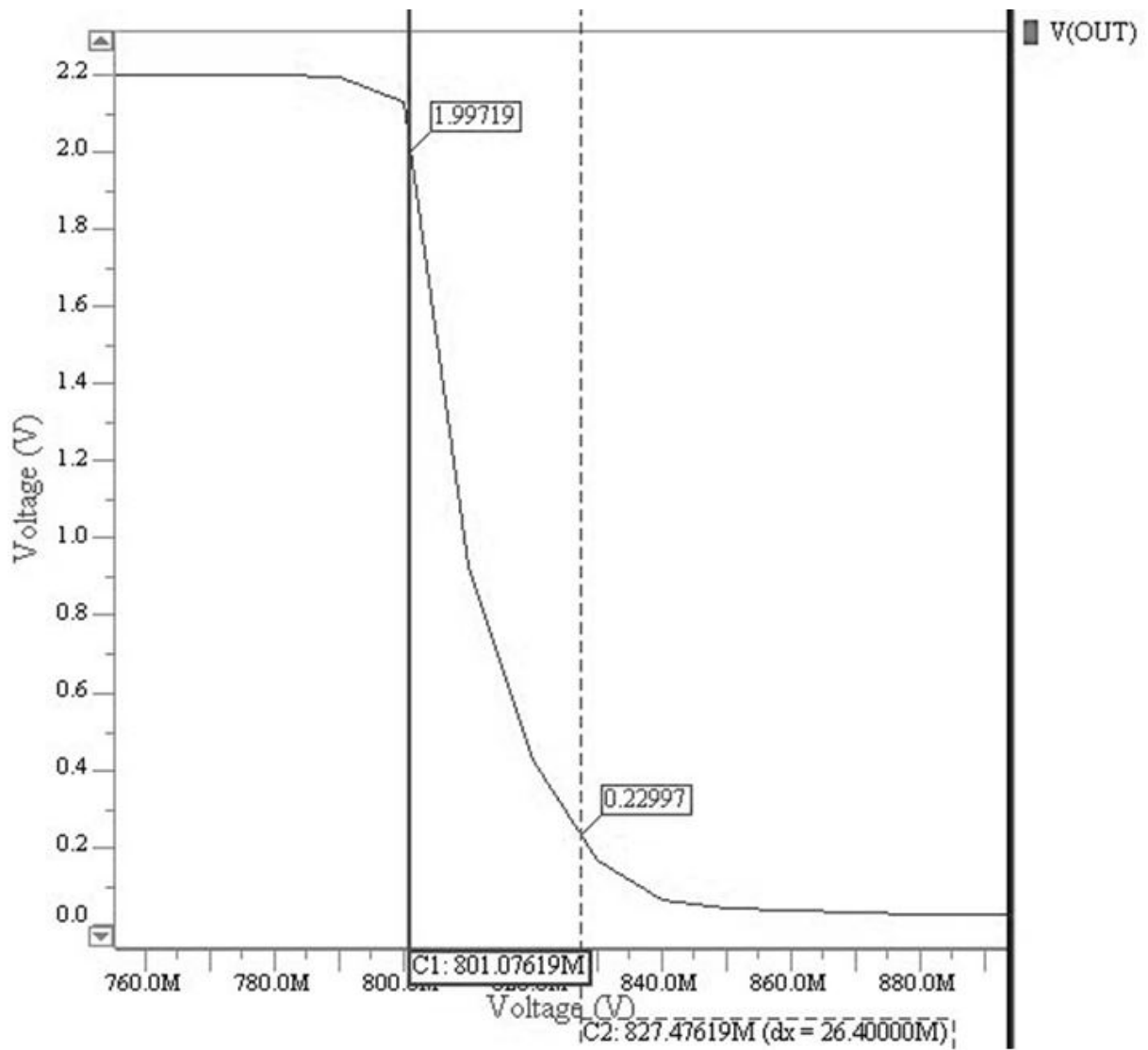


Figura 7.9: Ventana del comparador medida entre el 10% y el 90% de la tensión V_{DD} en la salida.

La figura 7.10 muestra la prueba realizada para medir la corriente en el comparador, que se tomó a partir de la fuente de tensión V_{DD} .

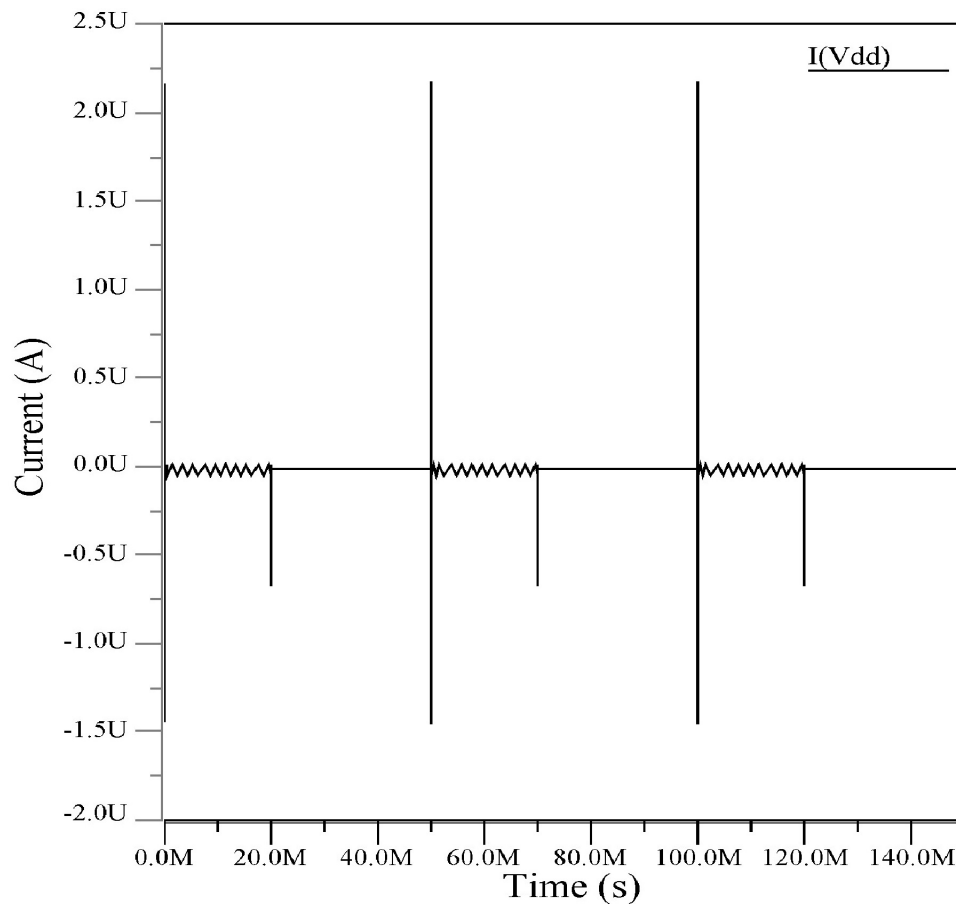


Figura 7.10: Corriente medida a partir de la fuente V_{DD} en el comparador. Se analizó el comportamiento de la corriente en el transitorio y se calculó su promedio.

El valor de la corriente promedio en el comparador fue de 14,2nA, por lo que, dentro del presupuesto de 25nA, restaron entonces unos 11nA para el resto del sistema.

7.2 Diseño de la referencia de tiempo para el *Safety Block*

La referencia de tiempo la conforma la parte izquierda de la figura 7.1, donde se dimensiona el transistor M_{RES} , el capacitor C_T y se asigna una corriente I_{timer} , que se extrae de la corriente de referencia.

Para obtener una capacitancia en el orden de los pico amperios, la corriente que pasa por C_T también debe de estar en ese mismo orden. Por lo tanto, esta corriente se puede calcular de

$$I_C = C_T \cdot \frac{\Delta V}{\Delta T} \quad (7.17)$$

y con $\Delta V = 0,8V$ y $\Delta T = 300ms$, se escoge una corriente de I_C de 800pA para obtener

un C_T de

$$C_T = I_C \cdot \frac{\Delta T}{\Delta V} = 800pA \cdot \frac{300ms}{0,8V} = 300pF \quad (7.18)$$

Como la corriente I_{timer} se obtiene a partir de la referencia de 5nA, entonces se utilizó otra vez el método de espejo de corriente para dicho propósito. El tamaño de los transistores se determinó a partir de M4a presente en el comparador de Miller. Se escogió una corriente I_{timer} de aproximadamente 3nA para la referencia de tiempo. En la tabla 7.5 se anotan los tamaños de los transistores usados. En la figura 7.11 tenemos los componentes del esquemático final.

Tabla 7.5: Tamaño de los transistores utilizados para generar la corriente I_{timer} vista en la figura 7.11.

Transistor	W [μm]	L [μm]
Mtimer		
M1t		
M2t		
Mres		

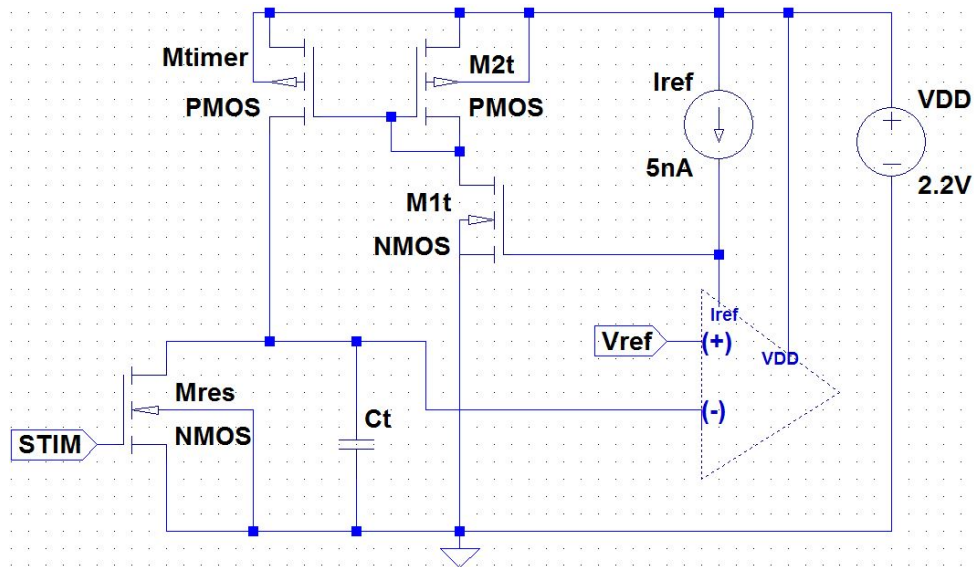


Figura 7.11: Esquemático utilizado para la referencia de tiempo con los transistores utilizados para generar la corriente I_{timer} .

Esta etapa consumió un total de 4,935nA.

El transistor M_{RES} debe soportar el flujo de corriente grande para descargar el capacitor C_T . Se usa por ello un transistor ancho.

En la figura 7.12 se observa el funcionamiento durante la primera prueba del circuito.

Fueron necesarios algunos ajustes en el tamaño de M_{RES} y C_T , motivados primero por la excesiva capacitancia parásita en la primera propuesta del transistor de descarga, y el bajo valor del capacitor que hacía la constante de tiempo muy pequeña.

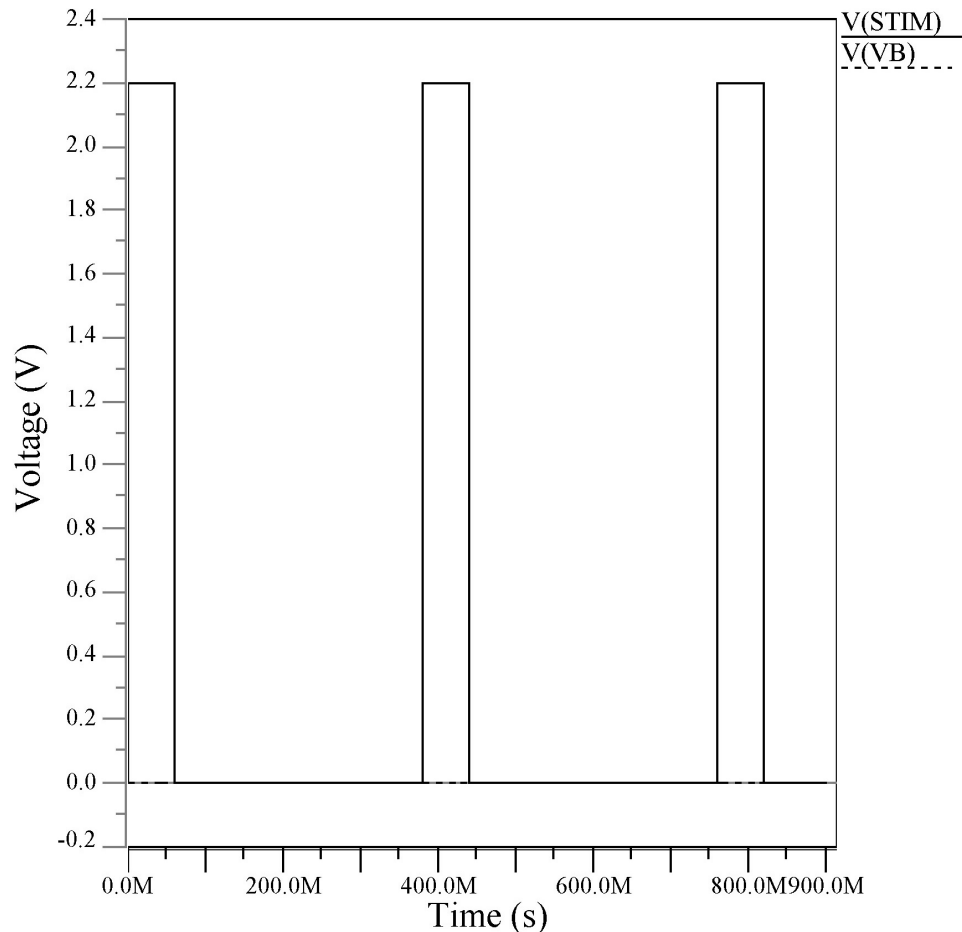


Figura 7.12: Primer prueba del circuito de referencia de tiempo con pulsos de 60ms y un período de 380ms, se presenta un fallo debido a que la tensión de salida Vb no presenta cambios al cargarse el capacitor C_T .

En la figura 7.13 se puede observar el buen funcionamiento de esta sección una vez realizadas las modificaciones mencionadas anteriormente, con un pulso de 20ms de ancho y un tiempo de 680ms entre cada pulso. Se puede observar que Vb alcanza los 0,8V aproximadamente en los 330ms, es decir, 310ms después de que STIM baja.

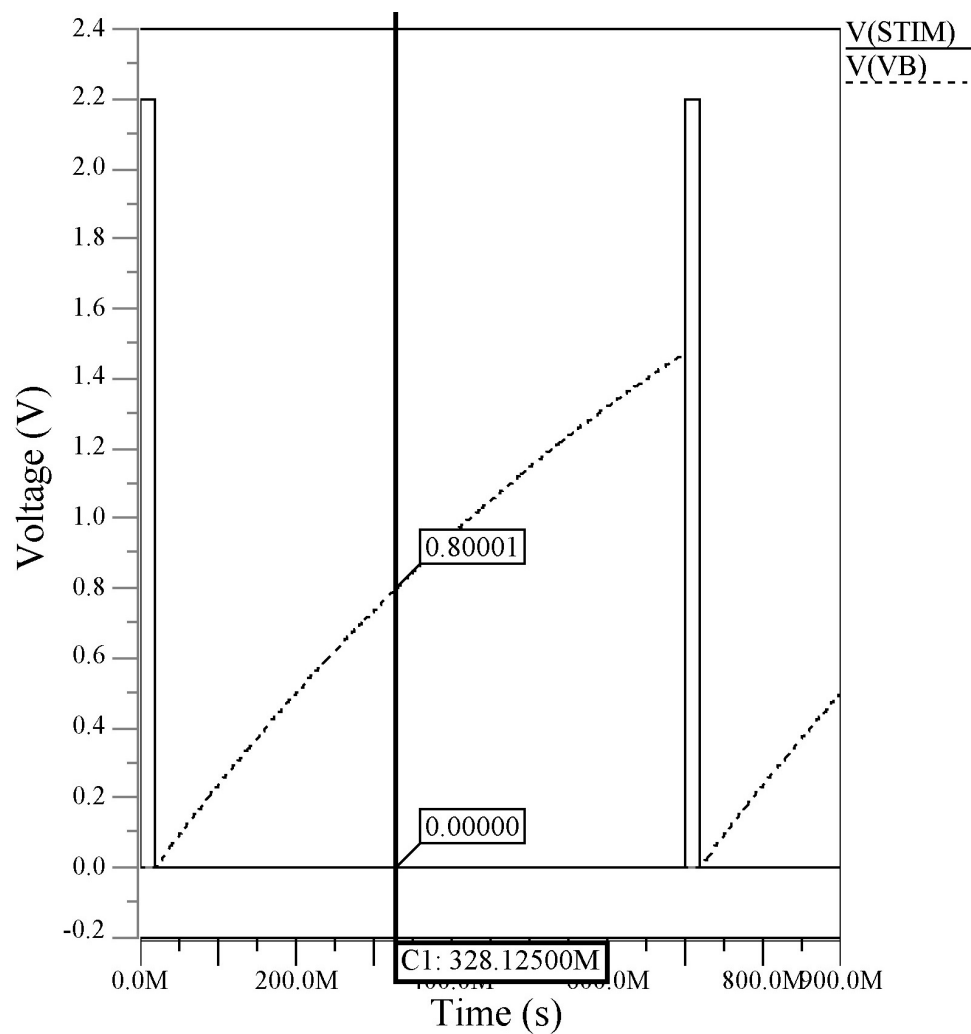


Figura 7.13: Funcionamiento correcto de la referencia de tiempo al obtener aproximadamente 310ms hasta que V_b alcance los 0,8V de la tensión de referencia V_{ref} .

7.3 Diseño del circuito digital en la salida del *Safety Block*

Las partes diseñadas en las secciones anteriores, sirven para crear la referencia de tiempo del *Safety Block* y obtener una señal que funciona como control para la salida del mismo. Se definió la salida del comparador como $RefTime$. Este bloque debe responder al diagrama de tiempos de la figura 7.14.

Como se puede ver en la figura anterior, mientras que $RefTime$ esté en alto, ningún pulso proveniente de $STIM$ puede verse reflejado a la salida, ya que $RefTime$ es la referencia de tiempo que mantiene bloqueados los pulsos menores a 300ms. La salida LS_{IN} tiene una forma inversa de $STIM$ porque esta señal se aumenta de nivel y controla a la llave $M1$ de la figura 5.1, el cual es un PMOS que se activa con un '0' lógico una vez que es polarizado.

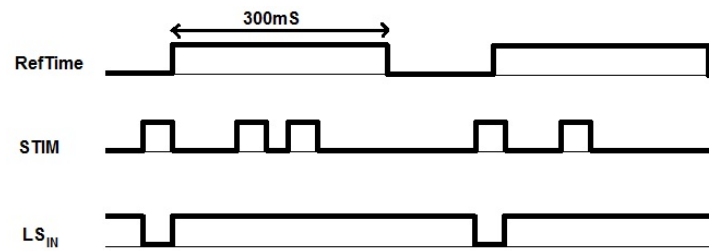


Figura 7.14: Diagrama de tiempos del circuito digital en la salida del *Safety Block*. Si RefTime está en alto, cualquier pulso que llegue de STIM no puede verse reflejado en la señal de salida LS_{IN} , la cual está invertida porque controla el PMOS M1 de la figura 5.1.

Un simple análisis del diagrama de tiempos deriva en la tabla 7.6. Es claro que LS_{IN} es simplemente STIM invertido, siempre y cuando RefTime no sea ‘1’. Ello apunta a la necesidad de un circuito de control de paso de pulso (*clock gating*), como el que se propone en la figura 7.15 (ver [20]).

Tabla 7.6: Comportamiento de LS_{IN} al utilizar una compuerta NAND como salida.

RefTime	STIM	LS_{IN}
0	0	1
0	1	1
1	0	1
1	1	0

Al realizar el análisis anterior, se decidió utilizar el circuito de la figura 7.15 para comprobar si con ese esquema se cumple el diagrama de tiempos de la figura 7.14.

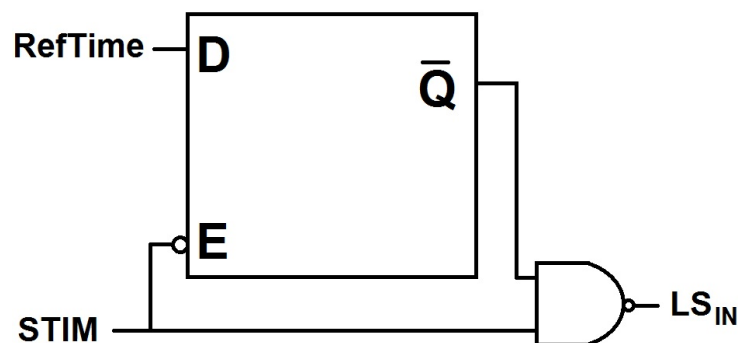


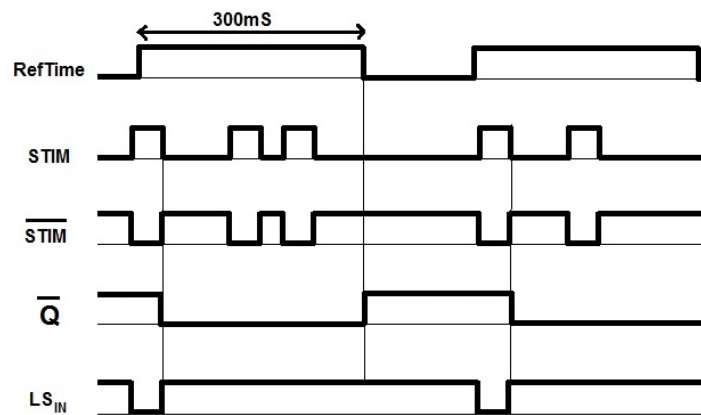
Figura 7.15: Esquema del circuito de salida del *Safety Block* utilizando un *Latch* tipo D y una compuerta NAND.

Para entender más fácilmente cómo se comporta el circuito de la figura anterior, se analizó el comportamiento de todas sus señales. Para esto se basó en el comportamiento típico de un *Latch* que funciona por nivel, tal y como se presenta en la tabla 7.7.

Tabla 7.7: Comportamiento típico de un *Latch* tipo D [20].

E	D	Q	\overline{Q}
0	0	No cambia	-
0	1	No cambia	-
1	0	0	1
1	1	1	0

La figura 7.16 muestra el diagrama de tiempos resultante de aplicar una determinada excitación al circuito propuesto.

**Figura 7.16:** Diagrama de tiempos de las señales externas e internas del circuito digital en la salida del *Safety Block*.

El diagrama de tiempos inicia con STIM en bajo, por lo tanto, el *latch* toma el valor de RefTime en la entrada, ya que \overline{STIM} se conecta al *Enable* del *latch* y según la tabla 7.7, cuando la entrada E tiene un '1', se copia lo que esté en la entrada D. Esto ocasiona que \overline{Q} tenga en su salida un alto, entonces en la entrada de la NAND hay un alto y un bajo, que da como resultado un alto en la salida, que es la señal LS_{IN} .

Una vez que llega un pulso a STIM, RefTime inicia el ciclo de los 300ms, pero en \overline{Q} no se percibe una variación porque \overline{STIM} baja, impidiendo el cambio de estado del *latch*, entonces en ese instante, a la entrada de la NAND se presentan dos altos que ocasionan un bajo en su salida. Una vez que se acaba el pulso, \overline{STIM} regresa a '1' y copia a RefTime, que en ese momento está en alto, provocando que \overline{Q} presente un bajo que ocasiona que LS_{IN} permanezca en alto. Si se presentan pulsos mientras que RefTime está en alto, no se van a percibir cambios porque \overline{Q} permanece en bajo.

Una vez que se termina el ciclo de RefTime en alto, todas las señales vuelven al estado inicial hasta que se presente otro pulso, así inicia otro ciclo y se comprueba que el esquemático funciona. Se hizo una breve simulación de este concepto en el programa ISE de Xilinx, según el esquemático de la figura 7.17.

En la figura 7.18 vemos el resultado de la simulación en ISim de Xilinx, con el esperado diagrama de tiempos.

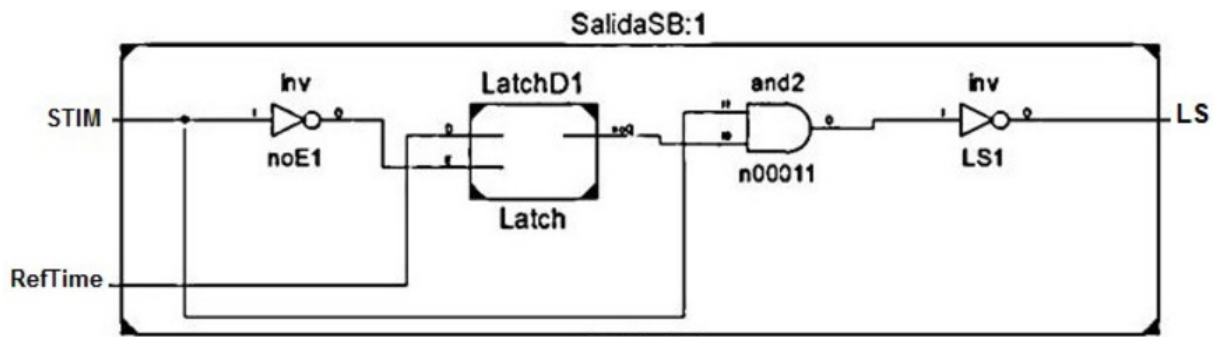


Figura 7.17: Esquemático de la salida del *Safety Block* en el ISE.

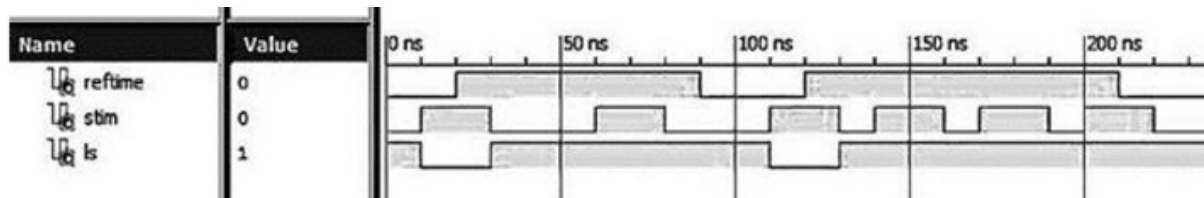


Figura 7.18: Diagrama de tiempos generado por el circuito de la figura 7.17 visto en el ISE.

La razón de utilizar un *latch* en lugar de un *flip flop* se puede determinar a partir del diagrama de tiempos de la figura 7.16.

Como a partir de STIM se generaba RefTime, las dos señales no iban a llegar al mismo tiempo al bloque digital, por lo tanto, si se utilizaba a STIM como señal de reloj en un *flip flop* de flanco positivo. RefTime no se iba a copiar correctamente, ya que la señal no iba a estar lista. Si el flanco hubiese sido negativo, RefTime se copiaría bien, pero cuando pasaran los 300ms el circuito no tendría la forma de cambiar la salida hasta que llegue otro pulso, a no ser de que se utilizara lógica complementaria, pero para eso se necesitaría aumentar el uso de componentes.

Con base a ese análisis, al utilizar STIM como *Enable* negativo en un *latch*, cuando llega un pulso positivo, el *latch* se desactiva y no cambia, pero cuando vuelve a un nivel bajo, se copia lo que esté en la entrada, por lo tanto, una que vez que llega el primer pulso a STIM, éste pasa correctamente. Cuando se termina el pulso, se copia RefTime y aunque lleguen más pulsaciones antes de los 300ms, no se ven reflejadas en la salida LS_{IN} por que \bar{Q} estaría en '0' y la única combinación que genera un '0' en la salida de una NAND de dos entradas, es 11.

Con esto se finalizó la prueba del esquemático y se procedió a diseñar cada componente a nivel de transistores. Para el caso del *Latch*, este se construyó según el esquema de la figura 7.19.

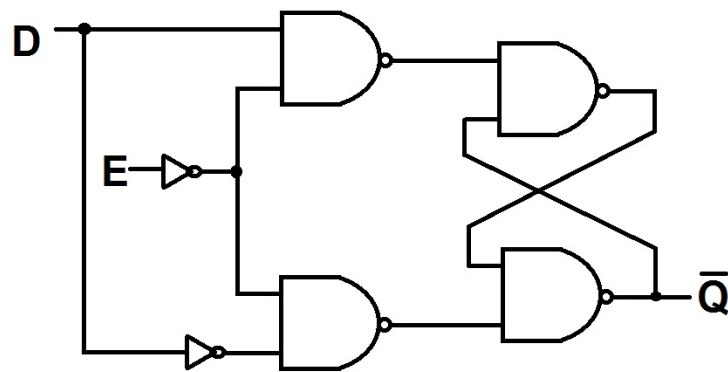


Figura 7.19: Esquemático del *Latch* compuesto por compuertas NAND y NOT.

Los circuitos específicos CMOS de cada compuerta son conocidos y se presentan en la figura 7.20. Luego, los circuitos fueron portados al proyecto en Pyxis (ver figura 7.21).

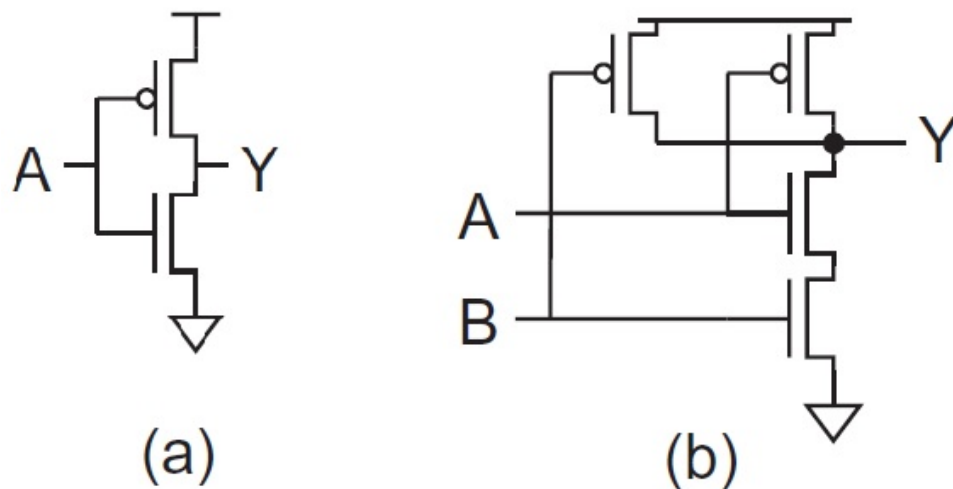


Figura 7.20: Estructura a nivel de transistores de una compuerta a) NOT y una b) NAND [22].

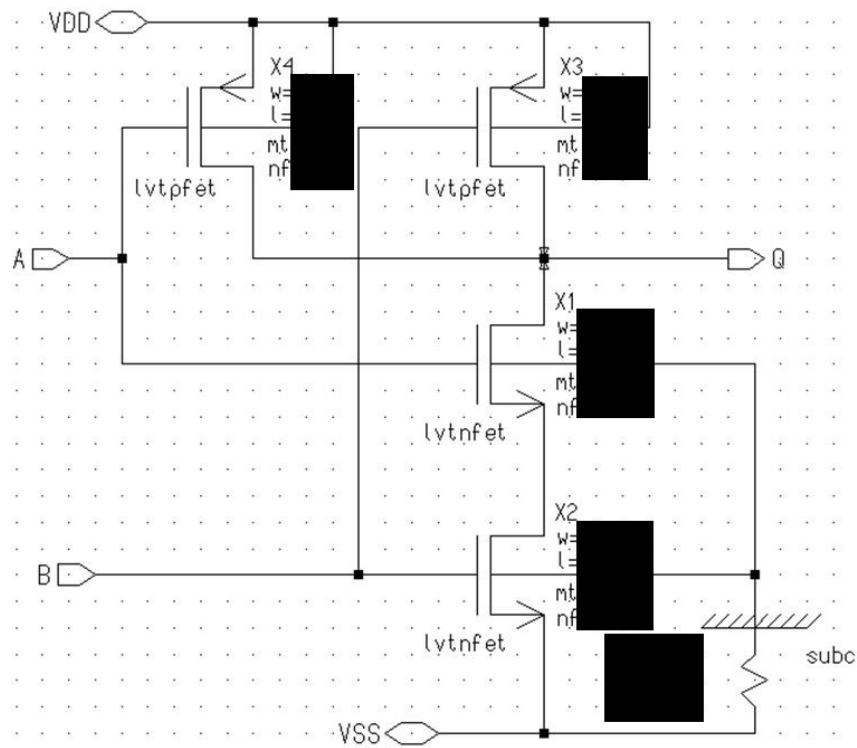


Figura 7.21: Estructura a nivel de transistores de la NAND implementado en el Pyxis.

En la figura 7.22 se muestra la verificación de la NAND.

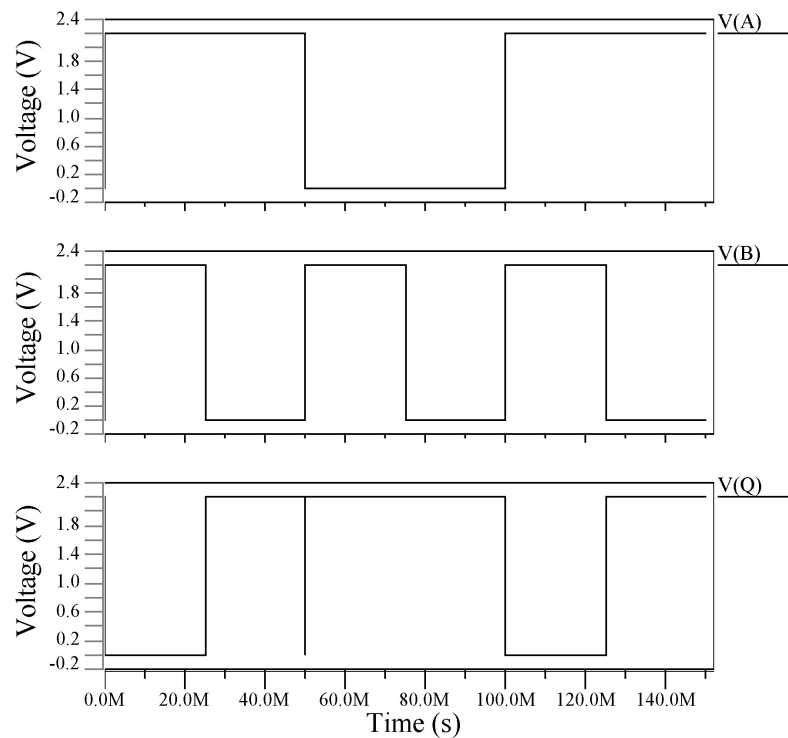


Figura 7.22: Simulación y verificación transitoria de la NAND.

El esquemático del *Latch* se puede ver en la figura 7.23.

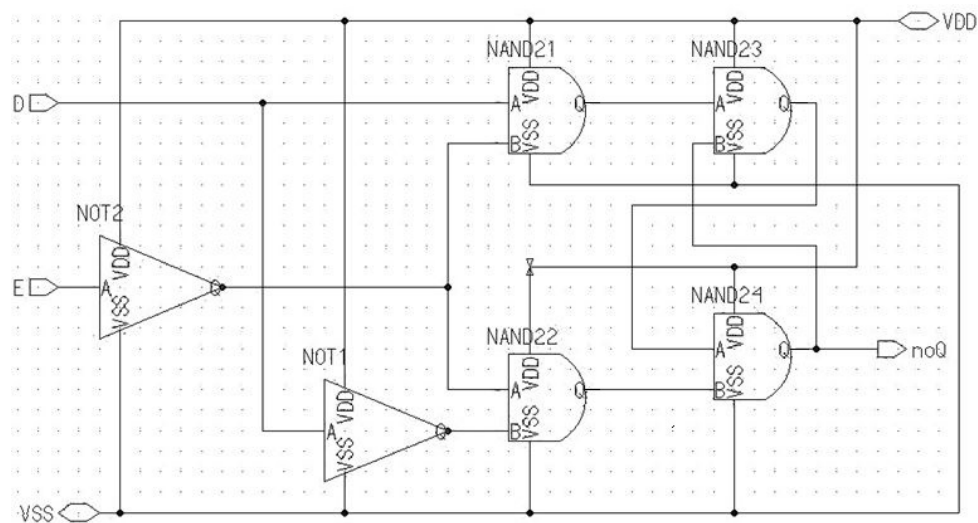


Figura 7.23: Esquemático del *Latch* armado en el Pyxis. Cada compuerta posee la alimentación VDD y VSS necesaria para que los circuitos internos funcionen.

Con esto armado, se probó que el funcionamiento era igual al teórico, tal como muestra la figura 7.24.

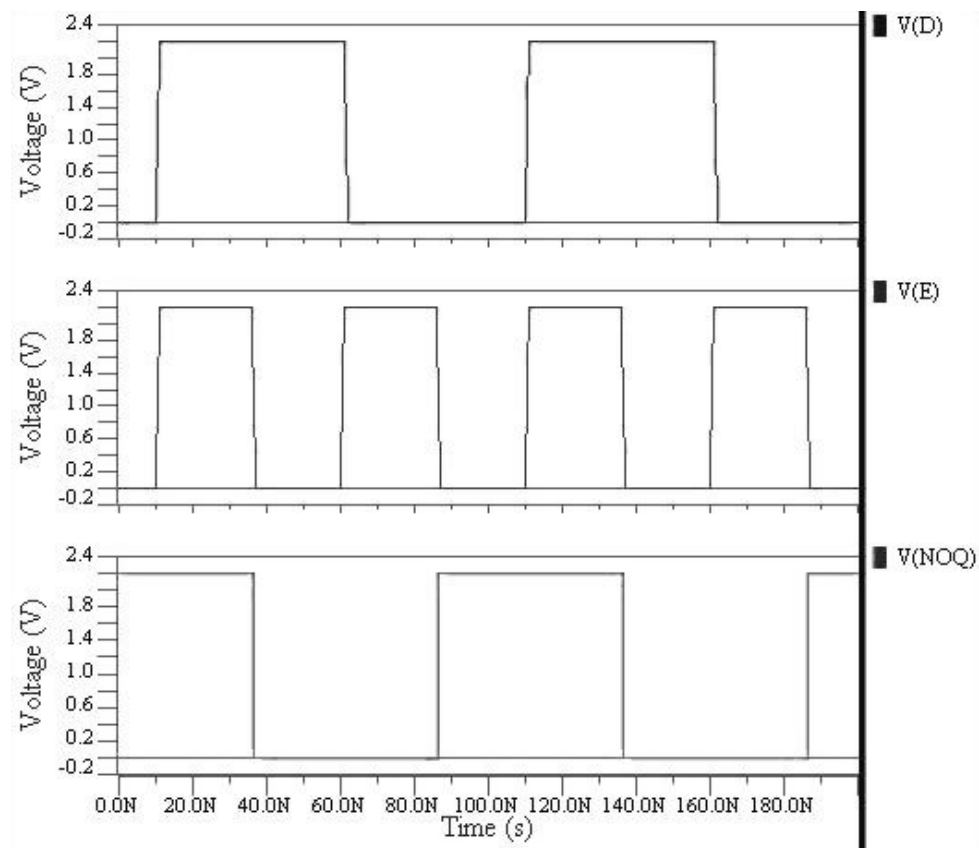


Figura 7.24: Funcionamiento del *Latch* al aplicarse diferentes valores lógicos en sus entradas.

Por otra parte, se puede observar en la figura 7.25 el transitorio de la corriente suministrada por la fuente, donde su promedio fue de aproximadamente 4,826nA con un consumo de potencia de 10,617nW.

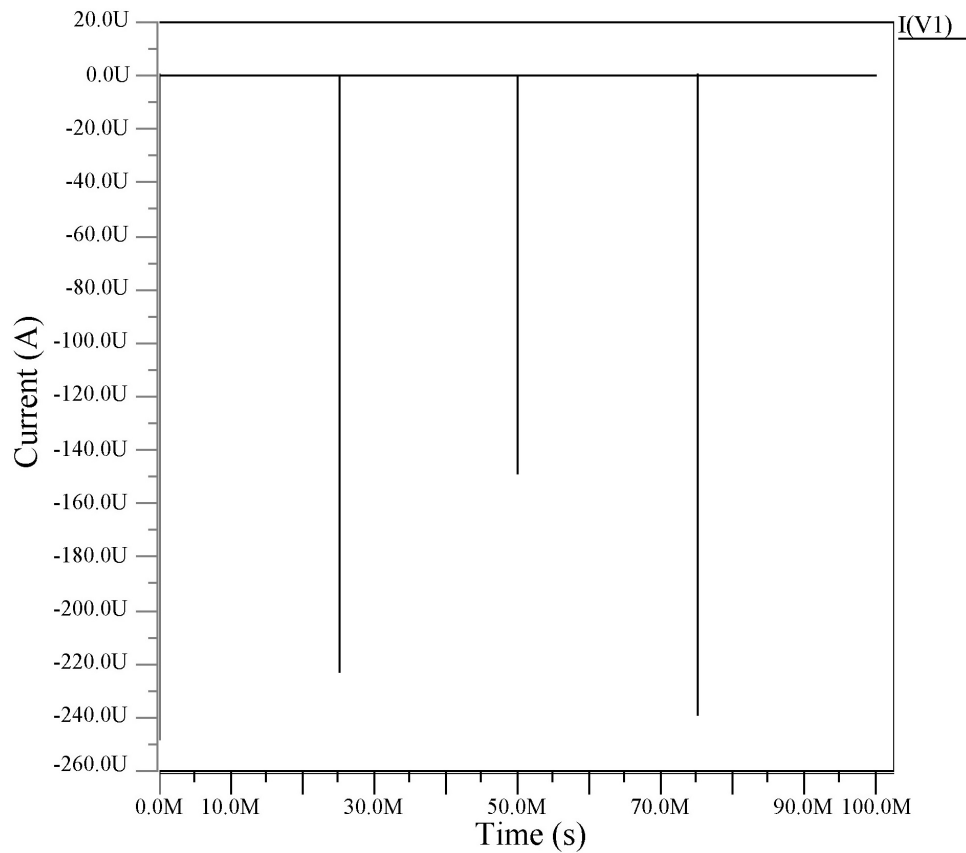


Figura 7.25: Corriente suministrada por la fuente de tensión V1 (V_{DD}) en el análisis transitorio del *Latch*.

Finalmente se armó el bloque completo digital de salida del *Safety Block* y se comprobó el diagrama de tiempos y el consumo de potencia. Para las pruebas se utilizó un tiempo en el orden de los nanosegundos, porque las señales de entrada son generadas por medio de fuentes de tensión con una frecuencia específica. Por tanto era necesario nada más verificar que el circuito completo se comportaba según lo esperado, aunque en las entradas se encuentren estados que no pueden ocurrir por las secciones anteriores. Esto se puede ver en la figura 7.26. La señal STIM se construyó con un tren de pulsos con un ancho de 20nS y un período de 50nS, mientras que para la señal RefTime su ancho fue de 100nS y su período de 200nS. En su diagrama de tiempos se puede observar que al inicio STIM y RefTime están en bajo, lo que ocasiona que LS esté en alto, luego STIM percibe un pulso que se refleja inversamente en LS, además RefTime pasa a alto y cuando el pulso se termina, la señal RefTime se copia y provoca que LS regrese a un alto.

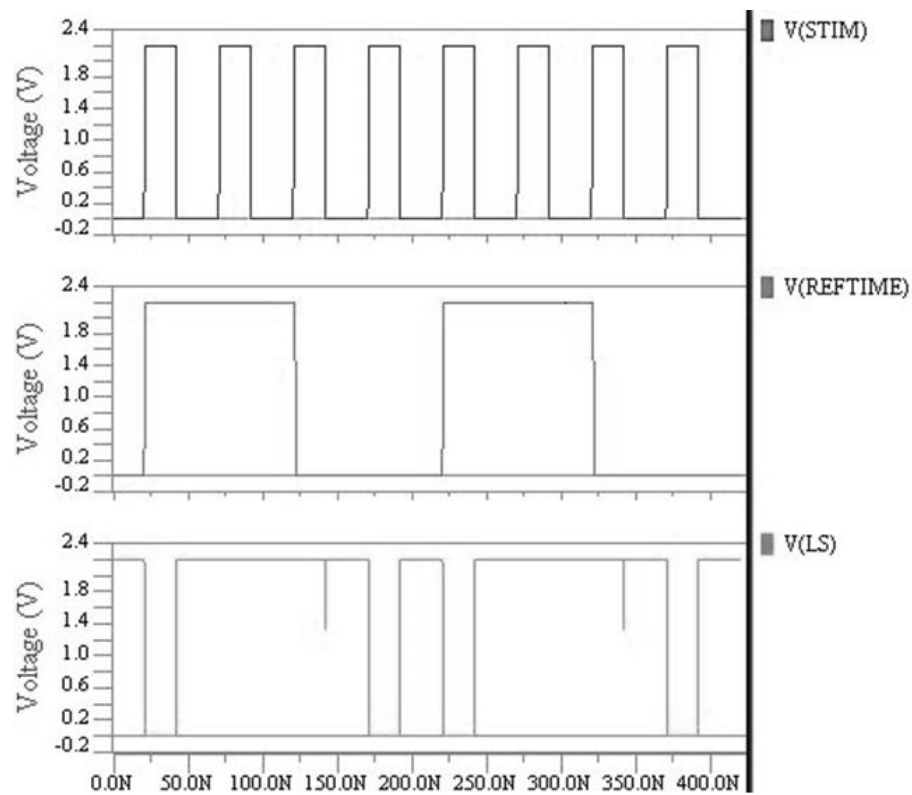


Figura 7.26: Diagrama de tiempos del circuito digital en la salida del *Safety Block*.

Por otra parte, la corriente promedio suministrada por la fuente de tensión que alimenta el bloque fue de 5,728nA y un consumo de 12,602nW. La prueba se presenta en la figura 7.27.

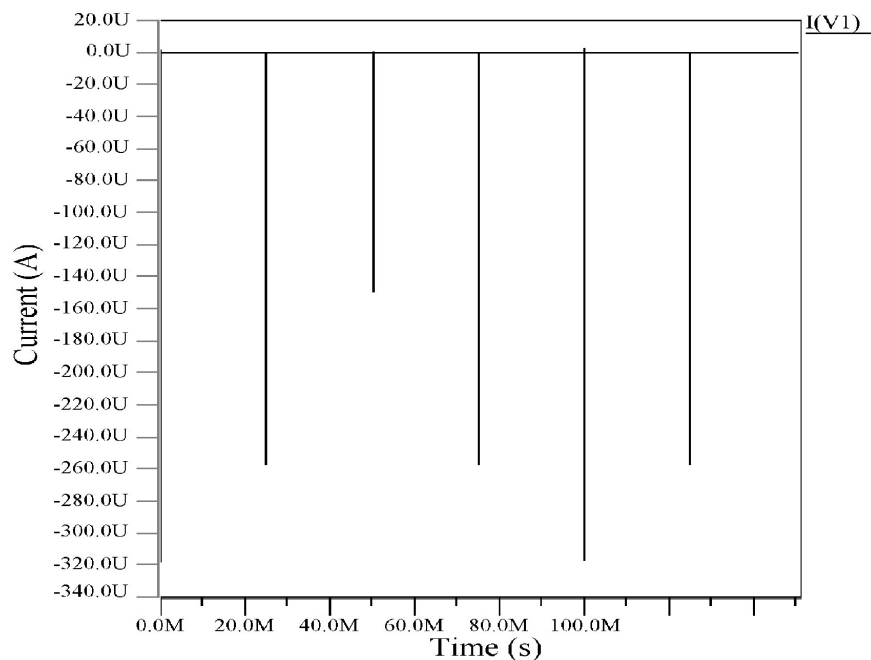


Figura 7.27: Transistorio de la corriente suministrada por la fuente de tensión V1 (V_{DD}) del circuito digital en la salida del *Safety Block*.

7.4 Construcción del sistema completo del *Safety Block*

Al finalizar el diseño de cada sección y probar su funcionamiento, se realizó la unión de cada una de ellas para formar el bloque completo del *Safety Block*. Para resumir los resultados de cada parte, en la tabla 7.8 se muestran los datos de la corriente y el consumo de potencia por sección.

Tabla 7.8: Corriente y consumo de potencia en cada sección del *Safety Block*.

Sección	Corriente [nA]	Potencia [nW]
Comparador	14,2	31,24
Referencia de tiempo	4,935	10,86
Circuito Digital de salida	5,728	12,602

Una vez que se unieron las secciones, el *Safety Block* quedó como lo muestra la figura 7.28. Se observa la fuente de corriente I_{Ref} , el pulso que genera la señal STIM, el bloque que se encarga de la referencia de tiempo, así como el bloque digital de salida con la señal LS_{IN} .

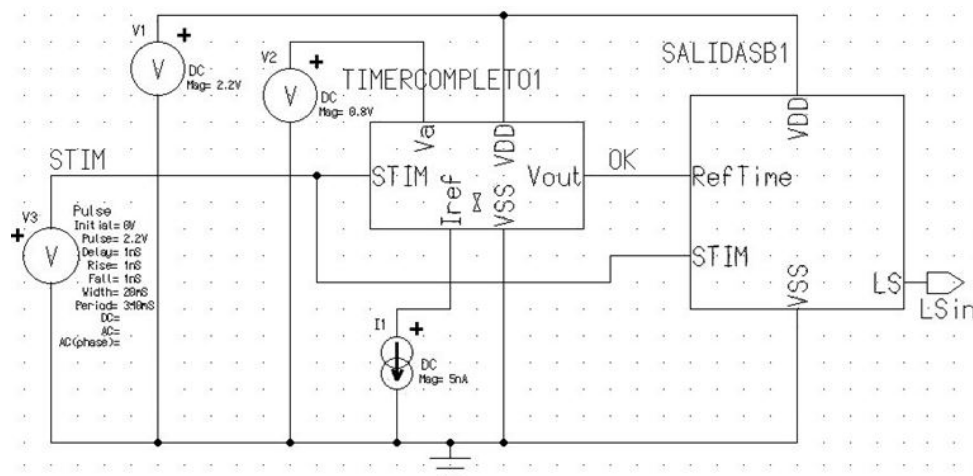


Figura 7.28: Diagrama del circuito interno del *Safety Block* en Mentor, una vez que se unieron todas las secciones que lo conforman.

Para comprobar el funcionamiento del *Safety Block*, se utilizó un diagrama de tiempos de prueba que se muestra en la figura 7.29. Cada pulso tiene un ancho de 20mS y los 3 pulsos consecutivos cercanos también tienen 20ms. Después del último pulso se aguarda 220ms y se envía otro estímulo.

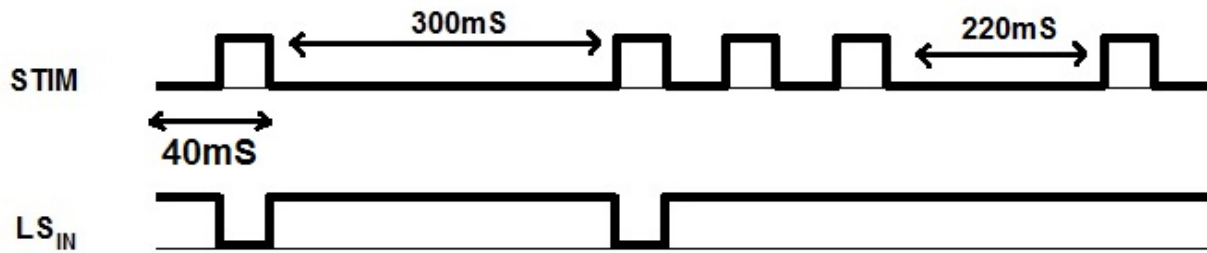


Figura 7.29: Diagrama de tiempos de prueba que debe mostrar el *Safety Block* al momento de su simulación. Los pulsos tienen un ancho de 20mS.

Con base al diagrama de tiempos anterior, se realizó la simulación final del bloque para determinar si se alcanzó el objetivo propuesto para este bloque. La figura 7.30 muestra el correcto funcionamiento del sistema al aplicar el tren de pulsos y la respuesta de la señal de salida LS_{IN} .

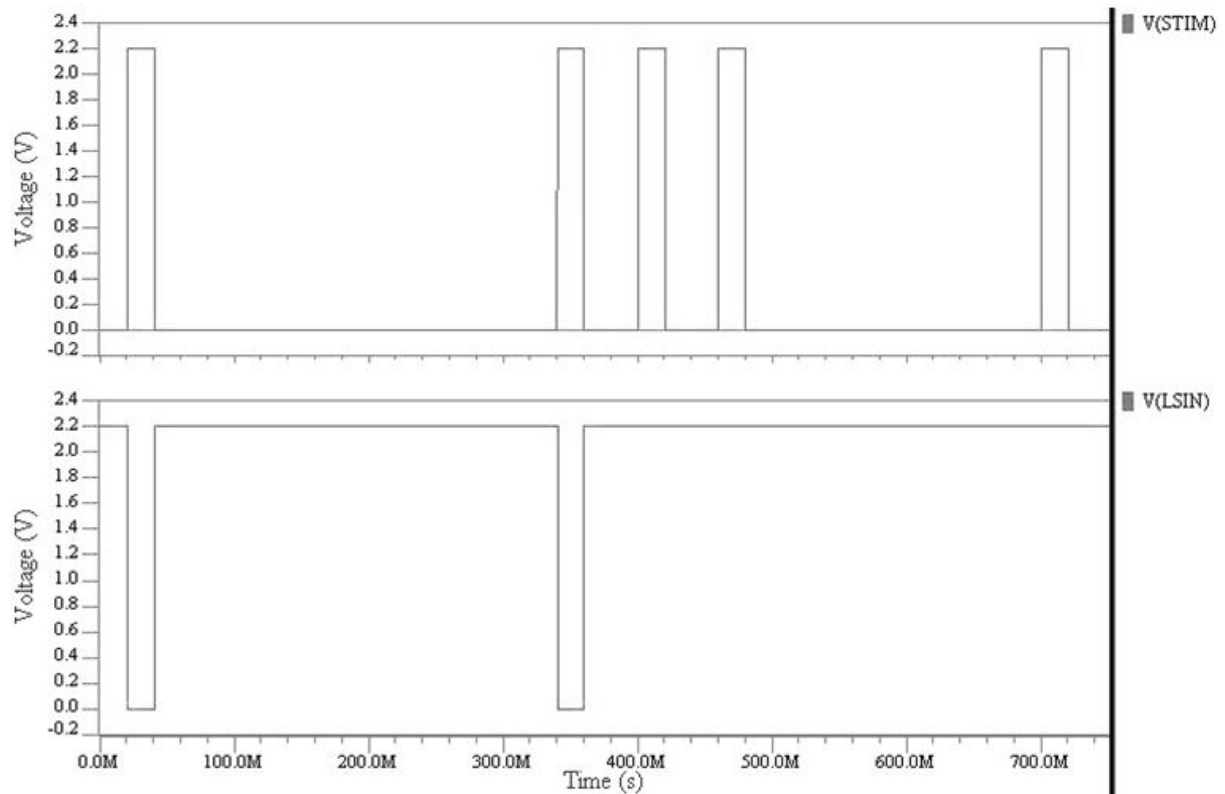


Figura 7.30: Simulación del *Safety Block* al aplicarse el tren de pulsos de la figura 7.29.

7.5 Conclusiones parciales sobre el diseño del *Safety Block*

A terminar el desarrollo de esta etapa, queda claro que una mala aproximación de los parámetros de diseño, puede ocasionar graves efectos en los circuitos analógicos, hasta el punto de hacer que no funcionen en su totalidad. Ahora, un problema común en el diseño de circuitos, es la presencia de capacitancias parásitas que afectan la conmutación y el *slew rate* de los amplificadores. Esto genera problemas no deseados en los circuitos aunque su lógica sea correcta, lo que obliga a considerar cuidadosamente estos efectos.

Por otro lado, la metodología g_m/I_D fue una herramienta útil en el diseño de los circuitos analógicos y para obtener resultados aproximados en el dimensionamiento de transistores MOSFET. Donde el tamaño de los transistores puede afectar directamente al consumo de potencia, el funcionamiento y las capacitancias parásitas presentes en un circuito.

La combinación de señales digitales y analógicas permitieron desarrollar un bloque de seguridad que protege al órgano de la sobre-estimulación. Por lo que fue posible desarrollar *Safety Block* funcional con un bajo consumo de potencia y sin utilizar señales externas de reloj.

Capítulo 8

Diseño del *Level Shifter* o desplazador de nivel

Como se puede ver en la figura 5.1, se debe aumentar el nivel de tensión de LS_{IN} a 10V porque ese es el valor necesario para controlar el transistor M1 que sirve como llave de paso. Para este punto se escogió diseñar el *Level Shifter* con base al modelo de la figura 8.1.

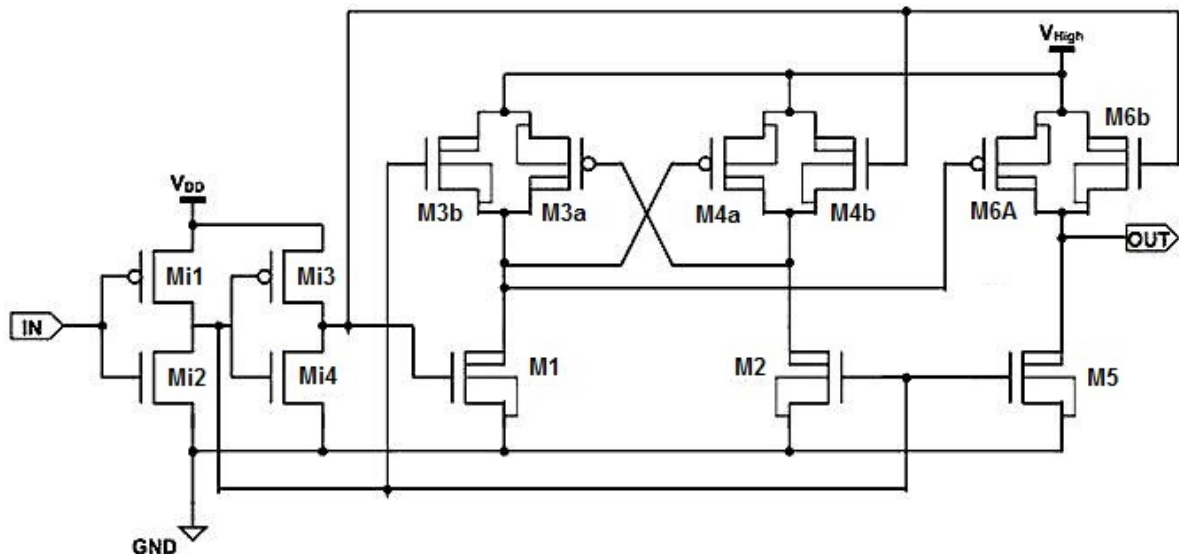


Figura 8.1: Circuito utilizado para aumentar la tensión V_{DD} a $V_{High} = 10V$, la señal de entrada es LS_{IN} y la de salida es LS_{Out} , vistas en el esquema general 5.1 [3].

Para este caso se necesitaron los transistores LV para la primera etapa que maneja la tensión V_{DD} , la cual está compuesta por los transistores Mi1, Mi2, Mi3 y Mi4. Mientras que los HV fueron utilizados en la segunda etapa formada por M1, M2, $M3_{(a,b)}$, $M4_{(a,b)}$, M5 y $M6_{(a,b)}$.

Como este circuito es totalmente digital, y no debe ser muy rápido, se usaron como punto de partida las relaciones típicas en CMOS 2 a 1 entre PMOS y NMOS, con transistores

de tamaño mínimo.

$$(W/L)_{PMOS} = 2 \cdot (W/L)_{NMOS} \quad (8.1)$$

Para entender el comportamiento del circuito de la figura 8.1, se analizaron los dos casos posibles en la entrada del *Level Shifter*, es decir, cuando se tenía un alto y un bajo. Primeramente se analiza el caso cuando se tiene un ‘0’ lógico en la entrada, tal y como se muestra en la figura 8.2. Notar que se le colocó un nombre a algunos nodos (A, B, C y D) para facilitar la explicación.

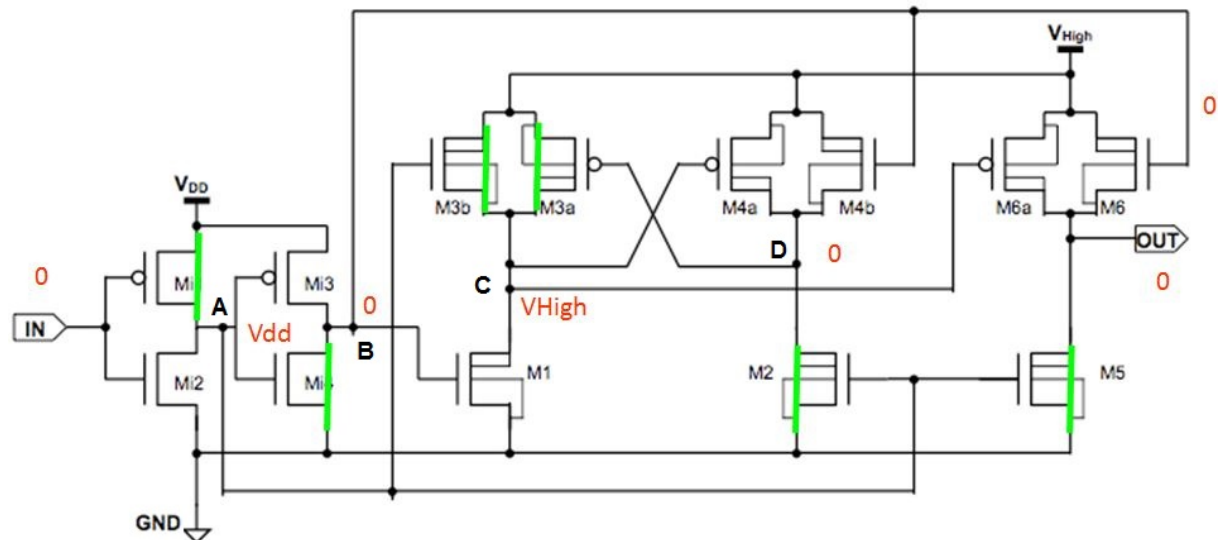


Figura 8.2: Comportamiento del *Level Shifter* al tener un ‘0’ lógico en su entrada. Su comportamiento se muestra a partir de los transistores encendidos o apagados [3].

Al iniciar, la entrada posee un ‘0’, por lo tanto el transistor M_{i1} está encendido y ocasiona que en el nodo A se presente un ‘1’ (V_{DD}). Esto genera que M_{i4} se encienda, obteniendo un ‘0’ en el nodo B, que es la última etapa de los transistores *Low Voltage*. El nodo A está conectado a la entrada de M2 y M5, por lo tanto, éstos se activan y hacen pasar un ‘0’ al nodo D y a la salida. Con esto es suficiente para verificar el comportamiento de cuando hay un bajo en la entrada, ya que no se presenta ningún corto en el esquemático.

En el caso de un ‘1’ a la entrada (ver figura 8.3), el nodo A cambia a ‘0’, por lo tanto, M2 y M5 no conducen, pero el nodo B cambia a ‘1’, el cual a su vez está conectado a M6, donde ese ‘1’ lógico es el valor de tensión V_{DD} . Así se logra activar el transistor *High Voltage* M6b, permitiendo que se presente un ‘1’ (V_{High}) en la salida. Además, el nodo B también activa a M1, el cual deja pasar un ‘0’ hacia la entrada de M6a, que lo activa al ser un PMOS, ocasionando que la compuerta de paso conformada por M6a y M6b esté conduciendo y reafirmando la salida con un ‘1’ (V_{High}).

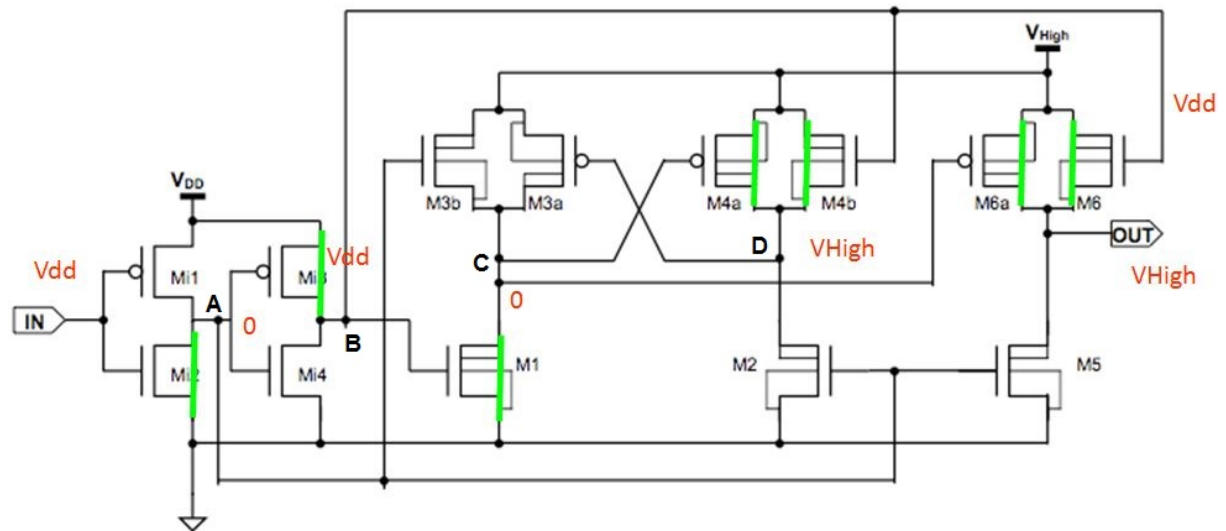


Figura 8.3: Comportamiento del *Level Shifter* al tener un '1' lógico en su entrada. Su comportamiento se muestra a partir de los transistores encendidos o apagados, de forma similar al caso anterior [3].

Una vez que se analizó el comportamiento teórico del LS, se armó el circuito de la figura 8.1 y se verificó su funcionamiento que se muestra en la figura 8.4, donde se confirmó que la salida sigue a la señal de entrada, pero con el aumento de tensión a 10V.

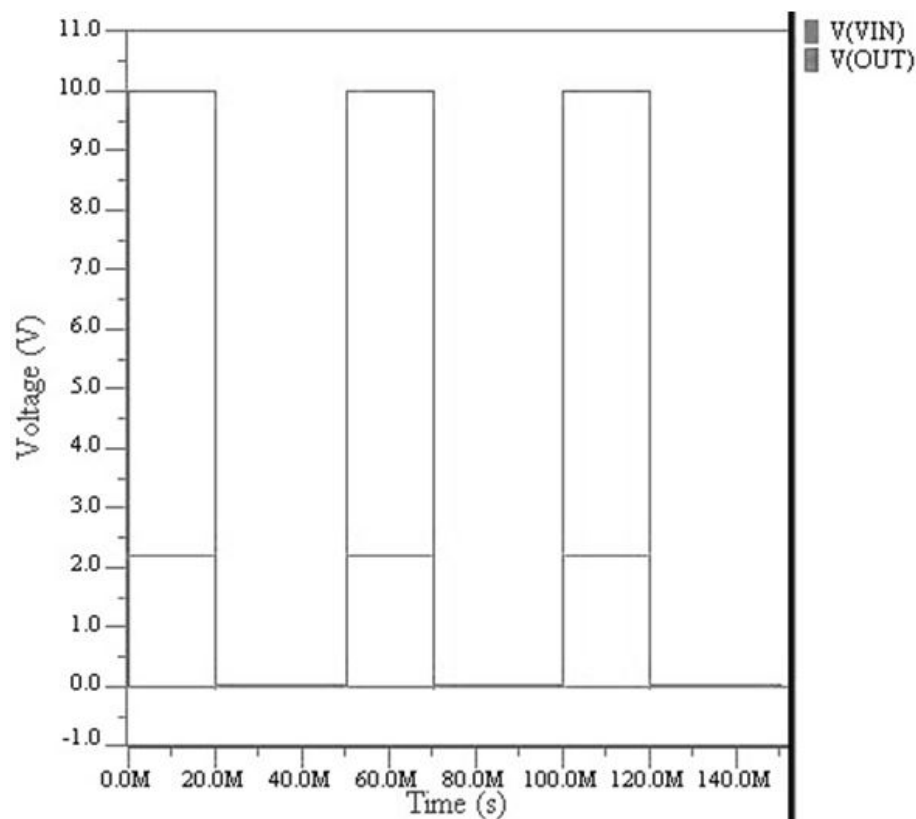


Figura 8.4: Respuesta del *Level Shifter* ante una entrada de pulsos con $V_{DD} = 2,2V$. La salida responde de igual forma, pero con un nivel $V_{High} = 10V$.

Al verificarse el comportamiento del *Level Shifter*, se necesitaba determinar la corriente y el consumo de potencia del circuito. Para ello se tomó en cuenta la potencia suministrada por las fuentes de tensión V_{DD} y V_{High} , donde la fuente V_{DD} otorgaba un promedio de corriente de $5,14\text{nA}$, es decir, $11,31\text{nW}$, mientras que la fuente V_{High} proporcionaba $2,91\mu\text{A}$, alcanzando los $29,1\mu\text{W}$. Al obtener corrientes en el orden de los microamperios, se supera por mucho el presupuesto de los 25nA . Las gráficas de la corrientes se pueden observar en la figura 8.5, donde I(V1) es la corriente que proviene de la fuente V_{High} , mientras que I(V2) es la que suministra V_{DD} .

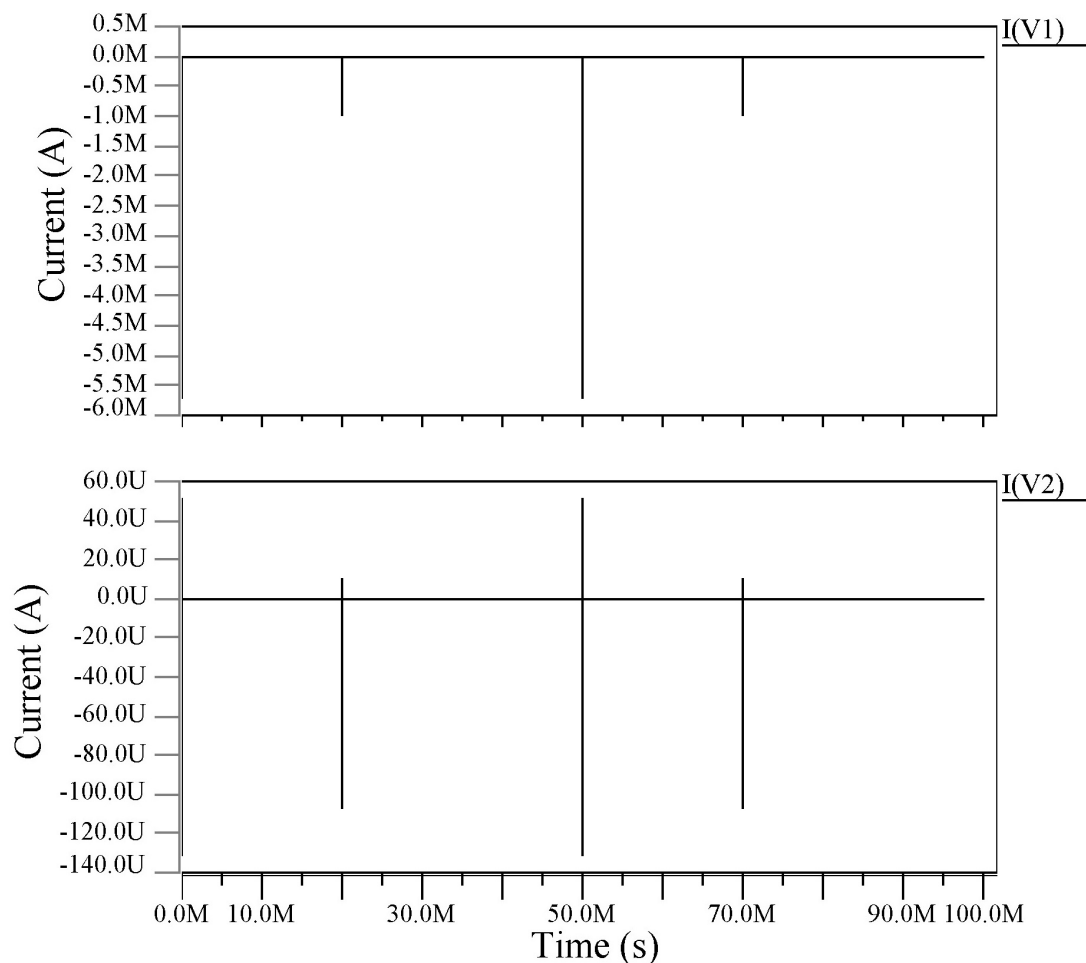


Figura 8.5: Primer prueba del consumo de corriente utilizado en el *Level Shifter*, basándose en la corriente promedio suministrada por las fuentes de tensión. V1 es V_{High} y V2 es V_{DD} .

Por la cantidad de corriente excesiva que necesitaba la etapa de los transistores HV en el *Level Shifter*, se analizó la posibilidad de eliminar algunos transistores para obtener un circuito más compacto y reducir el consumo de potencia. El juego de transistores PMOS, $M3_{a,b}$, $M4_{a,b}$ y $M6_{a,b}$, en la figura 8.1, sirven como una puerta de paso, permitiendo que las señales no se degraden, pero como se está trabajando con tensiones que alcanzan hasta los 10V , se decidió eliminar la puerta de paso y utilizar solamente un transistor para su funcionamiento. El esquemático resultante se observa en la figura 8.6.

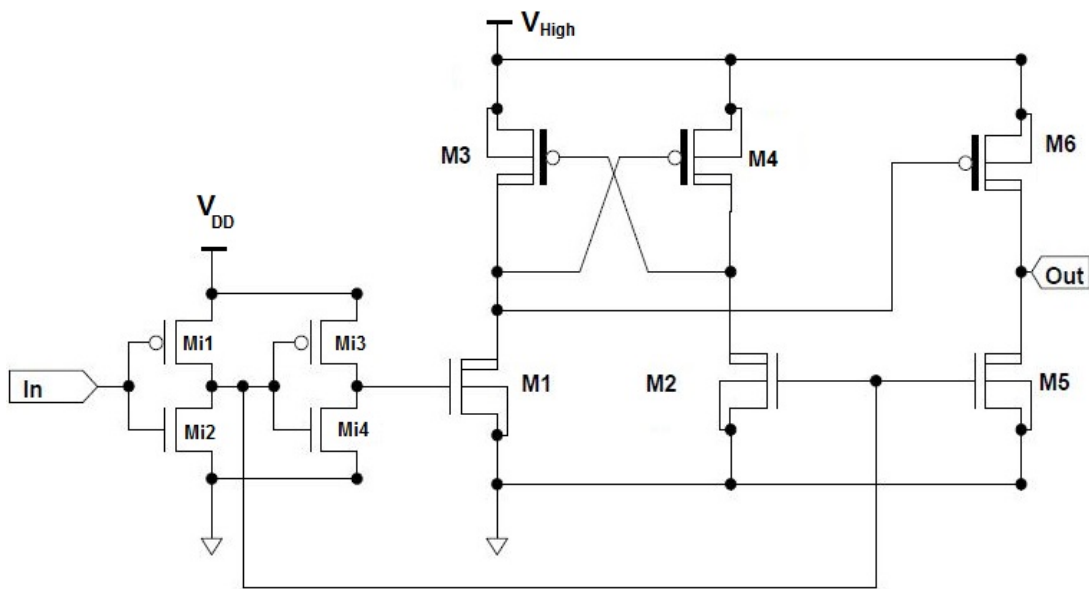


Figura 8.6: Circuito del *Level Shifter* una vez que se quitaron las puertas de paso del circuito visto en la figura 8.1.

Seguidamente se verificó en simulación el circuito variado, tal como se muestra en la figura 8.7

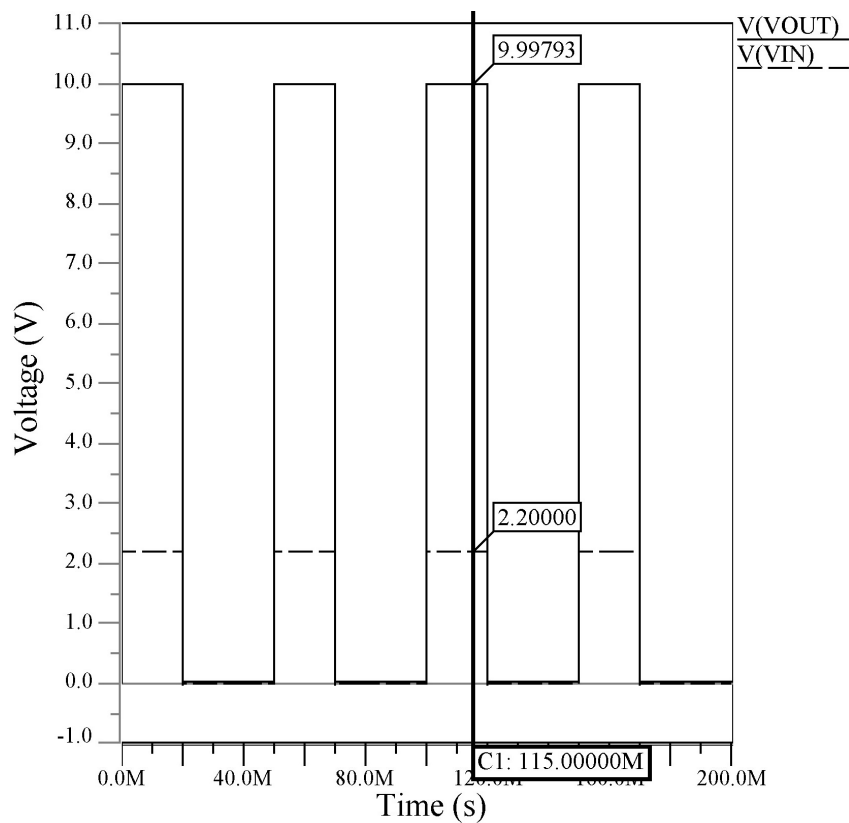


Figura 8.7: Funcionamiento del *Level Shifter* visto en la figura 8.6, al realizar las modificaciones al LS inicial.

Vemos las mediciones de corriente de nuevo en la figura 8.8: 5,13nA para los transistores de baja tensión y 1,78 μ A para los de alta tensión.

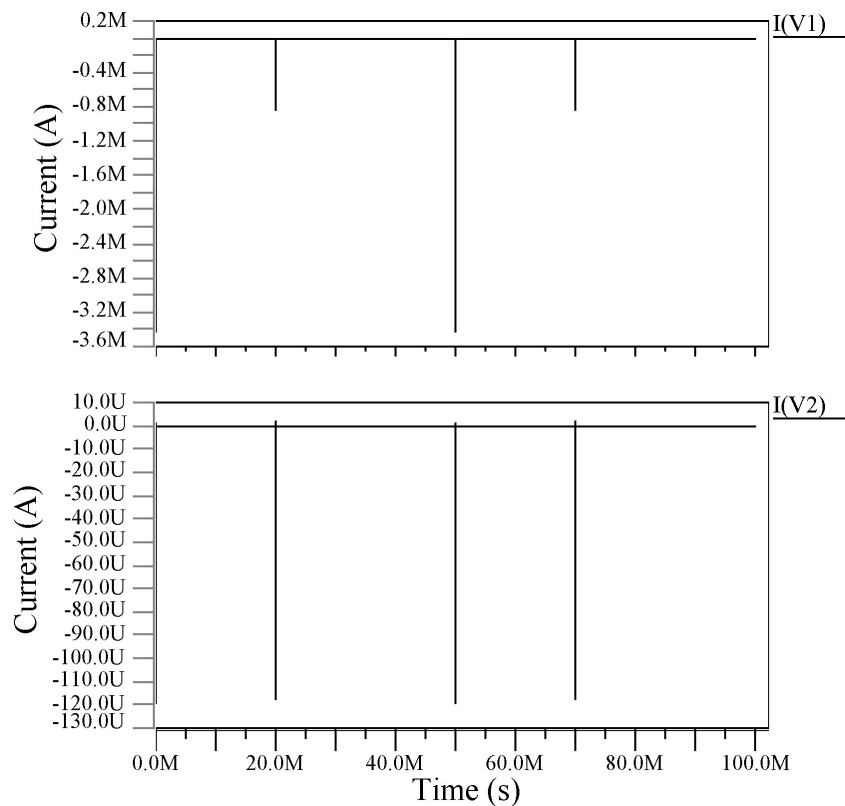


Figura 8.8: Resultado de las corrientes medidas para el *Level Shifter* modificado de la figura 8.6. V1 es V_{High} y V2 es V_{DD} .

Luego de un cuidadoso análisis, se cayó en cuenta que el problema se debía a los modelos de ruptura de los transistores para la tecnología usada para esta prueba. Los transistores aquí llamados HV no soportan tensiones V_{DS} de 10V. Así que simplemente se escaló VDD para estas simulaciones.

Según se desprende de la figura 8.9, ahora las corrientes no pasan de 0,162nA para el bloque de LV, y de 2,429nA para el bloque HV, dentro del presupuesto total. Esto utilizando tensiones para V_{DS} dentro del límite, según el manual de usuario del proceso CMOS utilizado.

Al determinar que el problema lo generaba la tensión V_{DS} , se escaló la tensión V_{High} de 10V a 5V. Con estos datos, se volvió a realizar la medición de las corrientes, pero no se representa por medio de figuras ya que se realizó de igual manera que en los casos mencionados anteriormente. Lo que importaba al final, era obtener su corriente promedio, donde para $I(V_{DD})$ se obtuvo 5,15nA y para $I(V_{High})$ 2,90nA.

Como se estaban utilizando transistores de tamaño mínimo, se decidió aumentar el largo L de todos ellos para reducir el consumo de corriente. El tamaño de los transistores del circuito utilizado en la figura 8.6, se muestra en la tabla 8.2.

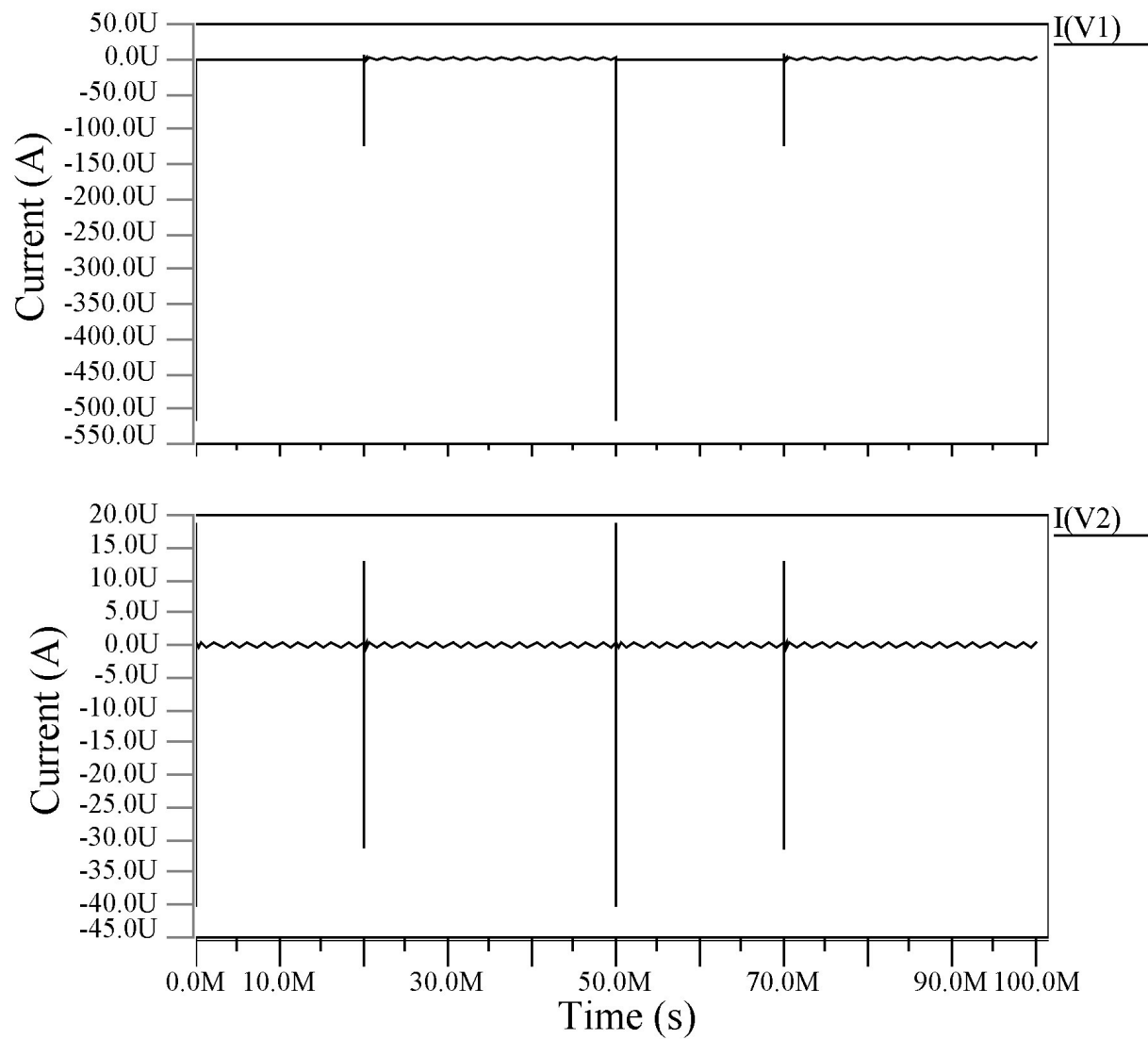


Figura 8.9: Resultado de las corrientes medidas en el *Level Shifter* al aplicar las tensiones máximas soportadas por los transistores en el proceso utilizado, para el circuito de la figura 8.6.

La figura 8.10 muestra el resultado del *Level Shifter* al utilizar una tensión V_{High} de 5V del esquemático 8.6. Donde se da el aumento de 2,2V a 5V y también se verificó de nuevo la corriente como lo muestra la figura 8.11. Para resumir los datos, en la tabla 8.1 se muestran los resultados finales de corrientes y consumo de potencia presentes en el *Level Shifter* de la figura 8.6, a partir de las fuentes de tensión.

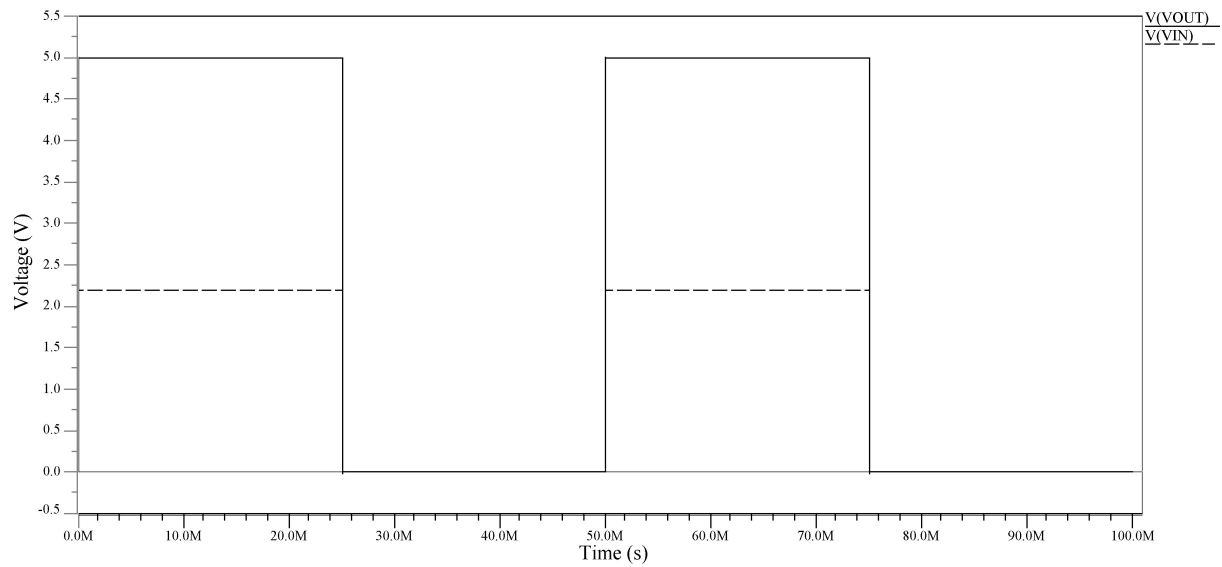


Figura 8.10: Comportamiento del *Level Shifter* al considerar un V_{High} de 5V, en el circuito de la figura 8.6.

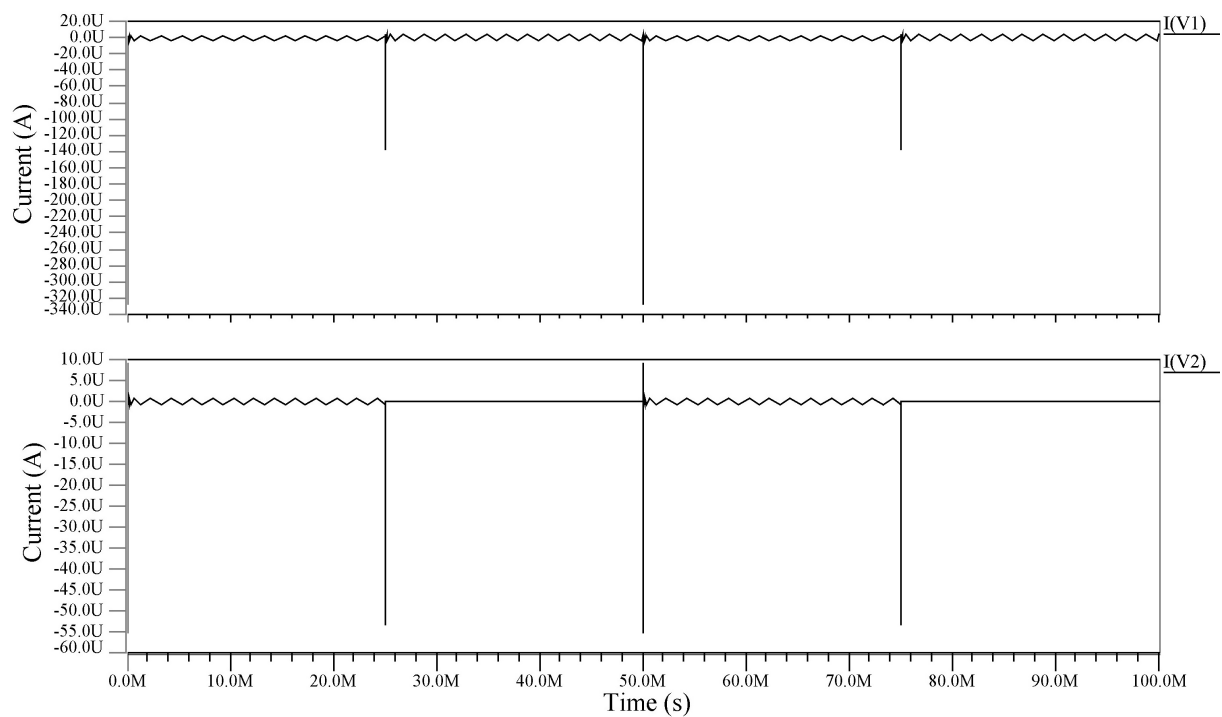


Figura 8.11: Medición de las corrientes presentes en el *Level Shifter* a partir de las fuentes de tensión V_{High} (V1) y V_{DD} (V2) de la figura 8.6.

Tabla 8.1: Resultados finales para el *Level Shifter* de la figura 8.6, en cuanto a corriente y consumo de potencia.

Fuente	Corriente [nA]	Potencia [nW]
V_{DD}	0,105	0,231
V_{High}	2,795	13,975

Tabla 8.2: Tamaño de los transistores que conforman el *Level Shifter* de la figura 8.6.

Transistor	W [μm]	L [μm]
Mi1		
Mi2		
Mi3		
Mi4		
M1		
M2		
M3		
M4		
M5		
M6		

8.1 Conclusiones parciales del *Level Shifter*

Al finalizar el *Level Shifter*, como conclusiones parciales, fue posible obtener el aumento del nivel de tensión, pero con un ajuste en la tensión máxima de 5V para reducir la corriente presente en el circuito.

Por otra parte, aunque se trabaje en un ambiente de simulación, es mejor limitarse a los valores máximos soportados por la tecnología, con el fin de tener un mayor control sobre las características de los diseños. Además, fue posible obtener un rango de tensión mayor a los niveles soportados por los transistores, donde todavía no se presentaba efectos de ruptura en las simulaciones.

Capítulo 9

Salida del circuito de estimulación: Balance de carga y tensión en el electrodo

Para este punto, los objetivos principales del proyecto ya estaban completos porque se tenía los dos bloques principales funcionando, bajo los niveles de potencia dentro del rango establecido.

Sobre la etapa de balance de carga se hizo un pequeño análisis para observar el comportamiento de esta etapa de salida.

Antes de poder realizar las pruebas del balance de cargas, se conectaron el *Safety Block* y el *Level Shifter* para observar si efectivamente la señal LS_{Out} llegaba correctamente a la entrada de la llave M1. La prueba realizada fue igual al tren de pulsos de la figura 7.29. El resultado de esta prueba se observa en la figura 9.1.

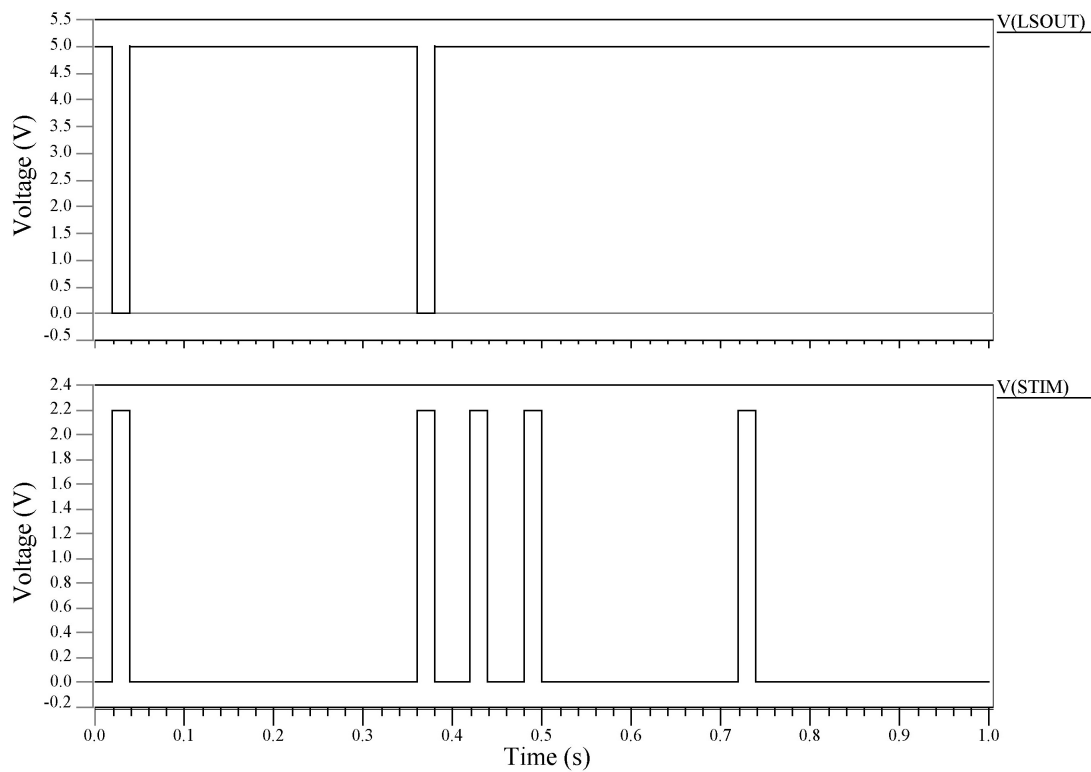


Figura 9.1: Resultado de la simulación, al conectarse el *Safety Block* y el *Level Shifter*, donde se obtiene el comportamiento de la señal LS_{Out} al generar un tren de pulsos en la entrada STIM. Revisar el diagrama de tiempos de la figura 7.29 para un mejor entendimiento.

Una vez que se verificó el funcionamiento, con base a la prueba realizada en la figura 9.1, se armó la sección del balance de carga con el electrodo, que se representa como una resistencia de $1.2\text{ K}\Omega$. El esquemático se observa en la figura 9.2.

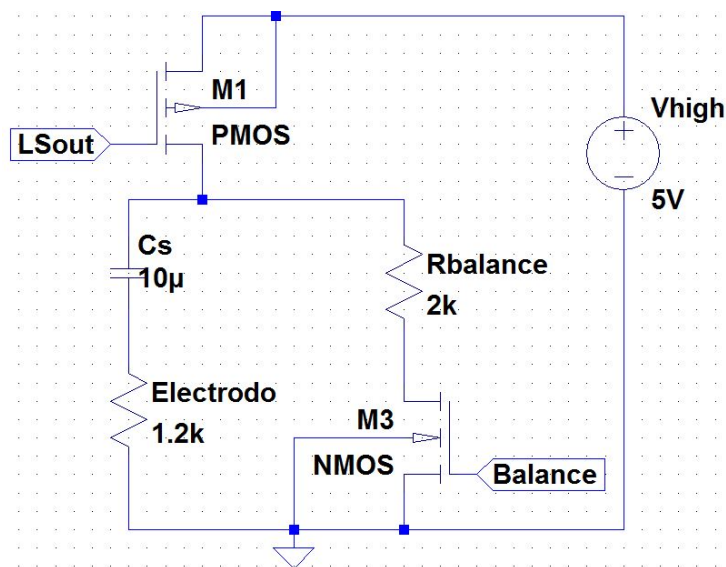

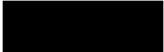


Figura 9.2: Esquemático de la salida del circuito general con la sección del balance de carga.

En la figura 9.2 se presentan los componentes de la salida del circuito general: LS_{Out} es la entrada al circuito que deja pasar los pulsos de 5V hacia el electrodo, el capacitor de C_S se encarga de bloquear las corrientes DC que se puedan presentar, debido a que éstas son dañinas para el tejido humano. El transistor M_3 y la resistencia $R_{balance}$ se encargan de extraer la carga aplicada al electrodo, controlado por la señal Balance.

Hay que tener en cuenta que cuando llega un pulso al electrodo, el tejido se polariza, generando una contracción del corazón. Luego, cuando el pulso se termina, se debe volver a despolarizar el tejido para llegar al estado de reposo [11]. Es por esto que para el balance de carga, cuando llega el pulso primero se carga el capacitor C_S , permitiendo la polarización del tejido, pero una vez que se desactiva la llave de paso M_1 , se debe despolarizar o descargar el capacitor.

Para observar ese comportamiento, se simuló el circuito de la figura 9.2 con los siguientes estados. Al principio, la señal BALANCE está en bajo para que el transistor M_3 esté desactivado; luego, llega un pulso negativo a LS_{Out} para que el transistor M_1 se active y deja pasar los 5V, esto produce que el capacitor C_S se cargue y que aparezca un pico de 5V en V_{ele} . Una vez que se termina el pulso, la señal BALANCE se activa, permitiendo descargar el capacitor C_S y así, despolarizar el tejido. Este comportamiento se representa en la simulación de la figura 9.3.

Para la prueba, se utilizaron los valores dados en la propuesta de desarrollo, con $R_{balance}$ igual a $2K\Omega$, C_S de $10\mu F$, mientras que el electrodo es como una resistencia de $1.2K\Omega$. Los transistores fueron de  en M_1 y de  para M_3 .

No se realiza un análisis exhaustivo de este comportamiento porque es una parte extra del proyecto, pero para futuros desarrollos, lo importante es determinar que el tejido se polariza y despolariza adecuadamente. Lo anterior se puede realizar por medio del estudio del área en las curvas de la corriente del electrodo. Donde el área debajo de la curva al momento de llegar el pulso, debe ser igual al momento de realizar el balance de carga, así se puede determinar el tiempo en que la señal BALANCE debe estar activa.

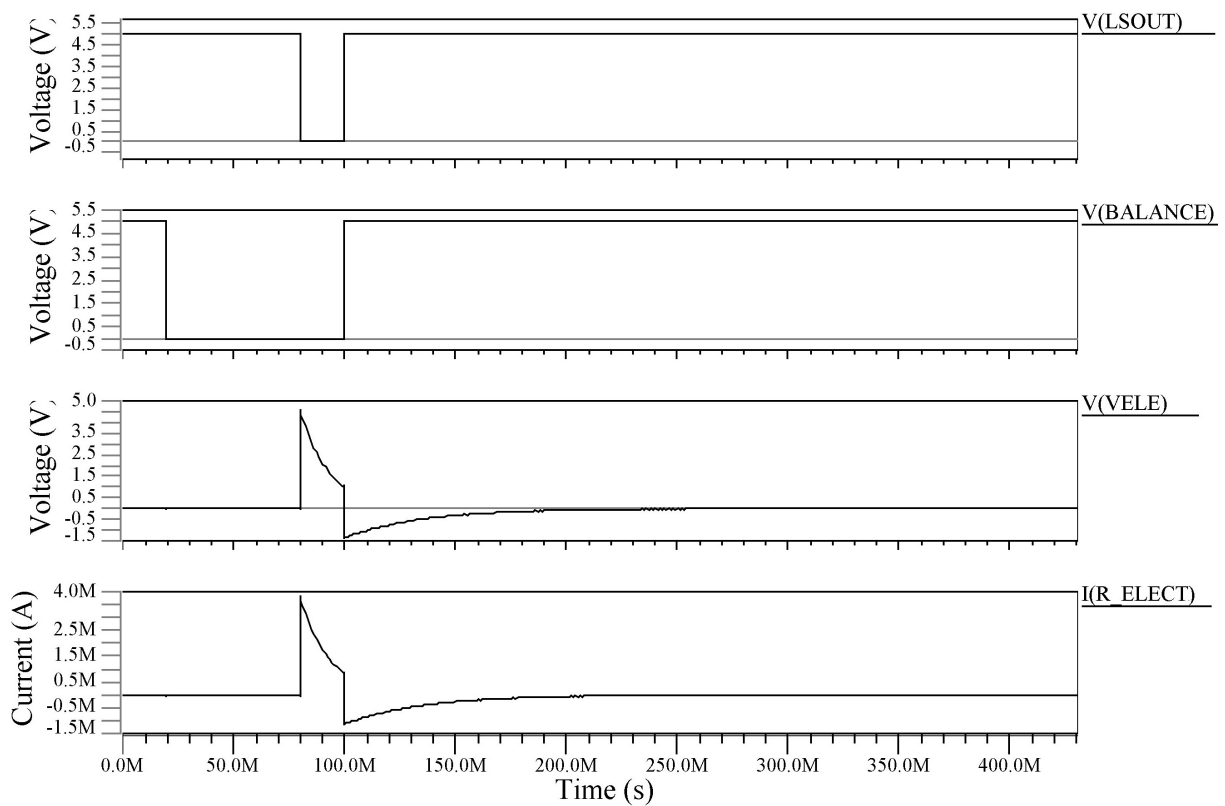


Figura 9.3: Funcionamiento del balance de carga en la salida del circuito general, para polarizar y despolarizar el tejido que hace contacto con el electrodo. El balance de carga inicia cuando se termina el pulso proveniente de LS_{Out} . La corriente en el electrodo muestra el proceso de polarización del tejido, donde el área bajo la curva que produce el pulso en el electrodo, debe ser igual al momento de balancear la carga.

Capítulo 10

Conclusiones

Se desarrolló un circuito de estimulación cardíaca en una tecnología CMOS comercial, basado en una propuesta de desarrollo que protegiera al órgano de la sobre estimulación temporal, con un bajo consumo de potencia.

Se diseñó un circuito que bloquea estímulos sucesivos con un tiempo menor a 308,13ms entre cada pulso, impidiendo la sobre estimulación. Se utilizaron técnicas de diseño de circuitos analógicos como la metodología g_m/I_D , en combinación con el modelo matemático en la región de subumbral.

Fue posible la implementación de un *Level Shifter* de bajo consumo para aumentar la tensión V_{DD} a V_{High} , siendo esta última ajustada de 10V a 5V, porque en la tecnología usada para el proyecto todavía no existen transistores que soporten tensiones de ese nivel. En todo caso, el concepto ha sido comprobado, que es lo que se deseaba.

Se logró obtener un circuito funcional completo con un bajo consumo de potencia, donde la corriente para el *Safety Block* fue de 24,863nA y en el *Level Shifter* de 2,9nA, para un total de 27,763nA. Para una primera iteración, el resultado es bueno porque está muy cercano al presupuesto de 25nA. El consumo total de potencia obtenido fue de 68,908nW.

Capítulo 11

Recomendaciones

Para una segunda iteración de este proyecto, se recomienda depurar los *scripts* utilizados para calcular los parámetros de la tecnología, ya que esto facilitaría la revisión de las simulaciones y sus resultados.

Para mejorar los resultados y los cálculos, es mejor utilizar las condiciones óptimas de los transistores, como por ejemplo la tensión que se puede aplicar entre sus bornes. Ello busca evitar efectos secundarios que enmascaran el correcto funcionamiento de los circuitos (en el caso de este proyecto, los efectos de ruptura en los transistores HV que no soportaban los 10V deseados).

Para generar el tamaño de los transistores en el diseño final, se recomienda utilizar combinaciones en serie o paralelo, para obtener tamaños similares y mejorar el apareo o *matching* en el posterior *layout*.

Sería bueno revisar el comparador con amplificador de Miller y mejorar su ganancia, para facilitar las conmutaciones en su salida, ya que la rampa aplicada en su entrada es lenta.

Si se lleva a cabo la producción en físico del dispositivo, se debe realizar un análisis más exhaustivo del balance de cargas, además, la señal BALANCE proviene de un micro controlador con tensión V_{DD} , por lo tanto, se debe utilizar otro *Level Shifter* para aumentar la tensión y poder activar el transistor M3 de la figura 5.1.

Bibliografía

- [1] J. P. Alvarado-Moya and A. Chacon-Rodriguez. Sistema electrónico integrado en chip (soc) para el reconocimiento de patrones de disparos y motosierras en una red inalámbrica de sensores para la protección ambiental [online]. 2014. URL <http://repositoriotec.tec.ac.cr/handle/2238/3354>.
- [2] A. Arnaud. Amplificadores integrados en tecnología hv, 2015. URL <http://docplayer.es/10813187-Amplificadores-integrados-en-tecnologia-hv.html>.
- [3] A. Arnaud and M. Miguez. Diseño de circuitos integrados para aplicaciones médicas implantables. Departamento de Ingeniería Eléctrica.
- [4] A. Arnaud and M. Miguez. Trabajo final: Circuito de estímulo con protección, 2015. URL <http://ucu.edu.uy/es/alfredo-arnaud#.Vza970So29g>.
- [5] A. Chacon-Rodriguez, S. Sondon, P. Mandolesi, and P. Julián. A simple approach for the design of operational transconductance amplifiers for low power signal processing. *2010 First IEE Latin American Symposium on Circuits and Systems (LASCAS)*, pages 160–163, 2010.
- [6] C. C. Enz and E. A. Vittoz. Cmos low-power analog circuit design, 1996. URL <http://folk.uio.no/onass/hent/enz.pdf>.
- [7] R. Fiorelli. *An All-Inversion-Region Gm/Id Based Design Methodology for Radiofrequency Blocks in CMOS Nanometer Technologies*. PhD thesis, Universidad de Sevilla y Universidad de la República, Uruguay, 2011.
- [8] IBM. *CMOS8RF (CMRF8SF) Design Manual*, 1.8.0.0 edition, 2010.
- [9] R. S. Khandpur. *HANDBOOK OF BIOMEDICAL INSTRUMENTATION*. McGraw Hill, 3rd edition, 2014.
- [10] J. Malmivuo and R. Plonsey. Bioelectromagnetism - principles and applications of bioelectric and biomagnetic fields, 1995. URL <http://www.bem.fi/book/index.htm>.
- [11] I. May and E. Tamayo. Modelación del funcionamiento de un marcapasos y su implementación electrónica. *Entreciencias*, 2:215–226, 2014.

- [12] N. Osteman, P. Ceminari, F. M. Di, and A. Oliva. Diseño de un amplificador operacional. *Análisis y Diseño de Circuitos Analógicos II*.
- [13] R. Pereira-Arroyo, R. Molina-Robles, and A. Chacon-Rodriguez. Diseño de un amplificador operacional de transconductancia aplicando técnicas de optimización multiobjetivo. *Tecnología en Marcha*, 27:3–12, 2014.
- [14] R. Pereira-Arroyo, F. Nicaragua-Guzmán, and A. Chacon-Rodriguez. Design of an operational transconductance amplifier applying multiobjective optimization. *Argentine School of Micro-Nanoelectronics Technology and Applications (LASCAS)*, pages 12–17, 2010.
- [15] D. Prutchi and M. Norris. Design and development of medical electronic instrumentation [online]. 2005. URL <http://www.kelm.ftn.uns.ac.rs/literatura/pbmums/pdf/MedicalElectronicInstrumentation.pdf>.
- [16] J. M. Rabaey, A. Chandrakasan, and B. Nikolic. *Digital Integrated Circuits: A Design Perspective*. Prentice Hall, 2003.
- [17] B. Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw Hill, 2nd edition, 2001.
- [18] J. Rodríguez, D. Lorente, R. Ruiz, and E. Bosch. Conceptos técnicos fundamentales de la estimulación cardíaca. *Revista Española de Cardiología*, pages 4–19, 2007.
- [19] A. S. Sedra and K. C. Smith. *Circuitos Microelectrónicos*. McGraw Hill, 2da edition, 2006.
- [20] R. J. Tocci, N. S. Widmer, and G. L. Moss. *Sistemas Digitales: Principios y aplicaciones*. Prentice Hall, 10ma edition, 2007.
- [21] Y. Tsividis. *Mixed Analog-Digital VLSI Devices and Technology*. World Scientific, 2nd edition, 2002.
- [22] N. Weste and D. M. Harris. *CMOS VLSI Design: A Circuits and Systems Perspective*. Addison-Wesley, 4th edition, 2002.