

**Tecnológico de Costa Rica**

**Escuela de Ingeniería Electrónica**

**Programa de Maestría en Electrónica**



**“Estudio y optimización de la variabilidad y sus efectos en un OTA con degeneración de cuerpo”**

**Tesis de Investigación para optar por el grado académico de Máster en Ingeniería en Electrónica**

**Roberto Carlos Molina Robles**

**Cartago, 25 de Agosto de 2016**

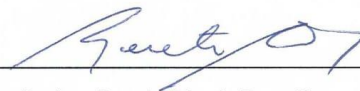
Instituto Tecnológico de Costa Rica  
Escuela de Ingeniería Electrónica  
Tesis de Maestría  
Tribunal evaluador

Tesis de maestría defendida ante el presente Tribunal Evaluador como requisito para optar por el grado académico de maestría, del Instituto Tecnológico de Costa Rica.

Miembros del Tribunal



Dr.-Ing. Alfonso Chacón Rodríguez  
**Profesor lector**



Dr.-Ing. Renato Rímolo Donadío  
**Profesor lector**



Dr. Roberto Pereira Arroyo  
**Director de Tesis**

Los miembros de este Tribunal dan fe de que la presente tesis ha sido aprobada y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica.

Cartago, 25 de agosto de 2016

Instituto Tecnológico de Costa Rica  
Escuela de Ingeniería Electrónica

## RESUMEN

---

En este informe se documenta el estudio realizado sobre la variabilidad en Amplificadores Operacionales de Transconductancia (*OTA*), particularmente en un *OTA* con degeneración de cuerpo. Con la ayuda del Dr. Alfredo Arnaud, el Dr. Roberto Pereira y el Dr. Alfonso Chacón, se logró establecer como punto de partida, el análisis sobre este *OTA* específico. Durante el proyecto se realizó un análisis teórico, se implementó un modelo de simulación y se incorporó dicho modelo a un proceso de optimización desarrollado dentro de la Escuela de Ingeniería en Electrónica. Posteriormente, se analizaron los resultados de la simulación para diferentes puntos de estudio, y así, determinar el efecto de la variabilidad sobre otros parámetros. Finalmente, se validaron los resultados de la simulación del proyecto con simulaciones *post-layout*.

En el presente documento encontrará toda la información relacionada con el desarrollo del proyecto: fundamentos teóricos, diseño, pruebas, optimización, análisis de resultados, etc.

*Palabras clave:* diseño analógico, algoritmos genéticos, variabilidad, modelo de pequeña señal, amplificadores operacionales de transconductancia, probabilidad.

## ABSTRACT

---

In this report, it is documented a study about transistors mismatching in Operational Transconductance Amplifiers (*OTA*), particularly a body degenerated *OTA*. With the help of Dr. Alfredo Arnaud, Dr. Roberto Pereira and Dr. Alfonso Chacón, the analysis over this specific *OTA* was established as a starting point. During the project, a theoretical study was made, the resulting simulation model was implemented and incorporated in an optimization process developed at the Electronics Engineering School. Then, several study points were chosen and analyzed from the simulation results, this way, the effect of the transistors mismatch produced over the rest of parameters could be studied. At the end, the results of the study points' simulations were validated with *post-layout* simulations.

In the present document, you will find all related information about the developed project: theoretical fundamentals, design, tests, optimization, analysis results, etc.

*Keywords:* analog design, genetic algorithms, mismatch, small-signal model, operational transconductance amplifiers, probability.

*a mis queridos padres, mi hermano, mi novia, al resto de mi familia y amigos,  
los cuales me han brindado su apoyo desde que tengo memoria...*

## Agradecimientos

---

Una vez más quiero agradecer desde lo más profundo a mi familia, quienes siempre me han acompañado y ayudado durante toda mi vida. Este documento es la culminación de años de entrega y esfuerzo que mi familia y yo hemos dedicado. Sin su ayuda este logro no hubiera sido posible, y por lo tanto, este documento será otro símbolo eslabón en la unidad de nuestra familia. A mi padre Roberto Molina Sánchez, mi madre Elizabeth Robles Fallas, mi hermano Ricardo Molina Robles, todos mis abuelos, tíos y primos que siempre me apoyan y me animan, muchísimas gracias, son irremplazables y los amo. A mi novia Jill Carranza Otárola, quien me ha apoyado en las buenas y en las malas, me ha acompañado y se ha convertido en alguien irremplazable e indispensable en mi vida, muchas gracias, te amo...

Agradezco a mis amigos y compañeros de la carrera por toda la ayuda, con quienes dediqué largas horas de trabajo y de estudio durante toda la maestría, con quienes compartí muchas experiencias, muchas gracias por todo y seguiremos adelante hasta el final, apoyándonos. También quiero hacer mención especial y agradecer a los profesores, colegas de trabajo y amigos que me ayudaron durante todo este proceso. A Roberto Pereira, Alfonso Chacón, Aníbal Coto, Grettel Trejos, Paola Vega, Renato Rímolo, Alfredo Arnaud, Joel Gak, Matías Miguez; muchísimas gracias por brindarme su guía, sus consejos, sus conocimientos, su amistad, sus buenos deseos, su apoyo y mucho más. A todos ustedes les agradezco de todo corazón toda su ayuda, me alegra mucho habérmelos topado en este viaje, y espero poder seguir compartiendo vivencias con todos ustedes.

A las personas mencionadas, y aquellos que no mencioné y conozco bien, pido perdón y, una vez más, les doy mi más profundo agradecimiento por todo el apoyo y cariño que he recibido...

# Índice

---

<b>CAPÍTULO 1 Introducción</b>	<b>1</b>
1.1 Antecedentes del proyecto	1
1.1.1 Problema existente e importancia de la solución	1
1.1.2 Descripción Detallada del Problema	2
1.1.3 Obtención y análisis de la Información	3
1.1.4 Evaluación de las alternativas	4
1.1.5 Solución Seleccionada	5
1.1.6 Implementación de la solución	6
1.2 Meta y Objetivos	7
1.2.1 Meta	7
1.2.2 Objetivo General	7
1.2.3 Objetivos Específicos	7
<b>CAPÍTULO 2 Conceptos Generales</b>	<b>9</b>
2.1 Diseño de Circuitos Integrados Analógicos	9
2.2 El Amplificador Operacional de Transconductancia ( <i>OTA</i> )	11
2.3 Algoritmos Genéticos y Optimización Multiobjetivo	15
2.3.1 El Algoritmo <i>PESA</i>	16
2.3.2 La Herramienta de Optimización	18
2.4 Simulación de Monte Carlo	20
2.4.1 Distribución Uniforme	21
2.4.2 Distribución Normal (Gaussiana)	22
<b>CAPÍTULO 3 Desarrollo del modelo teórico de la variabilidad</b>	<b>24</b>
3.1 <i>OTA</i> con Degeneración de Fuente y Degeneración de Substrato	24
3.2 El Modelo <i>ACM</i> ( <i>Advanced Compact MOSFET</i> )	30
3.2.1 Parámetros de Pequeña Señal	32
3.3 Modelado del <i>Mismatching</i> (Variabilidad) de los transistores MOS	34
3.4 Análisis del <i>OTA</i> con degeneración de cuerpo	36

<b>CAPÍTULO 4 Incorporación de la Herramienta de Optimización</b>	<b>39</b>
4.1 Diseño del OTA	39
4.1.1 Diagrama y especificaciones del OTA	40
4.1.2 Implementación y simulación del OTA	43
4.2 Optimización del OTA	45
4.3.1 Cálculo del <i>offset sistemático</i>	48
4.3.2 Cálculo de la <i>potencia</i>	50
4.3.3 Cálculo de la <i>transconductancia</i>	51
4.3.4 Cálculo del <i>rango lineal</i>	53
4.3.5 Cálculo del <i>ancho de banda</i>	55
4.3.6 Información adicional y filtrado de resultados	56
4.31 Simulación de Monte Carlo	58
<b>CAPÍTULO 5 Resultados del modelo implementado</b>	<b>61</b>
5.1 Resultados	61
5.1.1 Simulación del OTA con degeneración de cuerpo	61
5.1.2 Incorporación de la fuente de <i>offset</i>	66
5.1.3 Proceso de optimización	70
5.2 Análisis de resultados	90
5.2.1 Análisis general	90
5.2.2 Establecimiento de un modelo de referencia	91
5.2.3 Análisis del primer punto de estudio	92
5.2.4 Análisis del segundo punto de estudio	94
5.2.5 Análisis del tercer punto de estudio	95
<b>CAPÍTULO 6 Validación de Resultados</b>	<b>98</b>
6.1 Elaboración de los <i>layout</i>	98
6.2 Resultados <i>pre-layout</i> para los nuevos tamaños	105
6.3 Resultados <i>post-layout</i>	121
6.4 Análisis de Resultados	137
<b>CAPÍTULO 7 Conclusiones y Recomendaciones</b>	<b>140</b>
7.1 Conclusiones	140
7.2 Recomendaciones	142
<b>BIBLIOGRAFÍA</b>	<b>143</b>



## Índice de Figuras

---

<b>Figura 2.01</b>	Flujo de diseño de circuitos analógicos.....	10
<b>Figura 2.02</b>	Modelo ideal del <i>OTA</i> .....	13
<b>Figura 2.03</b>	Amplificador básico con <i>OTAs</i> .....	14
<b>Figura 2.04</b>	Amplificador básico con <i>OTAs</i> .....	15
<b>Figura 2.05</b>	Estrategia del <i>PESA</i> para poblar.....	18
<b>Figura 2.06</b>	Arquitectura del optimizador.....	19
<b>Figura 2.07</b>	Distribución de probabilidad uniforme.....	22
<b>Figura 2.08</b>	Distribución de probabilidad normal.....	23
<b>Figura 3.01</b>	Función característica del <i>OTA</i> básico.....	25
<b>Figura 3.02</b>	Degeneración de fuente utilizando una resistencia.....	26
<b>Figura 3.03</b>	<i>OTA</i> básico con difusor simétrico.....	27
<b>Figura 3.04</b>	<i>OTA</i> estándar con difusor simétrico.....	28
<b>Figura 3.05</b>	<i>OTA</i> que utiliza degeneración de fuente y degeneración de sustrato.....	29
<b>Figura 3.06</b>	Comportamiento característico del <i>OTA</i> que utiliza degeneración de fuente y degeneración de sustrato.....	29
<b>Figura 3.07</b>	Análisis de pequeña señal.....	33
<b>Figura 4.01</b>	Esquema del <i>OTA</i> implementado.....	40
<b>Figura 4.02</b>	Dos transistores en serie que equivalen al transistor de la derecha.....	42
<b>Figura 4.03</b>	Inclusión del offset de entrada ocasionado por la variabilidad.....	43
<b>Figura 4.04</b>	Diagrama de flujo general del proceso de optimización.....	47
<b>Figura 4.05</b>	Proceso de cálculo del offset sistemático incluyendo la variabilidad.....	49
<b>Figura 4.06</b>	Proceso de cálculo de la potencia.....	50
<b>Figura 4.07</b>	Proceso de cálculo de la transconductancia.....	52
<b>Figura 4.08</b>	Proceso de cálculo del rango lineal.....	54
<b>Figura 4.09</b>	Anchos de banda de diferentes filtros.....	55
<b>Figura 4.10</b>	Proceso de cálculo del ancho de banda.....	56
<b>Figura 4.11</b>	Filtrado de resultados del Frente de Pareto.....	58
<b>Figura 4.12</b>	Configuración de la simulación de Monte Carlo 1.....	59
<b>Figura 4.13</b>	Configuración de la simulación de Monte Carlo 2.....	60
<b>Figura 5.01</b>	Curva característica de la corriente de salida del <i>OTA</i> con degeneración de cuerpo.....	62
<b>Figura 5.02</b>	Transconductancia del <i>OTA</i> con degeneración de cuerpo.....	62
<b>Figura 5.03</b>	Potencia consumida por el <i>OTA</i> con degeneración de cuerpo.....	63
<b>Figura 5.04</b>	Ancho de Banda del <i>OTA</i> con degeneración de cuerpo.....	63
<b>Figura 5.05</b>	Inclusión del efecto del offset reflejado en la curva característica de la corriente de salida del <i>OTA</i> .....	67
<b>Figura 5.06</b>	Efecto del offset en la transconductancia del <i>OTA</i> con degeneración de cuerpo.....	68
<b>Figura 5.07</b>	Efecto del offset sobre la potencia consumida por el <i>OTA</i> con degeneración de cuerpo.....	68
<b>Figura 5.08</b>	Inclusión del offset, sin efecto sobre ancho de banda del <i>OTA</i> con degeneración de cuerpo.....	69
<b>Figura 5.09</b>	Curva característica de la corriente de salida del <i>OTA</i> para el primer punto de estudio.....	72
<b>Figura 5.10</b>	Transconductancia del <i>OTA</i> con degeneración de cuerpo para el primer punto de estudio.....	73
<b>Figura 5.11</b>	Potencia consumida por el <i>OTA</i> con degeneración de cuerpo para el primer punto de estudio.....	74
<b>Figura 5.12</b>	Ancho de Banda del <i>OTA</i> con degeneración de cuerpo para el primer punto de estudio.....	75

<b>Figura 5.13</b> Curva característica de la corriente de salida del OTA para el segundo punto de estudio.	79
<b>Figura 5.14</b> Transconductancia del OTA con degeneración de cuerpo para el segundo punto de estudio.	80
<b>Figura 5.15</b> Potencia consumida por el OTA con degeneración de cuerpo para el segundo punto de estudio.	81
<b>Figura 5.16</b> Ancho de Banda del OTA con degeneración de cuerpo para el segundo punto de estudio.	82
<b>Figura 5.17</b> Curva característica de la corriente de salida del OTA para el tercer punto de estudio.	85
<b>Figura 5.18</b> Transconductancia del OTA con degeneración de cuerpo para el tercer punto de estudio.	86
<b>Figura 5.19</b> Potencia consumida por el OTA con degeneración de cuerpo para el tercer punto de estudio.	87
<b>Figura 5.20</b> Ancho de Banda del OTA con degeneración de cuerpo para el tercer punto de estudio.	88
<b>Figura 6.01</b> Tamaño total del componente para el primer punto de estudio.	99
<b>Figura 6.02</b> Estructura del componente para el primer punto de estudio, excluyendo la resistencia $R_{deg}$ .	100
<b>Figura 6.03</b> Identificación de los distintos elementos del circuito de la figura 6.02.	100
<b>Figura 6.04</b> Tamaño total del componente para el segundo punto de estudio.	101
<b>Figura 6.05</b> Estructura del componente para el segundo punto de estudio, excluyendo la resistencia $R_{deg}$ .	102
<b>Figura 6.06</b> Identificación de los distintos elementos del circuito de la figura 6.05.	102
<b>Figura 6.07</b> Tamaño total del componente para el tercer punto de estudio.	103
<b>Figura 6.08</b> Estructura del componente para el tercer punto de estudio, excluyendo la resistencia $R_{deg}$ .	104
<b>Figura 6.09</b> Identificación de los distintos elementos del circuito de la figura 6.08.	104
<b>Figura 6.10</b> Curva característica de la corriente de salida del OTA para el primer punto de estudio. Resultados <i>pre-layout</i> con tamaños ajustados.	106
<b>Figura 6.11</b> Transconductancia del OTA con degeneración de cuerpo para el primer punto de estudio. Resultados <i>pre-layout</i> con tamaños ajustados.	107
<b>Figura 6.12</b> Potencia consumida por el OTA con degeneración de cuerpo para el primer punto de estudio. Resultados <i>pre-layout</i> con tamaños ajustados.	108
<b>Figura 6.13</b> Ancho de Banda del OTA con degeneración de cuerpo para el primer punto de estudio. Resultados <i>pre-layout</i> con tamaños ajustados.	109
<b>Figura 6.14</b> Curva característica de la corriente de salida del OTA para el segundo punto de estudio. Resultados <i>pre-layout</i> con tamaños ajustados.	110
<b>Figura 6.15</b> Transconductancia del OTA con degeneración de cuerpo para el segundo punto de estudio. Resultados <i>pre-layout</i> con tamaños ajustados.	111
<b>Figura 6.16</b> Potencia consumida por el OTA con degeneración de cuerpo para el segundo punto de estudio. Resultados <i>pre-layout</i> con tamaños ajustados.	112
<b>Figura 6.17</b> Ancho de Banda del OTA con degeneración de cuerpo para el segundo punto de estudio. Resultados <i>pre-layout</i> con tamaños ajustados.	113
<b>Figura 6.18</b> Curva característica de la corriente de salida del OTA para el tercer punto de estudio. Resultados <i>pre-layout</i> con tamaños ajustados.	114
<b>Figura 6.19</b> Transconductancia del OTA con degeneración de cuerpo para el tercer punto de estudio. Resultados <i>pre-layout</i> con tamaños ajustados.	115
<b>Figura 6.20</b> Potencia consumida por el OTA con degeneración de cuerpo para el tercer punto de estudio. Resultados <i>pre-layout</i> con tamaños ajustados.	116
<b>Figura 6.21</b> Ancho de Banda del OTA con degeneración de cuerpo para el tercer punto de estudio. Resultados <i>pre-layout</i> con tamaños ajustados.	117
<b>Figura 6.22</b> Curva característica de la corriente de salida del OTA para el primer punto de estudio. Resultados <i>post-layout</i> .	122

<b>Figura 6.23</b> Transconductancia del OTA con degeneración de cuerpo para el primer punto de estudio. Resultados <i>post-layout</i> .	123
<b>Figura 6.24</b> Potencia consumida por el OTA con degeneración de cuerpo para el primer punto de estudio. Resultados <i>post-layout</i> .	124
<b>Figura 6.25</b> Ancho de Banda del OTA con degeneración de cuerpo para el primer punto de estudio. Resultados <i>post-layout</i> .	125
<b>Figura 6.26</b> Curva característica de la corriente de salida del OTA para el segundo punto de estudio. Resultados <i>post-layout</i> .	126
<b>Figura 6.27</b> Transconductancia del OTA con degeneración de cuerpo para el segundo punto de estudio. Resultados <i>post-layout</i> .	127
<b>Figura 6.28</b> Potencia consumida por el OTA con degeneración de cuerpo para el segundo punto de estudio. Resultados <i>post-layout</i> .	128
<b>Figura 6.29</b> Ancho de Banda del OTA con degeneración de cuerpo para el segundo punto de estudio. Resultados <i>post-layout</i> .	129
<b>Figura 6.30</b> Curva característica de la corriente de salida del OTA para el tercer punto de estudio. Resultados <i>post-layout</i> .	130
<b>Figura 6.31</b> Transconductancia del OTA con degeneración de cuerpo para el tercer punto de estudio. Resultados <i>post-layout</i> .	131
<b>Figura 6.32</b> Potencia consumida por el OTA con degeneración de cuerpo para el tercer punto de estudio. Resultados <i>post-layout</i> .	132
<b>Figura 6.33</b> Ancho de Banda del OTA con degeneración de cuerpo para el tercer punto de estudio. Resultados <i>post-layout</i> .	133

## Índice de Tablas

---

<b>Tabla 4.01</b> Parámetros iniciales del <i>OTA</i> de la figura 4.01.....	42
<b>Tabla 4.02</b> Constantes del <i>OTA</i> en estudio. ....	44
<b>Tabla 4.03</b> Rangos permitidos para la optimización del <i>OTA</i> .....	46
<b>Tabla 5.01</b> Parámetros necesarios para el cálculo del offset sistemático. ....	65
<b>Tabla 5.02</b> Varianzas del offset de entrada generadas por cada agrupación de transistores. ....	65
<b>Tabla 5.03</b> Resultados de los parámetros por optimizar del <i>OTA</i> con degeneración de fuente. ....	66
<b>Tabla 5.04</b> Desviaciones estándar ocasionadas por la variabilidad en el modelo de referencia. ....	69
<b>Tabla 5.05</b> Tamaños de los transistores para el primer punto de estudio. ....	71
<b>Tabla 5.06</b> Resultados obtenidos para los parámetros de aptitud para el primer punto de estudio. ....	76
<b>Tabla 5.07</b> Parámetros necesarios para el cálculo del offset sistemático del primer punto de estudio. ....	76
<b>Tabla 5.08</b> Varianzas del offset de entrada del primer punto de estudio. ....	77
<b>Tabla 5.09</b> Desviaciones estándar ocasionadas por la variabilidad en el primer punto de estudio. ....	77
<b>Tabla 5.10</b> Tamaños de los transistores para el segundo punto de estudio. ....	78
<b>Tabla 5.11</b> Resultados obtenidos para los parámetros de aptitud para el segundo punto de estudio. ....	82
<b>Tabla 5.12</b> Parámetros necesarios para el cálculo del offset sistemático del segundo punto de estudio. ....	83
<b>Tabla 5.13</b> Varianzas del offset de entrada del segundo punto de estudio. ....	83
<b>Tabla 5.14</b> Desviaciones estándar ocasionadas por la variabilidad en el segundo punto de estudio. ....	84
<b>Tabla 5.15</b> Tamaños de los transistores para el tercer punto de estudio. ....	84
<b>Tabla 5.16</b> Resultados obtenidos para los parámetros de aptitud para el tercer punto de estudio. ....	88
<b>Tabla 5.17</b> Parámetros necesarios para el cálculo del offset sistemático del tercer punto de estudio. ....	89
<b>Tabla 5.18</b> Varianzas del offset de entrada del tercer punto de estudio. ....	89
<b>Tabla 5.19</b> Desviaciones estándar ocasionadas por la variabilidad en el tercer punto de estudio. ....	90
<b>Tabla 6.01</b> Nuevos tamaños de los transistores para el primer punto de estudio. ....	99
<b>Tabla 6.02</b> Nuevos tamaños de los transistores para el segundo punto de estudio. ....	101
<b>Tabla 6.03</b> Nuevos tamaños de los transistores para el tercer punto de estudio. ....	103
<b>Tabla 6.04</b> Resultados obtenidos durante la nueva simulación <i>pre-layout</i> para los distintos parámetros estudiados del primer punto de estudio. ....	118
<b>Tabla 6.05</b> Resultados obtenidos durante la nueva simulación <i>pre-layout</i> para los distintos parámetros estudiados del segundo punto de estudio. ....	118
<b>Tabla 6.06</b> Resultados obtenidos durante la nueva simulación <i>pre-layout</i> para los distintos parámetros estudiados del tercer punto de estudio. ....	118
<b>Tabla 6.07</b> Comparación de los parámetros de aptitud obtenidos durante las simulaciones <i>pre-layout</i> para el primer punto de estudio. ....	119
<b>Tabla 6.08</b> Comparación de los parámetros de aptitud obtenidos durante las simulaciones <i>pre-layout</i> para el segundo punto de estudio. ....	119
<b>Tabla 6.09</b> Comparación de los parámetros de aptitud obtenidos durante las simulaciones <i>pre-layout</i> para el tercer punto de estudio. ....	119
<b>Tabla 6.10</b> Comparación de las desviaciones estándar obtenidas debido a la variabilidad del <i>offset</i> en las simulaciones <i>pre-layout</i> para el primer punto de estudio. ....	120
<b>Tabla 6.11</b> Comparación de las desviaciones estándar obtenidas debido a la variabilidad del <i>offset</i> en las simulaciones <i>pre-layout</i> para el primer punto de estudio. ....	120
<b>Tabla 6.12</b> Comparación de las desviaciones estándar obtenidas debido a la variabilidad del <i>offset</i> en las simulaciones <i>pre-layout</i> para el primer punto de estudio. ....	120
<b>Tabla 6.13</b> Resultados obtenidos durante la simulación <i>post-layout</i> para los distintos parámetros estudiados del primer punto de estudio. ....	134

<b>Tabla 6.14</b> Resultados obtenidos durante la simulación <i>post-layout</i> para los distintos parámetros estudiados del segundo punto de estudio. ....	134
<b>Tabla 6.15</b> Resultados obtenidos durante la simulación <i>post-layout</i> para los distintos parámetros estudiados del tercer punto de estudio. ....	134
<b>Tabla 6.16</b> Comparación de los parámetros de aptitud obtenidos durante las simulaciones <i>pre-layout</i> y <i>post-layout</i> , para el primer punto de estudio. ....	135
<b>Tabla 6.17</b> Comparación de los parámetros de aptitud obtenidos durante las simulaciones <i>pre-layout</i> y <i>post-layout</i> , para el segundo punto de estudio. ....	135
<b>Tabla 6.18</b> Comparación de los parámetros de aptitud obtenidos durante las simulaciones <i>pre-layout</i> y <i>post-layout</i> , para el tercer punto de estudio. ....	135
<b>Tabla 6.19</b> Comparación de las desviaciones estándar obtenidas debido a la variabilidad del <i>offset</i> en las simulaciones <i>pre-layout</i> y <i>post-layout</i> , para el primer punto de estudio. ....	136
<b>Tabla 6.20</b> Comparación de las desviaciones estándar obtenidas debido a la variabilidad del <i>offset</i> en las simulaciones <i>pre-layout</i> y <i>post-layout</i> , para el primer punto de estudio. ....	136
<b>Tabla 6.21</b> Comparación de las desviaciones estándar obtenidas debido a la variabilidad del <i>offset</i> en las simulaciones <i>pre-layout</i> y <i>post-layout</i> , para el primer punto de estudio. ....	136

# **CAPÍTULO 1**

## **Introducción**

---

Durante este primer capítulo, se expondrá la problemática bajo la cual se desarrolló el proyecto, así como la importancia de resolver el problema. Se mencionará la forma en la que se realizó la investigación y cómo se decidió atacar la problemática planteada para el proyecto. También se describirá brevemente el flujo de trabajo que se realizó durante el proyecto, la forma en la que se implementó, y finalmente, se mostrarán la meta y los objetivos determinados para este proyecto.

### **1.1 Antecedentes del proyecto**

#### **1.1.1 Problema existente e importancia de la solución**

A lo largo de la historia, la ingeniería en general siempre ha concentrado sus esfuerzos para facilitar las labores mediante el desarrollo y creación de herramientas que se han vuelto imprescindibles en la época contemporánea. Automóviles, aeronaves, computadoras, celulares, entre muchas otras cosas, conforman una infinidad de invenciones que han acompañado a la humanidad en las últimas décadas.

La ingeniería en electrónica en particular contribuye en el desarrollo de la gran mayoría de estos dispositivos, y como tal, la investigación en esta área es de suma importancia. Por tal razón, muchos laboratorios en electrónica alrededor del mundo utilizan sus recursos para desarrollar e innovar esta ingeniería, siempre tomando en cuenta las posibles aplicaciones que tiene y el beneficio a la comunidad en general. La ingeniería electrónica tiene un fuerte impacto en muchos otros campos, tales como: la medicina, telecomunicaciones, aviación, entre otras.

La problemática de evolucionar esta ingeniería seguirá siendo una temática de nunca acabar. Particularmente, este proyecto fue elaborado a partir del impacto de la electrónica en el campo de la salud, la implementación de dispositivos médicos y la necesidad constante de optimizarlos para mejorar la calidad de vida de los pacientes.

En muchos casos, el desarrollo e implementación de estos dispositivos se realiza de manera analógica. Gracias a esto, es posible optimizar y adaptar las características a las necesidades respectivas. Por esta razón, es común ver bloques como el Amplificador Operacional (Op-Amp por sus siglas en inglés) y el Amplificador Operacional de Transconductancia (OTA por sus siglas en inglés) como parte de estos diseños. Teniendo esto en cuenta, si estos dispositivos mejoran su rendimiento de manera significativa, es muy probable que el sistema completo también mejore proporcionalmente. Por tal razón, estos dos bloques suelen ser objeto de investigación, ya sea para la búsqueda de nuevos diseños y estructuras internas para dichos bloques, o bien, para la optimización y mejora de diseños ya existentes.

Este proyecto consiste en el estudio de uno de estos bloques esenciales en la electrónica analógica para implementar una gran cantidad de dispositivos. De esta forma, el problema que se abordó durante este proyecto fue el estudio, y en particular, del OTA, de manera que pueda usarse como base para el desarrollo de futuros y novedosos diseños.

### **1.1.2 Descripción Detallada del Problema**

En esta sección se profundizará un poco más dentro del problema, en esta subsección se detallarán las características del dispositivo a estudiar durante este proyecto y el enfoque dado.

A la hora de diseñar un dispositivo, existen parámetros que deben priorizarse pues no es posible mejorar todos los parámetros al mismo tiempo, y deben escogerse aquellos que beneficien más la aplicación en la que se utilizará la unidad diseñada. Particularmente para este proyecto, en el diseño del *OTA* se le dio mayor importancia a parámetros como el *offset* de salida, el rango lineal, la transconductancia y el consumo de potencia.

Durante el planteamiento del proyecto, no se determinaron valores numéricos que deben alcanzarse para los parámetros especificados, sino que el objetivo fue un trabajo de optimización de las unidades y el estudio del efecto del *mismatch* de los transistores en el *OTA*.

Tomando todo esto en cuenta, a continuación se resumen varias consideraciones importantes que debieron aludirse durante el análisis de la información:

1. El uso de baterías pequeñas es importante, y por lo tanto la tensión de alimentación debe ser entre 1.8V y 3.3V.
2. El *OTA* debe tener una transconductancia muy pequeña.
3. Un *offset* sistemático sumamente reducido y un rango lineal extenso en ambos son necesarios para aspectos de confiabilidad.
4. Un bajo consumo de potencia, una problemática que siempre se busca alcanzar en la electrónica moderna.
5. Analizar el efecto del *mismatching* sobre el comportamiento de los dispositivos.

### **1.1.3 Obtención y análisis de la Información**

La obtención de información en temas avanzados de la electrónica, prácticamente se da sólo mediante la lectura de artículos relacionados en revistas especializadas, publicaciones de otros profesionales en el área, y/o tesis de grado, maestría o doctorado. Además, siempre es necesario tener a mano la literatura de



los libros sobre ingeniería en electrónica, con tal de reforzar los temas tratados en los documentos ya mencionados. Todos estos métodos de búsqueda fueron necesarios para llegar al resultado final. Además, también fue primordial la recolección y estudio de la información mediante el contacto y conversaciones con profesionales especialistas en el área.

Una vez recaudada vasta información, se procedió a organizarla para su futura evaluación, de acuerdo a la relevancia del tema respecto al *OTA* o la variabilidad. Luego, se estudió cada bloque de información por separado. Se analizaron diversas arquitecturas de acuerdo a los parámetros ya mencionados que se desean priorizar, de donde por supuesto se obtuvo una arquitectura final.

De acuerdo a la solución propuesta y el estudio realizado, la información total obtenida fue filtrada y organizada para mantener de forma clara y ordenada la información necesaria para que el lector pueda entender sin el proyecto y el flujo de trabajo que se utilizó. La información más importante está referenciada en la bibliografía presente al final de este trabajo.

#### **1.1.4 Evaluación de las alternativas**

Para la obtención de una posible solución, la evaluación de datos de acuerdo a lo que se necesitó fue indispensable. Principalmente, se tomó en cuenta el juicio y la opinión de expertos para la búsqueda de información y la escogencia de una arquitectura particular, tomando en cuenta aspectos como los parámetros, la complejidad, las aplicaciones, entre otras cosas.

Al ser los documentos y tesis relacionados al área la principal forma de recolectar información, el contacto con varios de los autores de dichas investigaciones fue necesario para dar rumbo y destino al proyecto.

Para la evaluación de la opción escogida (sección 1.5), principalmente se utilizaron simulaciones de los circuitos en herramientas computacionales especializadas. Los resultados de las simulaciones fueron analizados en relación a las condiciones mencionadas en las secciones previas. Para las simulaciones se utilizaron las herramientas *Pyxis* y *ELDO Spice* de *Mentor Graphics*, así como *LTSpice* para simulaciones rápidas de prueba, y para la optimización del circuito se utilizó un programa computacional automatizado que implementa el algoritmo *PESA*, desarrollado dentro de la Escuela de Ingeniería en Electrónica del ITCR [7]. En caso de no lograr las condiciones, se realiza algún cambio menor dentro del diseño y se reevalúa hasta obtener resultados satisfactorios. Nótese, que la herramienta de optimización está desarrollada en C/C++, y es necesario la comprensión de estos lenguajes de programación para su manejo.

### 1.1.5 Solución Seleccionada

De entre las diferentes alternativas de estudio, se escogió un *OTA* en particular, **un *OTA* con degeneración de cuerpo** [xxx]. Este *OTA* se escogió pues presenta mejores parámetros que otras arquitecturas, especialmente en el *offset* de entrada y el rango lineal, parámetros que son influenciados de manera importante por el *mismatch* de los transistores. Para el estudio de esta unidad básica, se realizó el flujo de diseño analógico estándar asistido con una herramienta de optimización especializada diseñada en la Escuela de Ingeniería en Electrónica, y adaptada para este *OTA* en particular.

En concreto, se decidió enfocar el estudio y análisis de este *OTA* alrededor de la variabilidad (*mismatch*) en el tamaño de los transistores durante la fabricación de los mismos. A su vez, se estudia el efecto de esta variabilidad en otros parámetros del bloque mediante el uso de procesos estadísticos. Luego, se introduce este efecto a las simulaciones del *OTA* y se incorpora este nuevo modelo al proceso de optimización utilizado como herramienta de apoyo. Finalmente, se analizan los

resultados y se validan los mismos mediante la implementación y evaluación de *layouts*.

### **1.1.6 Implementación de la solución**

A continuación se resume cómo se alcanzó el resultado final con el fin de facilitar el entendimiento del flujo de trabajo. Información que podría resultar útil para proyectos de índole similar, o bien, proyectos con algunas características compartidas.

Con el planteamiento del proyecto sobre el estudio del efecto de la variabilidad en los *OTA*, se realizó como primer paso la búsqueda de información sobre técnicas relacionadas. Durante este punto, fue necesario establecer contactos con expertos para dar una dirección a la información recolectada.

El segundo paso fue organizar la información y analizar los resultados para cada arquitectura encontrada. Al mismo tiempo, se hizo un asesoramiento sobre que configuraciones eran más relevantes para la investigación, de acuerdo a sus posibles aplicaciones (por ejemplo en [4]). Este paso concluye con la escogencia de las arquitecturas estudiadas.

El tercer paso consistió en realizar una propuesta de diseño con un circuito inicial para el *OTA* en estudio, y comprobar mediante una rápida simulación bajo condiciones ideales, que efectivamente el sistema funciona como debe.

El cuarto paso abarca el estudio y análisis teórico de la arquitectura escogida, tales como: el análisis de pequeña señal y el efecto del *mismatching* sobre los dispositivos, etc. Para más información referirse al Capítulo 3

El quinto paso consistió en implementar este modelo a nivel de simulación, incorporarlo a la herramienta de optimización y obtener resultados relevantes para el proyecto.

Con la arquitectura escogida, estudiada y probada, el sexto paso fue ya proceder a analizar y validar los resultados obtenidos de acuerdo a lo que se planteó al inicio del proyecto. Finalmente, se documentó el proyecto y los resultados más relevantes.

## **1.2 Meta y Objetivos**

### **1.2.1 Meta**

Elaborar un modelo que incorpore el efecto de la variabilidad del bloque en estudio, de manera que pueda ser utilizado durante el diseño de futuros proyectos.

### **1.2.2 Objetivo General**

- Estudiar la variabilidad y sus efectos sobre distintos parámetros de un Amplificador Operacional de Transconductancia con degeneración de cuerpo.

*Indicador:* Con ayuda de simulaciones en las herramientas de *Mentor Graphics* y el análisis del *Frente de Pareto* se puede estudiar estos efectos.

### **1.2.3 Objetivos Específicos**

- Obtener un modelo teórico de la variabilidad y sus efectos en el Amplificador Operacional de Transconductancia con degeneración de cuerpo.

*Indicador:* Ecuaciones del modelado teórico y simulación de las mismas con *Mentor Graphics*.

- Construir una simulación que incluya el modelado teórico obtenido.

*Indicador:* Simular el circuito con *Mentor Graphics* y corroborar el efecto funcionamiento.

- Estudiar y analizar el efecto de la variabilidad en el OTA, utilizando una herramienta de optimización automatizada.

*Indicador:* Simular el circuito con *Mentor Graphics* y la herramienta de verificación para el estudio.

- Validar los resultados obtenidos por la herramienta de optimización mediante la creación de *layouts* y el análisis de sus resultados.

*Indicador:* Simular los *layouts* construidos en *Mentor Graphics* y corroborar su correcto funcionamiento.

## **CAPÍTULO 2**

### **Conceptos Generales**

---

Durante este capítulo se explican algunos fundamentos básicos en electrónica relevantes para entender correctamente la estructura del proyecto. Los temas a tratar durante el capítulo son: una introducción breve al diseño de circuitos integrados analógicos, conceptos básicos del *OTA* como dispositivo de estudio, información sobre los algoritmos genéticos y su uso para optimizar procesos y diseños, y los conceptos básicos de una simulación de Monte Carlo. Para profundizar más en estos temas, puede referirse a [17, 18, 19].

#### **2.1 Diseño de Circuitos Integrados Analógicos**

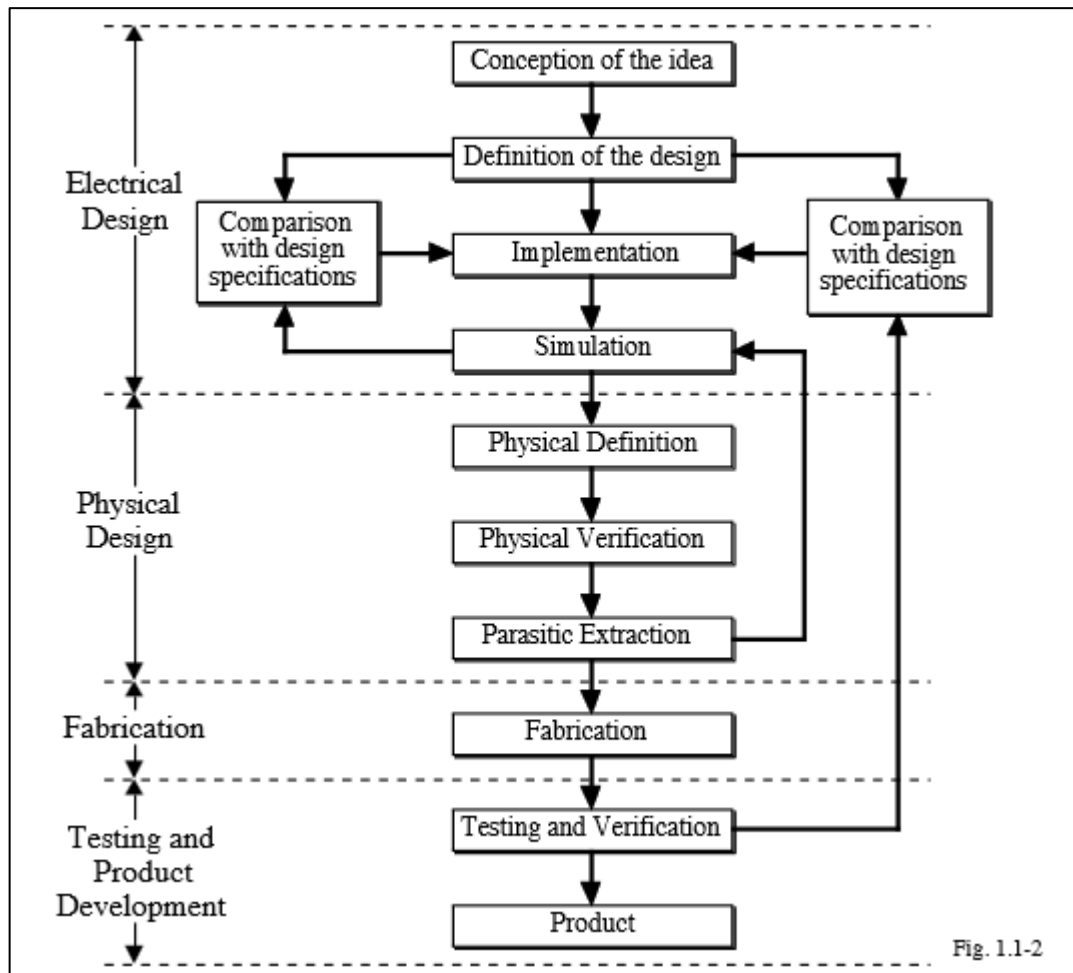
El diseño de circuitos integrados está separado en dos grandes categorías: analógica y digital. Una señal es considerada como cualquier valor detectable de voltaje, corriente o carga; y a su vez, una señal brinda información acerca del estado o comportamiento de un sistema físico. Una señal analógica es aquella definida en un rango de tiempo continuo y con un rango continuo de amplitudes. Una señal digital es una señal que está definida en valores discretos de amplitud, o bien se puede decir, una señal digital se cuantifica en valores discretos.

El diseño de circuitos es un proceso creativo empleado para construir dispositivos capaces de resolver un problema en particular. El análisis de circuitos por su parte, es el proceso en el cual se estudia un circuito en específico para así determinar sus características.

En el presente trabajo se realizó un poco de diseño y de análisis. Si bien en este proyecto se realizó un estudio sobre configuraciones ya existentes y el efecto

de varios factores sobre el mismo; el diseño no estuvo fuera del enfoque al incorporar una herramienta de optimización con el objetivo de mejorar los diseños previos, y en el cual se requiere conocimiento para reconocer cuáles diseños son óptimos y cuáles no. Nótese que el proyecto en cuestión es meramente de diseño analógico complementado por algoritmos genéticos computacionales.

El proceso de diseño de circuitos integrados analógicos es un método extenso compuesto de muchos pasos. La figura 2.01 describe este flujo de diseño, comúnmente utilizado.



**Figura 2.01** Flujo de diseño de circuitos analógicos. [16]

Cada uno de estos pasos es de suma relevancia para el flujo de diseño en circuitos analógicos (y hasta cierto punto en circuitos digitales), y a excepción del paso de “Fabricación”, todos y cada uno de los pasos son realizados por los diseñadores. Los primeros pasos consisten en lo que es propiamente el planteamiento del diseño. La concepción de la idea es básicamente la problemática que se quiere solucionar, el objetivo general del proyecto, mientras que la definición del diseño abarca propiamente el establecimiento de las características físicas y eléctricas del diseño, todo lo referente a las especificaciones, parámetros deseados y la forma en la que se planean alcanzar estas metas. Los siguientes pasos corresponden a un flujo iterativo: la implementación del diseño planteado, la simulación del mismo y la comparación de los resultados con aquellos parámetros previamente establecidos; pasos que deben repetirse indefinidamente hasta alcanzar las características propuestas durante la etapa de definición, o bien, un resultado satisfactorio. Los pasos a seguir corresponden a la elaboración del diseño físico del sistema. El diseño físico es el planeamiento y la implementación del mismo, posteriormente sigue la verificación y la extracción de elementos parasíticos del diseño físico. Esta etapa finaliza con la simulación del diseño físico con la extracción de parasíticos para comprobar el correcto funcionamiento del mismo; de nuevo, un proceso iterativo puede ser necesario. Finalmente, una vez completadas todas estas etapas, se procede con la fabricación del dispositivo y la verificación del funcionamiento del diseño fabricado para cerrar un producto si el resultado final es el deseado. [16]

## **2.2 El Amplificador Operacional de Transconductancia (OTA)**

El *Amplificador Operacional de Transconductancia* (OTA, por sus siglas en inglés) es un dispositivo muy similar al *Op-Amp*, con la distinción de que el OTA entrega corriente en su salida y el *Op-Amp* entrega tensión. El constante estudio del

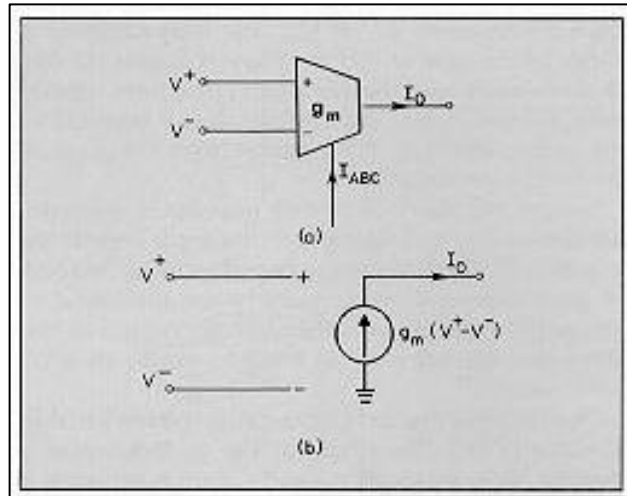


*OTA* en los últimos años, ha permitido desarrollar estructuras de filtros superiores a las conformadas por los *Op-Amps*. Entre las ventajas destaca la simplicidad, la programabilidad y el uso de pocos componentes en los circuitos, lo cual deriva en la reducción del consumo de potencia. Además, los *Op-Amp* han demostrado algunas deficiencias en el diseño de filtros analógicos. [1]

Al ser el *OTA* un dispositivo muy semejante al *Op-Amp*, algunas técnicas aplicadas en estos últimos, pueden ser utilizadas en igual medida sobre circuitos que emplean *OTAs*. La realimentación, es quizá la propiedad más importante que caracteriza los circuitos basados en *Op-Amps*, y de igual manera se puede implementar en aquellos que utilicen *OTAs*. Gracias a esto, se pueden construir diseños tan robustos y estables como los diseñados con *Op-Amps*.

Ahora, como la salida del *OTA* es de corriente y no de voltaje, el diseño y fabricación de estos dispositivos vaya acorde con la naturaleza del transistor *MOSFET*, cuya función básica es la conversión de voltaje a corriente. Esto permite reducir en gran medida el uso de resistencias en el sistema, las cuales requieren de mucho espacio y deterioran la posibilidad de reducir el tamaño circuito, sin mencionar su elevado consumo de potencia.

El símbolo del *OTA* y su modelo de pequeña señal ideal aparecen en la figura 2.02. Las ecuaciones (2.01) y (2.02) describen las características ideales de un *OTA* convencional.



**Figura 2.02** Modelo ideal del OTA. [1]

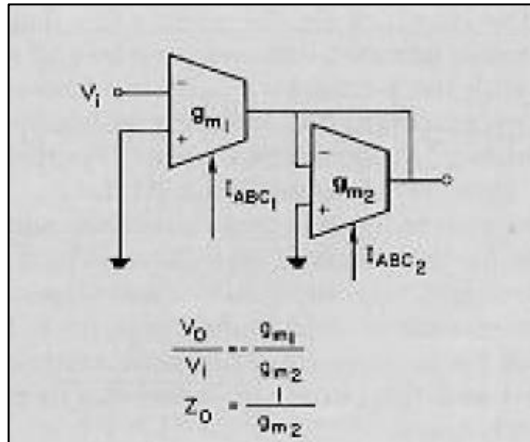
$$g_m \sim h * I_{ABC} \quad (2.01)$$

$$I_O = g_m(V^+ - V^-) \quad (2.02)$$

, donde  $g_m$  es la *transconductancia* del OTA y es proporcional a:  $h$ , que es una constante de la temperatura, de la geometría del dispositivo y del proceso; e  $I_{ABC}$ , que es la *corriente de polarización*. Además,  $V^+$  y  $V^-$  son la entrada diferencial, e  $I_O$  es la corriente de salida.

Es importante destacar que en el modelo ideal las impedancias de entrada y salida del OTA deben ser infinitas. Además, el  $g_m$  del OTA puede ajustarse con ayuda de  $I_{ABC}$ , permitiendo editar ciertas características de un filtro sin necesidad de alterar la arquitectura interna del filtro o el OTA.

El uso de *amplificadores* es vital para cualquier sistema de esta índole, y los OTAs al igual que los *Op-Amps*, son una opción viable para el diseño de amplificadores. La figura 2.03 muestra el esquema del amplificador básico utilizando OTAs, y la expresión (2.03) describe la ganancia del amplificador.



**Figura 2.03** Amplificador básico con OTAs. [1]

$$\frac{V_O}{V_I} = -\frac{g_{m1}}{g_{m2}} \quad (2.03)$$

La figura 2.04 muestra el esquemático básico de un OTA. Este OTA presenta el siguiente funcionamiento, los transistores  $M_{1a}$  y  $M_{1b}$  conforman el par diferencial de entrada y son los encargados de realizar la conversión de voltaje a corriente (basado en el funcionamiento clásico del transistor *MOSFET*). Los demás transistores conforman espejos de corriente distribuidos en el diseño,  $M_{2b}$  y  $M_{2d}$  copian la corriente producida por  $M_{1b}$  hacia la salida;  $M_{2a}$ ,  $M_{2c}$ ,  $M_{4a}$  y  $M_{4b}$  constituyen dos espejos que realizan la misma función, pero copiando la corriente generada por  $M_{1a}$  hacia la salida. Los transistores  $M_{3a}$  y  $M_{3ref}$  se encargan de polarizar el par diferencial. Es importante mencionar que este diseño presenta una impedancia de entrada infinita y una impedancia de salida equivalente al paralelo entre  $r_{op}$  y  $r_{on}$ .

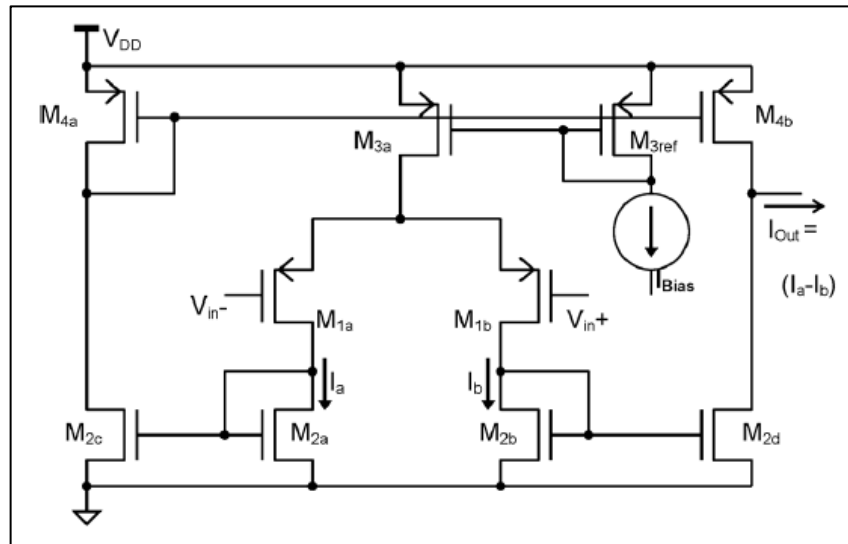


Figura 2.04 Esquema del OTA básico. [2]

### 2.3 Algoritmos Genéticos y Optimización Multiobjetivo

Los *Algoritmos Genéticos* son técnicas utilizadas en la computación para buscar soluciones a problemas de optimización. Estos algoritmos se basan en un método heurístico (de prueba y error) inspirado por el proceso natural de la evolución.

Al ser este tipo de algoritmo muy semejante al proceso evolutivo, se emplean métodos como la herencia, la selección, la mutación, los cruces, entre otros. Esta metodología es muy utilizada en diferentes ámbitos de la sociedad humana como la ingeniería, economía, bioinformática, química, física, matemática, etc.

En términos generales un algoritmo genético básico funciona como sigue: a) se genera una población (conjunto de individuos), b) se evalúa la aptitud de cada individuo dentro de la población, c) se separan los mejores individuos, y se repite el proceso hasta que se logre el punto óptimo o se cumpla una serie de iteraciones determinada. No obstante, a la hora de generar la población se toman en cuenta aspectos como: escoger los mejores individuos para reproducirse, o crear nuevos

individuos mediante la mutación o cruce; los cuales podrían reemplazar individuos de la población original si resultan que son mejores para la optimización.

Los *Algoritmos para Optimización Multiobjetivo* son un método matemático utilizado para tomar decisiones para una optimización específica, tomando en cuenta múltiples criterios de manera simultánea. De igual forma, estos procesos son utilizados en muchas áreas de la sociedad humana (ingeniería, economía, etc.). Este algoritmo es realmente útil en problemas donde existen muchos parámetros por optimizar, donde al tratar de mejorar alguno de éstos, otro puede que se aleje de su punto óptimo, como si fuera una especie de compromiso.

### **2.3.1 El Algoritmo PESA**

El algoritmo *PESA* (*Pareto Envelope-based Selection Algorithm*, por sus siglas en inglés) es un proceso genético y multiobjetivo, el cual ambos algoritmos explicados anteriormente. El funcionamiento detallado del algoritmo, así como la matemática relacionada y su implementación en sistemas computacionales, va más allá de la finalidad de este proyecto, por lo que sólo se dará una explicación a nivel muy general de cómo realiza la tarea de optimizar.

A parte de las técnicas generales que emplean este tipo de algoritmo, el algoritmo *PESA* también toma en cuenta el tamaño de la población, y utiliza como estrategia una especie de “rejilla” para poblar, en la cual ordena cuales individuos son mejores que otros. Para ello, el algoritmo emplea dos parámetros basados en la población:  $P_i$ , el tamaño de una población interna (*IP*), y  $P_E$ , el tamaño máximo de todo el archivo, una población externa (*EP*).

El algoritmo está descrito como sigue [15]:

- 1 Se genera una población interna (*IP*) inicial de cromosomas, se evalúa cada uno de estos cromosomas y se inicializa una población externa vacía (*EP*).

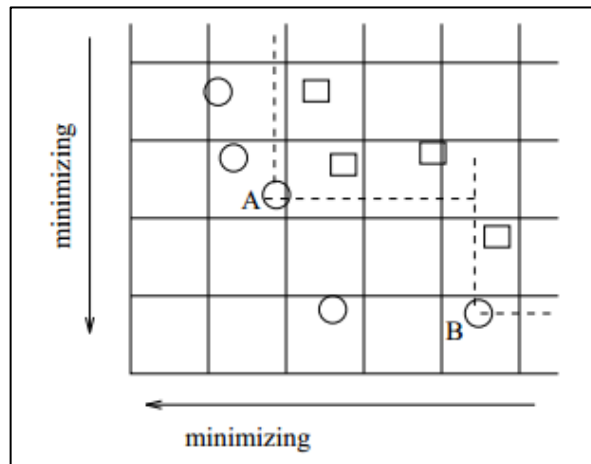
- 2 Se incorporan los individuos no-dominados a la población externa, es decir aquellos con características mejores por sobre los demás.
- 3 Si algún criterio de finalización se alcanza, entonces el algoritmo termina el proceso, mostrando el grupo  $EP$  de cromosomas como resultado. Caso contrario, se elimina la población  $IP$  actual y se regenera de la siguiente manera:
  - Con una probabilidad dada,  $pc$ , se seleccionan dos padres del  $EP$  y se cruce para formar un hijo, el hijo muta. Con una probabilidad de  $(1 - pc)$ , se selecciona un padre y se muta para generar un nuevo hijo. Se generan varios individuos de esta índole hasta completar una  $IP$  de acuerdo al tamaño definido. Se evalúa la población interna.
- 4 Brinca al paso 2.

Existe el caso en el que la población  $EP$  se llena conforme se agreguen individuos no-dominados de la  $IP$ ,  $(P_E + 1)$ . En este caso, se debe eliminar uno de los individuos de la  $EP$ .

La selección de un padre del  $PESA$  para generar una nueva  $IP$  se da de la siguiente manera. Asumiendo que se desea optimizar un sistema con dos objetivos, la estrategia para poblar del algoritmo  $PESA$  consiste en crear implícitamente una “rejilla” que divide (normaliza) espacios de fenotipos en cajas o grupos, como se muestra en la figura 2.05. Los círculos son puntos no-dominados, y los cuadrados son puntos dominados dentro del archivo. Note que para este caso, como el sistema es de dos dimensiones las cajas son cuadradas. Ahora, cada cromosoma está asociado a una caja particular de la rejilla, y posee un atributo llamado *squeeze factor*. Este factor es el que se utiliza para seleccionar el padre para generar la nueva  $IP$ , y para eliminar algún individuo del  $EP$  cuando este alcanza su máxima capacidad.

El *squeeze factor* es simplemente la cantidad total de cromosomas que habitan dentro de una misma caja, por ejemplo, en la figura 2.05 el cromosoma A

tiene una *squeeze factor* de 2, mientras que el cromosoma B posee un *squeeze factor* de 1. Para seleccionar a un padre para la nueva *IP*, se escogen dos cromosomas al azar dentro de la población y se selecciona el que tenga menor *squeeze factor*, así se expandirá el área de búsqueda dentro del frente de Pareto. Para eliminar un individuo del *EP*, se escoge el punto con mayor *squeeze factor*, pues quiere decir que esa zona tiene mayor representación de cromosomas, es decir, está más poblado.



**Figura 2.05** Estrategia del *PESA* para poblar. [15]

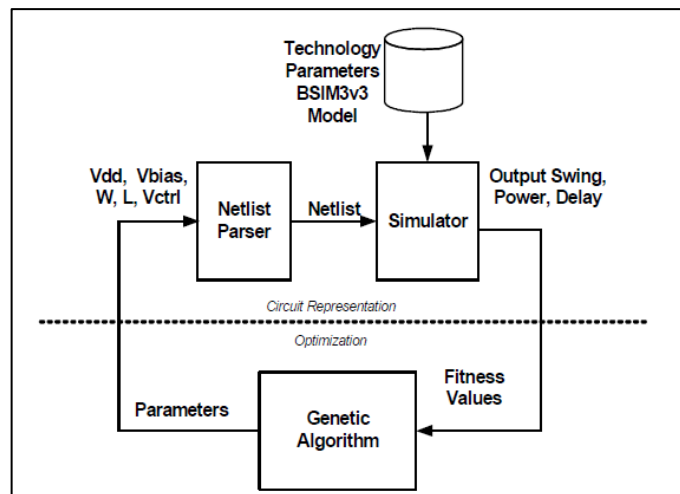
Este algoritmo es uno de los mejores métodos de optimización multiobjetivo, junto al *PAES* (*Pareto Archived Evolution Strategy*) y el *SPEA* (*Strength Pareto Evolutionary Algorithm*). Para más información sobre el algoritmo, refiérase a [15].

### 2.3.2 La Herramienta de Optimización

La herramienta que se utilizó durante el proyecto emplea el algoritmo *PESA* recién estudiado. En [7] se habla sobre el diseño de las bibliotecas de la herramienta de optimización para compuertas *MCML* (*MOS Current Mode Logic*) utilizadas para la elaboración de la herramienta de optimización

En el documento se detalla, que el algoritmo recibe un conjunto de valores de aptitud que se desean optimizar, sin la necesidad de saber que son o de donde vienen estos valores. Así, adaptando el proceso a los circuitos eléctricos, sin la necesidad de conocer la topología del circuito, el algoritmo recibe un grupo de valores de aptitud que representan parámetros específicos dentro del sistema, llámese potencia, tiempo de retardo, voltaje de *offset*, etc., y determina los puntos más óptimos para el sistema. Esta herramienta está escrita en C y C++.

El funcionamiento de la herramienta comprende dos procesos independientes: la representación del circuito (simulación) y la optimización. El esquema de la figura 2.06 muestra ambos procesos y la interacción entre ellos. Para la representación del circuito se utilizan el *Design Architect* de *Mentor Graphics* y *ELDO Spice*, en los cuales se diseña el circuito y se simula el mismo, respectivamente.



**Figura 2.06** Arquitectura del optimizador. [7]

El proceso ocurre de la siguiente manera, se diseña un circuito de partida y se simula, los valores de aptitud son enviados a la herramienta. Luego, la herramienta



almacena y evalúa estos valores. A partir de los resultados empleando el algoritmo PESA, la herramienta modifica los valores de los componentes o dimensiones del circuito que el diseñador definió como variables. Se simula el circuito de nuevo, y los nuevos valores de aptitud son enviados a la herramienta. El ciclo continúa hasta alcanzar una etapa terminal (número de iteraciones completadas, algún error, etc.). Al final, la herramienta almacena los puntos más óptimos de todo el proceso en un reporte.

Para más información sobre el tema, y de cómo se implementó para evaluar circuitos, se puede referir a [7].

## **2.4 Simulación de Monte Carlo**

Una simulación de Monte Carlo es una técnica o método que se utiliza en estudios probabilísticos para entender el impacto del riesgo o la incertidumbre en diversas áreas de la sociedad, por ejemplo, en economía, manejo de proyectos, ingeniería, predicción del clima, etc.

La simulación de Monte Carlo a veces permite construir un estimado de un rango valores en respuesta a una incertidumbre en particular que afecta directamente el sistema en estudio. Este rango de valores se puede reflejar en diferentes parámetros. Por ejemplo, el tiempo estimado para finalizar una obra en un proyecto de construcción, el máximo tiempo que podría tomar (peor caso) o el mínimo tiempo que podría tomar (mejor caso). O bien, un estimado del costo de dicho proyecto.

Al usar un rango de posibilidades, se puede crear una imagen más realista de qué puede ocurrir en el futuro de un proyecto. La idea de esta simulación es recibir un rango de estimados para evaluar y entregar como resultado un rango de posibles resoluciones sobre lo que podría ocurrir. Por lo tanto, es necesario conocer y aplicar términos como la *media* o la *desviación estándar* a estos rangos de valores.

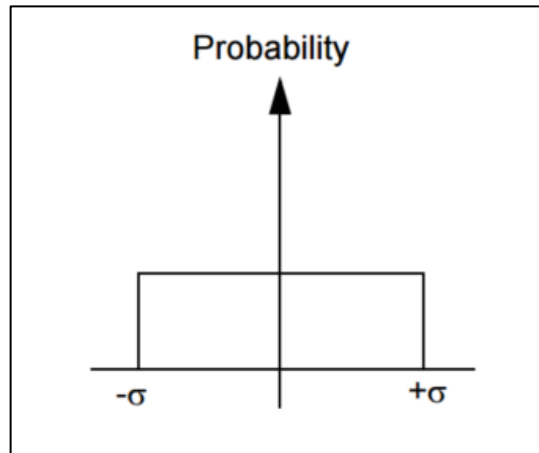
Una simulación de Monte Carlo calcula distintos modelos dependiendo de algún valor aleatorio seleccionado. Este tipo de simulación es iterativa pues calcula una y otra vez, cientos o miles de veces, el mismo modelo modificando sin repetir la variable aleatoria y archivando cada una de las iteraciones. El conjunto de resultados es el rango de valores utilizados para predecir el resultado final.

Para efectos del proyecto, Eldo Spice de Mentor Graphics tiene incluida una funcionalidad para análisis de Monte Carlo (MC) en simulaciones de DC, AC y TRAN, donde uno o más parámetros tienen una distribución de probabilidad. Esta distribución puede ser uniforme, Gaussiana o definida por el usuario. [22]

#### 2.4.1 Distribución Uniforme

Una probabilidad uniforme, como el nombre lo dice, es un espacio de muestras donde se distribuye la probabilidad de manera equitativa. Una variable aleatoria sólo puede tomar valores comprendidos entre los extremos de este espacio de muestras. La probabilidad de que ocurra una muestra fuera del rango  $\pm\sigma$  (desviación estándar) del valor nominal es cero. La ecuación (2.04) describe la función probabilidad de este tipo de distribución. La figura 2.07 ilustra dicha expresión matemática. [22]

$$f(x) = \begin{cases} \frac{1}{(+\sigma)-(-\sigma)} = \frac{1}{2\sigma} & ; \text{para } -\sigma \leq x \leq +\sigma \\ 0 & ; \text{para } x \leq -\sigma, +\sigma \leq x \end{cases} \quad (2.04)$$



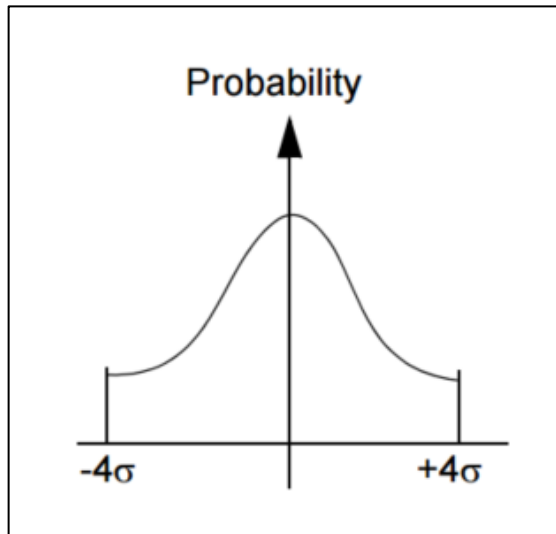
**Figura 2.07** Distribución de probabilidad uniforme. [22]

#### 2.4.2 Distribución Normal (Gaussiana)

Una probabilidad gaussiana se asemeja a una campana. En Eldo, la curva se trunca en  $\pm 4\sigma$ , debido a que la probabilidad de que la variable aleatoria caiga dentro del rango  $\pm\sigma$  del valor nominal es de 68.3%, y dentro de  $\pm 3\sigma$  del valor nominal es de 99.9%. La ecuación (2.05) describe la función probabilidad de este tipo de distribución. [22]

$$f(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{(x-\mu)^2}{2\sigma^2}} \quad (2.05)$$

, donde  $\mu$  es la media de la distribución, y  $\sigma$  es la desviación estándar. La figura 2.08 ilustra dicha expresión matemática.



**Figura 2.08** Distribución de probabilidad normal. [22]

## CAPÍTULO 3

### Desarrollo del modelo teórico de la variabilidad

---

El capítulo anterior presentó conceptos generales que son importantes para entender el trasfondo del proyecto. En este capítulo se profundiza más en el objeto de estudio de este proyecto, el *OTA* con degeneración de cuerpo. Aquí se muestra todo el análisis teórico utilizado para alcanzar un modelo para el estudio de este *OTA* con la herramienta de optimización, incluyendo los efectos físicos y ecuaciones detrás de este estudio.

#### 3.1 *OTA* con Degeneración de Fuente y Degeneración de Substrato

Continuando lo descrito en la sección 2.2, el diseño básico mostrado ahí puede alcanzar valores muy pequeños de transconductancia, lo cual es deseado. Según [2], esto se debe a que el *OTA* de la figura 2.04 puede alcanzar corrientes de salida extremadamente bajas (en *pico-Amperes*) manteniendo el par diferencial en la zona de corte usando las corrientes de fuga para polarizarlo. Sin embargo, este diseño tiene un problema que no es la obtención de transconductancias extremadamente bajas (uno de los problemas más comunes en *OTAs*), sino más bien es su rango lineal el que presenta deficiencias al estar entre los 60-70mV, valores bajos para este parámetro. La figura 3.01 muestra la función característica del *OTA* básico (figura 2.04) en donde se puede visualizar dicho problema.

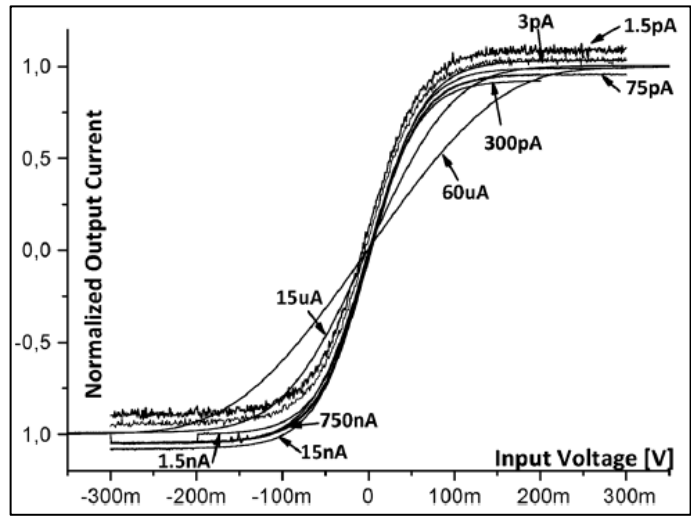
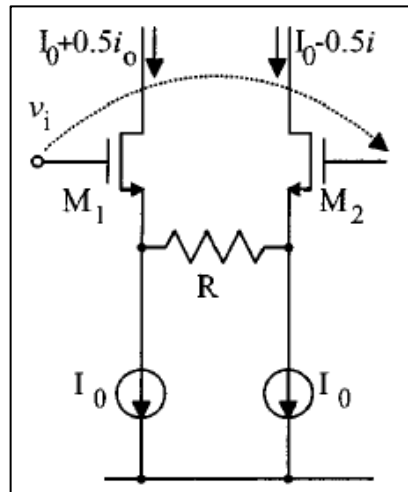


Figura 3.01 Función característica del OTA básico. [2]

En [2] se muestra un *OTA* que presenta un rango lineal mejorado, con un *offset* de entrada bajo y un consumo de potencia en nanowatts. Este *OTA* implementa varias técnicas de linealización en un solo diseño, de manera que el modelo final presenta mejores características respecto a otros diseños de índole similar.

La primera técnica se conoce como degeneración de fuente en un par diferencial la cual tiene dos versiones básicas. La primera versión consiste en utilizar una resistencia para la degeneración, este método es comúnmente utilizado para mejorar la linealidad de un amplificador (Fuente Común Degenerado [18]). La figura 3.02 muestra la implementación de esta técnica en pares diferenciales.



**Figura 3.02** Degeneración de fuente utilizando una resistencia. [8]

La segunda forma de degeneración es la que utiliza transistores en lugar de la resistencia de degeneración. En [13] explican que uno de los mejores *OTA* para el diseño de filtros es el *OTA* con difusor simétrico, *OTA* que implementa este método. Esta técnica fue propuesta por Krummenacher [12], la cual emplea dos transistores en paralelo que reciben una tensión proporcional al voltaje de entrada del *OTA*.

Esta configuración permite estabilizar el valor de la transconductancia independientemente de las variaciones de la tensión de entrada, mejorando el rango lineal del dispositivo. La figura 3.03 muestra el uso de un difusor simétrico en un *OTA* básico.

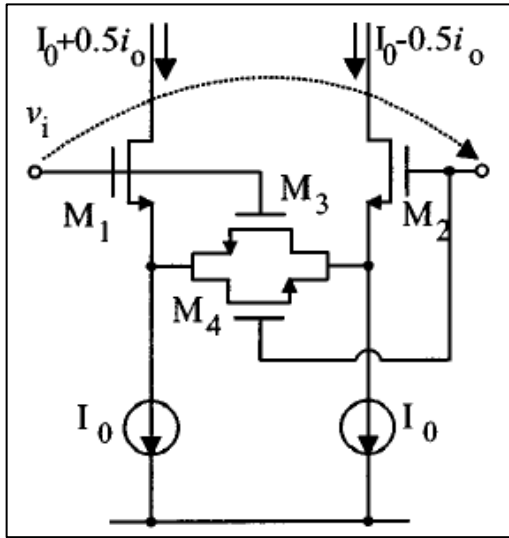


Figura 3.03 OTA básico con difusor simétrico. [8]

Las ecuaciones que describen el comportamiento del circuito anterior son:

$$k_i = \frac{\mu C_{ox}(W/L)M_i}{2} \quad (3.01)$$

$$r_{ds_i} = \frac{1}{2k_i(V_{GS_i} - V_T)} \quad (3.02)$$

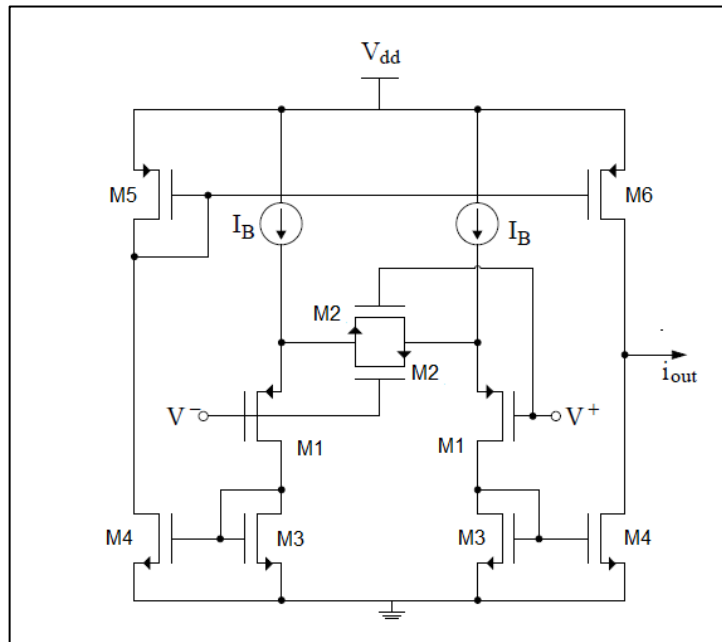
$$g_m = \frac{1}{r_{s1} + r_{s2} + (r_{ds3} || r_{ds4})} = \frac{k_1 \sqrt{I_b}}{\left(1 - \frac{k_1}{4k_3}\right) \sqrt{k_1}} \quad (3.03)$$

La ecuación (3.03) muestra que el valor de transconductancia depende esencialmente de las dimensiones de los transistores y la corriente de polarización  $I_b$ . No obstante, un OTA real presenta un comportamiento variable indeseado en la transconductancia dado por una variación de tensión en la entrada. Esto se debe a la no linealidad de los transistores junto con el hecho de que las ecuaciones recién presentadas aplican específicamente para transistores en inversión fuerte. El principal objetivo del difusor simétrico es reducir este efecto negativo.

La figura 3.04 muestra el esquema del OTA de Krummenacher estándar. Debido a la necesidad de la simetría en circuitos empleando pares diferenciales, los



transistores del difusor simétrico deben ser iguales entre ellos. Además, deben ser de 6 a 7 veces más largos que los transistores de la entrada diferencial, pero deben tener el mismo ancho que dichos transistores.

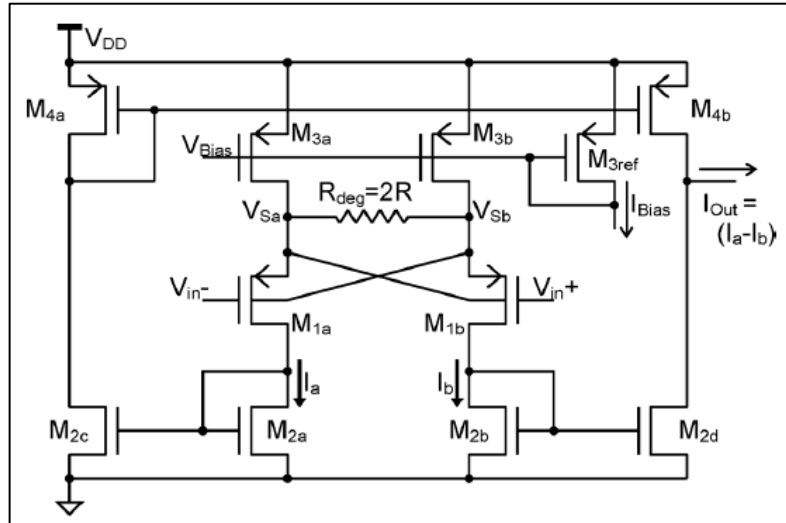


**Figura 3.04** OTA estándar con difusor simétrico. [13]

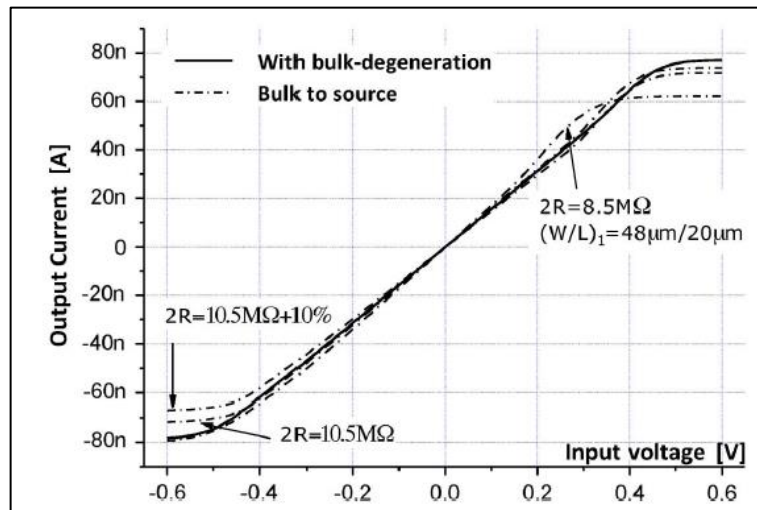
La segunda técnica para mejorar la linealidad es conocida como degeneración de sustrato. El objetivo de esta técnica es la misma, mejorar el rango lineal. En [2] se detalla que este método consiste en aplicar una tensión diferencial a los sustratos del par diferencial de entrada cuando ocurre un desbalance en la tensión diferencial de entrada, esto para compensar el desbalance resultante en las corrientes del par diferencial, y así mejorar el rango lineal y disminuir la transconductancia del circuito.

En [2] se propone un OTA que utiliza estas dos técnicas, para así obtener el beneficio de ambas. Particularmente, se utiliza la degeneración de fuente utilizando una resistencia por simplicidad, la cual fue ilustrada en la figura 3.02. La figura 3.05

muestra el diseño propuesto. En [2] también se presentan resultados obtenidos para este esquema, la figura 3.06 muestra los resultados obtenidos del *OTA* diseñado por los autores. En dicha figura se puede observar una extensión del rango lineal del *OTA*, respecto a su arquitectura básica (figura 2.04).



**Figura 3.05** *OTA* que utiliza degeneración de fuente y degeneración de substrato. [2]



**Figura 3.06** Comportamiento característico del *OTA* que utiliza degeneración de fuente y degeneración de substrato. [2]

### 3.2 El Modelo ACM (*Advanced Compact MOSFET*)

Existen muchos modelados que describen el comportamiento de un transistor MOSFET, sin embargo, muchos de estos no son apropiados para diseño debido a detalles importantes como la falta de precisión, ecuaciones muy complejas, excesiva cantidad de parámetros numéricos y la falta de significado físico de varios de estos parámetros. Estos problemas son consecuencia de la gran cantidad de cambios que han ocurrido en los modelos CAD de los transistores. [3]

El modelo ACM es una alternativa al problema del modelado compacto del MOSFET. Este modelado emplea acercamientos físicos junto a modelos semi-empíricos consolidados. Específicamente, el ACM como fundamento la teoría basada en cargas y el modelo de control de cargas unificadas (*UCCM-Unified Charge Control Model*). [3]

Las ecuaciones (3.04) y (3.05) describen el comportamiento del MOSFET basado en el modelo de hojas de carga y la relación lineal entre la densidad de carga en inversión  $Q'_i$  y el potencial de superficie  $\phi_s$ . La ecuación (3.04) incorpora las regiones en inversión débil, moderada y fuerte.

$$dQ'_i = (C'_b + C'_{ox})d\phi_s = nC'_{ox}d\phi_s \quad (3.04)$$

$$n = 1 + C'_b/C'_{ox} \quad (3.05)$$

, donde  $n$  es el factor de la pendiente,  $C'_{ox}$  es la capacitancia el óxido por unidad de área y  $C'_b$  es la capacitancia de agotamiento por unidad de área.

En un transistor de canal largo, la corriente de drenador resultante (incorporando la corriente de arrastre y de difusión) usando la aproximación del modelo de hoja de carga está dada por:

$$I_D = \frac{\mu W}{nC'_{ox}} (-Q'_i + nC'_{ox}\phi_t) \frac{dQ'_i}{dx} \quad (3.06)$$

, donde  $x$  es la coordenada paralela al canal,  $\mu$  es la movilidad efectiva,  $W$  el ancho del canal y  $\varphi_s$  es el potencial térmico. Ahora, el modelo *ACM* utiliza el *UCCM* para relacionar la densidad de los portadores de carga con la tensión aplicada, así:

$$V_P - V_x = \varphi_t \left[ \frac{Q'_I}{Q'_{IP}} - 1 + \ln \left( \frac{Q'_I}{Q'_{IP}} \right) \right] \quad (3.07)$$

, donde  $Q'_{IP} \approx -nC'_{ox}$  es la densidad de carga del canal durante el pinch-off,  $V_P \approx (V_{GB}-V_T)/n$  es el voltaje de pinch-off, y  $V_x$ ,  $V_T$  y  $V_{GB}$  corresponden a al potencial del canal a una distancia  $x$ , el voltaje de subumbral del transistor y el voltaje compuerta-substrato, respectivamente. En [6] mencionan que de las ecuaciones (3.06) y (3.07) se obtiene:

$$I_D = -\mu \frac{W}{dx} Q'_I dV_x \quad (3.08)$$

Consecuentemente, el modelo *ACM* es totalmente consistente con la fórmula del potencial quasi-Fermi para la corriente de drenador. Así, sustituyendo la ecuación (3.04) en (3.06) e integrando a lo largo del canal se obtiene que:

$$I_D = \frac{\mu n C'_{ox} \varphi_t^2 W}{2 L} \left[ \left( \left( \frac{Q'_{IS}}{n C'_{ox} \varphi_t} \right)^2 - \frac{2 Q'_{IS}}{n C'_{ox} \varphi_t} \right) - \left( \left( \frac{Q'_{ID}}{n C'_{ox} \varphi_t} \right)^2 - \frac{2 Q'_{ID}}{n C'_{ox} \varphi_t} \right) \right] \quad (3.09)$$

, donde  $L$  es el largo del canal,  $Q'_{IS}$  es la densidad de carga del canal en la fuente. La corriente de drenador puede ser expresada en términos de la corriente en directa y de la corriente en reversa.

$$I_D = I_F - I_R \quad (3.10)$$

$$i_f = \frac{I_F}{I_S} \quad (3.11)$$

$$i_r = \frac{I_R}{I_S} \quad (3.12)$$

$$I_S = \frac{\mu n C'_{ox} \varphi_t^2 W}{2 L} \quad (3.13)$$

, donde  $i_f$  e  $i_r$  representan las corrientes normalizadas en directa y en reversa, respectivamente, e  $I_s$  es la corriente de normalización, modelo descrito en [6]. A  $i_f$  también se le conoce como el coeficiente de inversión, pues esta indica el nivel de inversión del dispositivo. Para valores de  $i_f$  mayores a 100 el transistor se encuentra en inversión fuerte, y para valores menores a 1 el transistor está en inversión débil. Para cualquier valor intermedio el transistor está en inversión moderada. Si  $i_f \gg i_r$ , el transistor se encuentra saturado. Finalmente, la ecuación (3.09) puede reescribirse como:

$$-\frac{Q'_{IS(D)}}{nC'_{ox}\varphi_t} = \sqrt{1 + i_{f(r)}} - 1 \quad (3.14)$$

### 3.2.1 Parámetros de Pequeña Señal

Los parámetros de pequeña señal son necesarios para los análisis en diseño analógico. Para obtener los parámetros de pequeña señal debe estudiarse el comportamiento del transistor cuando se le aplica pequeños cambios de tensión en sus terminales. Para un transistor que se le aplican pequeños cambios en todas sus terminales, como el que aparece en la figura 3.07, se puede decir que:

$$\Delta I_D = g_m \Delta V_G + g_{ms} \Delta V_S + g_{md} \Delta V_D + g_{mb} \Delta V_B \quad (3.15)$$

, donde  $g_m$ ,  $g_{ms}$ ,  $g_{md}$  y  $g_{mb}$  corresponden a las transconductancias de la compuerta, la fuente, el drenador y el cuerpo respectivamente:

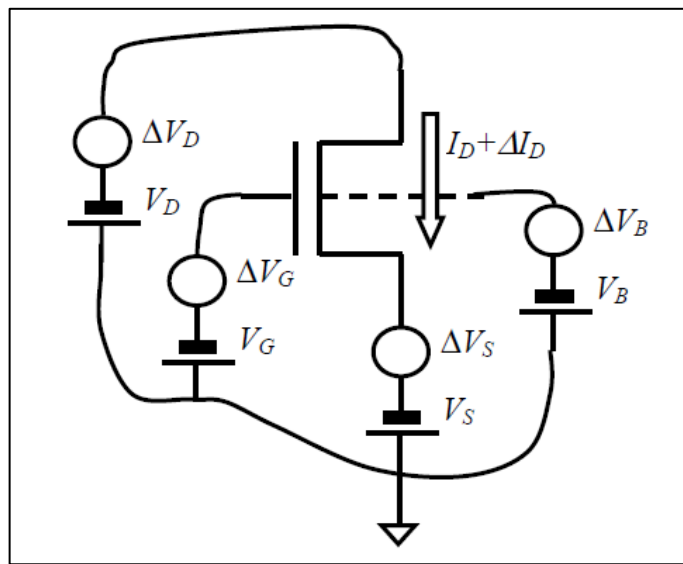
$$g_m = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_S, V_D, V_B} \quad (3.16)$$

$$g_{ms} = \left. \frac{\partial I_D}{\partial V_S} \right|_{V_G, V_D, V_B} \quad (3.17)$$

$$g_{md} = \left. \frac{\partial I_D}{\partial V_D} \right|_{V_S, V_G, V_B} \quad (3.18)$$

$$g_{mb} = \left. \frac{\partial I_D}{\partial V_B} \right|_{V_S, V_D, V_G} \quad (3.19)$$

Es importante hacer notar que un cambio en los voltajes de los cuatro nodos resulta en un cambio de corriente nulo ( $\Delta I_D = 0$ ), así es posible escribir  $g_m + g_{ms} + g_{md} + g_{mb} = 0$ . Por lo tanto, sólo tres de las cuatro transconductancias son independientes.



**Figura 3.07** Análisis de pequeña señal. [6]

La transconductancia de la fuente (drenador)  $g_{ms(d)}$  puede ser calculada derivando la ecuación (3.09) ( $Q'_{IS(D)}$  es dependiente de  $V_{S(D)}$ ):

$$\frac{\partial I_D}{\partial V_{S(D)}} = \mu \frac{W}{L} \varphi_t \left( \frac{Q'_{IS(D)}}{nC'_{ox} \varphi_t} - 1 \right) \frac{\partial Q'_{IS(D)}}{\partial V_{S(D)}} \quad (3.20)$$

Usando la aproximación *UCCM*:

$$\frac{\partial Q'_{IS(D)}}{\partial V_{S(D)}} \cong \frac{nC'_{ox} Q'_{IS(D)}}{Q'_{IS(D)} - nC'_{ox} \varphi_t} \quad (3.21)$$

Así:

$$g_{ms} = -\mu \frac{W}{L} Q'_{IS} \quad (3.22)$$

$$g_{md} = -\mu \frac{W}{L} Q'_{ID} \quad (3.23)$$

Las expresiones (3.22) y (3.23) son válidas para todas las zonas de operación para las tranconductancias de fuente y drenador. Usando la ecuación (3.14), estas expresiones se pueden convertir a:

$$g_{ms(d)} = \frac{2I_S}{\varphi_t} (\sqrt{1 + i_{f(r)}} - 1) \quad (3.24)$$

De la misma forma, se puede calcular una expresión para  $g_m$  derivando la ecuación (3.09) y usando la aproximación *UCCM* [6], se puede obtener que:

$$g_m = \frac{g_{ms} - g_{md}}{n} \quad (3.25)$$

### 3.3 Modelado del *Mismatching* (Variabilidad) de los transistores MOS

El *Mismatching* de los transistores es un parámetro que toma importancia en circuitos simétricos a la hora de fabricar el componente. Pues estadísticamente, un par de transistores diseñados de la misma manera con la misma geometría y la misma tensión en sus terminales, presenta pequeñas diferencias en sus corrientes de drenador. Este hecho produce efectos indeseados cuando se trabaja a tan baja escala, y por esta razón se desea que el *mismatching* sea tan bajo como sea posible.

La determinación de este efecto va ligada a la forma en la que se fabrica el dispositivo y al estudio realizado por el fabricante. Debido a detalles en la fabricación

que no pueden controlarse, el *mismatching* resulta ser un efecto aleatorio. Como tal, este efecto limita la eficiencia que puede tener el dispositivo. Y debe considerarse a la hora de diseñar.

Se puede realizar el modelado usando variaciones aleatorias en la geometría, proceso o parámetros del dispositivo. Para la tecnología en cuestión ( $0.5\mu\text{m}$ ), se utilizó el modelo de *Pelgrom* y los coeficientes brindados por el fabricante para realizar el modelado del *mismatching* [9, 10, 11].

Particularmente en este modelo, hay dos parámetros sobre los que se fluctúa, el voltaje de subumbral  $V_T$ , y el factor de la corriente  $\beta = \mu C_{ox} W/L$ , donde  $\mu$  es la movilidad de los portadores de carga,  $C_{ox}$  es la capacitancia del óxido por unidad de área, y  $W$  y  $L$  son el ancho y largo de los transistores, respectivamente. El primero se debe a las variaciones en el dopado del sustrato durante la fabricación, el segundo se debe a la variabilidad en la movilidad de los portadores de carga. La suma de estos efectos se ve reflejada en una posible *corriente de offset* en el transistor.

Encontrar valores exactos de estos parámetros es sumamente complejo, pues no hay forma de determinarlos hasta ya fabricado el dispositivo, y tales valores se dan por causas aleatorias. Sin embargo, se realizan análisis estadísticos para cuantificar aproximadamente el efecto del *mismatching* previo a la fabricación de un componente, y este estudio es proveído por el fabricante para reducir los porcentajes de error.

Para determinar el efecto del *mismatching*, se utilizan las ecuaciones del modelo de *Pelgrom* [9, 10, 11]. La expresión (3.26) indica como calcular la desviación estándar de la variabilidad del voltaje de subumbral,  $\sigma(V_T)$ . Mientras que la expresión (3.27) muestra la desviación estándar respectiva producida por la fluctuación en  $\beta$ .  $A_{VT}$  y  $A_{d\beta/\beta}$  son los coeficientes dados por el fabricante. En este modelo se asume que la distribución es uniforme.



$$\sigma_{V_T} = \frac{A_{VT}}{\sqrt{WL}} \quad (3.26)$$

$$\sigma_{\delta\beta/\beta} = \frac{A_{\delta\beta/\beta}}{\sqrt{WL}} \quad (3.27)$$

### 3.4 Análisis del OTA con degeneración de cuerpo

Para el OTA de la figura 3.05, como los transistores se encuentran en saturación, al realizar el análisis de pequeña señal, la transconductancia del drenador es despreciable. De esta forma se puede obtener, a partir de la ecuación (3.25) que:

$$g_m = \frac{g_{ms}}{n} = \frac{g_{mb}}{(n-1)} \quad (3.28)$$

Analizando las corrientes del OTA se obtiene:

$$i_a = -g_{m1}v_{in-} + ng_{m1}v_{Sa} - (n-1)g_{m1}v_{Sb} \quad (3.29)$$

$$i_b = -g_{m1}v_{in+} + ng_{m1}v_{Sb} - (n-1)g_{m1}v_{Sa} \quad (3.30)$$

Y así la corriente de salida resultante sería:

$$i_{out} = i_a - i_b = 2i = g_{m1}v_{in} + (2n-1)g_{m1}(v_{Sa} - v_{Sb}) \quad (3.31)$$

, donde:

$$i = \frac{-(v_{Sa} - v_{Sb})}{2R} \quad (3.32)$$

Con estos resultados se puede obtener la transconductancia efectiva  $G_{mRB}$  que combina los efectos de la resistencia y la degeneración de sustrato:

$$G_{mRB} = \frac{i_{out}}{v_{in}} = \frac{g_{m1}}{[1+(2n-1)g_{m1}R]} \quad (3.33)$$

Ahora, para realizar un análisis del efecto del *mismatching* sobre el *offset*, se deben realizar pequeñas fluctuaciones  $\Delta V_{Ti}$ ,  $\Delta\beta_i$  para cada transistor de la figura

3.05, y luego ajustar en la entrada  $V_{in+}$  un  $\Delta v_{in}$  para cancelar la corriente de salida. Con las expresiones:

$$\frac{\partial I_{Di}}{\partial V_{Ti}} = -g_{mi} \quad (3.34)$$

$$\frac{\partial I_{Di}}{\partial \beta_i} = \frac{I_{Di}}{\beta_i} \quad (3.35)$$

, y realizando un análisis de pequeña señal análogo a las ecuaciones (3.29) y (3.30), se obtiene:

$$i_a = -g_{m1}\Delta v_{in} + ng_{m1}\Delta v_{Sa} - (n-1)g_{m1}\Delta v_{Sb} - g_{m1}\Delta V_{T1a} + \frac{I_D}{\beta_1}\Delta\beta_{1a} \quad (3.36)$$

$$i_b = ng_{m1}\Delta v_{Sb} - (n-1)g_{m1}\Delta v_{Sa} - g_{m1}\Delta V_{T1b} + \frac{I_D}{\beta_1}\Delta\beta_{1b} \quad (3.37)$$

Con estas ecuaciones se puede obtener la corriente de salida. Para este caso, como la corriente de salida debe ser nula:

$$i_a - i_b = -g_{m1}\Delta v_{in} - g_{m1}(\Delta V_{T1a} - \Delta V_{T1b}) + \frac{I_D}{\beta_1}(\Delta\beta_{1a} - \Delta\beta_{1b}) = 0 \quad (3.38)$$

De la ecuación (3.38), se puede calcular la desviación estándar del voltaje de entrada:

$$\sigma_{v_{in1}}^2 = (\sigma_{V_T})_1^2 + \frac{I_D^2}{g_{m1}^2} \left( \frac{\sigma_\beta}{\beta} \right)_1^2 \quad (3.39)$$

La ecuación (3.39) muestra una expresión para la desviación estándar del *offset* de entrada en el OTA de la figura 3.05, causado únicamente por el *mismatching* de los transistores  $M_1$ .

Ahora, analizando el efecto del *mismatching* en los transistores  $M_3$ , se asume que  $M_{3a}$  tiene un drenador más largo que  $M_{3b}$ , así:  $I_{D3a} = I_{D3b} + \Delta I_3$ . Aplicando un  $\Delta v_{in}$  se puede obtener por pequeña señal:

$$-g_{m1}\Delta v_{in} + ng_{m1}\Delta v_{Sa} - (n-1)g_{m1}\Delta v_{Sb} = \frac{\Delta I_3}{2} \quad (3.40)$$

$$ng_{m1}\Delta v_{sb} - (n-1)g_{m1}\Delta v_{sa} = \frac{\Delta I_3}{2} \quad (3.41)$$

Con la diferencia de que ahora:

$$(\Delta v_{sa} - \Delta v_{sb}) = R\Delta I_3 \quad (3.42)$$

Y restando las ecuaciones (3.40) y (3.41) y sacando la desviación estándar (igual que el caso anterior por los transistores  $M_1$ ):

$$\sigma_{v_{in3}}^2 = \left( \frac{1+(2n-1)g_{m1}}{g_{m1}} \right)^2 \sigma_{\Delta I_3}^2 \quad (3.43)$$

$$= \left( \frac{1}{G_{mRB}} \right)^2 \left( g_{m3}^2 \sigma_{v_{T3}}^2 + I_{D3}^2 \left( \frac{\sigma_\beta}{\beta} \right)_3^2 \right) \quad (3.44)$$

Las desviaciones estándar del *offset* de entrada producidas por el conjunto de transistores  $M_2$  y  $M_4$ , fueron obtenidas de [5] pero propagadas a la entrada usando  $G_{mRB}$  [2]. Ambas casos están descritas por las expresiones (3.45) y (3.46).

$$\sigma_{v_{in2}}^2 = \frac{4I_{D1}^2}{NG_{mRB}^2} \left( \frac{g_{m2}^2}{I_{D2}^2} \sigma_{v_{T2}}^2 + \left( \frac{\sigma_\beta}{\beta} \right)_2^2 \right) \quad (3.45)$$

$$\sigma_{v_{in4}}^2 = \frac{2I_{D1}^2}{G_{mRB}^2} \left( \frac{g_{m4}^2}{I_{D4}^2} \sigma_{v_{T4}}^2 + \left( \frac{\sigma_\beta}{\beta} \right)_4^2 \right) \quad (3.46)$$

, donde  $N$ , es la cantidad de transistores unitarios en paralelo en el espejo de corriente.

Finalmente, la desviación estándar total del *offset* de entrada está dada por:

$$\sigma_{offset} = \sqrt{\sigma_{v_{in1}}^2 + \sigma_{v_{in2}}^2 + \sigma_{v_{in3}}^2 + \sigma_{v_{in4}}^2} \quad (3.47)$$

## **CAPÍTULO 4**

### **Incorporación de la Herramienta de Optimización**

---

Con todos los conceptos teóricos cubiertos, se procede a describir en este capítulo la forma en que se construye una simulación para el modelo teórico obtenido en el Capítulo 3. Además, se incorpora la herramienta de optimización descrita en el Capítulo 2 a la simulación y se describen las modificaciones que fueron realizadas en la herramienta de optimización para poder realizar el análisis deseado de acuerdo a los objetivos planteados. Finalmente, se describe brevemente la configuración de la simulación para el uso de Monte Carlo.

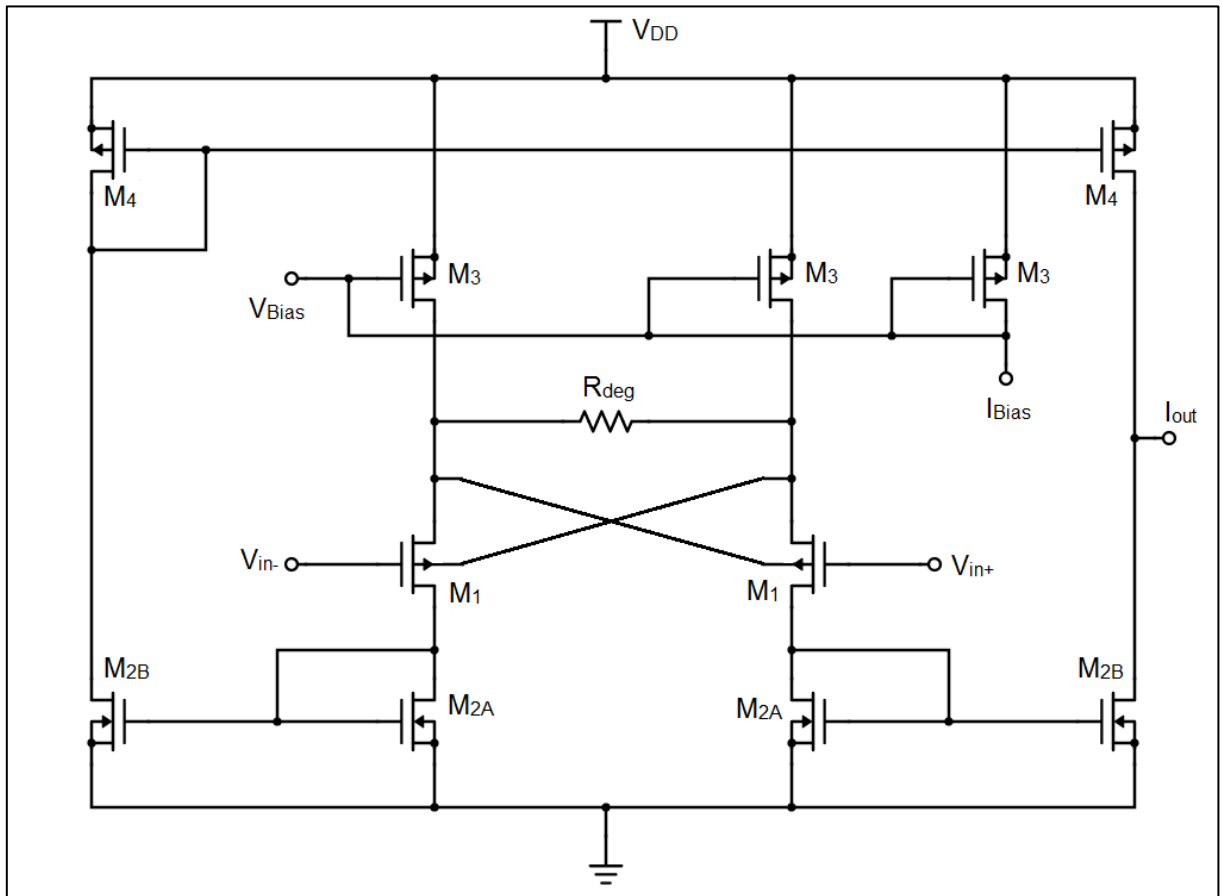
#### **4.1 Diseño del OTA**

El diseño del OTA fue llevado a cabo de acuerdo al flujo de diseño analógico explicado en el Capítulo 2, ver figura 2.01 (sin la incorporación del diseño físico, ni la fabricación). Es importante resaltar que se incorporó al flujo de diseño la utilización de la herramienta de optimización, cuya implementación se detalla en este capítulo.

La primera parte del flujo de diseño analógico corresponde propiamente al diseño eléctrico del OTA. Como ya se mencionó previamente, aspectos como la concepción de la idea, definición del diseño, la implementación y la simulación, corresponden a pasos que se realizan durante el diseño analógico. Durante esta sección, se le dará mayor énfasis a la implementación y simulación del OTA. La concepción de la idea y definición del diseño ya fueron descritos con mayor profundidad en el Capítulo 1.

#### 4.1.1 Diagrama y especificaciones del OTA

Repasando brevemente, el OTA utilizado como objeto de estudio aparece en la figura 3.05. Su implementación, realizada en el *Design Architect* de Pyxis, aparece en la figura 4.01, el cual está basado en los resultados obtenidos por el Dr. Arnaud en [2].



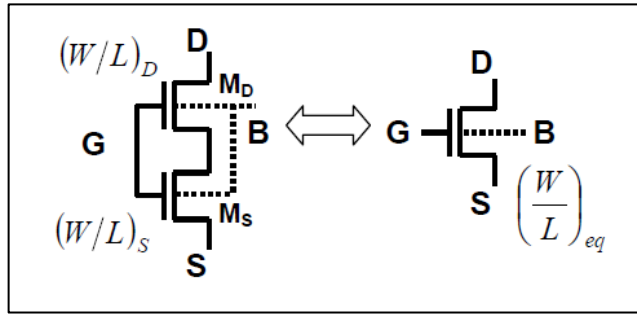
**Figura 4.01** Esquema del OTA implementado.

En el esquema mostrado, aparecen 4 tipos de conjuntos de transistores diferentes, cada uno de ellos fue dimensionado acorde a la función que realizan dentro del circuito. Los transistores fueron nombrados de la misma forma que la

figura 3.05. Los transistores  $M_1$  conforman la entrada diferencial típica del *OTA*, también corresponden a los transistores que mediante la degeneración de cuerpo logran un mayor rango lineal en el circuito. Los transistores  $M_3$  constituyen el difusor simétrico para proporcionar mayor estabilidad y linealidad, además, son los encargados de polarizar el *OTA*. Los transistores  $M_2$  conforman un espejo de corriente (NMOS) para reflejar la corriente de  $M_1$  en dos ramas distintas del *OTA*. Los transistores  $M_4$  también se utilizan como espejos de corriente (PMOS), para reflejar y concentrar corrientes provenientes del espejo  $M_2$  hacia la salida para una mayor ganancia.

Para reducir la variabilidad en los tamaños de los transistores del *OTA*, se utilizó una estrategia de diseño descrita en [6]. Esta técnica consiste en utilizar un arreglo de transistores muy pequeños, que equivalen a un solo transistor grande. Debido a que la cantidad de transistores pareados aumenta, las probabilidades de que ocurra una desviación significativa en el tamaño del transistor equivalente es considerablemente menor.

Tomando en cuenta esta recomendación, cada uno de estos transistores de la figura 4.01 es en realidad un arreglo de transistores “unitarios” más pequeños, y todos del mismo tamaño. Es importante resaltar, que la geometría total de esta red de transistores pequeños, debe ser equivalente a la relación de tamaños del transistor grande. La figura 4.02 muestra un ejemplo de dos transistores en serie que equivalen a un transistor más grande. La expresión (4.01) muestra la relación de tamaños que debe cumplirse para que el arreglo de transistores sea equivalente al gran transistor. [6]



**Figura 4.02** Dos transistores en serie que equivalen al transistor de la derecha. [6]

$$\left(\frac{W}{L}\right)_{eq} = \frac{(W/L)_S \cdot (W/L)_D}{(W/L)_S + (W/L)_D} \quad (4.01)$$

La tabla 4.01, muestra los tamaños iniciales (y punto de partida) de cada uno de los transistores unitarios, así como la cantidad de transistores colocados en paralelo de acuerdo a esta técnica de reducción de *offset*.

**Tabla 4.01** Parámetros iniciales del OTA de la figura 4.01.

Parámetro	Valor Inicial	Transistores en paralelo
$W_1$	2 $\mu\text{m}$	1
$L_1$	120 $\mu\text{m}$	
$W_2$	4 $\mu\text{m}$	6-7
$L_2$	10 $\mu\text{m}$	
$W_3$	2 $\mu\text{m}$	2
$L_3$	30 $\mu\text{m}$	
$W_4$	2 $\mu\text{m}$	1
$L_4$	100 $\mu\text{m}$	

#### 4.1.2 Implementación y simulación del OTA

Con el circuito base elaborado y probado (Capítulo 5), se procedió a incorporar el modelo de la variabilidad descrito en el Capítulo 3.

En términos generales, la variabilidad en los tamaños de los transistores, produce una variación consecuente en el voltaje de subumbral y en la corriente que pasa por los transistores. El modelo explicado durante el Capítulo 3 muestra mediante las ecuaciones (3.39), (3.44), (3.45) y (3.46), que es posible reflejar estos efectos difíciles de simular como una desviación estándar del voltaje de entrada.

Para esta etapa, se incorporó una fuente de tensión en la entrada que emularía este *offset* producido por la variabilidad. Para ello, se utilizaron las ecuaciones previamente mencionadas para establecer de manera aproximada y en un punto dado, la desviación estándar que se utilizaría dentro de la fuente de emulación. La figura 4.03, la forma en la que se incorporó esta fuente de tensión de *offset*.

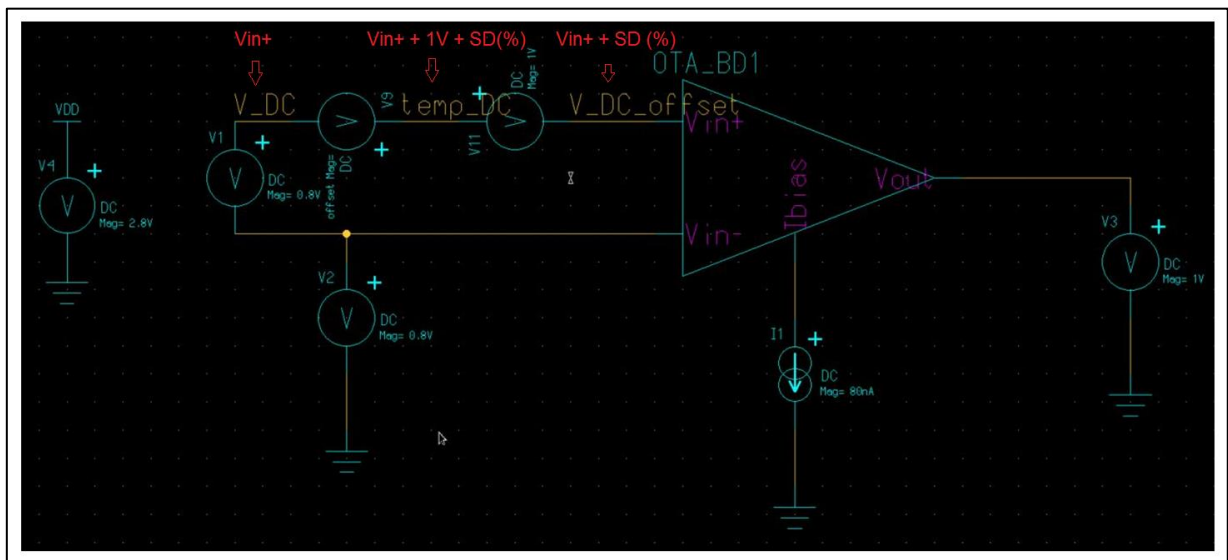


Figura 4.03 Inclusión del *offset* de entrada ocasionado por la variabilidad.



Ahora, esta fuente no tiene un valor fijo, sino que esta fuente es variable de acuerdo con la desviación estándar calculada en la ecuación (3.47). Por lo tanto, es necesario echar mano de algún proceso estadístico que permita simular la desviación estándar calculada. Para ello se utilizó una simulación de Monte Carlo sobre el valor de la fuente de *offset* utilizando la desviación estándar ya calculada.

Para calcular la desviación estándar es deseable utilizar valores obtenidos en la misma simulación, esto presenta un problema. Para poder obtener esta desviación estándar de manera precisa, es necesario realizar una simulación previa para obtener varios de los parámetros necesarios. Para pruebas individuales, esto no representa mayor problema, pues una persona puede realizar una simulación y leer los resultados para obtener la desviación estándar, y realizar la siguiente simulación con la fuente de *offset* y la prueba de Monte Carlo. Sin embargo, para simulaciones automatizadas esto representa un esfuerzo considerable extra en el algoritmo, el cual será explicado en detalle más adelante. Por ahora, la tabla 4.02 muestra los parámetros constantes necesarios para obtener la desviación estándar de las ecuaciones en cuestión. Estos parámetros están dados por la tecnología utilizada en este proyecto. Los parámetros restantes necesarios aparecen en los resultados en el Capítulo 5 de este documento.  $V_{DD}$

**Tabla 4.02** Constantes del OTA en estudio.

Parámetro	Valor Inicial
$\beta_{PMOS}$	24
$\beta_{NMOS}$	24,53
$R_{deg}$	7M $\Omega$
$n$	1,5
$A_{VT}$	confidencial
$A_{\beta/\beta}$	confidencial

## 4.2 Optimización del OTA

Una vez incorporado el efecto de la variabilidad dentro del bloque de estudio, se procedió a incluir este efecto dentro del flujo de optimización utilizado para el diseño de circuitos. Así, esta etapa consistió en preparar la herramienta de optimización para dimensionar el *OTA* de acuerdo a un conjunto de parámetros que se desea optimizar, dentro de los cuales resalta la reducción del efecto de la variabilidad reflejado en el *offset* de salida.

Durante este proceso se debe evaluar el circuito, determinar los parámetros que se desean optimizar, se debe modificar la herramienta escrita en *C/C++* de acuerdo a los valores de aptitud escogidos para acoplarla al diseño en cuestión, verificar el funcionamiento adecuado de la herramienta, simular iterativamente y analizar los resultados obtenidos. Para ello, se implementaron subrutinas internas y métodos de cálculo para poder determinar los valores de aptitud del bloque, como por ejemplo promediar, encontrar máximos o mínimos, derivar, integrar, recorrer listas, etc. Los valores de aptitud escogidos fueron los siguientes:

- El *offset sistemático* (afectado por la variabilidad y el modelo de Pelgrom).
- La *potencia*.
- La *transconductancia* (afectado por el *offset*).
- El *rango lineal* (afectado por el *offset*).
- El ancho de banda.

Ahora, para que el algoritmo genético puede influenciar el flujo de diseño, éste debe ser capaz de poder modificar algunos parámetros dentro del circuito para así corregir los valores de aptitud. Por lo general, los circuitos se diseñan ajustando los tamaños de los transistores, por lo que éstos debían ser los parámetros que el algoritmo debía modificar para optimizar los valores de aptitud. Los parámetros de diseño modificados y sus valores iniciales son los que se mostraron en la tabla 4.01. La tabla 4.03 incluye los rangos de variación permitidos dentro de los cuales los valores optimizados deben estar. Estos rangos fueron escogidos con el fin de darle a

la herramienta de optimización un abanico de opciones respecto al tamaño de los transistores. De esta forma, la herramienta podrá los mejores tamaños para obtener puntos óptimos. El tamaño mínimo corresponde a lo más pequeño que se puede fabricar un transistor con la tecnología utilizada.

**Tabla 4.03** Rangos permitidos para la optimización del OTA.

Parámetro	Rango de Variación
$W_1$	1 $\mu$ m - 200 $\mu$ m
$L_1$	1 $\mu$ m - 200 $\mu$ m
$W_2$	1 $\mu$ m - 200 $\mu$ m
$L_2$	1 $\mu$ m - 200 $\mu$ m
$W_3$	1 $\mu$ m - 200 $\mu$ m
$L_3$	1 $\mu$ m - 200 $\mu$ m
$W_4$	1 $\mu$ m - 200 $\mu$ m
$L_4$	1 $\mu$ m - 200 $\mu$ m

La figura 4.04 describe mediante un diagrama de flujo lo mencionado previamente.

Para profundizar un poco en el diagrama flujo presentado en la figura, se detallará sobre lo realizado en cada una de las subrutinas que aparecen en dicho diagrama. Cada valor de aptitud tiene una subrutina que corre en la herramienta de optimización.

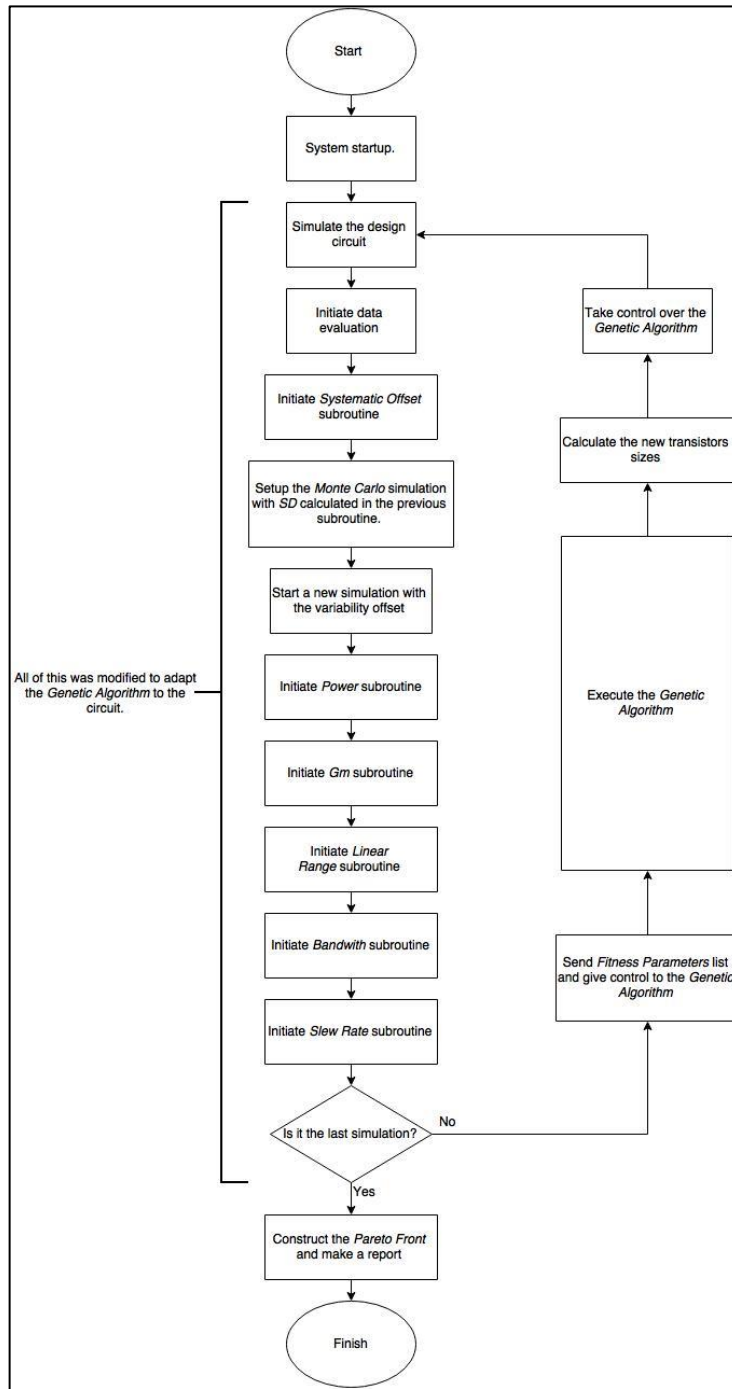


Figura 4.04 Diagrama de flujo general del proceso de optimización.

### 4.3.1 Cálculo del *offset sistemático*

El *offset sistemático* corresponde al valor de la tensión de entrada cuando la corriente de salida está en cero. Este es uno de los parámetros más afectados por el efecto de la variabilidad en el tamaño de los transistores. Idealmente, este parámetro debe ser 0V, por lo que se busca minimizar lo más posible el *offset sistemático*.

$$V_{offset} = V_{in}|_{I_{out}=0A} \quad (4.02)$$

Ahora, el cálculo de este valor de aptitud es bastante más complicado debido a que requiere conocer valores de corriente y voltaje en los transistores para poder calcular la desviación estándar de este *offset*. Esto produce que se requiera de una simulación previa para obtener estos valores. Por esta razón, este cálculo es requiere de una simulación extra por cada vez que se desee calcular este parámetro, esto aumenta considerablemente el tiempo total de optimización del circuito. La figura 4.05 describe la implementación de la subrutina para el cálculo del *offset sistemático*, las ecuaciones implementadas fueron deducidas en el marco teórico, de ser necesario refiérase a las secciones 3.3, 3.4 y 3.5 del Capítulo 3.

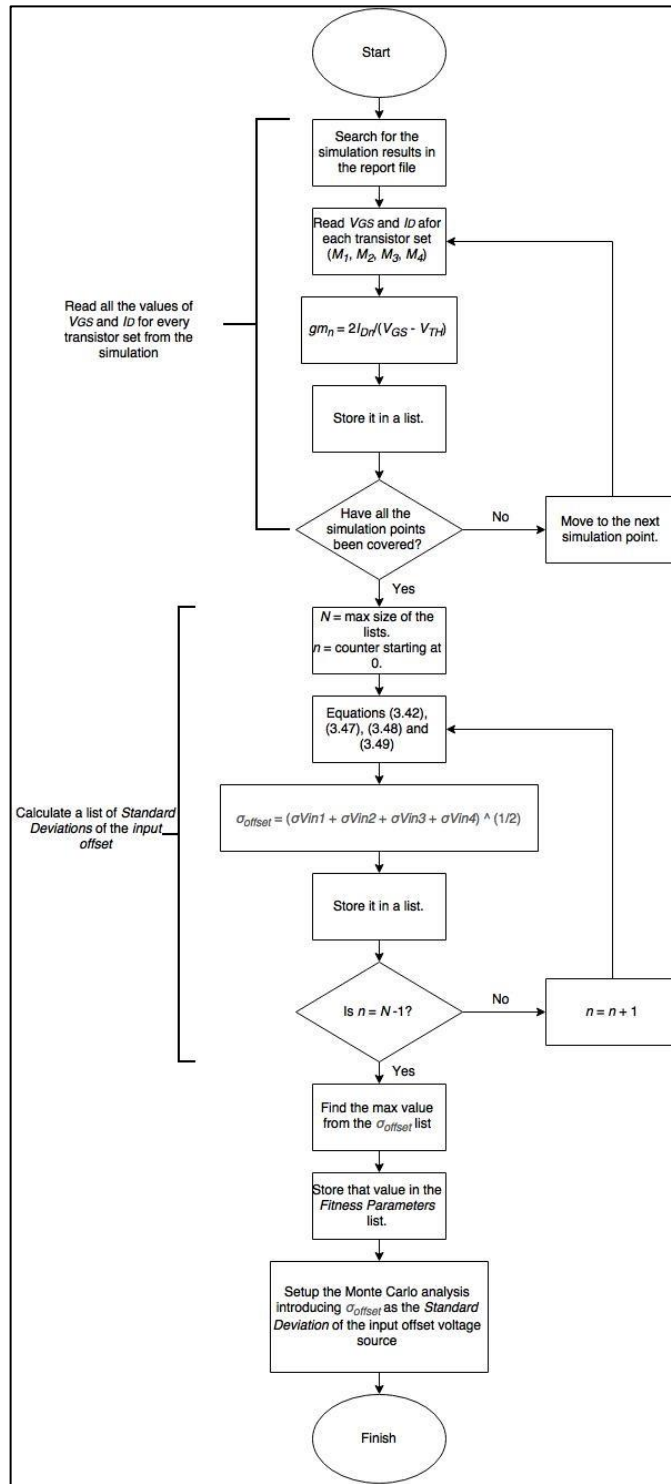


Figura 4.05 Proceso de cálculo del offset sistemático incluyendo la variabilidad.

### 4.3.2 Cálculo de la potencia

La *potencia*, en términos generales, representa el consumo de energía de un dispositivo. Al ser este bloque una unidad básica en diseños más robustos, es primordial que el consumo de potencia sea lo más bajo posible, y así, reducir de manera considerable el consumo total de un diseño más grande. Este valor de aptitud se incluyó dentro de la herramienta de optimización utilizando su clásica expresión del producto voltaje-corriente, (4.03). Basta con simular el circuito, leer de un archivo de texto los valores de voltaje y corriente, y calcular un valor promedio de la potencia. El resultado se agrega a la lista de parámetros por optimizar. El diagrama de flujo aparece en la figura 4.06.

$$P = V.I \quad (4.03)$$

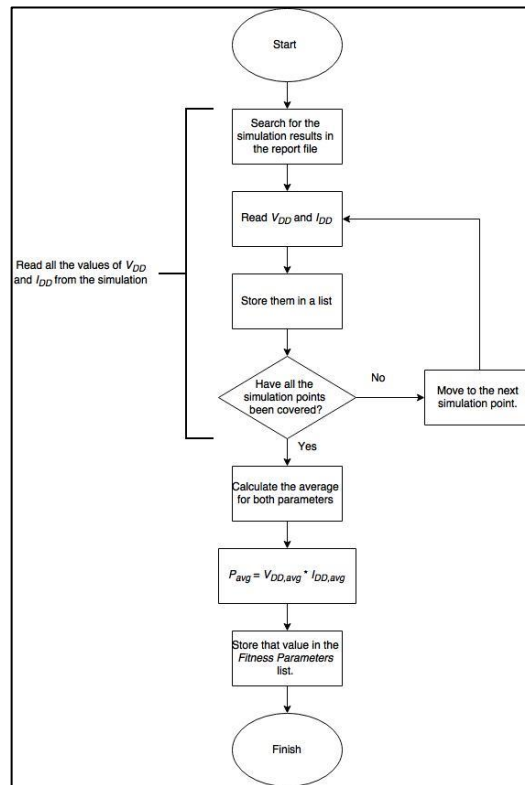


Figura 4.06 Proceso de cálculo de la potencia.

### 4.3.3 Cálculo de la *transconductancia*

La *transconductancia* es la razón o proporción entre el voltaje de entrada y la corriente de salida del *OTA*. Para reducir más el consumo de potencia, se busca minimizar el valor del parámetro. Para calcularla, simplemente se usa la expresión dada por la ecuación (4.04).

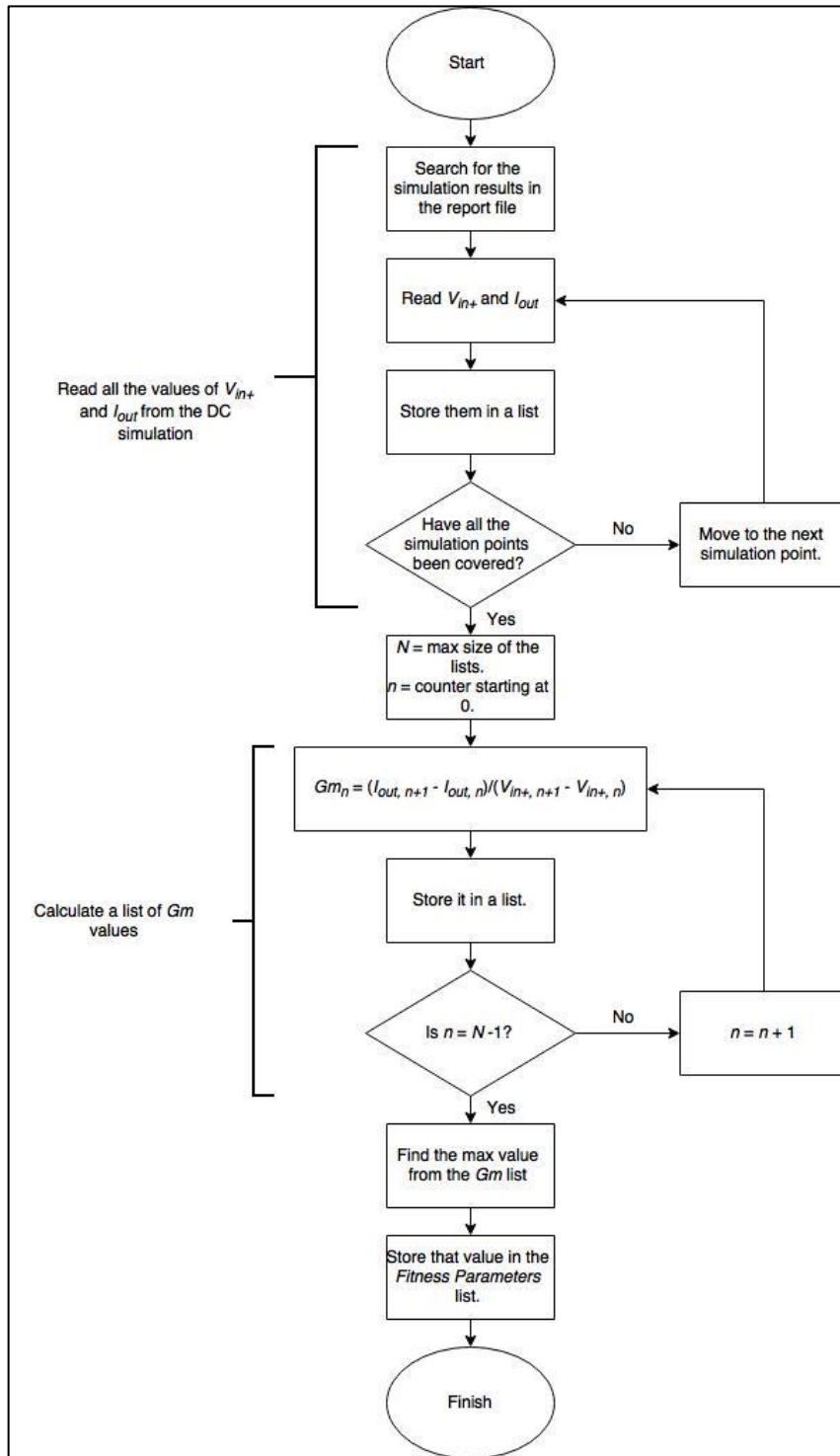
$$G_m = \frac{\partial I_{out}}{\partial V_{in}} \quad (4.04)$$

Ahora, esta ecuación no puede implementarse como se muestra pues la simulación entrega una lista de datos. En otras palabras, entrega un conjunto de números discretos y no una gráfica continua. Por esta razón, lo que se realizó fue un barrido *DC* de la tensión de entrada para generar una lista de valores para  $I_{out}$  por cada valor del barrido de  $V_{in}$ . A esta lista de datos se le aplica una aproximación de la expresión (4.04), dada por la ecuación (4.05), para poder hacer los ajustes a este conjunto de números discretos.

$$G_m = \frac{\Delta I_{out}}{\Delta V_{in}} \quad (4.05)$$

Finalmente, se construye una nueva lista con los valores obtenidos de la *transconductancia* y se realiza una búsqueda para encontrar el valor máximo. La figura 4.07 resume lo recientemente explicado.





**Figura 4.07** Proceso de cálculo de la transconductancia.

#### 4.3.4 Cálculo del *rango lineal*

El *rango lineal* es la zona de la curva característica ( $I_{out}$  vs.  $V_{in}$ ) del OTA, en la que la razón entre la corriente de salida y el voltaje de entrada es lineal. Este comportamiento lineal es fundamental, pues fuera de esta zona el dispositivo se vuelve impredecible e inoperable en diseños más grandes. Por esta razón, este rango debe ser lo más extenso posible, y de esta forma, que los circuitos tengan más margen de operación.

La variabilidad tiene un efecto importante sobre este parámetro, no tanto en términos de reducción o incremento del tamaño de dicha zona, sino que como consecuencia del *offset sistemático* que produce un desplazamiento de esta zona hacia arriba o hacia abajo (precisamente un *offset* en la gráfica). Esto puede tener un impacto negativo en el diseño final, pues puede que se salga de los rangos de operación estipulados para el diseño en cuestión.

Para medirlo, se utilizó el arreglo de  $G_m$  obtenido previamente, en la cual el rango lineal será la diferencia entre los dos voltajes de entrada cuando el  $G_m$  esté al menos 5% por debajo de su valor máximo. Es decir, es el rango de voltaje en el cual el  $G_m$  máximo se mantiene relativamente constante. Su implementación se resume en el diagrama de flujo de la figura 4.08.

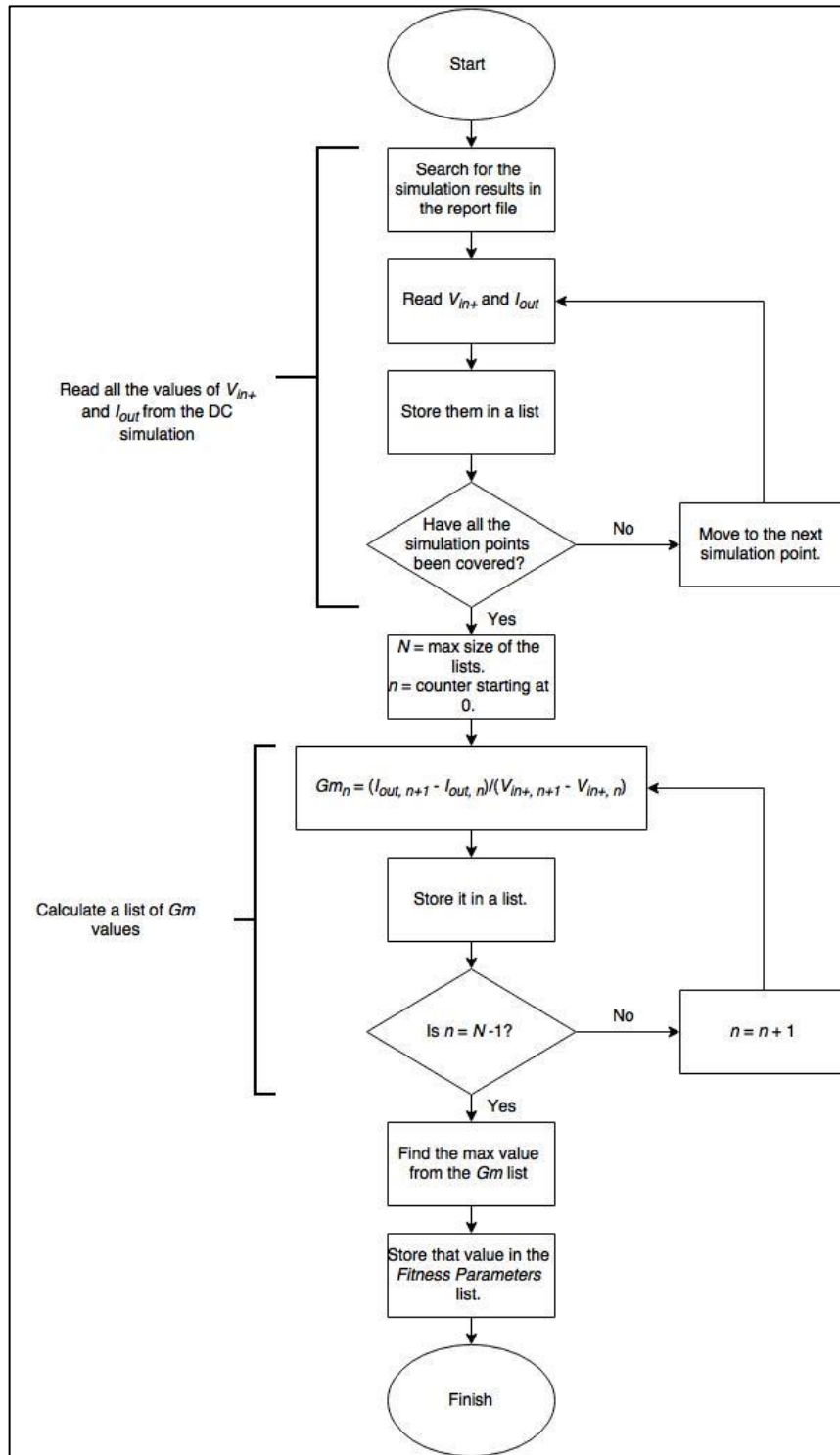
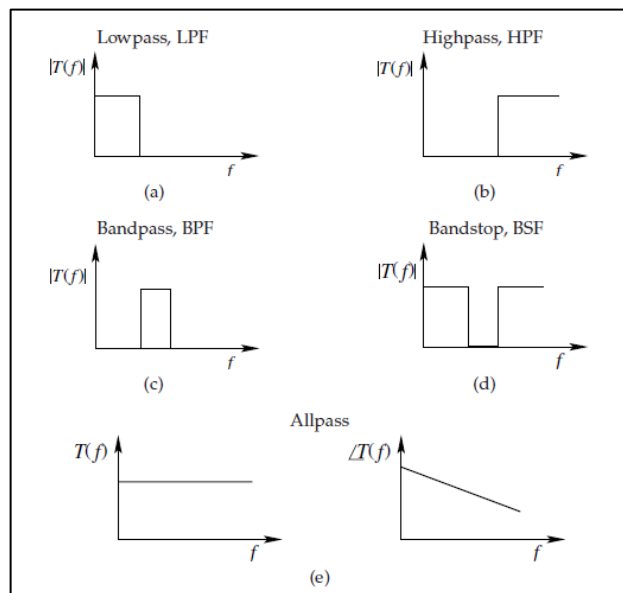


Figura 4.08 Proceso de cálculo del rango lineal.

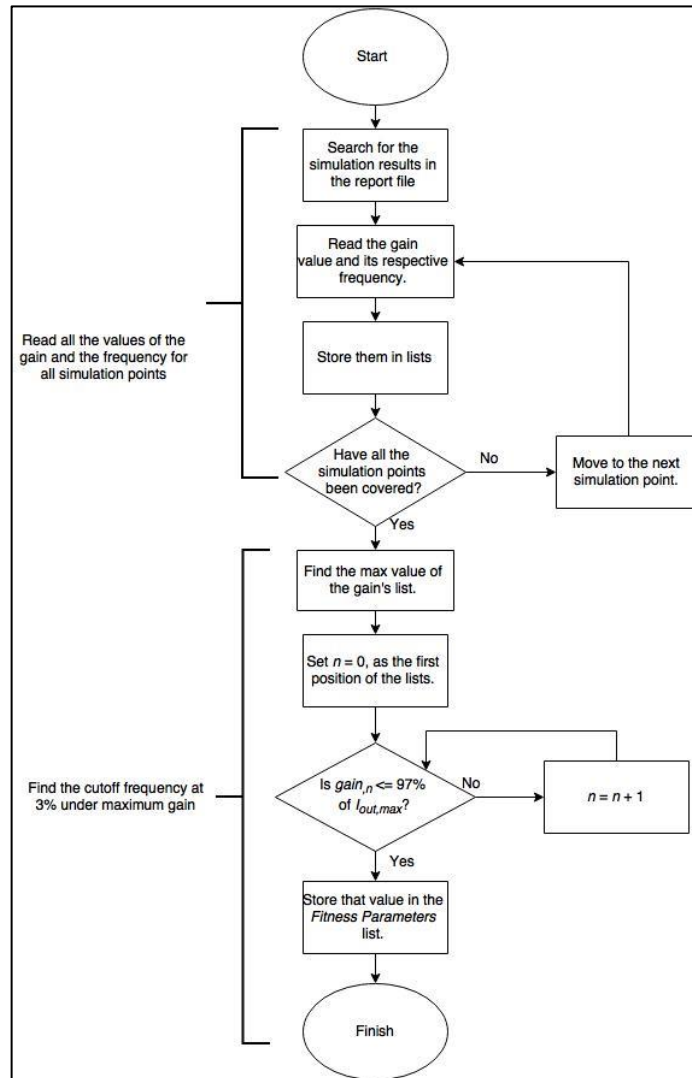
### 4.3.5 Cálculo del *ancho de banda*

El *ancho de banda* representa la región del espectro en la cual un dispositivo posee con la ganancia para la que fue diseñada, o sea, es el rango de frecuencias en donde la ganancia es máxima. El *ancho de banda* está delimitada por la frecuencia(s) de corte como aparece en la figura 4.09, y la frecuencia de corte se le conoce como el punto en el cual la ganancia está 3dB por debajo del punto máximo. El OTA en estudio presenta la forma de un filtro Paso-Bajo (por las capacitancias parásitas).

El *ancho de banda* al ser un rango de operación, entre más grande sea, mejor. Para calcularlo, se realizó una simulación en AC, y a partir de este se leyó la frecuencia de corte. En filtros Paso-Bajo el *ancho de banda* es igual a la frecuencia de corte del dispositivo. El diagrama de flujo de la figura 4.10 resume este cálculo.



**Figura 4.09** Anchos de banda de diferentes filtros.



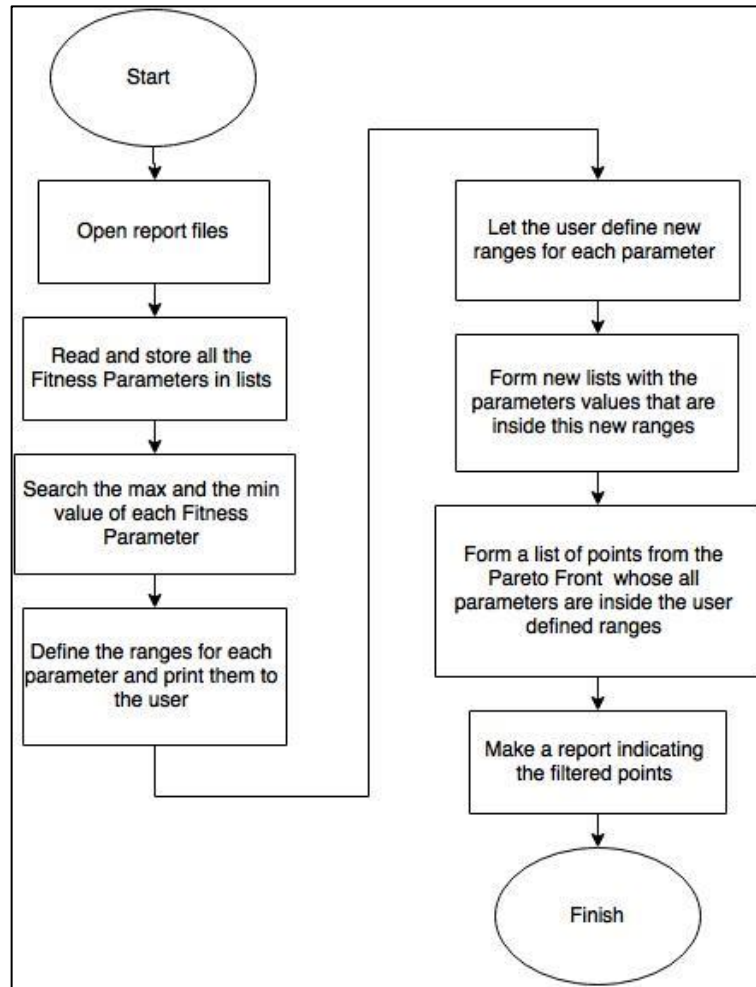
**Figura 4.10** Proceso de cálculo del ancho de banda.

### 4.3.6 Información adicional y filtrado de resultados

Es importante mencionar, que esta herramienta siempre optimizará tratando de elevar el valor hacia infinito, es decir, siempre buscará que el parámetro sea lo más grande posible. Por lo que, para los valores de aptitud que deben minimizarse, fue necesario almacenar y enviar a la herramienta el inverso del valor calculado. Por ejemplo, si la potencia debe minimizarse lo más posible, el valor que debe

introducirse en el algoritmo de optimización debe ser el inverso de la potencia obtenida (maximizar el inverso de un valor es equivalente a minimizar dicho valor); caso contrario, si se desea maximizar el *rango lineal*, simplemente se pasa el valor calculado al algoritmo genético.

Para poder leer los resultados de manera más eficaz, se utilizó y modificó un programa en C++, diseñado en un proyecto pasado [4], con la capacidad de filtrar tal información. El programa recibe por parte del usuario la cantidad de valores de aptitud, y el nombre dado a cada uno (en el orden de prioridad dado a la hora de correr el algoritmo genético). Luego, lee el archivo de resultados y clasifica los datos en listas para cada uno de los valores de aptitud. El programa le da al usuario un rango para cada parámetro en el cual se encuentran cada uno de los miles de puntos encontrados en el *frente de Pareto*, y le da la opción de definir un rango menor para filtrar puntos indeseados. Finalmente, el programa entrega estos nuevos resultados filtrados en un nuevo archivo de texto. De esta forma, el usuario puede reducir los miles de puntos del frente de Pareto, a unos cuantos puntos significativos para el diseño, lo cual facilita enormemente el análisis de resultados. La figura 4.11 muestra el diagrama de flujo que resume el funcionamiento de esta aplicación.



**Figura 4.11** Filtrado de resultados del Frente de Pareto.

### 4.31 Simulación de Monte Carlo

En esta sección se describe la configuración utilizada para poder correr la simulación de Monte Carlo. Como se describió en el Capítulo 3, la simulación de Monte Carlo es una herramienta que permite predecir el comportamiento de un circuito, utilizando uno de sus parámetros como una variable aleatoria. Ahora, la idea es poder simular la variabilidad utilizando un análisis de Monte Carlo, y de esta forma, poder analizar los efectos de la variabilidad reflejados en otros parámetros del circuito.

Como se estudió en el Capítulo 3, la variabilidad de los transistores se ve reflejado como una perturbación en la tensión de subumbral,  $V_T$ , y el factor de la corriente,  $\beta$ . Estos cambios a su vez producen un efecto sobre las corrientes y voltajes de los transistores, lo cual últimamente afecta la tensión de *offset* del OTA. Para simular este efecto de la variabilidad, se introdujo un una fuente de tensión en la entrada, como se mostró en la figura 4.03. El valor de esta fuente es la variable aleatoria utilizada para el análisis de Monte Carlo, y su desviación estándar es la calculada por la ecuación (3.47).

Las figuras 4.12 y 4.13 muestran la forma en la que se configuró la simulación de Monte Carlo. El tipo de distribución utilizada fue gaussiana y el porcentaje de variación que se escoge va de acuerdo a la desviación estándar calculada.

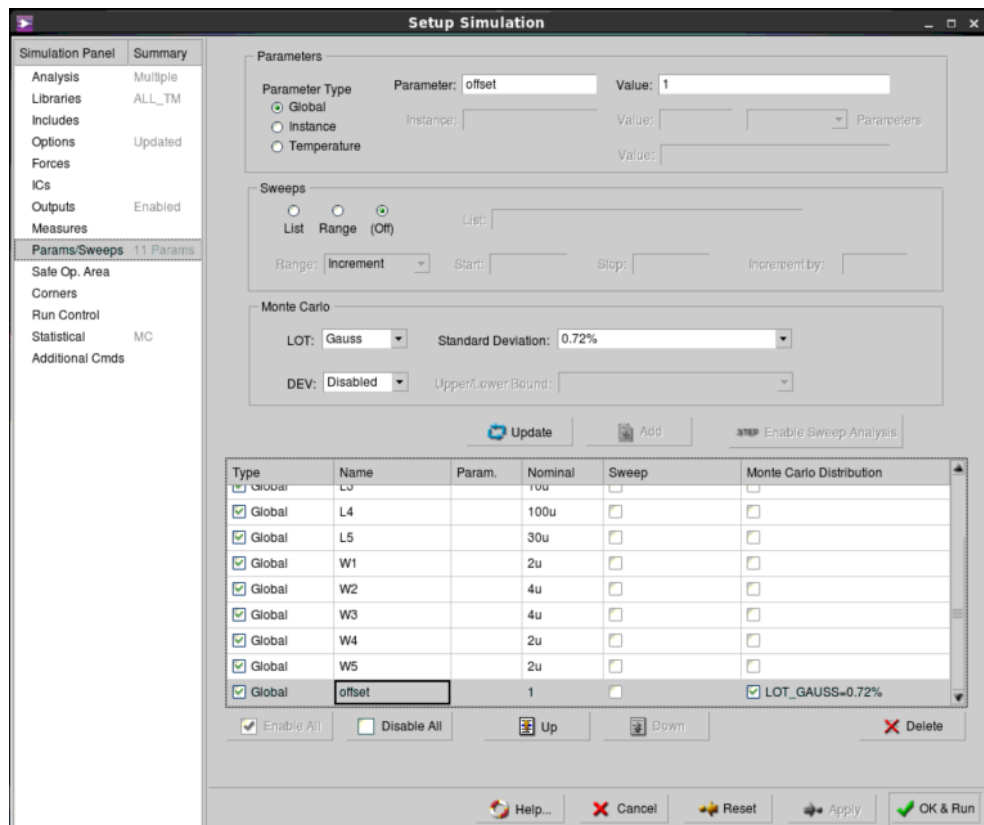


Figura 4.12 Configuración de la simulación de Monte Carlo 1.



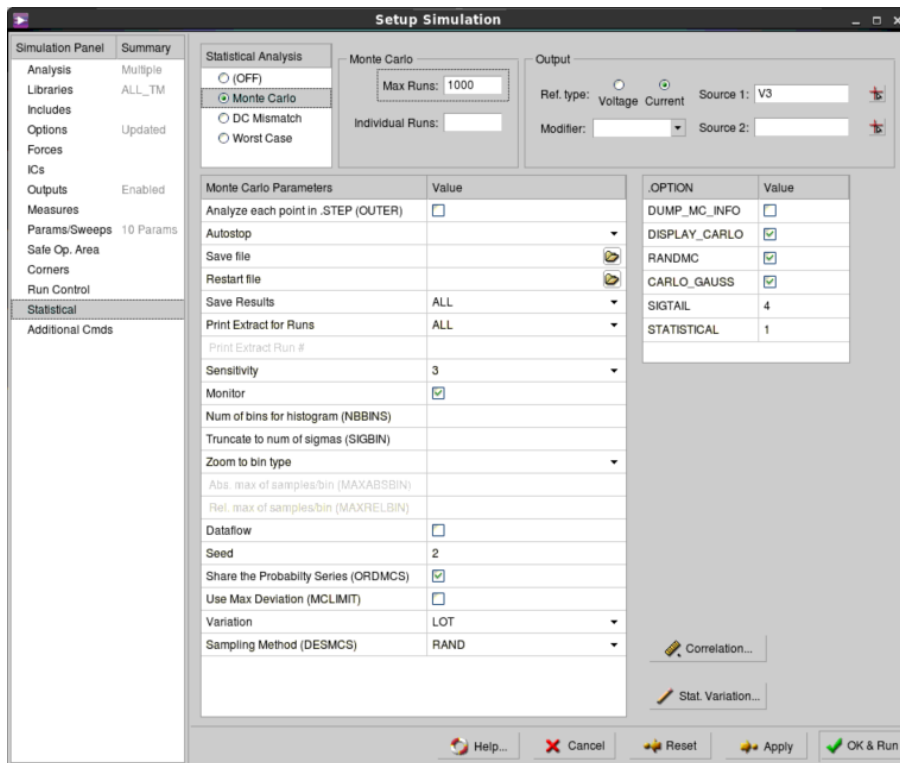


Figura 4.13 Configuración de la simulación de Monte Carlo 2.

## CAPÍTULO 5

### Resultados del modelo implementado

---

En este capítulo se muestran los resultados obtenidos una vez finalizada la etapa de implementación del modelo de simulación. Primero, se muestran los resultados de la simulación de un modelo de referencia. Segundo, se muestran los mismos resultados, pero esta vez, para tres puntos óptimos elaborados por la herramienta de optimización. Finalmente, se realiza un análisis de los resultados obtenidos comparando los puntos optimizados contra el punto de referencia descrito al inicio del capítulo.

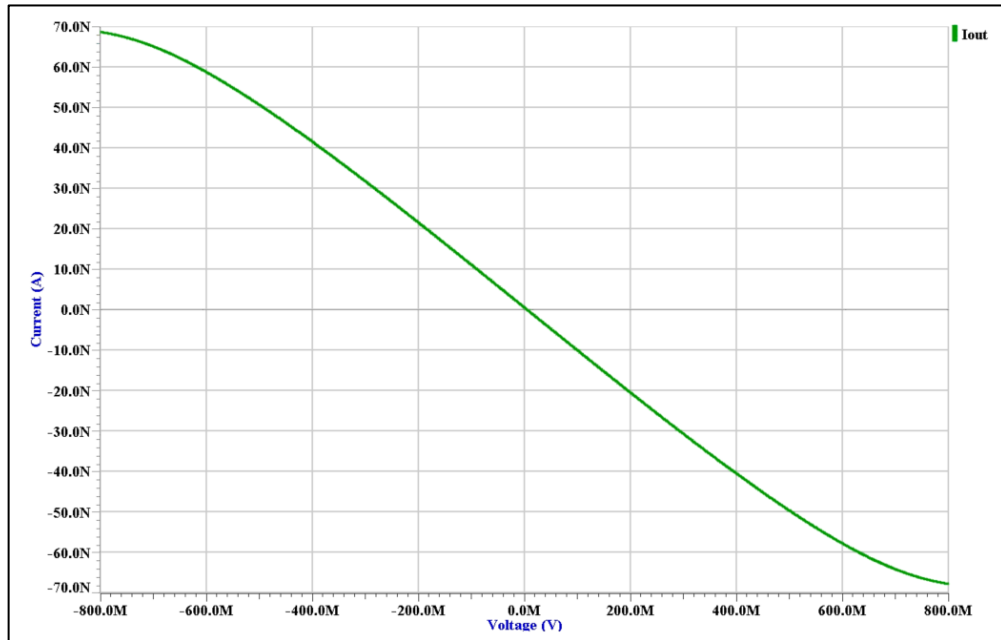
#### 5.1 Resultados

Esta subsección presenta los resultados obtenidos para cada etapa del estudio. El orden de los datos está dado de acuerdo a como se describió el flujo del proyecto durante el Capítulo 4. Cada uno de los puntos escogidos para el análisis del *OTA* son analizados previamente para entender la razón de su escogencia.

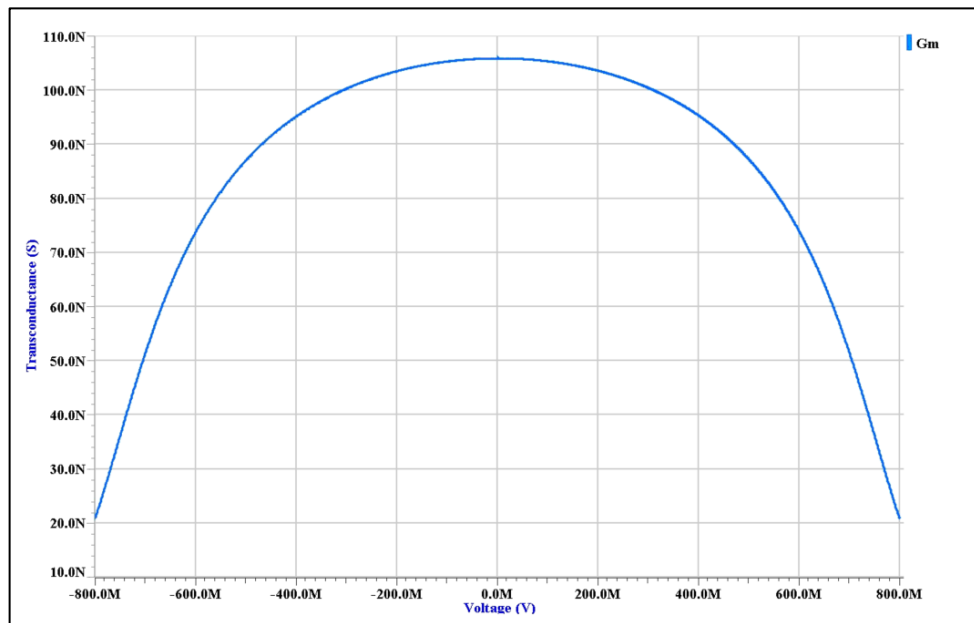
##### 5.1.1 Simulación del *OTA* con degeneración de cuerpo

La primera parte fue corroborar el diseño realizado en [2], esto es, establecer una simulación que pueda utilizarse como referencia para las etapas posteriores. Para ello, se utilizaron las dimensiones mostradas en la tabla 4.01, las cuales fueron establecidas en [2]. Las figuras 5.01, 5.02, 5.03 y 5.04 muestran los resultados de las simulaciones realizadas sobre este diseño como modelo de referencia. Para la simulación *DC*, se fijó  $V_{in-}$  a 0,8V y se realizó un barrido en  $V_{in+}$  de -0,8V a 0,8V,

sobre el valor de  $V_{in-}$ , es decir, a pesar de que las figuras no lo muestran, el verdadero barrido de  $V_{in+}$  es de 0V a 1,6V.



**Figura 5.01** Curva característica de la corriente de salida del OTA con degeneración de cuerpo.



**Figura 5.02** Transconductancia del OTA con degeneración de cuerpo.

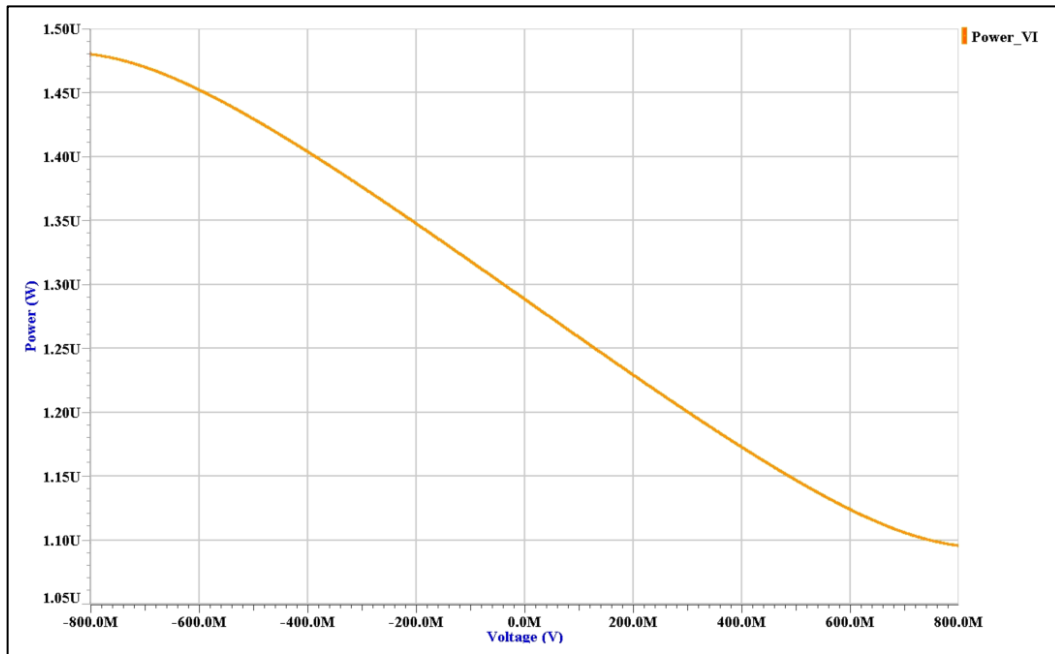


Figura 5.03 Potencia consumida por el OTA con degeneración de cuerpo.

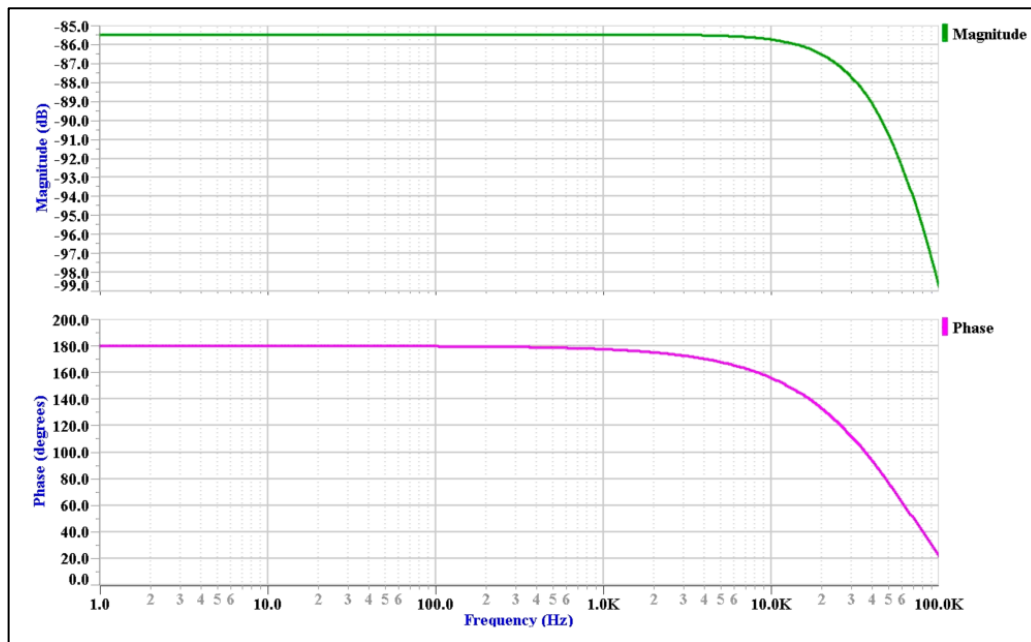


Figura 5.04 Ancho de Banda del OTA con degeneración de cuerpo.

Para calcular cada uno de los parámetros de importancia para la optimización, se utilizaron las ecuaciones y métodos de cálculo detallados en la sección 5.3.

Para el cálculo del *offset* sistemático de entrada, fue necesario el uso de las ecuaciones (3.39), (3.44), (3.45), (3.46) y (3.47). Para ello se utilizaron los parámetros de la tecnología que aparecen en la tabla 4.02. Además, fue necesario medir diversas corrientes y voltajes de manera individual sobre los transistores para determinar el efecto de cada conjunto sobre el *offset*. La tabla 5.01 resume los resultados obtenidos necesarios para obtener el *offset* sistemático de entrada de acuerdo a las ecuaciones mencionadas previamente. El punto de estudio fue en el instante en el que  $V_{in+}$  y  $V_{in-}$  son iguales a 0.8V. La tabla 5.02 muestra los resultados parciales de las varianzas sobre el *offset* de entrada provocado por cada agrupación de transistores.

**Tabla 5.01** Parámetros necesarios para el cálculo del *offset* sistemático.

Transistores	Parámetros	Valores
$M_1$	$I_{D1}$	40nA
	$V_{GS1}$	-1,22V
	$g_{m1}$	97,56nS
	$\sigma_{VT1}$	1,2199mV
	$\sigma_{(\alpha\beta/\beta)1}$	0,05657%
$M_2$	$I_{D2}$	34nA
	$V_{GS2}$	0,777V
	$g_{m2}$	180nS
	$\sigma_{VT2}$	1,0328mV
	$\sigma_{(\alpha\beta/\beta)2}$	0,06125%
$M_3$	$I_{D3}$	40nA
	$V_{GS3}$	-0,99V
	$g_{m3}$	135,59nS
	$\sigma_{VT3}$	2,49mV
	$\sigma_{(\alpha\beta/\beta)3}$	0,113%
$M_4$	$I_{D4}$	34nA
	$V_{GS4}$	-1,17V
	$g_{m4}$	58,12nS
	$\sigma_{VT4}$	1,3364mV
	$\sigma_{(\alpha\beta/\beta)4}$	0,06194%
---	$G_{MRB}$	57,97nS

**Tabla 5.02** Varianzas del *offset* de entrada generadas por cada agrupación de transistores.

Parámetro	Valor
$\sigma_{Vin1}^2$	2,42 $\mu$ V
$\sigma_{Vin2}^2$	11,47 $\mu$ V
$\sigma_{Vin3}^2$	21,57 $\mu$ V
$\sigma_{Vin4}^2$	11,31 $\mu$ V

Finalmente, se pueden resumir todos los resultados relevantes, estos parámetros de importancia para la optimización se resumen en la tabla 5.03. Hay ciertas condiciones que se tomaron en cuenta para obtener estos resultados. Primero, el *offset* resultante se obtuvo de los datos de la tabla 5.02 y de la ecuación (3.47). Segundo, la potencia fue obtenida a partir del promedio de todos los valores mostrados a lo largo del barrido en la figura 5.03 ( $V_{DD} = 2,8V$ ,  $V_{SS} = 0V$ ). Tercero, la transconductancia obtenida representa al promedio de valores que se encuentran dentro del 5% del valor máximo de la figura 5.02. Cuarto, el rango lineal corresponde al rango de voltaje en que se encuentran estos valores de transconductancia dentro del 5% del punto máximo. Por último, el ancho de banda se obtuvo en el momento que se alcanzaba la frecuencia de corte (-3dB del valor máximo). Cada una de estas consideraciones concuerda con los diagramas de flujo utilizados para la automatización del proceso, descritos en el capítulo anterior.

**Tabla 5.03** Resultados de los parámetros por optimizar del OTA con degeneración de fuente.

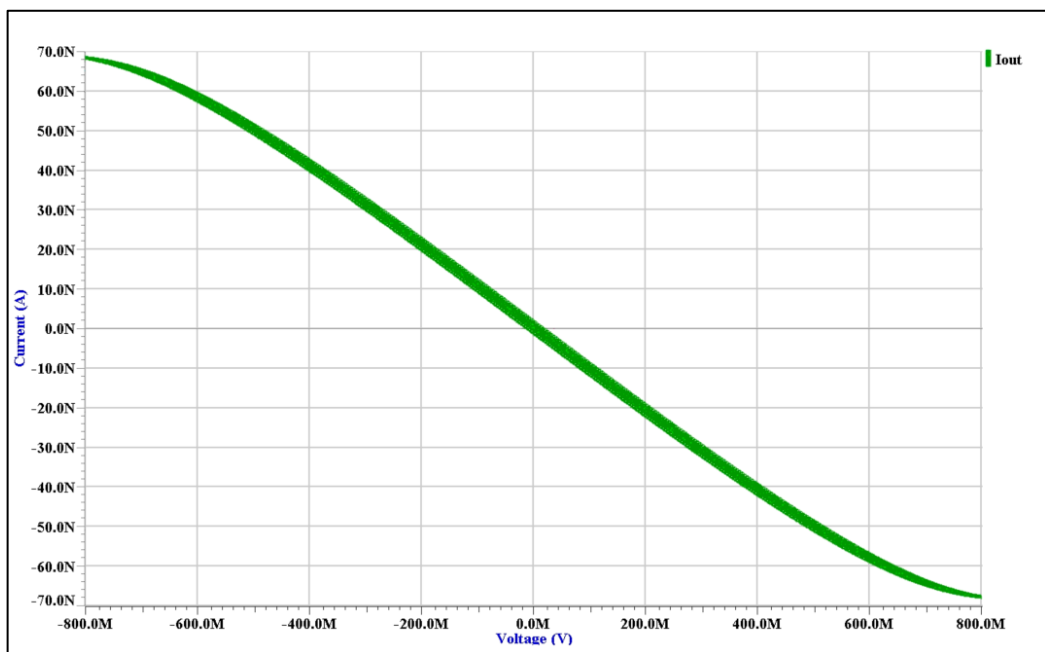
<b>Parámetro</b>	<b>Valor</b>
$\sigma_{Offset}$	6,66mV
<i>Potencia</i>	1,28 $\mu$ W
$G_m$	103,35nS
<i>Rango Lineal</i>	0,6V
<i>Ancho de Banda</i>	9,8KHz

### 5.1.2 Incorporación de la fuente de *offset*

La sección anterior mostró los resultados del modelo de referencia sin incorporar el efecto de la variabilidad en la simulación. En esta sección se presentan los resultados de este mismo modelo de referencia, pero agregando el efecto de la

variabilidad a la simulación. Para información del procedimiento realizado, remítase a la sección 5.2.

Las figuras 5.05, 5.06, 5.07 y 5.08 muestran los resultados de las mismas simulaciones realizadas en la sección anterior, esta vez incluyendo el efecto de la variabilidad en ellas utilizando una simulación de Montecarlo con 1000 corridas. Recuerde que las dimensiones utilizadas se encuentran en la tabla 4.01.



**Figura 5.05** Inclusión del efecto del *offset* reflejado en la curva característica de la corriente de salida del OTA.



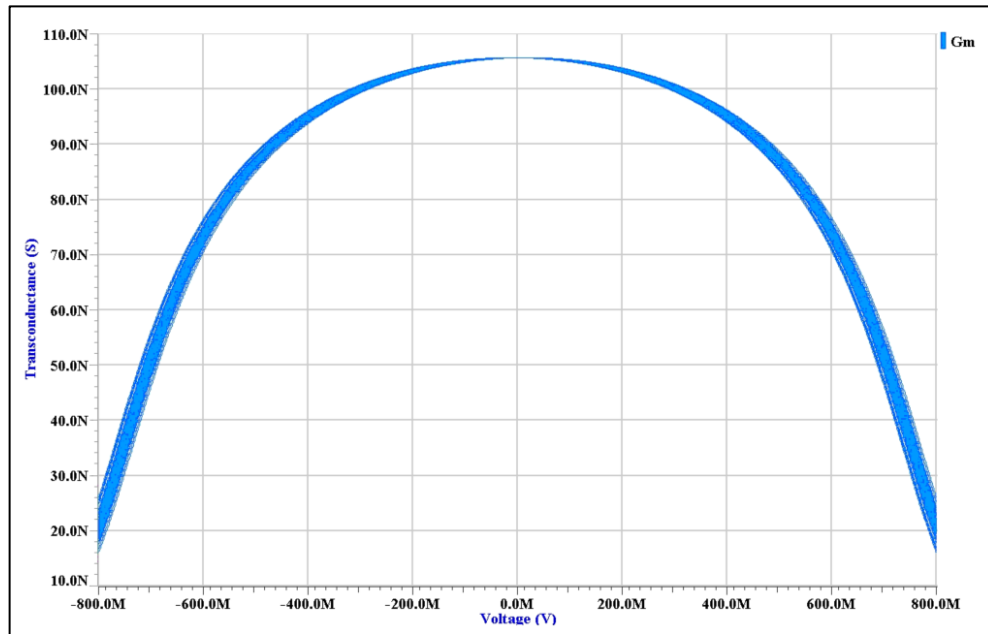


Figura 5.06 Efecto del *offset* en la transconductancia del OTA con degeneración de cuerpo.

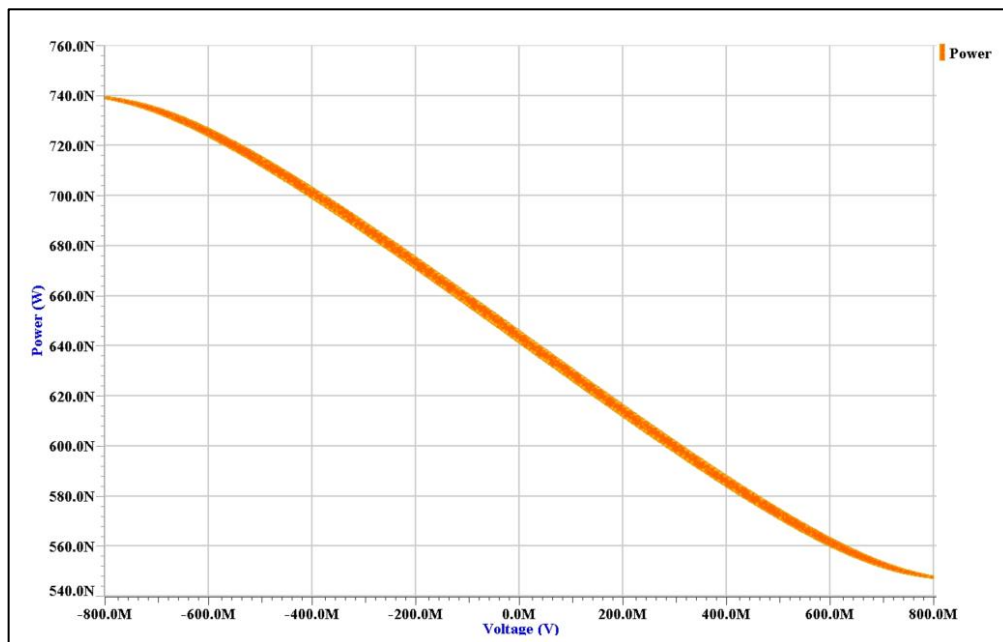
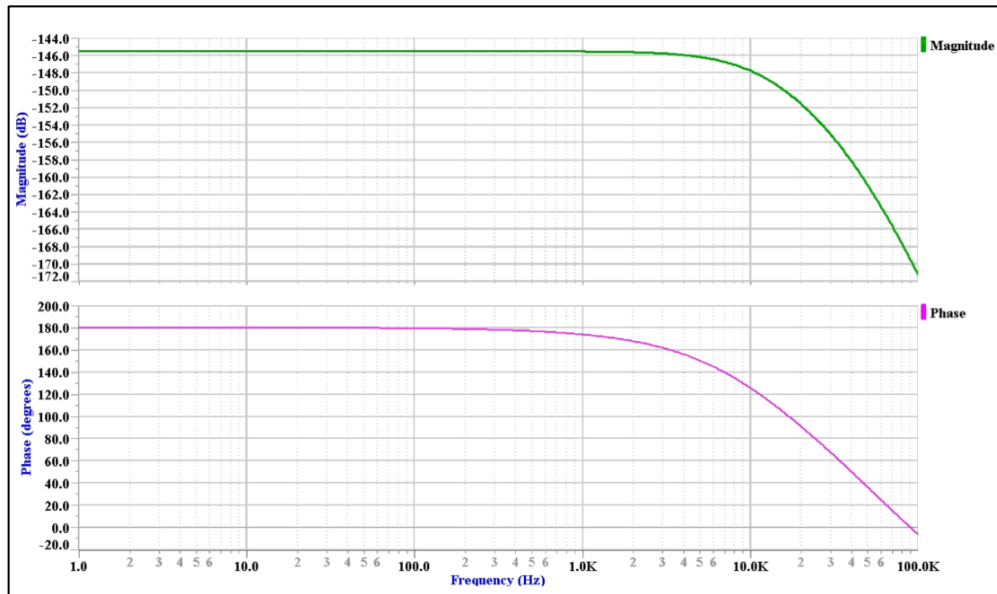


Figura 5.07 Efecto del *offset* sobre la potencia consumida por el OTA con degeneración de cuerpo.



**Figura 5.08** Inclusión del *offset*, sin efecto sobre ancho de banda del OTA con degeneración de cuerpo.

Con estos resultados, es posible determinar la desviación estándar de cada parámetro en estudio ocasionado por la variabilidad, basado en los peores casos que se generan. Este estudio estadístico se realizó con la ayuda de Matlab, la tabla 5.04 resume estos resultados.

**Tabla 5.04** Desviaciones estándar ocasionadas por la variabilidad en el modelo de referencia.

Parámetro	Valor	Variación vs su valor nominal
$\sigma_{Potencia}$	~6,3nW	0,47%
$\sigma_{Gm}$	~2,4nS	2,32%
$\sigma_{Rango\ Lineal}$	~30mV	10%
$\sigma_{Ancho\ de\ Banda}$	~0Hz	0%

### 5.1.3 Proceso de optimización

En esta sección aparecen los resultados obtenidos para el flujo completo de optimización explicado en la sección 5.3. Aquí se muestran tres de los puntos más relevantes de todo el proceso de optimización. Se realizaron múltiples corridas, con 5000 iteraciones cada una, a lo largo del proyecto. De esta población, sólo se escogieron 3 puntos de entre los más óptimos y se compararon entre ellos el efecto de la variabilidad.

Para cada punto la información se presenta una tabla que muestra los tamaños de los transistores encontrados por la herramienta de optimización, simulaciones individuales en *DC* y *AC*, y una tabla resumiendo los resultados de los parámetros de interés. Se debe destacar que el valor de la resistencia de degeneración fue el mismo para todos los casos:  $7M\Omega$ .

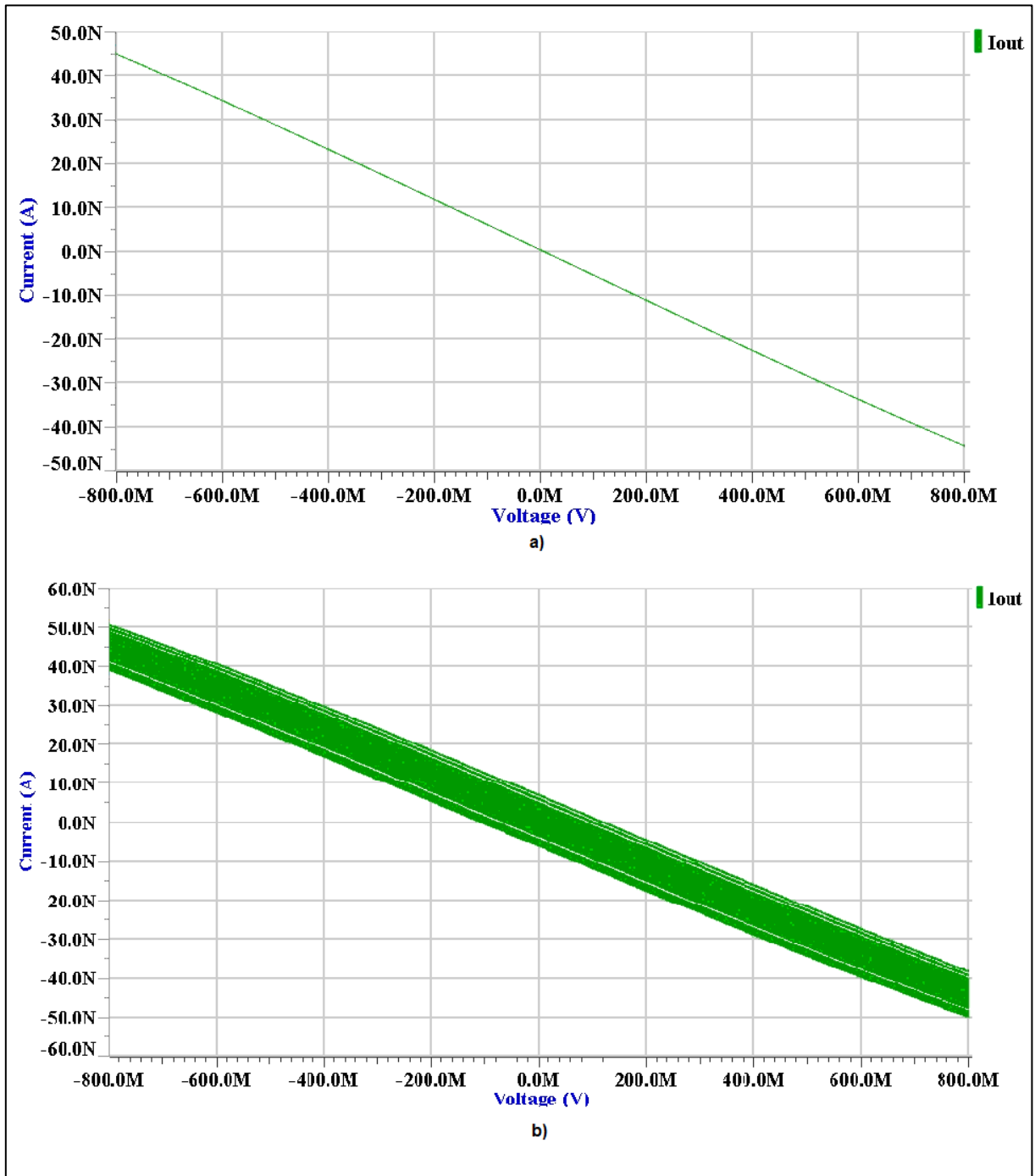
#### a) Primer punto de estudio

El primer punto escogido del *Frente de Pareto* fue aquel en el que la tensión de *offset* es mayor con respecto al modelo de referencia. De esta forma, es posible determinar algunas de las causas por las cuales dicho *offset* aumenta. La tabla 5.05 resume los tamaños de los transistores para este punto.

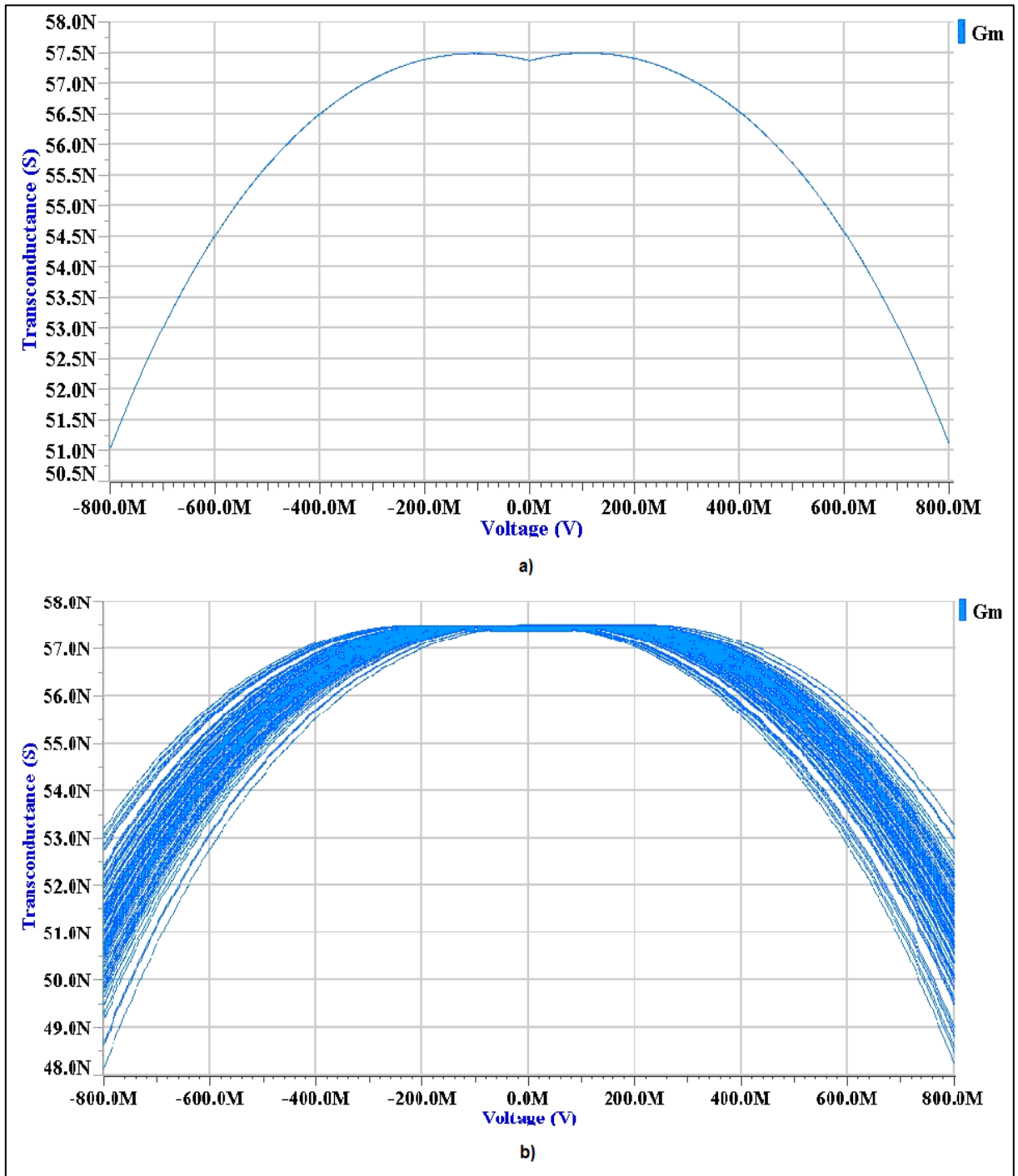
**Tabla 5.05** Tamaños de los transistores para el primer punto de estudio.

Parámetro	Valor
$W_1$	1 $\mu\text{m}$
$L_1$	200 $\mu\text{m}$
$W_2$	14 $\mu\text{m}$
$L_2$	168 $\mu\text{m}$
$W_3$	7,5 $\mu\text{m}$
$L_3$	7,5 $\mu\text{m}$
$W_4$	187 $\mu\text{m}$
$L_4$	168 $\mu\text{m}$

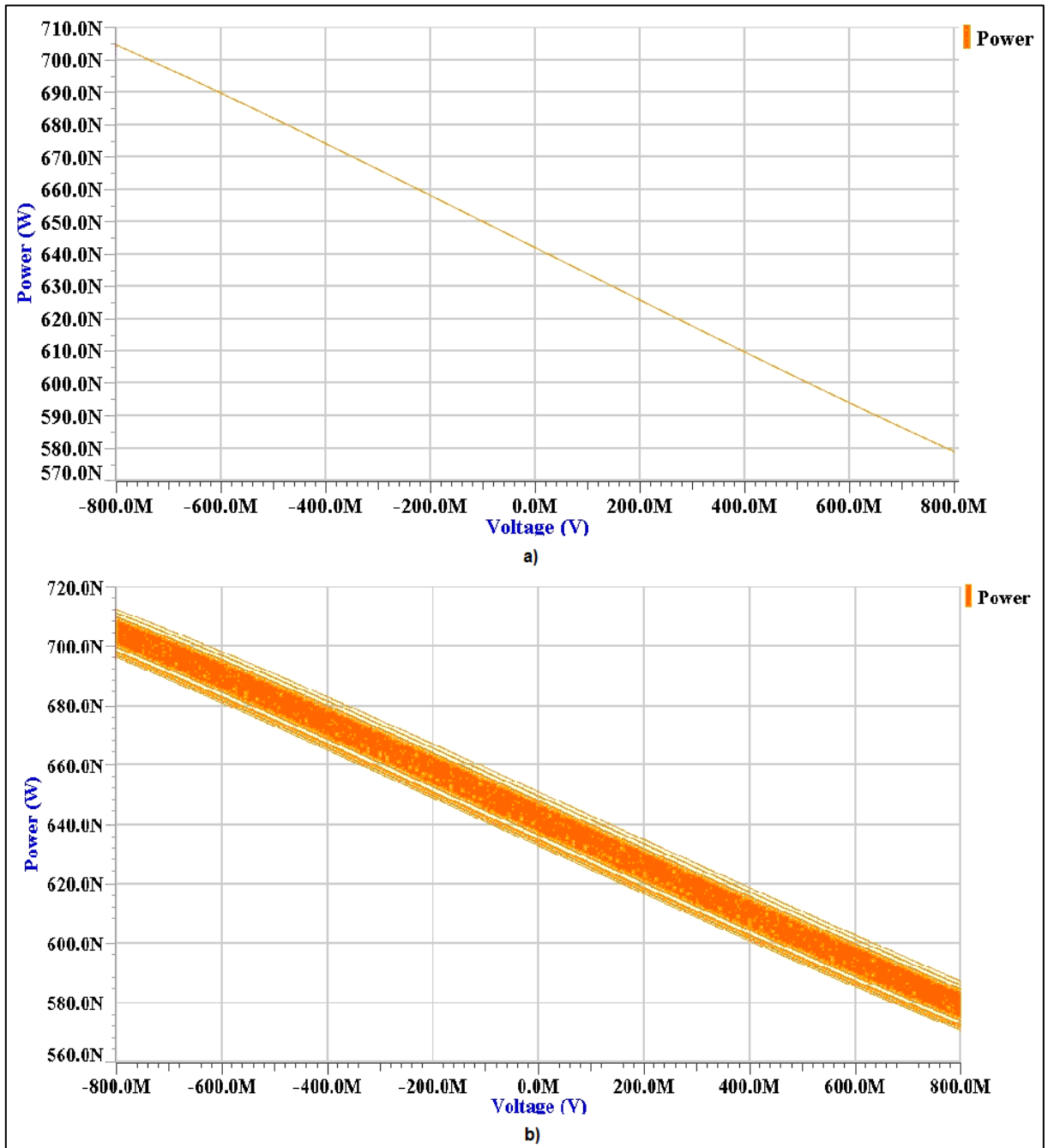
Las figuras 5.09, 5.10, 5.11 y 5.12 reflejan los resultados obtenidos a partir de la simulación de este punto. En estas simulaciones ya viene incluido el efecto de la variabilidad reflejado sobre el *offset* que afecta a los demás parámetros. Los resultados se tabulan de la misma forma en la que se mostraron en la sección 5.1. De nuevo, el punto de estudio fue en el instante en el que  $V_{in+}$  y  $V_{in-}$  son iguales a 0.8V.



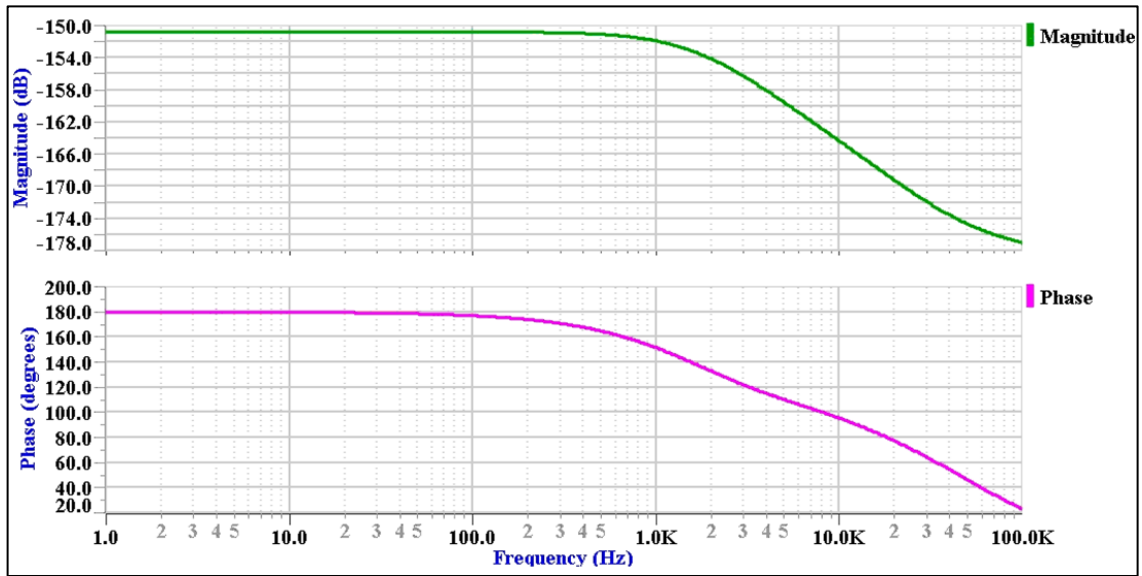
**Figura 5.09** Curva característica de la corriente de salida del OTA para el primer punto de estudio, a) sin variabilidad y b) con variabilidad.



**Figura 5.10** Transconductancia del OTA con degeneración de cuerpo para el primer punto de estudio, a) sin variabilidad y b) con variabilidad.



**Figura 5.11** Potencia consumida por el OTA con degeneración de cuerpo para el primer punto de estudio, a) sin variabilidad y b) con variabilidad.



**Figura 5.12** Ancho de Banda del OTA con degeneración de cuerpo para el primer punto de estudio, incluyendo el efecto de la variabilidad.

La tabla 5.06 muestra los valores de los valores de aptitud obtenidos durante el proceso de optimización. Las tablas 5.07 y 5.08 muestran los parámetros internos necesarios para la obtención de la tensión de *offset* debido a la variabilidad. Finalmente, se hizo un breve análisis estadístico con los resultados obtenidos para facilitar la visualización del efecto de la variabilidad. La tabla 5.09 muestra las desviaciones estándar para los valores de aptitud obtenidos a partir de los resultados de la simulación.



**Tabla 5.06** Resultados obtenidos para los valores de aptitud para el primer punto de estudio.

Parámetro	Valor
$\sigma_{Offset}$	45,7mV
Potencia	644,76nW
$G_m$	57,35nS
Rango Lineal	1,2V
Ancho de Banda	1,05kHz

**Tabla 5.07** Parámetros necesarios para el cálculo del *offset* sistemático del primer punto de estudio.

Transistores	Parámetros	Valores
$M_1$	$I_{D1}$	5,77nA
	$V_{GS1}$	-1,97V
	$g_{m1}$	7,35nS
	$\sigma_{VT1}$	1,34mV
	$\sigma_{(\alpha\beta/\beta)1}$	0,06194%
$M_2$	$I_{D2}$	5,77nA
	$V_{GS2}$	0,786V
	$g_{m2}$	29,9nS
	$\sigma_{VT2}$	329,91 $\mu$ V
	$\sigma_{(\alpha\beta/\beta)2}$	0,01957%
$M_3$	$I_{D3}$	23,63nA
	$V_{GS3}$	-0,8V
	$g_{m3}$	118,15nS
	$\sigma_{VT3}$	2,52mV
	$\sigma_{(\alpha\beta/\beta)3}$	0,1168%
$M_4$	$I_{D4}$	4,98nA
	$V_{GS4}$	-0,73V
	$g_{m4}$	30,18nS
	$\sigma_{VT4}$	106,63 $\mu$ V
	$\sigma_{(\alpha\beta/\beta)4}$	0,00494%
---	$G_{MRB}$	6,99nS

**Tabla 5.08** Varianzas del *offset* de entrada del primer punto de estudio.

Parámetro	Valor
$\sigma_{Vin1}^2$	5,9 $\mu$ V <sup>2</sup>
$\sigma_{Vin2}^2$	1,62 $\mu$ V <sup>2</sup>
$\sigma_{Vin3}^2$	2,08mV <sup>2</sup>
$\sigma_{Vin4}^2$	626,81nV <sup>2</sup>

**Tabla 5.09** Desviaciones estándar ocasionadas por la variabilidad en el primer punto de estudio.

Parámetro	Valor	Variación vs su valor nominal
$\sigma_{Potencia}$	~16,1nW	2,5%
$\sigma_{Gm}$	~3,1nS	5,41%
$\sigma_{Rango\ Lineal}$	~120mV	10%
$\sigma_{Ancho\ de\ Banda}$	~0Hz	0%

## b) Segundo punto de estudio

Este segundo punto de estudio se escogió buscando mejorar los demás valores de aptitud, manteniendo el *offset* debido a la variabilidad lo más similar posible al modelo de referencia. La tabla 5.10 resume los tamaños de los transistores para este punto.

**Tabla 5.10** Tamaños de los transistores para el segundo punto de estudio.

<b>Parámetro</b>	<b>Valor</b>
$W_1$	1 $\mu\text{m}$
$L_1$	194 $\mu\text{m}$
$W_2$	14 $\mu\text{m}$
$L_2$	14 $\mu\text{m}$
$W_3$	104 $\mu\text{m}$
$L_3$	20 $\mu\text{m}$
$W_4$	194 $\mu\text{m}$
$L_4$	200 $\mu\text{m}$

De la misma forma, las figuras 5.13, 5.14, 5.15 y 5.16, reflejan los resultados obtenidos a partir de la simulación de este punto. Las tablas correspondientes en esta sección son equivalentes a las ya mostradas en el modelo de referencia y el primer punto de estudio. Al final, se repite el análisis estadístico para el segundo punto de estudio y se obtienen los resultados mostrados en la tabla 5.14.

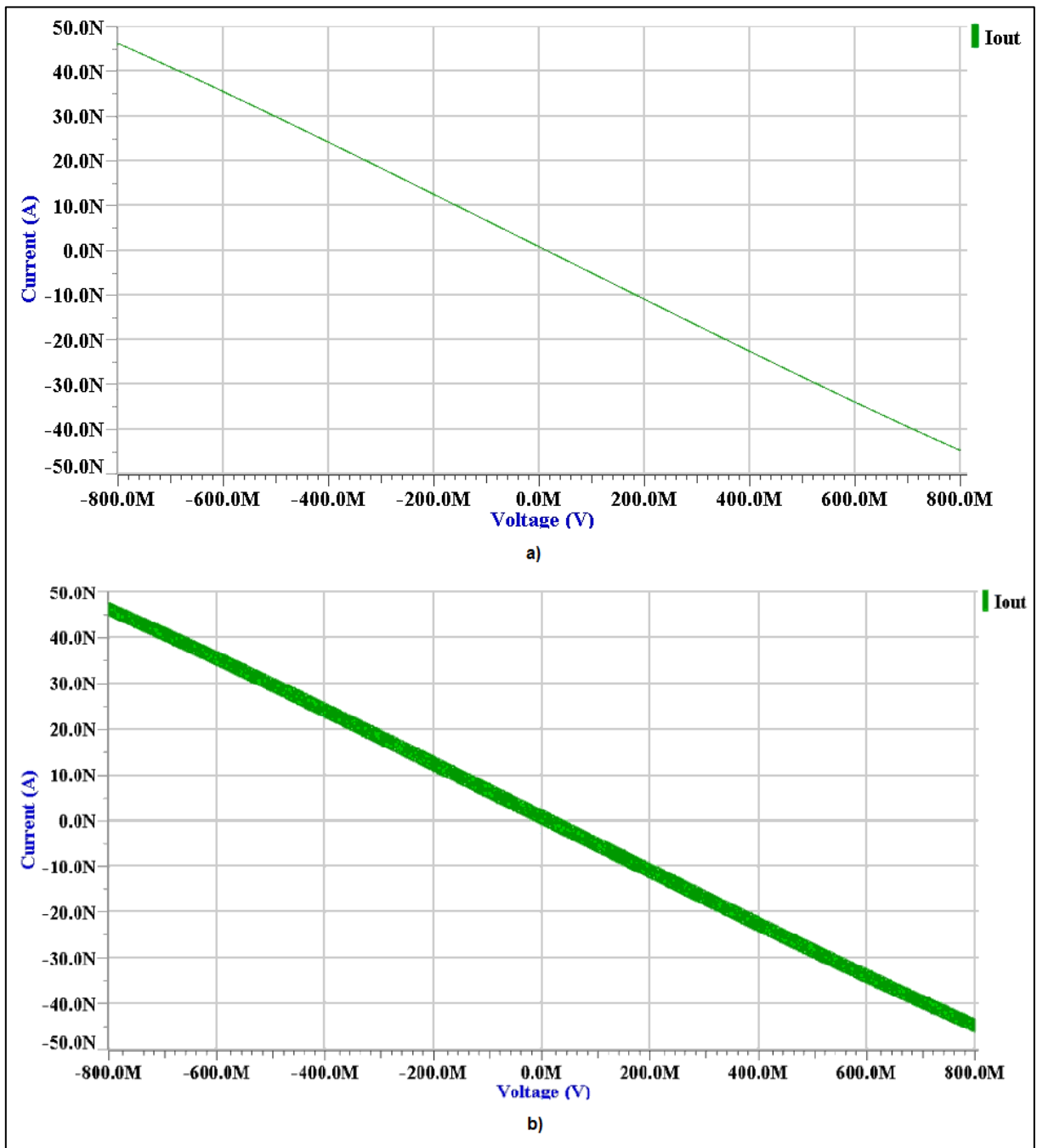
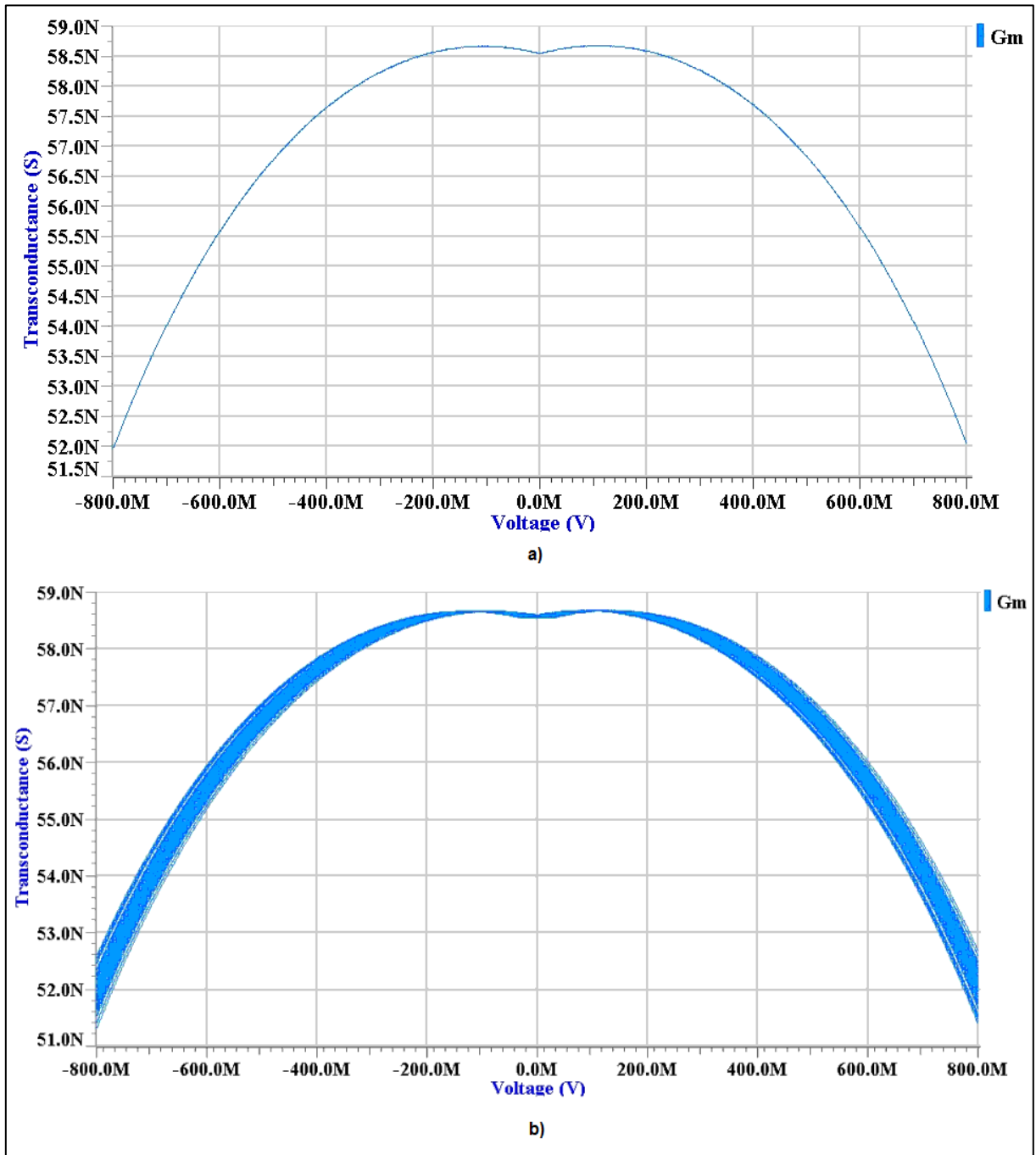
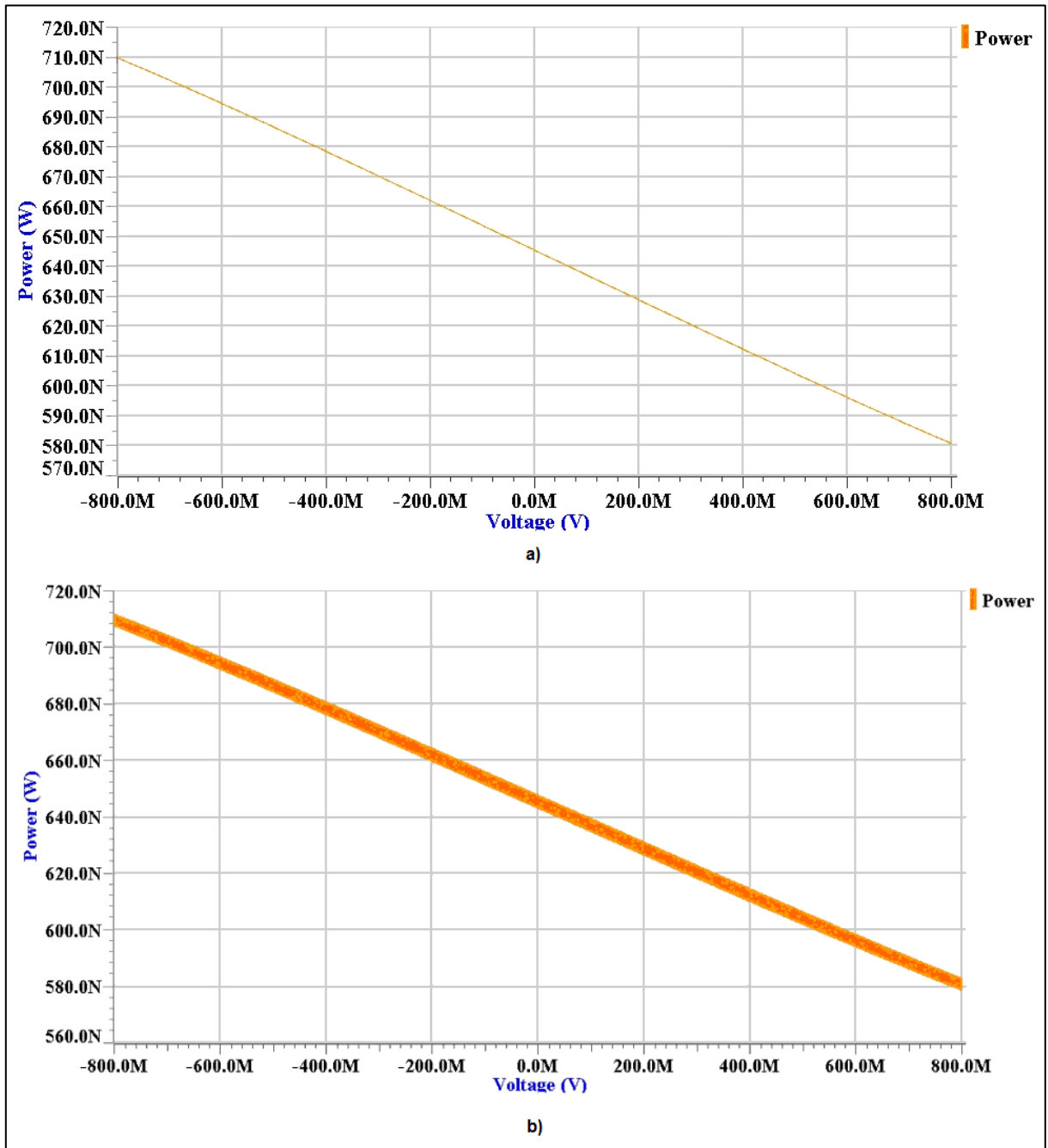


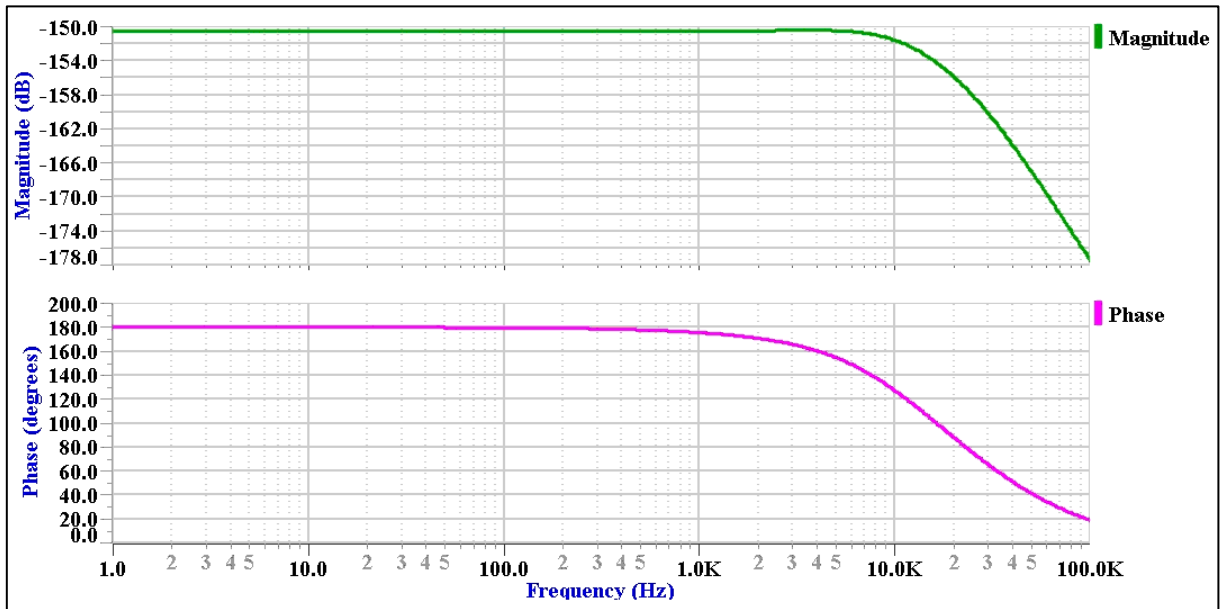
Figura 5.13 Curva característica de la corriente de salida del OTA para el segundo punto de estudio, a) sin variabilidad y b) con variabilidad.



**Figura 5.14** Transconductancia del OTA con degeneración de cuerpo para el segundo punto de estudio, a) sin variabilidad y b) con variabilidad.



**Figura 5.15** Potencia consumida por el OTA con degeneración de cuerpo para el segundo punto de estudio, a) sin variabilidad y b) con variabilidad.



**Figura 5.16** Ancho de Banda del OTA con degeneración de cuerpo para el segundo punto de estudio, incluyendo el efecto de la variabilidad.

**Tabla 5.11** Resultados obtenidos para los valores de aptitud para el segundo punto de estudio.

Parámetro	Valor
$\sigma_{Offset}$	11,38mV
Potencia	649,4nW
$G_m$	58,4nS
Rango Lineal	1,16V
Ancho de Banda	10,04kHz

**Tabla 5.12** Parámetros necesarios para el cálculo del *offset* sistemático del segundo punto de estudio.

Transistores	Parámetros	Valores
$M_1$	$I_{D1}$	6,02nA
	$V_{GS1}$	-1,98V
	$g_{m1}$	7,62nS
	$\sigma_{VT1}$	1,36mV
	$\sigma_{(\alpha\beta/\beta)1}$	0,06289%
$M_2$	$I_{D2}$	6,02nA
	$V_{GS2}$	0,668V
	$g_{m2}$	44,93nS
	$\sigma_{VT2}$	1,14mV
	$\sigma_{(\alpha\beta/\beta)2}$	0,06779%
$M_3$	$I_{D3}$	24,81nA
	$V_{GS3}$	-0,72V
	$g_{m3}$	155,06nS
	$\sigma_{VT3}$	414,41 $\mu$ V
	$\sigma_{(\alpha\beta/\beta)3}$	0,0192%
$M_4$	$I_{D4}$	5,33nA
	$V_{GS4}$	-0,74V
	$g_{m4}$	31,63nS
	$\sigma_{VT4}$	95,95 $\mu$ V
	$\sigma_{(\alpha\beta/\beta)4}$	0,00445%
---	$G_{MRB}$	7,23nS

**Tabla 5.13** Varianzas del *offset* de entrada del segundo punto de estudio.

Parámetro	Valor
$\sigma_{Vin1}^2$	5,94 $\mu$ V <sup>2</sup>
$\sigma_{Vin2}^2$	36,68 $\mu$ V <sup>2</sup>
$\sigma_{Vin3}^2$	86,53 $\mu$ V <sup>2</sup>
$\sigma_{Vin4}^2$	449,55nV <sup>2</sup>



**Tabla 5.14** Desviaciones estándar ocasionadas por la variabilidad en el segundo punto de estudio.

Parámetro	Valor	Variación vs su valor nominal
$\sigma_{Potencia}$	~3nW	0,46%
$\sigma_{Gm}$	~0,85nS	1,45%
$\sigma_{Rango\ Lineal}$	~40mV	3,44%
$\sigma_{Ancho\ de\ Banda}$	~0Hz	0%

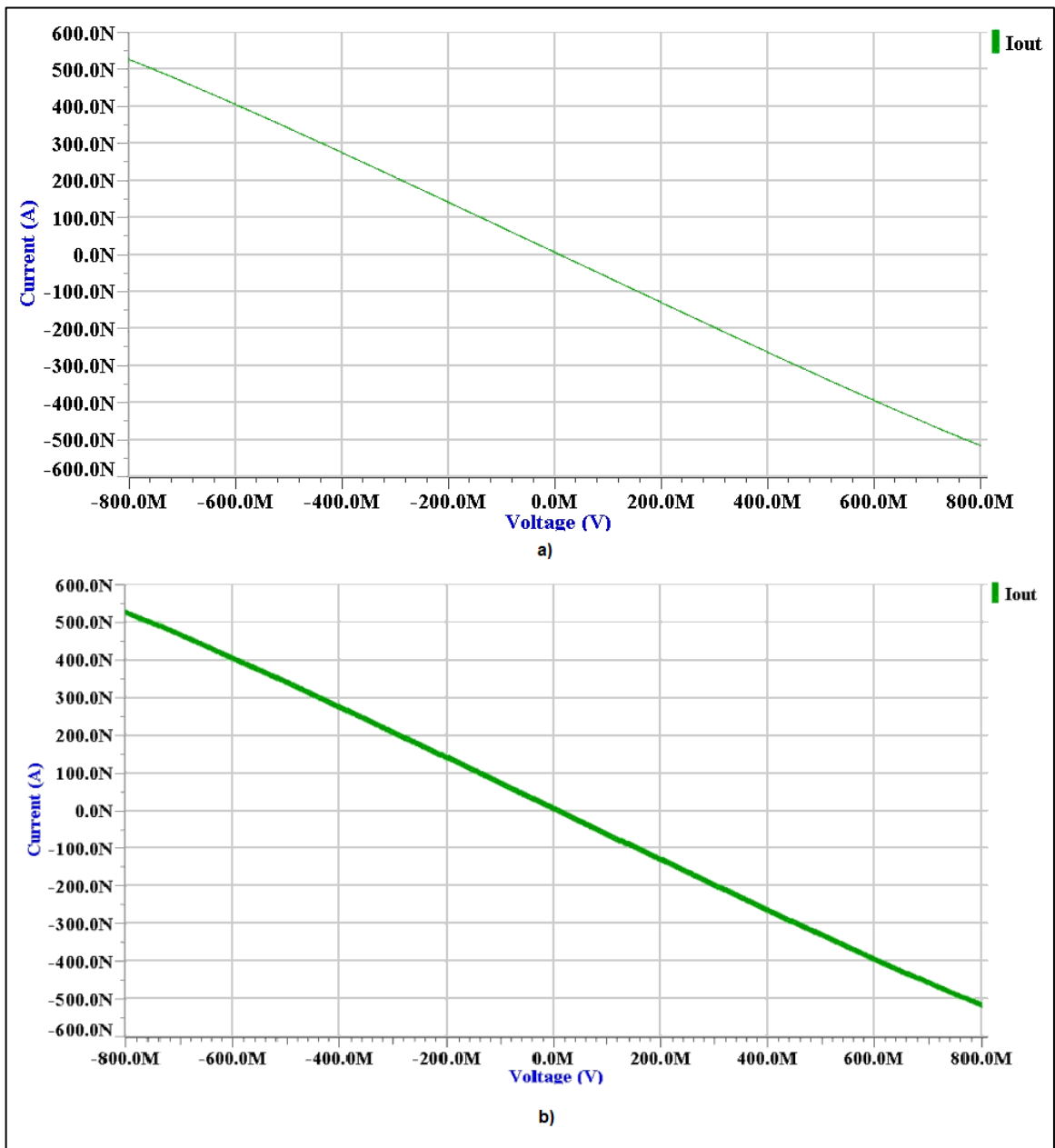
### c) Tercer punto de estudio

Este tercer punto de estudio se escogió buscando mejorar el *offset* debido a la variabilidad con respecto al modelo de referencia. Además, para este punto de estudio se separó el conjunto de transistores  $M_2$  que conforman el espejo, en dos conjuntos de transistores distintos para cada parte del espejo, llamados ahora  $M_{2A}$  y  $M_{2B}$  (equivalentes a  $M_{2a}$  y  $M_{2b}$ , y  $M_{2c}$  y  $M_{2d}$  de la figura 3.05, respectivamente).  $M_{2A}$  corresponde al conjunto de transistores que están conectados directamente a  $M_1$ , y  $M_{2B}$  corresponde al conjunto de transistores que están conectados a  $M_4$  en la figura 3.05. La tabla 5.15 resume los tamaños de los transistores para este punto.

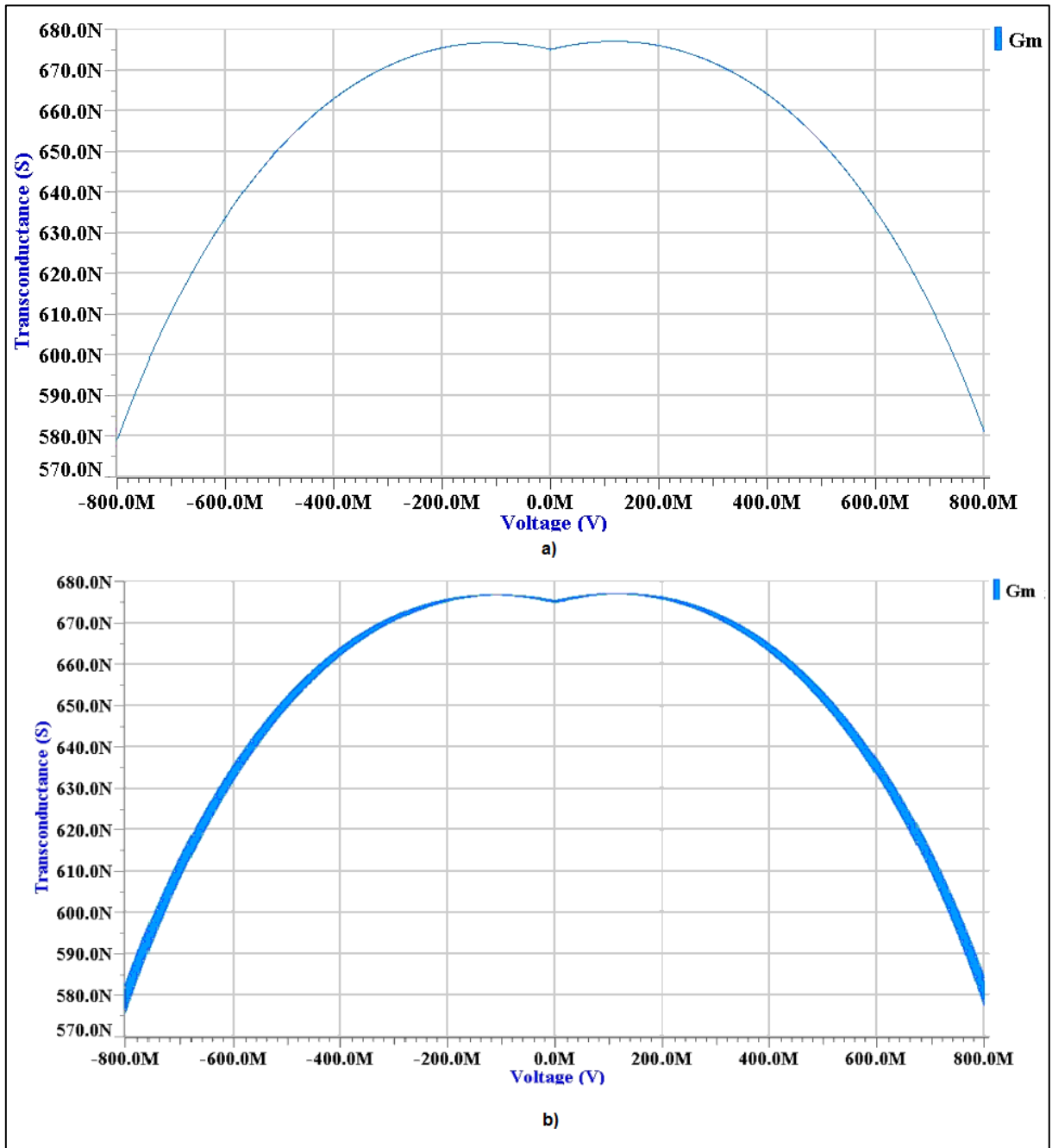
**Tabla 5.15** Tamaños de los transistores para el tercer punto de estudio.

Parámetro	Valor
$W_1$	1 $\mu$ m
$L_1$	136 $\mu$ m
$W_{2A}$	27 $\mu$ m
$L_{2A}$	155 $\mu$ m
$W_{2B}$	14 $\mu$ m
$L_{2B}$	7 $\mu$ m
$W_3$	123 $\mu$ m
$L_3$	187 $\mu$ m
$W_4$	200 $\mu$ m
$L_4$	168 $\mu$ m

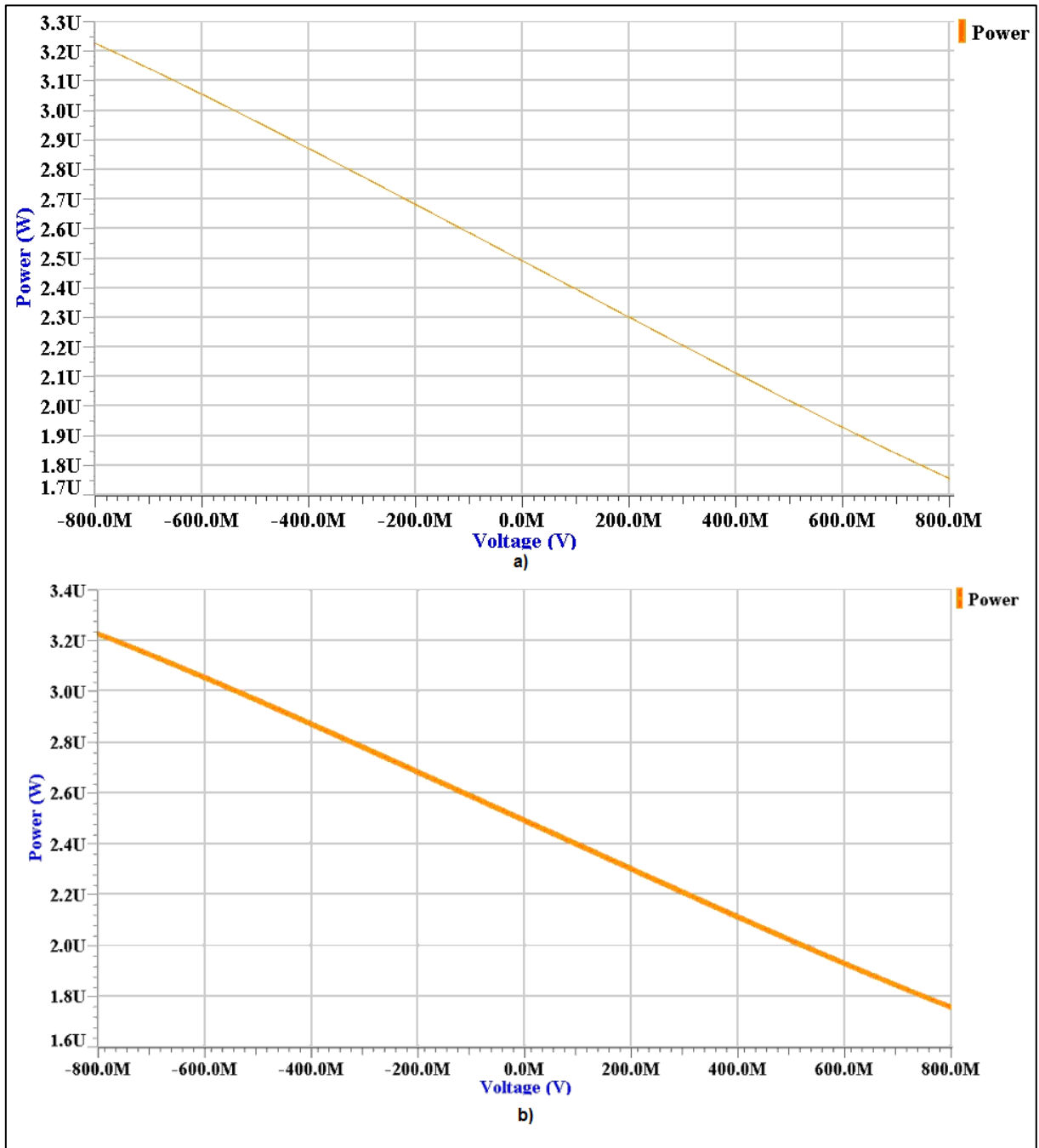
Nuevamente, las figuras y las tablas mostradas a continuación muestran los resultados equivalentes para este tercer punto de estudio. La tabla 5.19 muestra los resultados estadísticos finales para el tercer punto de estudio.



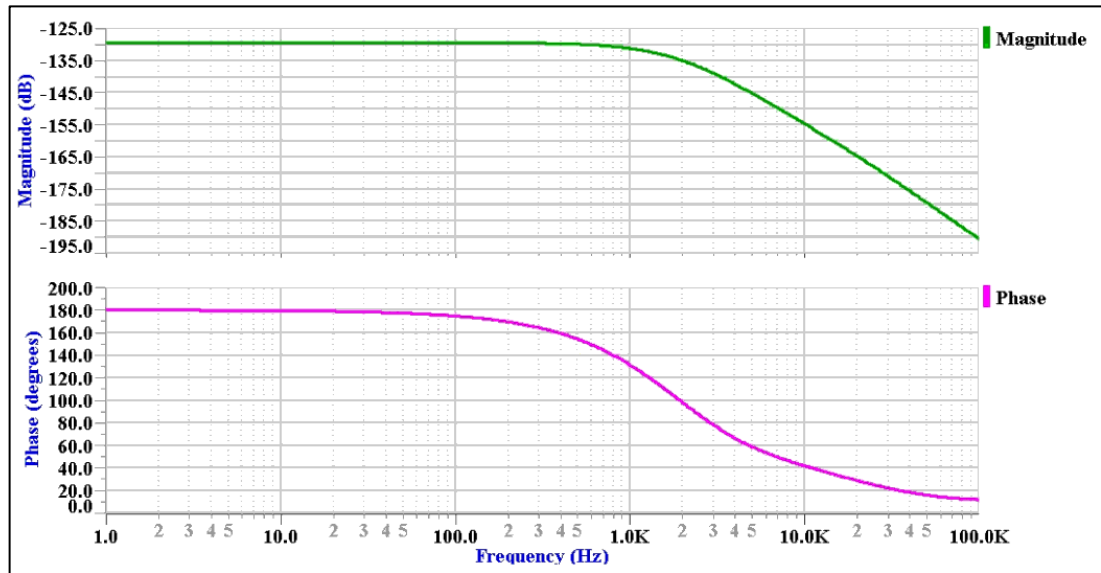
**Figura 5.17** Curva característica de la corriente de salida del OTA para el tercer punto de estudio, a) sin variabilidad y b) con variabilidad.



**Figura 5.18** Transconductancia del OTA con degeneración de cuerpo para el tercer punto de estudio, a) sin variabilidad y b) con variabilidad.



**Figura 5.19** Potencia consumida por el OTA con degeneración de cuerpo para el tercer punto de estudio, a) sin variabilidad y b) con variabilidad.



**Figura 5.20** Ancho de Banda del OTA con degeneración de cuerpo para el tercer punto de estudio, incluyendo el efecto de la variabilidad.

**Tabla 5.16** Resultados obtenidos para los valores de aptitud para el tercer punto de estudio.

Parámetro	Valor
$\sigma_{Offset}$	3,99mV
Potencia	2,49 $\mu$ W
$G_m$	674,12nS
Rango Lineal	1,12V
Ancho de Banda	994Hz

**Tabla 5.17** Parámetros necesarios para el cálculo del *offset* sistemático del tercer punto de estudio.

Transistores	Parámetros	Valores
$M_1$	$I_{D1}$	7,78nA
	$V_{GS1}$	-1,95V
	$g_{m1}$	10,04nS
	$\sigma_{VT1}$	1,62mV
	$\sigma_{(\alpha\beta/\beta)1}$	0,07512%
$M_2$	$I_{D2}$	7,78nA
	$V_{GS2}$	0,747V
	$g_{m2}$	44,84nS
	$\sigma_{VT2}$	247,33 $\mu$ V
	$\sigma_{(\alpha\beta/\beta)2}$	0,01467%
$M_3$	$I_{D3}$	35,12nA
	$V_{GS3}$	-0,81V
	$g_{m3}$	171,32nS
	$\sigma_{VT3}$	124,62 $\mu$ V
	$\sigma_{(\alpha\beta/\beta)3}$	0,00578%
$M_4$	$I_{D4}$	70,96nA
	$V_{GS4}$	-0,84V
	$g_{m4}$	322,55nS
	$\sigma_{VT4}$	103,11 $\mu$ V
	$\sigma_{(\alpha\beta/\beta)4}$	0,00479%
---	$G_{MRB}$	9,38nS

**Tabla 5.18** Varianzas del *offset* de entrada del tercer punto de estudio.

Parámetro	Valor
$\sigma_{Vin1}^2$	8,507 $\mu$ V <sup>2</sup>
$\sigma_{Vin2}^2$	1,096 $\mu$ V <sup>2</sup>
$\sigma_{Vin3}^2$	5,99 $\mu$ V <sup>2</sup>
$\sigma_{Vin4}^2$	357,04nV <sup>2</sup>

**Tabla 5.19** Desviaciones estándar ocasionadas por la variabilidad en el tercer punto de estudio.

<b>Parámetro</b>	<b>Valor</b>	<b>Variación vs su valor nominal</b>
$\sigma_{Potencia}$	~20,3nW	0,81%
$\sigma_{Gm}$	~2,48nS	0,38%
$\sigma_{Rango\ Lineal}$	~10,8mV	0,96%
$\sigma_{Ancho\ de\ Banda}$	~0Hz	0%

## 5.2 Análisis de resultados

### 5.2.1 Análisis general

Antes de realizar un análisis de los resultados obtenidos, se resumirá brevemente el desarrollo del proyecto para tenerlo como referencia.

El comienzo del proyecto consistió en la búsqueda e investigación de un modelo de un *OTA* sobre el cual estudiar el efecto de variabilidad. Se decidió usar un *OTA* con degeneración de cuerpo, pues este presenta por diseño un excelente rango lineal. El estudio de la variabilidad sobre este *OTA* permite identificar cómo cambiarán el *offset* y el rango lineal en el dispositivo, entre otros parámetros.

Luego se investigaron los modelos físicos con los cuales se pudo analizar este *OTA*. Dichos modelos corresponden al Modelo *ACM* y el Modelado de la Variabilidad derivado del primero (secciones 3.3, 3.4 y 3.5, respectivamente). De esta forma, era posible modificar los modelos de simulación de manera que se pudiera incluir la variabilidad en las simulaciones realizadas.

Para el estudio de la variabilidad a nivel de simulación se utilizaron: simulaciones a nivel de circuito, con y sin la inclusión del efecto de la variabilidad, y se utilizaron simulaciones de Monte Carlo para simular y visualizar el efecto de la variabilidad a un nivel más estadístico. Finalmente, se incluyeron estos modelos en un proceso de optimización para estudiar el comportamiento del modelo realizado.

A partir de los resultados de las miles de corridas del modelo de optimización, se escogieron 3 puntos de entre los más óptimos para estudiar diferentes casos. Los resultados obtenidos de todo el proceso aparecen en la sección 5.1 de este capítulo. En esta sección se analizará el cómo y el por qué se obtuvieron los resultados mostrados previamente.

### 5.2.2 Establecimiento de un modelo de referencia

Para iniciar con el análisis, se hablará un poco sobre la sección 5.1.1. Esta subsección tiene dos objetivos: tratar de reproducir los resultados obtenidos en [2] y construir un modelo de referencia con el cual se pueda comparar los resultados posteriores. Ahora, es imposible reproducir de manera exacta los resultados mostrados en [2], pues se desconocen los tamaños de los transistores y demás parámetros utilizados durante ese diseño. Sin embargo, fue posible reproducir el comportamiento del *OTA* utilizando nuevos valores para los tamaños de los transistores. La figura 5.01 muestra el comportamiento del modelo de referencia, el cual se asemeja al resultado obtenido en [2] que aparece en la figura 3.06. Con esto, se determinó que el modelo de referencia utilizado es válido para ser utilizado como punto de comparación contra resultados posteriores.

Con los resultados de esta simulación, se obtuvieron los parámetros necesarios para obtener la desviación estándar del *offset* de entrada debido a la variabilidad. Nótese que en la tabla 5.02 se puede ver el impacto de la variabilidad de cada conjunto de transistores sobre el *offset* de entrada. De esa tabla se puede observar que los conjuntos de transistores  $M_2$ ,  $M_3$  y  $M_4$ , tienen mayor influencia sobre el *offset* de entrada. Esto se debe a que  $G_{MRB} \ll g_{m1}$ , con el fin de aumentar el rango lineal y como consecuencia estos conjuntos resultan dominantes. De estos 3 conjuntos,  $M_3$  resultó ser el de mayor impacto pues interactúa directamente con la resistencia de degeneración. Con los resultados posteriores, se demuestra que



disminuyendo el impacto de la variabilidad en estos conjuntos, y en especial en  $M_3$ , contribuye significativamente a la reducción del *offset* de entrada.

La sección 5.1.2 cumple un propósito, y es la inclusión de la variabilidad en el modelo de referencia. Para ello se utilizaron las tablas 5.01 y 5.02 para calcular el *offset* de entrada. Las figuras de esta sección muestran la forma en que varían las distintas gráficas que caracterizan al *OTA*, debido al *offset* provocado por la variabilidad. Los resultados de la tabla 5.04 se obtuvieron tomando todos los valores del archivo de texto brindados por el reporte del simulador y procesándolos en Matlab para obtener las desviaciones estándar de los distintos parámetros.

En la tabla 5.04 se puede notar como la variación en el consumo de potencia es bastante insignificante, pues corresponde a una variación del 0,47% respecto al valor nominal de la tabla 5.03. La variación de la transconductancia es un poco más relevante pues corresponde a un 2,32%, sin embargo, tampoco es una variación significativa. El rango lineal si presenta una variación importante del 10%, por lo tanto, es válido afirmar hasta el momento que el rango lineal se ve afectado de manera considerable por la variabilidad. Finalmente, el ancho de banda presenta una variación nula, esto pues el *offset* representa una variación en el nivel *DC* de la señal, lo cual no afecta en lo absoluto una simulación *AC*.

Con estos resultados como punto de referencia, se procedió con la realización de la sección 5.1.3, que correspondió a la integración del modelo de la variabilidad dentro del proceso de optimización. A partir de esto, se escogieron 3 puntos para estudiar un poco más a fondo el efecto de la variabilidad.

### **5.2.3 Análisis del primer punto de estudio**

El primer punto escogido fue aquel en el que se obtuvo un *offset* de entrada superior al del modelo de referencia. El valor del voltaje de *offset* debido a la variabilidad fue de 45,7mV, que representa un incremento considerable con respecto

al modelo de referencia. El objetivo de este punto de estudio fue evidenciar qué tanto son afectados los demás parámetros del OTA frente a una variabilidad tan grande. A su vez, permite tener otro punto de comparación para puntos mejor optimizados analizados más adelante.

Las figuras 5.09, 5.10, 5.11 y 5.12 relacionadas a este primer punto de estudio ilustran claramente el fuerte impacto de la variabilidad sobre los demás parámetros. La tabla 5.06 muestra los resultados para los valores nominales del diseño y la tabla 5.09 muestra los resultados de las desviaciones estándar de los valores de aptitud al incluir la variabilidad en la simulación. Esta última tabla muestra qué tan afectados resultaron los demás parámetros del bloque. Similar al punto de referencia, se puede notar cómo la potencia fue el parámetro que menos se ve afectado por la variabilidad del conjunto de transistores con una desviación estándar de un 2,5% del valor nominal. De igual forma, la transconductancia se vio medianamente afectado con una desviación estándar de 5,41%. Mientras que, en el rango lineal nuevamente se evidenció un fuerte impacto debido a la variabilidad, una desviación estándar de un 10%.

Nótese, que este punto es más óptimo que la referencia en términos en términos de los demás valores de aptitud mostrados en la tabla 5.06. No obstante, se puede observar que el incremento considerable en el *offset* debido a la variabilidad hace menos confiable el diseño, pues la variación de los parámetros incrementó considerablemente en relación con la referencia. Esto provoca que, a la hora de fabricar el diseño, las probabilidades de que el dispositivo físico resulte muy desviado de su funcionamiento nominal para el cual se diseñó, aumenten considerablemente.

Las tablas 5.07 y 5.08 muestran el conjunto de parámetros que conforman la desviación estándar del *offset* provocada por la variabilidad. En este caso, el conjunto de transistores más influyente sobre el *offset* por la variabilidad fue nuevamente  $M_3$ , y por la misma razón que en el modelo de referencia. Ahora, hubo

un incremento considerable en el *offset* debido a que  $G_{MRB}$  disminuyó de manera significativo y esto a su vez se debe a la notable disminución de  $g_{m1}$  (ver ecuaciones (3.33) y (3.34)). Sin embargo, es importante notar que el efecto de  $M_2$  y  $M_4$  se redujo bastante, debido al incremento en el área de los transistores, a la reducción de la corriente  $I_{D1}$  y a la reducción de las transconductancias de cada uno de estos conjuntos.

#### 5.2.4 Análisis del segundo punto de estudio

El segundo punto escogido fue aquel en el que se obtuvo un *offset* de entrada similar al del modelo de referencia. En este caso, el valor del voltaje de fue de 11,38mV. El objetivo de este punto de estudio fue tratar de optimizar los demás parámetros de optimización, manteniendo el voltaje de *offset* similar a la referencia. De igual forma, este punto también permite comparar y estudiar la variabilidad en relación con los demás puntos.

Las figuras 5.13, 5.14, 5.15 y 5.16 muestran los efectos de la variabilidad sobre los parámetros, y se puede notar que el comportamiento es similar al modelo de referencia. De igual forma que el punto anterior, la tabla 5.11 muestra los resultados para los valores nominales de los valores de aptitud y la tabla 5.14 muestra los resultados de las desviaciones estándar respectivas. Una vez más, la potencia fue el parámetro que menos se vio afectado por la variabilidad y presenta un porcentaje de 0,46%, similar al de la referencia. La transconductancia fue otra vez el segundo parámetro más afectado con un 1,45% de desviación estándar. El rango lineal fue, de nueva cuenta, el parámetro más afectado, sólo que en esta ocasión se produjo una reducción importante del porcentaje de desviación a un 3,44%. Ahora, este último resultado es engañoso, pues no hubo una reducción “real” del voltaje de *offset* en relación con la referencia, y si se observa la tabla 5.16, el valor la desviación estándar de rango lineal más bien aumento de ~30mV a ~40mV. En este caso, esta reducción en el porcentaje se debe a que aumentó considerablemente el

valor nominal del rango lineal a 1,16V debido a la optimización de este parámetro. Por lo tanto, es válido afirmar que el efecto de la variabilidad se mantuvo muy similar al del modelo de referencia y que esta disminución en la variabilidad del rango lineal se debió a una mejora en la optimización del valor nominal del parámetro.

Las tablas 5.12 y 5.13 resumen los resultados parciales de los parámetros que conforman la desviación estándar del *offset*. Una vez más, el conjunto de transistores que más influye en los parámetros de diseño debido a la variabilidad fue  $M_3$ . Este incremento se le puede atribuir nuevamente a la disminución de  $G_{MRB}$  respecto a la referencia. Es importante resaltar que la componente producida por  $M_2$  aumentó con respecto a los puntos previamente estudiados, no sólo por la disminución de  $G_{MRB}$ , sino también por la reducción del área de los transistores que conforman  $M_2$ . No obstante, en este segundo punto de estudio se puede evidenciar lo influyente que es  $M_3$ , a pesar de que la componente de  $M_2$  es la más grande de los puntos estudiados hasta el momento,  $M_3$  sigue siendo el que determina el orden de magnitud del voltaje de *offset* final.

### 5.2.5 Análisis del tercer punto de estudio

Finalmente, el tercer punto escogido fue aquel en el que se obtuvo un *offset* de entrada menor al del modelo de referencia y el valor de este voltaje fue de 3,99mV. El objetivo de este punto de estudio fue obtener un *offset* menor al de referencia, y a su vez, optimizar los demás valores de aptitud. Con los resultados obtenidos en este punto, se podría determinar la mejor forma de disminuir el *offset* en este diseño.

Las figuras 5.17, 5.18, 5.19 y 5.20 muestran los gráficos obtenidos para este punto, y se puede observar rápidamente que hubo una disminución considerable en el impacto de la variabilidad en el diseño con respecto a los demás puntos de estudio. Nuevamente, la tabla 5.16 muestra los resultados obtenidos para los valores

nominales de los valores de aptitud y la tabla 5.19 muestra los resultados de las desviaciones estándar obtenidas en el proceso de optimización. Esta vez, el parámetro que presentó menor impacto debido a la variabilidad fue la transconductancia con una desviación de 0,38% del valor nominal. La potencia también presentó muy poco impacto, una desviación de 0,86% del valor nominal. Una vez más, el rango lineal fue el parámetro más afectado por la variabilidad, no obstante, su variación fue de un 0,96%, un impacto casi insignificante en relación con los puntos analizados previamente. Es importante notar, que los parámetros nominales obtenidos son óptimos, es decir que, para un rango lineal bastante grande, se obtuvo una razón transconductancia-potencia bastante buena, un *offset* muy bajo y un ancho de banda similar en todos los puntos. También, se resalta el hecho de que el ancho de banda en ningún momento se vio afectado por la variabilidad, como se mencionó, esto se debió a que el *offset* que se generó fue en *DC*.

Las tablas 5.17 y 5.18 ilustran los componentes que formaron parte del voltaje de *offset* obtenido. En este caso, se puede observar claramente que la reducción de la componente generada por la variabilidad en  $M_3$  se redujo tanto, que dejó de ser el conjunto dominante en el voltaje de *offset*. En este caso,  $M_1$  resultó ser la componente más influyente sobre el *offset*, no obstante, este hecho es poco significativo al tener los demás parámetros de optimización una variación menor al 1% del valor nominal.

Esta reducción tan notoria se debe a varias situaciones. El primer factor fue el de separar en bloque  $M_2$  en dos bloques distintos durante la optimización, esto le da a la herramienta de optimización más opciones con las cuales trabajar para reducir el efecto de la variabilidad. El segundo factor fue que, en general, el tamaño de los transistores aumentó bastante, lo que reduce el efecto de la variabilidad de Pelgrom. Y el tercer factor, fue la optimización de las corrientes y transconductancias de cada uno de los bloques.

En resumen, con estos resultados obtenidos fue posible determinar cómo se ve afectado *OTA* con degeneración de cuerpo ante la variabilidad de los conjuntos de transistores del boque, y cuál de todos estos conjuntos afecta más al diseño. A su vez, fue posible distinguir qué se podría realizar para reducir el impacto de la variabilidad sobre los demás parámetros del diseño.

## CAPÍTULO 6

### Validación de Resultados

---

Una vez finalizado el análisis del modelo implementado sobre la variabilidad, se procedió a la validación de los resultados obtenidos en las simulaciones, mediante la implementación de los *layout* de cada uno de los casos de estudio post-optimización. En este capítulo se muestran los resultados obtenidos de esta validación y se detalla el proceso que se realizó para el mismo. Al final de este capítulo se realiza un breve análisis de esta validación, así como la mención de algunos detalles concluyentes del proyecto.

#### 6.1 Elaboración de los *layout*

Para iniciar el proceso de validación, se tuvieron que construir los *layout* para cada uno de los puntos de estudio de manera manual. A continuación se muestran los *layouts* para cada uno de los casos de estudio mencionados durante el Capítulo 5. Un detalle a tener en cuenta es el hecho que tuvieron que modificarse ligeramente los tamaños de algunos transistores durante la elaboración del *layout*. Este cambio se produjo debido a que algunas de las dimensiones de los transistores eran inválidas para la tecnología utilizada, las dimensiones previas generaron errores durante el *Design Rule Check* (DRC). Las tablas 6.01, 6.02 y 6.03 muestran los nuevos tamaños de los transistores para los diferentes puntos de estudio, correspondientes al primer, segundo y tercer caso de estudio, respectivamente (secciones 5.2.3, 5.2.4 y 5.2.5). En las imágenes siguientes a cada una de las tablas se visualiza la construcción de los distintos *layout* para cada uno de los puntos de estudio. En ellas se pueden distinguir los diferentes transistores de acuerdo a los nombres dados para cada uno en la imagen 4.01.

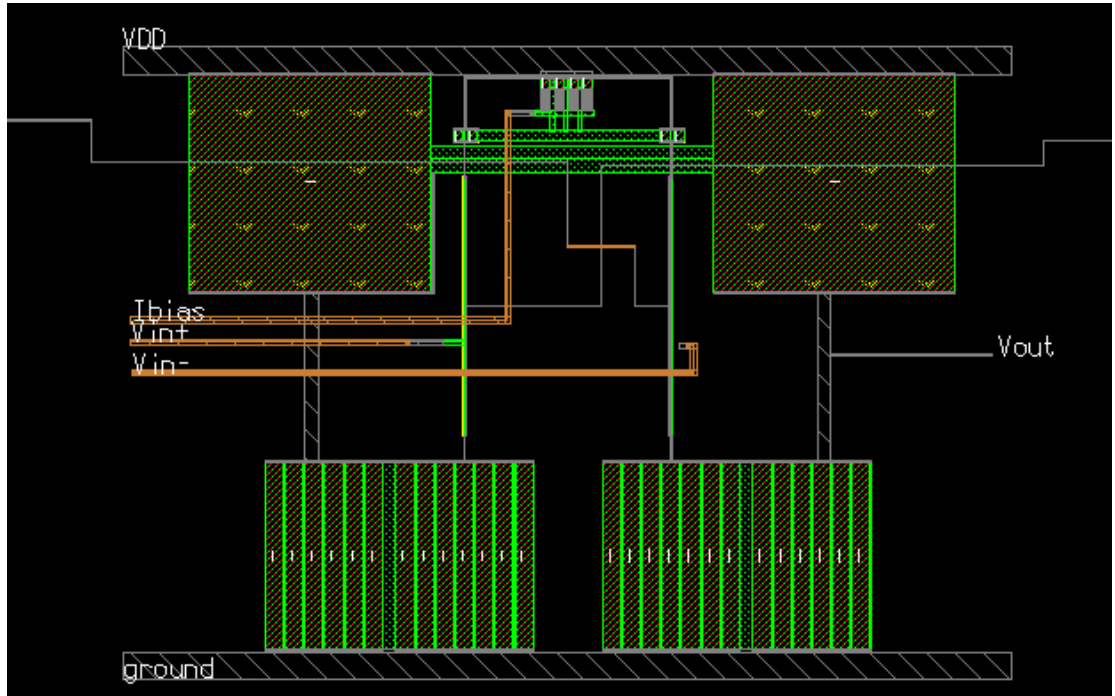
**Tabla 6.01** Nuevos tamaños de los transistores para el primer punto de estudio.

Parámetro	Valor <i>post-layout</i>	Valor <i>pre-layout</i>	Desviación
$W_1$	1 $\mu$ m	1 $\mu$ m	0%
$L_1$	200 $\mu$ m	200 $\mu$ m	0%
$W_2$	14 $\mu$ m	14 $\mu$ m	0%
$L_2$	145 $\mu$ m	168 $\mu$ m	-13,69%
$W_3$	7,5 $\mu$ m	7,5 $\mu$ m	0%
$L_3$	7,5 $\mu$ m	7,5 $\mu$ m	0%
$W_4$	187 $\mu$ m	187 $\mu$ m	0%
$L_4$	168 $\mu$ m	168 $\mu$ m	0%

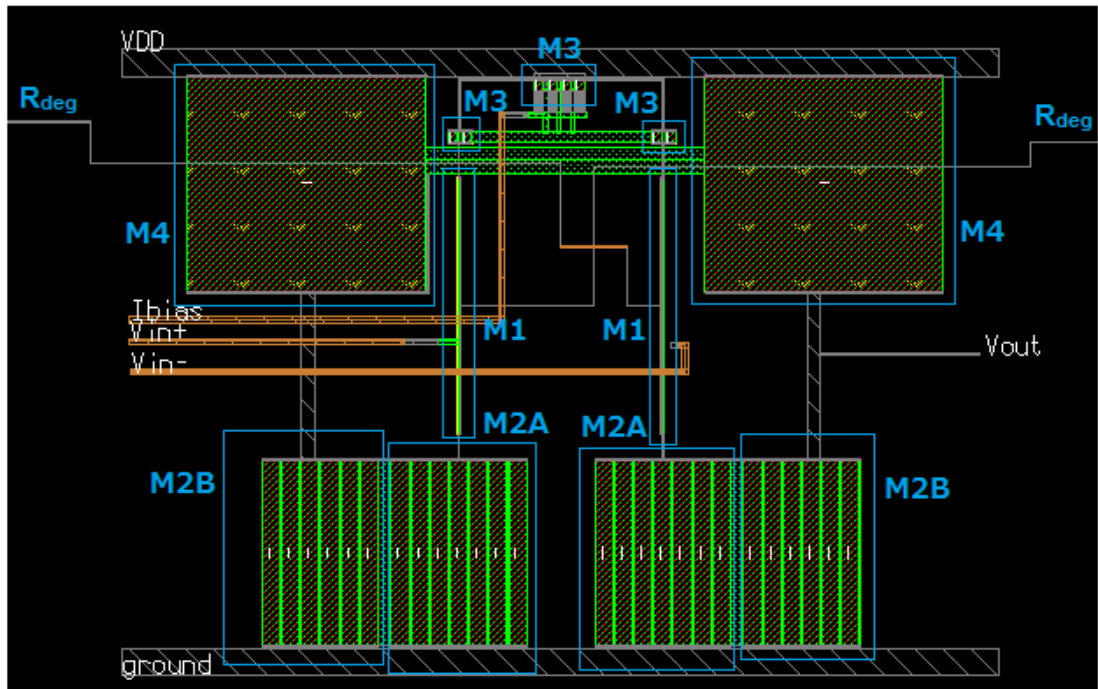


**Figura 6.01** Tamaño total del componente para el primer punto de estudio, en el orden de los milímetros. Se puede visualizar el gran tamaño de la resistencia  $R_{deg}$  respecto al resto del circuito.





**Figura 6.02** Estructura del componente para el primer punto de estudio, excluyendo la resistencia  $R_{deg}$ .



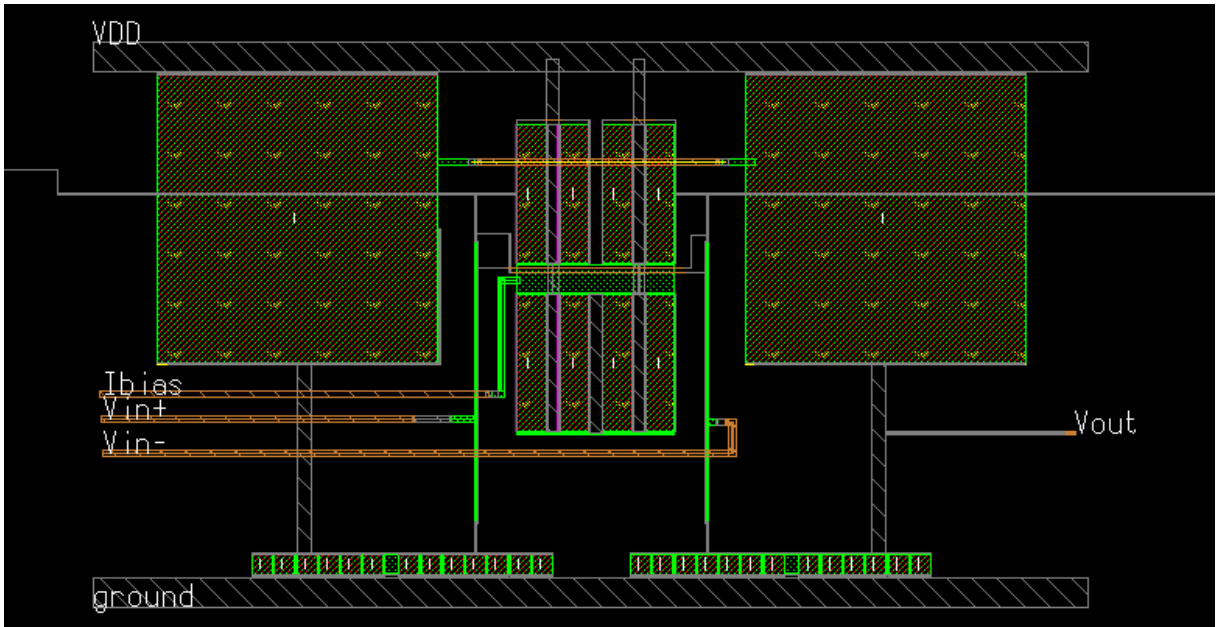
**Figura 6.03** Identificación de los distintos elementos del circuito de la figura 6.02.

**Tabla 6.02** Nuevos tamaños de los transistores para el segundo punto de estudio.

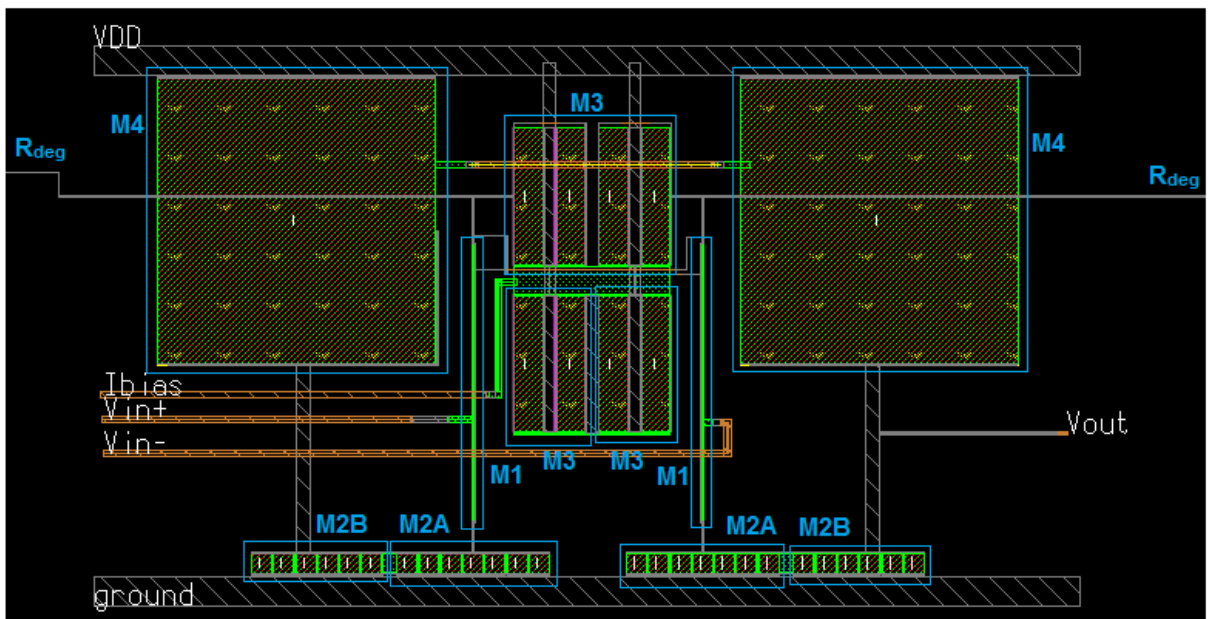
Parámetro	Valor <i>post-layout</i>	Valor <i>pre-layout</i>	Desviación
$W_1$	1 $\mu\text{m}$	1 $\mu\text{m}$	0%
$L_1$	194 $\mu\text{m}$	194 $\mu\text{m}$	0%
$W_2$	14 $\mu\text{m}$	14 $\mu\text{m}$	0%
$L_2$	14 $\mu\text{m}$	14 $\mu\text{m}$	0%
$W_3$	95,5 $\mu\text{m}$	104 $\mu\text{m}$	-8.17%
$L_3$	20 $\mu\text{m}$	20 $\mu\text{m}$	0%
$W_4$	194 $\mu\text{m}$	194 $\mu\text{m}$	0%
$L_4$	200 $\mu\text{m}$	200 $\mu\text{m}$	0%



**Figura 6.04** Tamaño total del componente para el segundo punto de estudio, en el orden de los milímetros. Se puede visualizar el gran tamaño de la resistencia  $R_{deg}$  respecto al resto del circuito.



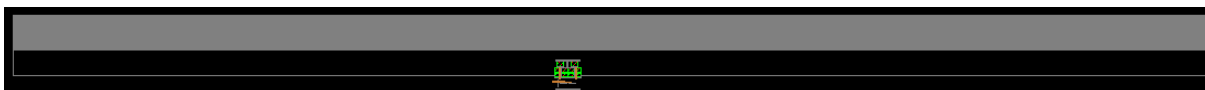
**Figura 6.05** Estructura del componente para el segundo punto de estudio, excluyendo la resistencia  $R_{deg}$ .



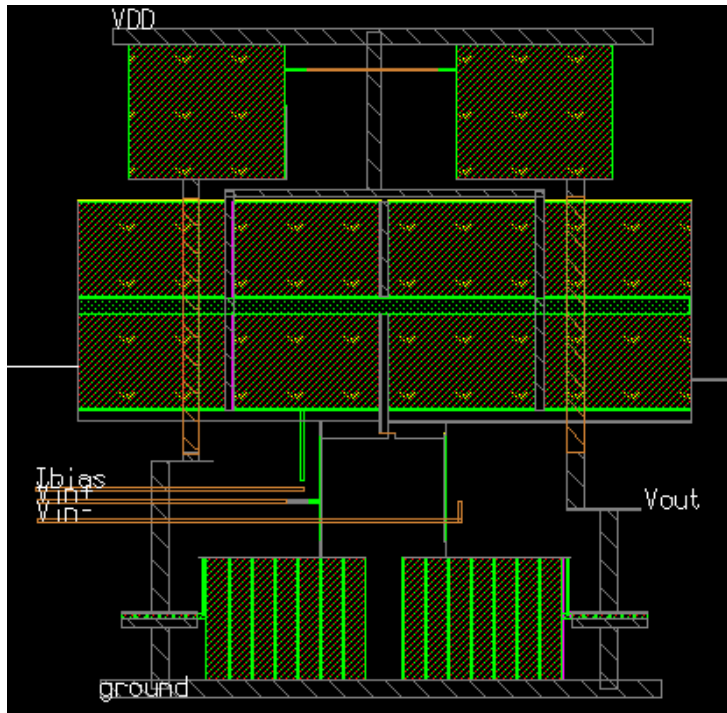
**Figura 6.06** Identificación de los distintos elementos del circuito de la figura 6.05.

**Tabla 6.03** Nuevos tamaños de los transistores para el tercer punto de estudio.

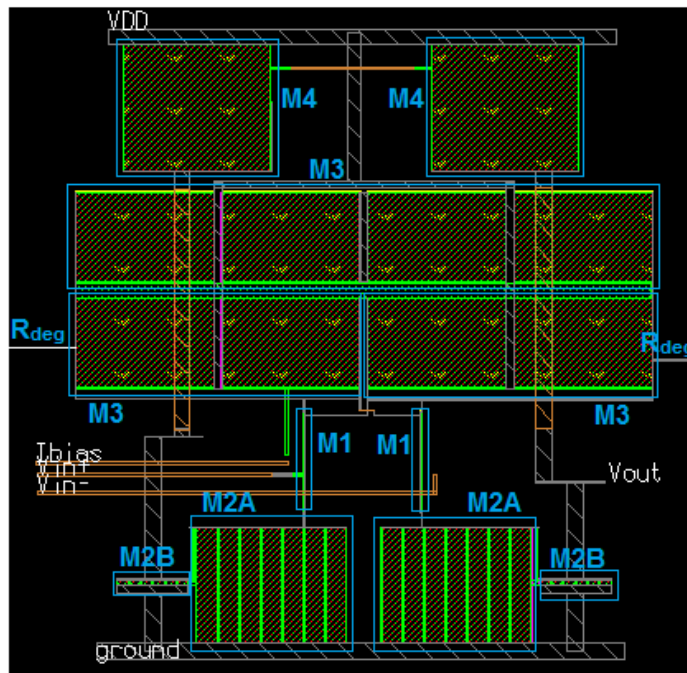
Parámetro	Valor <i>post-layout</i>	Valor <i>pre-layout</i>	Desviación
$W_1$	1 $\mu\text{m}$	1 $\mu\text{m}$	0%
$L_1$	136 $\mu\text{m}$	136 $\mu\text{m}$	0%
$W_{2A}$	27 $\mu\text{m}$	27 $\mu\text{m}$	0%
$L_{2A}$	156 $\mu\text{m}$	155 $\mu\text{m}$	+0,64%
$W_{2B}$	14 $\mu\text{m}$	14 $\mu\text{m}$	0%
$L_{2B}$	7 $\mu\text{m}$	7 $\mu\text{m}$	0%
$W_3$	123 $\mu\text{m}$	123 $\mu\text{m}$	0%
$L_3$	187 $\mu\text{m}$	187 $\mu\text{m}$	0%
$W_4$	200 $\mu\text{m}$	200 $\mu\text{m}$	0%
$L_4$	171 $\mu\text{m}$	168 $\mu\text{m}$	+1,78%



**Figura 6.07** Tamaño total del componente para el tercer punto de estudio, en el orden de los milímetros. Se puede visualizar el gran tamaño de la resistencia  $R_{deg}$  respecto al resto del circuito.



**Figura 6.08** Estructura del componente para el tercer punto de estudio, excluyendo la resistencia  $R_{deg}$ .



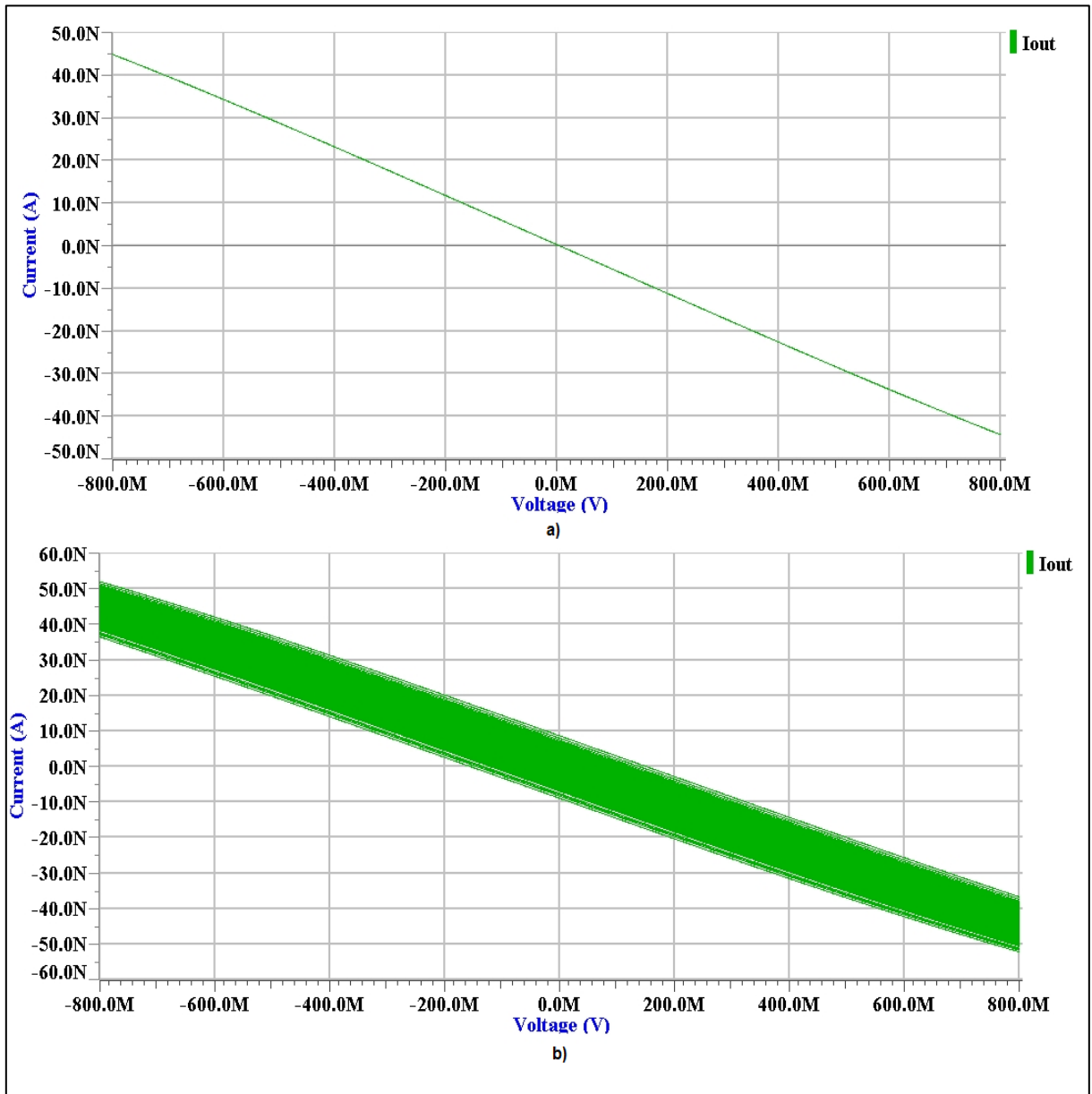
**Figura 6.09** Identificación de los distintos elementos del circuito de la figura 6.08.

Para cada uno de los puntos de estudio una vez elaborada la construcción de los *layout*, se realizó el flujo normal de simulación y para ello se realizaron: *Design Rule Check* (DRC), *Layout Vs Schematic* (LVS) y *Parasitic Extraction* (PEX). A partir de esto se obtuvo un modelo del diseño en Spice que incluye todos los elementos parásitos determinados en el PEX.

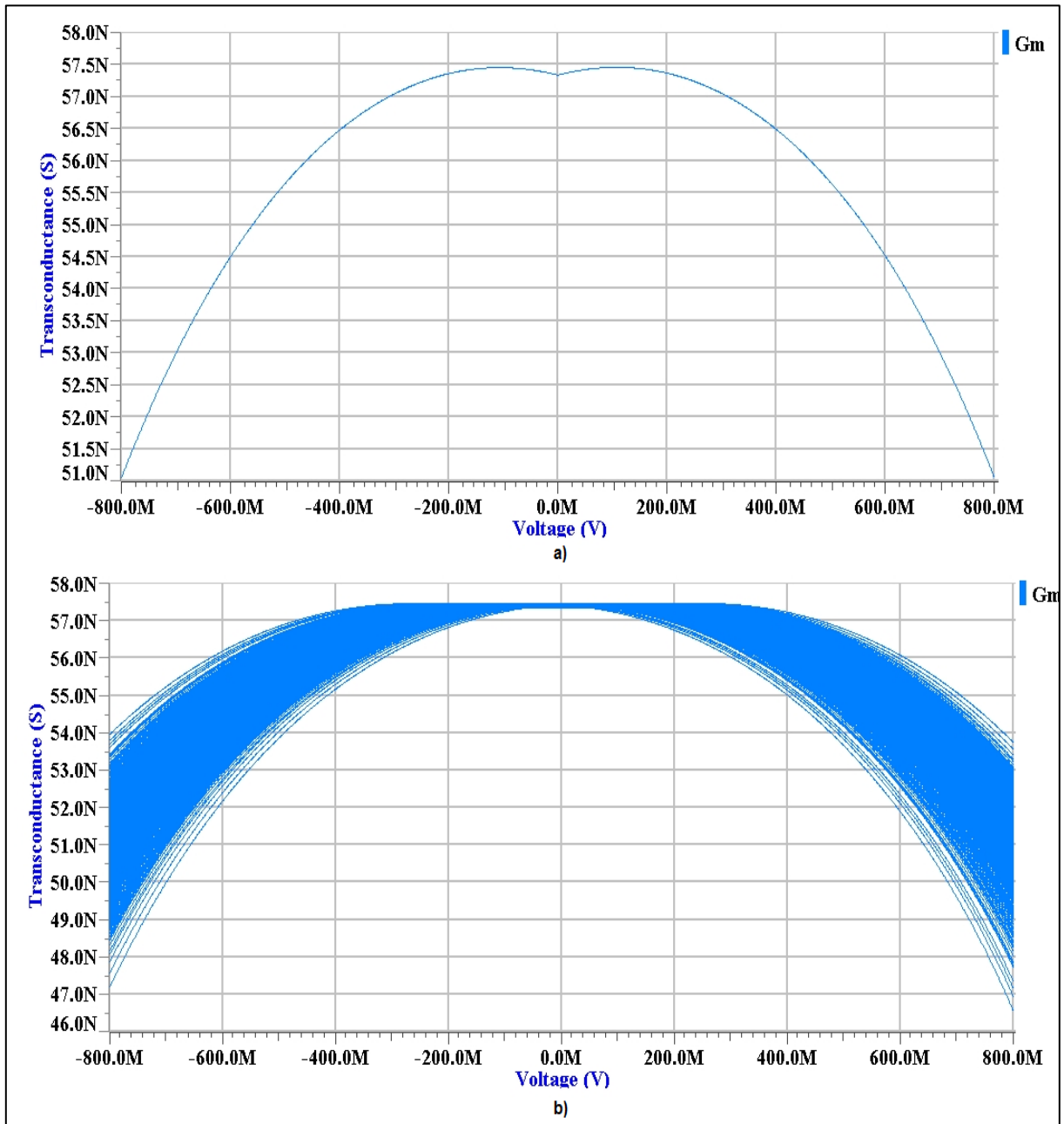
## **6.2 Resultados *pre-layout* para los nuevos tamaños**

El objetivo de esta sección es comparar los reproducir los resultados obtenidos en el Capítulo 5 para cada uno de los puntos de estudio, utilizando los nuevos tamaños ajustados en la sección anterior.

Los resultados obtenidos se presentan de la misma manera que se mostró en el Capítulo 5. Las figuras 6.10, 6.11, 6.12 y 6.13 muestran los resultados para el primer punto de estudio. Las figuras 6.14, 6.15, 6.16 y 6.17 muestran los resultados para el segundo punto de estudio. Las figuras 6.18, 6.19, 6.20 y 6.21 muestran los resultados para el tercer punto de estudio.

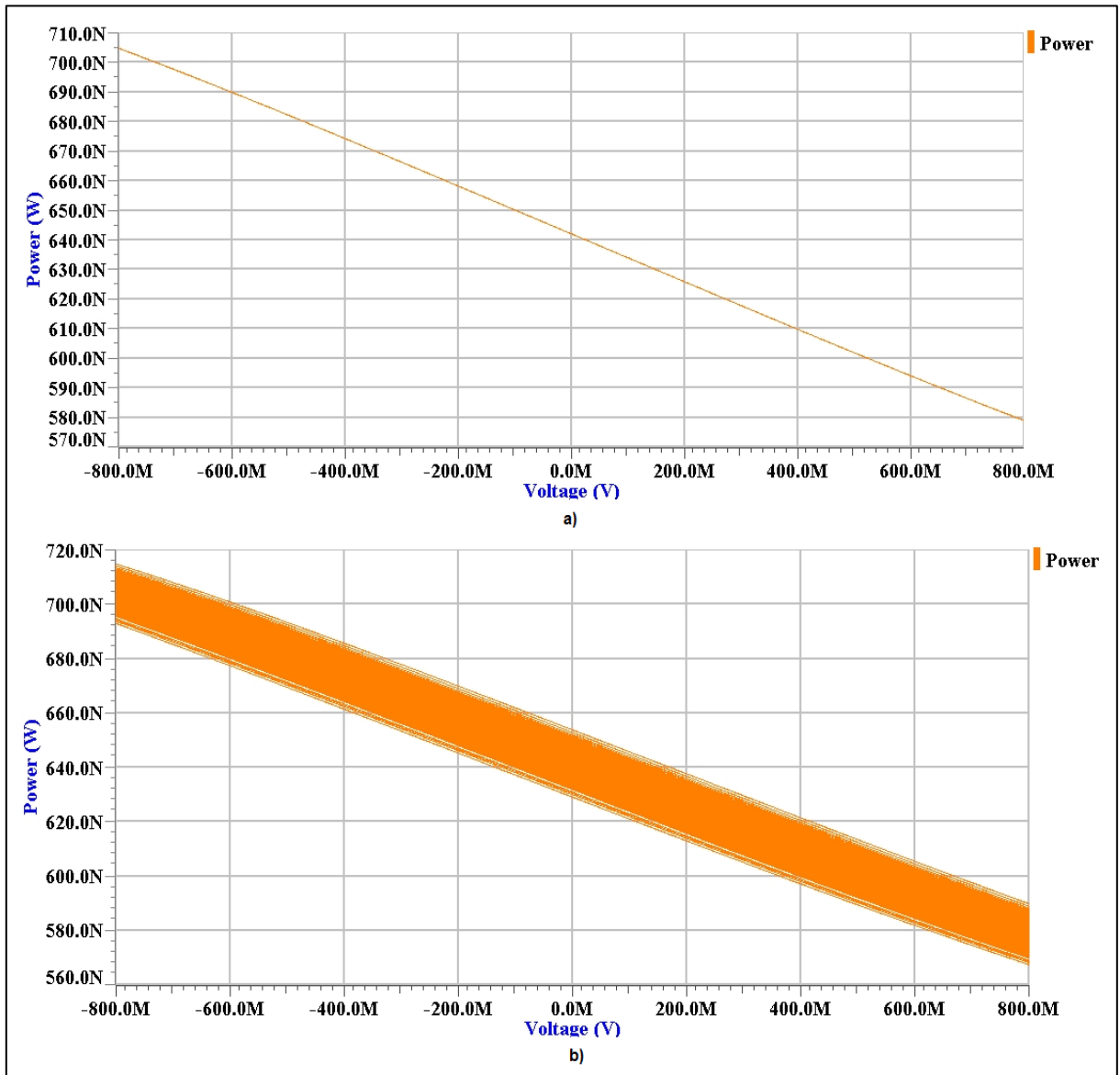


**Figura 6.10** Curva característica de la corriente de salida del OTA para el primer punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *pre-layout* con tamaños ajustados.

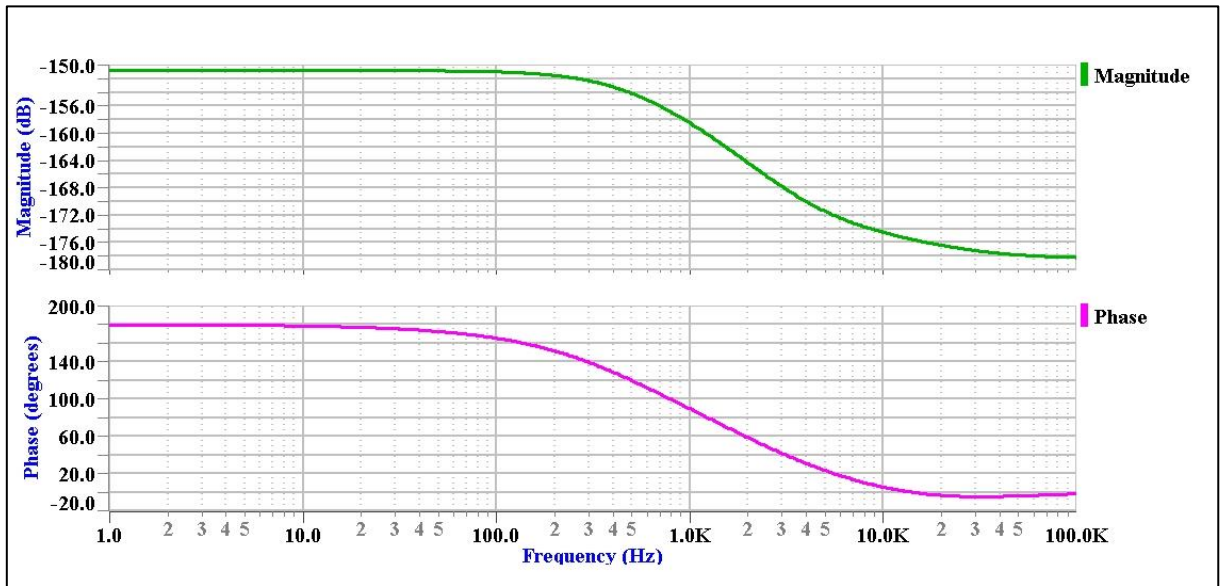


**Figura 6.11** Transconductancia del *OTA* con degeneración de cuerpo para el primer punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *pre-layout* con tamaños ajustados.

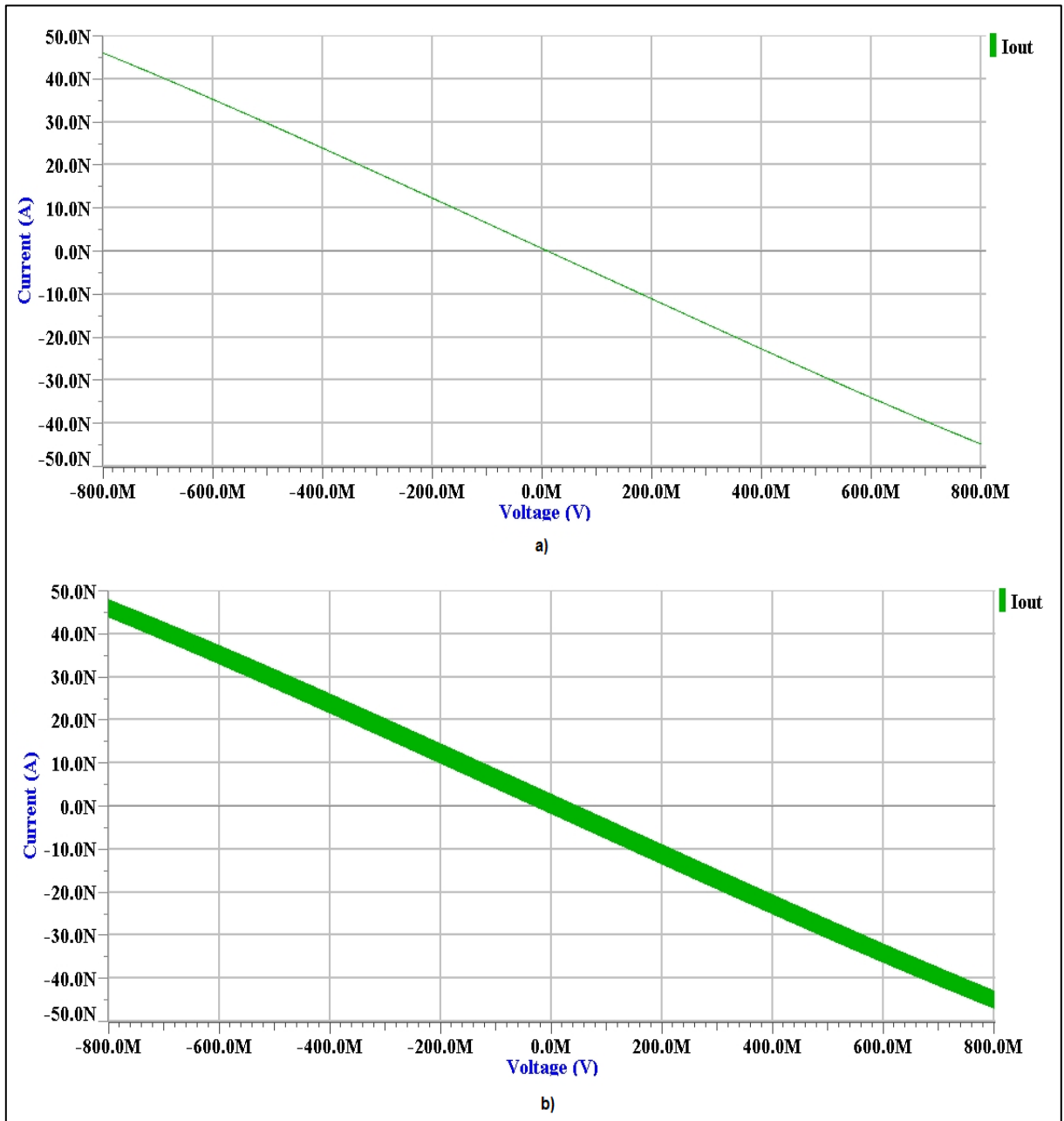




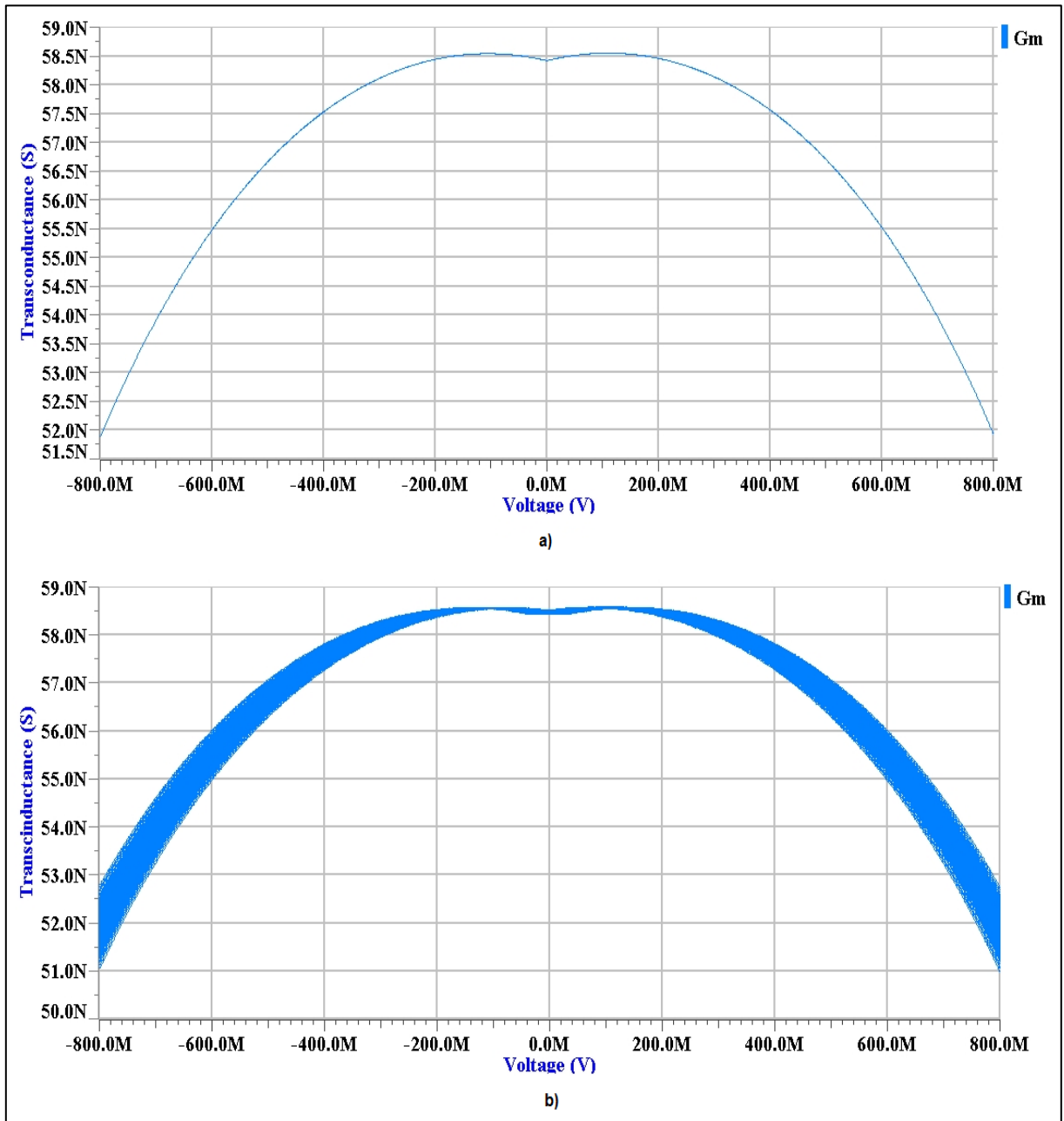
**Figura 6.12** Potencia consumida por el OTA con degeneración de cuerpo para el primer punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *pre-layout* con tamaños ajustados.



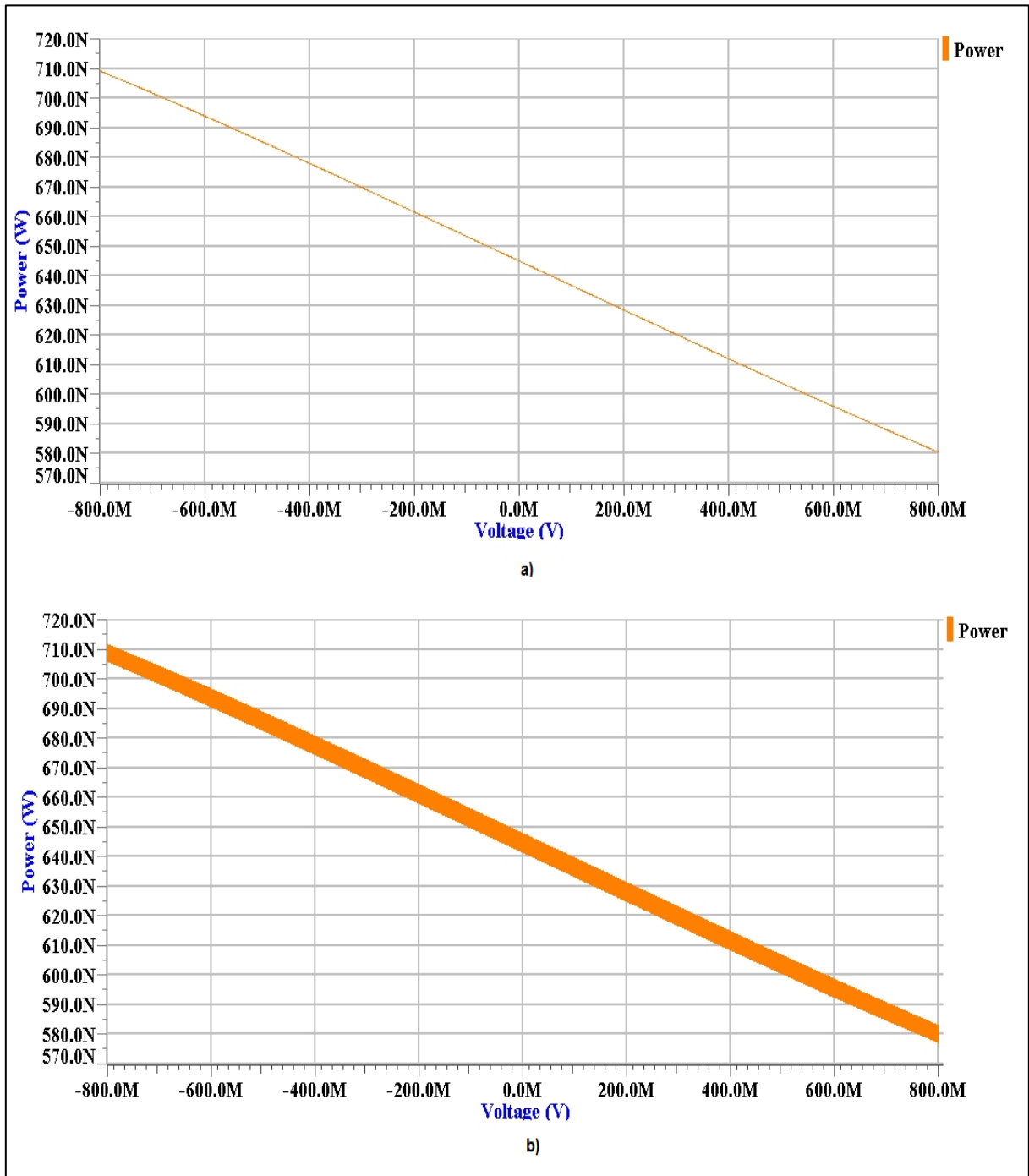
**Figura 6.13** Ancho de Banda del OTA con degeneración de cuerpo para el primer punto de estudio, incluyendo el efecto de la variabilidad. Resultados *pre-layout* con tamaños ajustados.



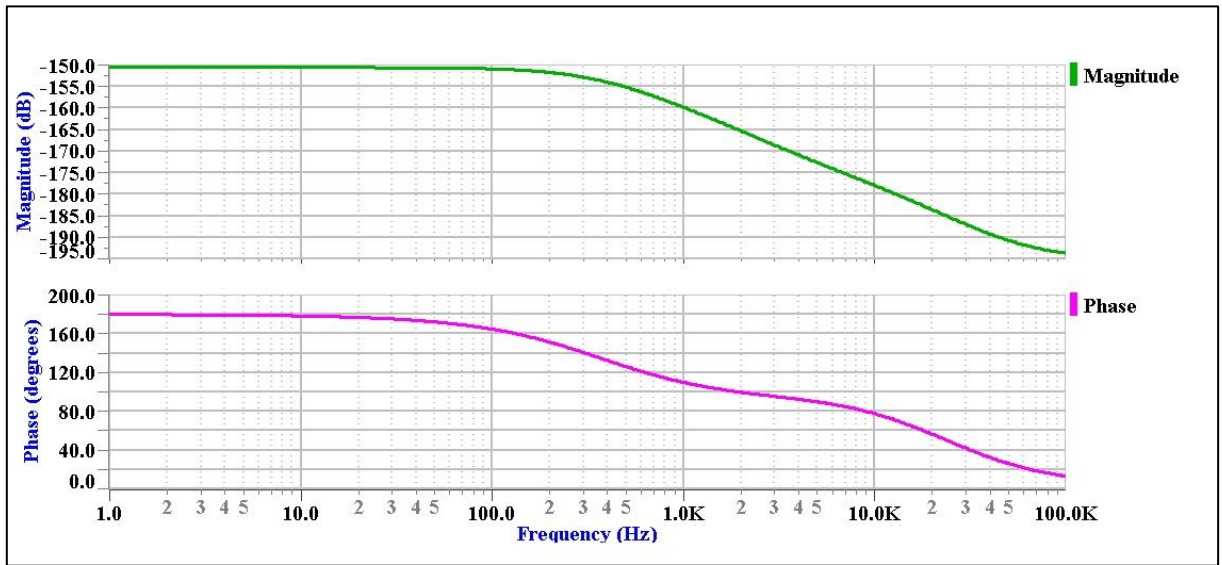
**Figura 6.14** Curva característica de la corriente de salida del OTA para el segundo punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *pre-layout* con tamaños ajustados.



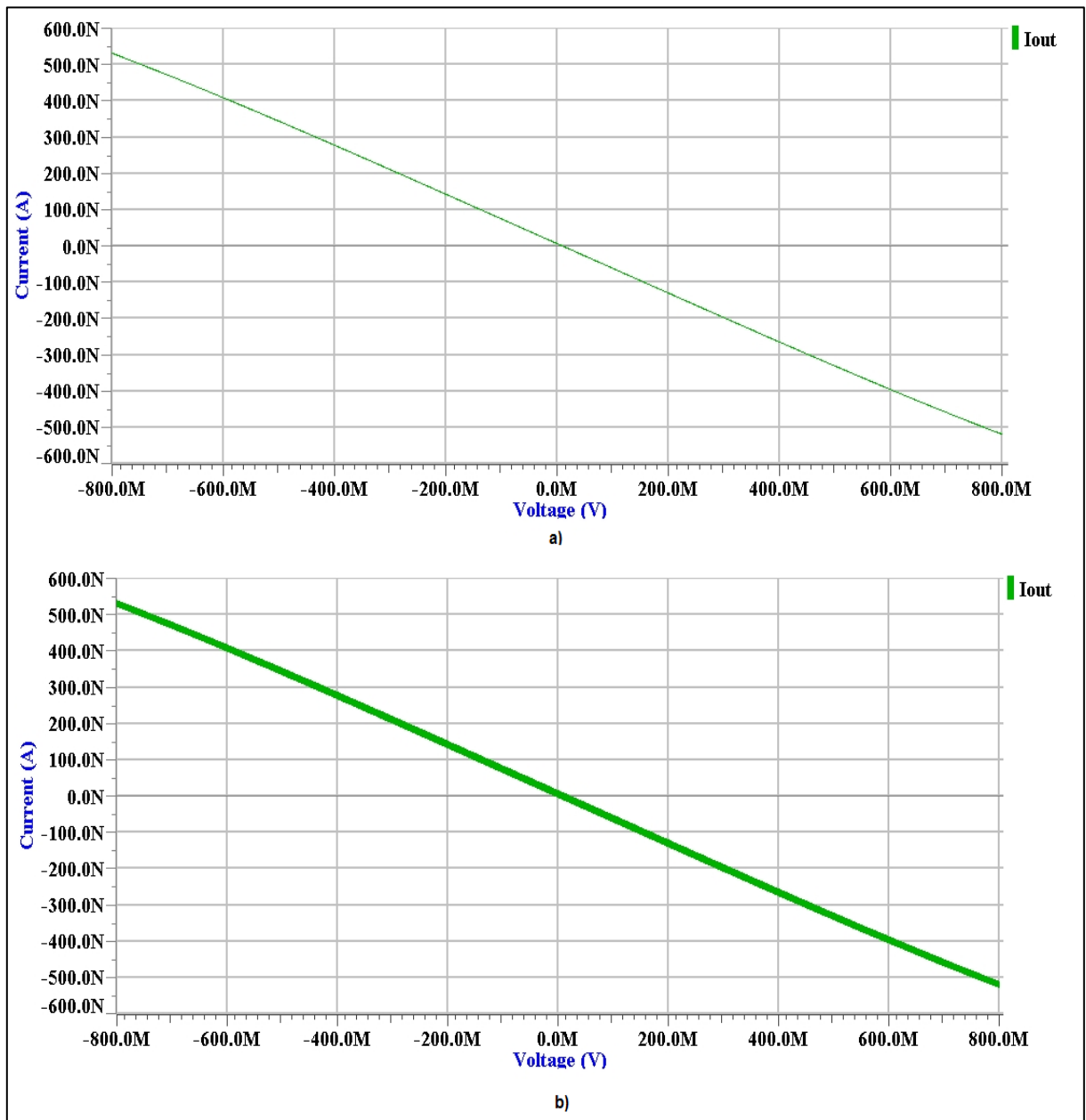
**Figura 6.15** Transconductancia del OTA con degeneración de cuerpo para el segundo punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *pre-layout* con tamaños ajustados.



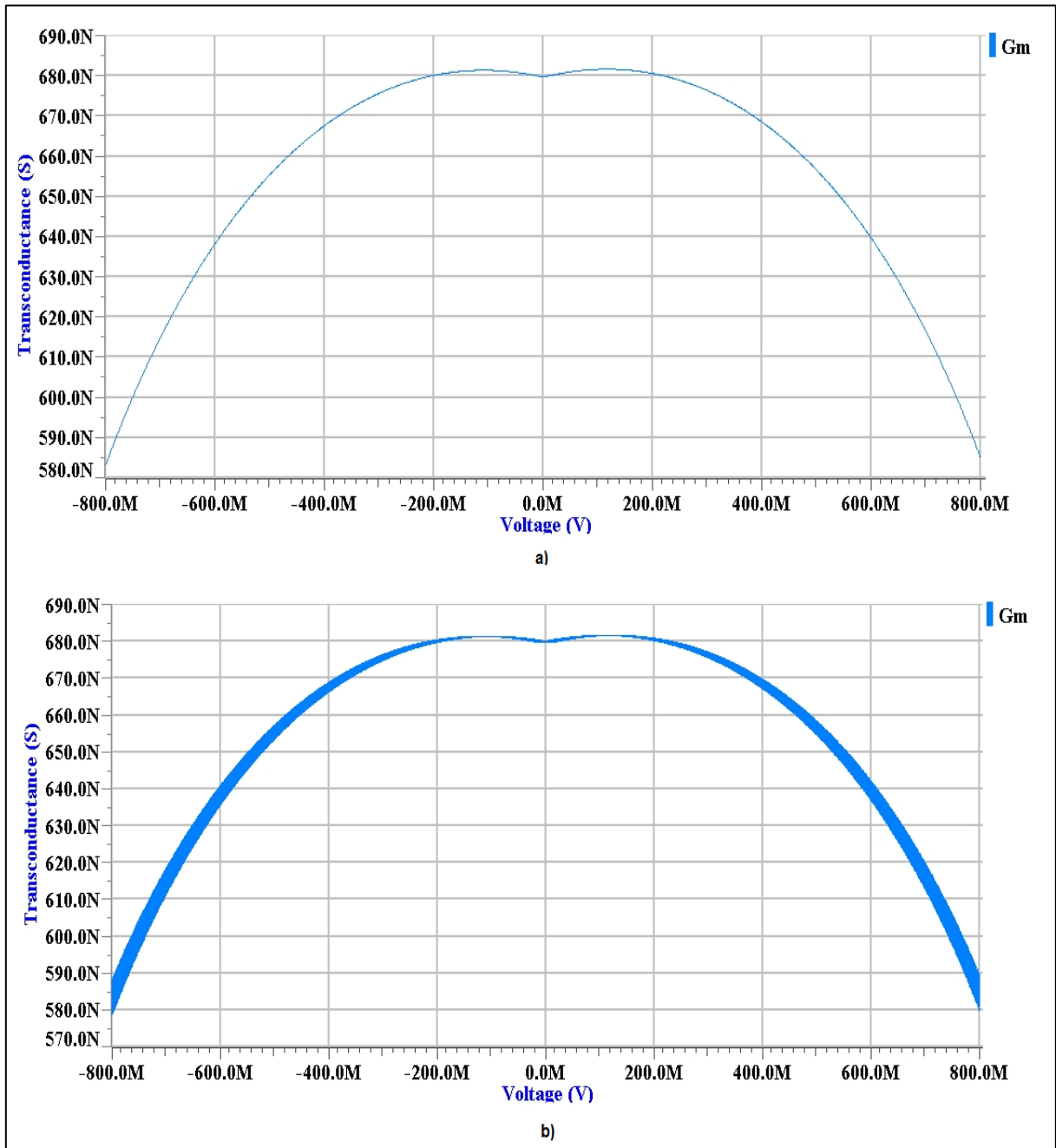
**Figura 6.16** Potencia consumida por el OTA con degeneración de cuerpo para el segundo punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *pre-layout* con tamaños ajustados.



**Figura 6.17** Ancho de Banda del OTA con degeneración de cuerpo para el segundo punto de estudio, incluyendo el efecto de la variabilidad. Resultados *pre-layout* con tamaños ajustados.

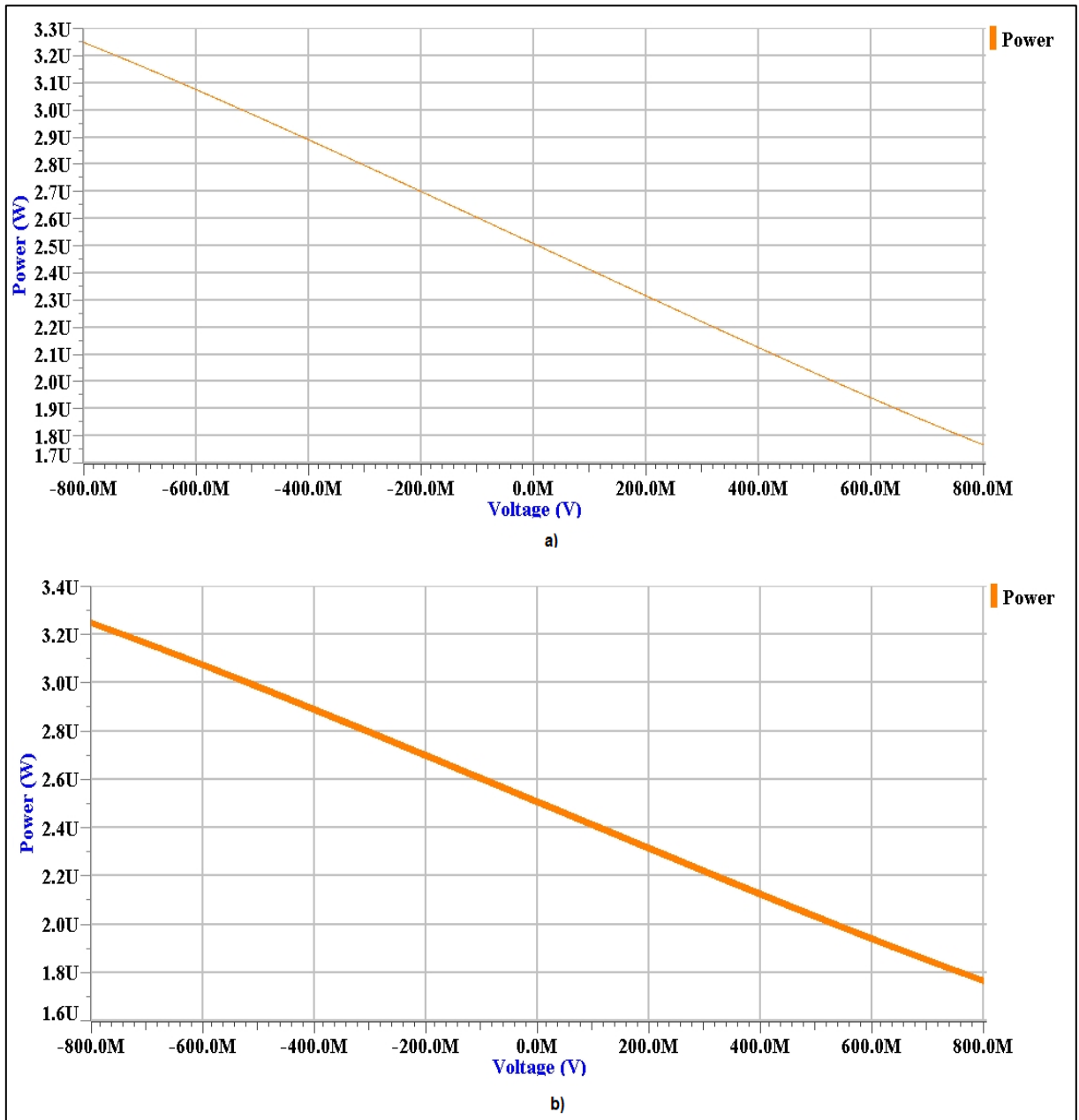


**Figura 6.18** Curva característica de la corriente de salida del OTA para el tercer punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *pre-layout* con tamaños ajustados.

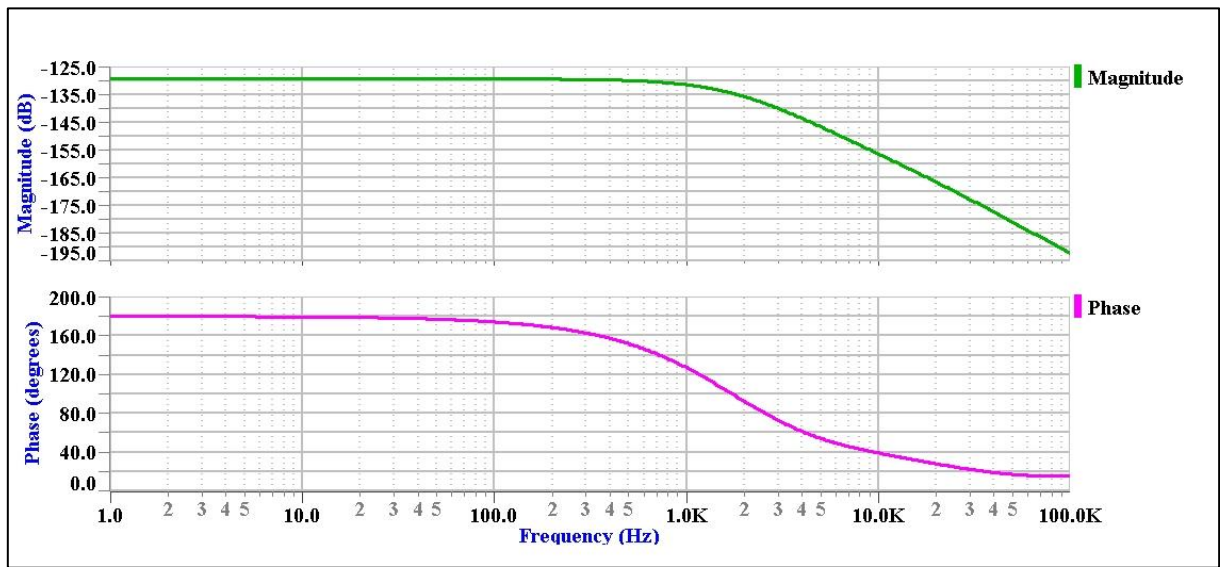


**Figura 6.19** Transconductancia del OTA con degeneración de cuerpo para el tercer punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *pre-layout* con tamaños ajustados.





**Figura 6.20** Potencia consumida por el OTA con degeneración de cuerpo para el tercer punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *pre-layout* con tamaños ajustados.



**Figura 6.21** Ancho de Banda del OTA con degeneración de cuerpo para el tercer punto de estudio, incluyendo el efecto de la variabilidad. Resultados *pre-layout* con tamaños ajustados.

A partir de estos resultados, se construyeron diversas tablas comparativas que resumen lo obtenido durante todo el proceso de simulación donde se utilizaron los nuevos tamaños. Las tablas 6.04, 6.05 y 6.06 son tablas que listan los nuevos resultados obtenidos en las simulaciones *pre-layout* para cada uno de los puntos de estudio. Las tablas 6.07, 6.08 y 6.09 son tablas que comparan los resultados nominales de los parámetros de aptitud obtenidos durante las simulaciones *pre-layout* del Capítulo 5 y los resultados *pre-layout* con los nuevos tamaños, igual para cada punto de estudio. Finalmente, las tablas 6.10, 6.11 y 6.12 son tablas que comparan las desviaciones estándar de los distintos parámetros analizados.

**Tabla 6.04** Resultados obtenidos durante la nueva simulación *pre-layout* para los distintos parámetros estudiados del primer punto de estudio.

	<b>1er Punto de Estudio</b>		
<b>Parámetro</b>	<b>Valor Nominal</b>	<b>Variabilidad (<math>\sigma</math>)</b>	<b>Desviación</b>
<i>Potencia</i>	643,05nW	~26nW	4,04%
$G_m$	57,30nS	~3,7nS	6,46%
<i>Rango Lineal</i>	1,19V	~180mV	15,12%
<i>Ancho de Banda</i>	346Hz	~0Hz	0%

**Tabla 6.05** Resultados obtenidos durante la nueva simulación *pre-layout* para los distintos parámetros estudiados del segundo punto de estudio.

	<b>2do Punto de Estudio</b>		
<b>Parámetro</b>	<b>Valor Nominal</b>	<b>Variabilidad (<math>\sigma</math>)</b>	<b>Desviación</b>
<i>Potencia</i>	646,6nW	~8nW	1,23%
$G_m$	58,3nS	~1,1nS	1,88%
<i>Rango Lineal</i>	1,15V	~90mV	7,83%
<i>Ancho de Banda</i>	405Hz	~0Hz	0%

**Tabla 6.06** Resultados obtenidos durante la nueva simulación *pre-layout* para los distintos parámetros estudiados del tercer punto de estudio.

	<b>3er Punto de Estudio</b>		
<b>Parámetro</b>	<b>Valor Nominal</b>	<b>Variabilidad (<math>\sigma</math>)</b>	<b>Desviación</b>
<i>Potencia</i>	2,51 $\mu$ W	~40nW	1,59%
$G_m$	680,02nS	~5nS	0,74%
<i>Rango Lineal</i>	1,11V	~36mV	3,24%
<i>Ancho de Banda</i>	1,05kHz	~0Hz	0%

**Tabla 6.07** Comparación de los parámetros de aptitud obtenidos durante las simulaciones *pre-layout* para el primer punto de estudio.

Parámetro	1er Punto de Estudio		
	Viejo Pre-layout	Nuevo Pre-layout	Desviación
$\sigma_{Offset}$	45,7mV	47,2mV	+3,28%
Potencia	644,76nW	643,05nW	-0,27%
$G_m$	57,35nS	57,30nS	-0,09%
Rango Lineal	1,2V	1,19V	-0,83%
Ancho de Banda	1,05kHz	346Hz	-67,04%

**Tabla 6.08** Comparación de los parámetros de aptitud obtenidos durante las simulaciones *pre-layout*, para el segundo punto de estudio.

Parámetro	2do Punto de Estudio		
	Viejo Pre-layout	Nuevo Pre-layout	Desviación
$\sigma_{Offset}$	11,38mV	11,64mV	+2,28%
Potencia	649,4nW	646,6nW	-0,43%
$G_m$	58,4nS	58,3nS	-0,17%
Rango Lineal	1,16V	1,15V	-0,86%
Ancho de Banda	10,04kHz	405Hz	-59,66%

**Tabla 6.09** Comparación de los parámetros de aptitud obtenidos durante las simulaciones *pre-layout*, para el tercer punto de estudio.

Parámetro	3er Punto de Estudio		
	Viejo Pre-layout	Nuevo Pre-layout	Desviación
$\sigma_{Offset}$	3,99mV	4,07mV	+2%
Potencia	2,49 $\mu$ W	2,51 $\mu$ W	+0.80%
$G_m$	674,12nS	680,02nS	+0.88%
Rango Lineal	1,12V	1,11V	-0.89%
Ancho de Banda	994Hz	1,05kHz	+5.63%

**Tabla 6.10** Comparación de las desviaciones estándar obtenidas debido a la variabilidad del *offset* en las simulaciones *pre-layout*, para el primer punto de estudio.

	<b>1er Punto de Estudio</b>		
<b>Parámetro</b>	<b>Viejo Pre-layout</b>	<b>Nuevo Pre-layout</b>	<b>Desviación</b>
$\sigma_{Potencia}$	~16,1nW	~26nW	+61,49%
$\sigma_{Gm}$	~3,1nS	~3,7nS	+19,35%
$\sigma_{Rango\ Lineal}$	~120mV	~180mV	+50%
$\sigma_{Ancho\ de\ Banda}$	~0Hz	~0Hz	0%

**Tabla 6.11** Comparación de las desviaciones estándar obtenidas debido a la variabilidad del *offset* en las simulaciones *pre-layout*, para el primer punto de estudio.

	<b>2do Punto de Estudio</b>		
<b>Parámetro</b>	<b>Viejo Pre-layout</b>	<b>Nuevo Pre-layout</b>	<b>Desviación</b>
$\sigma_{Potencia}$	~3nW	~8nW	+166,66%
$\sigma_{Gm}$	~0,85nS	~1,1nS	+29,41%
$\sigma_{Rango\ Lineal}$	~40mV	~90mV	+125%
$\sigma_{Ancho\ de\ Banda}$	~0Hz	~0Hz	0%

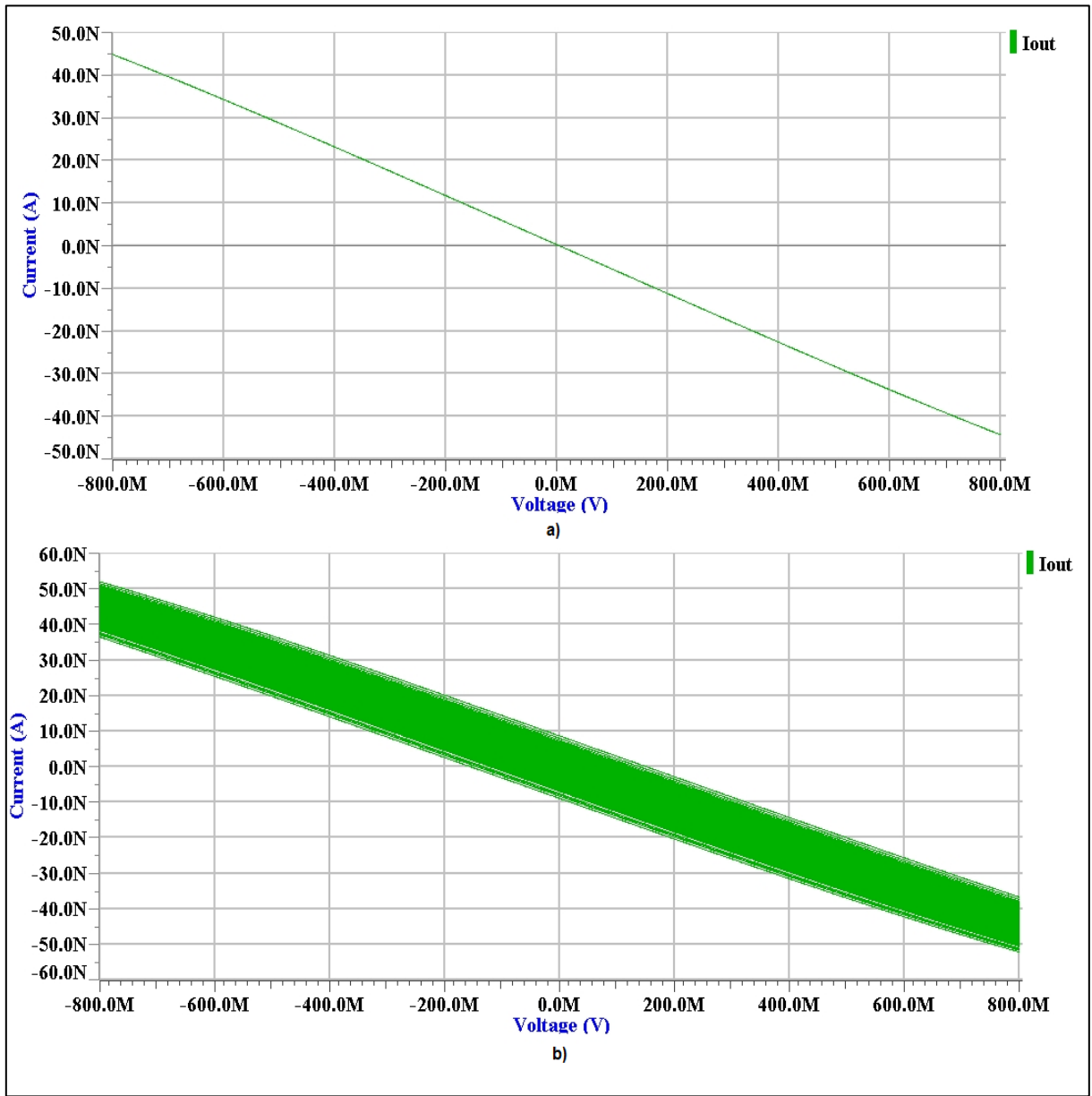
**Tabla 6.12** Comparación de las desviaciones estándar obtenidas debido a la variabilidad del *offset* en las simulaciones *pre-layout*, para el primer punto de estudio.

	<b>3er Punto de Estudio</b>		
<b>Parámetro</b>	<b>Viejo Pre-layout</b>	<b>Nuevo Pre-layout</b>	<b>Desviación</b>
$\sigma_{Potencia}$	~20,3nW	~40nW	+97,04%
$\sigma_{Gm}$	~2,48nS	~5nS	+101,61%
$\sigma_{Rango\ Lineal}$	~10,8mV	~36mV	+233,33%
$\sigma_{Ancho\ de\ Banda}$	~0Hz	~0Hz	0%

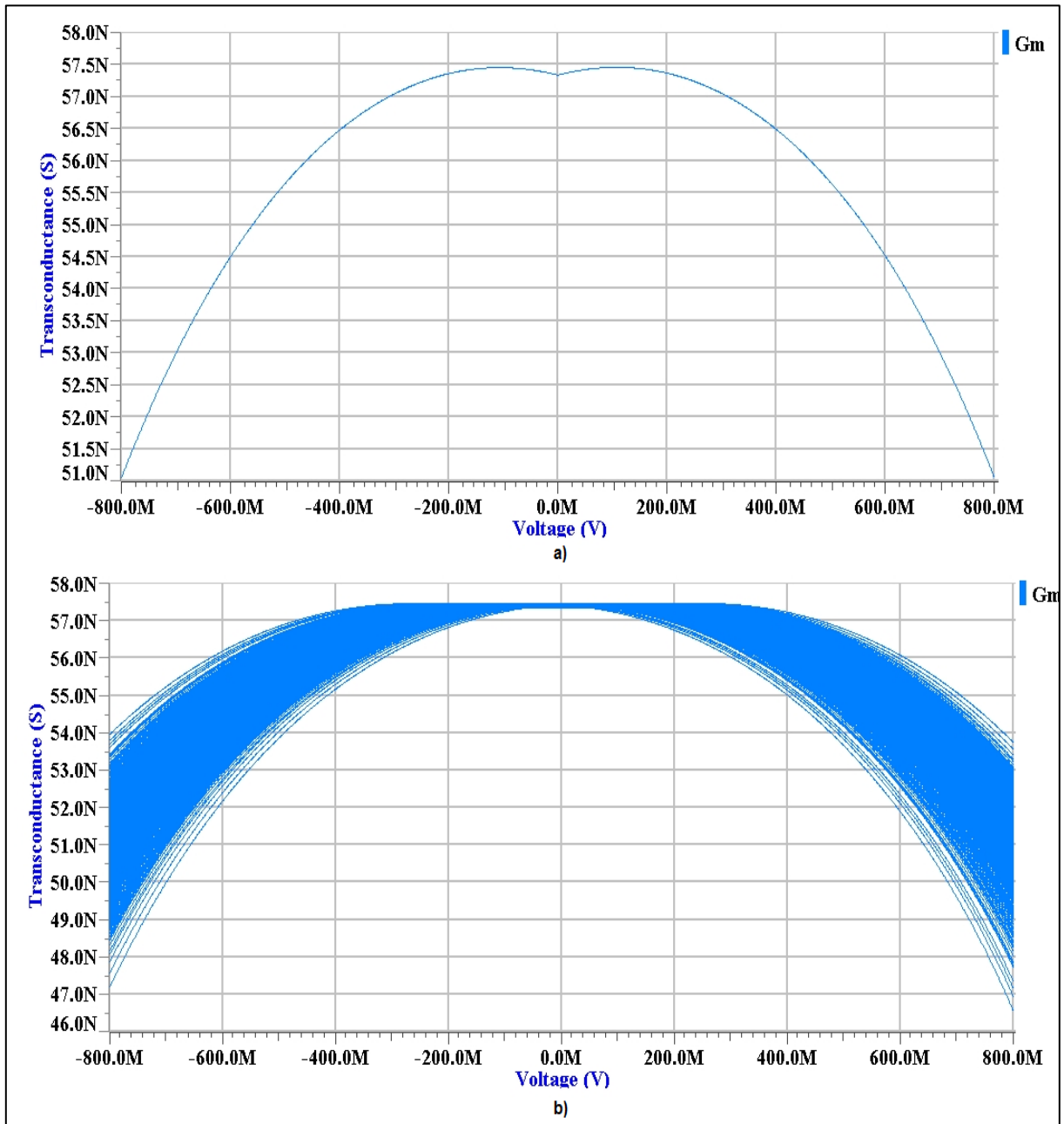
### **6.3 Resultados *post-layout***

El objetivo de esta sección es comparar los resultados *pre-layout* mostrados en la sección anterior contra los resultados *post-layout* obtenidos. De esta forma se podrá determinar la validez de los resultados obtenidos por el modelo matemático para la variabilidad usando la herramienta de optimización. Los resultados de esta sección reflejan los efectos del ajuste de los tamaños de los transistores, por las razones ya mencionadas en la sección anterior, y la extracción y adición de los elementos parásitos obtenidos durante el *Parasitic Extraction* (PEX) a la simulación.

Los resultados obtenidos se presentan de la misma manera que se han mostrado hasta ahora, de esta forma es más sencillo visualizar, comparar y analizar posteriormente los resultados *pre-layout* y *post-layout*. Las figuras 6.22, 6.23, 6.24 y 6.25 muestran los resultados *post-layout* para el primer punto de estudio. Las figuras 6.26, 6.27, 6.28 y 6.29 muestran los resultados *post-layout* para el segundo punto de estudio. Las figuras 6.30, 6.31, 6.32 y 6.33 muestran los resultados *post-layout* para el tercer punto de estudio.

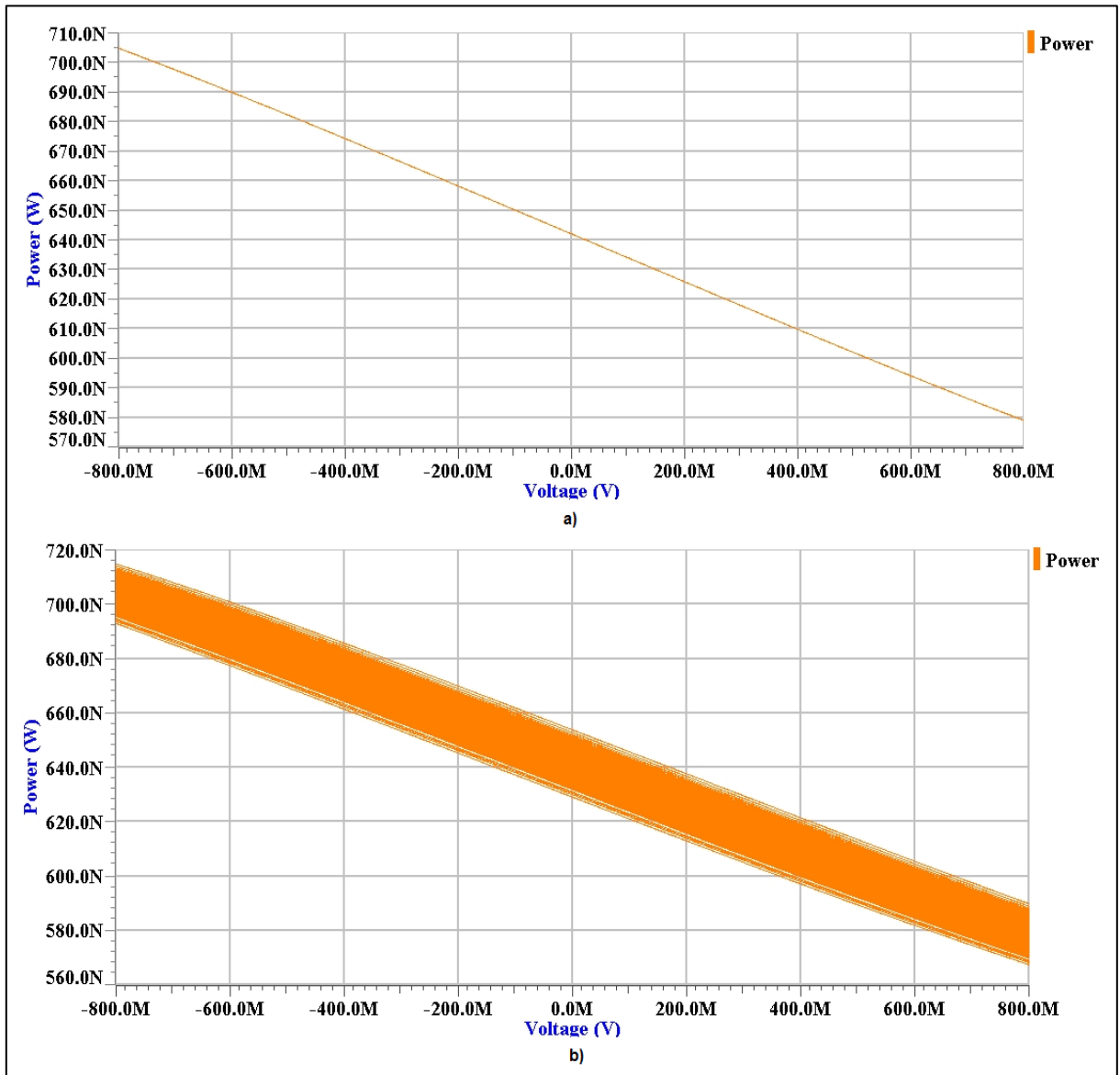


**Figura 6.22** Curva característica de la corriente de salida del *OTA* para el primer punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *post-layout*.

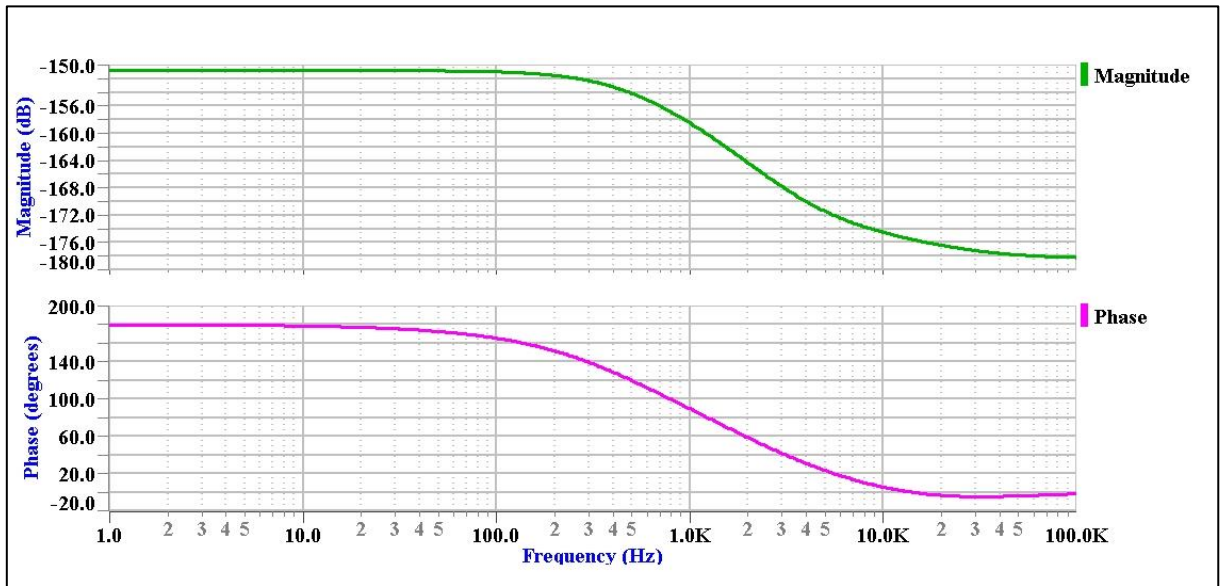


**Figura 6.23** Transconductancia del OTA con degeneración de cuerpo para el primer punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *post-layout*.

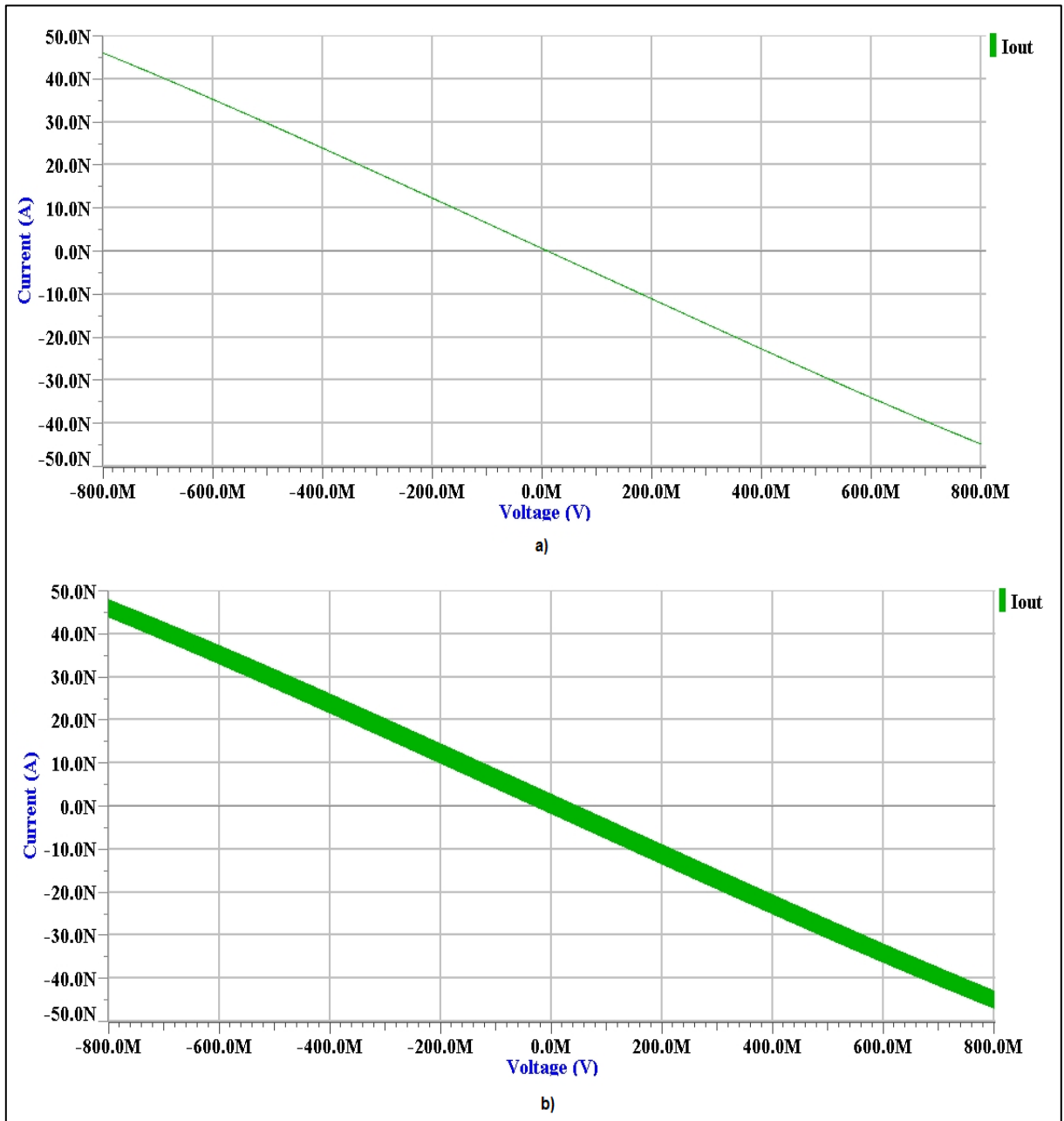




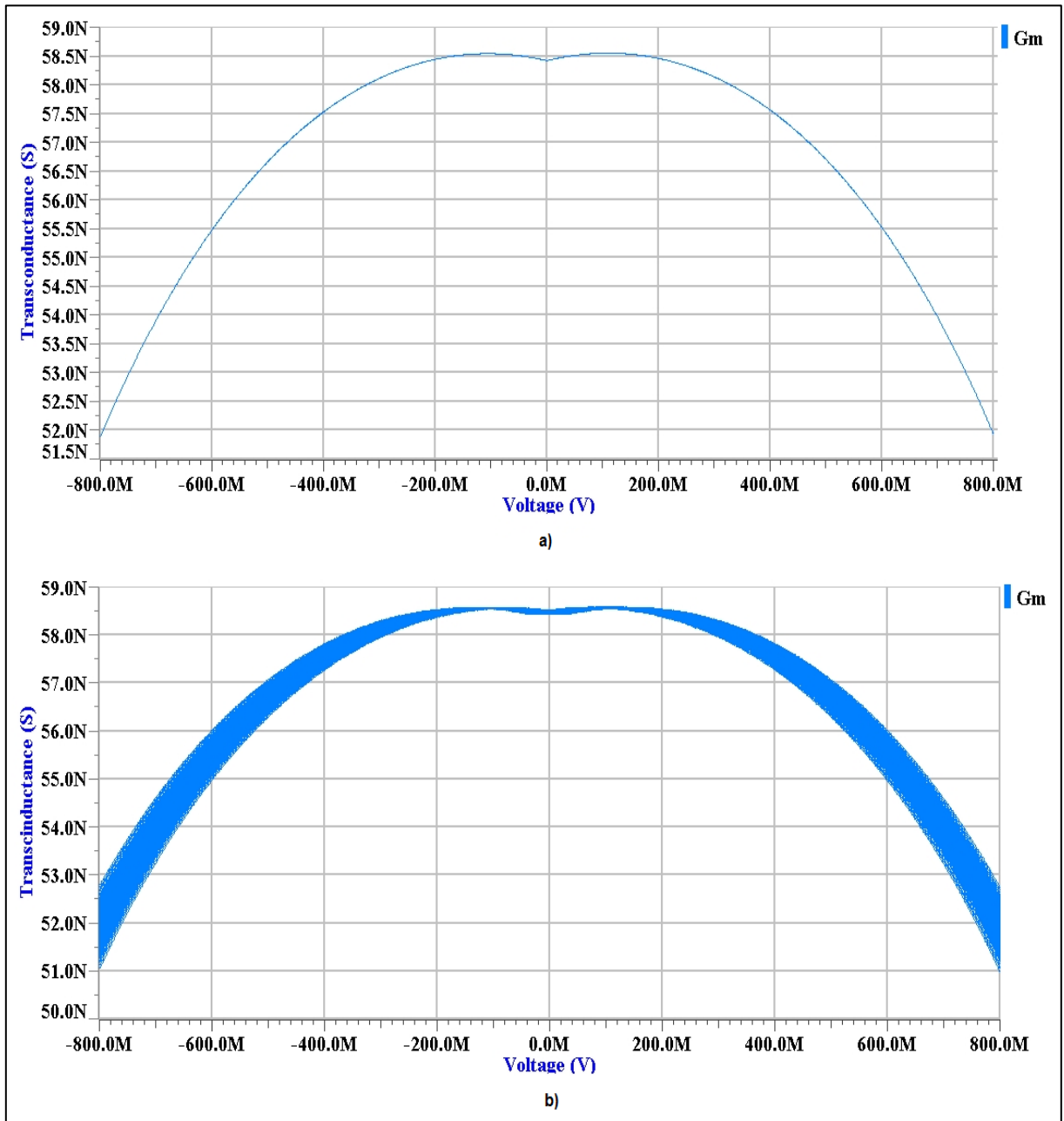
**Figura 6.24** Potencia consumida por el OTA con degeneración de cuerpo para el primer punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *post-layout*.



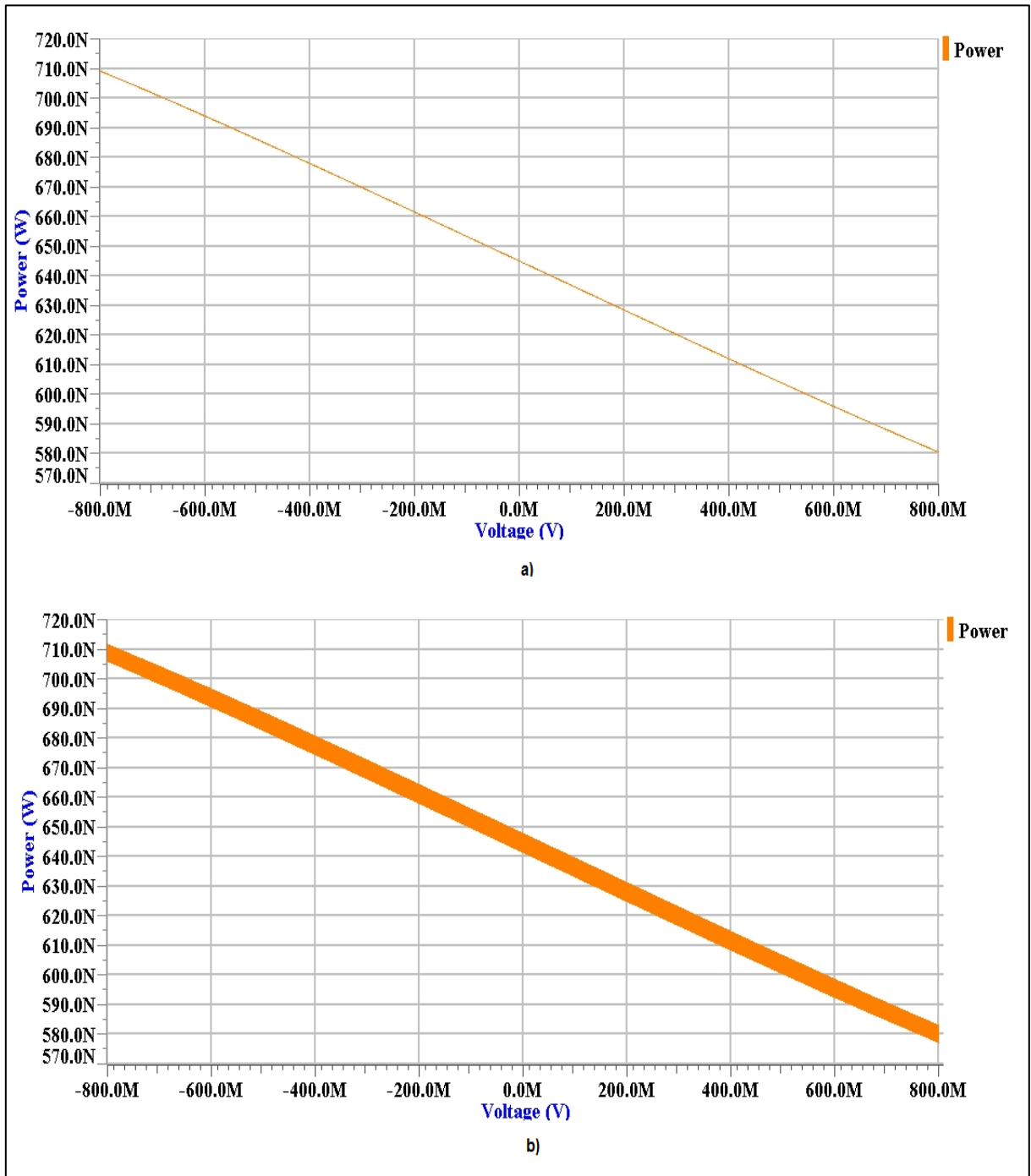
**Figura 6.25** Ancho de Banda del OTA con degeneración de cuerpo para el primer punto de estudio, incluyendo el efecto de la variabilidad. Resultados *post-layout*.



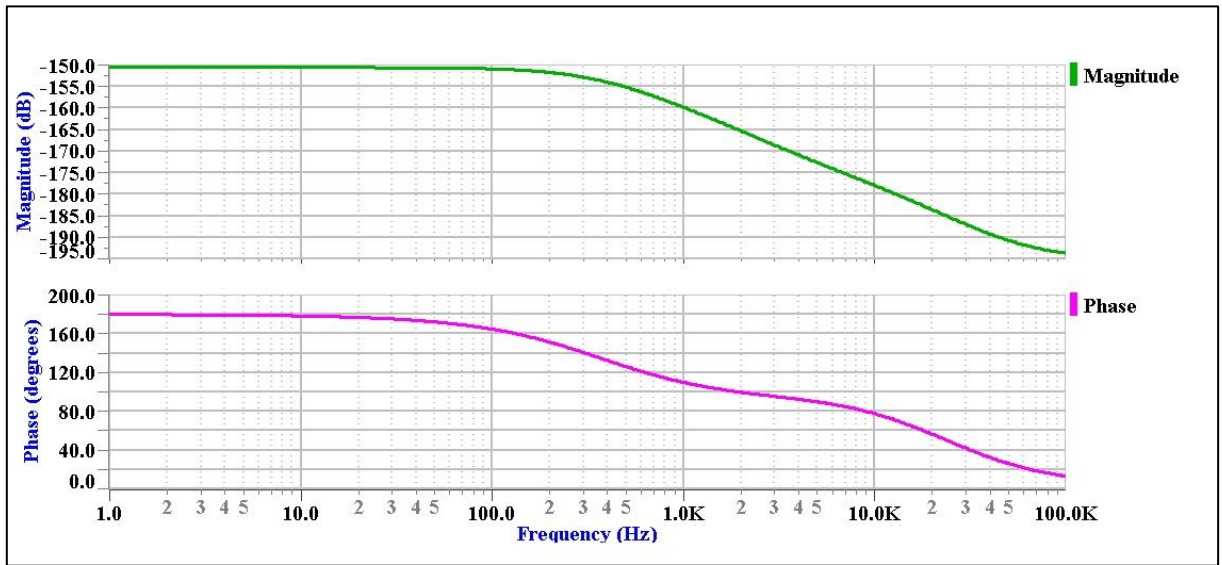
**Figura 6.26** Curva característica de la corriente de salida del OTA para el segundo punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *post-layout*.



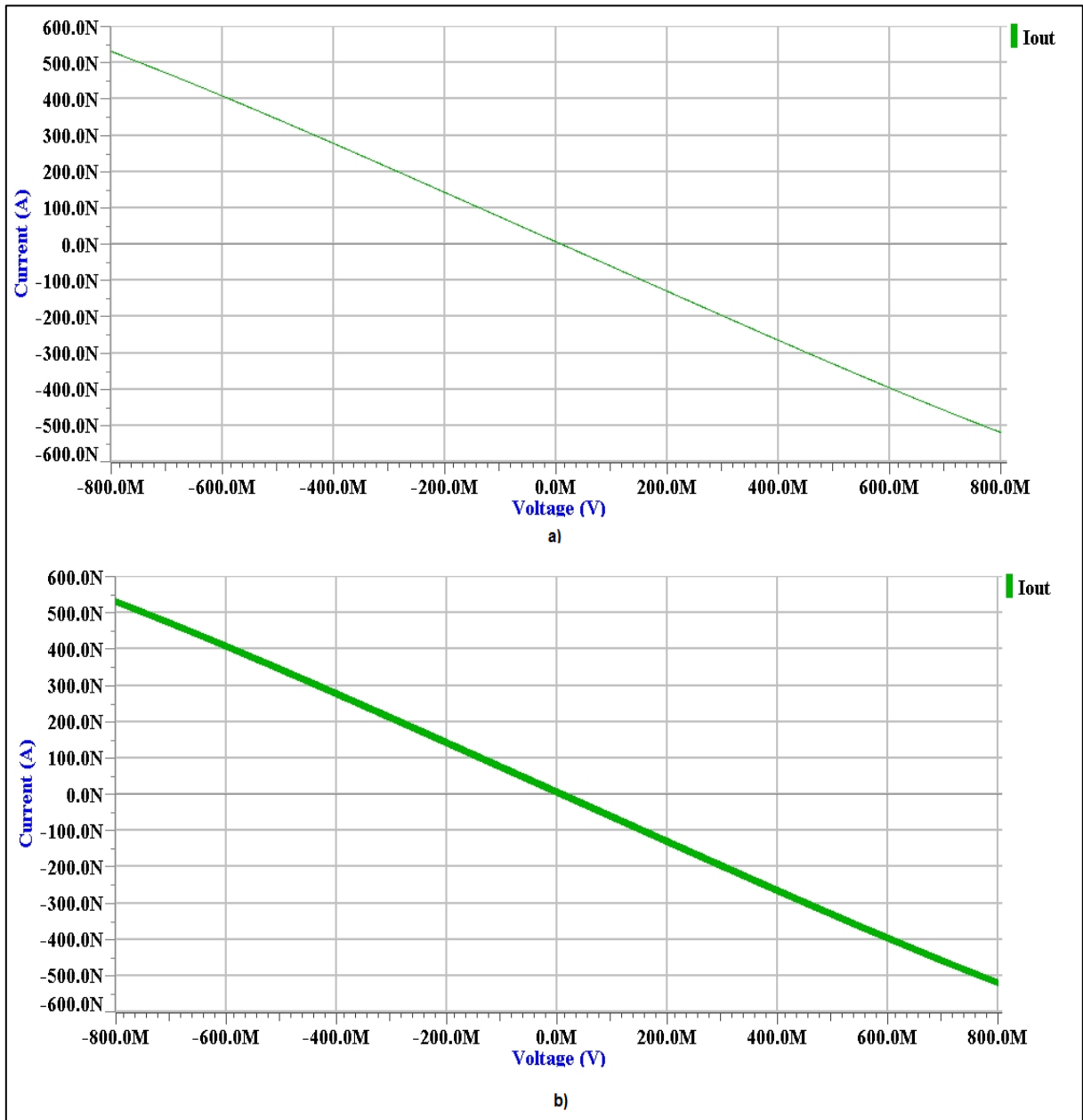
**Figura 6.27** Transconductancia del OTA con degeneración de cuerpo para el segundo punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *post-layout*.



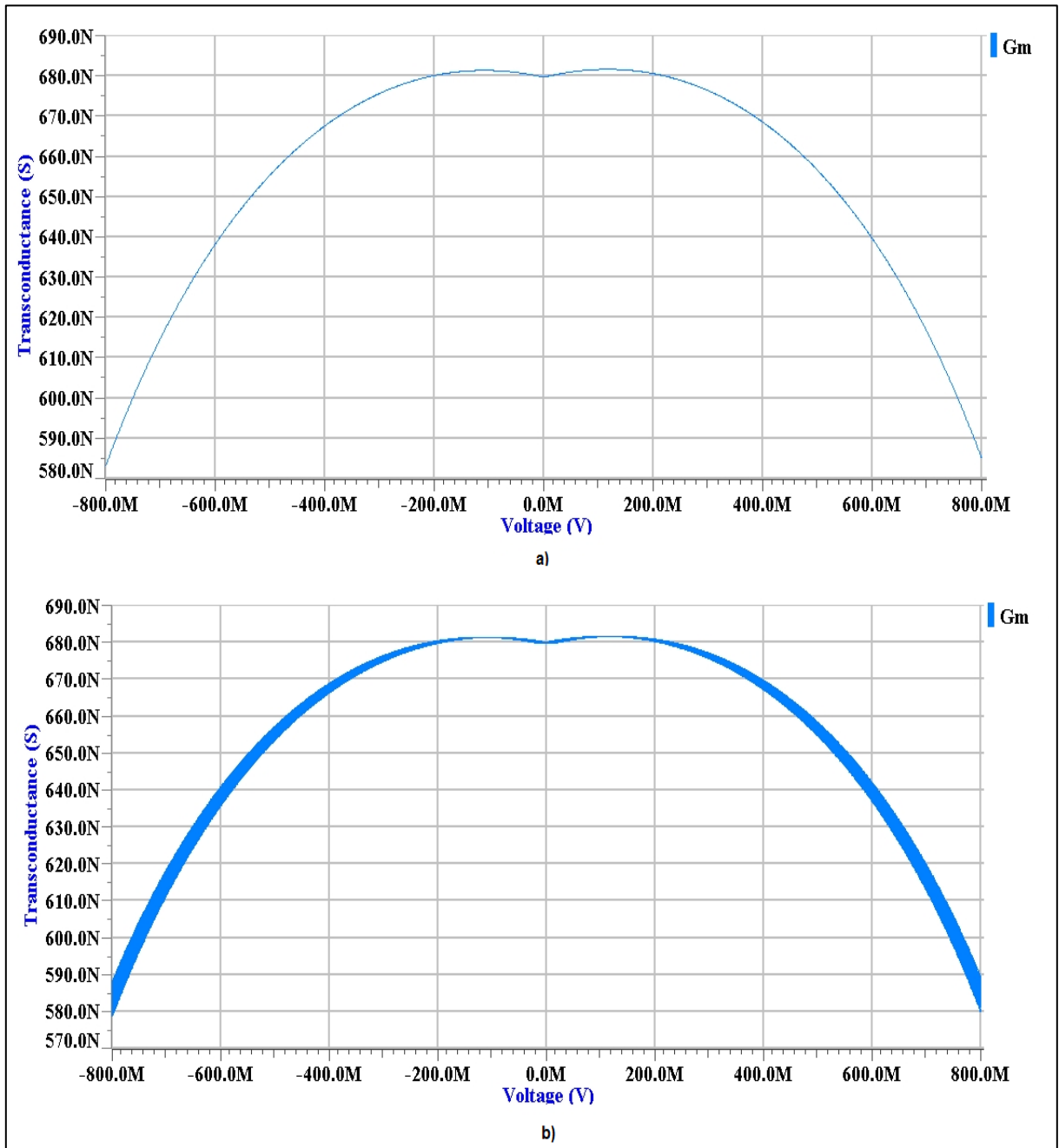
**Figura 6.28** Potencia consumida por el OTA con degeneración de cuerpo para el segundo punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *post-layout*.



**Figura 6.29** Ancho de Banda del OTA con degeneración de cuerpo para el segundo punto de estudio, incluyendo el efecto de la variabilidad. Resultados *post-layout*.

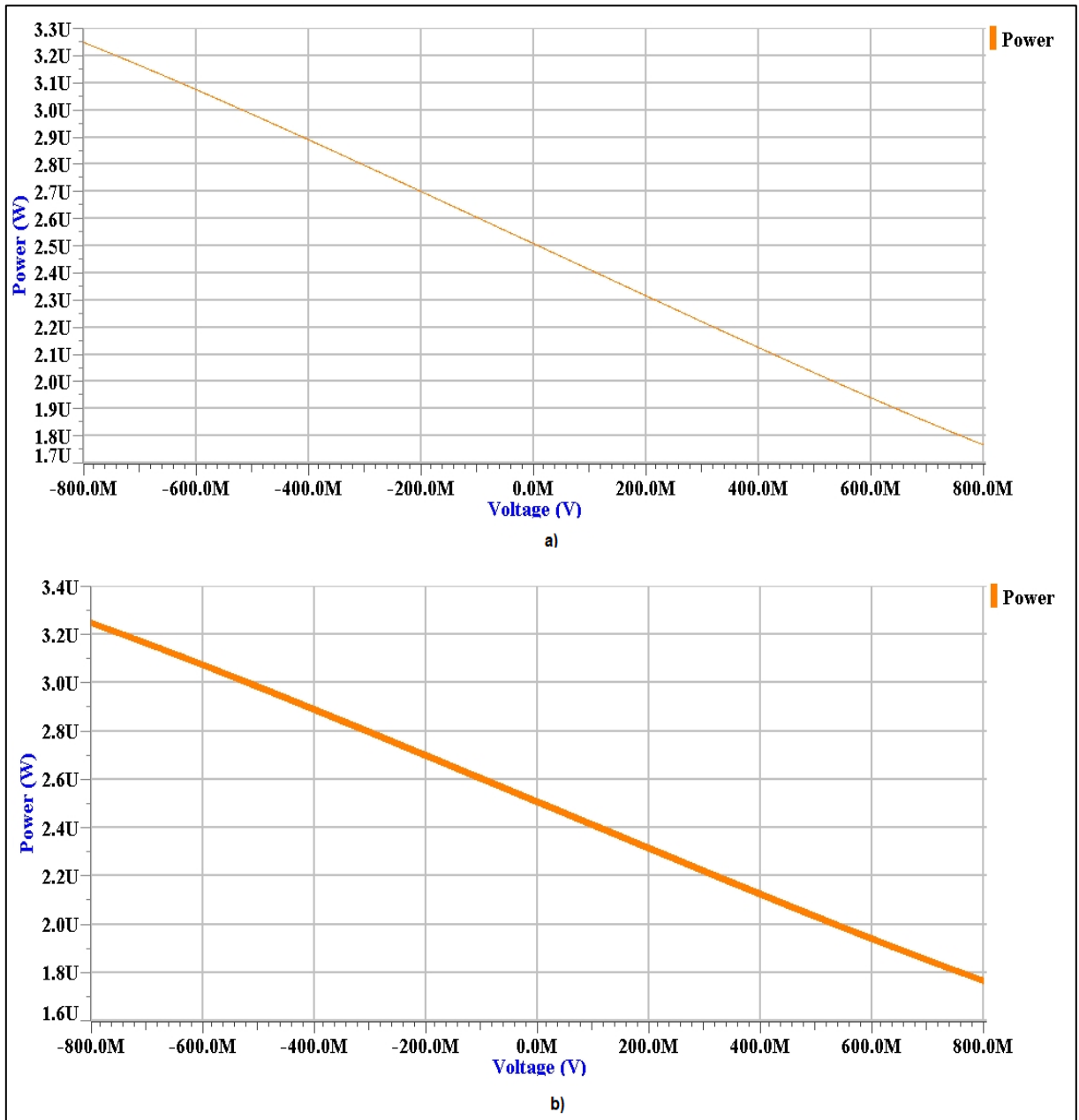


**Figura 6.30** Curva característica de la corriente de salida del OTA para el tercer punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *post-layout*.

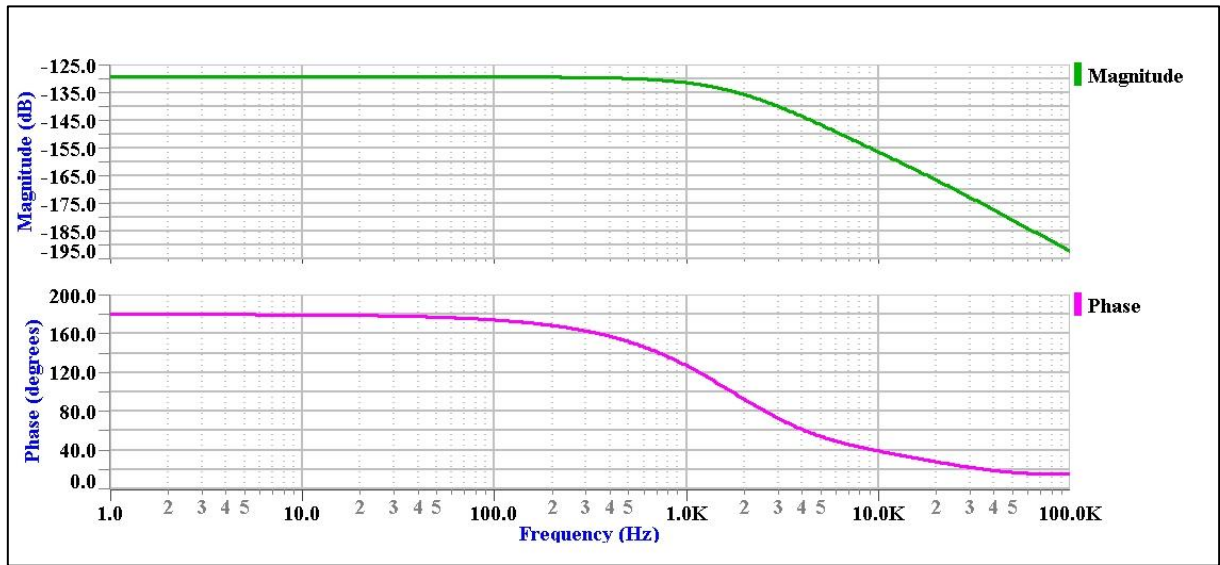


**Figura 6.31** Transconductancia del OTA con degeneración de cuerpo para el tercer punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *post-layout*.





**Figura 6.32** Potencia consumida por el OTA con degeneración de cuerpo para el tercer punto de estudio, a) sin variabilidad y b) con variabilidad. Resultados *post-layout*.



**Figura 6.33** Ancho de Banda del OTA con degeneración de cuerpo para el tercer punto de estudio, incluyendo el efecto de la variabilidad. Resultados *post-layout*.

Nuevamente, a partir de estos resultados se construyeron diversas tablas comparativas que resumen lo obtenido durante todo el proceso de simulación. Las tablas 6.13, 6.14 y 6.15 son tablas que listan los resultados obtenidos en las simulaciones *post-layout* para cada uno de los puntos de estudio. Las tablas 6.16, 6.17 y 6.18 son tablas que comparan los resultados nominales de los parámetros de aptitud obtenidos durante las simulaciones *pre-layout* y *post-layout* para cada punto de estudio. Finalmente, las tablas 6.19, 6.20 y 6.21 son tablas que comparan las desviaciones estándar de los distintos parámetros analizados durante las simulaciones *pre-layout* y *post-layout* para cada uno de los puntos de estudio.

**Tabla 6.13** Resultados obtenidos durante la simulación *post-layout* para los distintos parámetros estudiados del primer punto de estudio.

Parámetro	1er Punto de Estudio		
	Valor Nominal	Variabilidad ( $\sigma$ )	Desviación
<i>Potencia</i>	642,95nW	~26,3nW	4,09%
$G_m$	57,28nS	~3,73nS	6,51%
<i>Rango Lineal</i>	1,19V	~180mV	15,12%
<i>Ancho de Banda</i>	344Hz	~0Hz	0%

**Tabla 6.14** Resultados obtenidos durante la simulación *post-layout* para los distintos parámetros estudiados del segundo punto de estudio.

Parámetro	2do Punto de Estudio		
	Valor Nominal	Variabilidad ( $\sigma$ )	Desviación
<i>Potencia</i>	646,1nW	~8.2nW	1,27%
$G_m$	58,27nS	~1,1nS	1,89%
<i>Rango Lineal</i>	1,15V	~90mV	7,83%
<i>Ancho de Banda</i>	401Hz	~0Hz	0%

**Tabla 6.15** Resultados obtenidos durante la simulación *post-layout* para los distintos parámetros estudiados del tercer punto de estudio.

Parámetro	3er Punto de Estudio		
	Valor Nominal	Variabilidad ( $\sigma$ )	Desviación
<i>Potencia</i>	2,51 $\mu$ W	~40,2nW	1,60%
$G_m$	680,01nS	~5nS	0,74%
<i>Rango Lineal</i>	1,11V	~36,2mV	3,26%
<i>Ancho de Banda</i>	1,048kHz	~0Hz	0%

**Tabla 6.16** Comparación de los parámetros de aptitud obtenidos durante las simulaciones *pre-layout* y *post-layout*, para el primer punto de estudio.

Parámetro	1er Punto de Estudio		
	Pre-layout	Post-layout	Desviación
$\sigma_{Offset}$	47,2mV	47,1mV	-0,21%
Potencia	643,05nW	642,95nW	-0,02%
$G_m$	57,30nS	57,28nS	-0,03%
Rango Lineal	1,19V	1,19V	0%
Ancho de Banda	346Hz	344Hz	-0,57%

**Tabla 6.17** Comparación de los parámetros de aptitud obtenidos durante las simulaciones *pre-layout* y *post-layout*, para el segundo punto de estudio.

Parámetro	2do Punto de Estudio		
	Pre-layout	Post-layout	Desviación
$\sigma_{Offset}$	11,64mV	11,62mV	-0,17%
Potencia	646,6nW	646,1nW	-0,08%
$G_m$	58,3nS	58,27nS	-0,05%
Rango Lineal	1,15V	1,15V	0%
Ancho de Banda	405Hz	401Hz	-0,98%

**Tabla 6.18** Comparación de los parámetros de aptitud obtenidos durante las simulaciones *pre-layout* y *post-layout*, para el tercer punto de estudio.

Parámetro	3er Punto de Estudio		
	Pre-layout	Post-layout	Desviación
$\sigma_{Offset}$	4,07mV	4,068mV	-0,05%
Potencia	2,51 $\mu$ W	2,51 $\mu$ W	+0%
$G_m$	680,02nS	680,01nS	-0,01%
Rango Lineal	1,11V	1,11V	0%
Ancho de Banda	1,05kHz	1,048kHz	-0,19%

**Tabla 6.19** Comparación de las desviaciones estándar obtenidas debido a la variabilidad del *offset* en las simulaciones *pre-layout* y *post-layout*, para el primer punto de estudio.

Parámetro	1er Punto de Estudio		
	Pre-layout	Post-layout	Desviación
$\sigma_{Potencia}$	~26nW	~26,3nW	+1,15%
$\sigma_{Gm}$	~3,7nS	~3,73nS	+0,81%
$\sigma_{Rango\ Lineal}$	~180mV	~180mV	0%
$\sigma_{Ancho\ de\ Banda}$	~0Hz	~0Hz	0%

**Tabla 6.20** Comparación de las desviaciones estándar obtenidas debido a la variabilidad del *offset* en las simulaciones *pre-layout* y *post-layout*, para el primer punto de estudio.

Parámetro	2do Punto de Estudio		
	Pre-layout	Post-layout	Desviación
$\sigma_{Potencia}$	~8nW	~8.2nW	+2.5%
$\sigma_{Gm}$	~1,1nS	~1,1nS	0%
$\sigma_{Rango\ Lineal}$	~90mV	~90mV	0%
$\sigma_{Ancho\ de\ Banda}$	~0Hz	~0Hz	0%

**Tabla 6.21** Comparación de las desviaciones estándar obtenidas debido a la variabilidad del *offset* en las simulaciones *pre-layout* y *post-layout*, para el primer punto de estudio.

Parámetro	3er Punto de Estudio		
	Pre-layout	Post-layout	Desviación
$\sigma_{Potencia}$	~40nW	~40,2nW	+0,5%
$\sigma_{Gm}$	~5nS	~5nS	0%
$\sigma_{Rango\ Lineal}$	~36mV	~36,2mV	+0,55%
$\sigma_{Ancho\ de\ Banda}$	~0Hz	~0Hz	0%

## 6.4 Análisis de Resultados

El objetivo final de esta última etapa del proyecto fue construir el diseño físico de los diferentes circuitos estudiados durante el Capítulo 5. De esta forma, con los resultados obtenidos de las simulaciones *post-layout* obtenidos, es posible determinar qué tan afectado se ve el modelo elaborado para la variabilidad del offset una vez incluidos los elementos parásitos de los circuitos.

Lo primero que se realizó fueron los *layouts* que aparecen en la sección 6.1, debido a la naturaleza de la resistencia  $R_{deg}$  y la tecnología, los circuitos quedaron en el rango de los milímetros. Los 3 circuitos comparten un tamaño similar de alrededor de  $0.15\text{mm}^2$ , excluyendo la resistencia  $R_{deg}$  (figuras 6.02, 6.05 y 6.08). No obstante, es la resistencia  $R_{deg}$  y su gran tamaño la que domina en el tamaño total. Esto es un detalle importante, pues durante el estudio del modelo de variabilidad en el Capítulo 5, nunca se altera el tamaño de dicha resistencia. Se había analizado previamente que a manera de optimización de un circuito en proyectos futuros, se recomendaba incluir dicha resistencia dentro de los parámetros de optimización de la herramienta de optimización automática utilizada. Con este resultado, se fortalece la necesidad de modificar el tamaño de esta resistencia pues no sólo influye en el modelo de variabilidad, sino también marca el tamaño total del circuito, el cual es importante reducir. Como medida alternativa, se puede utilizar alguna otra técnica para reducir el tamaño de la misma sin modificar su valor resistivo dentro del diseño.

Otro detalle por resaltar, es el hecho de que se tuvieron que modificar levemente los tamaños de algunos de los transistores del circuito debido a la incompatibilidad de las dimensiones de los mismos en la tecnología utilizada, como se muestra en las tablas 6.01, 6.02 y 6.03. Este es un hecho importante, pues influye mucho en los resultados de las simulaciones *post-layout*, a pesar de ser leves cambios. De forma tal que ya no solo se le puede atribuir cualquier diferencia versus las simulaciones *pre-layout* a la inclusión de elementos parásitos, sino también a la necesidad de haber modificado dichos tamaños. Esto se debe a que las razones

entre el largo y el ancho de los transistores se dejaron libres arbitrariamente, siempre y cuando se respetarán los tamaños máximos y mínimos definidos previo al inicio de la optimización. Se recomienda para futuros proyectos, estudiar e investigar dentro de los manuales de la tecnología cuales son las razones permitidas entre las dimensiones de los transistores y buscar incluir dicha regla a la herramienta de optimización. De esta forma, se sabrá que los resultados obtenidos por la herramienta de optimización son finales y no se requerirán ajustes a la hora de construir el *layout*.

Para determinar si la modificación en los nuevos tamaños afecta mucho los resultados obtenidos durante el Capítulo 5, se creó la sección 6.2 donde se listan nuevamente los resultados *pre-layout* de cada uno de los puntos de estudio. De esta forma, se pudo determinar la extensión del efecto de los elementos parásitos sobre el modelo de variabilidad. Las figuras y tablas de esta sección denotan como hubo una ligera variación en los parámetros.

Las tablas 6.04, 6.05 y 6.06 denotan la relación existente entre los parámetros nominales y la variabilidad provocada por el *offset*. Estas tablas se utilizarán como referencia para comparar con los resultados *post-layout* más adelante. Las tablas 6.07, 6.08 y 6.09 comparan los resultados de los parámetros de aptitud *pre-layout* del Capítulo 5 con los nuevos resultados que emplean los ajustes en las dimensiones de los transistores. Se puede observar como existe una ligera desviación en los parámetros *DC* del circuito, en este caso se puede considerar como despreciable. No obstante, el ancho de banda se vio modificado de manera muy significativa. Este es un detalle muy importante a tomar en cuenta, pues dependiendo de la aplicación del circuito podría inutilizar el diseño en la aplicación deseada. Finalmente, las tablas 6.10, 6.11 y 6.12 comparan las desviaciones estándar de las simulaciones *pre-layout*. En estas tablas se puede observar como hubo un incremento en las desviaciones de los diferentes parámetros debido a la variabilidad del *offset*, el cambio no fue tan impactante como en el caso del ancho de banda, pues las tablas 6.04, 6.05 y 6.06 demuestran que la variabilidad respecto al valor nominal es muchas veces despreciable. No obstante, es un detalle que se

debe tener en cuenta. En general, el comportamiento de los circuitos de estudio se mantiene, y a pesar de las variaciones, no se presentaron cambios muy significativos a excepción del ancho de banda en cada uno de los casos.

Finalmente, la sección 6.3 muestra los resultados de las simulaciones *post-layout*. En esta sección se comparan los resultados *pre-layout* de la sección 6.2 versus los resultados *post-layout* que incluyen los elementos parásitos producidos por la fabricación del dispositivo. Las tablas son totalmente análogas con las de la sección 6.2

Las tablas 6.13, 6.14 y 6.15 muestran la relación que existe entre los parámetros nominales estudiados y las desviaciones estándar. Una vez más, se puede observar el mismo comportamiento descrito durante el Capítulo 5 para cada uno de los puntos de estudio, donde el tercer punto de estudio está más optimizado en términos de variabilidad en relación con los dos primeros puntos de estudio. Las tablas 6.16, 6.17 y 6.18 comparan los parámetros de aptitud de las simulaciones *pre-layout* y *post-layout*. Aquí se puede observar, en conjunto con las imágenes de las secciones 6.2 y 6.3, que los valores nominales de estos parámetros no se ven alterados en demasía a pesar de la inclusión de los elementos parásitos en el modelo de simulación. Las tablas 6.19, 6.20 y 6.21 apoyan este resultado. Se puede notar en cada una de ellas como la variación entre los resultados *pre-layout* y *post-layout* son mínimos y despreciables. Esto se puede deber al gran tamaño de los circuitos con los que se realizó el estudio. Al ser estos circuitos grandes, el impacto de los elementos parásitos es muchísimo menor.

Por lo tanto, es válido concluir que los resultados y análisis mostrados en el Capítulo 5 son válidos aún después de la realización de las simulaciones *post-layout*. No obstante, la herramienta de optimización debe ser ajustada para evitar la necesidad de ajustar los tamaños durante la construcción de los layout.



## **CAPÍTULO 7**

### **Conclusiones y Recomendaciones**

---

Este último capítulo da cierre al proyecto, aquí se muestran las conclusiones derivadas a partir de los resultados del proyecto. Posteriormente, se indican varias recomendaciones que podrían realizarse a futuro, con el fin de mejorar alguno de los procesos realizados durante el desarrollo de este proyecto.

#### **7.1 Conclusiones**

A partir de toda la información mostrada en este proyecto es posible sacar múltiples conclusiones relacionadas al mismo. En primer lugar, como se mostró en el Capítulo 3, el *OTA* con degeneración de substrato fue un excelente modelo de referencia para el estudio de la variabilidad gracias a su buen rango lineal. Con otros modelos, al tener un rango lineal más reducido hubiera sido más complicado realizar los diferentes análisis, y a su vez, de optimizar los circuitos. A su vez, se demostró como el modelo ACM puede ser utilizado en este tipo de *OTA*.

Durante el Capítulo 3, se logró determinar y construir un modelo de simulación que incorpora la variabilidad en un *OTA* de este tipo. Además en el Capítulo 4, a partir de la simulación de Monte Carlo del mismo se pudo incorporar este modelo de simulación a la herramienta de optimización utilizada en [7]. Y a su vez, se logró incluir la variabilidad como valor de aptitud dentro del algoritmo de iteración.

Durante la realización del capítulo 5, para poder realizar el análisis, se logró establecer un modelo de referencia basado en [2] para el estudio de la variabilidad. A esta referencia, se le logró incorporar el modelo de simulación para la variabilidad.

Para fortalecer el análisis, se seleccionaron 3 distintos puntos dados por la herramienta de optimización ubicados en diferentes posiciones dentro del Diagrama de Pareto. En esta selección, se logró mejorar el modelo de referencia en dos de los tres puntos escogidos para el estudio en términos de optimización. A cada uno de estos puntos de estudio se les incluyó el modelo de simulación de variabilidad. A partir de los resultados obtenidos, se logró verificar cuáles transistores son más propicios a afectar la variabilidad de los diferentes parámetros del *OTA* en estudio. Además, se determinó por qué tales transistores afectaban más el funcionamiento del diseño ante dicha variabilidad. También, se demostró que el voltaje de *offset* es el principal parámetro afectado en un *OTA* de este tipo ante la variabilidad de las dimensiones del dispositivo. De aquí, se demostró cómo son afectados los demás parámetros ante la variación del voltaje de *offset*. El rango lineal fue el parámetro más afectado por la variabilidad en el voltaje de *offset* seguido por la transconductancia y la potencia en el dispositivo estudiado. El ancho de banda no fue afectado por la variabilidad del diseño. También se mostró cómo es posible reducir el voltaje de *offset* en este tipo específico de *OTA*.

Durante el Capítulo 6, se validó el análisis realizado en el Capítulo 5 mediante la implementación de simulaciones *post-layout* para descartar el hecho de que la inclusión de elementos parásitos afecte los resultados obtenidos sobre la variabilidad. De esta parte final del proyecto se concluye que la herramienta de optimización debe ser ajustada para que pueda generar tamaños de transistores válidos en la tecnología de fabricación utilizada. No obstante, se realizó un breve estudio en el que se confirma que la inclusión de los elementos parásitos en el modelo de simulación no afecta la variabilidad ni ninguno de los estudios realizados durante el proyecto.

## 7.2 Recomendaciones

Finalmente, a continuación se lista una serie de recomendaciones que deben tomarse en cuenta en proyectos futuros relacionados al tema de investigación tratada en esta tesis.

- 1) Considerar extender este modelo de desarrollo a otros bloques afectados por la variabilidad, como por ejemplo, algún otro tipo de *OTA* o a amplificadores operacionales.
- 2) Considerar incluir otros parámetros de interés como enfoque en el modelo de análisis en lugar de la variabilidad como el CMRR o el PSRR, entre otros parámetros.
- 3) Incluir dentro del proceso de optimización nuevos parámetros que podrían resultar afectados por la tensión de *offset*.
- 4) En este *OTA* en particular, se recomienda variar la resistencia de degeneración para ajustar la tensión de *offset* de acuerdo a las necesidades. A este punto se agrega además, el hecho de que la resistencia de degeneración es muy influyente en el tamaño final del circuito y debe considerarse como parámetro de optimización.
- 5) En caso de buscar la disminución del efecto de la variabilidad, se recomienda trabajar con transistores grandes. Este hecho lo confirma el análisis realizado en el Capítulo 6, en donde además, se demuestra que con transistores grandes el efecto de los elementos parásitos disminuye considerablemente.
- 6) Se recomienda ajustar la herramienta de optimización de manera tal que considere las reglas de fabricación de la tecnología a la hora de construir el *layout*. De esta forma se solucionará la necesidad de ajustar los tamaños en la elaboración del diseño físico.

## BIBLIOGRAFÍA

---

- [1] R. L. Geiger and E. Sánchez-sinencio, "Active Filter Design Using Operational Transconductance Amplifiers : A Tutorial," *IEEE Circuits and Devices Magazine*, vol. 1, no. March, pp. 20–32, 1985.
- [2] J. Gak, MR. Miguez and A. Arnaud "Nanopower OTAs with improved linearity and low input offset using bulk degeneration," *IEEE Circuits and Systems I: Regular Papers*, vol. 61, No. 3, pp. 689-698, 2014.
- [3] O.C. Gouveia, A.I. Araujo, M. Cherem and C. Galup-Montoro "The ACM Model for Circuit Simulation and Equations for Smash," Home-Page Dolphin, 1997.  
[http://www.dolphin.fr/medal/downloads/notes/acm\\_report.pdf](http://www.dolphin.fr/medal/downloads/notes/acm_report.pdf)
- [4] R. C. Molina, "Diseño de una Unidad de Detección del ritmo cardiaco humano para dispositivos médicos," Tesis de Licenciatura, Escuela de Ingeniería en Electrónica, Instituto Tecnológico de Costa Rica, 2012.
- [5] A. Arnaud, R. Fiorelli and C. Galup-Montoro "Nanowatt, Sub-ns OTAs, With Sub-10-mV Input Offset, Using Series-Parallel Current Mirrors," *IEEE Journal of Solid-State Circuits*, vol. 41, No. 9, pp. 2009-2018, 2006.
- [6] A. Arnaud, "Very Large Time Constant Gm-C Filters," PhD thesis, Instituto de Ingeniería Eléctrica, Facultad de Ingeniería, Universidad de la República, Montevideo, Uruguay, Abril 2004.
- [7] R. Pereira, P. Alvarado, and W. H. Krautschneider, "Design of a MCML gate library applying multiobjective optimization," in *Proc. IEEE Computer Society Annual Symp. VLSI ISVLSI '07*, pp. 81–85, 2007.
- [8] K. Kuo and A. Leuciuc "A Linear MOS Transconductor Using Source Degeneration and Adaptive Biasing," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, No. 10, pp. 937-943, 2001.
- [9] M. J. M. Pelgrom, H. P. Tuinhout, and M. Vertregt, "Transistor matching in analog CMOS applications," Philips Research Laboratories, Eindhoven, the Netherlands.
- [10] M. J. M. Pelgrom, A.C.J. Duinmaijer and A.P.G. Welbers. "Matching properties of MOS transistors," *IEEE Journal of Solid-state Circuits*, vol. SC-24, pp.1433-1440, 1989.
- [11] M. Thomason, "MOS Transistor Matching Characteristics for the C5 Process," AMI Semiconductor, Inc., April 9, 2001.
- [12] F. Krummenacher and N. Joehl, "A 4-mhz cmos continuous-time filter with on-chip automatic tuning," vol. 23, no. 3, pp. 750-758, 1988.
- [13] F. A. Nicaragua, "Diseño de un Amplificador Operacional de Transconductancia para la implementación de Filtros Analógicos utilizados en la detección de disparos de armas de fuego," Instituto Tecnológico de Costa Rica, 2010.
- [14] J. A. Ibarra. "Diseño de un filtro analógico para la detección de disparos de armas de fuego usando amplificadores operacionales de transconductancia," Instituto Tecnológico de Costa Rica, 2011.

- [15] D. W. Corne, J. D. Knowles and M. J. Oates “The Pareto Envelope-based Selection Algorithm for Multiobjective Optimization,” School of Computer Science, Cybernetic and Electronic Engineering, University of Reading, United Kingdom.
- [16] P. E. Allen and D. R. Holberg, “CMOS Analog Circuit Design,” Oxford University Press, 2<sup>nd</sup> Edition, 2002.
- [17] J. M. Rabaey, A. Chandrakasan and B. Nikolic, “Digital Integrated Circuits: A Design Perspective,” Eastern Economy Edition, 2<sup>nd</sup> Edition, 2010.
- [18] B. Razavi, “Design of Analog CMOS Integrated Circuits,” McGraw-Hill Science/Engineering/Math, 1 ed., August 2000.
- [19] S. Franco, “Diseño con Amplificadores Operacionales y Circuitos Integrados Analógicos,” McGraw Hill, 3<sup>a</sup>. Edición, 2004.
- [20] F. A. Nicaragua, “Manual de utilización de la herramienta de optimización,” Instituto Tecnológico de Costa Rica, 2010.
- [21] B. Dinarte, “Tutorial para el uso de la herramienta de optimización,” Instituto Tecnológico de Costa Rica, 2011.
- [22] Mentor Graphics. “Eldo User’s Manual,” Software Version v6.6\_1, Chapter 19, pp. 19-1 – 19-10, Release 2005.3.
- [23] Mentor Graphics. “Design Architect-IC User’s Manual,” Software Version v8.9\_10, IC Flow Version 2003.1.