

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería en Electrónica



Diseño e implementación de un sistema prototipo para probar PEMs D5

**Informe de Proyecto de Graduación para optar por el título de Ingeniero en
Electrónica con el grado académico de Licenciatura.**

Sebastián Jiménez Valverde

Cartago, 16 de Junio 2009

INSTITUTO TECNOLÓGICO DE COSTA RICA

ESCUELA DE INGENIERÍA ELECTRÓNICA

PROYECTO DE GRADUACIÓN


TRIBUNAL EVALUADOR

Proyecto de Graduación defendido ante el presente Tribunal Evaluador como requisito para optar por el título de Ingeniero en Electrónica con el grado académico de Licenciatura, del Instituto Tecnológico de Costa Rica.


Miembros del Tribunal



Ing. Marvin Hernández Cisneros
Profesor lector



Ing. Carlos Badilla Corrales
Profesor lector



Ing. Francisco Navarro
Henríquez
Profesor asesor

Los miembros de este Tribunal dan fe de que el presente trabajo de graduación ha sido aprobado y cumple con las normas establecidas por la Escuela de Ingeniería Electrónica

Cartago, 16 de junio 2009

Declaratoria de autenticidad

Declaro que el presente Proyecto de Graduación, ha sido complemente realizado por mi persona, usando y aplicando literatura referente al tema e introduciendo conocimientos propios.

En los casos en que se ha utilizado bibliografía, he procedido a indicar las fuentes mediante las respectivas citas bibliográficas.

En consecuencia asumo la total responsabilidad por el trabajo realizado y por el contenido del correspondiente informe final.



Sebastián Jiménez Valverde

Cartago, 16 junio de 2009

RESUMEN

Los *Pin Electronic Module* (PEM) son componentes fundamentales de las tarjetas del sistema de prueba automático L-210 de la empresa TERADYNE; debido a esta importancia es necesario realizar pruebas funcionales a los PEMs para determinar su correcto funcionamiento y calibración y con esto, asegurarse un adecuado funcionamiento de las mediciones del sistema L210.

El sistema encargado de probar los PEMs es el sistema L621, el cual es un sistema de prueba automático antiguo y obsoleto. Los continuos fallos de este sistema ponen en riesgo la productividad del sistema L210 y genera atrasos en las entregas a los clientes, los cuales podrían afectar la imagen de la empresa y por ende podría generar pérdidas.

Es a partir de todos estos continuos fallos y la urgente necesidad de un sistema más moderno y robusto, que surge la creación de un prototipo probador de PEMs, el cual se encuentra basada en una computadora personal, tarjetas de adquisición de datos y de funciones especiales y de un nuevo "fixture" para realizar las distintas pruebas al PEM.

Palabras claves: ATE, automático, L210, L621, PEM, sistema, TERADYNE.

ABSTRACT

The *Pins Electronic Modules* (PEMs) are fundamental pieces of the TERADYNE's automatic test equipment L210 channel card. Due to its importance is necessary to secure the correct calibration and proper operation of the PEM.

The L621 ATE system is in charge of testing the PEMs, this system is very old and became obsolete many years ago. The continuous failures of this system puts in danger the L210 production and generates delays in customer deliveries, this delivery delays might cause a negative impact on TERADYNE's reputation and could eventually affect its earnings.

Due to the continuous failures and the necessity of a modern system to test PEMs, came up the creation of a PEMs tester based on a personal computer, data acquisition and special function cards and the development of a new test fixture.

Keywords: ATE, automatic, L210, L621, PEM, system, TERADYNE.

Dedicatoria

A mi papá Gerardo y mi mamá Nidia por todo el esfuerzo que hicieron para darme lo necesario para cumplir mi carrera universitaria, además por el apoyo incondicional y por todas las palabras de aliento y consejos que me dieron, dan y sé que me darán a lo largo de mi vida.

A mis hermanos Lidia, Guadalupe, Fabián, Noelia y Mariana, por estar siempre a mi lado en todo momento y servir como un ejemplo de superación y esfuerzo en mi vida, además a Franklincillo por su apoyo y ayuda incondicional durante todos estos años.

Por último a Dianita por ser mi apoyo y motivo de inspiración durante todos estos años de carrera, los cuales gracias a ella estuvieron llenos de alegría, apoyo y sobre todo mucho amor.

Gracias a todos por creer en mí.

Agradecimiento

Agradezco profundamente a la familia Korte Leiva por ser como mi segundo hogar durante estos últimos cinco años, nunca tendré como agradecer la atención y el cariño que me brindaron.

A Christian García por dame la oportunidad de desarrollar mi proyecto de graduación en Teradyne Costa Rica y a Ernesto Castro por su valiosa ayuda, amistad y dedicación brindada durante el desarrollo e implementación del proyecto.

A todos muchas gracias.

Índice general

Capítulo 1: Introducción	12
1.1 Problema existente e importancia de su solución.	12
1.2 Solución seleccionada.	14
Capítulo 2: Meta y Objetivos.	17
2.1 Meta.....	17
2.2 Objetivo general.....	17
2.3 Objetivos específicos	17
2.3.1 Objetivos de hardware	17
2.3.2 Objetivos de software.....	18
2.3.3 Objetivos de documentación	18
2.3.4 Objetivos de implementación	18
Capítulo 3: Marco teórico	19
3.1 Descripción del sistema o proceso a mejorar	19
3.1.1 PEM D5.....	20
3.1.2 Sistema L621	22
3.1.3 Proceso de prueba de PEMs D5.....	24
3.2 Descripción de los principales principios físicos y/o electrónicos relacionados con la solución del problema.....	27
3.2.1 Interfaces de comunicación.....	27
3.2.2 Software de control.	30
3.2.3 Principios físicos envueltos en la solución del problema.....	31
3.2.4 Familias lógicas utilizadas en la solución	32
Capítulo 4: Procedimiento metodológico	33
4.1 Reconocimiento y definición del problema.....	33
4.2 Obtención y análisis de información	33
4.3 Evaluación de las alternativas y síntesis de una solución.....	34
4.4 Implementación de la solución.....	35
4.5 Reevaluación y rediseño.....	36
Capítulo 5: Descripción detallada de la solución	38
5.1 Análisis de soluciones y selección final	38
5.1.1 Solución propuesta #1: Sistema de prueba basado en microcontrolador.	38
5.1.2 Solución propuesta #2: Sistema de prueba basado en PXI	39
5.1.3 Solución propuesta #3: Sistema de prueba basado en una PC+LabVIEW y tarjetas PCI.....	40
5.1.4 Elección de propuesta a implementar	41
5.2 Descripción del hardware	42
5.2.1 Unidad de control	42
5.2.2 Tarjeta de adquisición de datos PCI-DIO96 de National Instruments 43	
5.2.3 Tarjeta de adquisición de datos PCI-6132 de National Instruments.	44
5.2.4 Tarjeta controladora PCI-GPIB de National Instruments.....	45

5.2.5	Matriz de relays 44x4 Pickering PCI 50-513-021	45
5.2.6	Circuitos diseñados	47
5.3	Descripción del software	51
5.3.1	Interfaz y control de pruebas en LabVIEW	52
5.3.2	Control de LCD y procesamiento de datos de sensores	54
Capítulo 6: Análisis de Resultados		55
6.1	Resultados	55
6.2	Análisis de resultados	61
Capítulo 7: Conclusiones y recomendaciones		64
7.1	Conclusiones	64
7.2	Limitaciones del sistema desarrollado	64
7.3	Recomendaciones	65
Capítulo 8: Bibliografía		66
A.1	Fotos del sistema implementado	67
A.2	Esquemático del circuito diseñado.....	68
A.3	Muestras obtenidas de cada una de las pruebas realizadas	69

Índice de figuras

Figura 1.1. PEM D5.....	12
Figura 1.2. Sistema ATE L621.....	13
Figura 1.3. Pasos a seguir para solucionar el problema.....	16
Figura 3.1. Pasos a seguir para probar y calibrar PEMs de clientes.....	20
Figura 3.2. Módulos eléctricos de la capa superior del PEM D5.....	21
Figura 3.3. Módulos eléctricos de la capa inferior del PEM D5.....	22
Figura 3.4 Kioscos funcionales del sistema L621.....	23
Figura 3.5 Proceso de prueba de PEM D5.....	25
Figura 3.6 Conector y asignación de pines de GPIB [2].....	28
Figura 3.7 Tipos de dispositivos en GPIB.....	28
Figura 3.8 Lista de pines de PCI.....	29
Figura 3.9 Panel frontal de la aplicación en LabVIEW.....	30
Figura 3.10 Escalas de medición temperatura [8].....	31
Figura 3.11 Compuerta NOR/OR ECL.....	32
Figura 5.1 Solución proyectada basada en microcontrolador.....	38
Figura 5.2 Solución proyectada basada en chasis PXI de NI.....	40
Figura 5.3 Solución proyectada basada en una PC+LabVIEW+tarjetas PCI.....	41
Figura 5.4 Diagrama de bloques funcionales de la solución implementada.....	42
Figura 5.5 Tarjeta de adquisición de datos digital PCI-DIO96.....	43
Figura 5.5 Tarjeta de adquisición de datos analógica/digital PCI-6132.....	44
Figura 5.6 Tarjeta controladora GPIB de National Instruments.....	45
Figura 5.7 Matriz de relays 44x4 Pickering 50-513-021.....	46
Figura 5.8 Asignación de pines de la matriz de relays.....	47
Figura 5.9 Circuito convertidor TTL-ECL.....	48
Figura 5.10 Relays SPST, SPDT.....	48
Figura 5.11 Etapa de multiplexación de pines del PEM.....	49
Figura 5.12 Sensor de temperatura LM35.....	50
Figura 5.13 Sensor de humedad relativa HTM1735LF.....	50
Figura 5.14 Configuración de microcontrolador y sensores.....	51
Figura 5.15 Zócalo de conexión para el PEM al sistema de pruebas.....	51
Figura 5.16 Flujo del programa que realiza la prueba de corriente al PEM D5.....	53
Figura 5.17 Flujo del programa del PIC para sensores y LCD.....	54
Figura 6.1 Histograma de la prueba de resistencia.....	55
Figura 6.2 Histograma de la prueba de capacitancia.....	56
Figura 6.3 Histograma de la prueba de tensión.....	57
Figura 6.4 Histograma de la prueba de corriente usando resistencia.....	57
Figura 6.5 Histograma de la prueba de inductancia.....	58
Figura 6.6 Histograma de la prueba de resistencia de la bobina.....	59
Figura 6.7 Histograma de la prueba de corriente revisión D.....	60
Figura 6.8 Histograma de la prueba de corriente revisión E.....	60
Figura 9.1. Circuito para probar PEMs D5.....	67
Figura 9.2. Sistema completo de prueba.....	67

Índice de tablas

Tabla 1. Tipos de pruebas que se realizan al PEM D5.....	26
Tabla 2. División de las pruebas funcionales en las capas del PEM D5.....	26
Tabla 3. Características del computador utilizado en el sistema.	43
Tabla 4. Características técnicas de la tarjeta de adquisición NI PCI-DIO96	43
Tabla 5. Características técnicas de la tarjeta de adquisición NI PCI-6132.....	44
Tabla 6. Resumen de datos obtenidos para la prueba de resistencia.	55
Tabla 7. Resumen de datos obtenidos para la prueba de capacitancia.	56
Tabla 8. Resumen de datos obtenidos para la prueba de tensión.....	56
Tabla 9. Resumen de datos obtenidos para la prueba de corriente R aux.	57
Tabla 10. Resumen de datos obtenidos para la prueba de inductancia.	57
Tabla 11. Resumen de datos obtenidos para la prueba de R de bobina.	58
Tabla 12. Resumen de datos obtenidos para la prueba de corriente	59

Capítulo 1: Introducción

La empresa TERADYNE de Costa Rica, es una empresa que se encuentra ubicada en el edificio D-18 de la Zona Franca América en Heredia, su principal actividad es la calibración y reparación de tarjetas electrónicas para distintos sistemas marca TERADYNE.

Muchas de las tarjetas y componentes con los que trabaja la empresa son bastante antiguos y conformados por componentes muchas veces algo difícil de encontrar, por lo tanto la tarea de reparación y calibración algunas veces se vuelve algo tedioso; tal es el caso del los PEMs los cuales son probados en un sistema obsoleto, el cual puede presentar fallos pone en riesgo el soporte a estos dispositivos electrónicos por parte de la empresa.

1.1 Problema existente e importancia de su solución.

El PEM D5 es un módulo que forma parte del *channel card* de los sistemas L-210 de la empresa Teradyne; su función principal es la de generar patrones digitales de prueba para pines de circuitos digitales (*Digital test per pin*).

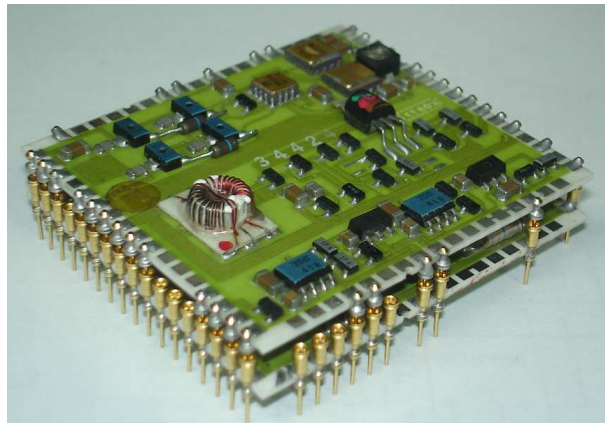


Figura 1.1. PEM D5.

Para determinar el correcto funcionamiento y calibración del PEM D5 se hace uso del equipo de prueba L621; este sistema ATE (*Automatic Test Equipment* por sus siglas en inglés) es controlado por un microprocesador 8080 de 8 bits, el cual mediante programas precargados controla los distintos instrumentos y tarjetas para realizar las mediciones al PEM



Figura 1.2. Sistema ATE L621.

El sistema L621 es un sistema ATE creado en el año 1978 y dejó de recibir soporte por parte de Teradyne en el año 1998, esto debido a que muchos de sus componentes se encuentran obsoletos y muchas de las empresas que hacían uso de este sistema han renovado sus sistemas ATE, por lo tanto la producción de repuestos y documentación es muy escasa, lo cual dificulta la reparación por parte de los técnicos, a tal punto que muchas veces han recurrido a tomar piezas de otros sistemas L621, lo cual pone en jaque la vida útil de este sistema y el proceso de pruebas de PEMs.

Los continuos fallos del sistema L621 provoca retrasos en las tareas de calibración y prueba de PEMs; estos retrasos podrian generar efectos negativos en la imagen de la empresa y hasta perdidas económicas, ya que grandes empresas alrededor del mundo dependen de las tarjetas que contienen los PEMs para realizar sus tareas de pruebas, por lo tanto un atraso en la línea de prueba de inmediatamente repercute en las empresas que usan equipo marca Teradyne.

Las razones primordiales por la cual se debe sustituir el sistema L621 se muestran a continuación:

- a. Falta de repuestos.
- b. Falta de documentación detallada del sistema L621 y PEMs.
- c. Componentes del sistema en muy mal estado.
- d. Tecnología obsoleta.
- e. Contratos de soporte vigentes con clientes.
- f. Necesidad de un sistema más robusto y fácil de reparar.
- g. Fallos continuos del sistema L621.
- h. Complicada interfaz de usuario

El diseño de un nuevo sistema que sustituya al antiguo L621 es de suma importancia para la empresa, ya que se podrán ampliar contratos de soporte a empresas que necesiten los PEMs y se ahorrará tiempo en la reparación lo cual elevará el rendimiento de la línea de prueba y calibración de la empresa.

Entre las ventajas del nuevo sistema se pueden encontrar:

- a. Interfaz de usuario fácil de usar.
- b. Capacidad de generar histogramas.
- c. Reportes de fallos y éxito en las mediciones.
- d. Capacidad de pruebas cíclicas “*test looping*”.
- i. Sistema más pequeño que L621, por lo tanto un ahorro de espacio en planta.
- e. Diagnóstico de errores para ayudar al técnico a reparar el PEM.
- f. Sistema completamente reconfigurable mediante software.
- g. Tecnología moderna y con soporte vigente por parte de vendedores.

1.2 Solución seleccionada.

La necesidad de extender contratos de soporte a los clientes que hacen uso de los PEMs en sus sistemas ATE, hace que surja la idea del diseño de una nueva plataforma que logre sustituir al antiguo y problemático sistema L621.

Los requerimientos de la empresa para el desarrollo e implementación del nuevo sistema son los siguientes:

- a. Controlar el sistema mediante tarjetas PCI de National Instruments.
- b. El sistema de prueba debe probar y controlar al PEM D5, con la misma precisión que la plataforma L621.
- c. La nueva plataforma de prueba debe ser confiable y con costos de reparación y mantenimiento más bajos que la del actual sistema.
- d. El nuevo sistema de prueba de PEMs debe ser más pequeño, con el fin de ahorrar espacio en la planta.
- e. La nueva plataforma de prueba debe ser fácilmente reconfigurable, de modo que con algunas mejoras y ampliaciones de hardware y software pueda probar otros tipos de PEM.
- f. La aplicación final de software debe ser simple y fácil de usar par el operario.
- g. El nuevo sistema debe imprimir diagnósticos de donde puede estar el error, esto con el fin de ayudar al técnico a la rápida reparación del PEM.

- h. El sistema a diseñar será un prototipo, por lo tanto el sistema no podrá sustituir en las labores de prueba de PEMs al sistema L621.

Para el diseño e implementación del sistema se siguió el flujo mostrado en la figura 1.3, donde en los primeros pasos se estudió el funcionamiento del sistema L621 y la teoría de operación del PEM D5; esto con el fin de tener una buena base para el diseño y poder comprender el código fuente que controla al sistema L621 y las rutinas de prueba del PEM D5. El siguiente paso para el diseño del sistema consistió en el análisis detallado del hardware del PEM D5 y esquemáticos del sistema L621, esto con el fin de comprender las rutas que toman cada una de las señales generadas por la plataforma L621 para probar a los PEM D5.

Una vez comprendido el funcionamiento eléctrico y operacional del sistema, se procede a definir las pruebas que se le realizarán al PEM D5, para esto es necesario analizar el código fuente del sistema L621, donde se muestran las instrucciones de control de instrumentos y rutas de medición para cada una de las pruebas del PEM D5.

El siguiente paso en la implementación del prototipo, consiste en el diseño del hardware y el software que controla al sistema, debido a que uno de los requerimientos de la empresa para la implementación es que el sistema se encuentre basado en tarjetas de National Instruments, se diseñó el software mediante LabView, el cual posee una gran facilidad para controlar instrumentos y para crear interfaces de usuario. Una vez diseñadas las etapas de hardware y software se procede a realizar pruebas funcionales al sistema completo, esto con el fin de lograr una depuración del sistema y con esto una mayor estabilidad del mismo.

Una vez que el prototipo para probar PEMs esté completo se documentará la manera en que éste deberá ser modificado para una implementación final, así como un manual de usuario donde explica el funcionamiento y limitaciones del prototipo, esto con el fin de ayudar al usuario a comprender mejor el nuevo sistema.

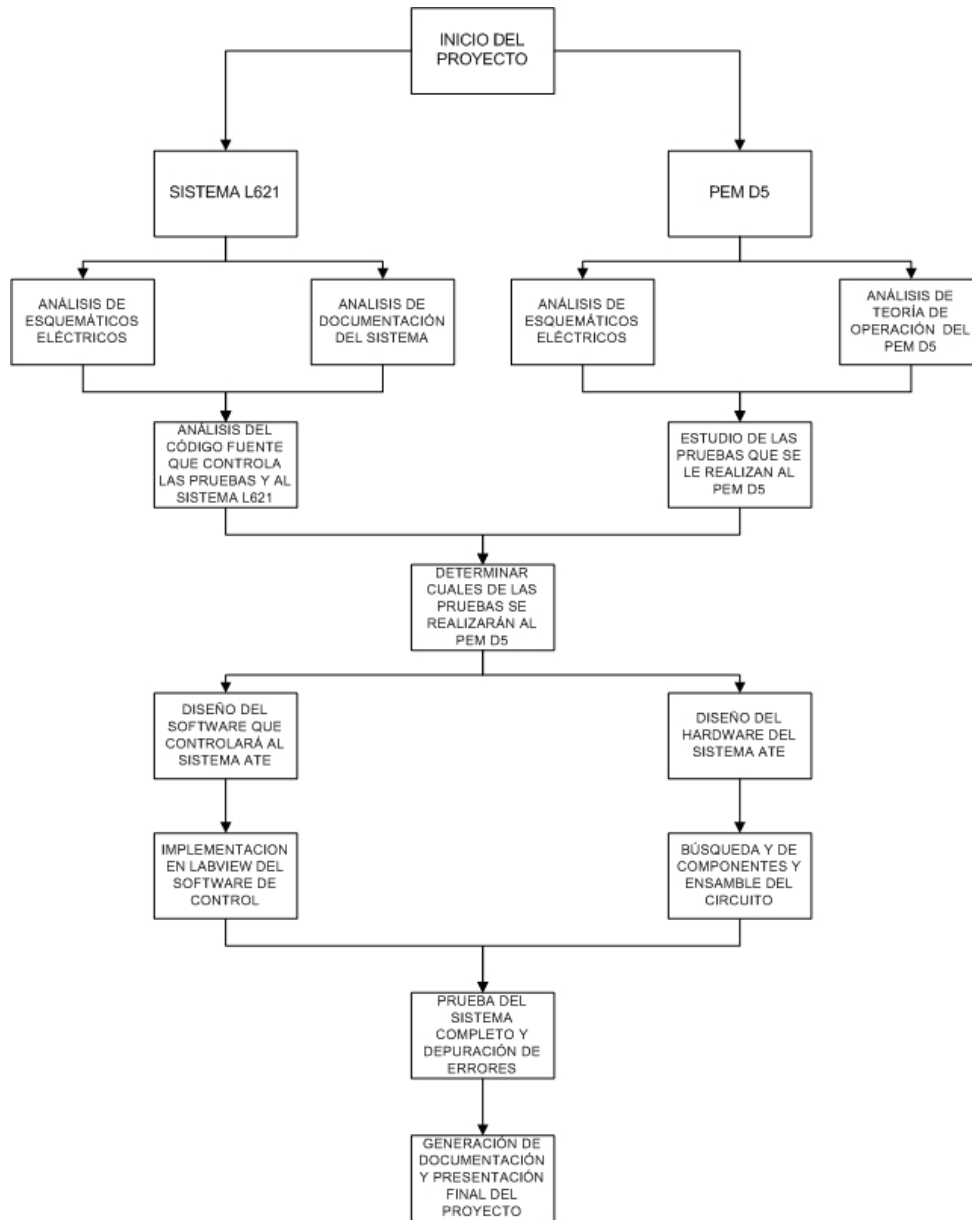


Figura 1.3. Pasos a seguir para solucionar el problema.

Capítulo 2: Meta y Objetivos.

El diseño e implementación de un sistema de prueba automático, es una tarea que requiere mucha investigación, trabajo, dedicación y sobre todo aplicación de conocimientos para lograr las metas y objetivos propuestos.

Se debe tener muy claro antes de dar inicio un proyecto cuales son los alcances y limitaciones del sistema a desarrollar, esto con el fin de proponer objetivos finitos y metas alcanzables. Este proyecto dio inicio con el análisis de alcances y limitaciones, las cuales permitieron definir que el sistema a desarrollar sería un prototipo el cual sirviera como objeto de demostración y justificación para hacer valer una futura inversión en la implementación del sistema final que sustituirá al sistema L621 en la prueba de PEMs.

2.1 Meta.

Lograr que el nuevo diseño propuesto fundamente la inversión de capital por parte de Teradyne, para la implementación del sistema final y se logre sustituir el sistema L-621 en la prueba de PEMs.

2.2 Objetivo general

Diseñar un sistema prototipo, capaz de reproducir los principales patrones de pruebas generadas por el sistema L-621 para la prueba de PEMs D5.

2.3 Objetivos específicos

La suma total de los objetivos específicos conducen al objetivo general del proyecto, es por esto que es necesario dividir el objetivo general en unidades más simples, con el fin de aislar inconvenientes y aumentar la velocidad en la solución de errores dentro del diseño.

2.3.1 Objetivos de hardware

- a. Analizar los circuitos esquemáticos del PEM D5 para comprender el funcionamiento de este circuito y determinar las pruebas que se deben realizar para probar su funcionamiento.
- b. Analizar los circuitos esquemáticos del sistema L621 para comprender el funcionamiento de este sistema en la prueba de PEMs D5.
- c. Diseñar el “fixture” que se utilizará para probar el PEM D5.
- d. Determinar las fuentes de alimentación, instrumentos de medición y equipo especial que se utilizará en la pruebas al PEM D5.

2.3.2 Objetivos de software

- a. Comprender las pruebas realizadas al PEM D5, mediante el análisis del código fuente del programa que controla al sistema L621.
Diseñar las rutinas en LabView de cada una de las pruebas que se harán al PEM D5.
- b. Diseñar las rutinas en LabView que realizaran las pruebas iniciales al sistema de prueba de PEMs D5 (fuentes de alimentación, pruebas de cortos circuitos y medición de temperatura y humedad).
- c. Diseñar el programa en C para el microcontrolador PIC, el cual controlará los sensores de temperatura y humedad relativa y los despliegue en una pantalla LCD.
- d. Diseñar la rutina en LabView para controlar la matriz de relays.
- e. Diseñar las rutinas en LabView para controlar las tarjetas de adquisición de datos analógica y digital.
- f. Diseñar los comandos en GPIB para controlar las fuentes de alimentación, generador de pulsos y de funciones arbitrarias.

2.3.3 Objetivos de documentación

- a. Se generará un manual de usuario donde se especifique el funcionamiento del sistema, así como sus limitaciones y ventajas. Este manual contendrá explicaciones gráficas de utilizar tanto el software como el hardware del sistema.
- b. Se redactará un documento en el cual se explique la manera en la que se tiene que ampliar el prototipo para obtener un sistema completamente funcional.

2.3.4 Objetivos de implementación

- a. Ensamblar mediante la técnica de “*wire wrap*” el sistema prototipo probador de PEMs D5.
- b. Diseñar un gabinete para proteger el prototipo.
- c. Diseñar una interfaz de usuario fácil de usar y con ayuda interactiva para facilitar a los técnicos el uso del sistema.

Capítulo 3: Marco teórico

En este capítulo se comentará sobre los principales conceptos relacionados con el problema y la solución. Se hablará sobre el proceso a mejorar, características de los protocolos utilizados, componentes y proceso de prueba de PEMs en la empresa Teradyne.

3.1 Descripción del sistema o proceso a mejorar

En Teradyne de Costa Rica, una de las tareas realizadas es el proceso de calibración y prueba de PEMs; estos PEMs son partes fundamentales de muchos de las “*channel card*” de los sistemas ATE que Teradyne comercializó desde los años 80. Por esta razón es necesario brindar soporte de reparación y calibración a empresas que todavía hacen uso de sistemas basados en PEMs.

Para realizar el proceso de calibración y prueba se hace uso del sistema L621, el cual con el paso del tiempo se ha vuelto obsoleto, difícil de reparar y sin soporte por parte de la empresa, lo cual ha generado atrasos en la línea de prueba.

El proceso de prueba del PEM da inicio cuando los clientes envían a Teradyne de Costa Rica, una “*channel card*” dañada, esta tarjeta está compuesto por PEMs los cuales a su vez pueden de distintos tipos, por ejemplo: D4, D5, D6, D7, D10 ó D11. Dependiendo del tipo de PEM se utiliza un “*fixture*” de prueba distinto en el sistema para realizar el proceso de prueba y calibración. Una vez probados y ajustados los PEMs se colocan nuevamente en la “*channel card*” y se hacen pruebas en el sistema correspondiente para comprobar su correcto funcionamiento y posteriormente ser devuelta al cliente.

En la figura 3.1 se muestra el flujo de trabajo cuando una “*channel card*” basada en PEMs llega a la empresa Teradyne de Costa Rica.

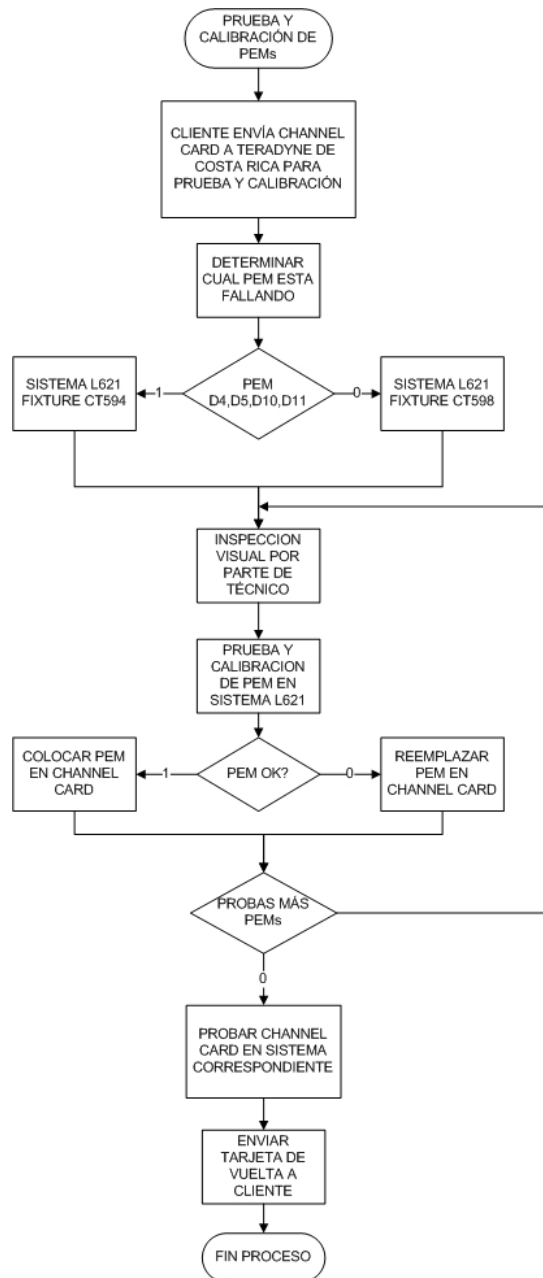


Figura 3.1. Pasos a seguir para probar y calibrar PEMs de clientes.

3.1.1 PEM D5.

El PEM D5, es un módulo presente en las tarjetas de canales o “*channel cards*” del sistema L210 de Teradyne. Este módulo es encargado de generar patrones digitales de prueba por pin (*digital test per pin*); cada uno de estos PEMs puede forzar señales altas y bajas a un pin de un circuito integrado, así como también

servir como fuente o sumidero de corriente esto con el fin de medir la capacidad de carga o el “fan out” de cada uno de las patillas del circuito integrado.

El PEM en general está conformado básicamente por tres unidades funcionales las cuales se encargan de probar y caracterizar un pin de un circuito integrado digital, las unidades que lo conforman son las siguientes:

1. **Pin Driver:** es la unidad encargada de forzar señales lógicas altas o bajas al pin del circuito integrado. Esto con el fin de analizar el comportamiento del pin ante una señal baja o alta.
2. **Pin Detector:** este módulo es el encargado de recibir las señales provenientes del dispositivo bajo prueba y de compararlas con valores programados, con el fin de determinar si la respuesta del dispositivo se encuentra dentro de los rangos permitidos.
3. **Active Load:** esta unidad es la encargada de suministrar/recibir corriente hacia/desde el dispositivo bajo prueba, esto para determinar la capacidad de carga (fan out) del dispositivo bajo prueba.

El PEM D5 se encuentra conformado por dos capas, la capa superior e inferior. Esta división se debe se debe a consideraciones eléctricas tales como número de pines y espacio necesario para cada una de las etapas, en la figura 3.2 y figura 3.3 se muestra como la división de la capa superior e inferior respectivamente del PEM D5.

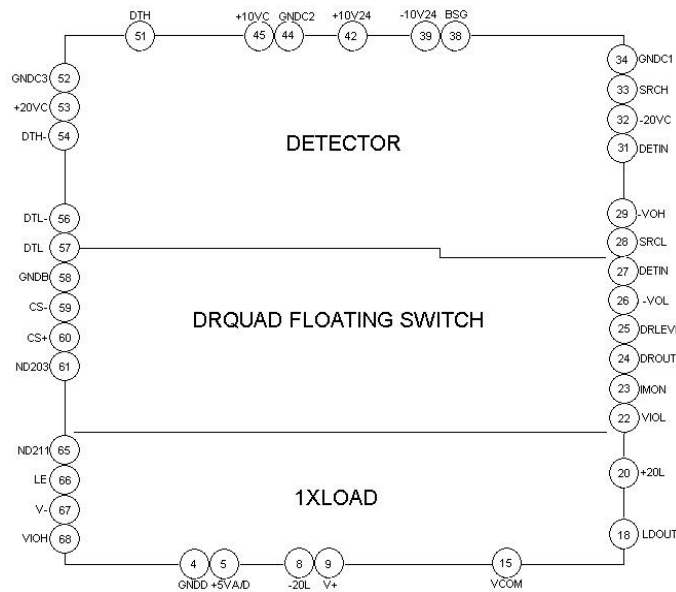


Figura 3.2. Módulos eléctricos de la capa superior del PEM D5.

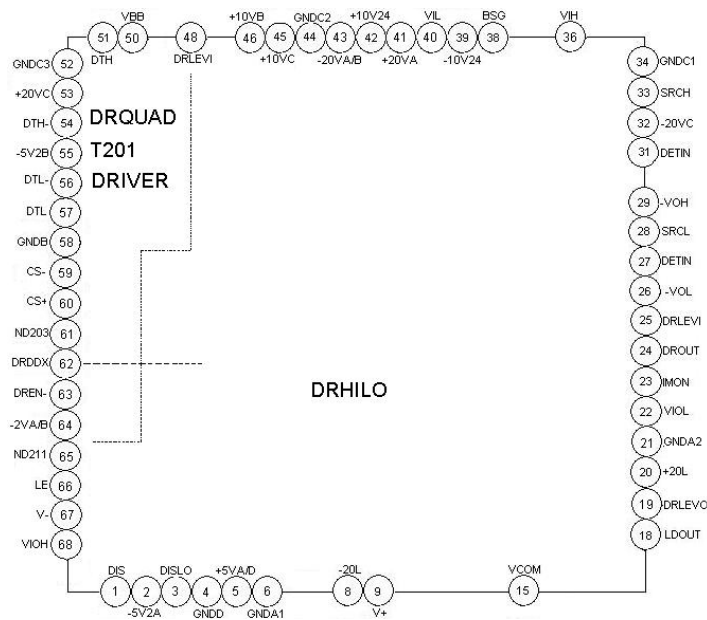


Figura 3.3. Módulos eléctricos de la capa inferior del PEM D5.

Los módulos DRQUAD T201, DRHILO y DRQUAD FLOATING SWITCH forman parte del “*pin driver*” del PEM D5, mientras que el DETECTOR y 1XLOAD forman parte del “*pin detector*” y el “*active load*” respectivamente.

Existen dos tipos de PEM D5 la revisión D y la revisión E, donde la diferencia principal entre estos módulos radica en algunas resistencias extra que posee la revisión E, además de algunas variaciones en los límites de las pruebas realizadas.

3.1.2 Sistema L621

El sistema de prueba automático L-621 es un sistema el cual fue comercializado por Teradyne durante los años 1978 a 1984. A partir de 1998 este sistema dejó de recibir soporte técnico por parte de Teradyne, esto debido a las nuevas tecnologías y sistemas desarrollados por la empresa.

Actualmente Teradyne de Costa Rica cuenta con 3 sistemas L621, de las cuales dos de éstas son utilizadas para el proceso de prueba de PEMs y una para calibración de tarjetas.

El sistema L621 se encuentra conformado por tres kioscos, el kiosco del programador, kiosco de desempeño y el kiosco del computador; la manera en la que se encuentran distribuidos se muestra en la figura 3.4.

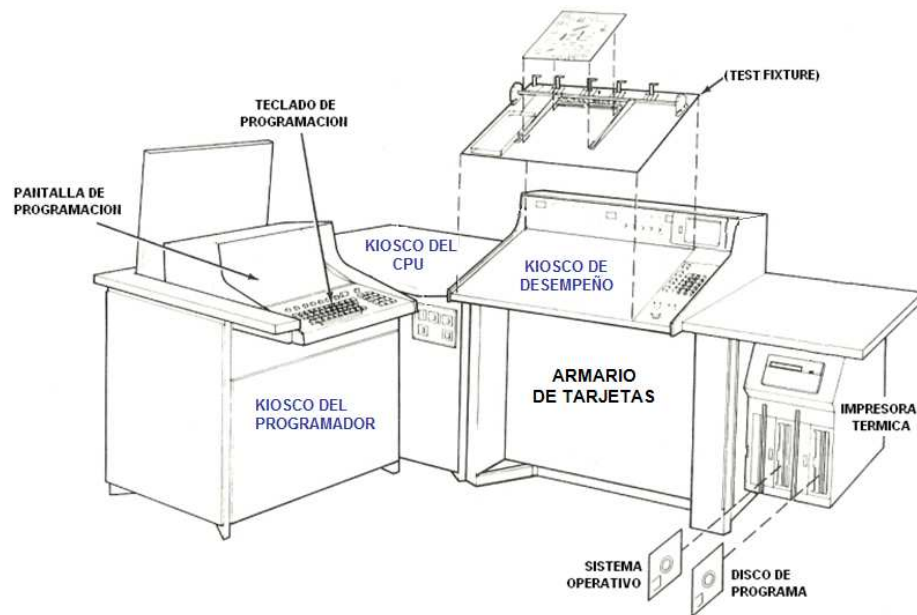


Figura 3.4 Kioscos funcionales del sistema L621.

El sistema L621 se encuentra controlado por el kiosco del CPU mediante un microprocesador 8080 de 8 bits, en este kiosco se generan todas las señales de control tanto del sistema como para los instrumentos internos y externos que posee el sistema.

Mediante el control de un programa almacenado en la memoria de la máquina, el kiosco de CPU envía señales de control a través de un bus de datos a una serie de instrumentos localizados en el armario de tarjetas del sistema; estos instrumentos pueden ser fuentes tensión y corriente directa programables, generadores de ondas analógicas y digitales o instrumentos de medición, éstas señales son direccionadas a diferentes puntos del dispositivo bajo prueba mediante tarjetas de matrices de relays, las cuales se encargan de conectar el sistema L621 con los distintos pines del dispositivo bajo prueba.

El sistema L-621 es un sistema utilizado para realizar pruebas de funcionabilidad a tarjetas electrónicas analógicas y digitales. Básicamente su funcionamiento se basa en el envío de impulsos eléctricos (estímulos) a la tarjeta y recepción de los impulsos de vuelta para su medición y análisis por medio de un programa de pruebas almacenado en la memoria de su computadora. Las respuestas ante estos estímulos regresan al sistema L621 a través de la misma matriz de relays por la que se enviaron los estímulos al dispositivo bajo prueba; una vez recibida la medición se envían los resultados hacia el microprocesador el cual se encarga de determinar si el estímulo y su respectiva respuesta se encuentran dentro de los rangos permitidos y por ende determinar si el dispositivo está funcionando correctamente.

El sistema L621 es reconfigurable mediante software a través del kiosco de programación y puede probar distintos dispositivos a través de “*fixtures*” intercambiables y software específicos de control.

3.1.3 Proceso de prueba de PEMs D5.

Desde que el PEM D5 llega a Teradyne de Costa Rica dentro de las “*channel card*” de los clientes, se realizan una serie de pruebas, calibraciones y reparaciones al PEM D5 y su correspondiente “*channel card*”.

La primera inspección es dentro de la “*channel card*” y es una revisión visual esto para determinar si el PEM presenta algún tipo de daño visible. el siguiente paso consiste en probar la tarjeta en un sistema de prueba donde éste indica cuáles de los canales de la tarjeta presentan un funcionamiento inadecuado, si esta prueba muestra que alguno de los canales falla se procede a probar el PEM en el sistema L621, el cual mediante el software de control adecuado se encarga de generar patrones de prueba a cada uno de los módulos que conforman al PEM, logrando aislar el error y con esto una más fácil reparación por parte del técnico encargado.

El proceso de prueba de PEMs D5 consiste en una serie de pruebas e inspecciones por parte del técnico encargado, en la figura 3.5 se muestra el flujo de las pruebas que se realizan.

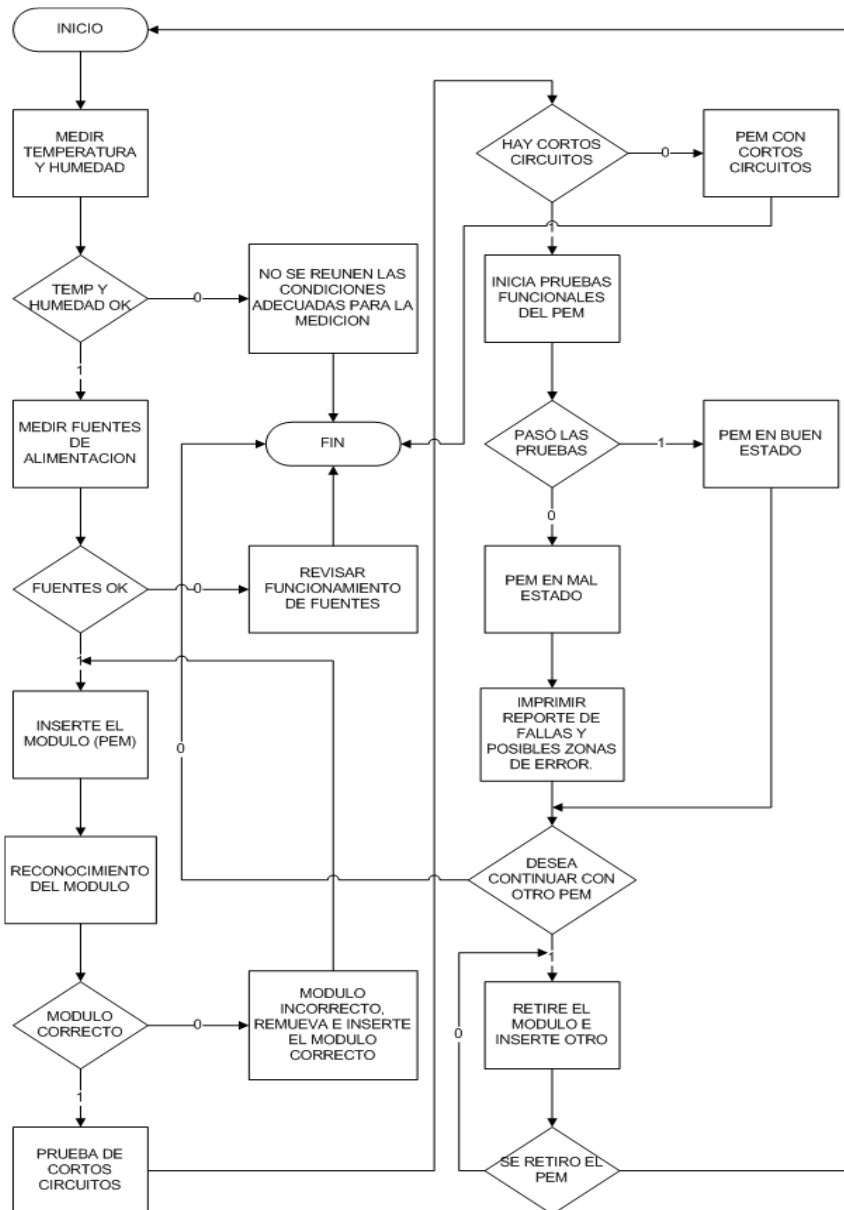


Figura 3.5 Proceso de prueba de PEM D5.

Al PEM D5 se le realizan en total 188 pruebas, de las cuales éstas se encuentran divididas en grupos y en tipos. Los grupos hacen referencia a las distintas etapas que conforman al PEM, en total se encuentran trece grupos. Los tipos de pruebas funcionales que se realizan en total son nueve así como cuatro pruebas iniciales donde se verifica el correcto funcionamiento del sistema de prueba y de las condiciones de medición (temperatura y humedad), en la tabla 1 se muestran los tipos de pruebas realizadas por el sistema L621.

Tabla 1. Tipos de pruebas que se realizan al PEM D5.

Pruebas funcionales	Cantidad	Descripción
Resistencia	13	Medición de resistencia de componentes para verificar funcionamiento
Capacitancia	21	Medición de capacitancia de capacitores.
Inductancia	1	Medición de inductancia de bobina de capa superior de PEM D5.
Corriente (entrada/salida)	55	Medición de corriente de salida/entrada de pines del PEM.
Tensión	40	Medición de tensiones de entrada y salida de pines del PEM
Respuesta en frecuencia	3	Medición de la respuesta de pines del PEM ante variaciones de frecuencia.
AC Tweak (calibración)	2	Prueba de calibración de fase en PEM
AC	28	Respuesta del PEM ante estímulos en corriente alterna
Tiempo de propagación	18	Medición de tiempos de propagación en unidades del PEM
Pruebas iniciales		
Cortos circuitos	1	Verificación de cortos circuitos entre pines del PEM
Identificación de módulo	1	Identificación automática de capa de PEM
Medición de temperatura y humedad relativa	1	Medición de temperatura y humedad relativa, con el fin de verificar que mediciones se realizan en condiciones adecuadas.
Medición de fuentes de alimentación	1	Se miden los valores de las fuentes de alimentación para verificar su correcto funcionamiento.

La cantidad y tipo de pruebas que se realiza por grupo depende fundamentalmente de la cantidad de componentes y del funcionamiento de cada una de las etapas que conforman al PEM. En la tabla 2 se muestra la cantidad de pruebas funcionales realizadas a cada una de las capas del PEM D5.

Tabla 2. División de las pruebas funcionales en las capas del PEM D5.

Capa del PEM	Cantidad de pruebas
Superior	102
Inferior	64
Superior+ Inferior	22

Estas pruebas son controladas a través de software precargado en el sistema L621, este software se encarga de controlar los instrumentos de medición y excitación del PEM a través de matrices que conectan los 68 pines del PEM D5. Este código fue escrito a finales de los años setenta por ingenieros de Teradyne en Estados Unidos, este lenguaje es propio de la empresa y cuenta con gran similitud a lenguajes comerciales como BASIC. A continuación se muestra un extracto de este programa para realizar una prueba de resistencia.

1: HILO: HI K9
2: METER: 2.5 KOHM (LV), HI DRDDXA LO N2AB [DC, HI ACC, OSC ON]
3: TEST: "R132" METER (-CALVAL (4)) 560 +-5%
4: BRANCH: CALL TSTORE

En la primera línea se programan los relays encargados de conectar los pines del PEM D5 a los instrumentos internos del sistema L621, en la segunda línea se ajusta el rango del multímetro así como su función, en este caso resistencia, la tercer línea toma la medición y la compara con los valores establecidos en la prueba ($\pm 5\%$) para determinar si la prueba de resistencia pasa o falla y por último en la línea cuatro se llama a la subrutina *TSTORE* la cual se encarga de procesar los datos adquiridos para su futuro uso dentro del sistema.

3.2 Descripción de los principales principios físicos y/o electrónicos relacionados con la solución del problema.

Para la implementación del sistema de prueba automático de PEMs D5, se utilizaron interfaces en software, circuitos electrónicos e instrumentos controlados mediante protocolos de comunicación, las características más importantes de estos dispositivos así como las leyes mediante los cuales éstos se rigen se describen a continuación.

3.2.1 Interfaces de comunicación

3.2.1.1 Bus de interfaz de propósito general (GPIB)

Los instrumentos utilizados en la solución del problema tales como: el multímetro, las fuentes programable Agilent y generador de pulsos y funciones Agilent cuentan con interfaz de comunicación GPIB.

El bus de comunicaciones GPIB originalmente desarrollado a finales de los años 60 por Hewlett-Packard, con el fin de conectar y controlar instrumentos programables fabricados por ellos mismos. En 1975 la IEEE (*Institute of Electrical and Electronics Engineers* por sus siglas en inglés) publicó el estándar IEEE 488-1975, donde se especifica las especificaciones eléctricas, mecánicas y funcionales del GPIB [1], este bus es actualmente conocido como:

- Bus de interfaz de propósito general (GPIB).
- Bus de interfaz de Hewlett-Packard (HP-IB).
- Bus IEEE-488



Figura 3.6 Conector y asignación de pines de GPIB [2]

El bus GPIB consiste en una interfaz paralela de 24 líneas, divididas en 5 líneas de control, 3 de “*handshake*”, 8 líneas bidireccionales de datos y 6 conexiones a tierra. Existen tres tipos distintos de dispositivos en este bus, estos dispositivos pueden ser habladores “*talkers*”, escuchas “*listeners*” o controladores “*controllers*”. Un “*talker*” se encarga de enviar datos o mensajes a una o más “*listeners*” los cuales se encargan de recibir los datos. El “*controller*” maneja el flujo de la información en el GPIB, enviando comandos de control a todos los dispositivos. [3]

En el caso del proyecto el controlador es la computadora y los escuchas y habladores “*talker*” son los instrumentos mencionados al inicio de la sección.

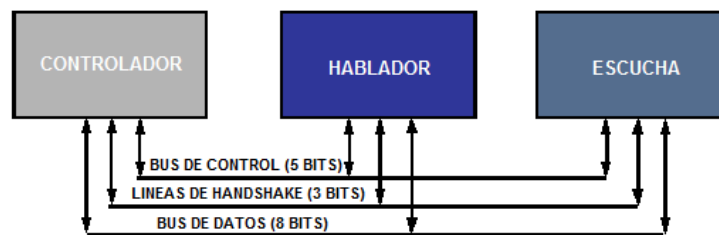


Figura 3.7 Tipos de dispositivos en GPIB.

El GPIB puede manejar 1 controlador activo en el bus y un máximo de 15 escuchas y habladores, sin embargo el control puede pasar a otros

controladores dentro del bus. El controlador determina cual dispositivo se activa, esto lo logra mediante un código BCD de 5 bits asociado al instrumento, mediante este código el controlador puede coordinar el bus y programar a los dispositivos como escuchas, habladores o deshabilitarlos[4]

3.2.1.2 Interfaz de conexión de periféricos (PCI)

El estándar PCI permite la conexión de dispositivos periféricos a la placa madre de un ordenador. Estos periféricos van desde tarjetas de video hasta sofisticadas tarjetas de adquisición de datos y propósito específico.

Éste estándar permite la configuración dinámica de dispositivos periféricos, además de una facilidad de instalación “*plug and play*” donde la computadora detecta automáticamente cualquier nuevo dispositivo conectado al bus. PCI posee un bus de comunicaciones de 32 bits, opera a una frecuencia de 33MHz y puede trabajar con niveles lógicos de 3.3V y 5V.

La interfaz PCI requiere un mínimo de 47 pines para el funcionamiento específico del dispositivo, además requiere de 49 pines para manejar direcciones y datos, control de interfaz y realización de funciones del sistema [5].

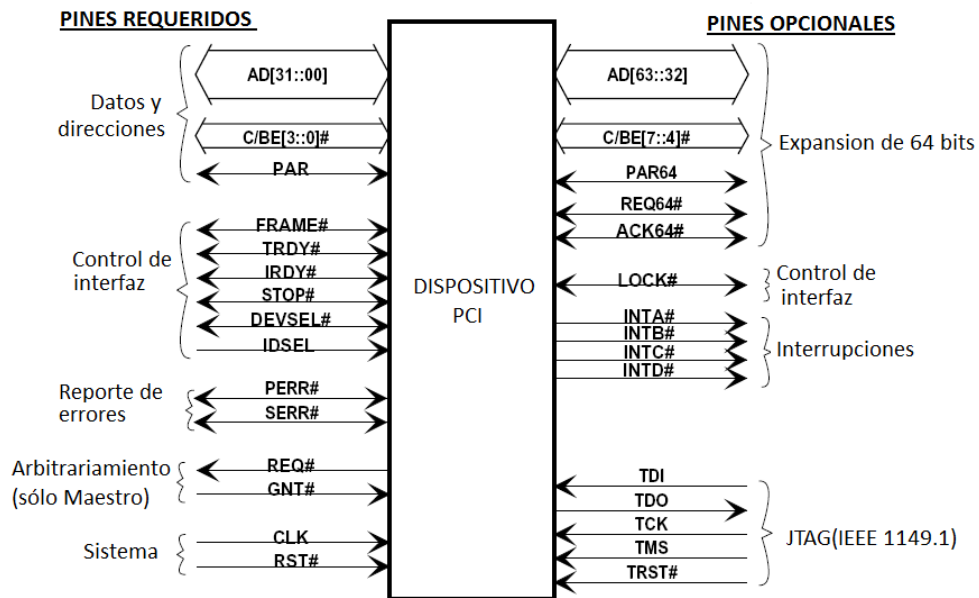


Figura 3.8 Lista de pines de PCI.

Los dispositivos PCI que se utilizan en el prototipo probador de PEMs D5 son:

1. PCI-GPIB, Controlador de GPIB.
2. PCI-DIO96, tarjeta de adquisición de datos digital de 96 canales.
3. PCI-6132, tarjeta de adquisición de datos analógica de 8 canales.
4. PCI-50-513-021, matriz de relays 44x4.

3.2.2 Software de control.

3.2.2.1 LabVIEW

La herramienta de programación LabVIEW (*Laboratory Virtual Instrument Engineering Workbench*) es un lenguaje de programación gráfico, utilizado en el diseño de sistemas de adquisición de datos, instrumentación y control.

La ventaja principal de esta herramienta es que permite diseñar interfaces de usuario y sistemas de control de instrumentos y adquisición de datos mediante diagrama de bloques mediante una consola interactiva basada en software [6].

El diseño de programas en LabVIEW, consiste básicamente en el control de instrumentos virtuales (VI), los cuales a su vez se puede utilizar como aplicaciones o como una subfunción dentro de un programa general. El programa principal en LabVIEW consiste en un panel frontal y un diagrama de bloques, en éste último es donde se realiza la programación del sistema y la utilización de los instrumentos virtuales, mientras que en el panel frontal es donde está la interfaz de usuario.

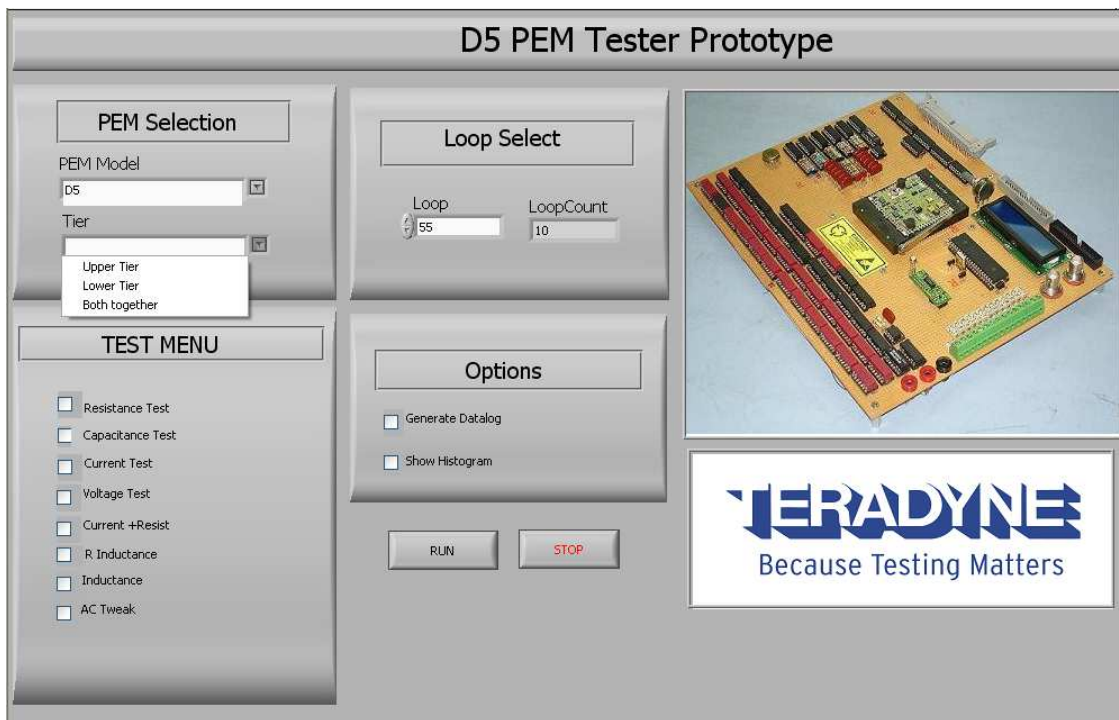


Figura 3.9 Panel frontal de la aplicación en LabVIEW.

3.2.3 Principios físicos envueltos en la solución del problema

3.2.3.1 Temperatura

La temperatura se define como la magnitud física que expresa el grado o nivel de calor de los cuerpos o del ambiente [7]. Existen diversas escalas para medir esta magnitud, desde grados Kelvin según el Sistema Internacional de medidas, grados Centígrados y grados Fahrenheit. En la figura 3.11 se muestra la comparación entre éstas escalas de medición.

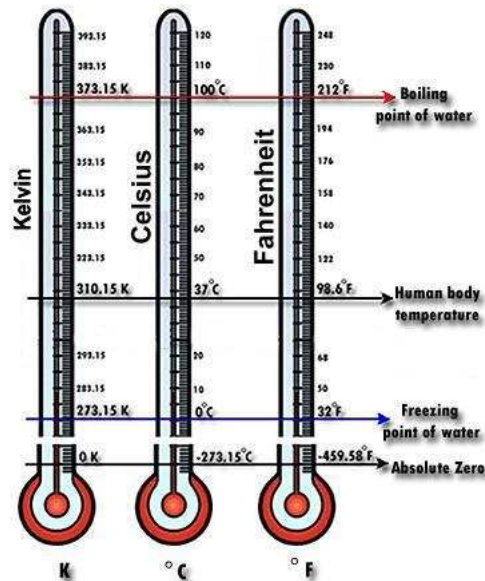


Figura 3.10 Escalas de medición temperatura [8].

En Costa Rica se utiliza la escala Centígrada, creada por el científico sueco Anders Celsius (1701-1744), el cual tomó como puntos fijos la fusión del hielo y la ebullición del agua, asignando un valor de cero grados al primer punto y un valor de cien grados al segundo, todo esto al advertir que estos cambios eran constantes a la presión atmosférica. El grado centígrado o grado Celsius (°C) lo definió como la centésima parte del intervalo comprendido entre los puntos de ebullición y fusión del agua. [9]

3.2.3.2 Humedad relativa

La humedad relativa se conoce como la relación existente entre la cantidad de vapor de agua presente en el aire (humedad absoluta) y la cantidad de agua que podría llegar a contener si estuviera saturado (humedad de saturación). Esta escala se expresa a través de porcentajes; esta unidad de medición se define como un porcentaje de la cantidad de vapor de agua existente en 1 m³ de aire a una temperatura dada.

Si la humedad relativa alcanza el valor de 100% se generan fenómenos de condensación, tales como el rocío de las mañanas de invierno, donde a ciertas horas de la madrugada el agua se condensa debido a la baja de temperatura, otro ejemplo de este fenómeno es cuando se usa la ducha de agua caliente durante largos periodos de tiempo lo cual causa que los espejos se empañen debido a que se alcanzó un 100% de humedad relativa en el cuarto de baño. Los incrementos en la humedad relativa se deben principalmente a dos factores muy importantes tales como la disminución de la temperatura y por el aumento en la cantidad de agua del ambiente [11].

3.2.4 Familias lógicas utilizadas en la solución

3.2.4.1 Lógica emisor acoplado (ECL)

La lógica de emisor acoplado ECL es una familia digital que funciona en no saturación, esta condición permite lograr tiempos de propagación muy pequeños en comparación con las demás familias lógicas. Esta ventaja en velocidad permite su uso en el diseño de sistemas que funcionen a altas velocidades, sin embargo su alto consumo e inmunidad de ruido es la peor en comparación con las demás familias. [12]

Los niveles lógicos de operación de esta familia son -1.8V para un “cero” lógico y -0.9V para un “uno” lógico, por lo general estos circuitos poseen salidas complementarios, esto debido a la configuración que éstos circuito poseen, en la figura 3.11 se muestra una compuerta OR/NOR de tres entradas.

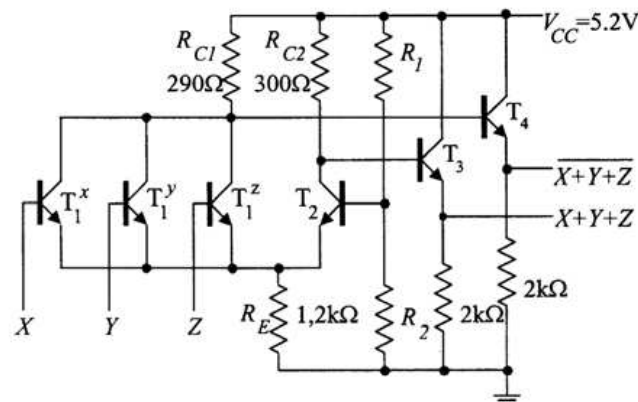


Figura 3.11 Compuerta NOR/OR ECL¹

¹ Imagen tomada de Universidad UNED de España.
http://portal.uned.es/portal/page?_pageid=93_153222&_dad=portal&_schema=PORTAL

Capítulo 4: Procedimiento metodológico

A través de este apartado se describirán las etapas del diseño de ingeniería aplicadas durante el desarrollo del proyecto, las cuales permitieron llegar a una solución ante el problema planteado por la empresa.

Se comentará desde las primeras reuniones donde se dio a conocer el problema, hasta los cambios que se hicieron al diseño durante la implementación del prototipo final.

4.1 Reconocimiento y definición del problema

Mediante dos reuniones con los ingenieros Alberto Aguilar encargado del sistema L621 y Christian García jefe de ingeniería de Teradyne Costa Rica y asesor del proyecto; se definió el problema y los posibles alcances del proyecto.

El ingeniero Aguilar expuso la necesidad de un nuevo sistema el cual sustituyera al sistema L621 en el proceso de prueba de PEMs, esto debido a los problemas que ha venido afrontando al línea de prueba de PEMs por los fallos del sistema L621, mientras tanto el ingeniero García propuso la idea de la implementación de un prototipo el cual lograra fundamentar una inversión mayor de capital por parte de Teradyne Estados Unidos, para la implementación de un sistema final.

La meta y objetivos del proyecto se plantearon haciendo un análisis de la cantidad de trabajo y la dificultad del proyecto, este análisis mostró que el sistema debería ser un prototipo el cual realizara una cantidad reducida pero representativa de pruebas, de tal manera que el prototipo demostrara que con algunas ampliaciones al diseño lograría sustituir al sistema L621 en el proceso de PEMs D5.

Las restricciones del proyecto se definieron en las primeras dos reuniones y durante el desarrollo del proyecto, esto debido a que se encontraron algunas restricciones durante la implementación, tales como la cantidad de pruebas que se realizarían, así como algunos puntos en el software de control del sistema.

Durante el desarrollo del proyecto fueron constantes las reuniones de informe de avances ante los ingenieros de Teradyne, de tal manera que se logró una muy buena retroalimentación de lo realizado y un muy buen seguimiento del cronograma planteado al inicio del proyecto.

4.2 Obtención y análisis de información

El proyecto tuvo una duración aproximada de seis meses, esto debido a la complejidad y duración del mismo. Las primeras seis semanas se dedicaron básicamente a la recolección de información escrita tales como manuales, esquemáticos eléctricos y documentación técnica, teoría de sistema de prueba automático y de técnicas de medición de parámetros en formato digital y se

realizaron preguntas a técnicos e ingenieros; esto con el fin de comprender a fondo el funcionamiento del sistema L621 y del PEM D5.

El análisis se fundamentó prácticamente en cuatro documentos sumamente importantes, el primero fueron los esquemáticos eléctricos del PEM D5, el segundo el manual de usuario de sistema L621, el tercero el esquemático eléctrico del sistema L621 y por último el código fuente del programa encargado de controlar al sistema L621 para el proceso de prueba de PEMs D5.

Los siguientes dos meses del proyecto se dedicaron al análisis minucioso de cada uno de estos documentos, ya que a través de éste análisis se desentrañaron las pruebas que se le realizan al PEM D5.

Los libros de texto no formaron parte fundamental del proyecto, esto debido básicamente a la antigüedad de la maquina L621 y de la tecnología interna que posee Teradyne, donde muchos de los diseños y documentos son clasificados, por lo tanto en la investigación se recurrió a búsquedas en internet de algoritmos, circuitos integrados y "*papers*" los cuales sirvieran de ayuda en el diseño de las pruebas y del circuito encargado de realizarlas.

Durante el proceso de análisis y búsqueda de información se logró mejorar y depurar la idea inicial del proyecto, ya que se tuvo una idea más clara de los alcances y dificultades que vendrían más adelante.

4.3 Evaluación de las alternativas y síntesis de una solución

La etapa fundamental del desarrollo del proyecto fue sin duda alguna el análisis del código fuente y esquemáticos del sistema L621. A partir de este análisis se planteó la solución al problema y se pudo determinar los alcances que tendrían el proyecto y las ventajas sobre el antiguo sistema.

Los pasos en los que se dividió la búsqueda de la solución fueron los siguientes:

- a. Determinar las características de funcionamiento del PEM D5 y sistema L621.
- b. Determinar las pruebas que se realizan al PEM y como éstas se llevan a cabo.
- c. Plantear la solución al problema basado en la información encontrada.

El tercer y la mitad del cuarto mes del proyecto se basaron en la búsqueda de la solución al problema, se extrajeron cada una de las 188 pruebas que se le realizan al PEM D5 mediante la interpretación del código fuente y análisis de esquemáticos eléctricos, y se procedió a determinar el tipo de prueba, así como las partes del PEM involucradas.

Conforme se iban clasificando las pruebas se iban diseñando distintos módulos de software y hardware encargados de realizar las pruebas al PEM. Los circuitos eléctricos así como el PEM D5 se iba simulando uno a uno mediante el programa de computadora Multisim, esto con el fin de verificar si realmente las pruebas y circuitos diseñados estaban cumpliendo con los parámetros de cada una de las pruebas realizadas.

Durante reuniones con el ingeniero asesor se fueron mostrando las pruebas seleccionadas para el prototipo y de qué manera éstas serían realizadas, así como se comentaron sobre posibles mejoras al sistema y alcances del mismo. Una vez diseñadas y verificadas cada una de las pruebas se procedió a realizar el presupuesto necesario para el prototipo, esto con el fin de darlo a conocer a asesor y optar por alguna de las soluciones planteadas.

La selección de las alternativas planteadas de la solución se obtuvo mediante un análisis económico, de implementación, de complejidad y de tiempo, donde siempre se trató de buscar un equilibrio y la aprobación de la empresa.

4.4 Implementación de la solución

Los pasos que se siguieron en la implementación de la solución se muestran a continuación:

1. Diseño del sistema. Mediante programas como Multisim se diseñaron y verificaron cada una de las pruebas realizadas al PEM D5 y se diseñaron los diagramas de flujo que controlan al sistema en LabVIEW.

2. Búsqueda de componentes y elaboración de presupuesto. Se buscaron los componentes eléctricos necesarios para la implementación del sistema y además se elaboraron los distintos presupuestos del sistema. La mayor parte de estos componentes no estaban en nuestro país por lo cual se tuvo que hacer uso de compras en el extranjero por internet para su adquisición.

3. Compra de materiales y espera de componentes. Una vez aprobado el presupuesto se pusieron las órdenes internacionales y se compraron los componentes que estaban en nuestro país. Durante la espera de los componentes se dedicó el tiempo a depurar los diseños y a pensar en cómo estaría ordenado el circuito electrónico y las señales necesarias para su control.

4. Ensamble de circuitos y verificación. Una vez que recibidos los componentes provenientes del extranjero se procedió al ensamble de los mismos, esto se hizo mediante la técnica de “*wire wrap*” con el fin de agilizar la construcción del prototipo y la verificación del mismo (correcto ensamblaje según esquemático diseñado). Además se instalaron las tarjetas PCI de adquisición de datos, matrices de relays y controlador GPIB.

5. Inicio de pruebas de funcionamiento del sistema. Se dio inicio con las pruebas manuales, esto es, sin utilizar el software de control en LabVIEW con el fin de hacer pruebas más rápidas y facilitar la tarea de corrección en el sistema.

6. Programación del software. LabVIEW fue la herramienta seleccionada para el control de instrumentos y flujo de pruebas sobre el PEM D5, los pasos a seguir para la implementación del programa fueron tres, el primero consistió en

comprender las pruebas que se realizan al PEM D5, luego fue el diseño de los diagramas de flujo de cada una de las pruebas realizadas y por último la implementación en LabVIEW tanto del programa como de la interfaz de usuario.

7. Verificación de pruebas utilizando LabVIEW. Una vez verificado el correcto funcionamiento de las pruebas manualmente se procedió a probar el sistema controlado completamente por LabVIEW, donde este software se encarga de controlar instrumentos, fuentes de alimentación y generadores de funciones y pulsos y de generar la interfaz de usuario.

8. Pruebas finales y afinamiento de detalles del sistema. En esta etapa se verificaron que cada una de las pruebas diseñadas cumpliera con los requisitos de la empresa, así como se mejoró la interfaz de usuario, esto con el fin de dar una mejor imagen al proyecto. Se realizó un estudio estadístico a cada una de las pruebas para determinar la confiabilidad del sistema, esto debido a que el prototipo posee la función de realizar múltiples mediciones de lazo o “*looping test*”.

9. Redacción del manual de usuario del sistema. Como paso final en el proyecto se redactó un manual de usuario donde se explica cómo utilizar el sistema, así como los alcances y limitaciones que este prototipo posee.

Durante la implementación de la solución fue necesario modificar la idea inicial de realizar una prueba de cada uno de los tipos mostrados en la tabla XX, esto debido a que se presentaron problemas con la tarjeta de adquisición de datos analógica para realizar las pruebas de AC, sin embargo el circuito diseñado es capaz de realizar las prueba y se dejaron los diagramas de flujo diseñados para controlar la prueba mediante LabVIEW.

A través de cada una de las pruebas realizadas se realizaron pequeñas mejoras al diseño tales como sustitución de componentes antiguos que se habían considerado en el diseño, así como circuitos más eficientes y circuitos de protección para evitar daños por sobretensiones y ruido.

4.5 Reevaluación y rediseño

A pesar de que los objetivos propuestos se cumplieron, el proyecto se puede mejorar considerablemente sustituyendo algunas partes del sistema y protocolos de comunicación de instrumentos. Entre los cambios que se propones para una solución más óptima resaltan:

1. Sustituir “*reed relays*” por relays de estado sólido, esto para evitar problemas de ruido y aumentar la velocidad de conmutación.
2. Sustituir los buses de comunicación de instrumentos GPIB por una interfaz de comunicación con más latencia y moderno.
3. Sustituir generador de pulsos empleado, ya que es un instrumento bastante antiguo y obsoleto.

4. Diseño de un circuito impreso para un nuevo ensamble del sistema, esto para disminuir el ruido y aumentar la estética del sistema.
5. En caso de una implementación final, será necesario expandir los relays que multiplexan los pines del PEM, así como agregar una tarjeta extra de matrices de relays, además de deberá agregar circuitería extra y un generador de pulsos adicional. Las especificaciones de esta expansión a sistema final se pueden leer en los apéndices del capítulo 9.

Capítulo 5: Descripción detallada de la solución

Para el desarrollo de la solución del problema se consideraron distintas alternativas de diseño, en este capítulo se mostrarán las virtudes y desventajas de cada una de ellas, a través de este análisis se logró seleccionar la propuesta que mejor se adaptaba a los requisitos del proyecto y las condiciones de la empresa.

Finalmente en este capítulo se describirá detalladamente el funcionamiento de todas las unidades funcionales que conforman el sistema prototipo de pruebas.

5.1 Análisis de soluciones y selección final

5.1.1 Solución propuesta #1: Sistema de prueba basado en microcontrolador.

Esta propuesta se encontraba basada en un microcontrolador, el cual se encargaría de controlar el sistema, enviando señales de control a los instrumentos de medición, y matrices encargadas de direccionar estas señales a los distintos pines del PEM. En la figura 5.1 se muestra un diagrama de bloques con la solución propuesta.

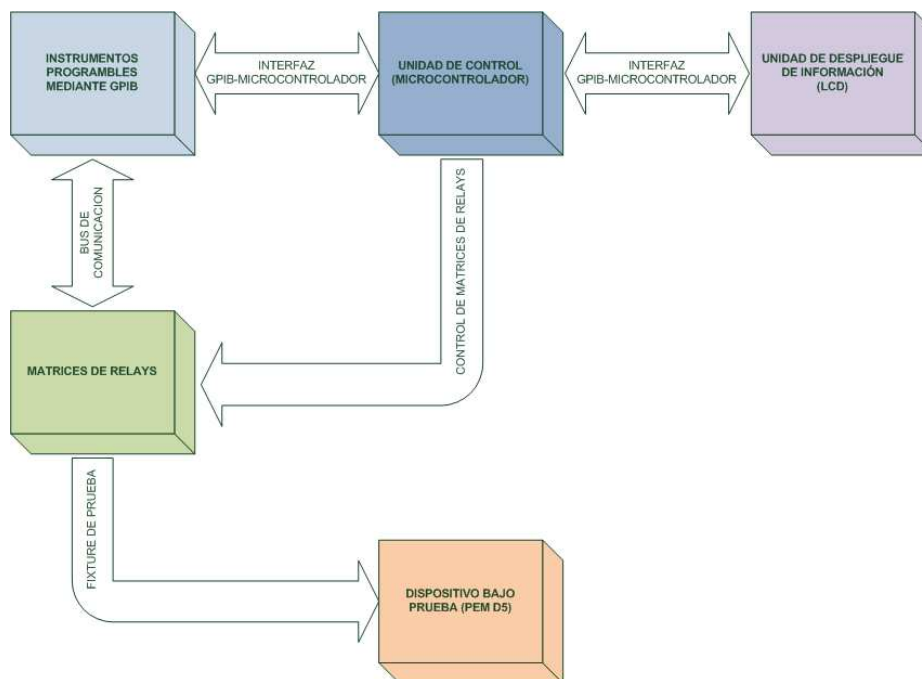


Figura 5.1 Solución proyectada basada en microcontrolador.

Este tipo de implementación presenta grandes ventajas entre las cuales sus más destacables son:

- Unidad de control pequeña y fácil de transportar.
- Fácil reconfigurabilidad, debido a fácil reprogramación de microcontrolador.
- Diseño económico.

A pesar de las ventajas que presentaba esta solución, este diseño poseía bastantes limitantes entre las cuales se pueden mencionar:

- Dificultad para intercomunicar dispositivos controlados mediante GPIB con microcontrolador.
- Extenso programa de control del sistema.
- Dificultad para generar interfaz de usuario.
- Limitantes de microcontrolador (velocidad, cantidad de entradas/salidas, memoria, etc.).
- Dificultad de escalamiento del sistema para expandir funciones.

Debido principalmente a la cantidad de programación que involucraba esta solución y la dificultad de crear una interfaz de comunicación entre los instrumentos y el sistema de control, ésta propuesta se abandonó inmediatamente.

5.1.2 Solución propuesta #2: Sistema de prueba basado en PXI

Los módulos PXI de National Instruments, son actualmente muy utilizados en la implementación de sistemas de prueba automático, esto debido a su gran versatilidad, velocidad y respaldo que poseen. La solución propuesta utilizando un chasis PXI, el cual contara con tarjetas que cumplieran la misma función que las del sistema L621, es sin duda alguna, la solución óptima al problema presente en Teradyne. Entre las ventajas que posee esta propuesta se pueden mencionar:

- Miniaturización del sistema de prueba automático.
- Aumento de velocidad y latencia del sistema, esto debido al bus PXI.
- Fácil programación (LabVIEW).
- Ampliación del sistema se logra mediante tarjetas que se colocan dentro del chasis.
- Excelente soporte técnico por parte de fabricantes.
- Fácil reconfiguración de sistema.

- Mayor capacidad de procesamiento.
- Fácil escalamiento del sistema

En la figura 5.2 se muestra un diagrama de bloques con la solución propuesta utilizando tarjetas y chasis PXI.

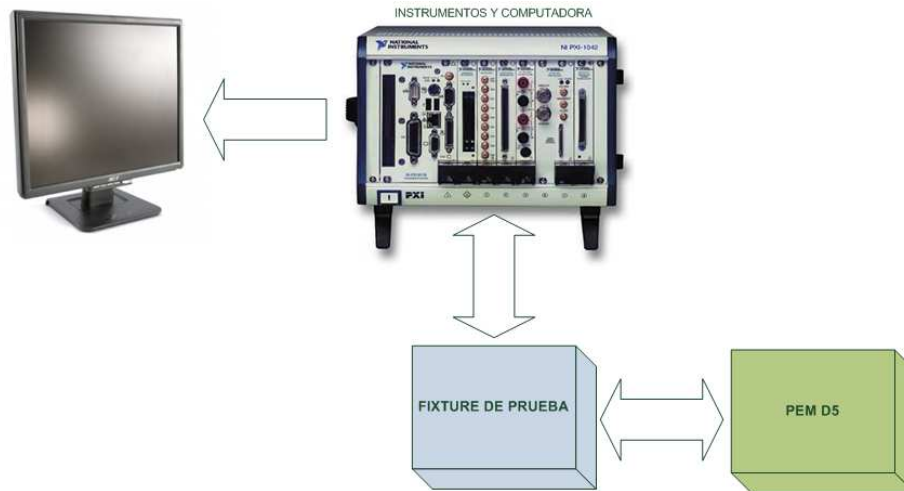


Figura 5.2 Solución proyectada basada en chasis PXI de National Instruments.

La propuesta utilizando módulos PXI, cuenta con un punto débil y es su elevado precio, debido a que este proyecto es un prototipo no era justificable una inversión de dinero de esa magnitud para lograr el objetivo, por lo tanto esta propuesta quedó descartada por lo menos para la implementación del prototipo del probador de PEMs D5.

5.1.3 Solución propuesta #3: Sistema de prueba basado en una PC+LabVIEW y tarjetas PCI.

Mediante tarjetas de adquisición de datos analógicas y digitales, además como matrices de relays y controladores GPIB, manejadas por LabVIEW a través de una computadora se pueden lograr resultados bastante aceptables en comparación con un sistema PXI. Las ventajas de un sistema basado en una PC y LabVIEW se muestran a continuación:

- Alto desempeño del sistema.
- Facilidad de programación (LabVIEW).
- Fácil reconfiguración del sistema (mediante tarjetas PCI).
- Posibilidad de crear interfaces de usuario simples y robustas.
- Excelente soporte técnico por parte de fabricantes.
- Facilidad para controlar instrumentos externos mediante GPIB.

- Posibilidad de escalamiento del sistema con la suma de más tarjetas PCI.

En la figura 5.3 se muestra el diagrama de bloques perteneciente a esta propuesta.

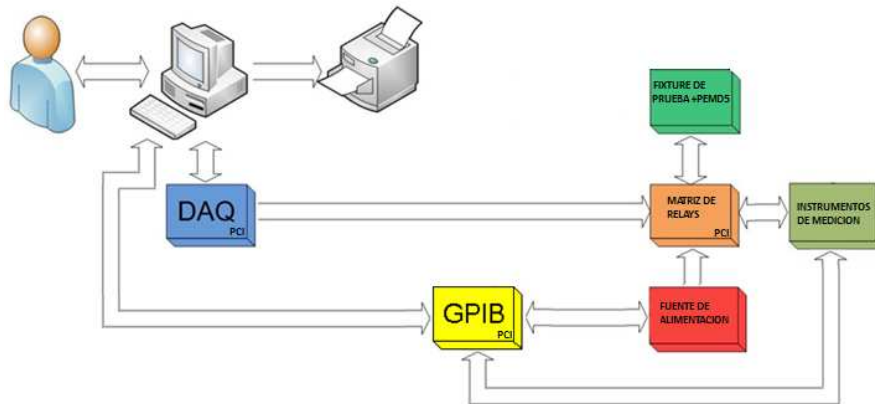


Figura 5.3 Solución proyectada basada en una PC+LabVIEW+tarjetas PCI.

Sin embargo, aunque esta propuesta posee muchas ventajas también posee sus distintas desventajas, éstas se mencionan a continuación.

- Máxima velocidad de operación está dada por el bus PCI, generando un “cuello de botella” considerable.
- Alto costo de tarjetas PCI de propósito específico, tales como tarjetas de adquisición analógicas de alta velocidad, matrices de relays, entre otras.
- Protocolo de comunicación de instrumentos muy lento y antiguo.
- Mayor tamaño de piso en comparación con propuestas anteriores.

5.1.4 Elección de propuesta a implementar

Para la selección de propuesta se utilizaron diversos criterios, tales como, costo, capacidad de procesamiento, escalabilidad del sistema, soporte por parte de fabricantes y duración del proyecto. Realizando un balance entre las ventajas y desventajas de cada una de las propuestas se concluye que la propuesta número dos, es la mejor opción para la implementación del sistema de prueba automático de PEMS D5, sin embargo su alto costo (aproximadamente \$55000) no logró conseguir la aprobación de la empresa, es en este punto donde la propuesta número tres logró obtener el visto bueno por parte de la empresa, a pesar de sus costos no tan bajos y limitantes de velocidad el bus PCI. La propuesta número uno no fue considerada a pesar de su bajo costo, debido a la

cantidad de tiempo que se necesitaría para lograr la implementación del programa de control así como la construcción del circuito de prueba, tiempos que se hacían algo difícil de cumplir en los meses dedicados al proyecto.

5.2 Descripción del hardware

El sistema prototipo de prueba de PEMs D5, se encuentra dividido en módulos funcionales tal como lo muestra la figura 5.4, donde cada una de estas unidades será explicada detalladamente a continuación.

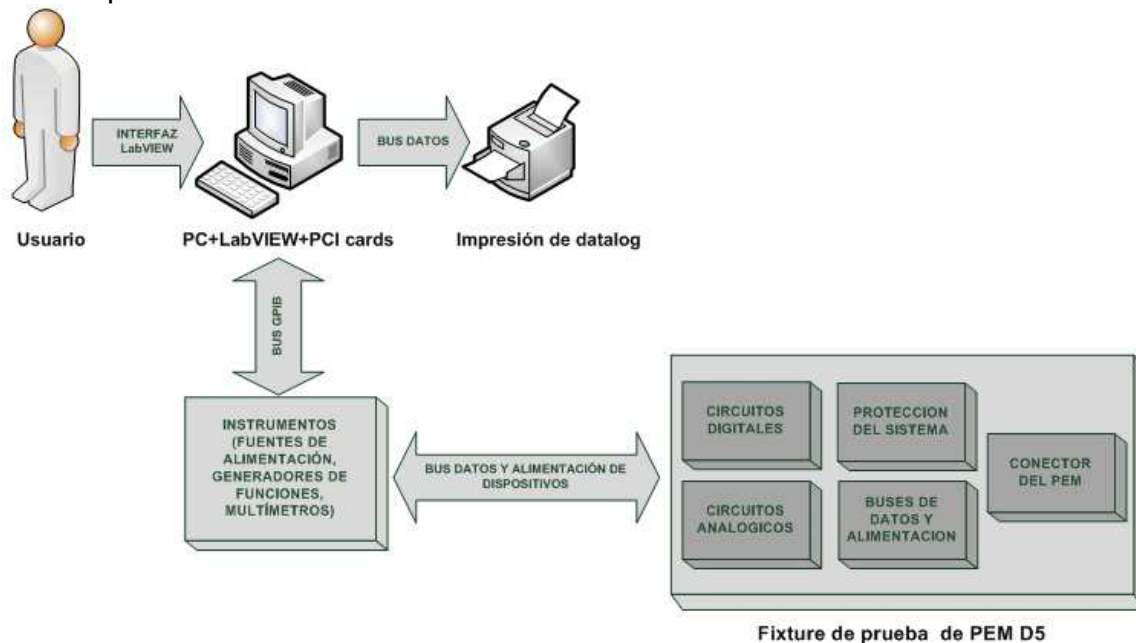


Figura 5.4 Diagrama de bloques funcionales de la solución implementada.

5.2.1 Unidad de control

La unidad de control del sistema consiste en una computadora personal, la cual tiene instalado tarjetas de adquisición de datos analógica y digital, una matriz de relays y una tarjeta controladora de GPIB, todas estas comunicadas con la PC mediante puertos PCI. Estas tarjetas se controlan mediante LabVIEW y se encargan de generar estímulos y de adquirir las respuestas del PEM para su posterior análisis. Las características de la computadora empleada se encuentran resumidas en la tabla 3.

Tabla 3. Características del computador utilizado en el sistema.

Especificaciones del sistema	Tipo
Microprocesador	Intel Core 2 Duo 2.20GHz
Disco duro	160GB
Memoria RAM	2GB
Sistema operativo	Windows XP
Versión de LabVIEW	LabVIEW 8.2

5.2.2 Tarjeta de adquisición de datos PCI-DIO96 de National Instruments

La tarjeta de adquisición de datos PCI-DIO96, es utilizada en el sistema de prueba de PEMs para controlar los relays, multiplexores y convertidores TTL-ECL. En la figura 5.5 se muestra la tarjeta de adquisición de datos.



Figura 5.5 Tarjeta de adquisición de datos digital PCI-DIO96

Las características técnicas más importantes de esta tarjeta se resumen en la tabla 4.

Tabla 4. Características técnicas de la tarjeta de adquisición NI PCI-DIO96

Características	
Bus	PCI
Cantidad de canales	96 E/S digitales
Niveles lógicos	TTL/CMOS
Máxima corriente de salida	2.3 mA
Compatibilidad con LabVIEW	Si
Estado conocido de encendido	Si

5.2.3 Tarjeta de adquisición de datos PCI-6132 de National Instruments

La tarjeta PCI-6132 es parte de la familia S de National Instruments, esta familia se caracteriza por su alta velocidad de adquisición múltiple de datos analógicos y digitales, es usada en el sistema para la adquisición de señales analógicas provenientes del PEM D5 y de los generadores de pulsos para realizar las pruebas de AC.

En la figura 5.6 se muestra la tarjeta PCI-6132.

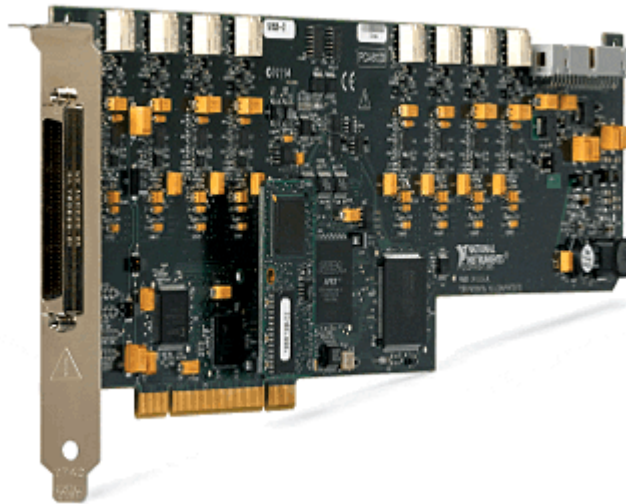


Figura 5.5 Tarjeta de adquisición de datos analógica/digital PCI-6132

Las características más relevantes de la tarjeta PCI-6132 se resumen en la tabla 5.

Tabla 5. Características técnicas de la tarjeta de adquisición NI PCI-6132

Características	
Bus	PCI
Muestreo múltiple	2.5 Ms/s ¹ por 4 canales
Rangos de entrada	4 rangos desde ± 1.25 a ± 10 V
Resolución de ADC	14 bits
Cantidad de contadores/ temporizadores	2, 24 bits
Modos de disparo	Analógico y digital
Canales analógicos	4
Canales digitales	8, 2.4 mA por canal

¹ Millones de muestras por Segundo.

5.2.4 Tarjeta controladora PCI-GPIB de National Instruments

A través de esta tarjeta controladora de GPIB, se manejan los instrumentos del sistema probador de PEMs D5. Esta tarjeta se instala en el puerto PCI de la computadora y mediante cables GPIB se conectan en configuración margarita los dispositivos a controlar. La tarjeta controladora de GPIB se muestra en la figura 5.6.

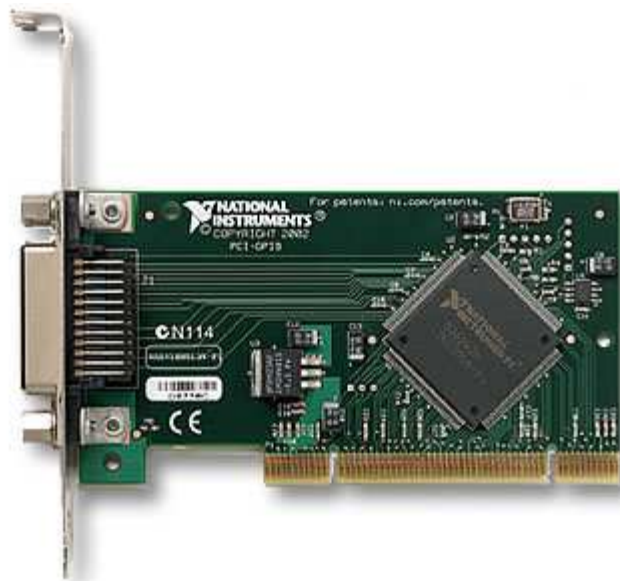


Figura 5.6 Tarjeta controladora GPIB de National Instruments.

Los instrumentos controlados mediante GPIB utilizados en el sistema probador de PEMs son:

1. Generador de funciones Agilent 33220A .
2. Multímetro digital Agilent 3458A.
3. Fuente de alimentación programable Agilent 6624A.
4. Generador de pulsos Agilent 8112A.

Mediante rutinas de LabVIEW se controla el estado de los instrumentos en el proceso de prueba de PEMs.

5.2.5 Matriz de relays 44x4 Pickering PCI 50-513-021

Esta matriz de relays es de suma importancia en el sistema probador de PEMs D5, ya que a través de ésta tarjeta se pueden conectar instrumentos de medición, alimentación o excitación a los pines del PEM. Esta matriz está compuesta por 4 filas y 44 columnas, lo cual permite la conexión de 4 tipos de instrumentos a 44 pines distintos del PEM; estos sistemas de matrices son fundamentales en los sistemas de prueba automático donde se deben realizar

mediciones en múltiples pines con muy pocos instrumentos, lo cual reduce de gran manera la inversión en equipo de medición.

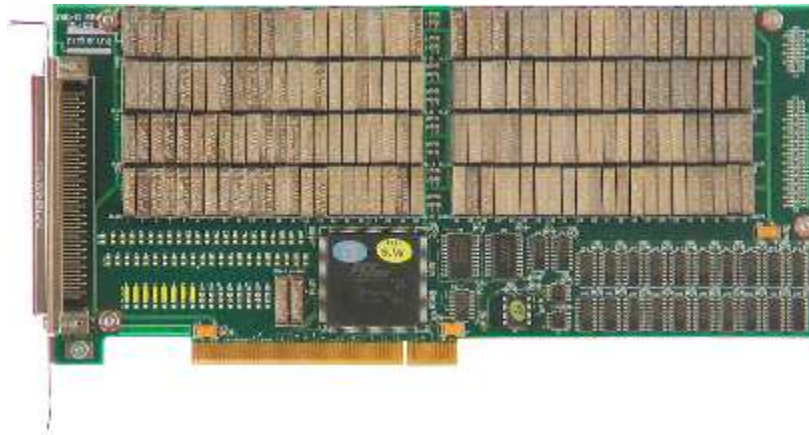


Figura 5.7 Matriz de relays 44x4 Pickering 50-513-021

El sistema de prueba cuenta con una matriz configurada según la figura 5.9, donde las filas se encuentran conformadas por un multímetro, una tierra y una fuente de alimentación programable, mientras que las columnas son los distintos pines del PEM utilizados en las pruebas.

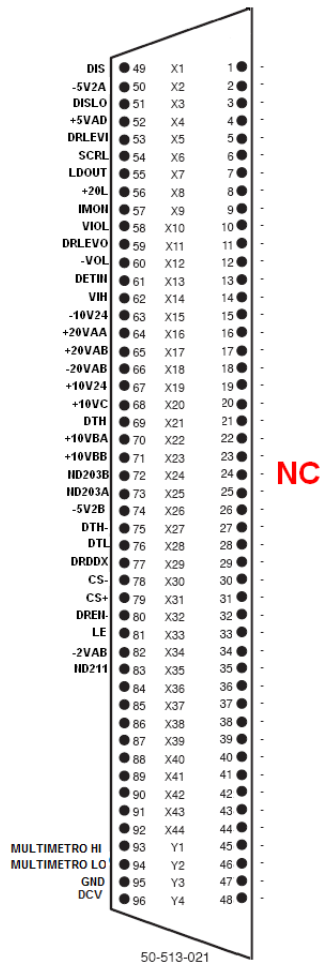


Figura 5.8 Asignación de pines de la matriz de relays.

5.2.6 Circuitos diseñados

Para realizar las pruebas al PEM D5, fue necesario crear un circuito que acondicionara las señales tanto de entrada como de salida provenientes de las tarjetas de adquisición de datos e instrumentos del sistema. Este circuito se encuentra dividido en etapas las cuales realizan tareas específicas dentro del sistema.

5.2.6.1 Etapa convertidora de TTL-ECL

El PEM D5 funciona con lógica de emisor acoplado (ECL), esto con el fin de aumentar la velocidad de operación del PEM.

Por lo tanto para realizar las pruebas es necesaria la creación de una interfaz que convierta las tensiones TTL provenientes de las tarjetas de adquisición de

datos. Para lograr eso se usó el circuito integrado MCH1014, el cual mediante referencias de tensión (-5.2V y -2V) funciona como un convertidor de lógica.

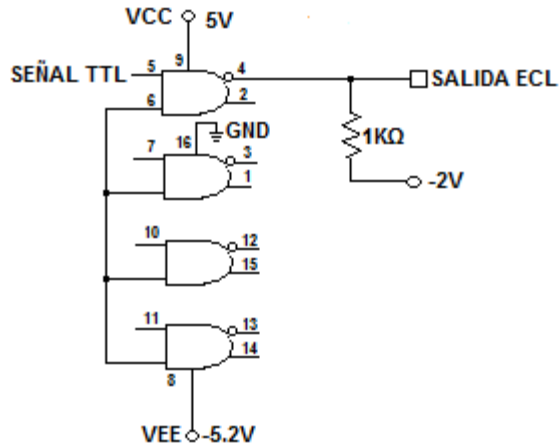


Figura 5.9 Circuito convertidor TTL-ECL

5.2.6.2 Etapa de multiplexación con relays

Debido a que algunas de las pruebas usan pines en común, fue necesario diseñar una etapa para multiplexar entre las distintas funciones; estas funciones van desde alimentar al pin con una determinada tensión y corriente, medir diferentes parámetros a través del multímetro, hasta excitar al pin mediante generadores de funciones.

Para realizar la multiplexación de funciones se hizo uso de arreglos de transistores y relays, estos relays y su conexión se muestran en la figura 5.11

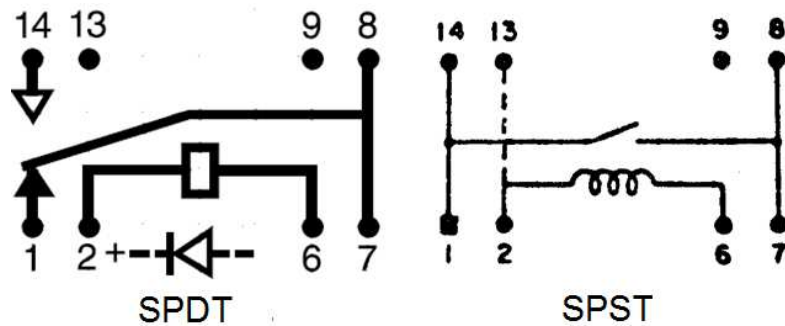


Figura 5.10 Relays SPST, SPDT

La tarjeta PCI-DIO96 se encarga de enviar pulsos a las bases de los transistores Darlington contenidos en el circuito integrado ULN2803, los cuales a su vez se encargan de conectar la bobina del relay a +12 voltios logrando que éste cambie de estado. En la figura 5.12 se muestra el diagrama de conexión eléctrico de esta etapa.

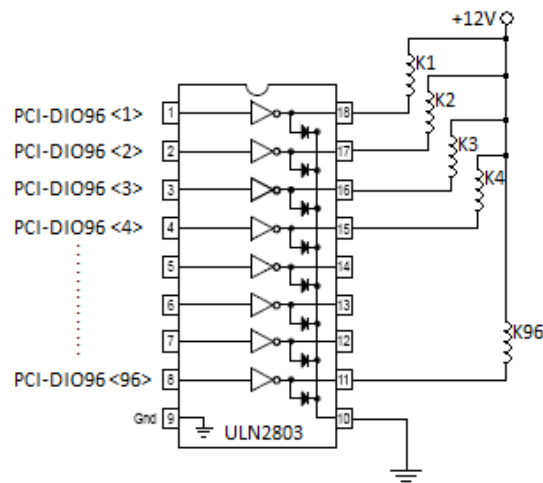


Figura 5.11 Etapa de multiplexación de pines del PEM.

Esta configuración diseñó debido a que la tarjeta PCI-DIO96 no es capaz de suministrar la corriente y tensión suficiente para lograr activar la bobina del relay.

5.2.6.3 Etapa de multiplexación de señales analógicas.

Pruebas como la de capacitancia, inductancia y AC realizadas al PEM D5, hacen uso de generadores de señales y pulsos, por lo tanto fue necesario multiplexar estas señales con el fin de utilizar la menor cantidad de instrumentos en el sistema de pruebas.

Para solventar este problema se hizo uso de multiplexores analógicos CD4051 los cuales permiten un rango de entradas variable según la configuración de sus referencias y alimentaciones, por ejemplo para lograr un rango de entrada de $\pm 5V$ es necesario configurar a $VDD = 5V$, $VSS = 0V$ y a $VEE = -5V$.

Este multiplexor de señales puede también funcionar como demultiplexador, en el sistema de prueba de PEMs se hace uso de esta configuración donde el generador de funciones es compartido por distintos pines del PEM D5.

El control de estos multiplexores/demultiplexores se realiza a través de bits de control, los cuales son activados por la tarjeta PCI-DIO96. La gran ventaja que posee este control digital es la facilidad con la que se pueden controlar a través LabVIEW y el ahorro de componentes externos para controlarlos.

5.2.6.4 Etapa de protección del sistema.

Para evitar problemas por cortos circuitos en el sistema de prueba si hizo uso de fusibles cerámicos en cada una de las fuentes del sistema de tal manera que en

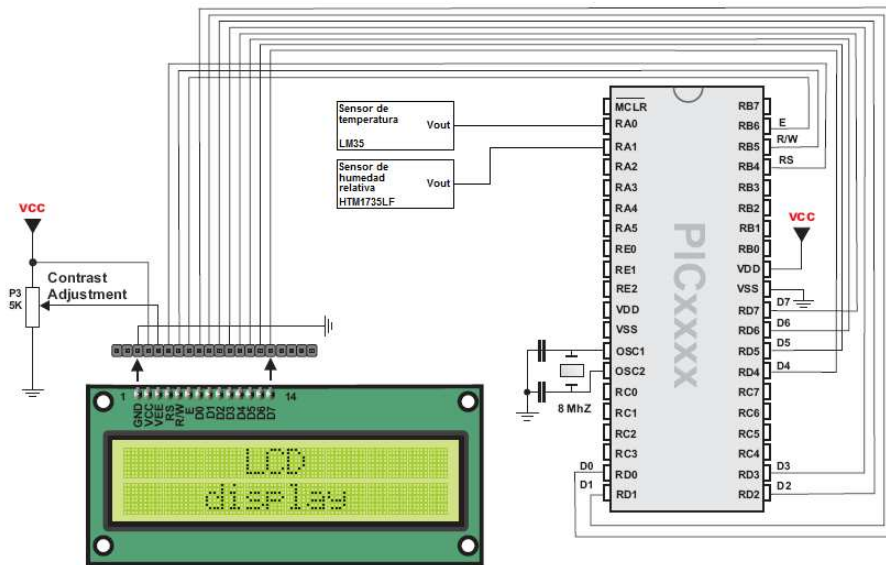


Figura 5.14 Configuración de microcontrolador y sensores.²

5.2.6.6 Conector del PEM al sistema

Para conectar el PEM D5 al sistema de prueba se utilizó un conector tipo ZIF por sus siglas en inglés. Este tipo de zócalo permite insertar y remover el PEM del sistema sin causar daño a los pines, esto se logra a través de una palanca que abre y cierra un tipo de prensa que se encargan de sujetar los pines del PEM. En la figura 5.15 se muestra el conector utilizado en la solución del problema.



Figura 5.15 Zócalo de conexión para el PEM al sistema de pruebas.

5.3 Descripción del software

El sistema de prueba de PEMs se realiza a través de instrumentos controlados por LabVIEW, el programa principal se encuentra dividido en subVI's los cuales se encargan de realizar desde el control de instrumentos hasta los cálculos matemáticos involucrados en las pruebas.

² Imagen tomada de Manual de usuario de MikroC, perteneciente a Mikroelektronika, www.mikroe.com

Por otro lado el procesamiento de los datos medidos por los sensores de humedad y temperatura lo realiza un microcontrolador PIC, el cual se programó en MikroC.

Las rutinas de programación de estos programas se explican a continuación.

5.3.1 Interfaz y control de pruebas en LabVIEW

El alto nivel de programación que presenta este lenguaje gráfico, logró un ahorro significativo de tiempo, ya que los instrumentos utilizados en el sistema de prueba contaban con librerías de control al igual que las tarjetas PCI utilizadas. Por lo tanto el mayor consumo de tiempo de programación fue el de programar las distintas pruebas que se le realizan al PEM.

Los algoritmos de prueba se basaron en las rutinas implementadas por el sistema L621, por lo tanto se realizó una transcripción del lenguaje de programación del sistema L621 a LabVIEW. Mediante el análisis del código fuente del sistema L621 se lograron extraer las rutas de medición e instrumentos utilizados para realizar cada una de las 188 pruebas funcionales del sistema; basados en la información obtenida se realizaron diagramas de flujo para su posterior programación en LabVIEW. En la figura 5.16 se muestra el diagrama de flujo de la rutina en LabVIEW que realiza la prueba de corriente.

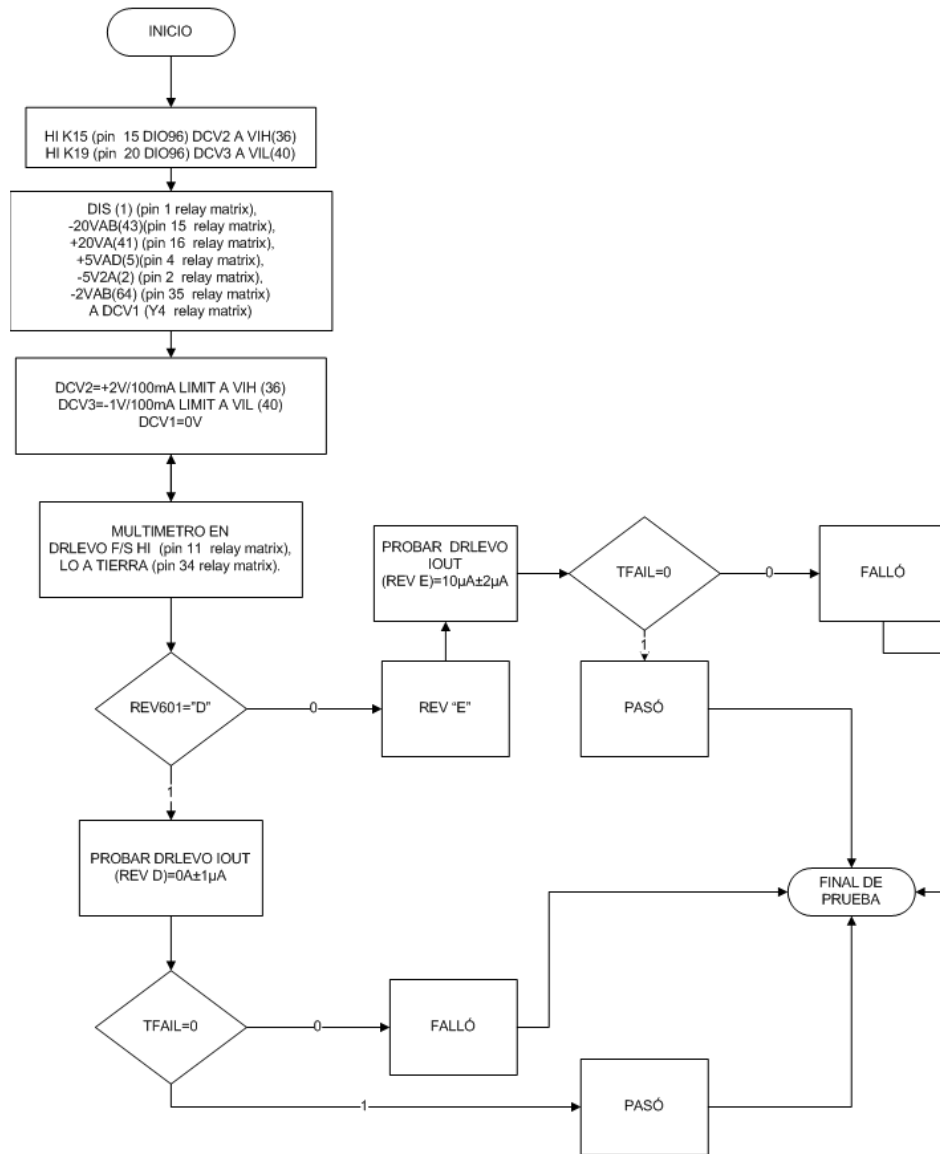


Figura 5.16 Flujo del programa que realiza la prueba de corriente al PEM D5.

5.3.2 Control de LCD y procesamiento de datos de sensores

El microcontrolador PIC18F4550 es el encargado de procesar los datos medidos por los sensores de humedad relativa y temperatura y de procesar los datos obtenidos para su posterior visualización en una pantalla LCD.

La rutina de control de este programa es simple y se muestra en la figura 5.17

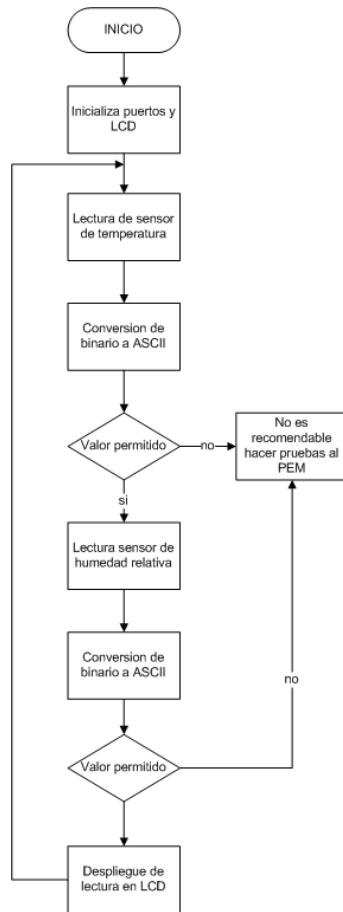


Figura 5.17 Flujo del programa del PIC para sensores y LCD

Capítulo 6: Análisis de Resultados

6.1 Resultados

En este capítulo se presentan los resultados obtenidos del sistema mediante tablas e histogramas, posteriormente se hizo un análisis estadístico para obtener los promedios, desviaciones estándar e histogramas de cada una de las pruebas, con el fin de identificar el comportamiento y la eficiencia de cada una de estas.

Cada tabla de resultados muestra el valor esperado de la medición, los límites superiores e inferiores de la prueba y el promedio de los grupos de muestras tomadas en diferentes momentos, las tablas completas se pueden observar en el apéndice A.3

Tabla 6. Resumen de datos obtenidos para la prueba de resistencia.

Prueba	Condición de fallo	Valor esperado (Ω)	Valor inferior (Ω)	Valor Superior (Ω)	Promedio ³ (Ω)	Desviación estándar (%)
Resistencia	$53.2\Omega < X < 58.8\Omega$	56	55.994	56.004	55,998	0.0022

A partir de las mediciones realizadas se obtuvo un historial el cual muestra la frecuencia y el comportamiento de las mediciones realizadas, este histograma se muestran en la figura 6.1.

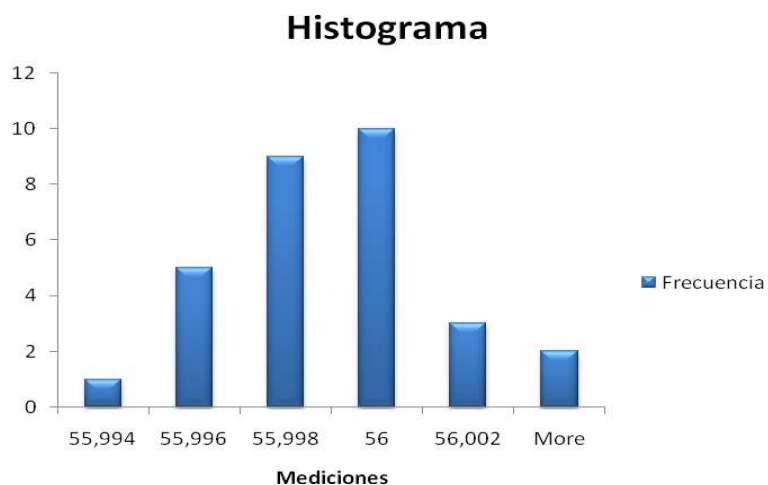


Figura 6.1 Histograma de la prueba de resistencia

³ Se tomaron 30 grupos de 5 muestras cada uno.

Tabla 7. Resumen de datos obtenidos para la prueba de capacitancia.

Prueba	Condición de fallo	Valor esperado (F)	Valor inferior (F)	Valor Superior (F)	Promedio ⁴ (F)	Desviación estándar (%)
Capacitancia	$33nF < x < 58nF$	45E-9	43E-9	47.6E-9	45.51E-9	1,32E-09

A partir de las mediciones realizadas se obtuvieron histogramas los cuales muestran la frecuencia y el comportamiento de las mediciones realizadas.

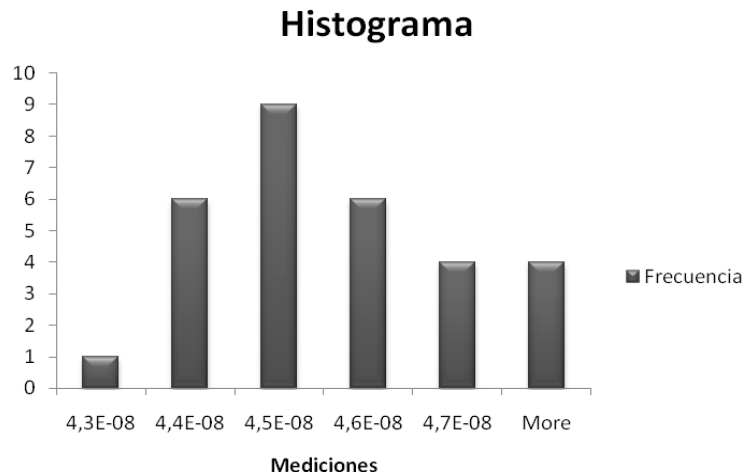


Figura 6.2 Histograma de la prueba de capacitancia.

Tabla 8. Resumen de datos obtenidos para la prueba de tensión.

Prueba	Condición de fallo	Valor esperado (V)	Valor inferior (V)	Valor Superior (V)	Promedio ⁵ (V)	Desviación estándar (%)
Tensión	$-1mV < x < 1mV$	58 E-6	53E-5	59E-6	57.68E-6	2.09-06

⁴ Se tomaron 30 grupos de 5 muestras cada uno.

⁵ Se tomaron 30 grupos de 5 muestras cada uno.

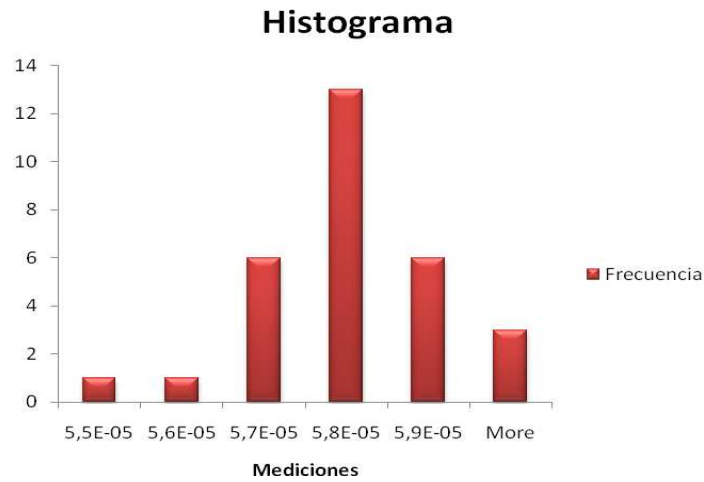


Figura 6.3 Histograma de la prueba de tensión.

Tabla 9. Resumen de datos obtenidos para la prueba de corriente usando resistencia una resistencia auxiliar para su medición.

Prueba	Condición de fallo	Valor esperado (V)	Valor inferior (V)	Valor Superior (V)	Promedio ⁶ (V)	Desviación estándar (%)
Corriente usando Resistencia	$33\text{mA} < x < 45\text{mA}$	35mA	36.5E-5	36.63E-3	36.60E-3	16.45E-6

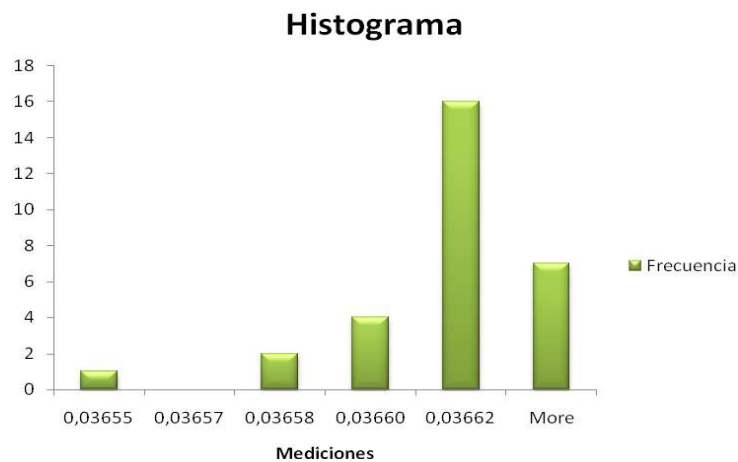


Figura 6.4 Histograma de la prueba de corriente usando resistencia.

Tabla 10. Resumen de datos obtenidos para la prueba de inductancia.

⁶ Se tomaron 30 grupos de 5 muestras cada uno.

Prueba	Condición de fallo	Valor esperado (V)	Valor inferior (V)	Valor Superior (V)	Promedio ⁷ (V)	Desviación estándar (%)
Inductancia	$75\mu\text{H} < x < 212\mu\text{H}$	150 μH	161E-6	163E-6	161.88E-6	3.13E-07

Histograma

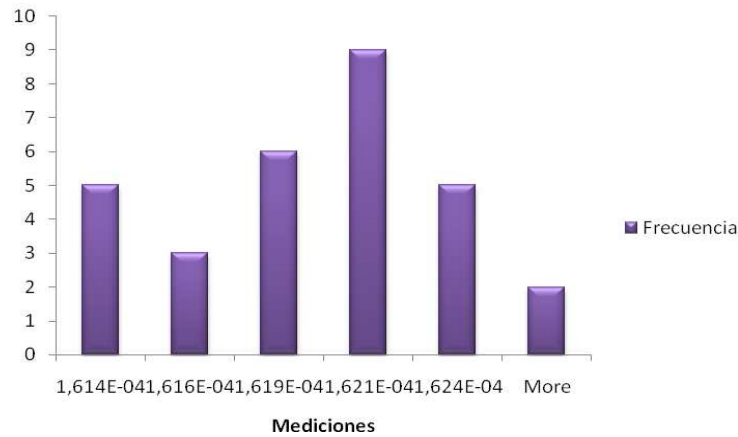


Figura 6.5 Histograma de la prueba de inductancia.

Tabla 11. Resumen de datos obtenidos para la prueba de resistencia de bobina.

Prueba	Condición de fallo	Valor esperado (Ω)	Valor inferior (Ω)	Valor Superior (Ω)	Promedio ⁸ (Ω)	Desviación estándar (%)
Resistencia de bobina	$0 < x < 7.5 \Omega$	0.05 Ω	40.2E-3	43.79E-3	41.74E-3	68E-06

⁷ Se tomaron 30 grupos de 5 muestras cada uno.

⁸ Se tomaron 30 grupos de 5 muestras cada uno.

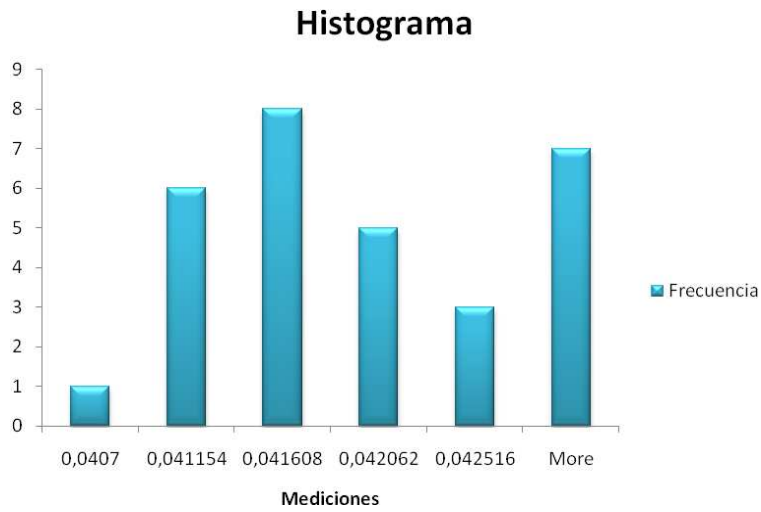


Figura 6.6 Histograma de la prueba de resistencia de la bobina.

Tabla 12. Resumen de datos obtenidos para la prueba de corriente en ambas revisiones.

Prueba	Condición de fallo	Valor esperado (V)	Valor inferior (V)	Valor Superior (V)	Promedio ⁹ (V)	Desviación estándar (%)
Corriente RevD	$-1\text{mA} < x < 1\text{mA}$	0	2.01E-9	2.08E-9	2.05E-9	1.51E-11
Corriente RevE	$8\text{E-}6 < x < 12\text{E-}6$	10E-6	98.9E-6	10.36E-6	10.164E-6	9.69E-8

⁹ Se tomaron 30 grupos de 5 muestras cada uno.

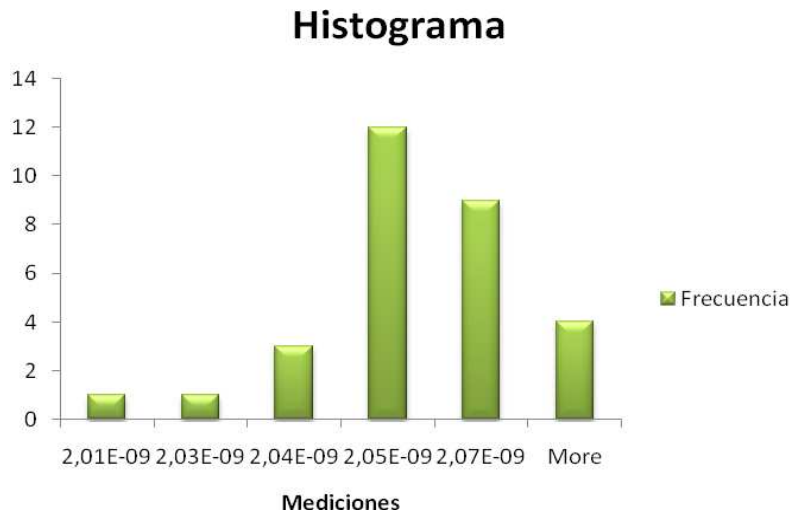


Figura 6.7 Histograma de la prueba de corriente revisión D.

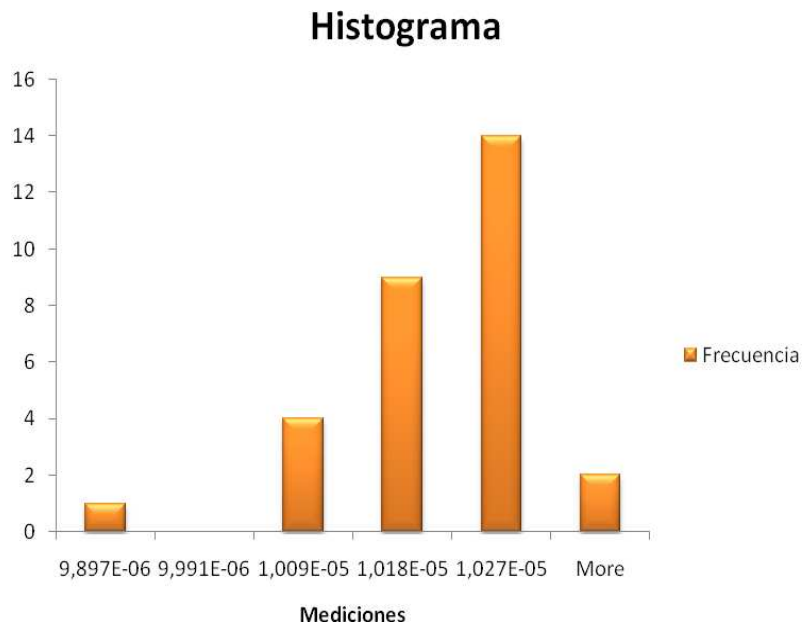


Figura 6.8 Histograma de la prueba de corriente revisión E.

6.2 Análisis de resultados

Los resultados obtenidos corresponden a cada una de las pruebas realizadas al PEM D5, los resultados se obtuvieron mediante 30 grupos de 5 mediciones los cuales fueron medidos en distintos momentos del día y bajo distintas condiciones, esto con el fin de lograr un análisis del sistema bajo todas las posibles condiciones de trabajo.

Los valores esperados se obtuvieron del código fuente del sistema de prueba L621, este valor se toma como referencia para determinar que tan certera es la medición del nuevo sistema de prueba de PEMs con respecto a las realizadas en el sistema antiguo.

Si se observan los histogramas correspondientes a las pruebas realizadas se puede observar claramente como las mediciones no sufrieron variaciones ante distintas condiciones y momentos, lo cual pone en evidencia la estabilidad y confiabilidad del sistema de prueba.

En la tabla 6 se muestran los resultados obtenidos para la prueba de resistencia, el valor esperado de esta medición es de 56Ω y el promedio de las mediciones realizadas fue de 55.998Ω , esta diferencia, radica prácticamente en el método utilizado para tomar la medición del valor esperado, ya que esta se realizó usando el multímetro en modo de 4 hilos donde la pérdida de los cables de medición es compensada y se logran mediciones más exactas.

El sistema de prueba utiliza la medición de resistencia usando dos hilos, esto debido a que la matriz de relays (Pickering 50-513-021) que se utilizó, no permitía manejar señales de cuatro hilos, sin embargo la diferencia entre estas mediciones no es significativa, ya que el promedio de las mediciones obtenidas es muy cercano al valor esperado y se encuentra dentro de los rangos permitidos de la medición.

En la figura 6.1 se observa el comportamiento de la prueba de resistencia, donde la mayoría de las mediciones se encuentran dentro de un rango sumamente pequeño (aproximadamente 0.006Ω), lo cual permite inferir que la prueba se realizó correctamente.

Para comprobar el correcto funcionamiento de la medición se indujeron errores tales como agregar resistencias extra a los pines del PEM bajo prueba, esto con el fin de determinar si el sistema estaba logrando medir exitosamente la resistencia entre los pines seleccionados para la prueba.

En la tabla 7 se muestran los resultados obtenidos para la prueba de capacitancia, esta prueba presentó algunos problemas durante la implementación, ya que la capacitancia se obtuvo a través de una fórmula matemática la cual involucra valores de tensión y corriente en escalas sumamente pequeñas, estos valores tan pequeños (microamperios y milivoltios) se obtenían mediante el multímetro, el cual no siempre capturaba los mismos valores debido a la escala a la que se estaba trabajando, por lo tanto los datos obtenidos se encuentran un poco dispersos dentro de los rangos permitidos, sin embargo el promedio de las mediciones está muy cercano al valor esperado, lo

cual permite decir que a pesar de los valores tan fluctuantes y pequeños el sistema de prueba es bastante eficiente para la medición de capacitancia.

En la figura 6.2 se muestra el histograma de las mediciones de capacitancia realizadas por el sistema de prueba de PEMs, este histograma muestra las fluctuaciones en las mediciones, sin embargo el rango en el que éstos datos están variando es sumamente pequeño (aproximadamente $9.5E-9F$) lo cual se debe a lo pequeño de las corrientes y tensiones como se comento anteriormente.

En la tabla 8 se muestran los resultados obtenidos para la prueba de tensión, esta prueba al igual que las anteriores se realizó a la capa inferior del PEM mediante estímulos a pines específicos y midiendo la respuesta ante estos estímulos en un pin determinado.

El promedio de las mediciones realizadas de esta prueba de tensión fue muy cercano al valor esperado y presenta una desviación estándar de los datos sumamente pequeña, lo cual permite demostrar la eficiencia y calidad de la prueba.

En la figura 6.3 se muestra el historial de las mediciones obtenidas, donde claramente se puede ver el comportamiento normal que presentan las mediciones y su tendencia a un valor central de $58E-6 V$, el cual es el valor esperado de esta medición.

La tabla 9 presenta los datos obtenidos de la prueba de corriente usando una resistencia auxiliar; esta prueba consistía en excitar al PEM con valores específicos y colocar una resistencia de 1Ω conectada al pin bajo prueba y luego medir la caída de tensión que había en esta resistencia, con este valor de tensión y mediante la ley de Ohm se calcula la corriente de salida de este pin específico.

El promedio de las mediciones de corriente obtenido fue de $36.6mA$, valor el cual es muy cercano al valor esperado de la medición, además con un valor tan pequeño de desviación estándar se logra determinar la poca variación y efecto de distintas condiciones en las mediciones realizadas, lográndose justificar la eficiencia del sistema para medir corriente utilizando resistencias auxiliares y la ley de Ohm.

La prueba de inductancia al igual que la de capacitancia se hizo a través de una fórmula matemática la cual emplea tensiones y corrientes de muy baja magnitud, de tal manera que las mediciones presentaron un comportamiento algo disperso, sin embargo son lo suficiente representativas ya que el promedio de estas mediciones estuvo bastante cercano al valor esperado y se encuentra en un punto intermedio de los rangos superior e inferior permitidos, además la desviación estándar de los datos medidos es bastante bajo lo cual permite afirmar que las mediciones se realizaron correctamente y confiablemente.

El histograma de la figura 6.5 muestra una distribución normal de los datos medidos, indicando una tendencia central de $162E-6 H$, las bandas laterales de

este histograma permite observar las variaciones generadas por las pequeñas magnitudes de las tensiones utilizadas para el cálculo de la inductancia.

En la tabla 11 se muestran los resultados de la medición de la resistencia de la bobina del pequeño transformador que posee el PEM D5, esta es una de las pruebas cuyo resultado presentó la mayor variación, ya que el promedio de las mediciones fue muy diferente con respecto al esperado, ante esta duda se procedió a medir las pérdidas generadas por las puntas de prueba del multímetro y la ruta de relays necesaria para realizar la medición, esta ruta de prueba agregó una resistencia extra de 1Ω , por lo tanto hubo una necesidad de restar esta resistencia para aumentar la calidad de la medición aún cuando el rango permita un máximo de 7.5Ω . Esta resta se hizo en la rutina de LabVIEW donde simplemente al valor obtenido por el multímetro se le resta este valor de calibración.

Debido a que el PEM D5 posee dos versiones las pruebas que se realizan a ambos son las mismas, solamente que existen algunas pruebas que poseen límites superiores e inferiores que varía según la versión del PEM, es por esta razón que se diseñó la prueba de corriente para ambas revisiones.

Las configuraciones de relays, fuentes de alimentación y pines de medición fueron las mismas para ambas versiones, sin embargo los límites son muy diferentes, tal como lo muestra la tabla 12, donde el valor esperado de la revisión E es de $10E-6A$ y de $0A$ para la revisión D.

Para la prueba de corriente revisión D, el promedio de las mediciones obtenidas es bastante cercano al valor esperado de cero, sin embargo este valor esperado no se logró debido a las corrientes de fuga que existen en el sistema y que el multímetro capturó, la magnitud de esta corriente ronda por el orden de los nano amperios lo cual se puede tomar como una corriente nula.

Para la revisión E las mediciones si resultaron muy cercanas al valor esperado, mostrando una desviación estándar de los datos de $9,69E-8\%$, lo cual indica la poca variación que existe en las mediciones obtenidas.

Las figuras 6.7 y 6.8 muestran los histogramas de medición de estas corrientes según su revisión donde ambas figuras muestran el comportamiento normal de las mediciones.

Basados en los resultados obtenidos de las pruebas realizadas, se pudo comprobar que el sistema diseñado cumple con los requisitos propuestos en los objetivos, de tal manera que el sistema prototipo logra fundamentar que es posible emular el funcionamiento del sistema L621.

Capítulo 7: Conclusiones y recomendaciones

El prototipo de prueba automática de PEMs D5, logró cumplir satisfactoriamente con los objetivos propuestos al inicio del proyecto, sin embargo posee algunas limitaciones y ventajas sobre el sistema antiguo de prueba.

Este prototipo fue diseñado con el fin de fundamentar y demostrar que es posible mediante LabVIEW y hardware adicional, duplicar el funcionamiento de prueba del sistema L62, con el fin de conseguir una inyección mayor de capital para su implementación final.

7.1 Conclusiones

De este proyecto se pueden concluir los siguientes puntos:

- Se determinó el funcionamiento del PEM D5 y el sistema L621.
- Se determinaron las pruebas realizadas al PEM D5 y su estrategia de medición.
- Los métodos implementados para realizar las pruebas al PEM D5, cumplieron con los límites permitidos y valores esperados.
- El uso de LabVIEW para el control de las pruebas simplificó el tiempo de desarrollo del proyecto.
- Se justificó que un sistema de prueba basado en LabVIEW, tarjetas PCI de propósito específico y circuitería externa puede reemplazar al sistema L621 en el proceso de prueba de PEMs D5.
- Se logró traducir el código fuente del sistema L621 a lenguaje gráfico de LabVIEW.
- La velocidad del sistema de prueba está completamente limitada por el bus de comunicación de los instrumentos (GPIB).

7.2 Limitaciones del sistema desarrollado

A pesar de cumplir con los objetivos propuestos al inicio del proyecto, el sistema implementado presenta algunas limitaciones importantes, éstas se muestran a continuación:

- El sistema diseñado es un prototipo, por lo tanto sólo realiza un grupo significativo de pruebas al PEM.
- Las pruebas de AC y AC TWEAK no se lograron implementar, sin embargo los algoritmos de las pruebas quedaron completamente diseñados para su posterior implementación.

- El sistema de pruebas cuenta con una gran cantidad de instrumentos por lo tanto su portabilidad es nula.
- Debido al tiempo disponible para la implementación de la solución no fue posible realizar el sistema en un circuito impreso, sino mas bien se uso la técnica de “*wire wrap*” por lo tanto el sistema es muy vulnerable al ruido.
- Para su implementación final el presupuesto se incrementaría considerablemente debido a la necesidad de sustituir componentes problemáticos (relays) y agregar tarjetas PCI al sistema de prueba.

7.3 Recomendaciones

Para lograr un desempeño mayor del sistema es recomendable seguir las siguientes recomendaciones:

- Los relays utilizados presentan grandes deficiencias, ya que muchas veces no logran conmutar o volver a su estado normal. Por lo tanto es recomendable sustituirlos por otros más confiables tales como relays de estado sólido.
- Diseñar un circuito impreso, tanto para elevar la estética del sistema como para reducir la interferencia del ruido y lograr mediciones más exactas.
- Sustituir el bus de comunicaciones de los instrumentos por otro más veloz, con el fin de aumentar la latencia del sistema.
- Tratar de reducir la cantidad de fuentes de alimentación a través de reguladores de tensión o fuentes de alimentación con salidas múltiples con el fin de abarcar la menor cantidad de espacio en la empresa.

Capítulo 8: Bibliografía

[1] National Instruments: GPIB Hardware and Software Specifications, [en línea] [citado el 28 diciembre 2008]. Disponible en: <http://zone.ni.com/devzone/cda/tut/p/id/3388>.

[2] GPIB; [en línea] [citado el 28 diciembre 2008]. Disponible en: <http://www.icpdas.com/products/Accessories/cable/images/option/ca-gpib10.jpg>

[3] Universidad de Hungría: GPIB Tutorial [en línea] [citado el 28 diciembre 2008]. Disponible en: <http://www.hit.bme.hu/~papay/edu/GPIB/tutor.htm>

[4] Interface Buses:IEEE 488 Description. Tutorial [en línea] [citado el 28 diciembre 2008]. Disponible en: http://www.interfacebus.com/Design_Connector_GPIB.html

[5] Universidad Tecnológica de Michigan: PCI Local Bus, [en línea] [citado el 4 marzo 2009]. Disponible en: http://www.ece.mtu.edu/faculty/btdavis/courses/mtu_ee3173_f04/papers/PCI_22.pdf

[6] National Instruments: LabView, [en línea] [citado el 28 diciembre 2008]. Disponible en: <http://www.ni.com/labview/whatis/>

[7] RAE: Definición de temperatura, [en línea] [citado el 10 enero 2009]. Disponible en: http://buscon.rae.es/draeI/SrvltConsulta?TIPO_BUS=3&LEMA=temperatura

[8] Comparación de escalas de medición de temperatura, imagen [en línea] [citado el 15 enero 2009]. Disponible en: www.hydrolic.es/imagenes/fotos/temperatura.jpg

[9] Textos científicos: Definición de temperatura, [en línea] [citado el 15 enero 2009]. Disponible en: <http://www.textoscientificos.com/fisica/escalastermometricas>

[10] Universidad de Navarra: Definición de Humedad Relativa, [en línea] [citado el 15 enero 2009]. Disponible en: <http://www.tecnun.es/asignaturas/ecologia/hipertexto/03AtmHidr/110Atmosf.htm>

[11] Sociedad Andaluza de Educación Matemática: Definición de Humedad Relativa, [en línea] [citado el 15 enero 2009]. Disponible en: <http://thales.cica.es/>

[12] Morris Mano, M. Digital Design (third edition): Prentice Hall, August 2001.

Capítulo 9: Apéndices

A.1 Fotos del sistema implementado

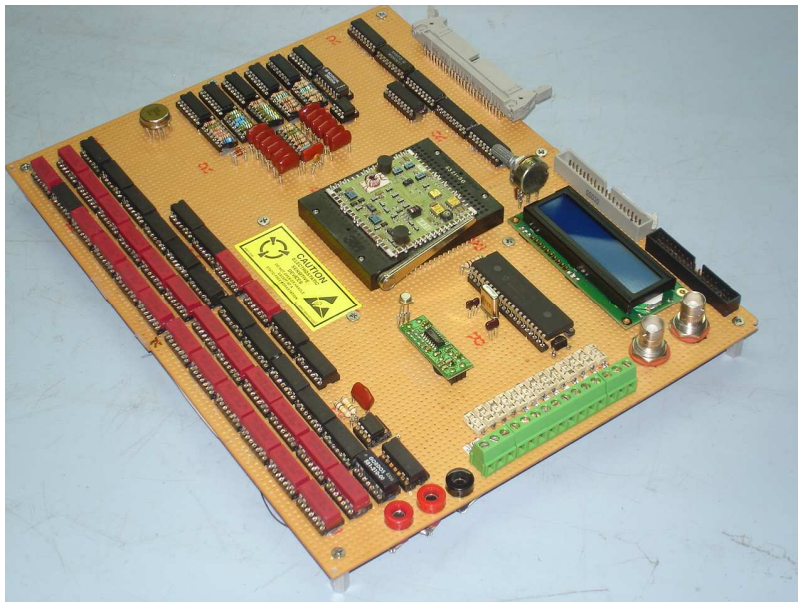


Figura 9.1. Circuito para probar PEMs D5

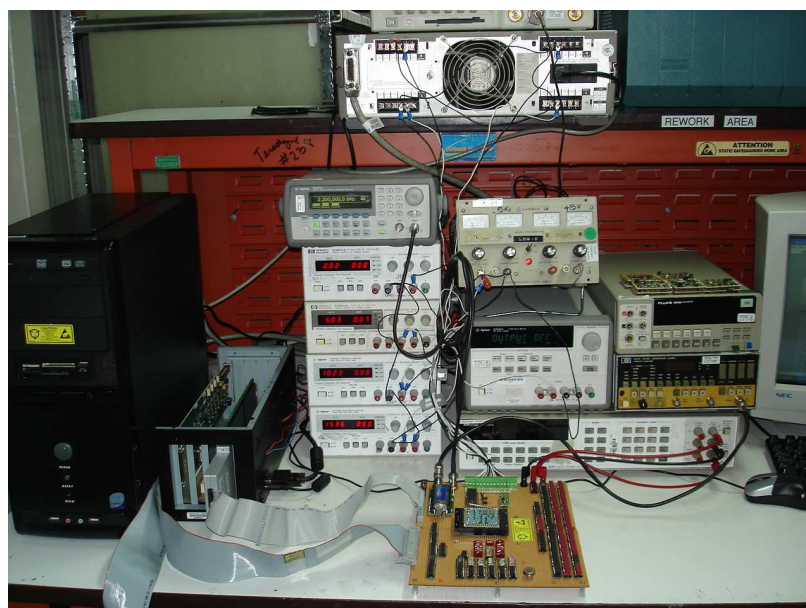
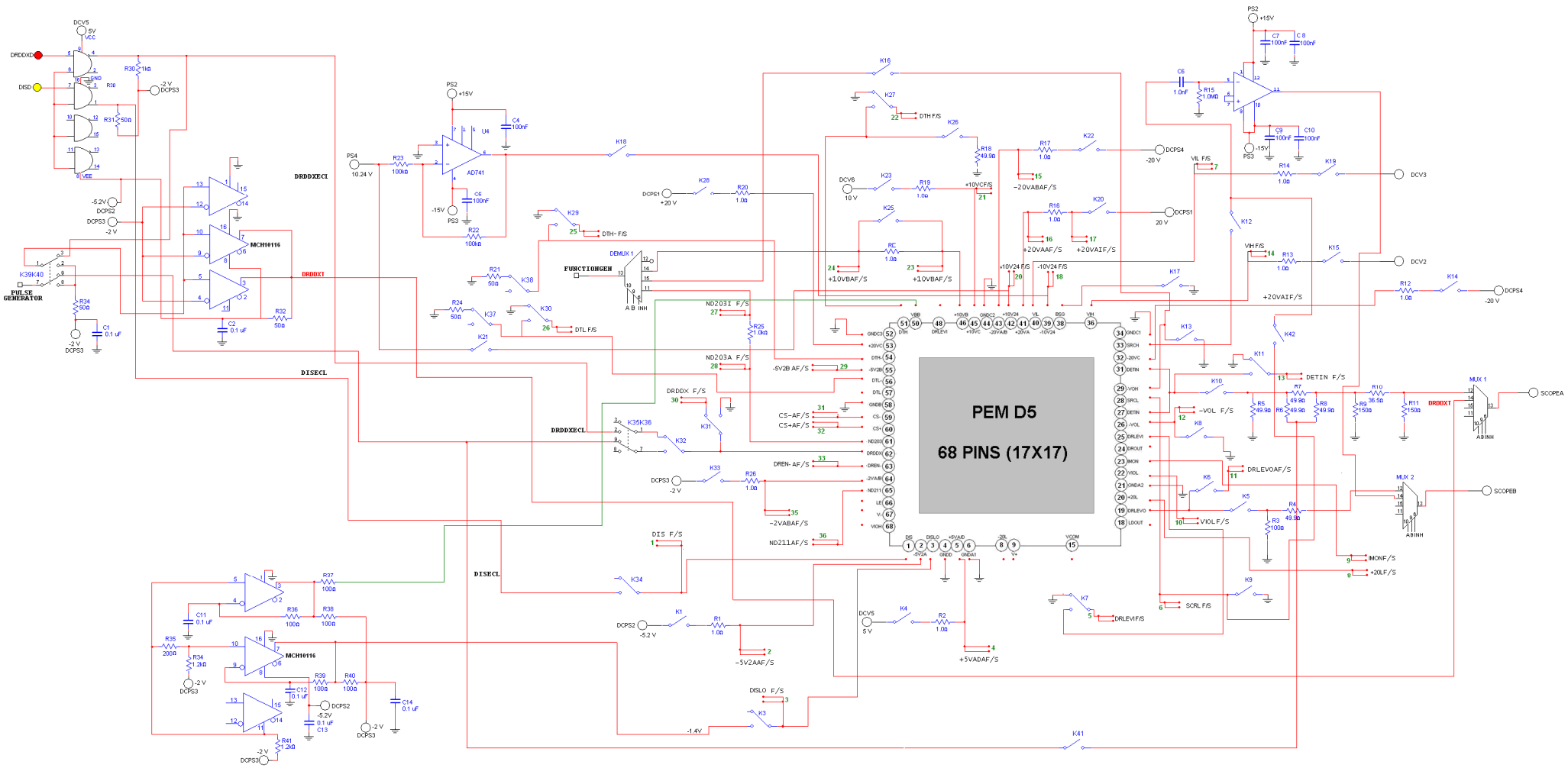


Figura 9.2. Sistema completo de prueba.

A.2 Esquemático del circuito diseñado



A.3 Muestras obtenidas de cada una de las pruebas realizadas

Tabla A.1. Grupos de muestras obtenidas para la prueba de resistencia.

Prueba	Muestra 1	Muestra 2	Muestra 3	Muestra 4	Muestra 5	Muestra 6	Muestra 7	Muestra 8	Muestra 9	Muestra 10	Muestra 11	Muestra 12
Resistencia (Ω)	55,995	55,991	56,004	56,005	55,997	55,997	56,002	56,005	56,001	55,992	55,999	56,002
	56,000	56,006	56,000	55,992	56,000	55,996	55,999	55,990	55,992	55,996	56,000	55,998
	55,994	55,998	55,997	55,995	56,004	55,999	56,002	56,006	56,006	56,002	55,995	55,992
	56,006	56,001	55,996	55,992	55,997	56,004	56,000	56,001	56,000	55,996	56,004	55,993
	55,990	56,000	55,993	55,997	56,002	56,004	55,996	56,005	55,999	56,004	55,996	55,992
	Muestra 13	Muestra 14	Muestra 15	Muestra 16	Muestra 17	Muestra 18	Muestra 19	Muestra 20	Muestra 21	Muestras 22	Muestra 23	Muestra 24
	55,995	56,004	55,998	55,991	56,002	56,001	56,001	56,002	56,003	56,000	56,000	55,999
	55,996	56,005	56,002	55,991	55,999	55,995	56,002	56,003	56,002	56,001	56,001	55,998
	55,993	56,005	56,006	55,991	55,997	56,000	56,001	56,002	56,000	56,002	56,002	55,999
	56,004	55,992	55,990	55,997	56,006	55,998	56,003	56,003	56,001	55,998	55,998	56,000
	56,000	55,994	56,001	55,999	56,000	55,996	56,002	56,010	56,003	55,998	55,998	56,000
	Muestra 25	Muestra 26	Muestra 27	Muestra 28	Muestra 29	Muestra 30						
	55,998	55,996	55,997	55,996	55,995	55,998						
	55,999	55,998	55,997	55,996	55,997	55,997						
	55,999	55,997	55,997	55,996	55,998	55,997						
	55,999	55,997	55,992	55,996	55,997	55,998						
55,997	55,996	55,994	55,995	55,998	55,996							

Tabla A.2. Grupos de muestras obtenidas para la prueba de capacitancia.

Prueba	Muestra 1	Muestra 2	Muestra 3	Muestra 4	Muestra 5	Muestra 6	Muestra 7	Muestra 8	Muestra 9	Muestra 10	Muestra 11	Muestra 12
Capacitancia (F)	4,08E-08	4,27E-08	4,21E-08	4,58E-08	4,27E-08	4,74E-08	4,74E-08	4,79E-08	4,73E-08	4,85E-08	4,82E-08	4,63E-08
	5,17E-08	4,27E-08	4,22E-08	4,44E-08	4,76E-08	4,73E-08	4,72E-08	4,72E-08	4,71E-08	5,44E-08	4,55E-08	4,33E-08
	4,81E-08	4,33E-08	4,67E-08	4,33E-08	4,31E-08	4,82E-08	4,78E-08	4,69E-08	4,78E-08	4,24E-08	4,76E-08	4,90E-08
	4,11E-08	4,20E-08	4,58E-08	4,22E-08	4,81E-08	4,66E-08	4,89E-08	4,80E-08	4,83E-08	4,24E-08	5,07E-08	4,22E-08
	4,21E-08	4,90E-08	4,21E-08	4,20E-08	4,19E-08	4,79E-08	4,73E-08	4,72E-08	4,65E-08	4,56E-08	4,17E-08	4,44E-08
	Muestra 13	Muestra 14	Muestra 15	Muestra 16	Muestra 17	Muestra 18	Muestra 19	Muestra 20	Muestra 21	Muestras 22	Muestra 23	Muestra 24
	4,87E-08	4,62E-08	4,00E-08	4,81E-08	4,04E-08	4,67E-08	4,20E-08	4,64E-08	4,49E-08	4,40E-08	4,28E-08	4,19E-08
	4,72E-08	4,75E-08	4,25E-08	4,51E-08	4,50E-08	4,31E-08	4,72E-08	4,41E-08	4,46E-08	4,54E-08	4,51E-08	4,85E-08
	4,15E-08	4,78E-08	4,89E-08	4,83E-08	4,02E-08	4,86E-08	4,82E-08	4,37E-08	4,78E-08	4,29E-08	4,67E-08	4,67E-08
	4,81E-08	4,16E-08	4,71E-08	4,89E-08	4,82E-08	4,69E-08	4,54E-08	4,61E-08	4,15E-08	4,81E-08	4,89E-08	4,85E-08
	4,48E-08	4,07E-08	4,57E-08	4,32E-08	4,84E-08	4,19E-08	4,05E-08	4,79E-08	4,19E-08	4,35E-08	4,55E-08	4,19E-08
	Muestra 25	Muestra 26	Muestra 27	Muestra 28	Muestra 29	Muestra 30						
	4,15E-08	4,73E-08	4,05E-08	4,37E-08	4,82E-08	4,54E-08						
	4,51E-08	4,62E-08	4,09E-08	4,41E-08	4,45E-08	4,05E-08						
	4,43E-08	4,43E-08	4,77E-08	4,71E-08	4,72E-08	4,64E-08						
	4,24E-08	4,04E-08	4,38E-08	4,26E-08	4,05E-08	4,41E-08						
	4,36E-08	4,48E-08	4,24E-08	4,20E-08	4,54E-08	4,37E-08						

Tabla A.3. Grupos de muestras obtenidas para la prueba de tensión.

Prueba	Muestra 1	Muestra 2	Muestra 3	Muestra 4	Muestra 5	Muestra 6	Muestra 7	Muestra 8	Muestra 9	Muestra 10	Muestra 11	Muestra 12
Tensión (V)	6,12E-05	6,00E-05	5,80E-05	5,94E-05	6,02E-05	5,90E-05	5,92E-05	5,90E-05	5,64E-05	5,68E-05	5,35E-05	5,69E-05
	5,92E-05	5,95E-05	5,71E-05	5,82E-05	5,89E-05	5,77E-05	5,75E-05	5,87E-05	5,64E-05	5,65E-05	5,50E-05	5,56E-05
	5,93E-05	5,70E-05	5,80E-05	5,87E-05	6,07E-05	5,80E-05	5,69E-05	5,72E-05	5,74E-05	5,71E-05	5,59E-05	5,50E-05
	6,05E-05	5,75E-05	5,71E-05	5,98E-05	6,02E-05	5,76E-05	5,69E-05	5,65E-05	5,63E-05	5,74E-05	5,75E-05	5,48E-05
	5,97E-05	5,79E-05	5,79E-05	6,07E-05	5,89E-05	5,78E-05	5,89E-05	5,67E-05	5,75E-05	5,62E-05	5,53E-05	5,37E-05
	Muestra 13	Muestra 14	Muestra 15	Muestra 16	Muestra 17	Muestra 18	Muestra 19	Muestra 20	Muestra 21	Muestras 22	Muestra 23	Muestra 24
	5,72E-05	5,81E-05	5,54E-05	5,78E-05	5,79E-05	5,85E-05	5,44E-05	5,90E-05	5,49E-05	5,41E-05	5,82E-05	5,72E-05
	6,08E-05	5,35E-05	5,75E-05	5,61E-05	6,04E-05	5,62E-05	5,88E-05	5,51E-05	6,00E-05	5,74E-05	5,71E-05	5,61E-05
	6,09E-05	5,54E-05	6,03E-05	5,45E-05	5,98E-05	5,52E-05	5,93E-05	5,47E-05	5,88E-05	5,98E-05	5,70E-05	5,72E-05
	5,77E-05	5,51E-05	5,55E-05	6,01E-05	5,76E-05	5,54E-05	5,69E-05	6,06E-05	5,57E-05	5,95E-05	6,00E-05	5,88E-05
	5,73E-05	6,14E-05	5,83E-05	6,06E-05	5,45E-05	5,87E-05	6,13E-05	5,63E-05	5,36E-05	5,73E-05	6,12E-05	5,75E-05
	Muestra 25	Muestra 26	Muestra 27	Muestra 28	Muestra 29	Muestra 30						
	5,59E-05	5,76E-05	5,50E-05	5,44E-05	6,13E-05	6,15E-05						
	5,79E-05	5,55E-05	6,10E-05	6,10E-05	5,68E-05	6,12E-05						
	5,72E-05	5,79E-05	5,64E-05	6,14E-05	5,82E-05	5,62E-05						
	5,68E-05	5,88E-05	5,46E-05	5,43E-05	5,63E-05	5,76E-05						
	6,10E-05	5,38E-05	6,13E-05	6,15E-05	5,58E-05	5,45E-05						

Tabla A.4. Grupos de muestras obtenidas para la prueba de corriente con resistencia auxiliar.

Prueba	Muestra 1	Muestra 2	Muestra 3	Muestra 4	Muestra 5	Muestra 6	Muestra 7	Muestra 8	Muestra 9	Muestra 10	Muestra 11	Muestra 12
Corriente con R aux (V)	3,65E-02	3,66E-02	3,66E-02	3,66E-02	3,66E-02	3,66E-02	3,65E-02	3,66E-02	3,67E-02	3,67E-02	3,66E-02	3,65E-02
	3,66E-02	3,66E-02	3,66E-02	3,67E-02	3,67E-02	3,67E-02	3,66E-02	3,66E-02	3,66E-02	3,67E-02	3,67E-02	3,66E-02
	3,66E-02	3,66E-02	3,66E-02	3,67E-02	3,67E-02	3,66E-02	3,66E-02	3,66E-02	3,66E-02	3,66E-02	3,67E-02	3,67E-02
	3,67E-02	3,66E-02	3,66E-02	3,66E-02	3,67E-02	3,66E-02	3,65E-02	3,66E-02	3,66E-02	3,67E-02	3,66E-02	3,67E-02
	3,66E-02	3,66E-02	3,66E-02	3,65E-02	3,65E-02	3,65E-02	3,66E-02	3,66E-02	3,67E-02	3,65E-02	3,66E-02	3,66E-02
	Muestra 13	Muestra 14	Muestra 15	Muestra 16	Muestra 17	Muestra 18	Muestra 19	Muestra 20	Muestra 21	Muestras 22	Muestra 23	Muestra 24
	3,66E-02	3,66E-02	3,66E-02	3,67E-02	3,67E-02	3,66E-02	3,66E-02	3,66E-02	3,65E-02	3,67E-02	3,66E-02	3,66E-02
	3,66E-02	3,65E-02	3,67E-02	3,65E-02	3,66E-02	3,66E-02	3,66E-02	3,67E-02	3,65E-02	3,67E-02	3,66E-02	3,66E-02
	3,66E-02	3,66E-02	3,65E-02	3,66E-02	3,65E-02	3,66E-02	3,67E-02	3,66E-02	3,66E-02	3,66E-02	3,65E-02	3,66E-02
	3,66E-02	3,66E-02	3,66E-02	3,66E-02	3,65E-02	3,66E-02	3,66E-02	3,66E-02	3,66E-02	3,66E-02	3,66E-02	3,67E-02
	3,65E-02	3,66E-02	3,65E-02	3,66E-02	3,66E-02	3,66E-02	3,66E-02	3,67E-02	3,67E-02	3,66E-02	3,66E-02	3,66E-02
	Muestra 25	Muestra 26	Muestra 27	Muestra 28	Muestra 29	Muestra 30						
	3,66E-02	3,67E-02	3,66E-02	3,67E-02	3,66E-02	3,66E-02						
	3,66E-02	3,66E-02	3,66E-02	3,66E-02	3,66E-02	3,67E-02						
	3,66E-02	3,66E-02	3,66E-02	3,66E-02	3,67E-02	3,66E-02						
	3,66E-02	3,67E-02	3,66E-02	3,66E-02	3,66E-02	3,66E-02						
	3,66E-02	3,65E-02	3,66E-02	3,67E-02	3,67E-02	3,67E-02						

Tabla A.5. Grupos de muestras obtenidas para la prueba de inductancia.

Prueba	Muestra 1	Muestra 2	Muestra 3	Muestra 4	Muestra 5	Muestra 6	Muestra 7	Muestra 8	Muestra 9	Muestra 10	Muestra 11	Muestra 12
Inductancia (H)	1,610E-04	1,630E-04	1,620E-04	1,630E-04	1,620E-04	1,610E-04	1,620E-04	1,610E-04	1,610E-04	1,610E-04	1,620E-04	1,610E-04
	1,620E-04	1,620E-04	1,620E-04	1,610E-04	1,610E-04	1,610E-04	1,630E-04	1,620E-04	1,610E-04	1,620E-04	1,620E-04	1,620E-04
	1,620E-04	1,630E-04	1,620E-04	1,620E-04	1,620E-04	1,620E-04	1,610E-04	1,620E-04	1,620E-04	1,620E-04	1,620E-04	1,620E-04
	1,620E-04	1,620E-04	1,620E-04	1,620E-04	1,610E-04	1,620E-04	1,630E-04	1,620E-04	1,620E-04	1,630E-04	1,610E-04	1,630E-04
	1,620E-04	1,620E-04	1,620E-04	1,620E-04	1,630E-04	1,630E-04	1,620E-04	1,610E-04	1,610E-04	1,620E-04	1,630E-04	1,620E-04
	Muestra 13	Muestra 14	Muestra 15	Muestra 16	Muestra 17	Muestra 18	Muestra 19	Muestra 20	Muestra 21	Muestras 22	Muestra 23	Muestra 24
	1,620E-04	1,620E-04	1,620E-04	1,630E-04	1,620E-04	1,610E-04	1,610E-04	1,620E-04	1,620E-04	1,610E-04	1,620E-04	1,610E-04
	1,620E-04	1,620E-04	1,620E-04	1,610E-04	1,610E-04	1,620E-04	1,620E-04	1,630E-04	1,610E-04	1,620E-04	1,620E-04	1,620E-04
	1,630E-04	1,620E-04	1,620E-04	1,620E-04	1,620E-04	1,620E-04	1,610E-04	1,620E-04	1,620E-04	1,620E-04	1,620E-04	1,610E-04
	1,610E-04	1,620E-04	1,620E-04	1,620E-04	1,610E-04	1,630E-04	1,620E-04	1,630E-04	1,620E-04	1,630E-04	1,630E-04	1,620E-04
	1,620E-04	1,630E-04	1,620E-04	1,630E-04	1,610E-04	1,610E-04	1,610E-04	1,630E-04	1,620E-04	1,620E-04	1,620E-04	1,620E-04
	Muestra 25	Muestra 26	Muestra 27	Muestra 28	Muestra 29	Muestra 30						
	1,610E-04	1,610E-04	1,620E-04	1,620E-04	1,620E-04	1,610E-04						
	1,610E-04	1,630E-04	1,620E-04	1,610E-04	1,610E-04	1,630E-04						
	1,620E-04	1,610E-04	1,620E-04	1,630E-04	1,610E-04	1,620E-04						
	1,620E-04	1,610E-04	1,620E-04	1,630E-04	1,630E-04	1,620E-04						
	1,630E-04	1,610E-04	1,620E-04	1,620E-04	1,610E-04	1,620E-04						

Tabla A.6. Grupos de muestras obtenidas para la prueba de resistencia de la bobina.

Prueba	Muestra 1	Muestra 2	Muestra 3	Muestra 4	Muestra 5	Muestra 6	Muestra 7	Muestra 8	Muestra 9	Muestra 10	Muestra 11	Muestra 12
Resistencia de bobina (Ω)	0,043184	0,040243	0,041074	0,041175	0,041132	0,040879	0,04118	0,041064	0,041174	0,040504	0,041115	0,043286
	0,04097	0,041119	0,041064	0,041083	0,041047	0,041047	0,041319	0,041039	0,041086	0,040461	0,041319	0,041853
	0,041007	0,041317	0,041827	0,041113	0,041114	0,040211	0,041127	0,043286	0,041106	0,040514	0,040211	0,041256
	0,040315	0,041188	0,04177	0,041116	0,040456	0,040202	0,041199	0,041236	0,041056	0,041031	0,040999	0,040512
	0,040405	0,041152	0,041129	0,041041	0,04041	0,041144	0,041087	0,040999	0,041168	0,041196	0,041041	0,041252
	Muestra 13	Muestra 14	Muestra 15	Muestra 16	Muestra 17	Muestra 18	Muestra 19	Muestra 20	Muestra 21	Muestras 22	Muestra 23	Muestra 24
	0,040596	0,041945	0,042825	0,043243	0,041302	0,04182	0,042465	0,042888	0,042555	0,043029	0,042635	0,042567
	0,041464	0,043	0,04106	0,041253	0,042963	0,040641	0,042603	0,042989	0,043334	0,040902	0,042765	0,043015
	0,042424	0,040934	0,041777	0,042682	0,042064	0,042183	0,042583	0,043481	0,042422	0,043779	0,043302	0,043656
	0,041794	0,041471	0,041109	0,041152	0,041423	0,041352	0,041417	0,04272	0,043706	0,043246	0,042435	0,042549
	0,042514	0,042554	0,040881	0,042091	0,041429	0,040664	0,043795	0,041798	0,040683	0,042607	0,043736	0,041203
	Muestra 25	Muestra 26	Muestra 27	Muestra 28	Muestra 29	Muestra 30						
	0,04122	0,040708	0,040878	0,042235	0,043043	0,042848						
	0,043135	0,041656	0,043371	0,041359	0,041494	0,043775						
	0,043689	0,041386	0,043575	0,041779	0,043794	0,041752						
	0,040831	0,04129	0,04141	0,040723	0,041559	0,041436						
	0,041014	0,041958	0,042374	0,041142	0,043028	0,042629						

Tabla A.7. Grupos de muestras obtenidas para la prueba de corriente rev D.

Prueba	Muestra 1	Muestra 2	Muestra 3	Muestra 4	Muestra 5	Muestra 6	Muestra 7	Muestra 8	Muestra 9	Muestra 10	Muestra 11	Muestra 12
Corriente rev D (A)	2,04E-09	2,10E-09	2,03E-09	2,00E-09	2,04E-09	2,03E-09	2,10E-09	2,05E-09	2,01E-09	2,05E-09	2,00E-09	2,07E-09
	2,01E-09	2,00E-09	2,01E-09	2,03E-09	2,04E-09	2,10E-09	2,01E-09	2,03E-09	2,02E-09	2,04E-09	2,09E-09	2,08E-09
	2,06E-09	2,04E-09	2,00E-09	2,03E-09	2,09E-09	2,08E-09	2,07E-09	2,08E-09	2,01E-09	2,10E-09	2,01E-09	2,07E-09
	2,09E-09	2,09E-09	2,02E-09	2,06E-09	2,05E-09	2,10E-09	2,08E-09	2,04E-09	2,04E-09	2,00E-09	2,03E-09	2,01E-09
	2,09E-09	2,01E-09	2,02E-09	2,04E-09	2,04E-09	2,03E-09	2,10E-09	2,08E-09	2,05E-09	2,02E-09	2,08E-09	2,01E-09
	Muestra 13	Muestra 14	Muestra 15	Muestra 16	Muestra 17	Muestra 18	Muestra 19	Muestra 20	Muestra 21	Muestras 22	Muestra 23	Muestra 24
	2,08E-09	2,07E-09	2,05E-09	2,09E-09	2,10E-09	2,07E-09	2,07E-09	2,04E-09	2,03E-09	2,00E-09	2,03E-09	2,10E-09
	2,06E-09	2,06E-09	2,08E-09	2,01E-09	2,09E-09	2,05E-09	2,07E-09	2,02E-09	2,08E-09	2,07E-09	2,08E-09	2,06E-09
	2,02E-09	2,02E-09	2,08E-09	2,01E-09	2,09E-09	2,02E-09	2,06E-09	2,02E-09	2,07E-09	2,05E-09	2,08E-09	2,07E-09
	2,04E-09	2,10E-09	2,03E-09	2,08E-09	2,05E-09	2,00E-09	2,02E-09	2,03E-09	2,03E-09	2,05E-09	2,07E-09	2,10E-09
	2,06E-09	2,07E-09	2,02E-09	2,07E-09	2,05E-09	2,08E-09	2,09E-09	2,03E-09	2,09E-09	2,03E-09	2,08E-09	2,04E-09
	Muestra 25	Muestra 26	Muestra 27	Muestra 28	Muestra 29	Muestra 30						
	2,09E-09	2,09E-09	2,03E-09	2,04E-09	2,06E-09	2,04E-09						
	2,06E-09	2,03E-09	2,01E-09	2,10E-09	2,07E-09	2,01E-09						
	2,09E-09	2,07E-09	2,10E-09	2,09E-09	2,04E-09	2,08E-09						
	2,04E-09	2,07E-09	2,03E-09	2,08E-09	2,01E-09	2,08E-09						
	2,02E-09	2,04E-09	2,05E-09	2,09E-09	2,09E-09	2,07E-09						

Tabla A.8. Grupos de muestras obtenidas para la prueba de corriente rev E.

Prueba	Muestra 1	Muestra 2	Muestra 3	Muestra 4	Muestra 5	Muestra 6	Muestra 7	Muestra 8	Muestra 9	Muestra 10	Muestra 11	Muestra 12
Corriente rev E (A)	7,98E-06	8,33E-06	8,22E-06	7,94E-06	7,92E-06	8,34E-06	8,34E-06	8,20E-06	8,06E-06	8,18E-06	8,36E-06	8,38E-06
	7,88E-06	8,47E-06	8,08E-06	7,93E-06	8,25E-06	8,12E-06	8,12E-06	7,85E-06	8,09E-06	8,26E-06	7,90E-06	8,14E-06
	7,94E-06	8,32E-06	8,03E-06	8,45E-06	8,30E-06	7,91E-06	7,91E-06	7,96E-06	8,44E-06	8,00E-06	7,98E-06	7,98E-06
	7,86E-06	8,16E-06	8,33E-06	8,20E-06	7,96E-06	8,23E-06	8,23E-06	8,07E-06	8,39E-06	8,40E-06	8,28E-06	7,82E-06
	7,83E-06	8,09E-06	8,29E-06	8,06E-06	8,23E-06	8,35E-06	8,35E-06	8,24E-06	8,23E-06	8,41E-06	7,89E-06	8,36E-06
	Muestra 13	Muestra 14	Muestra 15	Muestra 16	Muestra 17	Muestra 18	Muestra 19	Muestra 20	Muestra 21	Muestras 22	Muestra 23	Muestra 24
	8,36E-06	8,35E-06	7,89E-06	8,38E-06	8,21E-06	8,43E-06	7,87E-06	7,93E-06	7,91E-06	8,29E-06	8,13E-06	8,24E-06
	8,30E-06	8,40E-06	8,24E-06	8,02E-06	8,26E-06	8,02E-06	7,87E-06	8,44E-06	8,17E-06	7,93E-06	8,02E-06	8,35E-06
	8,01E-06	7,96E-06	7,84E-06	8,29E-06	7,80E-06	8,26E-06	8,47E-06	8,21E-06	7,95E-06	8,37E-06	7,83E-06	8,19E-06
	8,36E-06	8,16E-06	8,03E-06	8,20E-06	8,18E-06	7,83E-06	8,00E-06	8,50E-06	8,36E-06	8,08E-06	8,21E-06	8,18E-06
	7,94E-06	8,08E-06	7,97E-06	8,34E-06	7,84E-06	8,09E-06	8,23E-06	8,33E-06	8,21E-06	8,24E-06	8,41E-06	8,00E-06
	Muestra 25	Muestra 26	Muestra 27	Muestra 28	Muestra 29	Muestra 30						
	8,30E-06	8,09E-06	8,23E-06	8,42E-06	8,09E-06	8,48E-06						
	8,36E-06	8,29E-06	7,92E-06	8,44E-06	8,43E-06	8,30E-06						
	8,28E-06	8,46E-06	7,94E-06	8,43E-06	8,48E-06	8,32E-06						
	8,04E-06	8,17E-06	8,03E-06	8,50E-06	8,04E-06	8,24E-06						
	8,34E-06	8,26E-06	8,38E-06	8,05E-06	7,93E-06	8,03E-06						

Anexos

50-510/511/512/513 PCI Matrix Card

PCI MATRIX CARD
50-510/511/512/513

- High Density Reed Relay Matrix Card
- 1 Short Slot PCI
- 22 x 4, Dual 20 x 4, 22 x 8 or 44 x 4
- 1 Pole, 2 Pole or 1 Pole Screened Versions
- Large Matrices Built Using Multiple Cards
- Screened 50Ω Option
- Uses High Reliability Pickering Reed Relays For Maximum Performance
- Fast Operating Speed <500μs
- Switch up to 100Volts, 1.2A with 20W Max Power
- VISA/IVI Drivers Supplied for Windows 2000/XP
- 2 Year Warranty

The 50-510 series of matrix cards feature a wide range of selectable switching configurations (22 x 4, dual 20 x 4, 22 x 8 and 44 x 4).

Larger matrices may be constructed by Daisy Chaining the common signals from multiple PCI cards. For example four 44 x 4 Cards will form a 176 x 4 Matrix, a total of 1704 crosspoints.

Typical applications include signal routing in Functional ATE and data acquisition systems. These PCI matrix cards are constructed using high reliability Ruthenium Electro-Plated Reed Relays, offering >10⁸ operations to give maximum switching confidence with long life and stable contact resistance. Available reed relay formats are 1 pole, 2 pole and 1 Pole screened.

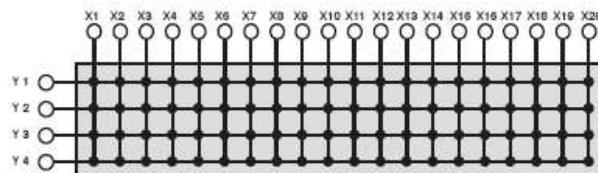


Relay Type

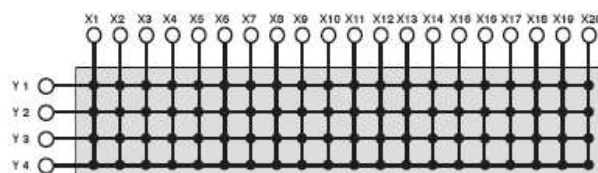
All 50-521 series cards are fitted with Reed Relays (Ruthenium electroplated type), these offer very long life with good low level switching performance and excellent contact resistance stability.

Spare Reed Relays are built onto the circuit board to facilitate easy maintenance with minimum downtime.

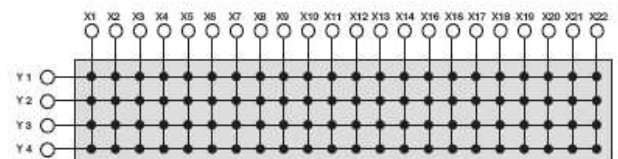
All reed relays are manufactured by our sister company Pickering Electronics, www.pickeringrelay.com.



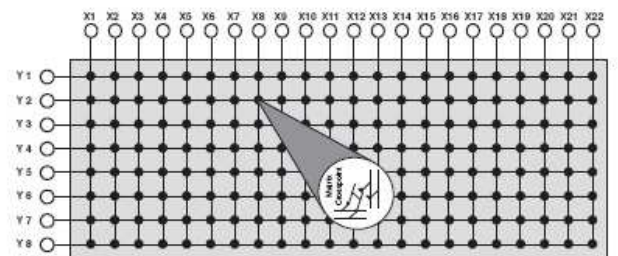
50-511 Matrix Dual 20 x 4 Matrix



50-513 Matrix 44 x 4



50-512 Matrix 20 x 4



50-512 Matrix 22 x 8



PCI Programmable Relay Switching Systems
from Pickering Interfaces www.pickeringtest.com



S Series Multifunction DAQ – up to 16-Bit, up to 3 MS/s per Channel, up to 8 Analog Inputs

NI 6123, NI 6122, NI 6133, NI 6132

- 4 or 8 simultaneous-sampling differential analog inputs
- 14- or 16-bit resolution
- 3 MS/s¹ or 500 kS/s per channel maximum sampling rate
- 4 analog input ranges
- Deep onboard memory – 16 or 32 MS
- 8 digital I/O lines (5 V/TTL/CMOS); two 24-bit counter/timers
- Digital and analog triggering
- Measurement services that simplify configuration and measurements

Operating Systems

- Windows 2000/NT/XP

Recommended NI Software

- LabVIEW 7.x or higher
- LabWindows/CVI 7.x or higher
- Measurement Studio 7.x or higher
- Digital Waveform Editor
- SignalExpress 1.x or higher

Other Compatible Software

- VI Logger 2.x or higher
- Visual Studio .NET
- Visual Basic, C/C++, and C#

Measurement Services Software (included)

- NI-DAQmx driver
- Measurement & Automation Explorer configuration utility
- VI Logger Lite data-logging software



Calibration Certificate Available

Family	Bus	Analog Inputs	Input Resolution (bits)	Sampling Rate	Input Ranges	Digital I/O	Counter/Timers	Trigger
NI 6123	PCI, PXI	8	16	500 kS/s per channel	4	8 @ 10 MHz	2, 24-bit	Analog, digital
NI 6122	PCI, PXI	4	16	500 kS/s per channel	4	8 @ 10 MHz	2, 24-bit	Analog, digital
NI 6133	PCI, PXI	8	14	3 MS/s per channel ¹	4	8 @ 10 MHz	2, 24-bit	Analog, digital
NI 6132	PCI, PXI	4	14	3 MS/s per channel ¹	4	8 @ 10 MHz	2, 24-bit	Analog, digital

¹2.5 MS/s with NI-DAQmx 3 MS/s with additional download. Special conditions apply.

Table 1. Channel, Speed, and Resolution Specifications

Overview and Applications

National Instruments 612x and 613x devices combine the latest in PC technologies to deliver simultaneous sampling for high-channel-count, high-speed applications. Use these modules in a variety of applications, including:

- IF digitization
- Transient recording
- ISDN, ADSL, and POTS manufacturing test in the telecom industry
- Ultrasound and sonar testing
- High-energy physics

Features

These devices fall under the NI S Series product family. The “S” stands for simultaneous sampling, as this is the most apparent benefit of the dedicated analog-to-digital (A/D) converter per channel architecture. However, the architecture has other less obvious but very important advantages.

More Data Throughput – The dedicated A/D converter per channel architecture provides a much higher aggregate sampling rate compared to traditional multiplexed data acquisition devices. Traditional multiplexed data acquisition devices share one A/D converter among multiple channels, keeping the aggregate data throughput

constant, regardless of the number of active channels. S Series aggregate data throughput increases linearly with the number of active channels.

Better Dynamic Specifications – The analog input path on S Series devices is tuned for both accurate DC and dynamic measurements, compared to traditional multiplexed data acquisition devices that suffer from settling time and distortion error created by switching the input channel. Traditional multiplexed data acquisition devices are ideal for DC measurements, but are not the best solution for dynamic measurements.

Many Input Ranges – You can configure each analog input channel to use one of several voltage ranges. Make the most of your input resolution by selecting among the four voltage ranges offered by the NI 612x and 613x devices.

Large Onboard Memory – NI 6123 and NI 6133 devices feature a 16 or 32 MS onboard memory while the NI 6122 and NI 6132 devices feature a 16 MS memory. With deep onboard memory, capture high-bandwidth signals over long periods of time, regardless of bus limitations.

Digital I/O, 24 or 96 Lines, 5 V TTL/CMOS

24 or 96-Line Digital I/O

NI 650x

- 24 or 96 digital input/output lines
- 5 V TTL/CMOS
- 2-wire handshaking capability
- Known power-up states
- NI-DAQ driver simplifies configuration and measurements

Models

- NI PCI-6503
- NI DAQCard-DIO-24
- NI PC-DIO-24
- NI PCI-DIO-96
- NI PXI-6508
- NI PC-DIO-96

Operating Systems

- Windows 2000/NT/XP
- Real-time performance with LabVIEW (see page 134)
- Others such as Linux and Mac OS X (see page 187)

Recommended Software

- LabVIEW
- LabWindows/CVI
- Measurement Studio

Other Compatible Software

- Visual Basic
- C/C++, C#

Driver Software (included)

- NI-DAQ 7



Family	Bus	Digital I/O Lines	Device Type	Logic Level	Isolation	Handshaking I/O	8255 Chipset	Change Notification	Pattern Matching
NI 6503	PCI PCMCIA ISA	24	Software timed	5 V TTL/CMOS	-	✓	✓	-	✓
NI 6508	PCI PXI ISA	96 -	Software timed	5 V TTL/CMOS	- -	✓ ✓	✓ ✓	- -	✓ ✓

¹Handshaking supplied by the 8255; only one handshaking mode is available.

Table 1. NI 650x Specifications Overview (See page 385 for detailed specifications.)

Overview and Applications

NI 6503 devices are 24-bit parallel DIO interfaces for PCI, PCMCIA, and ISA. NI 6508 devices offer 96-bit parallel DIO interfaces for PCI, PXI, and ISA. All NI 650x devices are designed for 5 V TTL/CMOS I/O signals.

Hardware

82C55 Parallel Port Interfaces

NI 650x devices use 82C55 Parallel Port Interfaces (PPIs). NI 6503 devices contain one PPI, and the NI 6508 devices contain four. Each PPI controls 24 bits of DIO and has three 8-bit ports (A, B, and C). You can configure each port as either input or output. Ports A and B are always used for digital data I/O, while port C can be configured for digital data I/O, control, status, or handshake signals.

Digital I/O Power-Up State Selection

You can power up the PCI-6503, PC-DIO-24, PC-DIO-96, and PXI-6508 DIO lines in a user-defined state – either high or low. On these devices, each line is connected to a 100 k Ω resistor, and you can use a jumper to select whether the lines of the device power up in the high or low state. The DAQCard-DIO-24 and PCI-DIO-96 have 100 k Ω resistors that always pull high.

Digital I/O Connector

Digital connectors for the NI 650x devices are described in Table 2. The eight bits in Port A of each PPI are at xPA7 through xPA0 on the digital I/O connector where x represents which PPI is being used. Ports B and C are at xPB7 through xPB0 and xPC7 through xPC0, respectively. Each port is programmed to be input or output. Power from the computer I/O channel is also available on the DIO connector. See page 381 to learn more about connectivity solutions, including direct connectors, electromechanical relay devices, and other signal conditioning solutions.

Device	Connector
PCI-6503	50-pin, shown in Figure 3
PC-DIO-24	
DAQCard-DIO-24	27-pin; cable adapts it to the 50-pin connector shown in Figure 3
NI 6508	100 pin; shown in Figure 2

Table 2. NI 650x Connector Overview

Data Acquisition and Signal Conditioning

High-Performance GPIB Interfaces for PCI and PXI

NI PCI-GPIB, NI PXI-GPIB, NI PCI-GPIB/Low-Profile (LP), NI PCI-GPIB+, NI PCI-8232, NI PXI-8232

- Complete IEEE 488.2 compatibility
- FIFO buffers to decouple GPIB transfers from PCI transfers
- Maximum GPIB transfer rates
 - More than 1.5 MB/s (IEEE 488.1)
 - More than 7.7 MB/s (HS488)
- Universal PCI/PXI connector for operation in 3.3 and 5 V slots
- PCI-GPIB+ that adds GPIB analyzer functionality
- PCI-8232, PXI-8232 that add Gigabit Ethernet controller functionality

Operating Systems

- Windows Vista (32- and 64-bit)/XP/2000/Me/9x/NT
- Mac OS X/Classic
- Solaris (SPARC), Solaris x86, and Linux*

Recommended Software

- LabVIEW
- LabWindows™/CVI
- Measurement Studio

Driver Software (included)

- NI-488.2
- GPIB analyzer software (Windows only)

Driver Development Kit

- NI-488DDK
 - For any OS
 - Examples included for DOS, Tru64 UNIX (Digital UNIX), HP-UX, IRIX, VxWorks



Overview

The NI GPIB controllers for PCI and PXI combine high-performance hardware with a complete suite of development tools to get your applications up and running fast.

The National Instruments PCI-MITE and TNT family ASICs make the NI PCI-GPIB a maximum-performance IEEE 488.2 interface for the PCI bus. The PCI-MITE, a complete PCI interface, is compliant with PCI Specification 2.1. The hardware is completely software-configurable and compatible with the plug-and-play standard for easy hardware installation. The TNT chip performs the basic IEEE 488 talker, listener, and controller functions required by all versions of IEEE 488, including

IEEE 488.2. The PCI-GPIB can sustain data transfer rates of more than 1.5 MB/s using the IEEE 488.1 three-wire interlocked handshake. It also implements the high-speed IEEE 488.1 noninterlocked handshake (HS488) for benchmarked data transfers at more than 7.7 MB/s.

The NI PCI-GPIB/LP is a low-profile IEEE 488 interface for computers that accept boards of this size. The PCI-GPIB/LP is functionally equivalent to the high-performance PCI-GPIB and maintains compatibility for both 3.3 and 5 V PCI slots.

The NI PXI-GPIB is a low-cost, high-performance IEEE 488 interface for PXI, the standard for PCI-based modular instrumentation that uses the PCI bus in a rugged Eurocard configuration.

Because PXI is electrically a superset of desktop PCI with a different physical configuration, the PXI-GPIB module has the same functionality and performance as a PCI-GPIB board. The PXI-GPIB is available with NI-488.2 for Windows Vista (32- and 64-bit)/XP/2000/NT/Me/9x, Solaris (SPARC), and Solaris x86.

The NI PCI-GPIB+ interface combines the PCI-GPIB with a GPIB protocol analyzer. The NI PCI-8232 and PXI-8232 interfaces include PCI-GPIB functionality as well as an Intel 10/100/1000BASE-T Ethernet port. These combination devices save slots in your system while providing the full performance and functionality of their individual components.

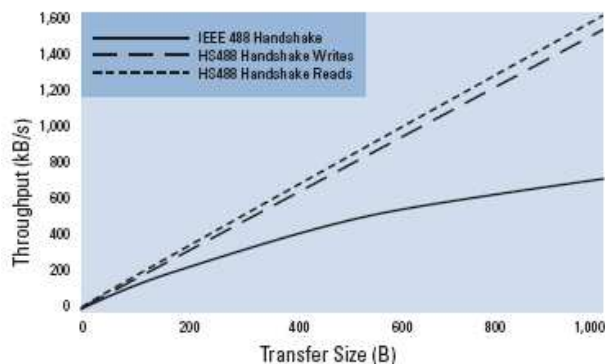


Figure 1. NI PCI/PXI GPIB Controller Data Transfer Benchmarks (Small Data Blocks)

HE700 D.I.L. Relay Features and Benefits



Features

- Miniature dual in line package
- Choice of normally open, normally closed and change over contacts
- High voltage switching option
- Up to 2 normally open contacts
- Available with 5V, 12V or 24V coil options as standard
- Magnetic shield option
- Diode suppression option
- Diagonal coil option

Benefits

- One relay, various contacts choices reducing space and cost without compromising flexibility
- Lower power coil consumption than competing electromechanical devices.
- Hermetically sealed switching contact is immune to the effects of its environment
- Transfer moulded package gives maximum component protection

Applications

- Security
- Telecoms
- Instrumentation
- Process Control
- Industrial

DIMENSIONS (In) mm

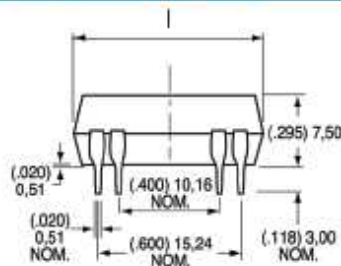


Figure 1 HE700

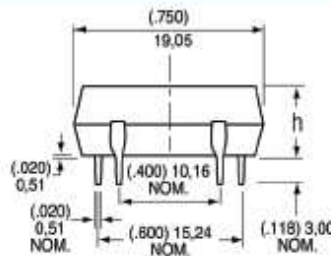


Figure 2 HE751

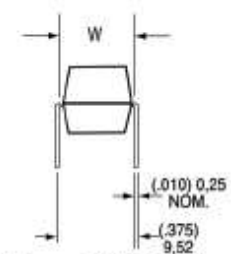
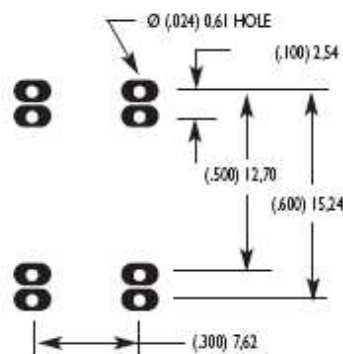


Figure 3 HE700 (All)

Table 1

Relay Type	Body Type	I	w	h
HE700	Transfer Moulded	(.750) 19,05	(.285) 7,24	(.295) 7,50
	External Shield	(.795) 20,19	(.300) 7,62	(.305) 7,75

HE700 PCB LAYOUT (Bottom View)



ORDERING INFORMATION

PART NUMBER **HE7X X X XX XX**

Model Number

- HE72 - Standard
- HE75 - High Voltage

Number of Contacts

1,2

General Options

- 00 - No Options
- 10 - Coil Suppression Diode
- 20 - Electrostatic Shield
- 30 - Coil Diode and E.S. Shield
- 40 - External Magnetic Shield
- 50 - External Magnetic Shield and Diode

Contact Type

- A - Form A (SPST-NO)
- B - Form B (SPST-NC)
- C - Form C (SPDT-CO)
- E - Form C (SPDT-CO) alternate foot print 1
- R - Form C (SPDT-CO) alternate foot print 2

Standard Coil

- 05 - 5 Volt
- 12 - 12 Volt
- 24 - 24 Volt

EXAMPLE: The HE721A0540 is a 1 Form relay with a 5 Volt coil and external magnetic shield

Contact the Hamlin Applications Engineering Department for low profile and other option combinations available.

See next page for: **Electrical and Operating Characteristics Description and Coil Characteristics**

TERADYNE NAME: DIP RELAY SINGLE FORM A

Reliability Objective _____ per _____ hours/op Class Relay Part Number 581-210-00
 _____ Type Dry Reed Group/Division ICD
 Grade _____ Package _____ Standard Level CS
 Source Note: _____
 Application _____

SYMBOL	WHERE USED	RELIABILITY INFORMATION	
		Source	Complete
<p style="text-align: center;">TOP VIEW</p>			

DESIGN FEATURES	CAUTIONS/FEATURES	REFERENCES
Small Size	Operating Temperature: 10°C	
Good Lifetime	to 65°C	
Fast Timing	Storage Temperature: -40°C	
Ruthenium Plated Contacts	to 85°C	
Impervious to cleaning solutions		

TERADYNE PART NUMBER	COLOR CODE	VENDORS			
		Name	Part Number	Name	Part Number
581-210-00		Coto	8000-0020		

SPECIFICATIONS					
Para	Conditions	Vendor Spec.	Teradyne Rec. Insp. Spec.	Teradyne Derated Design Spec.	Reliability/ Stress Spec.
Coil Resistance	12V	720Ω-1100Ω(2)	720Ω-1100Ω	680Ω min. Over Temp.	
Coil Voltage	Nominal	11V		11V (1)	
Operate Voltage	10°C to 65°C	10.4V max.	9.0V max. (7)	11V max.	
Release Voltage	10°C to 65°C	0.94V min.	1.0V min. (8)	0.94V min.	
Operate Time	(3)	0.6mS max.	0.6mS max.	0.6mS max.	
Release Time	(4)	0.6mS max.	0.6mS max.	0.6mS max.	

ORIGINATOR	ISSUE DATE	REVISED DATE	PAGE	CODE
PSM/JMG	July, 1982	DPM Sept. 1990 Level G	1 OF 6	E9

TERADYNE STANDARD

HTM1735LF – Temperature and Relative Humidity Module



- Suitable for direct board assembly
- Product free from Lead, Cr (6+), Cd and Hg
- Humidity calibrated within $\pm 2\%$ RH @ 55% RH
- Typical 1 to 3.5 Volt DC output for 0 to 100% RH at 5V DC supply
- Temperature measurement through NTC 10 k Ω $\pm 3\%$ direct output



DESCRIPTION

Based on the rugged HS1101LF humidity sensor, HTM1735LF is a dedicated humidity and temperature transducer designed for OEM applications where a reliable and accurate measurement is needed. Direct interface with a micro-controller is made possible with the module's humidity linear voltage and direct NTC outputs. HTM1735LF is designed for an optimized board to board connection.

FEATURES

- Full interchangeability
- High reliability and long term stability
- Not affected by repeated condensations
- Ratometric to voltage supply within the specified range

APPLICATIONS

- Reprography
- HVAC Controller
- ...

PERFORMANCE SPECS

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Storage Temperature	Tstg	-40 to 105	°C
Storage Humidity	RHstg	0 to 100	% RH
Supply Voltage (Peak)	Vs	7	Vdc
Humidity Operating Range	RH	0 to 100	% RH
Temperature Operating Range	Ta	-40 to 100	°C
Maximum Output Current (Peak)	I _{peak}	5	mA
Maximum Power	Pd	20	mW



CD4051BC • CD4052BC • CD4053BC

Single 8-Channel Analog Multiplexer/Demultiplexer • Dual 4-Channel Analog Multiplexer/Demultiplexer • Triple 2-Channel Analog Multiplexer/Demultiplexer

General Description

The CD4051BC, CD4052BC, and CD4053BC analog multiplexers/demultiplexers are digitally controlled analog switches having low "ON" impedance and very low "OFF" leakage currents. Control of analog signals up to 15V_{p-p} can be achieved by digital signal amplitudes of 3–15V. For example, if V_{DD} = 5V, V_{SS} = 0V and V_{EE} = -5V, analog signals from -5V to +5V can be controlled by digital inputs of 0–5V. The multiplexer circuits dissipate extremely low quiescent power over the full V_{DD}-V_{SS} and V_{DD}-V_{EE} supply voltage ranges, independent of the logic state of the control signals. When a logical "1" is present at the inhibit input terminal all channels are "OFF".

CD4051BC is a single 8-channel multiplexer having three binary control inputs, A, B, and C, and an inhibit input. The three binary signals select 1 of 8 channels to be turned "ON" and connect the input to the output.

CD4052BC is a differential 4-channel multiplexer having two binary control inputs, A and B, and an inhibit input. The two binary input signals select 1 or 4 pairs of channels to be turned on and connect the differential analog inputs to the differential outputs.

CD4053BC is a triple 2-channel multiplexer having three separate digital control inputs, A, B, and C, and an inhibit input. Each control input selects one of a pair of channels which are connected in a single-pole double-throw configuration.

Features

- Wide range of digital and analog signal levels: digital 3 – 15V, analog to 15V_{p-p}
- Low "ON" resistance: 80Ω (typ.) over entire 15V_{p-p} signal-input range for V_{DD} – V_{EE} = 15V
- High "OFF" resistance: channel leakage of ±10 pA (typ.) at V_{DD} – V_{EE} = 10V
- Logic level conversion for digital addressing signals of 3 – 15V (V_{DD} – V_{SS} = 3 – 15V) to switch analog signals to 15 V_{p-p} (V_{DD} – V_{EE} = 15V)
- Matched switch characteristics: ΔR_{ON} = 5Ω (typ.) for V_{DD} – V_{EE} = 15V
- Very low quiescent power dissipation under all digital-control input and supply conditions: 1 μW (typ.) at V_{DD} – V_{SS} = V_{DD} – V_{EE} = 10V
- Binary address decoding on chip

Ordering Code:

Order Number	Package Number	Package Description
CD4051BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4051BCSJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4051BCMTC	MTC16	16-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
CD4051BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
CD4052BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4052BCSJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4052BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
CD4053BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4053BCSJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4053BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

LM35 Precision Centigrade Temperature Sensors

General Description

The LM35 series are precision integrated-circuit temperature sensors, whose output voltage is linearly proportional to the Celsius (Centigrade) temperature. The LM35 thus has an advantage over linear temperature sensors calibrated in $^{\circ}$ Kelvin, as the user is not required to subtract a large constant voltage from its output to obtain convenient Centigrade scaling. The LM35 does not require any external calibration or trimming to provide typical accuracies of $\pm 1/4^{\circ}\text{C}$ at room temperature and $\pm 3/4^{\circ}\text{C}$ over a full -55° to $+150^{\circ}\text{C}$ temperature range. Low cost is assured by trimming and calibration at the wafer level. The LM35's low output impedance, linear output, and precise inherent calibration make interfacing to readout or control circuitry especially easy. It can be used with single power supplies, or with plus and minus supplies. As it draws only $60\ \mu\text{A}$ from its supply, it has very low self-heating, less than 0.1°C in still air. The LM35 is rated to operate over a -55° to $+150^{\circ}\text{C}$ temperature range, while the LM35C is rated for a -40° to $+110^{\circ}\text{C}$ range (-10° with improved accuracy). The LM35 series is available pack-

aged in hermetic TO-46 transistor packages, while the LM35C, LM35CA, and LM35D are also available in the plastic TO-92 transistor package. The LM35D is also available in an 8-lead surface mount small outline package and a plastic TO-220 package.

Features

- Calibrated directly in $^{\circ}$ Celsius (Centigrade)
- Linear $+10.0\ \text{mV}/^{\circ}\text{C}$ scale factor
- 0.5°C accuracy guaranteeable (at $+25^{\circ}\text{C}$)
- Rated for full -55° to $+150^{\circ}\text{C}$ range
- Suitable for remote applications
- Low cost due to wafer-level trimming
- Operates from 4 to 30 volts
- Less than $60\ \mu\text{A}$ current drain
- Low self-heating, 0.08°C in still air
- Nonlinearity only $\pm 1/4^{\circ}\text{C}$ typical
- Low impedance output, $0.1\ \Omega$ for $1\ \text{mA}$ load

Typical Applications

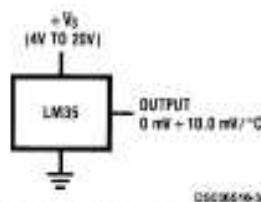
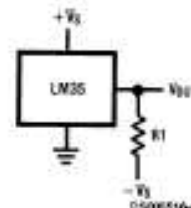


FIGURE 1. Basic Centigrade Temperature Sensor
($+2^{\circ}\text{C}$ to $+150^{\circ}\text{C}$)



Choose $R_1 = -V_S/50\ \mu\text{A}$
 $V_{out} = +1,500\ \text{mV}$ at $+150^{\circ}\text{C}$
 $= +250\ \text{mV}$ at $+25^{\circ}\text{C}$
 $= -550\ \text{mV}$ at -55°C

FIGURE 2. Full-Range Centigrade Temperature Sensor

MC10H124

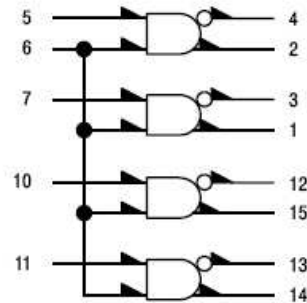
Quad TTL-to-MECL Translator With TTL Strobe Input

Description

The MC10H124 is a quad translator for interfacing data and control signals between a saturated logic section and the MECL section of digital systems. The 10H part is a functional/pinout duplication of the standard MECL 10K™ family part, with 100% improvement in propagation delay, and no increase in power-supply current.

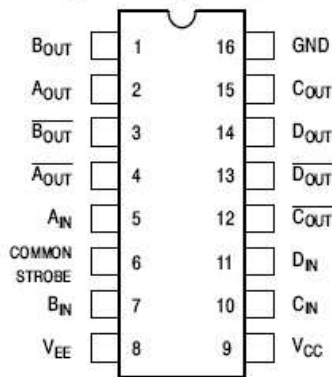
Features

- Propagation Delay, 1.5 ns Typical
- Improved Noise Margin 150 mV (Over Operating Voltage and Temperature Range)
- Voltage Compensated
- MECL 10K Compatible
- Pb-Free Packages are Available*



GND = PIN 16
 VCC (+5.0 VDC) = PIN 9
 VEE (-5.2 VDC) = PIN 8

Figure 1. Logic Diagram



Pin assignment is for Dual-in-Line Package.
 For PLCC pin assignment, see Table 1.

Figure 2. Pin Assignment

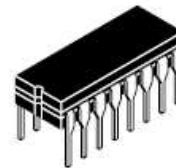
*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.



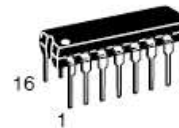
ON Semiconductor®

<http://onsemi.com>

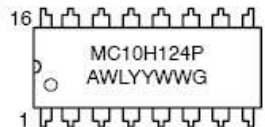
MARKING DIAGRAMS*



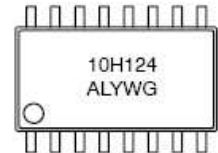
CDIP-16
 L SUFFIX
 CASE 620A



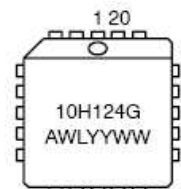
PDIP-16
 P SUFFIX
 CASE 648



SOEIAJ-16
 CASE 966



PLLC-20
 FN SUFFIX
 CASE 775



A = Assembly Location
 WL, L = Wafer Lot
 YY, Y = Year
 WW, W = Work Week
 G = Pb-Free Package

*For additional marking information, refer to Application Note AND8002/D.

ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 3 of this data sheet.

Triple Line Receiver

The MC10H116 is a functional/pinout duplication of the MC10116, with 100% improvement in propagation delay and no increase in power—supply current.

- Propagation Delay, 1.0 ns Typical
- Power Dissipation 85 mW Typ/Pkg (same as MECL 10K)
- Improved Noise Margin 150 mV (Over Operating Voltage and Temperature Range)
- Voltage Compensated
- MECL 10K—Compatible

MAXIMUM RATINGS

Characteristic	Symbol	Rating	Unit
Power Supply ($V_{CC} = 0$)	V_{EE}	-8.0 to 0	Vdc
Input Voltage ($V_{CC} = 0$)	V_I	0 to V_{EE}	Vdc
Output Current — Continuous	I_{out}	50	mA
— Surge		100	
Operating Temperature Range	T_A	0 to +75	°C
Storage Temperature Range — Plastic	T_{stg}	-55 to +150	°C
— Ceramic		-55 to +165	°C

ELECTRICAL CHARACTERISTICS ($V_{EE} = -5.2 \text{ V} \pm 5\%$) (2)

Characteristic	Symbol	0°		25°		75°		Unit
		Min	Max	Min	Max	Min	Max	
Power Supply Current	I_E	—	23	—	21	—	23	mA
Input Current High	I_{inH}	—	150	—	95	—	95	μA
Input Leakage Current	I_{CBO}	—	1.5	—	1.0	—	1.0	μA
Reference Voltage	V_{BB}	-1.38	-1.27	-1.35	-1.25	-1.31	-1.19	Vdc
High Output Voltage	V_{OH}	-1.02	-0.84	-0.98	-0.81	-0.92	-0.735	Vdc
Low Output Voltage	V_{OL}	-1.95	-1.63	-1.95	-1.63	-1.95	-1.60	Vdc
High Input Voltage (1)	V_{IH}	-1.17	-0.84	-1.13	-0.81	-1.07	-0.735	Vdc
Low Input Voltage (1)	V_{IL}	-1.95	-1.48	-1.95	-1.48	-1.95	-1.45	Vdc
Common Mode Range (3)	V_{CMR}	—	—	-2.85 to -0.8	—	—	—	Vdc
Input Sensitivity (4)	V_{PP}	—	—	150 typ	—	—	—	mV _{pp}

AC PARAMETERS

Propagation Delay	t_{pd}	0.4	1.3	0.4	1.3	0.45	1.45	ns
Rise Time	t_r	0.5	1.5	0.5	1.6	0.5	1.7	ns
Fall Time	t_f	0.5	1.5	0.5	1.6	0.5	1.7	ns

NOTES:

1. When V_{BB} is used as the reference voltage.
2. Each MECL 10H series circuit has been designed to meet the specifications shown in the test table, after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse air flow greater than 500 linear fpm is maintained. Outputs are terminated through a 50-ohm resistor to -2.0 volts.
3. Differential input not to exceed 1.0 Vdc.
4. 150 mV_{p-p} differential input required to obtain full logic swing on output.

MC10H116



L SUFFIX
CERAMIC PACKAGE
CASE 620-10



P SUFFIX
PLASTIC PACKAGE
CASE 648-08

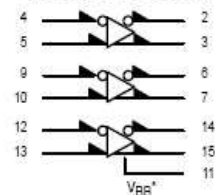


D SUFFIX
PLASTIC SOIC
CASE 751B-05



FN SUFFIX
PLCC
CASE 775-02

LOGIC DIAGRAM



$V_{CC1} = \text{Pin 1}$
 $V_{CC2} = \text{Pin 16}$
 $V_{EE} = \text{Pin 8}$

When input pin with bubble goes positive it's respective output pin with bubble goes positive.

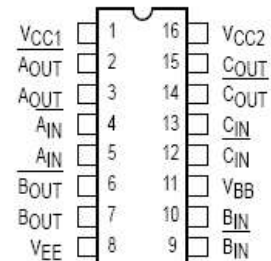
* V_{BB} to be used to supply bias to the MC10H116 only and bypassed (when used) with 0.01 μF to 0.1 μF capacitor to ground (0 V). V_{BB} can source < 1.0 mA. The MC10H116 is designed to be used in sensing differential signals over long lines. The bias supply (V_{BB}) is made available to make the device useful as a Schmitt trigger, or in other applications where a stable reference voltage is necessary.

Active current sources provide these receivers with excellent common-mode noise rejection. If any amplifier in a package is not used, one input of that amplifier must be connected to V_{BB} to prevent unbalancing the current-source bias network.

The MC10H116 does not have internal-input pull-down resistors. This provides high impedance to the amplifier input and facilitates differential connections.

Applications:
• Low Level Receiver • Voltage Level Interface
• Schmitt Trigger

DIP PIN ASSIGNMENT



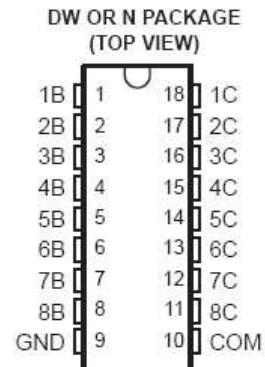
Pin assignment is for Dual-in-Line Package. For PLCC pin assignment, see the Pin Conversion Tables on page 6-11 of the Motorola MECL Data Book (DL122/D).



ULN2803A DARLINGTON TRANSISTOR ARRAY

SLRS049C – FEBRUARY 1997 – REVISED AUGUST 2004

- 500-mA Rated Collector Current (Single Output)
- High-Voltage Outputs . . . 50 V
- Output Clamp Diodes
- Inputs Compatible With Various Types of Logic
- Relay Driver Applications
- Compatible with ULN2800A Series



description/ordering information

The ULN2803A is a high-voltage, high-current Darlington transistor array. The device consists of eight npn Darlington pairs that feature high-voltage outputs with common-cathode clamp diodes for switching inductive loads. The collector-current rating of each Darlington pair is 500 mA. The Darlington pairs may be connected in parallel for higher current capability.

Applications include relay drivers, hammer drivers, lamp drivers, display drivers (LED and gas discharge), line drivers, and logic buffers. The ULN2803A has a 2.7-k Ω series base resistor for each Darlington pair for operation directly with TTL or 5-V CMOS devices.

ORDERING INFORMATION

TA	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
-40°C to 85°C	PDIP (N)	Tube of 20	ULN2803AN	ULN2803AN
	SOIC (DW)	Tube of 40	ULN2803ADW	ULN2803A
		Reel of 2000	ULN2003ADWR	

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

 **TEXAS
INSTRUMENTS**

Copyright © 2004, Texas Instruments Incorporated



Zero-Insertion-Force PGA Test & Burn-in Socket

FEATURES

- A strong, metal cam activates the normally closed contacts, preventing dependency on plastic for contact force
- The handle can be provided on right or left hand side
- Consult factory for special handle requirements

SPECIFICATIONS

- Socket Body: black UL 94V-0 Polyphenylene Sulfide (PPS)
- Contacts: either Beryllium-Copper 174, 1/2-hard or Spinodal
- Plating Options for Beryllium-Copper Contact: "2": 30µ [0.76µ] min. Gold per MIL-G-45204 on contact area, 200µ [5.08µ] min. matte Tin per ASTM B545-97 on solder tail, both over 30µ [0.76µ] min. Nickel per QQ-N-290 all over. Consult factory for plating options not shown
- Plating for Spinodal Contact only: "6": 50µ [1.27µ] min. Nickel Boron
- Handle: Stainless Steel
- Contact Current Rating: 1 amp
- Operating Temperatures: -85°F to 257°F [-65°C to 125°C] Gold plating, -85°F to 392°F [-65°C to 200°C] Nickel-plated Spinodal
- Accepts Leads: 0.014-0.026 [0.36-0.66] diameter, 0.120-0.290 [3.05-7.37] long



NOTE: Aries specializes in custom design and production. In addition to the standard products shown on this page, special materials, platings, sizes, and configurations can be furnished, depending on quantities. Aries reserves the right to change product specifications without notice.

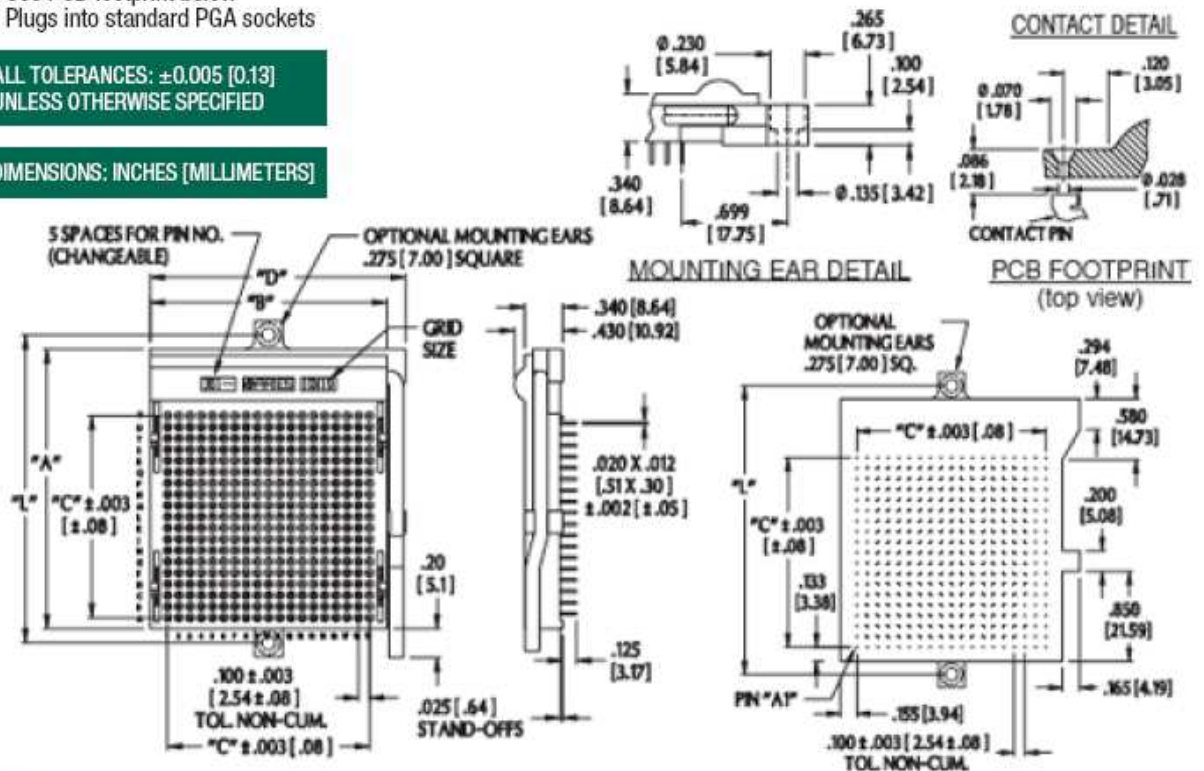
See Data Sheet 10005
for additional information

MOUNTING CONSIDERATIONS

- Suggested PCB Hole Size: 0.032 ±0.002 [0.81 ±0.05] diameter
- See PCB footprint below
- Plugs into standard PGA sockets

ALL TOLERANCES: ±0.005 [0.13]
UNLESS OTHERWISE SPECIFIED

ALL DIMENSIONS: INCHES [MILLIMETERS]



Bristol, PA 19007-6810 USA
TEL (215) 781-9956 • FAX (215) 781-9845
WWW.ARIESELEC.COM • INFO@ARIESELEC.COM



PRINTOUTS OF THIS DOCUMENT MAY BE OUT OF DATE AND SHOULD BE CONSIDERED UNCONTROLLED

10004
Rev. G



MICROCHIP

PIC18F2XK20/4XK20

28/40/44-Pin Flash Microcontrollers with 10-Bit A/D and nanoWatt Technology

Power-Managed Modes:

- Run: CPU on, Peripherals on
- Idle: CPU off, Peripherals on
- Sleep: CPU off, Peripherals off
- Idle Mode Currents Down to 1.0 μ A, typical
- Sleep Mode Current Down to 0.1 μ A, typical
- Timer1 Oscillator: 1.0 μ A, 32 kHz, 1.8V, typical
- Watchdog Timer: 2.0 μ A, 1.8V, typical
- Two-Speed Oscillator Start-up

Peripheral Highlights:

- High-Current Sink/Source 25 mA/25 mA
- Three Programmable External Interrupts
- Four Independent Input-Change Interrupts
- 8 Independent Weak Pull-ups
- Programmable Slew Rate
- Capture/Compare/PWM (CCP) module
- Enhanced Capture/Compare/PWM (ECCP) module:
 - One, two or four PWM outputs
 - Selectable polarity
 - Programmable dead time
 - Auto-Shutdown and Auto-Restart
- Master Synchronous Serial Port (MSSP) module supporting 3-wire SPI (all 4 modes) and I²C™ Master and Slave modes with address mask
- Enhanced Addressable USART module:
 - Supports RS-485, RS-232 and LIN 2.0
 - RS-232 operation using internal oscillator block (no external crystal required)
 - Auto-Wake-up on Break
 - Auto-Baud Detect
- 10-bit, up to 14-Channel Analog-to-Digital Converter module (ADC):
 - Auto-acquisition capability
 - Conversion available during Sleep
 - Internal 1.2V Fixed Voltage Reference (FVR) channel
 - Independent input multiplexing
- Dual Analog Comparators
 - Rail-to-rail operation
 - Independent input multiplexing
- Programmable On-Chip Voltage Reference (CVREF) module (% of VDD)

Flexible Oscillator Structure:

- Four Crystal modes, up to 64 MHz
- 4X Phase Lock Loop (available for crystal and internal oscillators)
- Two External RC modes, up to 4 MHz
- Two External Clock modes, up to 64 MHz
- Internal Oscillator Block:
 - 8 user selectable frequencies, from 31 kHz to 16 MHz
 - Provides a complete range of clock speeds from 31 kHz to 64 MHz when used with PLL
 - User tunable to compensate for frequency drift
- Secondary Oscillator using Timer1 @ 32 kHz
- Fail-Safe Clock Monitor:
 - Allows for safe shutdown if primary or secondary oscillator stops

Special Microcontroller Features:

- C Compiler Optimized Architecture:
 - Optional extended instruction set designed to optimize re-entrant code
- Self-Programmable under Software Control
- Priority Levels for Interrupts
- 8 x 8 Single-Cycle Hardware Multiplier
- Extended Watchdog Timer (WDT):
 - Programmable period from 4 ms to 131s
- Single-Supply 3V In-Circuit Serial Programming™ (ICSP™) via two pins
- In-Circuit Debug (ICD) via Two Pins
- Operating Voltage Range: 1.8V to 3.6V
- Programmable 16-Level High/Low-Voltage Detection (HLVD) module:
 - Supports interrupt on High/Low-Voltage Detection
- Programmable Brown-out Reset (BOR)
 - With software enable option