

**Instituto Tecnológico de Costa Rica**

**Escuela de Ingeniería en Electrónica**



**Líneas Aéreas Costarricenses S.A.**

**LACSA**

**Diseño electrónico de un sistema de banco para el monitoreo de celdas en las baterías principales de aeronaves.**

**Informe final del Proyecto de Graduación para optar por el Grado de Bachiller  
en Ingeniería Electrónica**

**Douglas Quesada Zúñiga**

**Cartago, diciembre del 2001**



*...Dedicado a Dios...por darme vida!!...*  
*...Dedicado a cada una de las personas  
que creyeron en mí...*  
*...Dedicado a mis padres por hacerme  
un profesional...*  
*...Dedicado a Ana por darme la oportunidad  
de alcanzar mi sueño....*  
*...Dedicado a mi hija Hillary, porque ella significó  
Mi motivación y mi luz...*



*Mis agradecimientos...*

...a cada uno de los profesores de la escuela de Ingeniería electrónica, por ofrecerme parte de su inmenso conocimiento; por guiarme en el duro camino del mundo laboral; por enseñarme la firmeza y crear la seguridad que distingue a los ingenieros en electrónica del Instituto Tecnológico de Costa Rica...

...al Ing. Néstor Hernández por ofrecerme algo más que dirección durante mi práctica de especialidad. A él, mis gracias por ser un amigo...

...al Ing. Pedro Murillo por ser parte fundamental en el desarrollo de mi práctica de especialidad...

...al Ingeniero Roy Goluboay por la oportunidad que me ofreció de concluir mis estudios de bachillerato en electrónica y por brindarme todo su apoyo y respaldo durante mi estancia en el taller de aviónica de LACSA...

...a mis amigos: Luis, Martín, Roxana y a todo el personal de aviónica por su espléndida atención.

## ÍNDICE GENERAL

<b>Capítulo 1: Introducción</b>	<b>13</b>
<b>1.1 Descripción de la empresa</b>	<b>13</b>
<b>1.2 Definición del problema y su importancia</b>	<b>15</b>
<b>1.3 Objetivos</b>	<b>20</b>
<b>1.3.1 Objetivo general</b>	<b>20</b>
<b>1.3.2 Objetivos específicos alcanzados</b>	<b>21</b>
<b>1.3.3 Objetivos específicos no alcanzado aún</b>	<b>24</b>
<b>Capítulo 2: Antecedentes</b>	<b>25</b>
<b>2.1 Estudio del problema a resolver</b>	<b>25</b>
<b>2.2 Solución propuesta</b>	<b>27</b>
<b>2.2.1 Sistema de entrada alfanumérico</b>	<b>28</b>
<b>2.2.2 Módulo convertidor analógico digital</b>	<b>29</b>
<b>2.2.3 Módulo de tiempo real</b>	<b>29</b>
<b>2.2.4 Módulo de energía de respaldo</b>	<b>30</b>
<b>2.2.5 Módulo sensor de temperatura</b>	<b>31</b>
<b>2.2.6 Módulo de Memorias</b>	<b>31</b>
<b>2.2.7 Módulo de visualización</b>	<b>32</b>
<b>2.2.8 Módulo de alarmas</b>	<b>33</b>
<b>2.2.9 Módulo de comunicación serial</b>	<b>33</b>
<b>2.2.10 Módulo de atención de periféricos</b>	<b>34</b>
<b>2.2.11 Módulo de procesamiento</b>	<b>34</b>
<b>Capítulo 3: Procedimiento metodológico</b>	<b>36</b>
<b>3.1 Metodología empleada</b>	<b>36</b>
<b>Capítulo 4: Descripción del hardware utilizado</b>	<b>45</b>
<b>4.1 Hardware módulo central de procesamiento</b>	<b>46</b>
<b>4.2 Hardware del módulo de atención de periféricos</b>	<b>48</b>
<b>4.3 Hardware del módulo de entrada alfanumérico</b>	<b>49</b>

4.4	Hardware del módulo de Visualización	49
4.5	Hardware del módulo de Memorias	50
4.6	Hardware del módulo sensor de temperatura	50
4.7	Hardware del módulo de Comunicación serie	51
4.8	Hardware del módulo de tiempo	51
4.9	Hardware del módulo de alarmas visibles o audibles	54
4.10	Hardware del módulo convertidor analógico digital	54
<b>Capítulo 5: Descripción del software utilizado</b>		<b>56</b>
5.1	Software de programación utilizado en el proyecto.	56
5.1.1	Software de programación de código fuente	56
5.1.2	Software de programación de la interfaz en una PC	57
5.2	Estructura del código fuente	57
5.2.1	Interfaz con el usuario	58
5.2.2	Ingreso de datos	60
5.2.3	Monitoreo de las celdas	60
5.2.4	Comunicación serial con la PC	60
<b>Capítulo 6: Análisis y resultados</b>		<b>61</b>
6.1	Explicación del diseño	61
6.1.1	Módulo central de procesamiento	61
6.1.2	Módulo de atención de periféricos	67
6.1.3	Módulo de memorias	70
6.1.4	Módulo de entrada alfanumérico	73
6.1.5	Módulo de visualización	80
6.1.6	Módulo convertidor analógico digital	86
6.1.7	Módulo de tiempo real	92
6.1.8	Módulo de comunicación serie	95
6.1.9	Módulo de alarmas visibles y audibles	97
6.2	Alcances y limitaciones	98
<b>Capítulo 7: Conclusiones y recomendaciones</b>		<b>99</b>

<b>7.1 Conclusiones</b>	<b>99</b>
<b>7.2 Recomendaciones</b>	<b>101</b>
<b>Bibliografía</b>	<b>102</b>
<b>Apéndices</b>	<b>103</b>
<b>Apéndice A.1 Descripción del hardware para la solución con la RIC320</b>	<b>103</b>
<b>A1.1 Módulo central de procesamiento</b>	<b>103</b>
<b>A1.2 Módulo de atención de periféricos</b>	<b>105</b>
<b>Apéndice A.2 Descripción del software para la solución con la RIC320</b>	<b>109</b>
<b>Anéxos</b>	<b>110</b>
<b>Anexo B.1 Formato del formulario utilizado para registrar datos de la batería</b>	<b>110</b>
<b>Anexo B.2 Manual del RIC320</b>	<b>111</b>
<b>Anexo B.3 Descripción de las terminales del 80320</b>	<b>127</b>
<b>Anexo B.4 Hojas de datos del maxím 233</b>	<b>132</b>
<b>Anexo B.5 Hojas de datos del RTC</b>	<b>135</b>
<b>Anexo B.6 Descripción de las aplicaciones del ADC</b>	<b>139</b>
<b>Anexo B.7 Descripción del 4051</b>	<b>142</b>

## ÍNDICE DE FIGURAS

<b>Figura 1.1</b>	<b>Estructura de una batería SAFT de A320</b>	<b>18</b>
<b>Figura 1.2</b>	<b>Diagrama de bloques de la solución al problema</b>	<b>27</b>
<b>Figura 2.2</b>	<b>Diagrama de bloques del módulo de entrada alfanumérico</b>	<b>28</b>
<b>Figura 2.3</b>	<b>Diagrama de bloques del módulo ADC</b>	<b>29</b>
<b>Figura 2.4</b>	<b>Diagrama de bloques del módulo de tiempo real</b>	<b>30</b>
<b>Figura 2.5</b>	<b>Diagrama de bloques del módulo sensor de temperatura</b>	<b>31</b>
<b>Figura 2.6</b>	<b>Diagrama de bloques del módulo de memoria de datos</b>	<b>32</b>
<b>Figura 2.7</b>	<b>Diagrama de bloques del módulo de alarmas visibles y audibles</b>	<b>33</b>
<b>Figura 2.8</b>	<b>Diagrama de bloques del módulo de atención de periféricos</b>	<b>34</b>
<b>Figura 2.9</b>	<b>Diagrama de bloques del módulo central de procesamiento</b>	<b>35</b>
<b>Figura 4.1</b>	<b>Descripción de la función de los puertos del DS80C320</b>	<b>48</b>
<b>Figura 4.2</b>	<b>Mapa de memoria del reloj de tiempo real</b>	<b>52</b>
<b>Figura 5.1</b>	<b>Diagrama de flujo del programa principal</b>	<b>58</b>
<b>Figura 5.2</b>	<b>Apariencia de los menús de configuración y de modo</b>	<b>59</b>
<b>Figura 6.1</b>	<b>Diagrama eléctrico del módulo central de procesamiento</b>	<b>63</b>
<b>Figura 6.2</b>	<b>Distribución de los bits del bus de direcciones</b>	<b>68</b>
<b>Figura 6.3</b>	<b>Diagrama eléctrico del módulo de memorias</b>	<b>71</b>
<b>Figura 6.4</b>	<b>Diagrama eléctrico del módulo de entrada alfanumérico</b>	<b>74</b>
<b>Figura 6.5</b>	<b>Diagrama de flujo de la rutina de ingreso de letras y números</b>	<b>77</b>
<b>Figura 6.6</b>	<b>Diagrama eléctrico de la conexión del LCD al puerto 0</b>	<b>81</b>
<b>Figura 6.7</b>	<b>Pantallas del menú de configuración</b>	<b>82</b>
<b>figura 6.8</b>	<b>Pantalla de ingreso de parámetros de las baterías</b>	<b>83</b>
<b>Figura 6.9</b>	<b>Pantalla de ingreso de tiempos de trabajo</b>	<b>83</b>
<b>Figura 6.10</b>	<b>Pantalla de configuración de hora y fecha</b>	<b>83</b>
<b>Figura 6.11</b>	<b>Pantallas del menú de modo</b>	<b>84</b>
<b>Figura 6.12</b>	<b>Pantallas de monitoreo</b>	<b>85</b>
<b>Figura 6.13</b>	<b>Pantalla para comunicación serie</b>	<b>86</b>
<b>Figura 6.14</b>	<b>Diagrama eléctrico del módulo ADC</b>	<b>87</b>
<b>Figura 6.15</b>	<b>Diagrama de flujo del proceso de conversión de datos</b>	<b>91</b>

<b>Figura 6.16</b>	<b>Diagrama eléctrico del módulo de entrada alfanumérico</b>	<b>93</b>
<b>Figura A1.1</b>	<b>Fotografía de la RIC320 de Rigel Corporation</b>	<b>104</b>
<b>Figura A1.2</b>	<b>Diagrama de bloques de la RiC320</b>	<b>105</b>
<b>Figura A1.3</b>	<b>Diagrama del mapa de memoria que presenta la RIC320</b>	<b>106</b>
<b>Figura A1.4</b>	<b>Estructura del bus de direcciones</b>	<b>107</b>



## ÍNDICE DE TABLAS

<b>Tabla 6.1</b>	<b>Tabla de vectores de interrupción para el 80C320</b>	<b>65</b>
<b>Tabla 6.2</b>	<b>Valores de los registros de función especial</b>	<b>66</b>
<b>Tabla 6.3</b>	<b>Decodificación de periféricos y espacios de memoria asignados</b>	<b>69</b>
<b>tabla 6.4</b>	<b>Códigos de las teclas y su respectiva función</b>	<b>75</b>
<b>Tabla 6.5</b>	<b>Localidades de memoria para los caracteres ASCII</b>	<b>79</b>
<b>Tabla A1.1</b>	<b>Decodificación y localidades de memoria de los periféricos</b>	<b>108</b>

## Resumen

En el taller de aviónica de LACSA, se presenta la problemática de no contar con un proceso eficiente, confiable y ordenado en la recopilación de la información durante las pruebas a las baterías principales de avión. Tales baterías están diseñadas especialmente para aplicaciones aeronáuticas y el taller cuenta con dos marcas líderes en su fabricación: las baterías SAFT y las baterías MARATHON. Las primeras se usan en aviones A319 y A320, mientras que las MARATHON son utilizadas en CESSNA CARAVAN. Entre las características que las baterías presentan, se encuentran el contar con veinte celdas, poseen un voltaje nominal de 24V y una capacidad de 23AH. (Amperios Hora)

Las pruebas consisten en comprobar la integridad de cada una de las celdas, además de someterlas a procesos de carga principal y descarga o prueba de capacidad (carga principal es aproximadamente un 80% de la carga total). Para la descarga el voltaje de las celdas no debe ser menor a 1V ni disminuir mas de 0.05V durante la carga principal.

Se diseñó un sistema de banco para recopilar el voltaje de cada celda en una periodicidad que depende del usuario y de las características de los tres modos de trabajo con que se cuenta. El sistema se conecta a cada celda mediante lagartos y mediante resta obtiene el voltaje de cada una de ellas para ser almacenado en memoria. Las entradas son la información de descripción de cada batería, el tiempo de ejecución de cada modo y los canales analógicos conectados a la batería. El sistema cuenta con cuatro partes principales con respecto al software:

- La interfaz con el usuario, que tiene que ver con los menús disponibles
- El ingreso de datos, que se refiere a la manipulación de la información.
- Recopilación de la información de las celdas, que envuelve el sistema de alarmas en caso de error en cualquier celda.
- Software relacionado con el envío de datos a través del puerto serie hacia una PC para ser almacenadas en bases de datos de accedidas por ACCESS.

**Palabras claves:** Monitoreo, carga principal, carga plena y descarga.

## **Abstract**

In avionic (LACSA's department of electronic maintenance), the problem is not to have an efficient, reliable and ordered process in the obtaining of the information during the tests to the main batteries of airplane. The batteries are designed for aeronautical applications. The factory has two marks leaders in its manufacture: the batteries SAFT and batteries MARATHON. The First ones are used in airplanes A319 and A320, whereas the MARATHON are used in CESSNA CARAVAN. Some characteristics that the batteries have are: they have twenty cells, nominal voltage of 24V and a capacity of 2AH. (Amperes Hour)

The tests consist of verifying the integrity of each cell and produce also processes of charge and discharge to them (main charge is approximately a 80% of the total capacity). For the discharge process, the voltage of the cells doesn't have to be smaller to 1V.

A bank system was designed to obtain the voltage of each cell during periods of time user defined. The times of sampling are different for the work modes. The system can be connected to each cell with lizards connectors and by subtractions it obtains the voltage of each one of them to be stored in memory. The entrances of the system are: the information of description of each battery, the connected working time of each way and analog channels to the battery. The system designed has four main parts for software:

- the interface with the user, related to menus
- the data entry, also related to the control of the system
- Obtaining of information of the cells, related to the alarms in case of error
- Software related to the shipment of data through the port series towards a PC. The information is stored in data bases of ACCESS.

**Keywords:** Sampling, main charge, topping charge y discharge

# CAPÍTULO 1

## INTRODUCCIÓN

---

### 1.1 Descripción de la empresa

Hacia 1931, cuando Lowell Yerex, un piloto de Nueva Zelanda miembro de la Fuerza Aérea Canadiense fundó Transportes Aéreos Centroamericanos (TACA) en Tegucigalpa, Honduras. Se inicio utilizando un aeroplano y un contrato del gobierno de Honduras para transportar bienes. Desde este punto, aerolíneas TACA entra en un período de fortalecimiento y consolidación administrativa operacional y financiera a finales de los 80's, a través de la adquisición de capital en las aerolíneas bandera de cada uno de los países centroamericanos. La combinación de las aerolíneas bandera creó el sólido concepto: GRUPO TACA, el cual constituye uno de los más eficientes sistemas de transportación aérea del mundo!.

La alianza de aerolíneas Centroamericanas, AVIATECA, LACSA, NICA, TACA y TACA de Honduras, se conformó entre 1989 y 1992, con el objetivo mejorar su posición competitiva, gracias a las economías de escala que sólo como grupo se pueden aprovechar. Con una administración consolidada bajo el concepto de GRUPO TACA, los beneficios económicos desde la compra de combustible y repuestos, hasta la coordinación de vuelos y reservaciones, son ahora una realidad.





GRUPO TACA es una empresa cuya misión es el transporte aéreo de pasajeros y de carga dentro de América de una manera rápida y confiable, manteniendo además los más altos estándares de seguridad aérea.

Mientras tanto el área de mantenimiento tiene como objetivo el mantener los aviones el mayor tiempo posible brindando un servicio rápido y efectivo que se apegue totalmente a los requerimientos del fabricante de las aeronaves y a los exigidos por la Federal Aviation Administration (F.A.A.).



El GRUPO TACA cuenta una de las más grandes y modernas flotas de Latinoamérica, compuesta por modelos Boeing 737-200, Airbus A-320 y A-319, Cessna Grand Caravan ATR-42, Short 360 y Twin Otter. La Red de Rutas del Grupo cubre nueve importantes ciudades en Estados Unidos, Toronto en Canadá, dos ciudades en México, todo Centroamérica, importantes islas del Caribe y los principales destinos en Sudamérica.

Dentro del gran área de mantenimiento que envuelve el GRUPO TACA, el Sr. Marcial Solís se constituye como gerente de talleres, donde laboran aproximadamente doscientas (200) personas. En total dentro del área de mantenimiento se constituyen diez talleres, dentro de los cuales destaca el taller de aviónica. El departamento de mantenimiento esta compuesto por empleados divididos en las áreas o secciones que se menciono anteriormente. El tipo de organización es funcional. Cada área tiene funciones claramente definidas y son de la satisfacción de las personas que las ejecutan.



## 1.2 Definición del problema y su importancia

La problemática que se plantea en el taller de aviónica de LACSA, consiste en lograr con mayor rapidez, seguridad y orden, la lectura de los voltajes en cada una de las celdas que constituyen las baterías principales en los aviones, esto durante el chequeo que periódicamente se les practican y que consiste en procesos de carga y de descarga.

En el taller de aviónica se manejan dos marcas de baterías diseñadas para la aviación: SAFT y MARATHON, cada una de ellas con un costo aproximado de \$4000, que basan su operación en una reacción electroquímica de níquel-cadmio. Las baterías consisten en un chasis metálico que contiene un número de celdas idénticas e individuales.

A pesar de la existencia de cantidad de modelos de baterías diseñadas por SAFT y MARATÓN, las baterías que se manejan en aviónica poseen como características en común, un voltaje nominal de 24 [V] y una cantidad de veinte celdas por batería, además de las características para ser utilizadas en aviación. Considerando que las baterías existentes cuentan con veinte celdas, el voltaje nominal en cada celda es de aproximadamente 1.2 [V].

El máximo voltaje de las celdas es de 1.75 [V] y el mínimo es 1 [V], además su capacidad se mide en amperios entregados por hora (Ah). De estos factores depende el tiempo de duración de la carga principal y de la prueba de capacidad, durante el chequeo que periódicamente se realiza a las baterías. Generalmente, la tasa de carga y de descarga que se impone durante dichos procesos corresponde a la mitad de la capacidad total, es decir, si la batería puede entregar 23 [Ah], esta se carga a 11.5 [A] en dos horas, tal y como se recomienda en los procedimientos existentes.

El proceso de carga posee dos modos: el principal y el que contempla las pérdidas por calor que impide que la batería se cargue al 100%. Este último proceso de carga se conoce como carga plena (topping charge). En las dos marcas de batería que se manejan, el porcentaje que ocupa la carga plena en relación con la capacidad total varía; en una batería SAFT este porcentaje es de un 20% y en las de marca MARATHÓN es de un 40%. El tiempo en que una batería está en el proceso de carga plena puede ser bastante prolongado, sin embargo a diferencia de el proceso de carga principal, el muestreo del voltaje en las celdas es menos minucioso y generalmente solamente se practican dos lecturas: la primera a los diez minutos de inicializado el modo y la segunda a diez minutos de su finalización.

El chequeo de las baterías, consiste en determinar el estado de sus celdas al momento de llegar al taller con la posibilidad de extraer varias conclusiones sobre mantenimiento posterior. Seguidamente la batería se puntea para descargarla por completo y se somete al proceso de carga y de descarga que puede ser repetido hasta un máximo de tres veces (dependiendo del resultado de cada prueba). Este procedimiento es necesario para comprobar el perfecto estado de las celdas antes de cumplir su función dentro de aviones como AIRBUS A319 y A320 o en avionetas como las CESSNA CARAVAN.

En cuanto a los resultados esperados durante los procesos de prueba, el voltaje de ninguna celda debe disminuir por debajo de 1 [V]. Para este propósito se tiene un encargado de monitorear el voltaje de cada una de las celdas en períodos de tiempo definidos y en caso de que se produzca alguna falla, esta persona debe registrar manualmente el tiempo y la celda en que produjo.

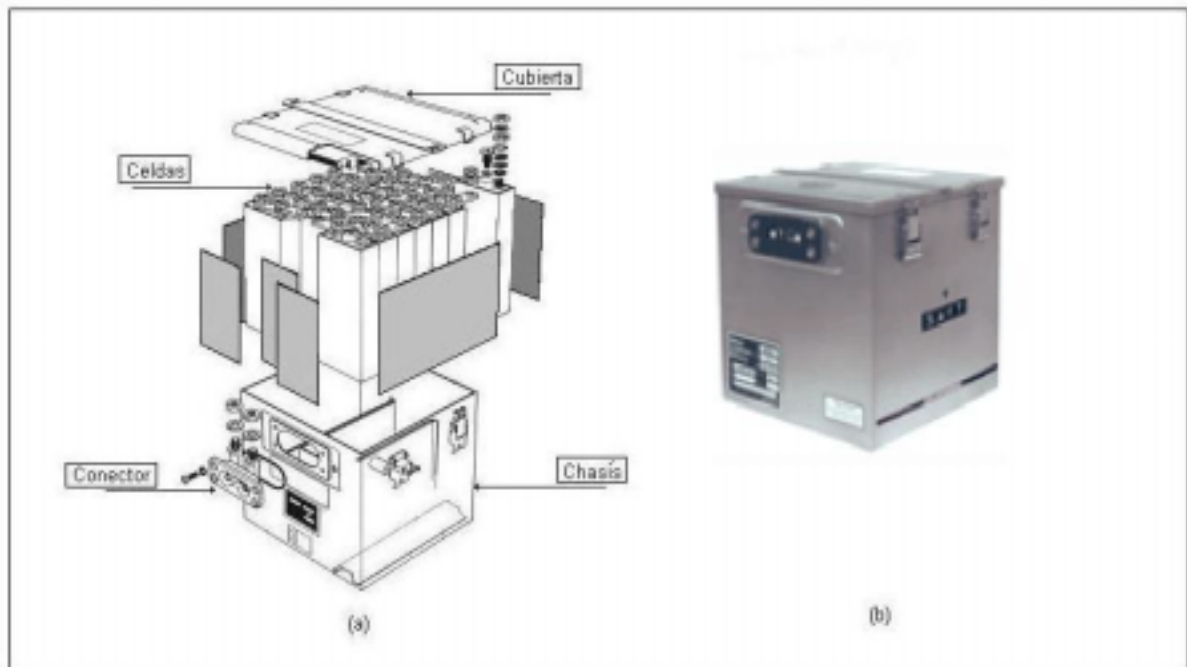
Los límites del voltaje nominal, inferior y superior en las celdas, son indicativo del buen funcionamiento de éstas. En caso de que se presente una anomalía como la anterior ó alternativamente se produzca una reducción del voltaje durante la carga principal mayor a los 0.3 [V], es que se procede al registro del voltaje, el tiempo y la celda tratada. De darse el caso, en el que cuatro o más celdas presentan un fallo, se debe practicar un procedimiento de mantenimiento físico (overhaul) recomendado por el fabricante.

El monitoreo constante de la temperatura en la batería es de suma importancia, ya que la naturaleza de la reacción electroquímica de níquel-cadmio ante una falla tiende liberar energía en forma de calor hasta el punto de destrucción, es por esto que ante tal situación el proceso de carga o descarga debe ser suspendido, así como sucede con cualquier otro aparato que se tenga conectado a las celdas.

Es importante resaltar que las dimensiones de las baterías varían, sin embargo en la figura 1.1 se muestra un diagrama estándar de la estructura de las baterías SAFT.

Actualmente el proceso de monitoreo y recolección de datos es completamente manual. Una persona es la encargada de mantenerse en el cuarto designado para el proceso de carga y descarga de las baterías. Esta persona toma muestras de los voltajes de las celdas en tiempos y momentos específicos, tales como el voltaje de las celdas al principio del proceso de pruebas, el voltaje durante y al final de la carga, etc. La recopilación de los datos y de los voltajes de las celdas de las baterías durante los procesos de prueba, son ordenados manualmente en una boleta como la que se muestra en el anexo B.1.





**Figura 1.1** Estructura de una batería SAFT de A320

Tal y como lo manifiestan los mismos encargados, el taller de aviónica desperdicia valioso tiempo en asignar una persona para que registre la información y se mantenga alerta en caso de anomalías en las celdas. Además se considera que la permanencia en el cuarto designado para el proceso de pruebas, es un riesgo a la salud y a la integridad del encargado por los gases que se liberan de la reacción en las celdas o posibles accidentes ocasionados al hacer contacto con los terminales de éstas. Sin embargo estos factores de riesgo son disminuidos al contar con un sistema extractor de aire en el cuarto, además de contar con el equipo de seguridad de la persona designada para el trabajo (guantes y mascarilla).

En el taller de aviónica se busca la eficiencia en este proceso, de tal manera que sea seguro para el personal y algo muy importante es lograr mantener un orden en la documentación obtenida. Además considerando el precio elevado de cada batería, es importante darles un servicio de cargado adecuado para evitar perdidas considerables de dinero. En la empresa se tiene proyectado el contar con un

modular electrónico que se conecte mediante lagartos a cada una de las celdas y que automáticamente realice un muestreo de los voltajes en las celdas en intervalos de tiempo específicos, que además alerte en caso de anomalías ya mencionadas a fin de registrar en memoria o en el caso del incremento de la temperatura registrar y luego cortar el vínculo con la batería. Es importante que la solución tenga características de flexibilidad a la hora de la ejecución del monitoreo a causa de que en ocasiones las celdas no se cargan con la misma rapidez y se debe detener el proceso para coordinar la carga en todas las celdas. Se busca mantener una base de los datos obtenidos en ACCESS, por lo que se busca comunicación con un PC sin dejar de lado el concepto de portabilidad.

Para la empresa es importante la ejecución del proyecto a fin de modernizar el equipo y por parte de esta se espera un éxito del 100% por la rentabilidad que significaría un sistema con esas características y a un precio relativamente bajo.

## **1.3 Objetivos**

### **1.3.1 Objetivo general**

Diseñar un sistema de banco para monitorear y registrar el voltaje de las celdas de las baterías principales de los aviones, que cumpla y que mejore las características que presenta el ACCU-SCAN, que sea portátil y que sea capaz de comunicarse con una computadora personal para contar con un proceso de pruebas que sea eficaz, seguro y primordialmente ordenado.

### **1.3.2 Objetivos específicos alcanzados**

1. Conocer a fondo el proceso de pruebas que se les practican a las baterías principales de avión.
2. Recolectar los parámetros que son de interés en el ACCU-SCAN para ser registrados y que permiten reconocer el buen funcionamiento de las celdas de las baterías.
3. Buscar un microcontrolador apropiado como base de la solución del problema, tomando en cuenta las limitantes que posee la empresa en cuanto al equipo de programación.
4. Especificar los componentes y el equipo necesarios para el diseño del sistema considerando la portabilidad.
5. Contactar a los proveedores de los componentes y del equipo elegido para la solución del problema.
6. Montar y probar el módulo de procesamiento principal, diseñada para una solución alternativa al problema.<sup>1</sup>
7. Alambrar la parte correspondiente al hardware del módulo de memorias en la que se ve contenido el código de programa.
8. Diseñar y montar el hardware de un módulo de atención de periféricos.

---

<sup>1</sup> Solución alternativa se refiere al diseño desarrollado una vez que se descartó la llegada de la RIC320

9. Probar y adaptar los componentes del módulo de entrada alfanumérico al de procesamiento.
10. Programar en el controlador, el software correspondiente a la parte de atención del módulo de entrada alfanumérico y comprobar su correcto funcionamiento.
11. Diseñar y programar el software relacionado con la visualización en una pantalla de cristal líquido (LCD), concerniente a los procedimientos de ingreso de datos y de los menús para la manipulación sistema.
12. Diseñar y programar el proceso de almacenaje de la información en el módulo de memorias de datos no volátiles.
13. Programar los procedimientos para el manejo de los menús correspondientes a la configuración y al modo de trabajo.
14. Conocer a fondo con el manejo y las características de los componentes del módulo convertidor analógico digital.
15. Diseñar y montar un módulo de selección analógico (multiplexaje analógico) que permita obtener la información de las celdas una a una.
16. Programar las rutinas necesarias para el monitoreo periódico del voltaje de cada una de las celdas y adecuarlas a cada uno de los modos de trabajo existentes en el sistema.

17. Diseñar y montar el hardware del módulo que envuelve la parte relacionada con el tiempo y que tiene como base el manipular un reloj de tiempo real (RTC).
18. Programar el RTC con el formato y las características para que su funcionamiento satisfaga los requerimientos de la solución del problema.
19. Programar las rutinas correspondientes a la obtención de la información proveniente al módulo de tiempo real.
20. Diseñar y montar el hardware del módulo sensor de temperatura.
21. Programar la parte correspondiente a las alarmas con las que debe contar el sistema y la relación que debe tener con el módulo de memorias.
22. Montar y probar el hardware del módulo de alarmas visibles y audibles, incluyendo el módulo sensor de temperatura.
23. Montar el hardware relacionado con el manejo de puertos de comunicación.
24. Diseñar y programar en Visual Basic, una interfaz con el usuario en ambiente Windows® para controlar desde una computadora personal el envío de los datos contenidos en la memoria del sistema.
25. Programar las rutinas en el controlador de la parte correspondiente al envío de datos a través del puerto serie.

### **1.3.3 Objetivos específicos no alcanzado aún**

1. Especificar una batería recargable que se adecue al consumo de energía del sistema.
2. Adecuar y probar el hardware del módulo abastecedor de energía de respaldo.

# CAPÍTULO 2

## ANTECEDENTES

---

### 2.1 Estudio del problema a resolver

Durante la recopilación de la información perteneciente al proyecto y a la posibilidad de satisfacer cada una de las necesidades ya planteadas en la descripción del problema, es de rescatarse la información y experiencia con que cuenta una parte muy reducida del personal de aviónica de un sistema que realiza con gran similitud dichas funciones.

El sistema, perteneciente a COOPESA es llamado ACCU-SCAN y es diseñado y construido por AERO QUALYTY. Desde tiempo atrás se han hecho intentos por adquirir un sistema similar a éste, pero es hasta este momento que existe la posibilidad de poner en ejecución la construcción de un sistema mejorado. Entre los factores que imposibilitan el contar con el ACCU-SCAN, están el económico y el carecer de características como el de comunicación con un PC para la posibilidad de graficar los datos.

El ACCU-SCAN a pesar de ser capaz de mostrar el estado de las celdas en una pantalla, tener capacidad de memoria, capacidad de calibración, guía mediante menús con entradas alfanuméricas; carece de capacidad de comunicación con una PC (si posee puerto serie para comunicación con una impresora). Este sistema es capaz de monitorear el estado de la temperatura mediante dos sensores y cuenta con la cantidad de conectores lagarto para monitorear los voltajes de las celdas de dos baterías al mismo tiempo.



Otra de las desventajas del sistema es contar con una batería de backup de níquel-cadmio que puede iniciar una reacción con las celdas de las baterías monitoreadas y producir desperfectos. También se conoce que el sistema trabaja con solo un cable de conexión a masa (TIERRA), por lo que un cable a cada celda basta y mediante resta de voltajes se obtiene la lectura de cada una de ellas. Sin embargo, si se presentase un error en alguna de las celdas y se abra el circuito interno del ACCU-SCAN, se pierde el monitoreo de las demás celdas por lo que hay que habría que detener el proceso de carga.

Las características de manipulación de menús y de ingreso de datos, no es lo más eficiente debido a que se cuenta con una perilla giratoria para escoger carácter por carácter, lo que sobrecarga la cantidad de comandos en solo un punto del sistema, perjudicando la agilidad del ingreso de datos. Sin embargo una característica importante es la posibilidad de mantener en memoria una base de datos para cinco baterías y lo único que se ingresa son los tiempos de trabajo de los modos con que cuenta el sistema.

En cuanto a los posibles modos de trabajo, el ACCU-SCAN puede establecerse en el proceso de carga (charge), carga plena (topping charge), prueba de capacidad o descarga (capacity check), descarga rápida (quick discharge) y monitoreo (manual display). Este último modo es utilizado en casos donde simplemente se desea monitorear el voltaje de las baterías sin necesidad de registrarlos en la memoria. La descarga rápida tiene como fin una prueba rápida de la respuesta de la batería ante una carga fuerte.

Por último el sistema cuenta con alarmas audibles y visibles que permiten alertar de las circunstancias de los procesos de prueba a las baterías, tal y como lo son las anomalías y el fin del tiempo de trabajo de los distintos modos.

## 2.2 Solución propuesta

La solución del problema consistió en desarrollar un sistema modular y portátil que cumpla con las características que posee el ACCU-SCAN de muestrear a intervalos de tiempo definidos, capacidad de admitir la información relacionada con la batería, capacidad de memoria, batería de respaldo, capaz de monitorear un par baterías simultáneamente, etc. Además se incorporaron características como comunicación con una computadora personal mediante puerto serie y protocolo RS-232, donde el formato de los datos enviados es tal que pueda ser ordenado en bases de datos manejadas por programas como ACCESS.

Se utilizó un procesador de uso general como lo es el DS80C320 diseñado por DALLAS SEMICONDUCTOR, debido a la compatibilidad que presenta con el 8032 de INTEL, en cuanto al listado de instrucciones y similitud en el diseño de su arquitectura, pero que además presenta características adicionales como lo es la incorporación de un tercer contador/temporizador, permite administrar un segundo puerto serie; además de presentar más fuentes de interrupción y una de las principales características es la de ejecutar gran cantidad de instrucciones en menos ciclos de reloj con respecto a lo presentado por el 8032 de INTEL.

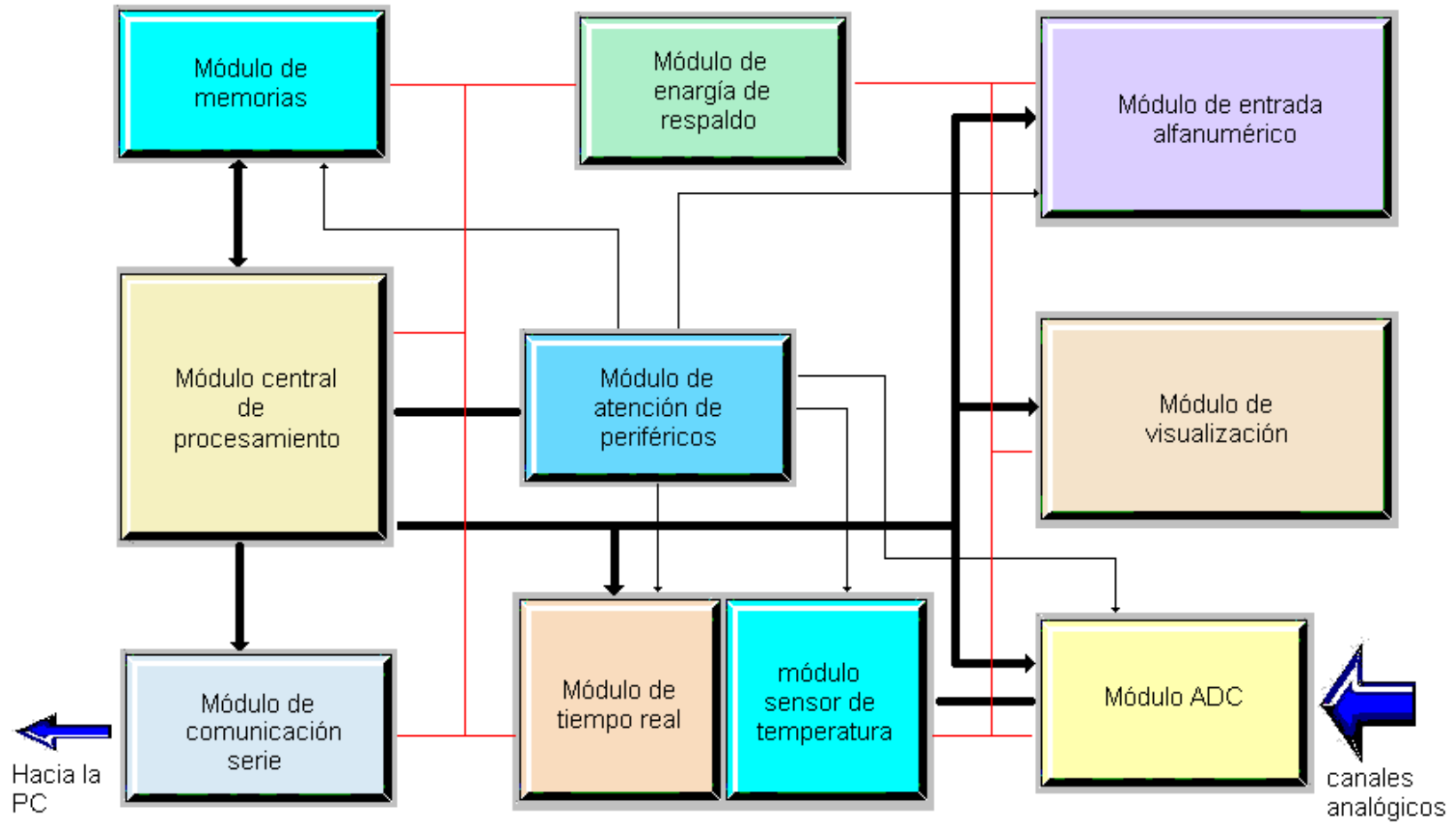
Se adicionaron módulos de entrada salida como lo son el LCD, ADC, un teclado con función alfanumérica, etc. Se decidió adicionar un teclado para mayor facilidad de manipulación de los menús y de la entrada de los datos; en este caso, se sugirió que se cuente con el sistema de teclado telefónico con multi-pulsado a fin de lograr un sistema compacto.

Se incorporaron alarmas visibles y audibles para alertar en caso de anomalías en la lectura de la temperatura y de las celdas.

Además el sistema cuenta con una base de tiempo real y se diseñó una interfaz con el usuario que permita transferir los datos a un PC para ser ordenados en bases de datos manejadas por ACCESS.

A continuación se presenta una breve explicación del diagrama de bloques de la solución propuesta, el cual se muestra en la figura 2.1 y en la sección de análisis de resultados se detalla el funcionamiento eléctrico de cada módulo, incluyendo los diagramas

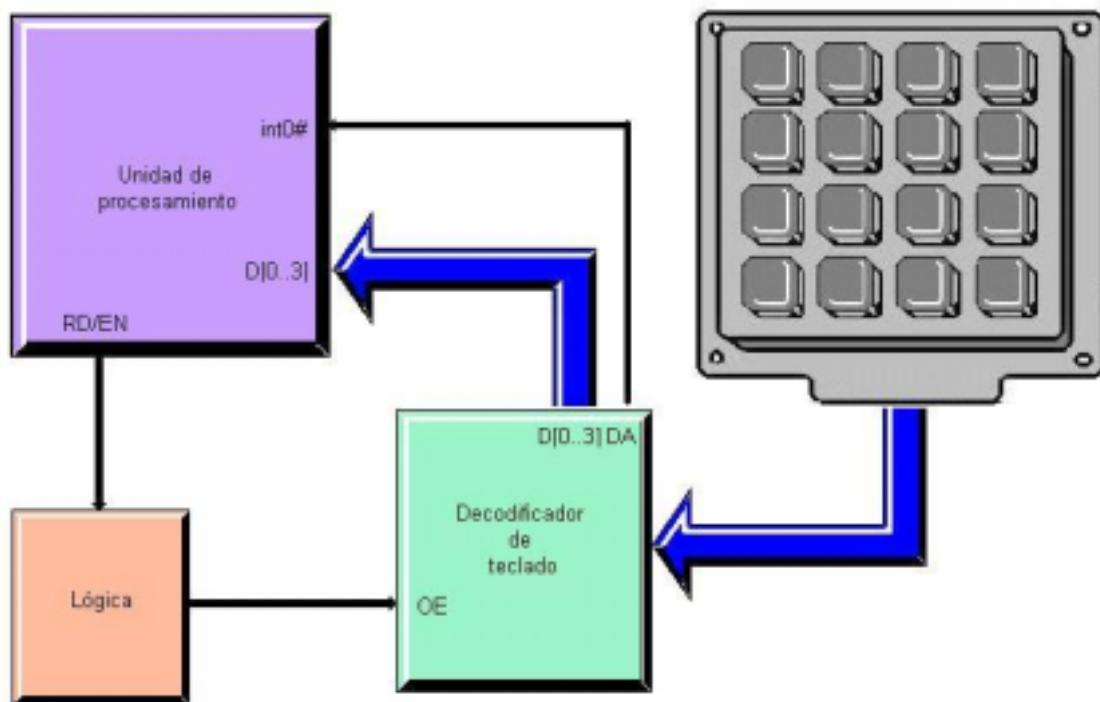
.



**Figura 1.2** Diagrama de bloques de la solución al problema

## 2.2.1 Sistema de entrada alfanumérico

Es el módulo que permite el ingreso de los datos por parte del encargado. Es capaz de ingresar números, letras y comandos especiales con un teclado de dieciséis teclas. Este módulo posee relación con el módulo de procesamiento, tiene como entradas las señales de habilitación por parte de éste y como salidas una señal de interrupción que demanda atención inmediata al controlador, además de enviar el código de la letra oprimida. La figura 2.2 muestra un diagrama de las entradas y salidas de éste módulo.



**Figura 2.2** Diagrama de bloques del módulo de entrada alfanumérico

## 2.2.2 Módulo convertidor analógico digital

Se encarga de codificar los datos obtenidos analógicamente, entiéndase traducir la lectura de voltaje de las celdas y la lectura del sensor de temperatura a código binario para su procesado. Además se encarga de seleccionar uno a uno los cuarenta canales analógicos que se encuentran conectados a las celdas de las baterías. Este módulo posee relación con el módulo de procesamiento. Tiene como entradas la señal de habilitación del bus por parte del controlador y todos los canales analógicos provenientes de cada celda. Como salidas se tienen los datos codificados en binario. En la figura 2.3 se muestra un diagrama de este módulo.

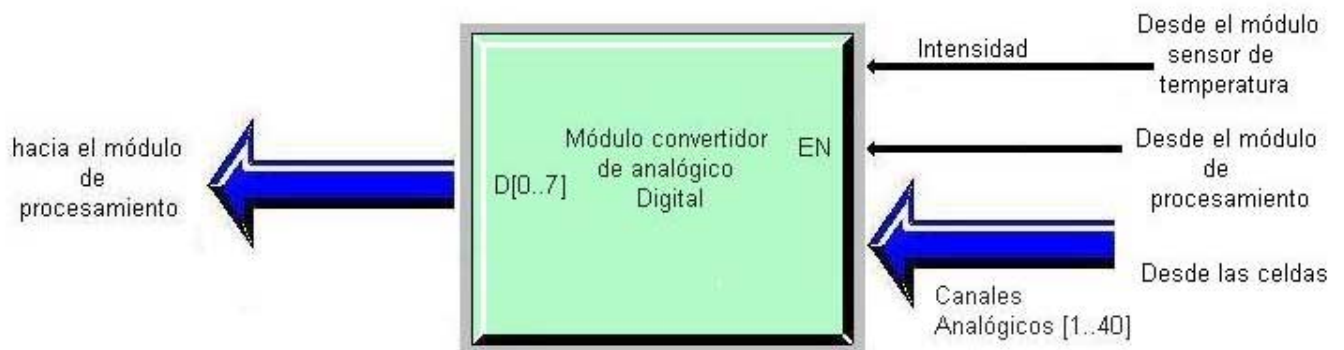


Figura 2.3 Diagrama de bloques del módulo ADC

## 2.2.3 Módulo de tiempo real

Le brinda al sistema la hora, fecha y año en tiempo real para el desarrollo de los procedimientos de muestreo y para que cuando los datos de las celdas sean registrados se acompañen de esta información en el reporte. Este módulo posee relación con el módulo de procesamiento.

Posee como entrada únicamente la señal de habilitación del bus ya que se comporta como un componente autónomo que funciona en paralelo al proceso. Como salidas se tienen los datos y una señal de interrupción que posee múltiples fuentes. En la figura 2.4 se muestra un diagrama simple de este módulo.



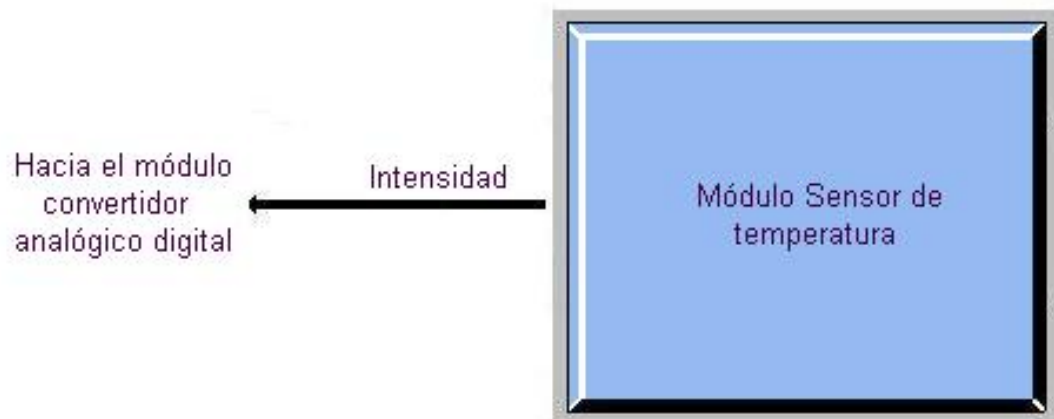
**Figura 2.4** Diagrama de bloques del módulo de tiempo real

#### **2.2.4 Módulo de energía de respaldo**

Se encarga de brindar energía a cada uno de los otros módulos en caso de ausencia de energía externa. Posee relación con todos los módulos que constituyen el sistema. Posee como única entrada la señal de habilitación para suplir energía y como salida brinda la alimentación a cada uno de los módulos vecinos.

### 2.2.5 Módulo sensor de temperatura

Se encarga de monitorear continuamente la temperatura. Consiste de un semiconductor especial que se conecta al chasis de la batería. Posee relación con el módulo convertidor analógico digital. No posee entradas y su única salida la constituye la corriente que varía conforme la temperatura y que alimenta el segundo canal analógico del ADC. En la figura 2.5 se muestra un diagrama de módulo.



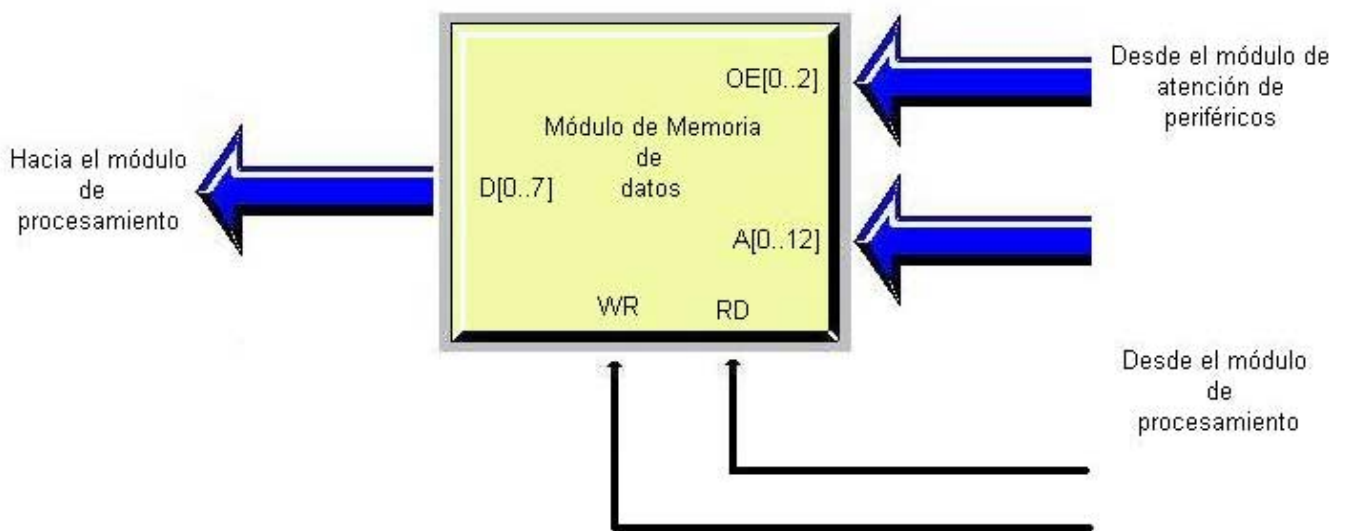
**Figura 2.5** Diagrama de bloques del módulo sensor de temperatura

### 2.2.6 Módulo de Memorias

Se encarga de guardar la información de trascendencia de cada una de las celdas y de la batería en general para posteriormente ser enviados a una PC para su archivado. Se compone de memoria de datos y de memoria de código. Este último contiene el software del sistema.



El módulo de memorias de datos posee relación con el módulo de procesamiento y con el módulo de atención de periféricos. Posee como entradas el bus de direcciones, y la señal de selección de bloque de memoria proveniente del módulo de atención de periféricos, además de las señales de RD# y WR# provenientes del controlador. Como salidas esta únicamente el bus de datos. En la figura 2.6 se muestra un diagrama de entradas y salidas de este módulo.



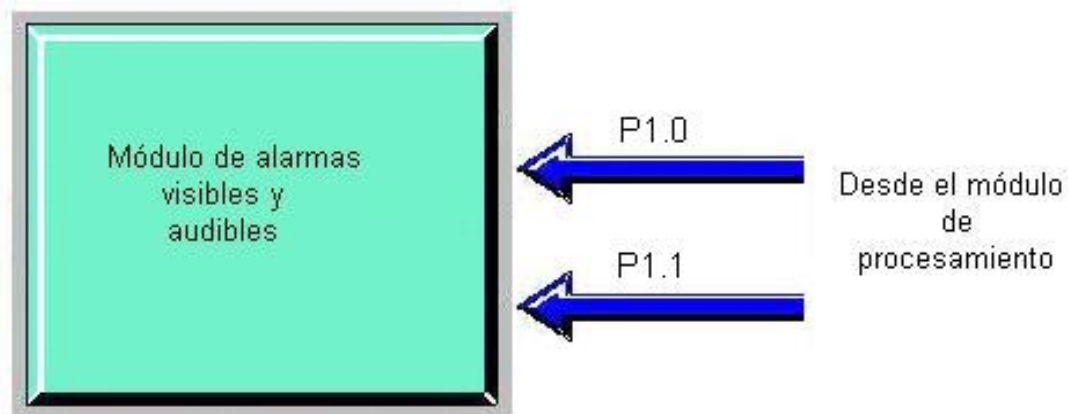
**Figura 2.6** Diagrama de bloques del módulo de memoria de datos

### 2.2.7 Módulo de visualización

Muestra información importante de los voltajes en las celdas, temperatura, tiempos del modo de trabajo y de posibles anomalías, así como permite manipular los menús para ingresar datos de descripción de las baterías. Posee relación con el módulo de procesamiento. Posee entre sus entradas los datos en forma serial provenientes del controlador. No posee salidas

### 2.2.8 Módulo de alarmas

Se trata de alarmas audibles y visibles que permiten llamar la atención del encargado en caso de anomalías en las celdas. Aunque las fuentes de posibles anomalías provienen de distintos módulos, es el módulo de procesamiento el que realmente centra el origen de la anomalía y activa la correspondiente alarma. Por esto, es que la entradas las constituyen dos señales desde el módulo central de procesamiento, que son P1.0 y P1.1. La figura 2.7 muestra un diagrama de éste módulo.



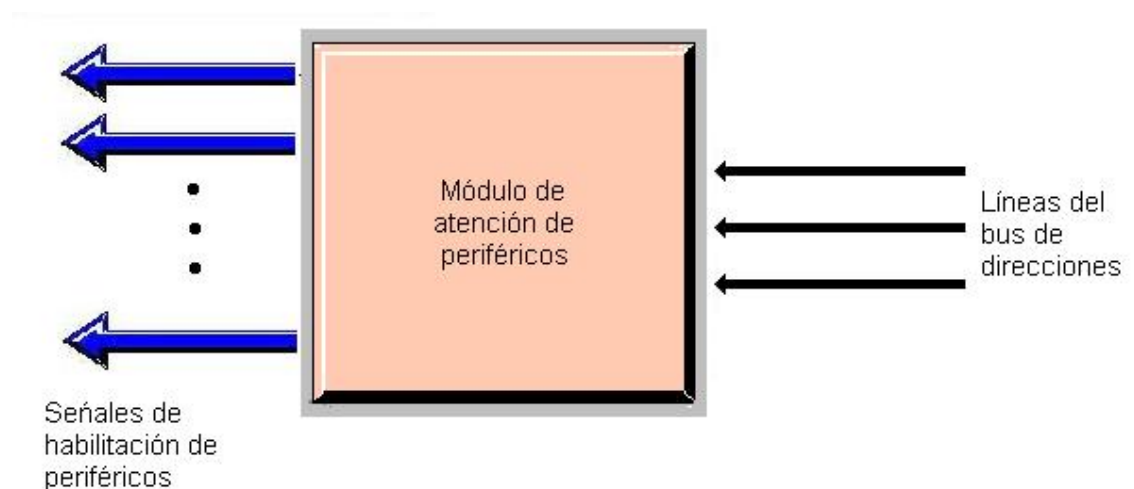
**Figura 2.7** Diagrama de bloques del módulo de alarmas visibles y audibles

### 2.2.9 Módulo de comunicación serial

Permite enviar los datos codificados en el sistema RS-232 y que se encuentran contenidos en la memoria de datos a través de un solo cable a una PC para ser ordenados y registrados. Los datos son extraídos por el módulo de procesamiento y enviados serialmente por éste a través de uno de los puertos de los puertos de comunicación con que cuenta el DS80C320. Este módulo cumple funciones de transductor y sirve de interfase entre la computadora personal y el sistema SCANBAT

### 2.2.10 Módulo de atención de periféricos

Pretende habilitar un solo periférico a la vez para evitar choques de datos en el bus correspondiente. Mediante una líneas del bus de direcciones es posible habilitar un solo periféricos permitiéndole la utilización del bus de datos. Entre sus entradas como ya se indicó se encuentran las líneas de dirección que fragmentan el espacio de memoria de datos manejable por el controlador en espacios aprovechados por cada uno de los periféricos. Sus salidas son las líneas de habilitación de utilización del bus de datos. En la figura 2.8 se puede observar el diagrama de bloques de este importante módulo.



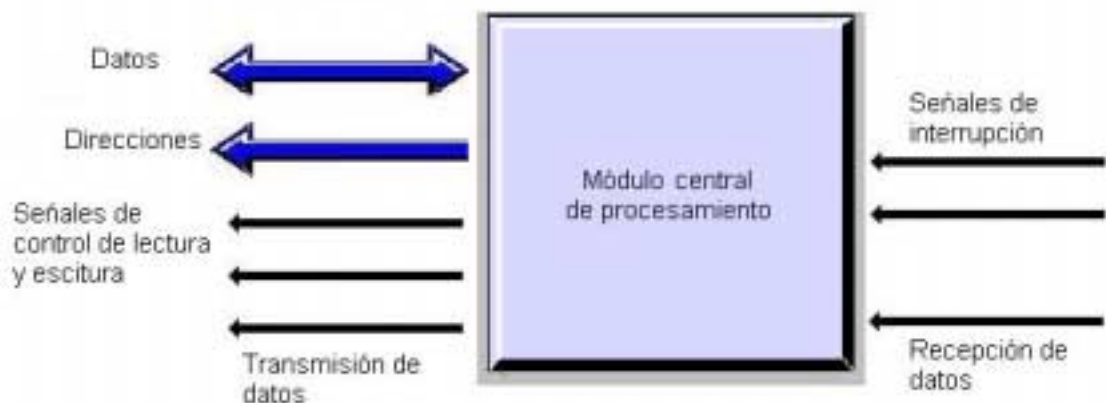
**Figura 2.8** Diagrama de bloques del módulo de atención de periféricos

### 2.2.11 Módulo de procesamiento

Es el corazón del sistema, se encarga de marcar los tiempos programados para muestrear los voltajes de las celdas, además de obtener la información proveniente del reloj de tiempo real (RTC) y almacenarla en memoria de datos.

Se encarga de monitorear el estado de la temperatura y en caso de aumentar a mas de cien grados centígrados activa una alarma. También activa las alarmas de los límites de voltaje en las celdas y permite coordinar el procesamiento de los datos para ser enviados a una PC. Administra por completo el ingreso de la información de la batería y controla la manipulación de los menús incluyendo los modos de trabajo del sistema. Posee entre sus salidas, el bus de direcciones, las señales de control tales como RD#, WR#, ALE# y PSEN# además de las correspondientes señales que permiten controlar el envío de datos en forma serial y las señales de control específicas del sistema.

Entre las entradas se pueden mencionar las señales de interrupción, señales de control de envío de datos en forma serial y el bus de datos. Este último es considerado más bien un bus de entrada salida, ya que permite extraer información hacia el controlador proveniente de periféricos ó mas bien enviar información a éstos. La figura 2.9 muestra un diagrama de entradas y salidas de este módulo.



**Figura 2.9** Diagrama de bloques del módulo central de procesamiento

# CAPÍTULO 3

## PROCEDIMIENTO METODOLÓGICO

---

### 3.1 Metodología empleada

1. Aprendizaje del proceso de pruebas que se les practican a las baterías para aeronave, en el taller de aviónica de LACSA. (1 semana)
  - a. Reconocimiento del equipo utilizado para el proceso de pruebas en el taller de aviónica.
  - b. Conocimiento de las principales características del proceso de carga y descarga de las baterías.
  - c. Obtención de los manuales del equipo de pruebas del taller de aviónica.
  - d. Familiarizarse con los conceptos principales de la teoría del equipo.
  
2. Obtención de los parámetros que son de interés en el ACCU-SCAN para ser registrados.
  - a. Obtención de las principales características y parámetros del sistema ACCU-SCAN.
  - b. Precisar las desventajas de este sistema para su mejora.
  
3. Escogencia de un microprocesador apropiado para la solución del problema.
  - a. Reconocimiento de las limitantes que posee el taller en cuanto al programador y computadoras personales.
  - b. Obtención del conjunto de instrucciones (set de instrucciones) de programación del micro seleccionado.
  - c. Obtención de las hojas de datos y principales características en cuanto a la arquitectura de hardware del microprocesador seleccionado.

4. Escogencia de los componentes adecuados para la obtención del objetivo, considerando la portabilidad.
  - a. Consultar los catálogos y páginas web de las tiendas electrónicas nacionales e internacionales.
  - b. Precisar los y la cantidad de componentes y equipo necesarios para el desarrollo del proyecto.
  - c. Obtención de los hojas de datos u especificaciones de cada uno de los componentes seleccionados, principalmente la información relacionada con el controlador DS80C320 que se constituye como base del proyecto.
  
5. Contactar los proveedores de componentes y equipo seleccionado, considerando la rapidez con que se deben de contar.
  - a. Extender la solicitud de compra de los componentes y equipo solicitados fuera del país, al departamento encargado dentro de la empresa.
  - b. Extender la solicitud de compra de los componentes y equipo solicitados dentro del país, al departamento encargado dentro de la empresa.
  
6. Diseño, montaje y comprobación del buen funcionamiento del módulo de procesamiento. (1 semana)
  - a. Montaje del hardware que envuelve este módulo.
  - b. Comprobación del buen funcionamiento de las señales de entrada y salida que posee este módulo.
  
7. Alambrado de la parte correspondiente al hardware del módulo de memorias en la que se ve contenido el código de programa.
  - a. Consultar las hojas de datos para determinar la forma en que el DS80C320 puede manejar memoria de programa externamente.
  - b. Adjuntar el hardware de memoria de programa al módulo de procesamiento principal.

- c. Probar mediante programas sencillos el correcto funcionamiento de atención de las líneas de código, contenidas en la memoria de programa externa.
  
8. Diseño y construcción del módulo para la atención de periféricos externos al módulo de procesamiento principal.<sup>2</sup>
  - a. Diseño de un módulo de atención de periféricos mediante mapeo de puertos en memoria.
  - b. Alambrado del módulo de atención de periféricos.
  - c. Comprobación del correcto funcionamiento del módulo de atención de periféricos.
  
9. Trabajar con los componentes del módulo de entrada alfanumérico y adaptarlo al de procesamiento. (1 semana)
  - a. Consultar las hojas de datos de los componentes relacionados con el módulo de entrada alfanumérica.
  - b. Realizar pruebas independientes para corroborar el correcto funcionamiento de cada uno de los componentes del módulo de entrada alfanumérico, acorde con lo presentado en las hojas de datos correspondientes.
  - c. Alambrear los componentes del módulo de entrada alfanumérico para relacionarlo con el módulo de procesamiento.
  
10. Programación en el controlador, del software correspondiente a la parte de atención del módulo de entrada alfanumérico y comprobación de su correcto funcionamiento. (3 semanas)
  - a. Programación de la rutina que admite caracteres directamente del módulo de entrada alfanumérico.

---

<sup>2</sup> La razón de diseño de este módulo varía acorde a la solución planteada con la RIC320. Ver sección

- b. Programación de las rutinas correspondientes al sistema de multi-pulsado del teclado que permite ingresar letras, números y comandos especiales desde un teclado de dieciséis teclas.
- c. Programación de las rutinas que permiten desde el teclado manipular el sistema de menús.
- d. Programación de las rutinas que permiten desde el teclado manipular el sistema de ingreso de datos.

11. Diseño y programación del software relacionado con la visualización en una pantalla de cristal líquido (LCD), de los procedimientos del ingreso de datos y de los menús necesarios para la manipulación completa pero sencilla del sistema. (2 semanas)

- a. Conocer las características del hardware y modo de empleo del LCD con ayuda de las hojas de datos.
- b. Alambrear el LCD para que pueda establecer una comunicación con el módulo de procesamiento principal.
- c. Diseño y programación de una rutina universal para el envío de datos al LCD para su visualización.
- d. Realizar los ajustes necesarios para acoplar la rutina diseñada en el punto anterior al programa principal y permitir que se muestren los datos introducidos por el módulo de entrada alfanumérico.
- e. Diseño y programación de los dos menús principales con que cuenta el sistema: menú de configuración y menú de modo.

12. Diseño y programación del proceso de almacenaje de la información en el módulo de memorias de datos no volátiles.

- a. Alambreado de las memorias de datos al conjunto principal del sistema
- b. Comprobación del correcto funcionamiento del hardware relacionado con el módulo de memoria de datos una vez que se ve relacionado con el sistema principal.



13. Programación de los procedimientos del menú de configuración y de modo de trabajo. (4 semanas)

a. Diseño y programación de las rutinas que conforman el procedimiento de ingreso de los datos específicos de las baterías, esto en el menú de configuración . Posee relación con el diseño visual y la forma de enviar dichos datos a la memoria de datos y ordenarlos para que su posterior extracción sea sencilla.

b. Diseño y programación de las rutinas que conforman el procedimiento de configuración de los tiempos de duración en los distintos modos de trabajo. Posee relación con el diseño visual y la forma de enviar dichos tiempos a la memoria de datos y ordenarlos para que su posterior extracción sea sencilla.

c. Diseño y programación de las rutinas que conforman el procedimiento de registro de los voltajes de las celdas durante el modo de carga principal. Posee relación con el diseño visual, manipulación de datos establecidos en la configuración y la forma en que son obtenidos los voltajes de cada una de las celdas para guardarlos y ordenarlos en la memoria de datos para su fácil extracción posterior.

e. Diseño y programación de las rutinas que conforman el procedimiento de registro de los voltajes de las celdas durante el modo de carga plena. Posee relación con el diseño visual, manipulación de datos establecidos en la configuración y la forma en que son obtenidos los voltajes de cada una de las celdas para guardarlos y ordenarlos en la memoria de datos para su fácil extracción posterior.

f. Diseño y programación de las rutinas que conforman el procedimiento de registro de los voltajes de las celdas durante el modo de descarga. Posee relación con el diseño visual, manipulación de datos establecidos en la configuración y la forma en que son obtenidos los voltajes de cada una de las celdas para guardarlos y ordenarlos en la memoria de datos para su fácil extracción posterior.

14. Trabajar a fondo con el manejo y las características de los componentes del módulo convertidor analógico digital. (1 semana)
  - a. Obtención de las hojas de datos las características que presenta el convertidor analógico digital elegido para la solución del problema.
  - b. Montar independientemente el hardware utilizado por el módulo convertidor de analógico a digital.
  - c. Comprobación del correcto funcionamiento de la conversión de analógico a digital.
  - d. Calibración del convertidor analógico digital al mínimo y máximo voltaje que se puede obtener de la lectura del voltaje de cada una de las celdas a fin de tener la máxima precisión en las lecturas.
  
15. Diseño y construcción de un módulo de multiplexaje analógico para el monitoreo de cada una de las celdas. (2 semanas)
  - a. Diseño de un sistema independiente que permita seleccionar una a una la lectura del voltaje en las celdas, a una velocidad marcada por el módulo de procesamiento principal .
  - b. Montaje del sistema de selección de canales analógicos.
  - c. Programación de las rutinas que permiten marcar la velocidad de muestreo y la periodicidad de éste.
  - d. Unir el hardware de este módulo al encargado de convertir lecturas analógicas a digitales.
  
16. Programación de las rutinas necesarias para el monitoreo periódico del voltaje de cada una de las celdas y lograr adecuarlas a cada uno de los modos de trabajo existentes en el sistema. (2 semanas)
  - a. Programación de una rutina general que obtiene la lectura del convertidor analógico digital correspondiente al voltaje de una a cuarenta celdas.

- b. Programación de las rutinas necesarias para que el módulo de visualización muestre la información de las celdas.
  - c. Programación de una rutina que envíe al módulo de memorias de datos, el voltaje de cada una de las celdas. Esta rutina se ejecuta con una frecuencia establecida por el usuario.
17. Diseño y montaje de la parte relacionada con el tiempo y que tiene como base el manipular un reloj de tiempo real (RTC). (1 semana)
- a. Consultar las características y los requerimientos del reloj de tiempo real, en las correspondientes hojas de datos.
  - b. Establecer el formato de los datos y de la información a extraer desde el módulo de tiempo real para complementar el hardware diseñado para este módulo.
  - c. Montar el hardware relacionado con el módulo de tiempo real y el necesario para relacionarlo con el módulo de procesamiento principal.
18. Programación del RTC con el formato y las características necesarias para que su funcionamiento satisfaga los requerimientos en la solución del problema.
- a. Programar el RTC con los comandos necesarios para arrancar el conteo del tiempo en el RTC y darle formato a la información que sale de éste.
  - b. Programar los registros internos para que el RTC responda con una serie de interrupciones a la ejecución del programa principal ante una situación que lo amerite.
19. Programación de las rutinas correspondientes a la obtención de la información proveniente al módulo de tiempo real. (1 semana)
- a. Programación de una rutina universal en el microcontrolador que permita obtener la hora y fecha desde el RTC.

- b. Programación de una rutina que permita recopilar la información de los tiempos de los modos de trabajo para controlar la finalización de éstos con ayuda del reloj de tiempo real.
  - c. Programación de una rutina que muestre el conteo del tiempo en el módulo de visualización, durante la ejecución de los modos de trabajo.
20. Diseño y montaje del hardware relacionado con el módulo sensor de temperatura.
- a. Recopilación y comprobación de las características del sensor de temperatura elegido para la solución del problema.
  - b. Adjuntar al módulo convertidor analógico a digital, el sensor de temperatura.
  - c. Calibrar el ADC de tal forma que se obtenga la mayor y adecuada precisión de las lecturas de temperatura.
21. Programación de la parte correspondiente a las alarmas con las que debe contar el sistema y la relación que debe tener con el módulo de memorias.
- a. Programación de una rutina que revise continuamente el estado de los voltajes en las celdas y que active una alarma en caso de alguna anomalía.
  - b. Programación de una rutina que alerte la finalización del tiempo de ejecución de alguno de los modos de trabajo.
  - c. Programación de una rutina que alerte en caso de que se presente una anomalía en la lectura de la temperatura.
22. Montaje y comprobación del hardware relacionado con el módulo de alarmas visibles y audibles, incluyendo el módulo sensor de temperatura.
- a. Someter el sistema a pruebas de las alarmas con todas las fuentes de error posibles.
  - b. Poner a prueba el sistema en el cuarto de carga de las baterías.

23. Montar el hardware relacionado con el manejo de puertos de comunicación.
  - a. Consultar las hojas de datos del convertidor de señales TTL a código RS-232.
  - b. Montar y probar el hardware relacionado con el manejo de puertos de comunicación.
  
24. Diseño y programación en Visual Basic de una interfaz con el usuario en ambiente Windows® para controlar desde una computadora personal el envío de los datos contenidos en la memoria del sistema. (4 semanas)
  - a. Realizar un reconocimiento de las herramientas que posee Visual Basic 6 acerca de características que debe poseer una interfase con el SCAN BAT.
  - b. Realizar pruebas de obtención de información desde el puerto serie, con una rutina creada en Visual Basic 6.
  - c. Programación en Visual Basic 6 de la apariencia y los comandos de la interfase que permite recopilar la información desde la memoria del SCAN BAT.
  - d. Desarrollo de los procedimientos en Visual Basic 6 para crear una base de datos en ACCESS de la información recopilada.
  
25. Programación de las rutinas en el controlador de la parte correspondiente al envío de datos a través del puerto serie.

Programación de la rutina que permite obtener dato a dato la información contenida en la memoria de datos y enviarla a través del puerto serie en una forma ordenada y predefinida en el software creado en Visual Basic.

## **CAPÍTULO 4**

### **DESCRIPCIÓN DEL HARDWARE UTILIZADO**

---

De los puntos anteriores es conocido que la solución al problema es fragmentada en varios módulos que con el transcurso de proyecto fueron adicionados al hardware central de procesamiento. Este en un principio se trataba de un módulo de desarrollo RIC320 manufacturado por Rigel Corporation. Sin embargo por problemas en el desarrollo de la orden de compra que retrazaron considerablemente el desarrollo del proyecto, se decidió poner en ejecución el diseño de una solución alternativa y que no utiliza ningún equipo de propósito específico, sino mas bien hace uso de componentes completamente independientes y de uso general. Así, para la solución alternativa, el hardware del módulo de procesamiento es manualmente construido y todos los demás módulos que componen el resto de la solución son considerados como periféricos y son atendidos de igual forma (mapeo de puertos en memoria); gran diferencia con respecto a la solución que utiliza la RIC320 que ya incluye algunos módulos importantes, tales y como lo son el correspondiente al tiempo real, al convertidor analógico digital, al de manejo de puertos de comunicación y al de memoria de programa. Estos módulos ya incluidos por la RIC320 son atendidos por un sistema de mapeo en memoria especial diseñado por Rigel Corporation.

Para efectos de este informe se ha decidido especificar en esta sección el hardware relacionado con la solución alternativa, que es la que ha quedado en el taller de aviónica de LACSA. Sin embargo en el apéndice A.1 se ha incluido la especificación del hardware de la solución que utiliza la RIC320, por considerar que dicha solución consumió gran parte del tiempo de la práctica.

De esta forma se pueden mencionar los módulos que han formado parte del desarrollo de la metodología, acorde con el cronograma de actividades establecido. A continuación se brindara una descripción detallada el hardware empleado para cada uno de estos módulos:

#### **4.1 Hardware módulo central de procesamiento**

El microcontrolador de uso general DS80C320, constituye el componente principal del módulo central de procesamiento o de control. Entre los detalles que se pueden rescatar de éste, están la de establecer una gran similitud con la arquitectura, diseño y listado de instrucciones de programación que presenta el controlador 8032 de INTEL. Este controlador no posee memoria de programa interna por lo que el programa debe situarse en un componente externo y adecuar la correspondiente entrada (EA#) para que el contador de programa por medio del bus de direcciones y de datos permita obtener una a una las instrucciones del código fuente, situado exteriormente.

El DS80C320 permite manejar dos puertos de comunicación serie, característica que hace incorporar un nuevo contador/temporizador que se suma a los dos que presenta el 8032.

El controlador presenta cuatro puertos de entrada salida (P1-P4), cada uno de ellos compuesto por ocho bits. El puerto P1, se encarga de brindar las señales que permiten controlar la comunicación de datos vía serie (puerto de comunicaciones número 2), además de presentar los bits que pueden ser utilizados para fines específicos de las aplicaciones, tales como habilitar alarmas.

El puerto P2 es utilizado para multiplexar la parte baja del bus de direcciones y el bus de datos que se componen de ocho bits. Es posible acceder en direccionamientos de ocho ó dieciséis bits, de ahí el título de parte baja del bus de direcciones (bits de 0 a 7). En un acceso a memoria de datos o de programa en primera instancia el P2 muestra los primeros ocho bits de la dirección de la localidad a acceder, en este momento se habilita una señal que indica que la información que se encuentra en este puerto es de direccionamiento.

Esta señal se llama ALE# (Address Latch Enable). Un cierto tiempo después y dependiendo de si el comando establecido es de lectura o escritura, el P2 contiene la información a introducir a la localidad direccionada o la información que es extraída de ésta. Esta particular característica hace que el controlador presente menos terminales y a la vez requiere que se incorporen registros (Latch) que permitan separar el bus de direcciones del de datos. Así en el momento que se utilice P2 para direccionar, se cargue esta información en los registros (74LS373) con ayuda de la señal ALE# , de ahí el nombre de esta señal de habilitación.

El puerto P3 es un puerto que presenta los bits de función especial, tales como lo son señales de control para la comunicación serie (puerto de comunicaciones 1), bits de habilitación de interrupción, las señales de escritura y de lectura, etc.

El puerto P4 presenta la parte alta del bus de direcciones y es utilizado únicamente en direccionamientos de dieciséis bits. La figura 4.1 muestra un esquema de las principales funciones de los puertos del controlador DS80C320.





**Figura 4.1** Descripción de la función de los puertos del DS80C320

El módulo de procesamiento principal por lo tanto es compuesto por el controlador descrito, además de los componentes que permiten separar los buses y que consisten en registros 74LS373. Además este módulo incorpora un cristal de cuarzo de 11.05MHz que permite la ejecución de un oscilador interno en el controlador. La descripción de la función de cada una de las terminales del controlador se encuentran en el Anexo B.3 y es parte de la hojas de datos de este componente.

#### 4.2 Hardware del módulo de atención de periféricos

En el desarrollo de un diseño como el que se requiere para la solución del problema planteado, una técnica eficaz y sencilla para que el controlador pueda atender y ceder en exclusiva la utilización del bus de datos a cada uno de los periféricos, consiste en mapear en memoria cada uno de éstos. La estructuración de los espacios de memoria es un tema de la parte de análisis de resultados pero se puede rescatar el hecho de que la técnica de mapeo es alcanzada con ayuda de un decodificador de ocho salidas (74LS138). Este componente permite mediante tres líneas de selección habilitar una sola salida de las ocho disponibles. A pesar de que es el único componente del módulo de atención de periféricos, éste cumple una función muy importante dentro de la solución.





### 4.3 Hardware del módulo de entrada alfanumérico

En la figura 2.2 se muestra el diagrama de bloques de este módulo. Este módulo consiste en un teclado de dieciséis teclas, similar al que se utiliza en los aparatos telefónicos. Además cuenta con un decodificador de teclado 74923 con salida de tercer estado o de alta impedancia. En el momento de relacionar este módulo al de procesamiento, fue necesario diseñar un lógica que permita interrumpir la ejecución del programa principal en caso de que se desee introducir algún carácter. Tal propósito se puede alcanzar con una compuerta lógica OR 7432.

### 4.4 Hardware del módulo de Visualización

Esta se constituye en una de las partes en las que decae una gran parte del trabajo del sistema. Es la encargada de guiar al usuario a través del diseño de interfaz; permite monitorear el estado de las celdas a la cual se les practican las pruebas y en gran parte el hardware que le brinda estética al proyecto.

El único componente que constituye este módulo, es una pantalla de cristal líquido (LCD) de cuatro filas por cuarenta caracteres (4x40). Este componente, presenta características de:

-  Ingreso de datos serial.
-  Luz de fondo.
-  Comandos en código ASCII para manipulación completa del componente.
-  Modo de gran tamaño para caracteres.

#### **4.5 Hardware del módulo de Memorias**

El módulo de memorias se divide en dos partes principales: la memoria de programa que es donde se sitúa el listado de instrucciones a ejecutar y la memoria de datos que es donde se mantienen los datos que son de interés. Ya se había mencionado anteriormente que el controlador de uso general DS80C320 tiene la posibilidad de manejar con los dieciséis bits del bus de direcciones hasta 64 Kbytes de memoria de programa y 64 Kbytes de memoria de datos.

La memoria de programa es del tipo E<sup>2</sup>PROM, la cual únicamente puede ser programada con ayuda de un equipo especial. Se trata de un único chip 28C256 que contiene 32 Kbytes de capacidad. Esta cantidad de localidades de memoria es suficiente para contener todo el código para la aplicación tratada en este informe.

La memoria de datos posee una característica especial que tienen que ver con los niveles de voltaje suficientes para su programación. Las memorias Flash 2865A, son componentes que pueden ser programados con niveles de voltaje TTL (5V para un uno lógico). Dichas memorias poseen 8Kbytes de capacidad y para emplearlas en el diseño del SCANBAT fue necesario emplear varias de ellas.

#### **4.6 Hardware del módulo sensor de temperatura**

Aunque la función descrita para este módulo tiene que ver únicamente con el monitoreo de la temperatura, es importante mantener una gran aproximación con la realidad ya que es una característica que exige con rigor el tipo de aplicación dentro de la solución al problema. El componente principal de este módulo, lo constituye un elemento activo que tiene como generalidad una linealidad dentro de un rango definido entre la temperatura y la resistividad. El 4004 es un diodo que cumple con estos puntos.

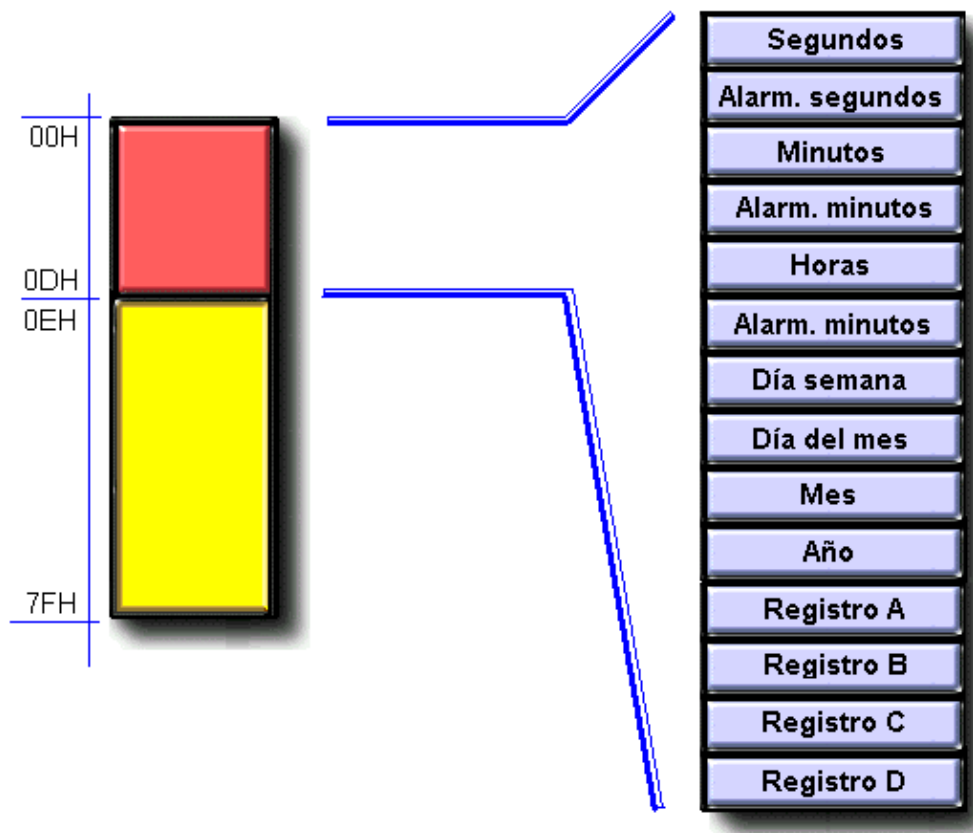
#### **4.7 Hardware del módulo de Comunicación serie**

El hardware involucrado en este módulo constituye únicamente un transductor que permite codificar los niveles de voltaje TTL con que se envían los datos en forma serial desde el controlador a código RS-232 especialmente diseñado para comunicarse con una computadora personal a través de un solo cable de longitud limitada. El MAX233CPP es un componente diseñado por MAXIM que permite alcanzar el anterior propósito. A diferencia de otros componentes que cumplen una función similar, el 233 no requiere de componentes pasivos externamente, tales como resistencias ó capacitores. Además se cuenta con la ventaja de que en el empaquetado del 233 se incluyen dos circuitos transductores, por lo que en aplicaciones donde se manejan más de un puerto serie, este componente es recomendado para disminuir el cableado. Las características específicas del MAX233CPP pueden ser encontradas en el anexo B.5.

#### **4.8 Hardware del módulo de tiempo**

Muy importante es el módulo de tiempo real y su principal componente es un reloj de tiempo real (RTC) diseñado y construido por Dallas semiconductor. El DS12887 permite llevar el conteo de los segundos, minutos, horas, día de la semana, día del mes, mes, año y alarma en horas, minutos y segundos. Este componente cuenta con memoria suficiente para contener catorce registros de ocho bits, localizados en los primeros catorce bytes. Diez de estos registros contienen la información que se describió anteriormente, mientras que los cuatro restantes son registros de programación A, B, C y D. La figura 4.2 muestra el mapa de memoria para el DS12887.

El registro A contiene un bit que permite monitorear los tiempos de actualización de diez primeros registros, proceso que ocurre cada 244us. Tres bits son utilizados para decodificar las opciones de encendido y apagado del oscilador interno. En cuanto a este punto es importante resaltar que el componente posee una batería interna que permite que siga en funcionamiento el oscilador interno aún cuando la alimentación externa halla sido eliminada, mientras esta alimentación sea aplicada a la terminal correspondiente, la batería de litio se mantendrá fuera de servicio. Esta batería posee una vida útil de diez años.



**Figura 4.2** Mapa de memoria del reloj de tiempo real

Los últimos cuatro bits del registro A permiten decodificar el periodo de una señal cuadrada generada por la terminal SQW (square wave). Esta señal de interrupción funciona continuamente y su periodo puede poseer un valor que va desde los 3.9ms hasta los 500ms.

El registro B contiene un bit que permite deshabilitar la actualización de los registros que se muestran en la figura 4.2, lo cual puede ser utilizado para su programación. Posee cuatro bits que permiten deshabilitar cada una de las interrupciones con que cuenta el componente, las cuales son: la interrupción de actualización de los registros, la interrupción de alarma programable, una interrupción periódica que sale por la terminal INT# y una interrupción periódica que sale por SQW, estas dos últimas poseen un periodo definido por cuatro bits del registro A, tal y como se había mencionado.

El registro B posee también un bit para definir el formato de los datos de los registros, este puede ser en decimal decodificado a binario (BCD) o en binario. Además se posee un bit para definir el formato del conteo de las horas, el cual puede ser en 12 ó 24.

El registro C posee un bit que representa una bandera de generación de cualquiera de las cuatro interrupciones mencionadas. Además se dedican bits que representan banderas para cada interrupción por separado.

El registro D no tiene interés para efectos de este informe. En el anexo B.7 se muestra la descripción de los pines y la descripción detallada de los registros de programación como parte de las hojas de datos de DS12887.

Parte del módulo de tiempo real es un buffer de tercer estado 74LS245 que permite la transición de los datos que se encuentran en la entrada a la salida únicamente con la habilitación de la terminal EN#.

#### **4.9 Hardware del módulo de alarmas visibles o audibles**

Los componentes que constituyen este módulo son diodos emisores de luz (LED) y una alarma audible correspondiente a un buzzer que trabaja con corriente directa y que no tiene la necesidad de osciladores externos ni de otros componentes.

#### **4.10 Hardware del módulo convertidor analógico digital**

El módulo convertidor analógico digital contiene dos partes principales: la parte encargada del procesos de conversión y la parte encargada de seleccionar el canal, la cual tiene que ver con la lectura de las celdas directamente desde las baterías, las cuales se encuentran en el proceso de pruebas en el taller de aviónica.

La parte de convertir posee dos ADC's NTE2053 de un solo canal de entrada analógico. Este tipo de componente es equivalente al ADC0801 diseñado y construido por National Semiconductor. Este componente esta diseñado para trabajar en conjunto con controladores de uso general, además presenta una señal de interrupción que indica la conclusión del proceso de conversión a binario. También incluye terminales para definir el máximo y mínimo voltaje analógico que se convierte con lo que se ajusta la escala y el voltaje máximo por cambio de un solo bit en la salida del ADC. El NTE2053 presenta un oscilador propio interno que requiere de una circuitería externa que incluye componentes pasivos. La descripción de los pines y el funcionamiento del componente se encuentran en el anexo B.8.

La parte de selección de canal posee como función principal multiplexar canales analógicos, por lo que entre los componentes que conforman esta parte, se encuentra el CD4051, el cual cumple tal propósito. Este componente es un multiplexor de ocho canales analógicos que pueden ser elegidos para pasar a la única salida con ayuda de tres terminales que son controlados digitalmente, es decir, se multiplexan canales analógicos con entradas digitales. El voltaje máximo que se puede aplicar en los canales del CD4051 es de 15V y depende del valor de voltaje en la alimentación del componente, que puede ser desde 5V hasta 15V. Se recomienda que el máximo voltaje aplicado a la alimentación sea el máximo voltaje aplicado a los canales. El apéndice B.9 contiene información importante de este componente.

Otro componente que forma parte de la selección de canal es el 74LS193, un contador de cuatro bits con capacidad para contar en forma creciente o decreciente y que cuenta con la posibilidad de conectarse en cascada con otro contador igual.

Entre otros elementos que contiene el módulo convertidor analógico digital se encuentran: Amplificadores operacionales LM358, resistores de  $470\text{K}\Omega$  y  $1.2\text{M}\Omega$  entre otros.

Al igual que el módulo de tiempo real, en el módulo convertidor analógico digital, se cuenta con un buffer octal con salida de tercer estado.



## **CAPÍTULO 5**

# **DESCRIPCIÓN DEL SOFTWARE DEL SISTEMA**

---

En un proyecto como el que se desarrolló en el taller de aviónica de LACSA, la parte correspondiente al software envuelve en su mayoría, el tiempo de la parte de diseño. Para esta sección se decidió tocar dos puntos muy importantes que son: El software involucrado para la programación y la segunda es la estructura general que se le ha dado al código fuente del sistema. Cabe resaltar que al igual que en la parte de descripción de hardware, el contenido de la parte de software de programación, varía según la solución que emplea la RIC320 y la que no lo hace. En el apéndice A.2 se encuentra la descripción del software especializado para la programación de la RIC320. A continuación se detalla por separado las partes mencionadas para la solución final del proyecto.

### **5.1 Software de programación utilizado en el proyecto.**

#### **5.1.1 Software de programación de código fuente**

A pesar de que no se utilizó el hardware RIC320 de rigel corporation, el software de programación es una excelente herramienta para el ordenamiento del código fuente y en el momento de compilarlo. Por esto desde un principio se utilizó el software READS versión 4.0 para digitar el código. Este software posee ambiente Windows® y posee dos partes principales que fueron utilizadas: El editor de código y el depurador de programa. Esta última sección es una poderosa herramienta que permite simular la ejecución del controlador y correr paso a paso el listado de instrucciones, además que posee varias ventanas de monitoreo para la memoria de datos y de programa, tanto interna como externa. También brinda el valor de los registros de función especial (SFR) de controlador y una pantalla de salida TTY. Esta última característica permite simular los datos enviados al LCD.

El detalle de la generación de errores al momento de compilar el programa, es una de las grandes facilidades con que se cuenta cuando se trata de un listado de instrucciones muy extenso.

### **5.1.2 Software de programación de la interfaz en una PC**

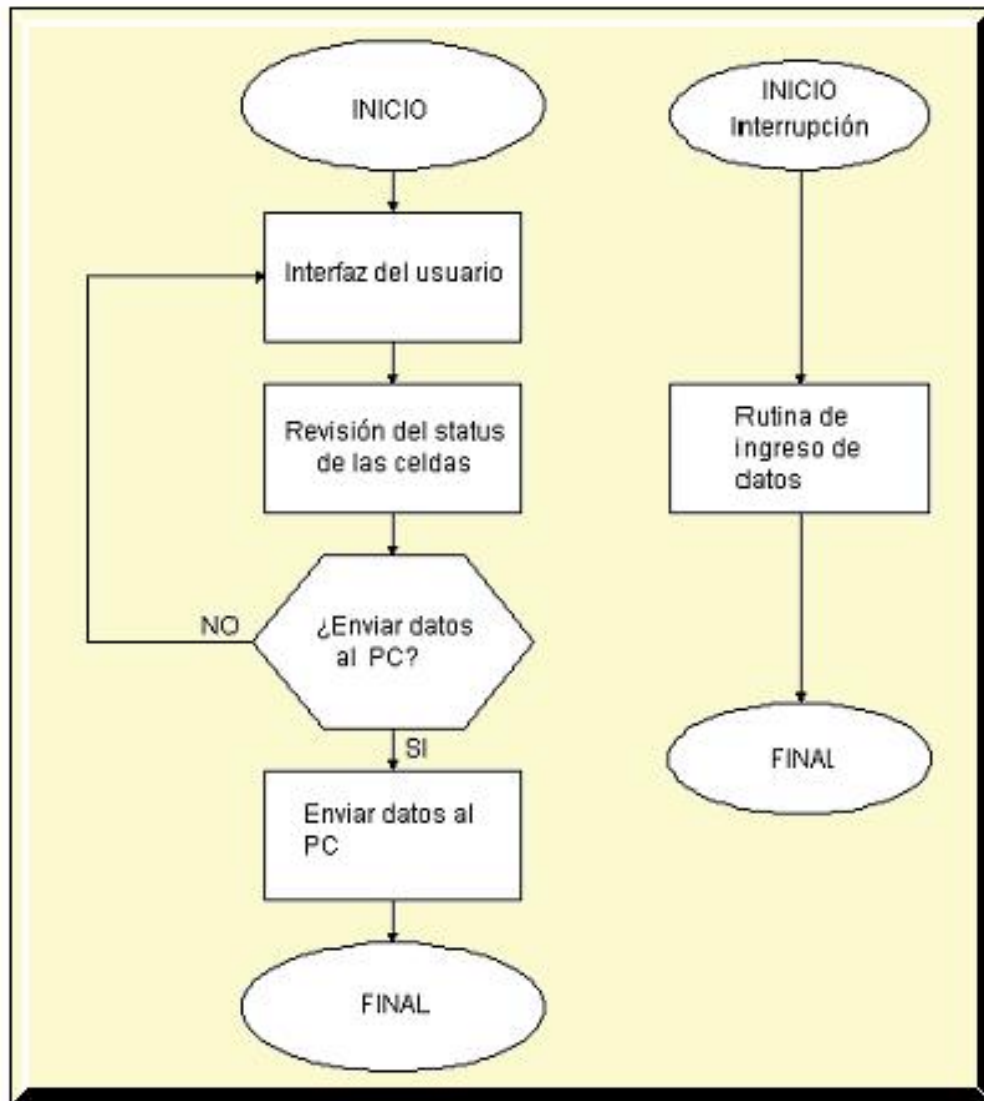
El software que permite que el SCANBAT pueda enviar los datos a través del puerto serie hacia una computadora personal, fue programado en el lenguaje de programación Visual Basic versión 6.0.

Sin entrar en detalles sobre las inmensas herramientas que posee Visual, es de rescatar la facilidad con que se puede manejar los puertos seriales y de la capacidad de generar archivos que son compatibles con otros programas como lo son Microsoft Access.

## **5.2 Estructura del código fuente**

Esta estructura posee cuatro partes principales: interfaz con el usuario, ingreso de datos, recopilación del estado de las celdas para su comprobación y la última sección que tiene relación con la comunicación serial con una PC para el envío de los datos contenidos en memoria.

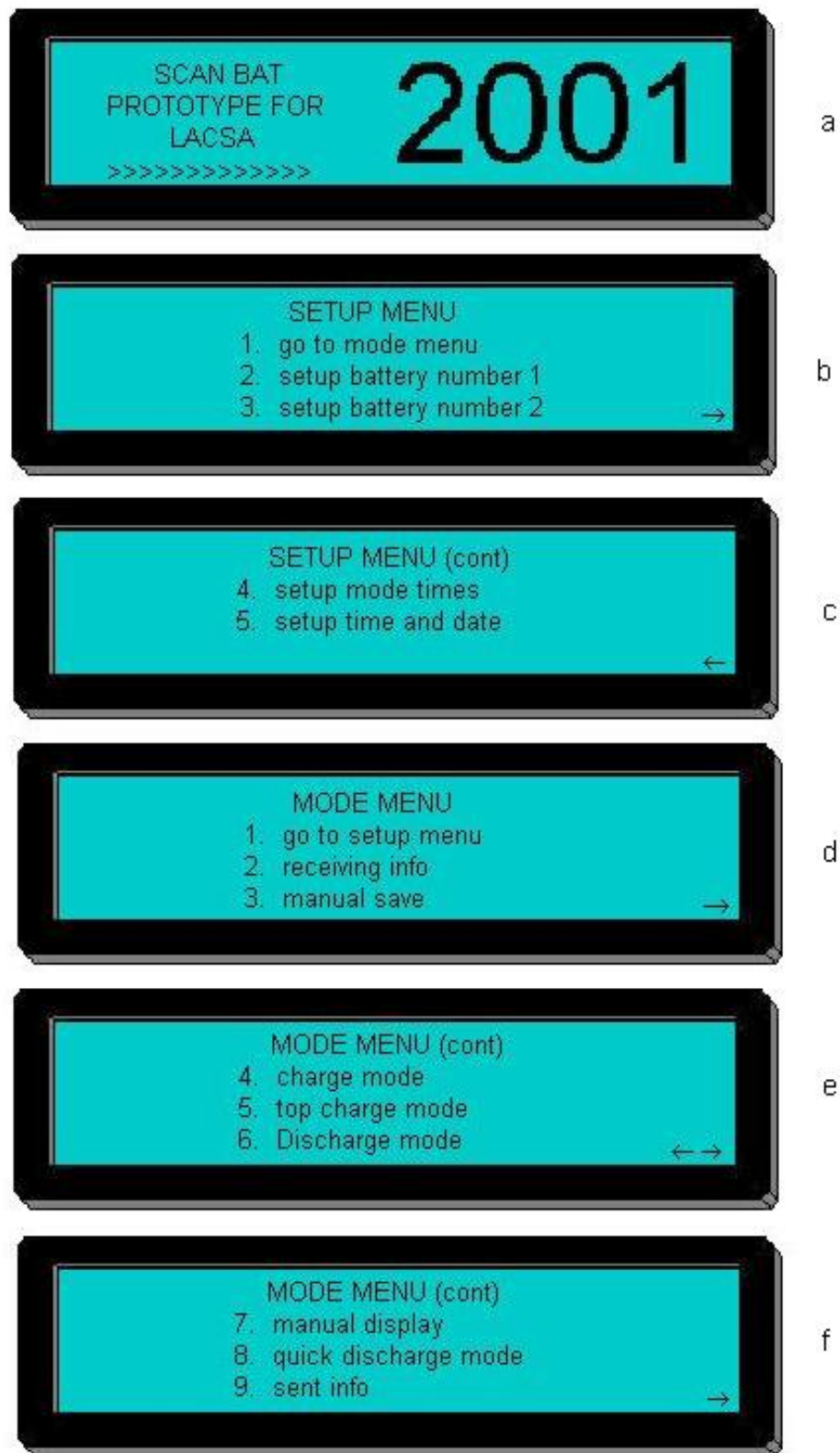
En la figura 5.1 se puede observar la estructura que sigue el programa principal. A continuación se detalla el diseño de cada sección de esta estructura.



**Figura 5.1** Diagrama de flujo del programa principal

### 5.2.1 Interfaz con el usuario

La estructura de la interfaz con el usuario posee varias secciones, donde la primera es inicializar todas las variables locales de la sección, programar los registros de función especial del controlador tales como lo son los registros MOD, CONT, IE, etc. Al final de esta primera parte se despliega en la pantalla un mensaje de bienvenida, tal y como se muestra en la figura 5.2.a.



**Figura 5.2** Apariencia de los menús de configuración y de modo

El siguiente menú en ser desplegado es el de Modo y tiene que ver con los modos en que el sistema puede trabajar, entiéndase carga, carga plena, prueba de capacidad o descarga, descarga rápida y monitoreo. La figura 5.2.d y 5.2.e muestra la apariencia que presenta tal menú.

### **5.2.2 Ingreso de datos**

La sección del ingreso de datos constituye un procedimiento que nunca deja de ser atendida durante la ejecución del programa. Esta sección no solo posee relación con la introducción de caracteres que describen las baterías, sino que también encierra el manejo y control de todos los menús y pantallas que se utilizan para guiarse y monitorear la ejecución del programa.

### **5.2.3 Monitoreo de las celdas**

El monitoreo de las celdas constituye la parte principal del programa, en esta sección se recopila la información que tiene que ver con la batería, la cual se somete a cualquiera de los modos de trabajo. Esta información no solo la constituye la obtención de los voltajes de cada una de las celdas periódicamente, sino que también encierra la recopilación de información de la descripción de la batería, tiempo del proceso de cualquiera de los modos, fecha y hora de inicio.

### **5.2.4 Comunicación serial con la PC**

Esta sección se constituye en dos partes, la primera se trata de recopilar toda la información almacenada en la memoria del sistema para ser enviada en forma ordenada por el puerto serie, de tal manera que la reciba la segunda parte que se encuentra en una computadora personal para almacenarla en bases de datos.

# CAPÍTULO 6

## ANÁLISIS DE RESULTADOS

---

### 6.1 Explicación del diseño

La presente explicación ha sido estructurada de tal forma que cada uno de los módulos que conforman la solución se encuentren completamente cubiertos en cuanto al detalle del diseño en hardware y en software. Por esto es que se continuará con la estructura de módulos que hasta el momento ha presentado el informe. Se comentará cada uno de los módulos en cuanto al hardware y en cuanto al software que fue desarrollado para que en conjunto se conforme el objetivo sobre el desarrollo del SCANBAT. Cada uno de los módulos presenta los diagramas eléctricos y las figuras necesarias para la presentación sencilla del diseño, además se presentan los diagramas de flujo que describen las partes principales de la estructura del código fuente, acorde con el hardware.

#### 6.1.1 Módulo central de procesamiento

La figura 6.1 muestra el diagrama eléctrico del módulo central de procesamiento, la descripción de los componentes principales de éste se encuentra en la parte de descripción de hardware involucrado.

El diagrama de bloques que se muestra en la figura 2.9, puede ayudar a complementar la información de la figura 6.1. Aquí se muestra como la terminal EA# del controlador es conectada a masa para lograr que el contador de programa inicie en 0FFFH, ya que todos los valores menores a éste pertenecen a localidades de memoria de programa interna, la cual no se encuentra disponible para el DS80C320.

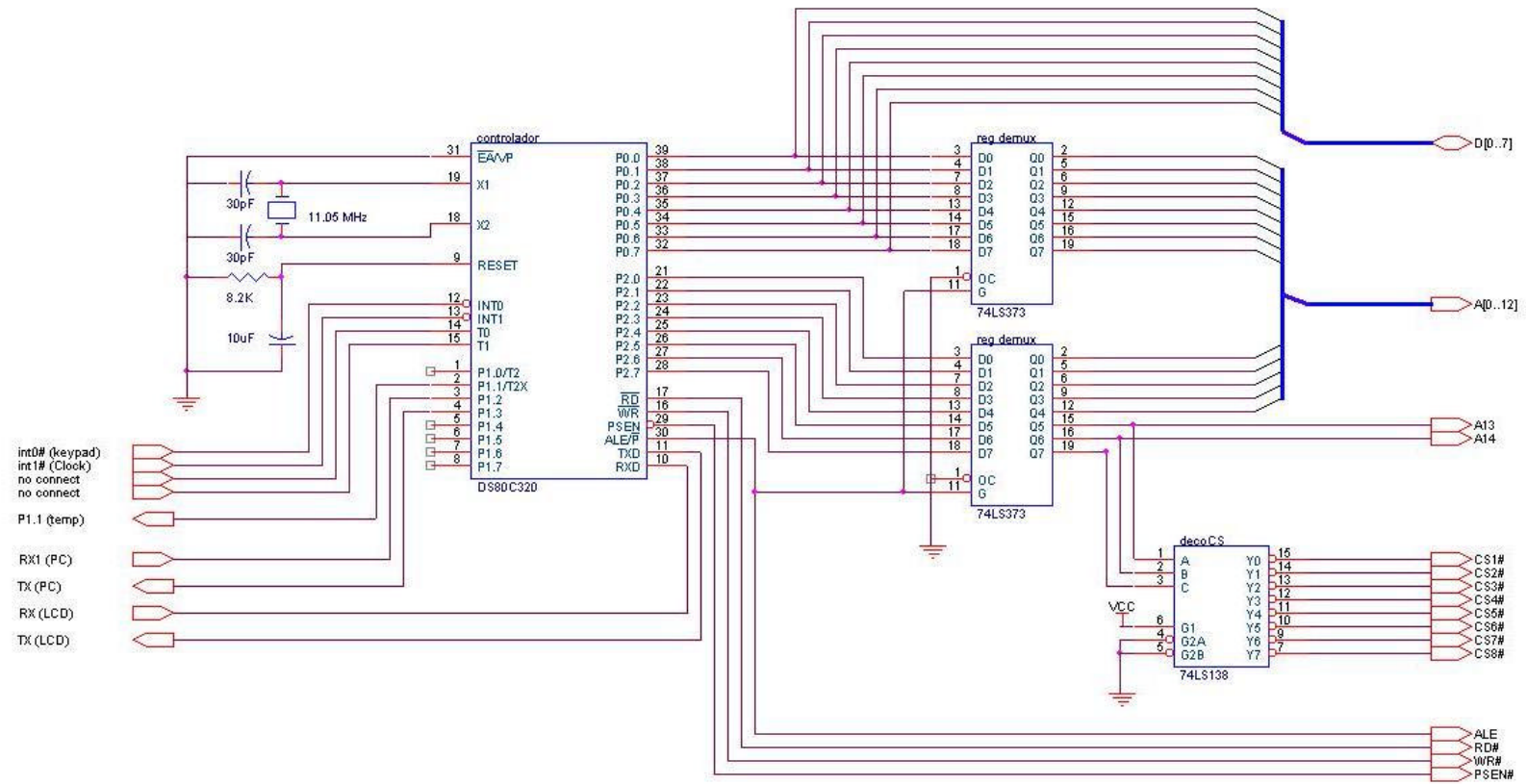


Figura 6.1 Diagrama eléctrico del módulo central de procesamiento

Es conocido ya que el puerto P2 funciona como parte baja del bus de direcciones en un momento y como bus de datos en otro. La incorporación de un registro (Latch) 74LS373 cumple la función de separar dichos buses. La figura 6.1 muestra como la terminal ALE se encuentra alambrada a la terminal de habilitación del registro, ya que es conocido que esta señal es habilitada en el momento que el puerto P2 contiene información que es parte del bus de direcciones. De esta forma en el momento que se active ALE el registro cargará la información de P2 a las salidas de éste, entonces es a partir de este punto que se encuentran separados los buses de datos y de direcciones. La razón de pasar la información proveniente del puerto P4 por uno de estos registros tienen su fundamento en el hecho de igualar los tiempos de propagación del bus de direcciones a fin de evitar errores de lectura posteriormente.

La circuitería externa que contiene dos capacitores de 30pF y un cristal de cuarzo de 11.05 MHz, permite que un oscilador interno genere la señal de reloj que es base para la ejecución de las instrucciones. El valor del cristal permite accionar el generador del reloj interno. Este genera todas las señales de reloj internas, para los circuitos del controlador. La frecuencia de la señal es la mitad de la frecuencia de oscilación y fija la fase, el paso y el ciclo de máquina internos. Un ciclo de máquina se compone de 6 pasos (12 periodos de reloj).

Todas las terminales restantes que posee el controlador, incluyendo el puerto P1 y P3, se constituyen como entradas y salidas que son utilizadas por los demás módulos y se mencionarán cuando sea el caso. Hasta este punto, el módulo de procesamiento puede apreciarse como una caja que posee bus de direcciones y de datos separados, que posee oscilador interno y que se encuentra listo para atender código de programa externamente.



Este módulo posee asociada en su totalidad la ejecución del software, sin embargo la parte del software que es exclusivo para éste módulo es la declaración de variables globales, la declaración de los vectores de interrupción y la programación de los registros de función especial.

Las variables globales permiten que se puedan utilizar por cualquiera de los procedimientos o rutinas y en cualquier momento. La tabla de vectores de interrupción puede ser encontrada en las hojas de datos del controlador y constituyen las localidades de memoria a donde salta el contador de programa (PC) en caso de que se genere una interrupción. La tabla 6.1 muestra los vectores de interrupción definidos y una breve explicación de la instrucción que se sitúa en esas direcciones de memoria.

**Tabla 6.1      Tabla de vectores de interrupción para el 80C320**

Dirección del vector	Fuente de interrupción	instrucción	Descripción
0000H	Inicio del PC	Salta a la localidad 100H	Permite que el PC se sitúe en la localidad 100H al encender el sistema
0003H	IntO#	Salta a la rutina de atención del teclado	Permite obtener un carácter desde el módulo de entrada alfanumérico
0013H	Int1#	Salta a la rutina para el conteo de los segundos	Permite llevar el conteo de un cronometro como parte de la información de el monitoreo de las celdas
0023H	Puerto serie	Salta a la rutina para enviar datos en forma serial	Se activa cuando la PC da el visto bueno para enviar los datos

Los registros de función especial poseen valores que pueden ser apreciados en la tabla 6.2, en ella se puede encontrar información acerca de la función del registro y de su valor, además se da una breve explicación de la aplicación asociada.

**Tabla 6.2 Valores de los registros de función especial**

Registro	valor	función	Aplicación asociada
IE	CCH	Permite habilitar todas las interrupciones en conjunto y por separado	Tiene asociados los procedimientos de ingreso de datos, conteo de un cronometro, habilitación del temporizador 1 y 2 y envío de datos por el puerto serie hacia PC y hacia el LCD
TMOD	22H	Define la programación de los temporizadores 1 y 2	Define a los temporizadores 1 y 2 en modo 1
TCON	55H	Habilita los temporizadores 1 y 2 y define la forma de atención de las interrupciones externas	Define la atención de las interrupciones externas 0 y 1 por flanco negativo
SCON	50H	Define los modos de operación del puerto serie 1	Hace que el puerto serie 1 trabaje en formato de ocho bits de datos y un bit de parada
SCON1	50H	Define los modos de operación del puerto serie 2	Hace que el puerto serie 2 trabaje en formato de ocho bits de datos y un bit de parada

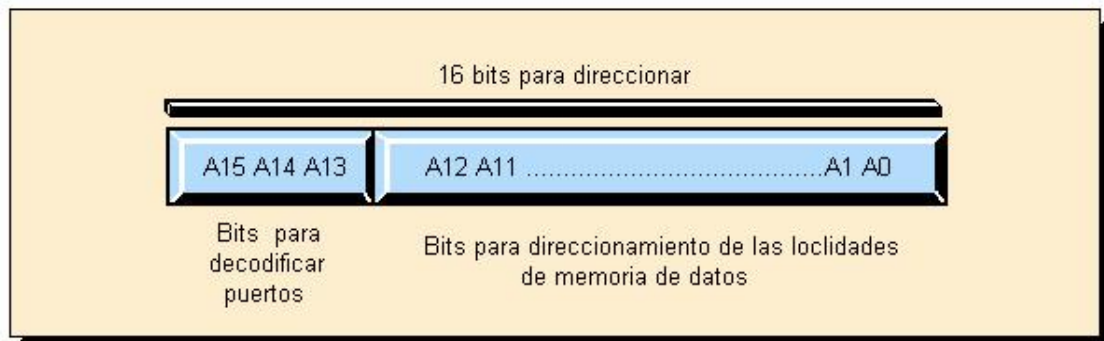
### **6.1.2 Módulo de atención de periféricos**

La figura 6.1, también muestra el decodificador que permite a los periféricos tomar el mando del bus de datos a fin de impedir choques en éste y producir una pérdida completa de los datos. Se empezará por hacer un repaso de los periféricos que requieren del bus de datos para comunicarse con el módulo central de procesamiento.

En primera instancia se tiene el hardware involucrado en el módulo de entrada alfanumérico que envía los códigos de los caracteres introducidos por el usuario, también el módulo convertidor analógico digital con la parte de selección de canales analógicos posee la codificación de los niveles de voltaje de las celdas, siguiendo, el tercer periférico corresponde con el módulo sensor de temperatura que brinda la información durante el monitoreo de las celdas, también el módulo de tiempo real brinda información valiosa del valor de los registros internos y por último se poseen cuatro bloques de memoria de datos de 8Kbytes de capacidad (más información en la sección 6.1.3). Estos suman ocho periféricos y cada uno de ellos de alguna forma poseen una entrada de habilitación para la utilización del bus de datos. Estas señales de habilitación reciben el nombre de CS# y son conectadas a las ocho salidas del decodificador 74LS138 que se muestra en la figura 6.1.

Únicamente una de las salidas del decodificador esta activa a la vez con lo cual se asegura que no haya choques de información. La forma en que son escogidas las salidas del decodificador tiene su fundamento en la distribución de los dieciséis bits del bus de direcciones.

Para comprender mejor esta distribución hay que considerar que los procesos de lectura de memoria de programa y de datos son diferentes y la distribución del bus de direcciones se realiza para fragmentar los 64Kbytes de memoria de datos que puede manejar el controlador. Dentro del diseño del sistema se toma la totalidad de la capacidad de este espacio de memoria para mapear cada uno de los ocho periféricos. El periférico que requiere mas bits del bus de direcciones corresponde al módulo de memoria de datos, que se constituye con componentes EEPROM 2865A con capacidad de 8Kbytes, lo que indica que requieren trece líneas del bus de direcciones para acceder a cada una de sus localidades. Esta situación deja disponibles los tres bits más altos dentro del bus de direcciones (A13, A14 y A15), las cuales se aprovechan para decodificar las ocho líneas de habilitación CS#. La figura 6.2 muestra la estructura final del espacio de memoria de datos.



**Figura 6.2** Distribución de los bits del bus de direcciones

De la figura anterior se puede observar que los 64 Kbytes de memoria de datos es dividida en ocho secciones de 8 Kbytes de capacidad. La tabla 6.3 muestra las diferentes secciones de memoria, el correspondiente periférico que se ve habilitado y las localidades de memorias que abarca cada sección.

**Tabla 6.3 Decodificación de periféricos y espacios de memoria asignados**

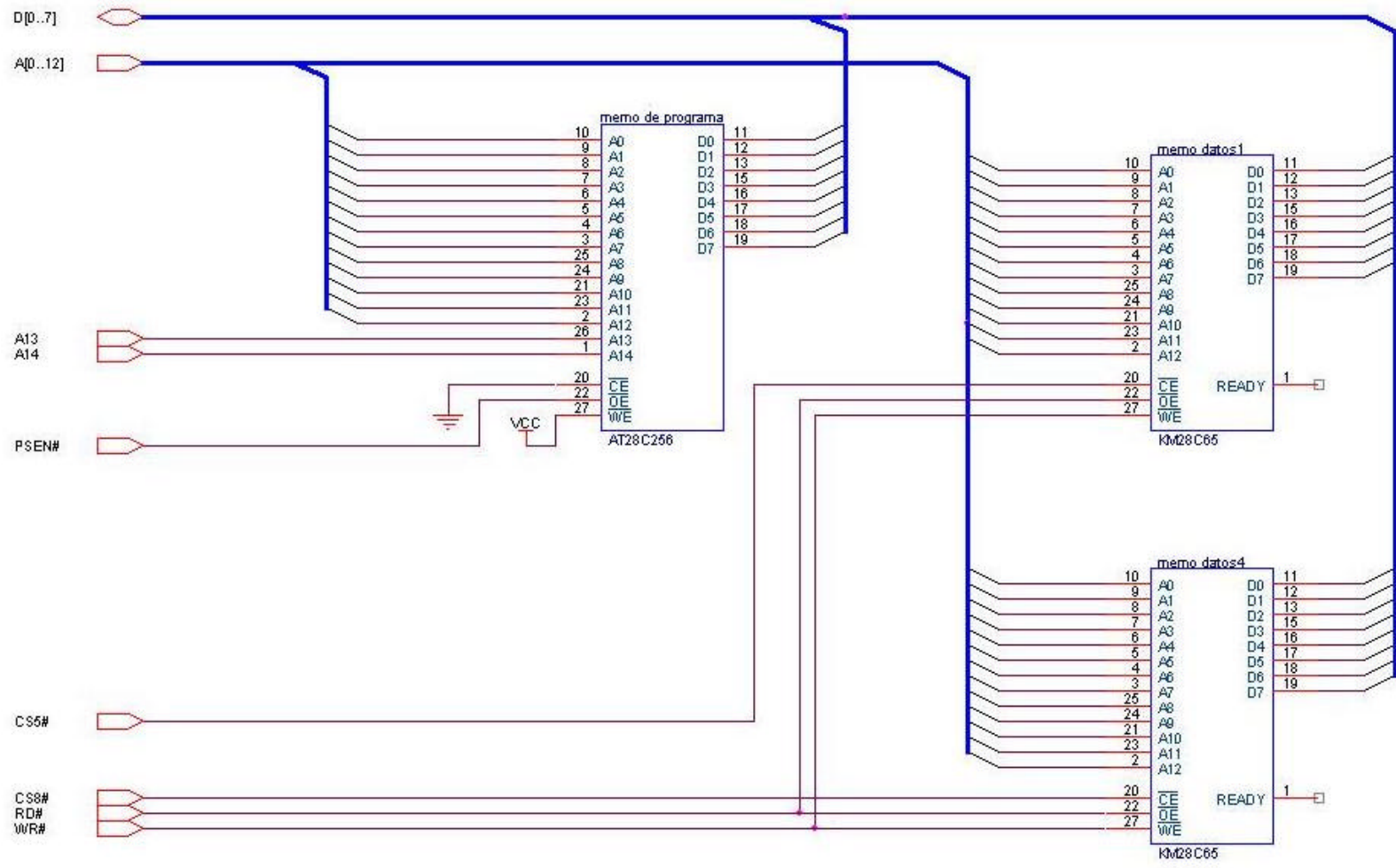
Estado de los bits A13, A14 y A15	Periférico habilitado para utilizar el bus de datos	Localidades de memoria
0 0 0	Teclado	0000H...1FFFH
0 0 1	ADC (celdas)	2000H...3FFFH
0 1 0	ADC (temperatura)	4000H...5FFFH
0 1 1	RTC	6000H...7FFFH
1 0 0	Memo datos 1	8000H...9FFFH
1 0 1	Memo datos 2	A000H...BFFFH
1 1 0	Memo datos 3	C000H...DFFFH
1 1 1	Memo datos 4	E000H...FFFFH

Durante la ejecución del software principal, el módulo de selección de periféricos se ve involucrado indirectamente. Un ejemplo de esto es durante el proceso de escritura o lectura en memoria de datos. Si lo que se desea es poner algún dato en la localidad 100H del bloque de memorias de datos número 3, el valor de los registros DPH y DPL deben ser C1H y 00H respectivamente. Posteriormente con la instrucción MOVX se habilita la señal WR# y el módulo de atención de periféricos se encarga de habilitar la séptima salida que permite habilitar el tercer bloque de memoria a partir de los tres bits más altos del bus de direcciones, por supuesto el resto del bus permite acceder a la localidad de memoria donde se introducirá algún dato.

### 6.1.3 Módulo de memorias

El módulo de memorias posee dos partes muy importantes como ya se ha venido mencionando, las partes de memoria de datos y la parte de memoria de programa. Ambos procesos aunque comparten los buses de datos y de direcciones para comunicarse con el controlador, poseen procesos de lectura diferentes, esto permite que el controlador pueda manejar 64 Kbytes de memoria de datos y 64 Kbytes de memoria de programa. La diferencia se basa en que para una lectura de memoria de datos se emplea la instrucción MOVX que habilita la señal RD#, alambrada a la terminal de habilitación de las salidas en cada uno de los bloques de memoria de datos, mientras que en un proceso de lectura de código de programa, se habilita la señal de controlador PSEN# que se activa en el momento que se desea leer una localidad de la memoria de programa externa. En la figura 6.3 se muestra el diagrama eléctrico del módulo de memorias. En él se aprecia como el habilitador de salidas de las memorias de datos es la señal RD#, mientras que para las memorias de programa es la señal PSEN#.

El acceso o lectura de la memoria de programa siempre se realiza en direccionamientos de dieciséis bits, mientras que la lectura de memorias de datos no es tan rígida. En la sección anterior se mostró como es que se manejan las memorias de datos, pero aún no se ha detallado el porque de la utilización de cuatro de estos componentes. La razón se debe a que haciendo una aproximación de la cantidad de datos que se obtendrán considerando condiciones críticas en los tiempos de monitoreo, la cantidad de 32 Kbytes de memoria constituye la cantidad idónea sin dejar de lado que se deben de manejar otros módulos con la misma técnica utilizada con las memorias de datos. Entre las condiciones críticas consideradas están la utilización del menor periodo de monitoreo de las celdas que se puede establecer y el mayor tiempo de trabajo en de cada uno de los modos disponibles.



**Figura 6.3** Diagrama eléctrico del módulo de memorias

El software involucrado con este módulo se ve distribuido a través de las cuatro partes que conforman la estructura del código fuente. Para la interfaz con el usuario se deben de rescatar los datos que ya se había introducido para ser mostrados en la pantalla y no rescribirlos cada vez que se ingresa a la parte de descripción o datos de las baterías. El ingreso de datos es la parte que más hace uso de los procesos de escritura en la memoria de datos, cada vez que se introduce un carácter éste se identifica y si es el caso se guarda en memoria. La parte de obtención de información de las celdas hace uso de procesos de escritura y de lectura de la memoria de datos, durante la inicialización del proceso se revisan datos ya introducidos y que deben ser leídos desde la memoria, tales y como lo son la descripción de la batería y los tiempos de trabajo en los diferentes modos, ya sea carga, descarga o carga plena. También se posee relación con la parte del software que tiene que ver con el envío de datos a través del puerto serie, en este caso se obtiene ordenadamente los datos contenidos en la memoria para posteriormente ser enviados a través de un solo cable hacia una PC.

La estructura definida para guardar los datos en las memorias tiene que ver con los respectivos modos de trabajo. En las primeras localidades de memoria se puede alojar la información de seis baterías diferentes para cada puerto de monitoreo (batería 1 y 2), cada uno de estas paginas de descripción poseen cinco parámetros de gran importancia (descripción en la parte 6.1.5), cada uno de estos parámetros tiene ocho bytes de capacidad. Un carácter “/” marca el final del parámetro, sin embargo si el dato correspondiente al parámetro es menos a ocho bytes un espacio en blanco marca el final del dato. El final de cada pagina de descripción se ve indicada con un carácter “ \* ”.



Posteriormente se encuentran las localidades de memoria que mantienen los tiempos de duración de los distintos modos de trabajo. Cada uno de estos tiempos posee cinco bytes de capacidad y se ven separados por un carácter “ \* ”.

Cada modo de trabajo posee un espacio de memoria de datos para albergar su información. Estos espacios están previamente definidos y fueron calculados según la duración del proceso y de la periodicidad de los procesos de muestreo. La duración de cada modo varía, así como también lo hace la importancia de obtener datos de los voltajes de las celdas en intervalos de tiempo más pequeños.

#### **6.1.4 Módulo de entrada alfanumérico**

El teclado utilizado es de dieciséis teclas lo que permite la utilización de un decodificador 74923. En la figura 6.4 se muestra el diagrama eléctrico correspondiente a este módulo. De él se aprecia como fue cambiada la distribución de las teclas para permitir obtener una nueva configuración de éstas y para que se adecue a las exigencias del diseño. El teclado posee grabadas las teclas en una forma similar a las que presenta un teclado de aparatos telefónicos. Sin embargo hay que recordar que entre las características que se piden para el diseño, están la de tener la posibilidad de introducir números, letras y poseer teclas de función especial para el control de los menús y de los procedimientos para la introducción de datos, tal y como lo son las teclas de retroceder un espacio y la de avanzar un espacio, entre otras. La distribución de las teclas con las que se desea contar, se encuentra mejor demostrada en la tabla 6.4.

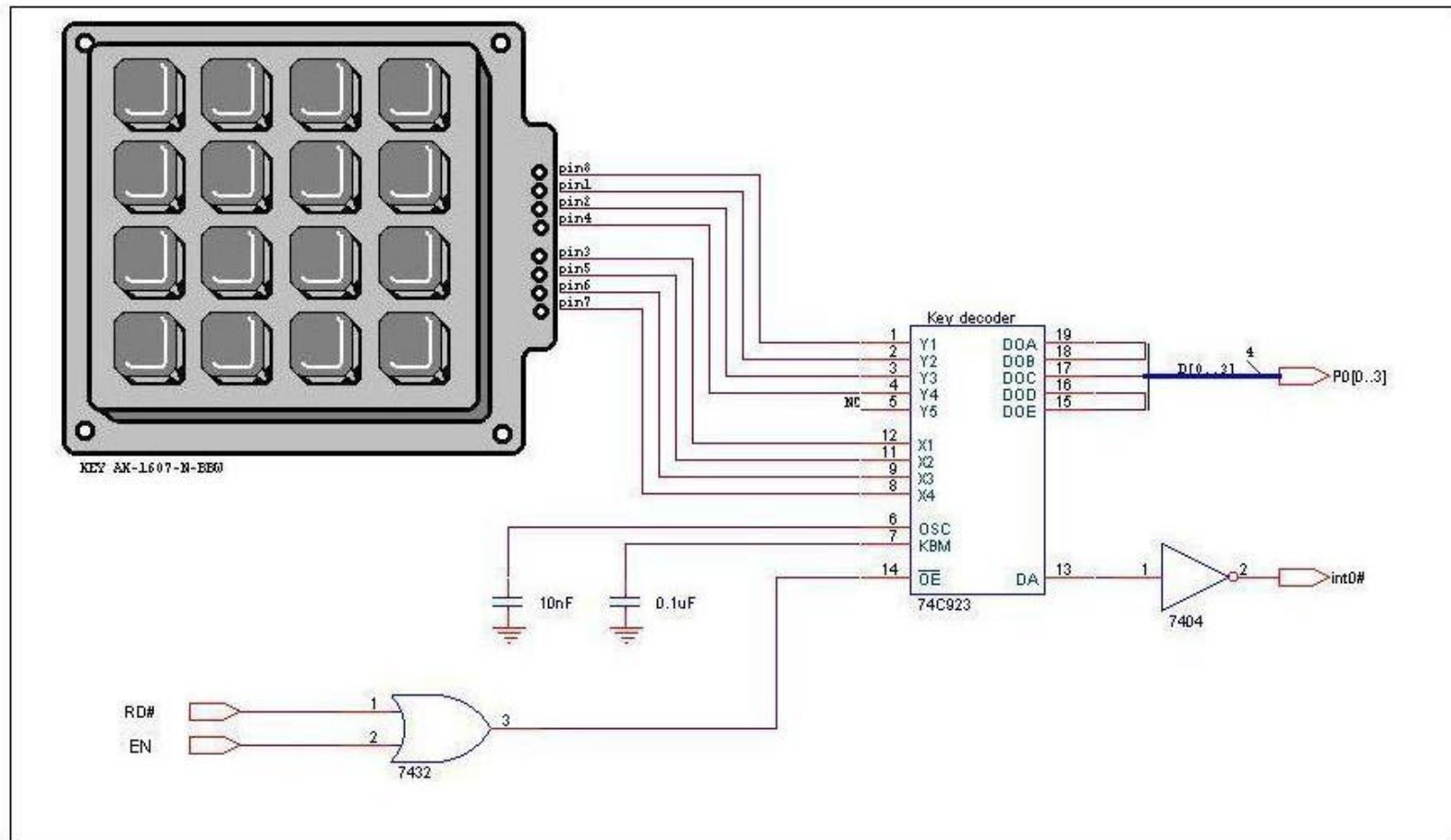


Figura 6.4 Diagrama eléctrico del módulo de entrada alfanumérico

**Tabla 6.4 Códigos de las teclas y su respectiva función**

Código de tecla	Función	Descripción
00H	#1 A,B y C	Número y letras
01H	#2 D,E y F	Número y letras
02H	#3 G,H e I	Número y letras
03H	#4 J,K y L	Número y letras
04H	#5 M,N y 0	Número y letras
05H	#6 P,Q y R	Número y letras
06H	#7 S,T y U	Número y letras
07H	#8 V,W y X	Número y letras
08H	#9 Y,Z y j	Número, letra y símbolo
09H	#0 _, - y *	Número y símbolo
0AH	↓ →	Abajo ó izquierda
0BH	←	Derecha
0CH	ESC	Terminar
0DH	2 <sup>nd</sup>	Números ó letras
0EH	Backspace	Retrocede un espacio
0FH	NEXT	Avanzar

La habilitación del módulo de entrada alfanumérico ya fue comentada en la sección 6.1.2. En la figura 6.4 se muestra como es que la señal CS1# en conjunto con la señal de habilitación de lectura permiten habilitar las salidas del decodificador de teclado 74923. La lógica necesaria para alcanzar este propósito responde a la necesidad de permitir que se utilice el bus de datos para enviar el código de la letra introducida al controlador, únicamente cuando se da una lectura a memoria de datos a partir de la dirección 0000H hasta la 1FFFH. Durante este espacio de memoria el decodificador de atención de periféricos habilita la primera salida, lo que permite poner un cero lógico en una de las entradas de la compuerta lógica OR. La otra entrada de esta compuerta pasa cero lógico en el momento que se ejecute la instrucción MOVX que permite habilitar la señal RD#.

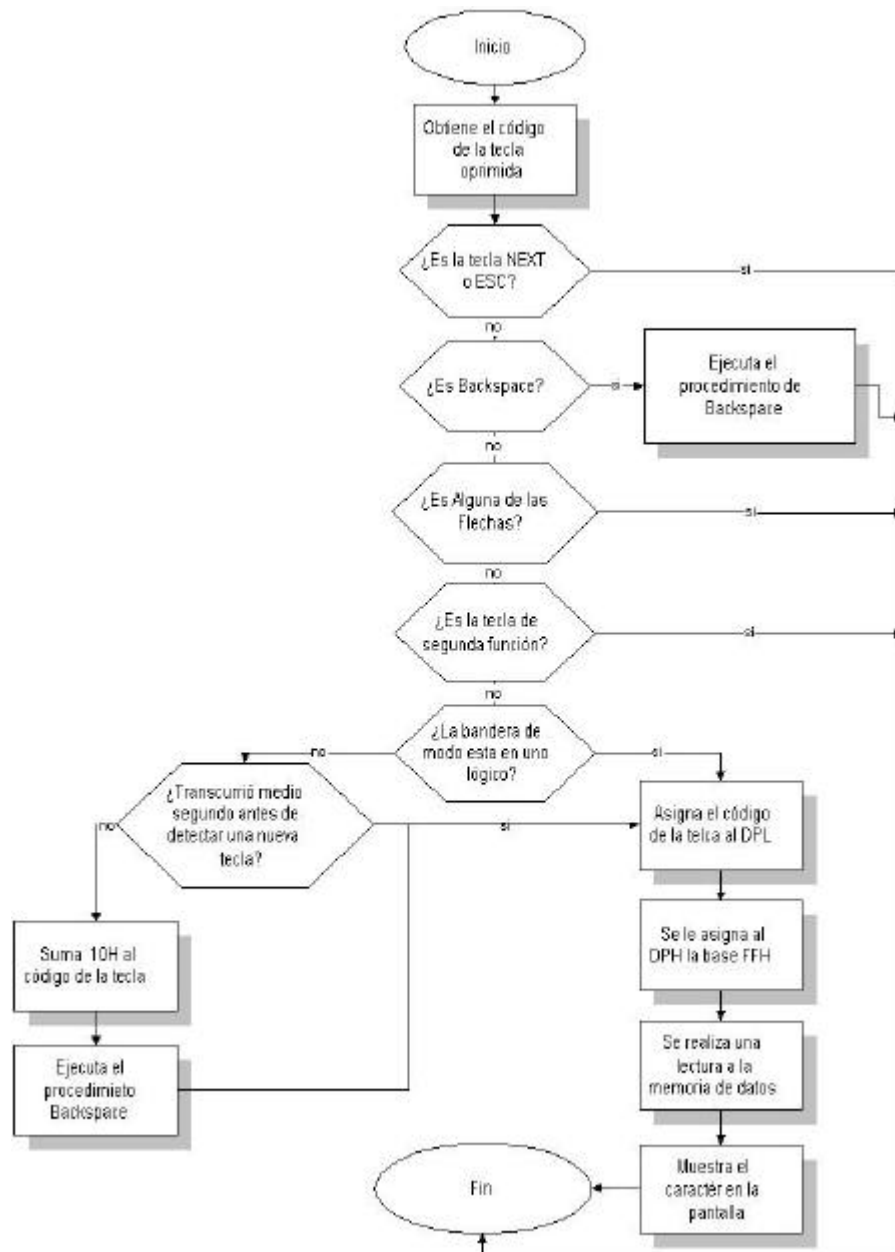
Cuando se presenten estas condiciones la salida de la compuerta permite habilitar las salidas del decodificador. Mientras no se habilite la terminal OE# del decodificador del teclado, las salidas de éste permanecen en tercer estado o estado de alta impedancia.

La salida DA del decodificador del teclado cumple una función muy especial dentro del módulo de entrada alfanumérico. Esta señal se habilita en el momento que se detecta una tecla oprimida. Esta señal se conecta a la terminal int0#, con el propósito de que en el momento que se oprime una tecla, la señal DA habilite la interrupción externa cero del controlador. A partir de este punto se ejecutan ciertas rutinas que permiten hacer una lectura del decodificador de teclado, tal y como se describió anteriormente.

La parte de introducción de los datos, es una de las partes principales de la estructura del código de programa y que se ve estrechamente relacionada con el hardware detallado en esta sección. Un diagrama de flujo que refleja el procedimiento para manejar la información introducida por el módulo de entrada alfanumérico, se puede apreciar en la figura 6.5.

En el anterior diagrama de flujo se puede observar como en el momento que se da la señal DA, se ejecuta la rutina de atención del teclado. Se inicia por hacer una lectura de memoria de la dirección 0000H, por medio de la instrucción MOVX. Cuando se obtiene el código de la letra introducida, se procede a realizar una serie de comparaciones a fin situar la función de ésta. Lo primero que se debe conocer es si es una tecla de función especial, las cuales poseen los códigos arriba de 0AH. De darse el caso se ejecuta un procedimiento que corresponde con la tecla oprimida, como es el caso de el procedimiento de backspace que permite borrar el carácter anteriormente introducido tanto de la memoria como de la pantalla de visualización.

Otras teclas de función especial tienen funciones de recorrer los caracteres de los parámetros que describen las baterías, a fin de ubicar los punteros de carácter dentro del parámetro, del parámetro dentro de la página y el puntero de página dentro del puerto de batería. La figura 6.5 muestra un diagrama de la estructura de la introducción de caracteres.



**Figura 6.5** Diagrama de flujo de la rutina de ingreso de letras y números

El diagrama de flujo de la figura 6.5 muestra como es que de darse el caso de que no se trate de un carácter de función especial, el programa revisa el estado de la bandera de modo de letras o números que tiene relación con la tecla 2<sup>nd</sup> del teclado. Dependiendo del estado de ésta, el programa ejecuta el procedimiento de introducción de letras o de números. El diagrama de flujo muestra que la estructura de estos procedimientos es el mismo con la diferencia de que si se trata de introducir letras este procedimiento no termina hasta que transcurra un tiempo predefinido (aproximadamente medio segundo). Si se oprime una nueva tecla que no sea de función especial, antes de que finalice este tiempo, la rutina rescribe en la misma localidad de memoria y de posicionamiento de la pantalla de visualización, el nuevo carácter introducido. Este procedimiento le permite al sistema contar con introducción de letras por multi-pulsado, método similar al utilizado por los teléfonos celulares en su teclado alfanumérico.

Un ejemplo para ilustrar esta técnica, es cuando se desea introducir la letra B. La primera tecla es la que contiene el código asignado para dicho carácter, por lo tanto se oprime y antes de aproximadamente medio segundo se debe de oprimir una segunda vez, esto permitirá que el puntero de caracteres dentro del parámetro no avance y la letra B sobrescriba a la letra A.

En la memoria de programa se encuentra el código ASCII de cada uno de los caracteres que no son de función especial. La tabla 6.5 muestra la forma en que son contenidos dichos caracteres para que el programa que esta esquematizado por el diagrama de flujo de la figura 6.5 tenga éxito.

**Tabla 6.5 Localidades de memoria para los caracteres ASCII**

Localidad de memoria	Caracter
7000H	1
7001H	2
7002H	3
7003H	4
7004H	5
7005H	6
7006H	7
7007H	8
7008H	9
7009H	0
7010H	a
7011H	d
7012H	g
7013H	j
7014H	m
7015H	p
7016H	s
7017H	v
7018H	y
7019H	-
7020H	b
7021H	e
7022H	h
7023H	k
7024H	n
7025H	q
7026H	t
7027H	w
7028H	z
7029H	-
7030H	c
7031H	f
7032H	i
7033H	l
7034H	o
7035H	r
7036H	u
7037H	x
7038H	i
7039H	*

### 6.1.5 Módulo de visualización

El módulo de visualización utiliza el puerto de comunicación número uno, ya que como es conocido de la descripción del hardware, el LCD utilizado para este diseño recibe la información en forma serial.

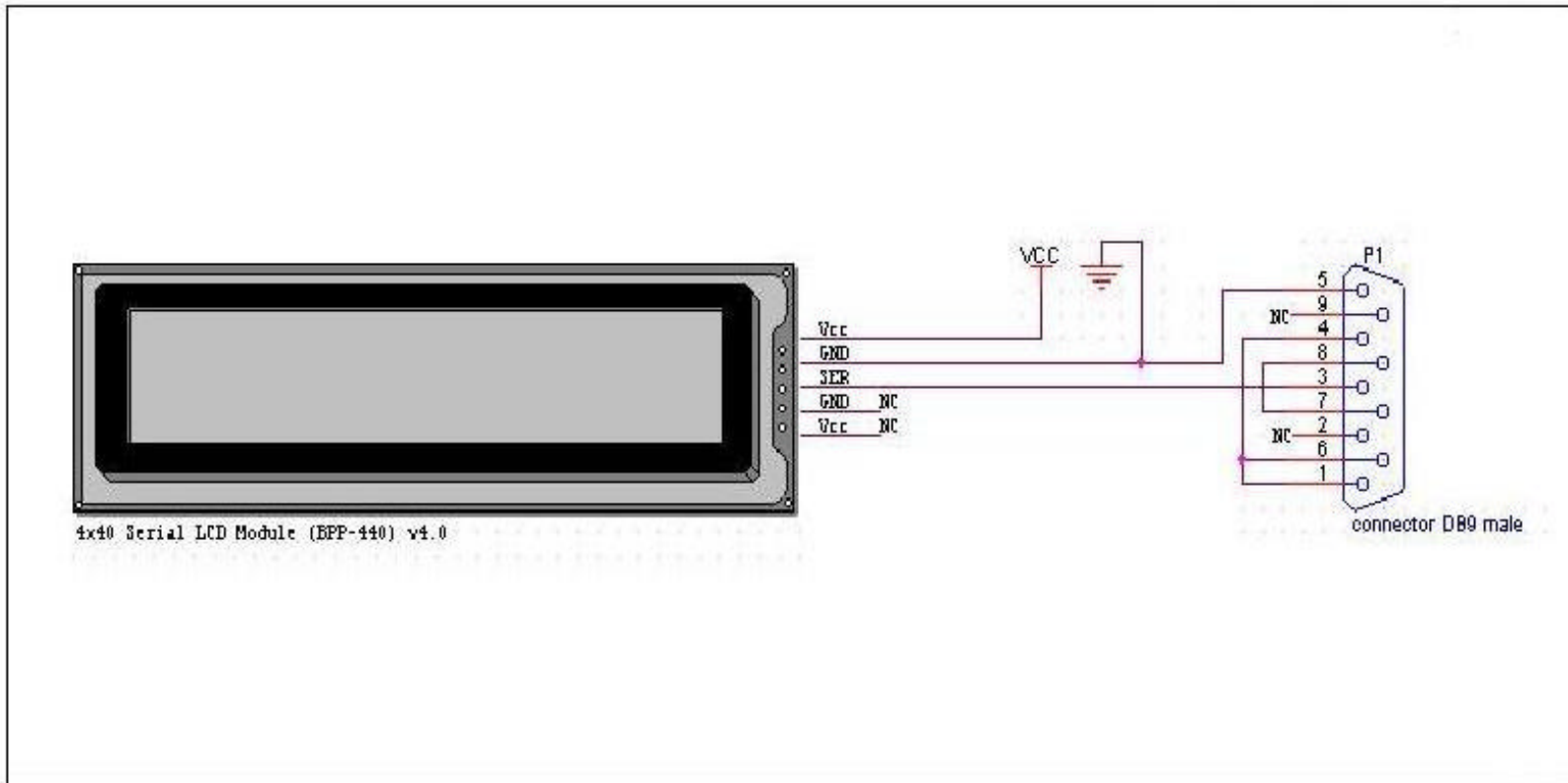
La pantalla escogida fue inicialmente probada, conectándola directamente al puerto COM1 de una computadora personal. De ella se puede decir únicamente que constituye una herramienta de fácil uso y que responde a los comandos que se encuentran antes del código 30H en ASCII.

La figura 6.6 muestra el diagrama de la conexión del LCD con el puerto de comunicación número uno. Aquí se nota como es que únicamente la señal de TX1 es alambrada a la entrada SER del LCD. La conexión a tierra es común, es decir que la tierra es la misma para el LCD que para el controlador.

Ya se había mencionado que el 233 de maxím no necesita de componentes externos, por lo que la configuración de este módulo es relativamente sencilla.

El módulo de visualización es uno de los que es más utilizado por el software del sistema, debido a que es la herramienta que le permite al usuario guiarse y observar la información que genera la gran mayoría de los módulos que componen el sistema. Las instrucciones para enviar un carácter al LCD, constituyen las mismas que se utilizan para enviar un carácter a través del puerto serie, es decir únicamente se pasa el código ASCII de éste al registro SBUF y automáticamente se habilitan las señales necesarias.

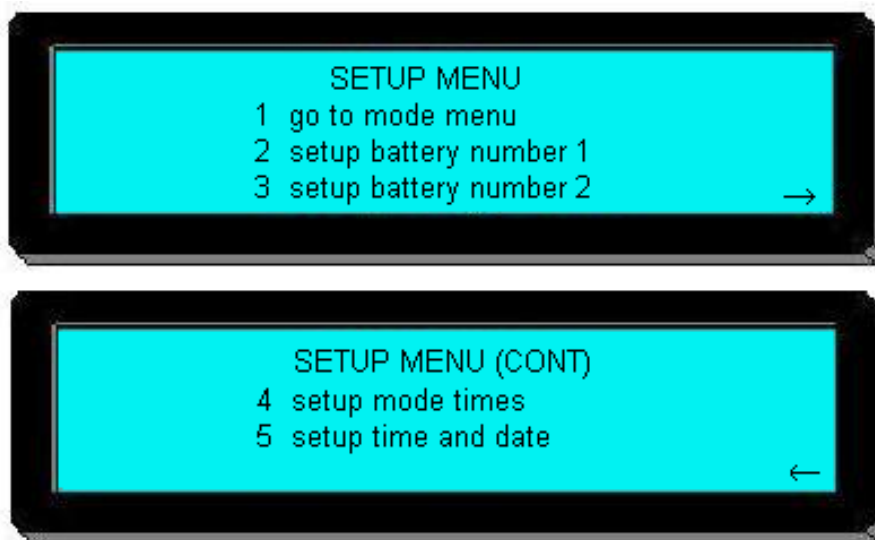




**Figura 6.6** Diagrama eléctrico de la conexión del LCD al puerto 0

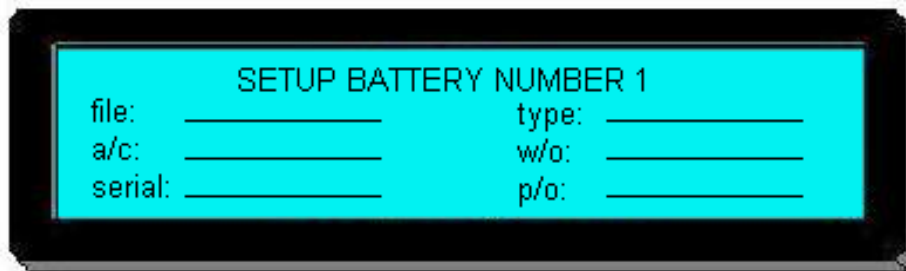
Quizás la principal aplicación y la que mas se detallará en cuanto a la parte del software, es la estructura de los menús y la apariencia de las distintas pantallas que involucran los procedimientos del sistema. Existen dos partes principales en el tema de los menús: la parte de configuración y la parte de modo de trabajo.

La apariencia del menú de configuración se muestra en la figura 6.7, en ella se puede apreciar que las opciones se encuentran en forma de lista y son accesibles con el numeral que se encuentra a la izquierda de cada una. Este menú se conforma por dos páginas que pueden alternarse con ayuda de las teclas ← →.



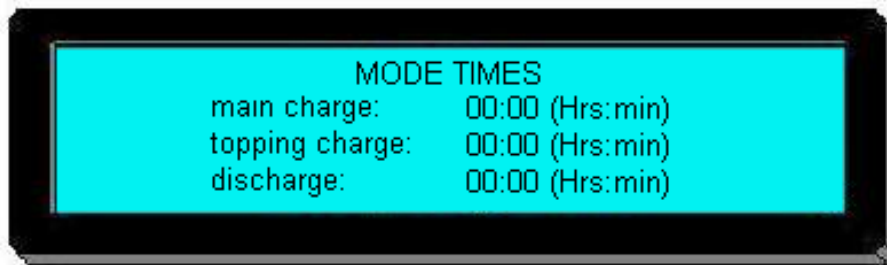
**Figura 6.7** Pantallas del menú de configuración

La segunda y tercera opción permiten mostrar las pantallas correspondientes al ingreso de los parámetros y de las páginas para el puerto de monitoreo 1 y 2. En la figura 6.8 se muestra la apariencia general para una de las páginas.



**Figura 6.8** Pantalla de ingreso de parámetros de las baterías

La cuarta opción muestra la pantalla correspondiente al ingreso de los tiempos de los diferentes modos de trabajo. Esta opción muestra una pantalla que tiene la apariencia de la figura 6.9, en ella se aprecia como se pueden introducir cada uno de los tiempos en formato de horas y minutos.



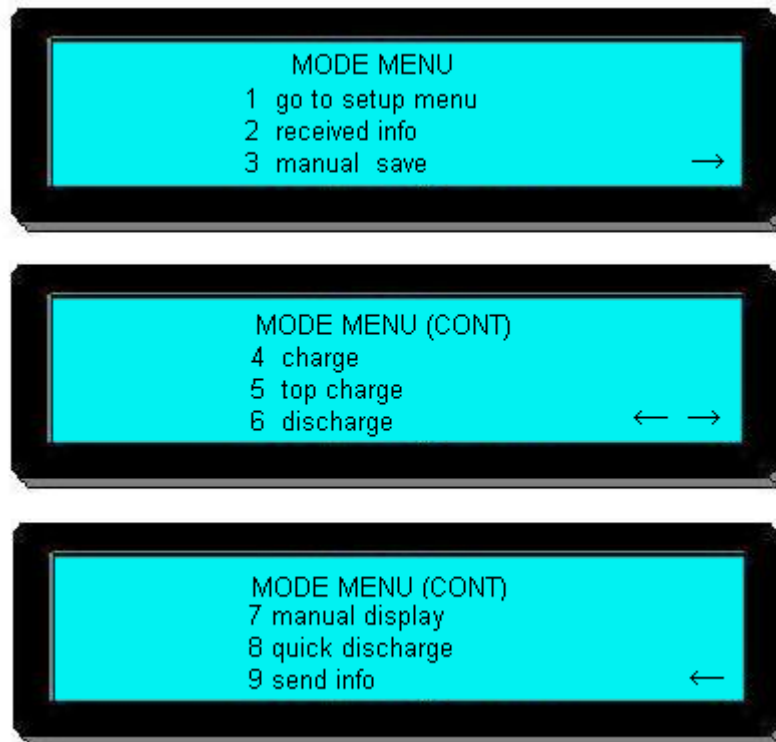
**Figura 6.9** Pantalla de ingreso de tiempos de trabajo

La última de las opciones del menú de configuración corresponde a la opción de configuración de hora y fecha. Esta información acompaña a los voltajes de las celdas. La apariencia de esta pantalla se muestra en la figura 6.10.



**Figura 6.10** Pantalla de configuración de hora y fecha

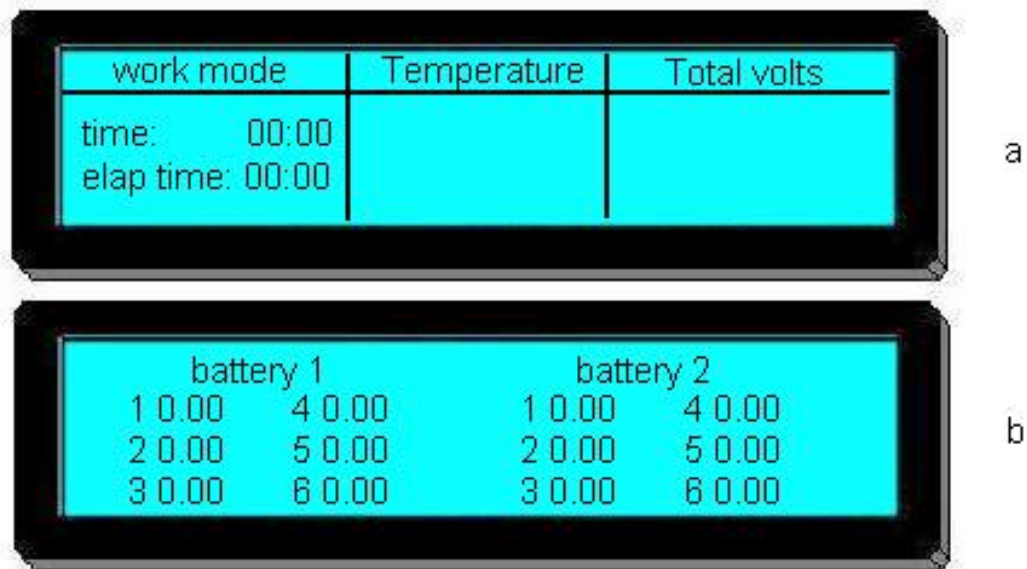
La opción uno del menú de configuración permite que se despliegue el menú de modo. Este menú al igual que el anterior posee distintas opciones en tres diferentes páginas. Cada una de las opciones puede ser accedida a través de la tecla correspondiente al numeral que se encuentra a la izquierda de cada una. La figura 6.11 muestra la apariencia del menú de modo.



**Figura 6.11** Pantallas del menú de modo

Las opciones 4, 5, 6 y 8 corresponden a los procedimientos de monitoreo para los cuatro diferentes modos de trabajo, es decir el modo de carga, carga plena, descarga y descarga rápida. Estos procedimientos tienen la generalidad de acceder a las pantallas de descripción de los parámetros de las baterías con el fin de elegir la o las baterías con las que se trabajará. Además, también se accede a la pantalla de introducción de los tiempos de trabajo con el fin de revisarlos o modificarlos.

Por último se despliega la pantalla de monitoreo, la cual se compone de cuatro páginas, donde la primera contiene información acerca del tiempo de trabajo, el tiempo transcurrido, la temperatura y el voltaje de la batería. Las restantes páginas muestran el monitoreo de voltaje de las veinte celdas. En la figura 6.12.a se muestra la apariencia de la página central y en la figura 6.12.b se muestra una de las páginas de monitoreo.



**Figura 6.12** Pantallas de monitoreo

Las opciones 2 y 7 permiten monitorear el estado de las celdas sin necesidad de seleccionar ningún tipo de información. Estos modos permiten monitorear el voltaje de las celdas sin guardar en memoria, por lo que constituyen únicamente información visual. La pantalla que se despliega en estos modos de trabajo es la misma de la figura 6.12.b.

La opción 3 no requiere de pantalla de información por tratarse de un salvado manual en memoria de los voltajes de las celdas.

La última de las opciones por detallar es la número 9, que corresponde con el procedimiento de envío de datos por puerto serie. La pantalla correspondiente posee una apariencia similar a la mostrada en la figura 6.13.



**Figura 6.13** Pantalla para comunicación serie

El detalle de cada uno de los comandos y de las herramientas disponibles por el sistema, pueden ser encontradas en el manual del usuario del SCANBAT.

#### **6.1.6 Módulo convertidor analógico digital**

La figura 6.14 muestra el diagrama eléctrico del módulo convertidor analógico digital. Este módulo puede presentar cierta confusión en cuanto a la distribución de la función habilidad. Existe una parte que permite convertir lecturas analógicas en digitales, ésta sección es utilizada para convertir la lectura de los voltajes de las celdas y además para convertir la lectura de la corriente directamente desde el módulo sensor de temperatura. La segunda parte del módulo ADC es la que permite seleccionar uno a uno los canales analógicos que se encuentran directamente conectados a las celdas de las baterías. Cada una de estas partes se detalla por separado.

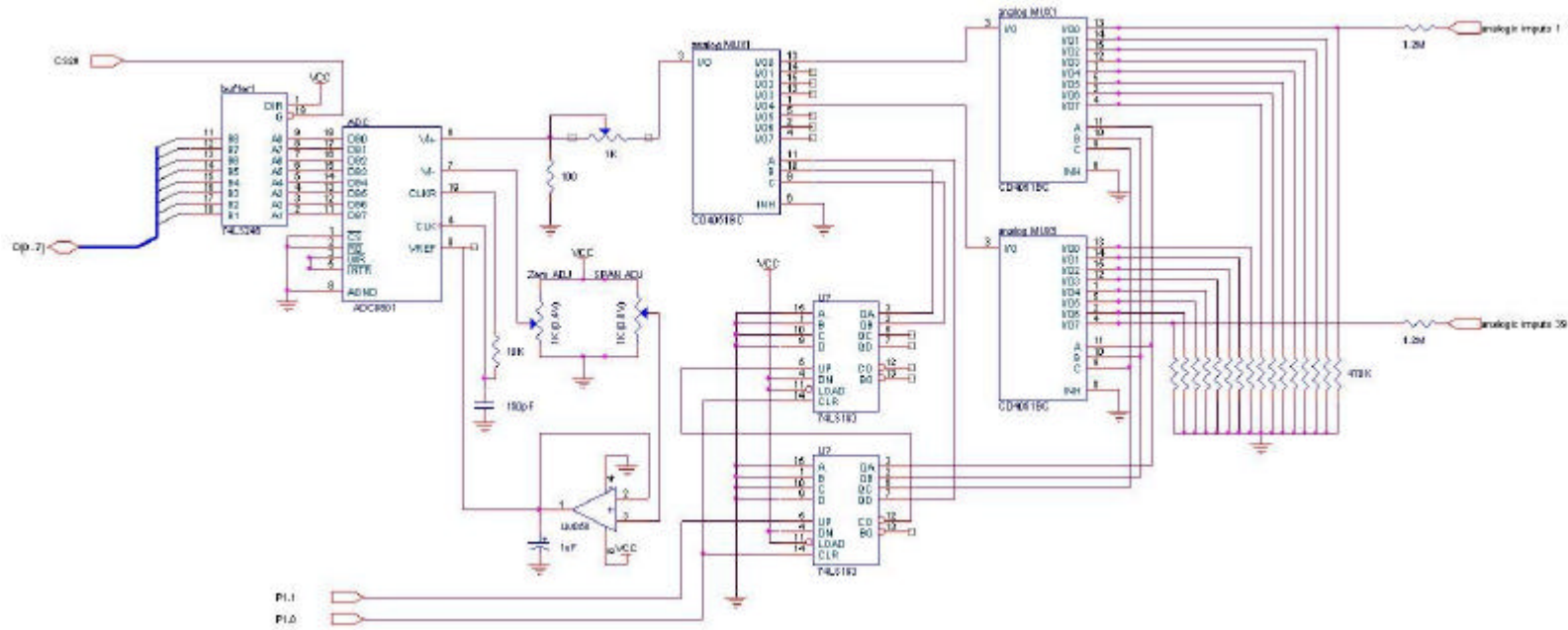


Figura 6.14 Diagrama eléctrico del módulo ADC

La parte de conversión esta compuesta principalmente por dos convertidores NTE2053. El detalle de estos componentes se puede encontrar en la parte de descripción de hardware involucrado. Ya es conocido que estos componentes son de canal único, de ahí la necesidad de contar con dos convertidores. En esta parte del módulo es importante resaltar que el método de cableado de los convertidores es tal que se permite que trabajen en operación libre, es decir que continuamente se este ejecutando el procedimiento de pasar datos analógicos a datos en binario. La manera en que esto se logra es comprendiendo mejor la forma en que se lleva a cabo el proceso de conversión, iniciando con permitir o habilitar una lectura del dato analógico a través de la terminal WR#. Durante el proceso, el ADC no se encuentra habilitado para realizar nuevas lecturas y es hasta el momento que se habilita la señal intr# que se pueden realizar. Es decir que si se mantiene habilitado externamente el componente a través de la terminal CS#, se habilita las salidas a través de la terminal RD# y además se unen las terminales de intr# con la de habilitación de lecturas analógicas WR#, se contará con una operación automática cíclica. Ciertas condiciones deben darse antes de utilizar este procedimiento, entre las cuales están la de brindar la primera habilitación de lectura al conectar temporalmente a masa la terminal WR#. También, a causa de que continuamente se están presentando los datos convertidos en las salidas del componente, es recomendable colocar un buffer de tercer estado que pueda ser habilitado por la señal proveniente del módulo de atención de periféricos y con la cual se cede la utilización del bus de datos.

La parte de selección de canal, es una sección que le permite al sistema escoger canal por canal a fin de determinar el voltaje que presenta cada celda. Los componentes que presenta esta parte son multiplexores analógicos CD4051, los cuales presentan tres terminales de selección de canal, controladas digitalmente.



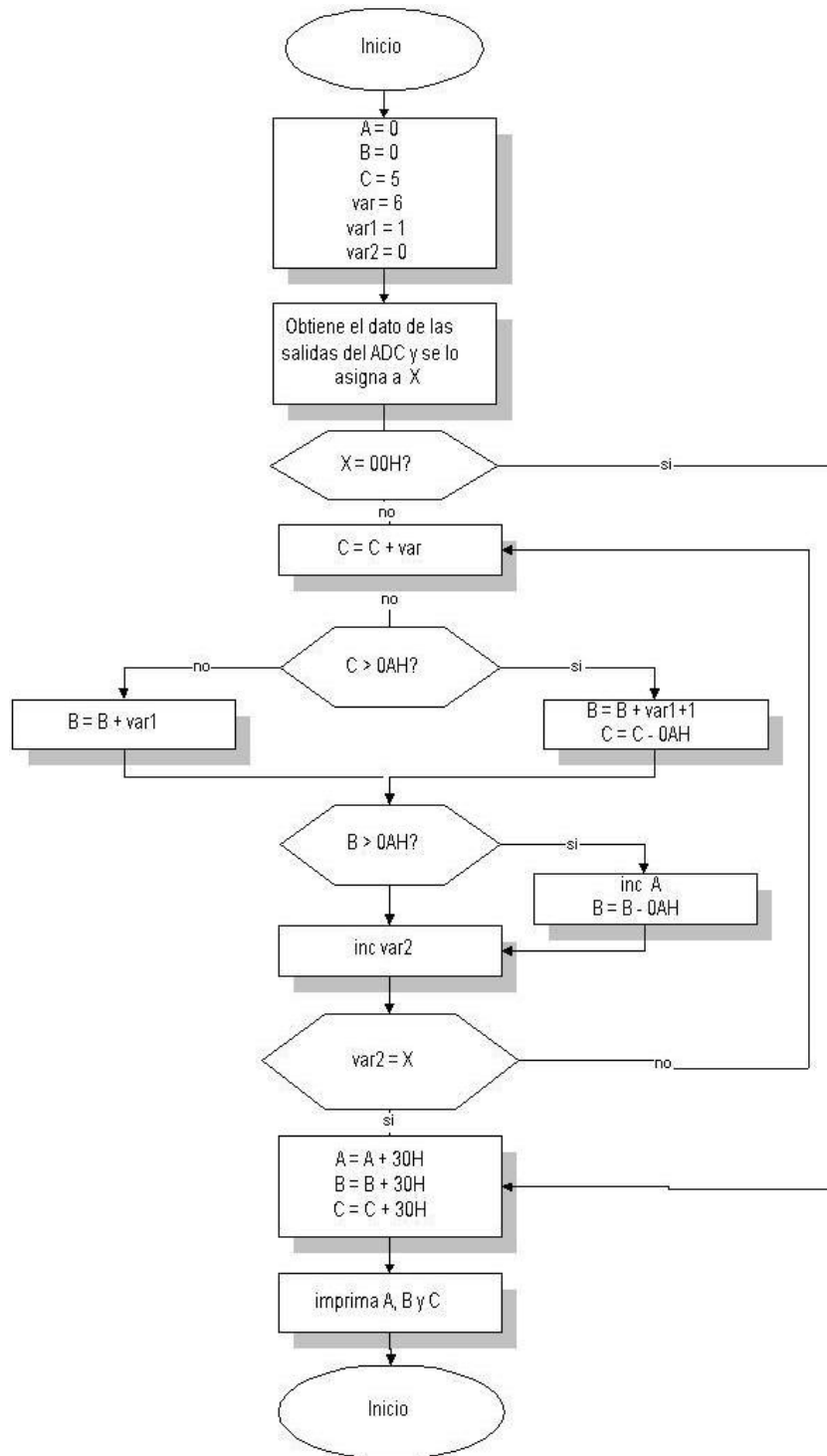
La máxima cantidad de celdas que se pueden monitorear es de veinte, por lo que se requiere cuarenta entradas para obtener una única salida que es la que se conecta a la entrada de canal analógico del convertidor, tal y como se muestra en la figura 6.14. De esta figura se obtiene que se requieren seis 4051 para alcanzar tal propósito. También se puede notar como es que las terminales 0 y 1 del puerto número P1 son utilizadas para limpiar las salidas de los contadores y el de brindar la señal de reloj para el proceso de conteo, respectivamente. Así, el conteo y con ello la selección de cada uno de los canales, es controlado desde el 80320. El tiempo que debe de existir entre cada conteo debe ser tal que permita que se complete el proceso de conversión a digital de cada canal analógico. Para efectos del diseño, este tiempo no excede un segundo de tiempo, con lo cual no se afecta el incremento del cronómetro que muestra el conteo del tiempo.

Parte de las características que presentan los multiplexores analógicos, muestran que los voltajes máximos aplicados a cada uno de sus canales se encuentran relacionados con el voltaje de alimentación el cuál posee un rango que va desde 5V hasta 15V máximo. Se recomienda por la vida útil del componente que el voltaje máximo de los canales no exceda el voltaje de alimentación. Lo anterior restringe el voltaje a los canales entre 0V y 15V. Esta situación hace que se requiera un divisor de tensión para cada canal, ya que al estar cada celda en serie, se pueden llegar a alcanzar voltajes en los canales superiores mayores a los 15V. Este divisor de tensión tiene una relación de 2.55:1 y tiene su fundamento al considerar los altos valores de resistencia con que se debe de construir el divisor (470K y 1.2M). El valor elevado de estas resistencias tiene su fundamento en disminuir lo máximo posible la corriente de fuga que se crea al conectar un divisor a cada celda.

La figura 6.14 muestra la conexión de los canales a las celdas. El divisor de tensión permitirá disminuir el máximo voltaje que se puede presentar en los canales más elevados, de manera que no exista problema con los límites de voltaje en las entradas del multiplexor analógico. Además hay que considerar que la alimentación de los multiplexores debe ser mayor a los 10V a fin de no dañar el componente.

El divisor de tensión que se presenta a la salida del último multiplexor, debe poder disminuir al máximo, el rango de voltaje que puede llegar a la entrada del convertidor. Si este voltaje no es muy elevado, se puede disminuir la diferencia entre los voltajes aplicados a las terminales V- y V+, con lo cual se puede contar con más precisión al convertir los voltajes a información digital. Aproximadamente y por cálculos realizados a fin de obtener datos precisos y fáciles de interpretar por el programa principal, el máximo voltaje que llega a la terminal V+, no excede los 2.6V y el mínimo los 0.05V. Esto es posible al ajustar el potenciómetro a la entrada del ADC a  $350\Omega$ , con lo que la ganancia de los divisores de tensión en conjunto es aproximadamente de dieciséis. La figura 6.15, muestra el diagrama de flujo que permite obtener los voltajes de los canales a partir de la información que se obtiene del ADC. Cabe resaltar que con las condiciones dadas, el voltaje requerido para que cambie el estado de un solo bit en la salida del ADC, corresponde a 0.01V.

El potenciómetro conectado a la terminal  $V_{ref}/2$  permite ajustar el rango de las 256 combinaciones producidas con ocho bits, acorde con la diferencia aplicada a las terminales V- y V+. El potenciómetro conectado a la entrada V-, permite ajustar el voltaje de referencia que no es necesariamente 0V. Los valores de  $V_{ref}$  y para V- según las condiciones presentadas son respectivamente 1.275V y 0.05V.



**Figura 6.15** Diagrama de flujo del proceso de conversión de datos

El espacio de memoria asignado para poder habilitar el buffer debe iniciar en la dirección 2000H. Por supuesto que la lectura del voltajes en las celdas es la suma de los voltajes de todas las celdas anteriores, por lo que para obtener el voltaje de la celda diez por ejemplo es necesario conocer la suma de los nueve anteriores celdas y por una resta vía software es que se conoce tal lectura.

El recorrido de las cuarenta celdas se cumple con una periodicidad que se encuentra definida por el usuario. El usuario puede escoger entre 40 segundos y 2 minutos para la periodicidad del proceso de muestreo.

#### **6.1.7 Módulo de tiempo real**

El diagrama eléctrico del módulo de tiempo real se encuentra en la figura 6.16. El reloj de tiempo real posee una gran diferencia con respecto a los demás componentes de los otros módulos y se basa en que se trata de un componente programable que posee multiplexados el bus de datos y de direcciones a fin de disminuir la cantidad de terminales. En la figura 6.16 se muestra como aunque ya se mantienen separados los buses, en la conexión a este componente deben de unirse ya que los procesos de lectura y escritura requieren que así sea. Tales procedimientos requieren de varios pasos; primeramente se debe de habilitar el componente, para esto se realiza la misma metodología que en otros módulos. El espacio de memoria asignado para este componente inicia en la dirección 6000H y termina en la dirección 7FFFH, este espacio es suficiente para direccionar los registros internos del RTC. Al habilitar el componente, se puede brindar la dirección del registro que se desea modificar o leer, dependiendo de la habilitación de las señales RD# o WR#. Esta últimas señales se habilitan con la instrucción MOVX.

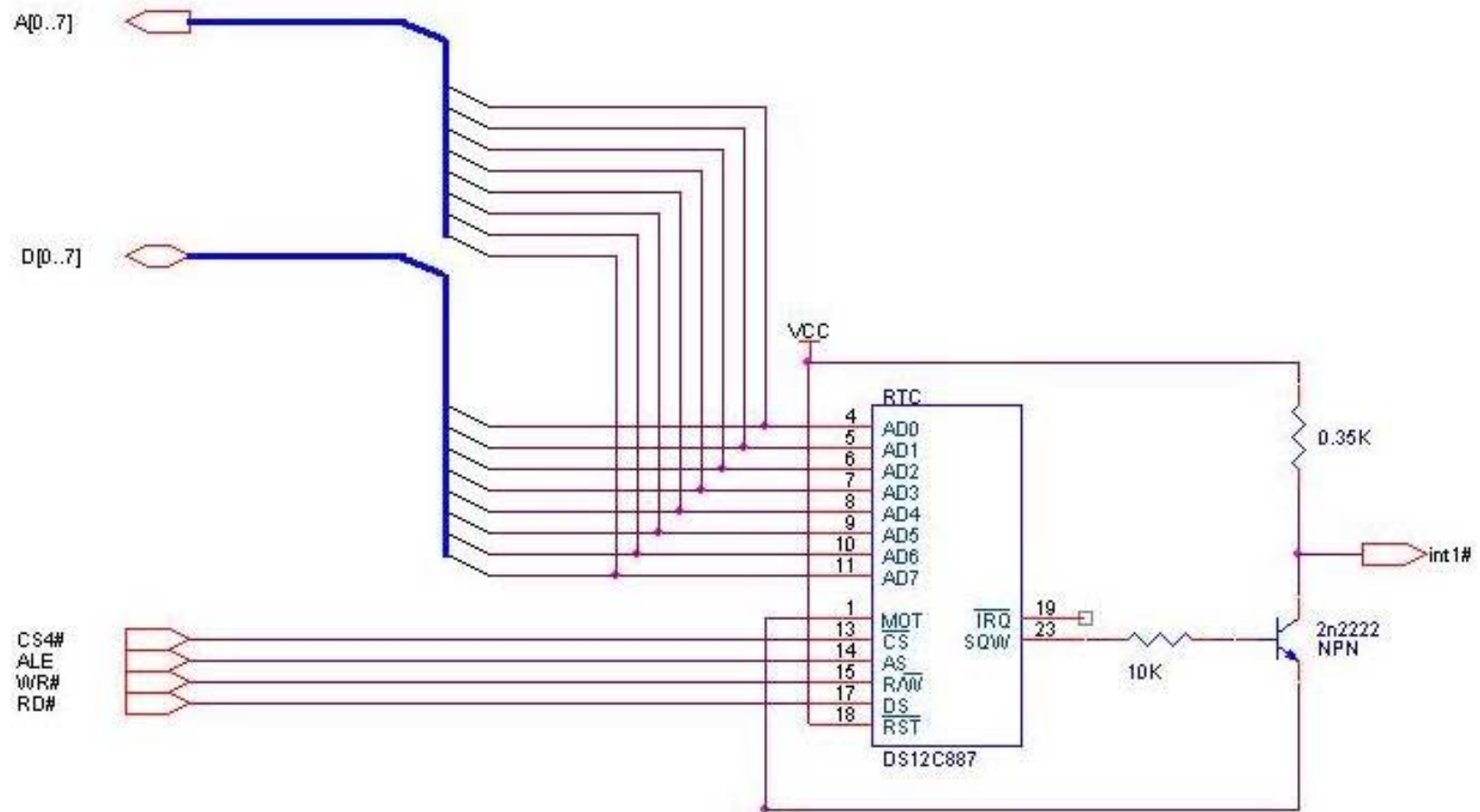


Figura 6.16 Diagrama eléctrico del módulo de entrada alfanumérico

En el momento que el bus de direcciones contiene la dirección indicada, se aprovecha el estado de la señal ALE para indicarle al RTC a través de la terminal AS (address strobe),

Una de las características que presenta el RTC empleado es la posibilidad de generar una señal con forma cuadrada, la cual puede variar su periodicidad con ayuda de cuatro bits del registro A, los cuales decodifican varias frecuencias para la señal SQW. Esta señal es ajustada para que su periodo tenga un valor de 500 ms. Como puede notarse de la figura 6.16, después de aumentar la corriente con ayuda de un transistor NPN, se alimenta con esta señal a la terminal correspondiente de interrupción externa número uno en el controlador.

Para ajustar el periodo de la señal SQW fue necesario cambiar el estado de los bits RS0-RS3 a un uno lógico. Sin embargo también se debe de habilitar el bit SQWE del registro B. El formato de los datos que se encuentran en los primeros diez bytes de memoria, correspondientes a los contadores de hora, segundos, etc, es el Binario codificado en decimal (BCD). Además el formato de la hora es en 24 horas.

En cuanto a la programación de los registros de conteo, el procedimiento sigue la misma metodología que se detalló anteriormente. El usuario tiene la posibilidad de cambiar el valor de los registros desde el menú de configuración, específicamente desde la opción de configuración de hora y fecha. Durante la programación de estos registros el bit SET del registro B en el RTC debe ser puesto a uno lógico lo que deshabilita la actualización de los registros mientras se estén modificando.

La parte de obtención de información de las celdas posee relación con el módulo de tiempo real, ya que es éste el que le brinda la señal externa (SQW), para ejecutar un cronómetro que permite al usuario conocer el tiempo de ejecución de cualquiera de los modos de trabajo. Durante la ejecución del proceso de monitoreo, se habilita la interrupción externa número uno y cada vez que se produce un flanco negativo en esta terminal, se ejecuta una rutina que actualiza tres variables: segundos, minutos y horas. También durante la ejecución de esta rutina de interrupción se compara esas tres variables con el valor de otras tres variables correspondientes al tiempo definido por el usuario para la permanencia en cualquiera de los modos de monitoreo. Si las correspondientes variables coinciden después de una de las actualizaciones inmediatamente se cambia el estado del bit P1.0 del controlador.

Además es este módulo el que brinda información en el momento de inicializar cualquiera de los modos de trabajo, acerca de la hora de inicio en tiempo real además de la fecha actual.

#### **6.1.8 Módulo de comunicación serie**

El hardware del módulo de comunicación serie presenta la misma estructura y diseño que la mostrada por el módulo de visualización. El componente común es un transductor de TTL a RS-232 Máxim 233, el cual posee la característica de ser dual, permitiendo que funcione en común para los dos módulos mencionados.

El módulo de comunicación serie utiliza el puerto de comunicación 2 del controlador. Este puerto de comunicación tienen su base de tiempo directamente del temporizador número uno, el cual ya fue configurado como temporizador de ocho bits con ocho bits de recarga y señal de sobre flujo. El puerto de comunicación 2 esta configurado para trabajar en modo 1, es decir con envío de paquetes de datos de ocho bits y un noveno bit de parada.

El software involucrado con este módulo constituye una de las partes principales del código fuente. En esta sección del programa se utiliza la interrupción del puerto serie, la cual se activa cuando se detecta un dato en el buffer de entrada del controlador. En el momento que se detecta tal interrupción se ejecuta una rutina que permite recopilar cada dato contenido en la memoria para ser enviado a través de TX. Los datos son extraídos y enviados por secciones de los modos de trabajo ya definidos en la memoria de datos. Esta parte del programa es accesible a través de la opción 9 del menú de modo.

Esta sección del análisis involucra la programación de la interfaz con el usuario localizada en la computadora personal donde serán enviados los datos. El software de comunicación para el SCANBAT, está elaborado en el lenguaje de Visual Basic 6.0 y diseñado de tal forma que establezca un diálogo con la rutina de comunicación en el SCANBAT. Al ejecutar el programa en la PC, la rutina en el controlador se encuentra en un modo de espera. Cuando el usuario brinda la orden de enviar los datos, se envía un carácter @ hacia el controlador, en este momento se activa la interrupción del puerto serie y se empiezan a ordenar los datos para ser enviados al PC. El Software de comunicación del SCANBAT guarda todos los datos en una variable STRIG llamada *datosrec*. A partir de este momento el SCANBAT no realiza ninguna función dentro del software del computador. La variable *datosrec* es fragmentada y distribuida entre otras variables que se ordenan en una base de datos que puede ser revisada por ACCESS de Microsoft. Para mayor información acerca de del manejo del software de comunicación del SCANBAT, por favor referirse a el manual correspondiente.



### **6.1.9 Módulo de alarmas visibles y audibles**

El módulo de alarmas audibles y visibles no posee ningún hardware relacionado, más que diodo emisores de luz y un buzzer que funciona con corriente directa. Las posibles fuentes de alarmas son: La conclusión del tiempo de cualquiera de los modos de trabajo, una disminución en el voltaje de una celda por debajo de 1V, una oscilación del voltaje en cualquier celda de más de 50 mV durante el proceso de carga principal y el error de sobre temperatura. Estas fuentes de interrupción son distribuidas en la activación de dos bits: P1.0 y P1.1.

El bit P1.0 se habilita en el momento que concluye el tiempo de ejecución de cualquiera de los modos y en el momento que se de un valor de temperatura que se encuentre por encima de los 100°C. Esta terminal habilita mediante un transistor que permite drenar mas corriente, el buzzer de corriente directa. Para el caso de la alarma de sobre temperatura la activación de el buzzer será intermitente.

El bit P1.1 posee varias aplicaciones, éste se encuentra conectado a la base de un transistor que permite encender un LED de color rojo. Este bit está asignado a los errores de voltaje en las celdas. Para el caso de que se produzca una disminución del voltaje por debajo de 1V, el LED encenderá en conjunto con la alarma audible y para el caso en que se produzca una disminución de más de 50 mV en el proceso de carga principal, el LED encenderá en forma intermitente.

## 6.2 Alcances y limitaciones

Entre los alcances realizados se encuentran el diseño y comprobación del funcionamiento de cada uno de los módulos que forman parte de la solución. Ninguna sección de las que forma parte del diseño, quedó fuera de discusión en el transcurso de la práctica. Las partes principales del código fuente fueron diseñadas y probadas, al menos se cuenta con todas las rutinas que permitirán la finalización del proyecto. A pesar de que se trataron dos soluciones diferentes, ambas fueron revisadas y se cuenta con la suficiente experiencia como para desarrollar cualquiera de ellas.

Entre las limitaciones que se presentaron se pueden citar la dificultad de establecer una comunicación con los proveedores de la tarjeta RIC320. Sin contar con este hardware es imposible el compilar y verificar el funcionamiento de cada una de las rutinas. Sin embargo a fin de no perjudicar el avance del proyecto, se dispuso trabajar con una tarjeta que presenta algunas de las características que posee la RIC320, se trata de la R-31JP que también es manufacturada por Rigel Corporation. Esta tarjeta si se encontraba disponible en el taller de aviónica y tuvo un desempeño satisfactorio. Sin embargo esta tarjeta no completaba las características que posee la RIC320, por lo que se tuvo que desarrollar una solución de respaldo, la cual tuvo la necesidad de solicitar nuevos componentes.

A pesar de que la nueva solución tiene bases sólidas en su funcionamiento, el tiempo para su completa comprobación y construcción fue insuficiente. Parte del software faltó por digitar a pesar de que ya se poseen rutinas que cumplen con la función de éstas y que ya han sido probadas, sin embargo el valor de las variables locales cambian y su actualización requiere de tiempo.

# CAPÍTULO 7

## CONCLUSIONES Y RECOMENDACIONES

---

### 7.1 Conclusiones

- a Las tarjetas de desarrollo como la RJP-31 y RIC320 constituyen una herramienta eficaz en el desarrollo de un sistema como el SCANBAT.
  
- b La RIC320 no posee las características para aplicaciones donde se requiera gran cantidad de memoria de datos, a pesar de poseer aplicaciones de uso general,.
  
- c El controlador DS80C320 constituyó el componente adecuado para el desarrollo del SCANBAT.
  
- d El diseño de puertos mapeados en memoria es la mejor herramienta para manejar gran cantidad de periféricos como los que constituyen la solución del problema.
  
- e La solución que contempla una tarjeta de desarrollo como la RIC320 es menos propensa a errores de tipo eléctrico.
  
- f Una solución que emplea una tarjeta de desarrollo como la RIC320, se adecua mejor a las características de portabilidad que exige la solución.
  
- g Una solución que contempla componentes separados como la que se puso en marcha en el taller de aviónica, presenta mayor libertad de diseño.

h La metodología para obtener datos de las celdas, se agiliza grandemente con el uso de dispositivos apropiados para la estructura de las baterías y no por medio de lagartos.

i El diseño de cada uno de los menús del sistema SCANBAT, permiten un uso ágil del proceso de pruebas a las baterías.

j La estructura de la programación del código fuente principal posee mayores problemas si este se realiza en un solo listado y no en módulos con código separados tal y como lo contempla el ensamblador relativo.

## 7.2 Recomendaciones

- a Durante el desarrollo de un proyecto es importante buscar el equipo y los componentes que satisfagan características como agilidad, rapidez y eficiencia.
  
- b Informarse de los componentes y equipo antes de diseñar asegura la eficiencia en la resolución de los problemas que se puedan presentar.
  
- c Es muy importante conocer acerca de la empresa donde se realiza el proyecto a fin de tomar decisiones que no puedan obstaculizar el avance del proyecto.
  
- c Establecer un orden y cumplirlo hace que el proceso de diseño sea un proceso relativamente fácil.
  
- e Es importante mantener en mente una solución alternativa que cumpla con las especificaciones del problema.
  
- f Siempre es importante buscar nuevos proveedores de equipo que cumplan con las exigencias de la solución,
  
- g En la ejecución de un proyecto siempre es importante poner en discusión cada una de las partes que lo componen, sin dejar de lado la comprobación de cada una de ellas a pesar de que no se alcance la finalización de éste.
  
- h Es importante realizar prototipos que simulen la solución final del problema a fin de no malgastar el valioso dinero de la empresa.
  
- i La ejecución de un proyecto debe significar la aplicación de los conocimientos adquiridos por la persona que lo ejecuta y no un laboratorio de experimentación a fin de no perjudicar a la empresa en tiempo y dinero.

## BIBLIOGRAFÍA

---

- a. Méndez, Luis Paulino: manual de hardware del 8051. Escuela de ingeniería electrónica, ITCR.
- b. Aero Quality, Coopesa: manual del ACUS-SCAN, Aeropuerto Juan Santamaría,.
- c. Rigel corporation: User guide R-31JP., Taller de aviónica, Aeropuerto Juan Santamaría.
- d. Rigel corporation: User guide RIC320, Taller de aviónica, Aeropuerto Juan Santamaría.
- e. Rigel corporation: Reads51 user guide, taller de aviónica, Aeropuerto Juan Santamaría.

# APÉNDICES

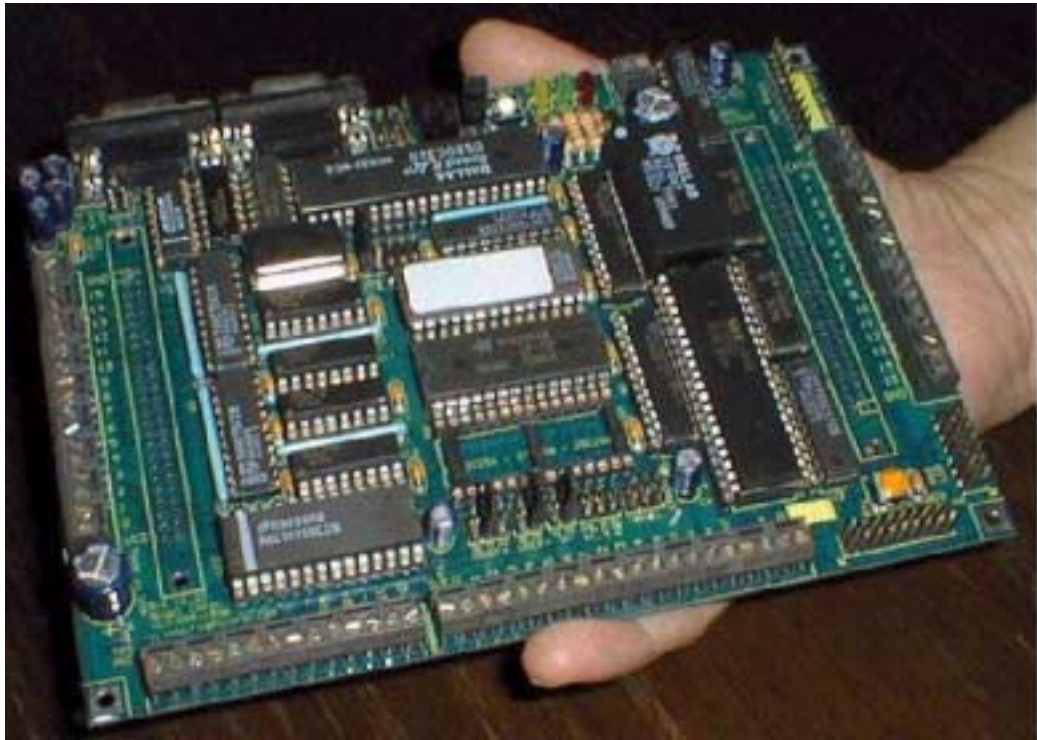
---

## Apéndice A.1 Descripción del hardware para la solución con la RIC320

### A1.1 Módulo central de procesamiento

En un principio se planteó la posibilidad de adquirir cada uno de los componentes por separado a fin de montar y alambrear personalmente la totalidad del sistema. Sin embargo a fin de agilizar el proceso de ensamble del programa, se decidió hacer uso de un módulo de pruebas RIC320 manufacturado por RIGEL CORPORATION, la cual utiliza como controlador un microcontrolador DS80C320 de DALLAS SEMICONDUCTOR, dispositivo que forma parte de los planes de diseño debido a la gran similitud que presenta en estructura interna y listado de instrucciones, al microcontrolador 8032 de INTEL. Las diferencias que presenta un 80320 con respecto a un 8032 de INTEL se basan en que posee un tercer contador/temporizador, puede manejar un segundo puerto serie, posee mas fuentes de interrupción y puede ser mas veloz al ejecutar en menos ciclos de máquina cada uno de las instrucciones que posee.

La figura A1.1 muestra la RIC320. Esta posee entre sus características principales: manejo de dos puertos seriales, convertidor analógico digital, interfaz con teclado y LCD, cincuenta puertos de entrada salida, reloj de tiempo real, manejo de 32Kbytes de RAM/EEPROM (memoria de lectura escritura) y 32Kbytes de ROM (memoria de solo lectura), además presenta la posibilidad de correr paso a paso el programa ya situado en la tarjeta, manteniéndose siempre conectada a una computadora personal mediante puerto serie y con ayuda del software especializado READS51 V4.0.



**Figura A1.1** Fotografía de la RIC320 de Rigel Corporation

La forma en que la RIC320 atiende a los periféricos descritos anteriormente, se basa en contar con un manejador de puertos y con destinar parte de la memoria al mapeo de cada uno de ellos, esto con ayuda de dispositivos lógicos programables (PAL). En el anexo B.2. se puede encontrar una tabla de dichas localidades.

El RIC320 se presenta como un módulo de desarrollo muy completo que presenta las características que amerita la solución del problema, debido a su flexibilidad en el proceso de pruebas y en la ejecución del programa permanentemente. Un diagrama de bloques de la tarjeta se presenta en la figura A1.2.



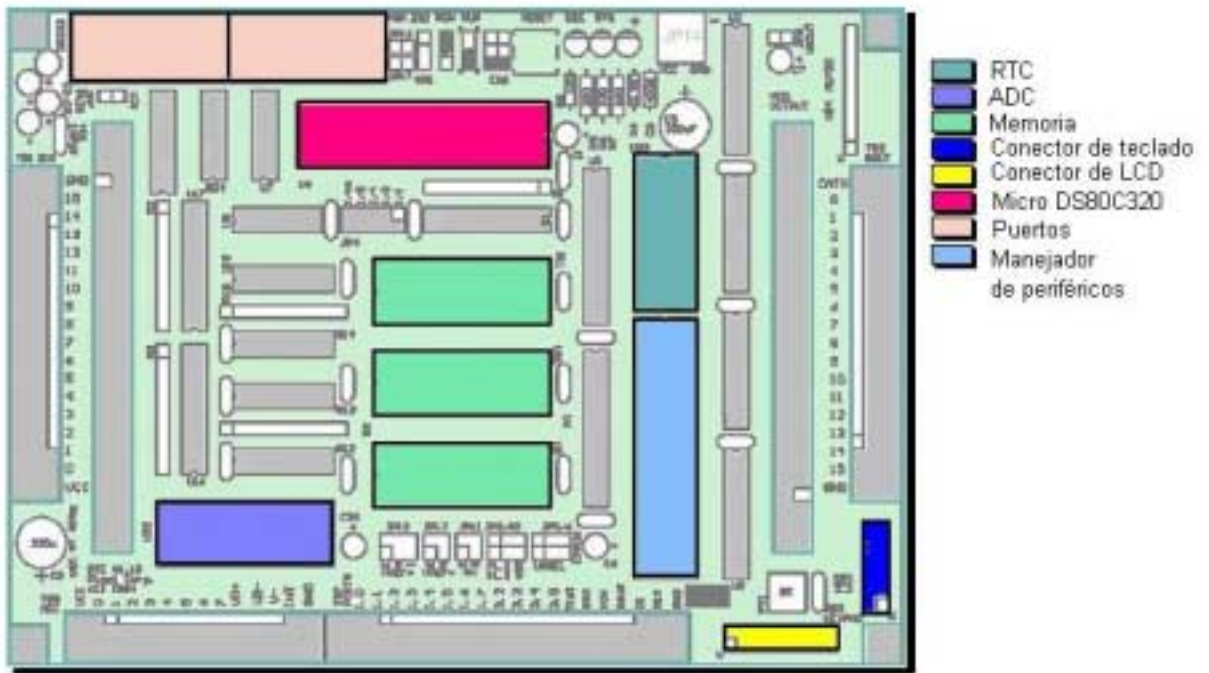


Figura A1.2 Diagrama de bloques de la RiC320

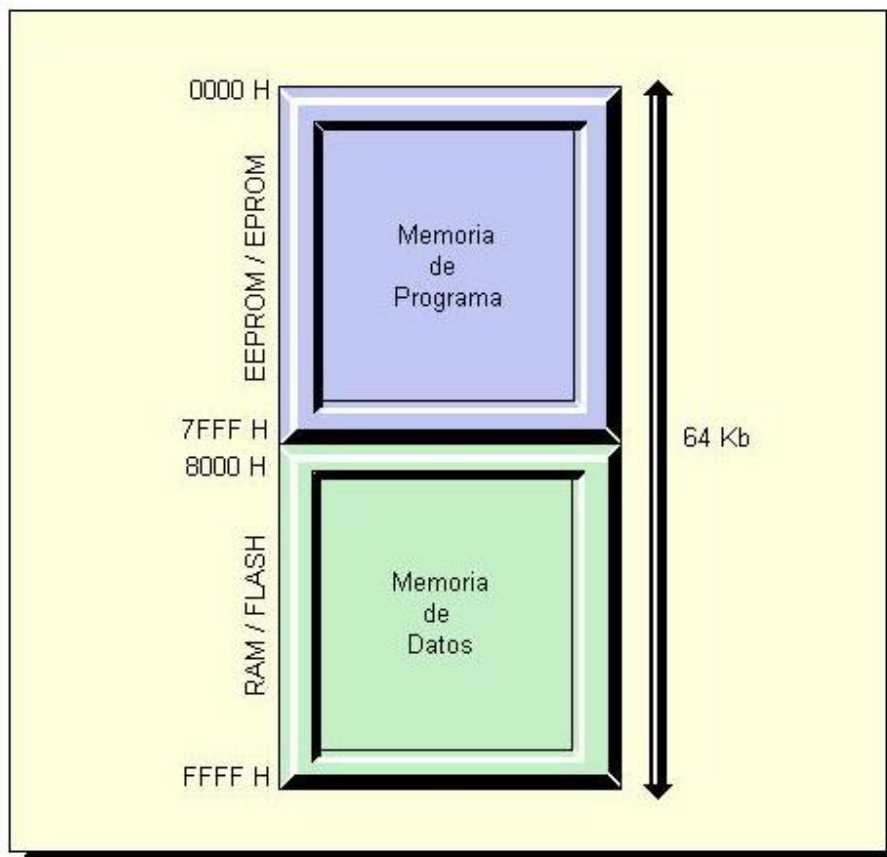
## A1.2 Módulo de atención de periféricos

Este es un módulo de suma importancia e indispensable para el buen funcionamiento del sistema, se relaciona con la manipulación de la memoria de datos. Esta sección no es atendida internamente en la RiC320.

A pesar de que la RiC320 contiene una base para instalar hasta 32Kbytes de memoria de datos RAM o EEPROM, el proveedor de componentes elegido (por su agilidad de despacho y de tiempo de llegada al país), únicamente presentaba a disposición memoria Flash 2865A de 8Kbytes. Esta memoria tiene la posibilidad de ser leída y escribir en ella con voltajes semejantes a los establecidos por los componentes de la Transistor Transistor Logic (TTL). Debido a la relativamente pequeña capacidad de almacenaje que presentan estos componentes es que fue diseñado el módulo de atención de periféricos mapeados en memoria.

El mapa de memoria que presenta la RIC320 se muestra en la figura A1.3, en el se puede observar como la memoria de datos y la memoria de programa se encuentran traslapadas. Esto ocasiona que la tarjeta únicamente pueda manejar 32kbytes de memoria de datos y 32Kbytes de memoria de programa<sup>3</sup>, a pesar de que el microcontrolador tiene la posibilidad de manejar hasta 64Kbytes de cada una.

Por concepto de diseño, el código fuente del programa principal se aloja en los primeros 32Kbytes de memoria (0000H...7FFFH). Esta parte de la memoria se ubica en la base que tiene designada la RIC320 y consiste de una memoria de solo lectura EEPROM de 32Kbytes.



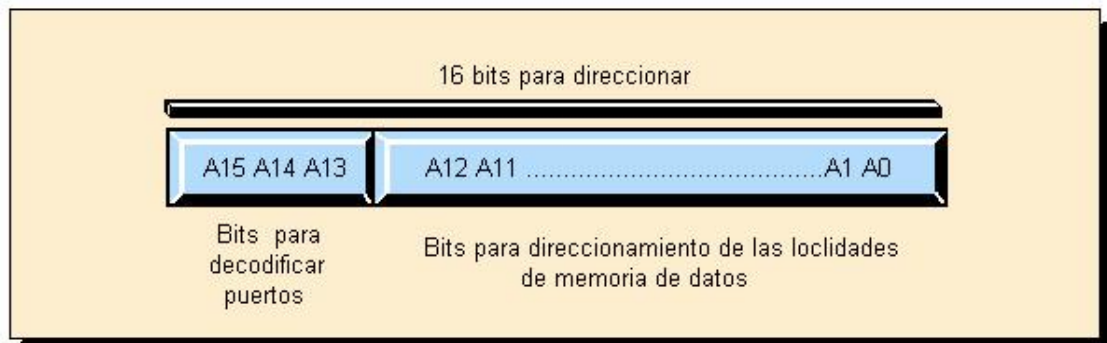
**Figura A1.3** Diagrama del mapa de memoria que presenta la RIC320

<sup>3</sup> Debido a que en la RIC320, la memoria de programa y la de datos se encuentran traslapadas, en adelante se referirá únicamente a ellas como memoria.

La memoria de datos consiste de tres bloques de 2865A, lo cual brinda 24Kbytes de memoria de datos al sistema. Para manejar estos tres componentes es que se decide aprovechar los segundos 32Kbytes de memoria para mapearlos.

Se puede apreciar como un decodificador realiza la función de seleccionar o habilitar el componente mediante la terminal de CS# (Chip select), con lo cual esta dedicando la utilización del bus de datos/direcciones al correspondiente componente.

En la figura A1.4 se muestra la forma en que los dieciséis bits del bus de direcciones son divididos en bloques para la realización de la decodificación de las memorias.



**Figura A1.4** Estructura del bus de direcciones

Los primeros trece (13) bits del bus de direcciones son utilizados para decodificar las localidades de memoria de datos, mientras que los restantes tres (3) bits son dedicados a decodificar cada uno de los bloques de memoria de 8Kbytes. La tabla A1.1 muestra el resumen de la decodificación diseñada.

**Tabla A1.1** Decodificación y localidades de memoria de los periféricos

Estado de los bits A15 A14 A13	Componente habilitado	Rango de las direcciones de memoria
0 0 0	Ninguno	0000H ..1FFFH
0 0 1	Ninguno	2000H .. 3FFFH
0 1 0	Ninguno	4000H .. 5FFFH
0 1 1	Ninguno	6000H .. 7FFFH
1 0 0	1er bloque de memoria de 8Kb	8000H .. 9FFFH
1 0 1	2do bloque de memoria de 8Kb	A000H .. BFFFH
1 1 0	3er bloque de memoria de 8Kb	C000H .. DFFFH
1 1 1	Reservado por RIC320	E000H .. FFFFH

De la tabla anterior se puede apreciar como las primeras cuatro salidas del decodificador no pueden ser utilizadas ya que corresponden a los cuatro primeros estados de los bits A14, A15 y A16, direcciones que se encuentran dentro de los primeros 32Kbytes de memoria que son ocupados, como ya se indicó, por la memoria de programa. Las salidas 4, 5 y 6 son ocupadas por cada uno de los bloques de memoria, mientras que la última de las salidas no puede ser utilizada a causa de que el bloque de memorias con los bits A14, A15 y A16 en estado de 1 lógico, corresponde con localidades de memoria utilizadas por la RIC320 y que son destinadas al mapeo de otros componentes como lo son el teclado, el ADC (convertidor de analógico a digital) y el RTC.

## **Apéndice A.2 Descripción del software para la solución con la RIC320**

Parte de la importancia del elegir la RIC320 como hardware para el desarrollo del sistema, es precisamente que *Rigel Corporation* pone a disposición de sus clientes el software de programación, llamado *reads51*. Este software posee herramientas muy poderosas como lo son el contar con varios modos de operación, entre los cuales están el simulador para microprocesadores de la familia 8051 de Intel y el de soportar correr paso a paso el código de programa directamente desde la RIC320 a través del puerto serie.

Tales herramientas se ponen a disposición una vez que se entra al modo de compilar el código, construyendo un archivo codificado en hexadecimal para automáticamente ser enviado a la RIC320 a través del puerto serie. El modo de depuración se caracteriza por contar con completa visualización de los registros de función especial internos, de las señales de control, de los puertos de entrada salida del microcontrolador y además tener la posibilidad de observar el contenido de la memoria interna y externa de programa y de datos.

# ANEXOS

## Anexo B.1 Formato del formulario utilizado para registrar datos de la batería

**LACSA**  
Maintenance & Engineering Dept.  
Aviation Group  
RMA 2304-0170000

AC	Battery No.	Max. Charge Amps	# Cells	Date/Cell	18
D/E	Battery P/N	Topping Charge Amps	# Cells		
100 No.	Battery Lot	Cap. Charge Amps	# Cells		
Part/Order No.					

Inventory location and notes

Serial No. \_\_\_\_\_ Register \_\_\_\_\_

	CELLS																				TOTAL	
Cell No.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20		
Voltage as received (open circuit)																						
Voltage 10 min before end of charge																						
Voltage at the end of charge																						
Water added (l/c)																						
Temperature																						
<b>FIRST CAPACITY CHECK</b>																						
Voltage 1 hr after (1/2 hr for a 1 hr test)																						
Voltage at the end of the test																						
Voltage at the time of the cycle failure																						
<b>FIRST MAIN RECHARGE</b>																						
Voltage 1 hr later (1/2 hr for a 1 hr cycle)																						
Voltage at the end of the main charge																						
Voltage 1 hr topping (1/2 hr for a 1 hr cycle)																						
Voltage at the end of the topping charge																						
Water added (l/c)																						
<b>SECOND CAPACITY CHECK</b>																						
Voltage 1 hr after (1/2 hr for a 1 hr test)																						
Voltage at the end of the test																						
Voltage at the time of the cycle failure																						
<b>SECOND MAIN RECHARGE</b>																						
Voltage 1 hr later (1/2 hr for a 1 hr cycle)																						
Voltage at the end of the main charge																						
Voltage 1 hr topping (1/2 hr for a 1 hr cycle)																						
Voltage at the end of the topping charge																						
Water added (l/c)																						

Especificaciones de la batería

---

Especificaciones del técnico

---

mediciones en las 20 celdas

---

Puntos de las mediciones

---

Anexo B.2 Manual del RIC320

# **RIC320 User's Guide**

**Version 2.0**  
**October 2000**

**RIGEL CORPORATION**  
P.O. Box 90040, Gainesville, Florida  
(352) 373-4629  
FAX (352) 373-1786  
[www.rigelcorp.com](http://www.rigelcorp.com)

## 1.1 Hardware Overview

Designed to handle demanding control applications, the RIC320 is optimized for the Dallas Semiconductor DS80C320 or the Siemens SAB C501. The board accepts any 40 pin dip 8051 including the 83C51, 87C51, Intel 8052 BASIC chip, and the DS5000 series.

The RIC320 board features:

- DS80C320 Microcontroller (or a compatible 40 pin dip 8051 chip)
- 32K EPROM
- 32K RAM / optional battery backed RAM
- Optional additional 32K EEPROM / RAM
- 8, 10, or 10 bit with sign A/D converter (ADC10158)
- Real-time clock/calendar (DS1287)
- 2 Serial ports (RS232, RS232 or RS422 or RS485 with networking capabilities)
- Both serial ports terminate on DB9 connectors
- 16 bits TTL I/O
- 16 bits of opto-isolated inputs
- 16 bits of high-voltage/high-current outputs
- Terminal blocks to access the I/O
- Standard 50-pin headers to drive industrial input/output modular boards (Grayhill, Opto 22)
- LCD and keypad interfaces with software drivers in C and Assembly
- Power supplied to the board by way of 2 position terminal blocks
- Power on LED
- Board operates on +5 volts
- Power consumption is less than 150ma fully populated
- Machine screw sockets under all IC's
- 6 layer board with separate ground and VCC planes for industrial noise immunity
- Operating temperature 0 to 70C (optional extended temperature range)

Program the RIC320 using Assembly, Basic, C, and Forth. An integrated assembly language environment with example software programs in C and Assembly come with the RIC320.

## 1.2 Software Overview

Rigel Corporation offers 2 versions of our Reads51 software. Please select the version that will work best in your system. We recommend new user's select Reads51 Toolchain 4.

1. Reads51 4.x (IDE, SmallC-compatible 8051 compiler, assembler, linker, editor, chip simulator, assembly language debugger, monitor, 95/98/NT)
2. Reads51 version 2.0 (IDE, assembler, editor, debugger, monitor, DOS -- runs in Win 3.1 box)

Reads51, version 4.x, is Rigel Corporation's Integrated Development Environment for the 8051 family of processors. Reads51 constitutes a complete system for developing embedded control applications when used with Rigel Corporation's 8051 boards. Efficient software development and rapid hardware prototyping are combined in a single



integrated development environment. Reads51 v4.x includes an IDE, SmallC-compatible 8051 compiler, assembler, linker, editor, chip simulator, assembly language debugger, and monitor. Reads51 v4.x is written in native 32-bit code to run on Windows95/98 and WindowsNT. Reads51 includes a sophisticated project management system to simplify code reusability and version control. Reads51 supports a full debugger in assembly language. The debugger allows you to step through your code with breakpoints and variable watches as the compiled code runs on the target board, similar to the operation of an in-circuit emulator.

#### V4 Compiler

The compiler is written to accompany Rigel's educational packages. It is SmallC compatible (integer and char only, one-dimensional arrays, one level of indirection, i.e. pointers). Please refer to books on SmallC for more information.

#### Running Compiler-Generated Code

The compiler is written for Rigel's 8051 family of boards. Currently the memory map is fixed. It assumes overlapped code and data memory. After building your project, download it to the board and swap the memory (R31JP or R515JC slide switch or R-535J RUN button) so that RAM occupies the lower block. Release the RESET button to run the code.

The Reads51 software has the following distinctive features:

- Project management for organized software development
- Multiple project management with drag and drop module transfers
- Enhanced graphical user interface for easy monitoring
- Stand alone compiler and editor applications connected to Reads51 in a client/server fashion

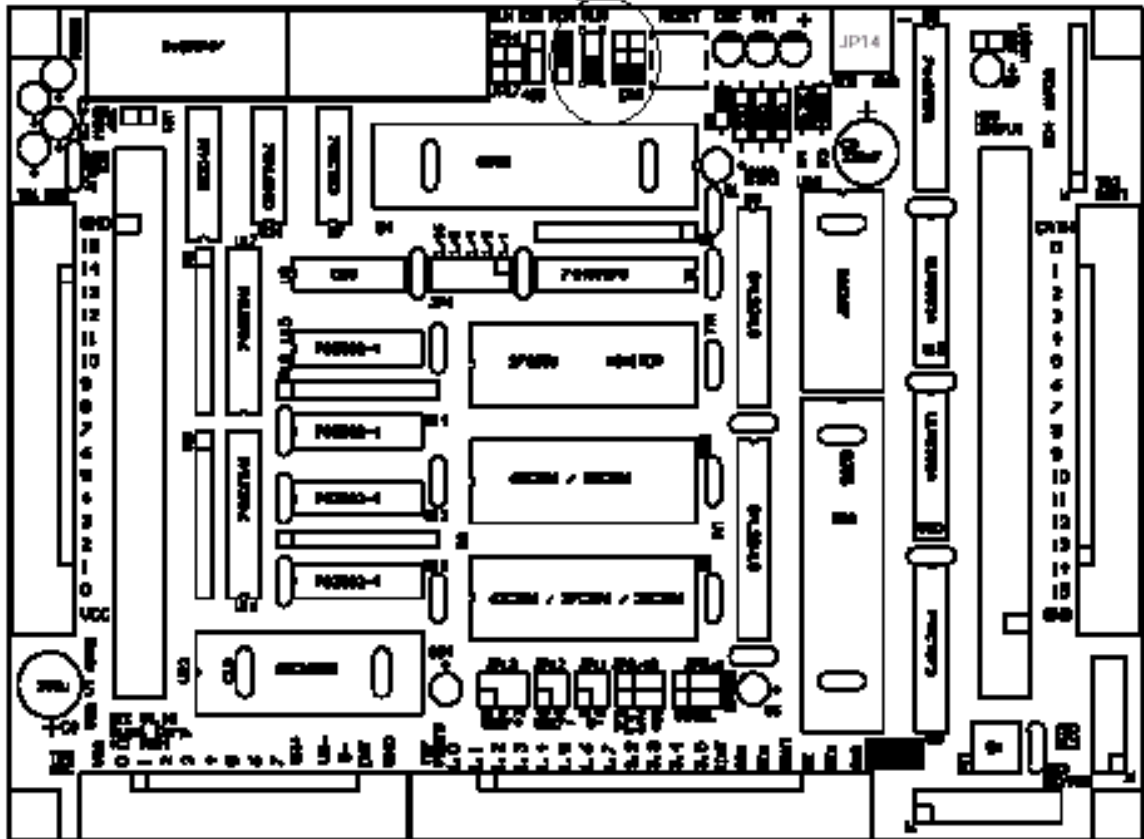
The 8051 boards are designed to communicate with a PC (IBM PC or compatible) acting as a host. The host-to-board communications are carried out through a serial port (COM1 - COM4).

The monitor program (RROS) includes a monitor system and user-accessible system calls for control and communication support. The RROS monitor may be used to communicate with an ASCII terminal when the PC host is unavailable. The source code of the user-accessible systems calls is provided. These routines as well as all examples in the User's Guide and on the distribution disk may be used or incorporated into applications by the registered buyer without any royalties, fees, or limitations. Rigel Corporation is not responsible for the suitability or correctness of the example software. Refer to the warranty for additional information.

## Top Overlay of the Board

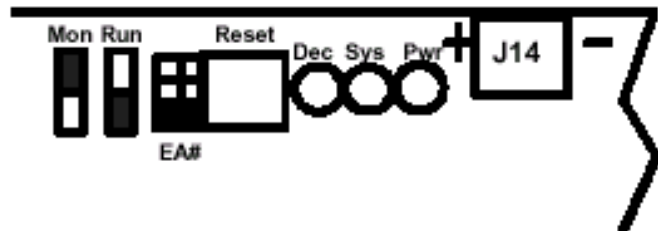
Please refer to this top overlay for location of headers, switches, terminal blocks and jumpers described on the following pages.

DEFAULT FOR SLIDE SWITCHES AND JP1



## Power

Power is brought to the RIC320 board by a two-position screw-type terminal block, JP14. JP14 is located in the top right third of the board. A well regulated ( $\pm 5\%$ ) 5V DC source is required. The (+) and (-) terminals are marked on the board. Note that a diode is placed across the input in reverse. If the power is applied to the RIC320 board in reverse polarity, the diode will short the power supply attempting to prevent damage to the board.



## LEDs

There are three LEDs on the board. A red LED which shows when power is connected to the board. The green LED, marked SYS, will blink on and off when peripheral devices are being used. The yellow LED, marked DEC, is on when the slide switch is in the monitor position, and off when the switch is in the code position.

## RESET

RESET is a momentary push button. The reset button resets the board. The reset input is also available in TB7 (RIN). Grounding RIN has the same effect as pressing the RESET button. A positive-going reset signal is generated by the circuitry. This signal is used to reset the 8255. It is also available on TB7 (ROUT).

## RUN

This slide switch selects between the RUN and the PROGRAM modes. In RUN mode U10 occupies the lower half of external memory. In the PROGRAM mode, U11 or U9 (depending on the state of the MON switch) occupies the lower half of memory.

## MON

This slide switch selects between the MONITOR (U11) and the CODE (U9) memory. The monitor position selects the EPROM in U11 as the memory block. The code position selects U9 as the memory block. U9 accepts a variety of memory devices. When the slide switch is in the monitor position it allows you to use the READS software for code development and debugging. In the code position the READS debug functions are not available.

## Serial Port Options

### Port 0

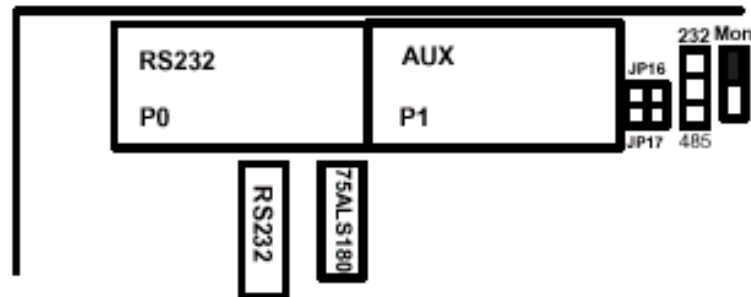
The primary port (Port 0) is connected to the DB9 marked RS232, and the secondary, to AUX232. The primary port is run by the 8032 serial port. The microcontroller supports the transmit and receive signals. The MAX232 level converter provides the RS232 level voltages. P0 of the RIC320 has a DB-9 female connector used to connect the board to an IBM compatible PC and is located in the far left corner of the board. A minimal serial port is constructed with just 3 lines: transmit, receive, and ground, disregarding all hardware handshake signals. A straight-through modem cable may be used. That is a cable connecting pin 2 of the RIC320 to pin 2 of the host, and similarly pin 3 to pin 3, and pin 5 to pin 5.

### Port 1

The auxiliary port is driven by the DS80C320 port 1 which uses port 1 bits 1.2 and 1.3. The jumpers at JP9 and JP10 must be inserted either in the 485 position or in the RS232 position for the port bits to be connected to the serial port driver. The auxiliary port may be configured to be either an RS232, or an RS485, or an RS422 (also called the 4-wire RS485) port. These options are selected by jumpers at JP9 and JP10, and by JP15, JP16, and JP17. The auxiliary port DB9 connector is located to the right of the primary port.

### RS422 and RS485 Configurations

When the auxiliary serial port is configured as an RS422 or RS485 port, the transmit and receive enable signals must be provided. The enable signals are called RE# and



DE for receive enable and transmit (data) enable. These signals are supplied to the corresponding posts in terminal block TB 7. Note that RE# is an active low signal, and DE is an active high signal. In the RS422 configuration, both transmit and the receive must continuously be enabled. That is, connect RE# to GND (ground) and DE to VCC (5 volts). In the RS485 configuration, since only two lines (twisted pair) are used for both receiving and transmitting, either RE# or DE should be activated at any given time. It is convenient to connect RE# to DE, so that a low signal enables the receiver, and a high signal enables the transmitter. RE# and DE should then be connected to a control signal, typically a bit of Port 1, also available on terminal block TB7. Please see Section 4.3 to configure the board for RS422 / RS485.

## Memory Configuration Jumpers

### EA#

The memory configuration is determined by jumpers JP1, JP2, and JP3, located between the RESET push button and the slide switches. The jumper JP1 is marked EA#. When inserted, JP1 grounds the External Enable (EA#) pin of the microcontroller. The DS80C320 processor, the 8031, and 80C32 will need the EA# jumper installed. JP1 must be removed to use any internal program memory of the processor, such as the BASIC interpreter on the 8052AH BASIC chip from INTEL, or the internal memory on the 83C52 and 87C52.

### JP2 and JP3

The jumpers JP2 and JP3 are located next to JP1. The state of these jumpers is read by the PAL device. In its default configuration, these jumpers are not used. For custom applications, JP2 and JP3 may be used to switch between different memory decoding schemes. For example, between a diagnostics mode and a run mode. The PAL devices must be reprogrammed according to the needs of the specific application in order to use jumpers JP2 and JP3.

### U9 Select (JP5/JP6)

JP5/6 is located at the bottom and left of the 8255 chip. The socket for U9 may hold a 32K RAM (62C256), an EEPROM (28C256), or an EPROM (27C256). The jumpers JP5 and JP6 select between EPROM and RAM. Note that the EEPROM option is the same as the RAM option. The jumpers should be inserted horizontally in this header. JP5 and JP6 must be selected together. That is, both JP5 and JP6 must be in the EPROM position (right) or they both must be in the RAM (EEPROM) position (left).

**Memory Configuration Jumpers**

	EA#	JP2	JP3	JP5	JP6
DeFault Configuration	Inserted	Removed	Removed	Removed	Removed
For Internal Memory on Processor	Removed	Removed	Removed	Selected if U9 is populated	Selected if U9 is populated
U9--RAM	Inserted	Removed	Removed	Left Position	Left Position
U9--EPROM	Inserted	Removed	Removed	Right Position	Right Position
U9--EEPROM	Inserted	Removed	Removed	Left Position	Left Position

## Analog / Digital Convertor Jumpers

### Clock Select (JP4)

JP4 is a 2x5 block of headers on the right of the can oscillator. Only one jumper should be inserted in the JP4 block. The ADC clock frequency is derived from the can oscillator in U8. The oscillator frequency is divided by 2, 4, 8, and 16. The ADC clock may be taken from any one of these taps, or directly from the oscillator. Note that the maximum ADC clock frequency is 5 MHz. Thus, using a 24 MHz crystal, the 1/8 tap gives a 3 MHz ADC clock frequency. A 1/4 tap at 24Mhz gives a ADC clock frequency

of 6Mhz which is too high for the ADC, but a 1/4 at 12Mhz gives the ADC clock frequency of 3Mhz.

#### **VREF+ Select (JP13)**

JP13 is a 2x3 block of headers in the bottom center of the board above the TB7 row of terminal blocks. VREF+ may be taken from an external reference, VCC, or the ADC internal reference. JP13 provides three settings, marked E, V, and I which correspond to these three options. If the external reference option is selected, the external reference voltage must be supplied through the terminal block TB5. The jumpers should be inserted vertically in this header.

#### **VREF- Select (JP12)**

JP12 is a 2x2 block of headers next to JP13. VREF- may be connected to an external reference or to ground. JP12 selects between these two settings (E and G). If the external reference option is selected, the external reference voltage must be supplied through the terminal block TB5. The jumpers should be inserted vertically in this header.

#### **V- Select (JP11)**

JP11 is located to the right of JP12. V- may be connected to an external reference or to ground. JP11 selects between these two settings (E and G). If the external reference option is selected, the external reference voltage must be supplied through the terminal block TB5. The jumpers should be inserted vertically in this header.

### **Auxiliary Serial Port Jumpers**

#### **JP9/JP10**

JP9/JP10 are located near the bottom of the board in the center. The auxiliary serial port is driven by port 1 bits 2 and 3. If the auxiliary serial port is not used, the jumpers JP9 and JP10 should be left open. The bits P1.2 and P1.3 are then available on the terminal block TB7. If the auxiliary serial port is to be used, place jumpers in JP9 and JP10. The jumpers should be inserted horizontally in this header to choose the option you prefer. Place the jumpers in the right position, marked 485, to select RS422 or RS485 communications. The left position selects RS232 operation.

#### **JP15**

JP15 is located at top of the board to the left of the MON slide switch. It is marked 232 at the top and 485 on the bottom. JP15 also selects between RS232 and RS422/485 operation. A jumper must be placed here to select between the two when using the auxiliary port. Put a jumper in the upper position for 232 and lower position for 485 or 422

#### **JP16 and JP17**

JP16 and 17 are located to the right of the DB9 connectors. The jumpers JP16 and JP17 are inserted for RS485 operation. RS485 uses the same twisted pair to both transmit and receive data. The Data Enable (transmit enable) or Receive Enable signals (DE and RE#) need to be provided through the terminal block TB7. Note that DE is active high and RE# is active low. Typically, these two lines are jointly connected to a port bit, for example P1.4. If the jumpers JP16 and JP17 are not inserted, the auxiliary port runs in the RS422 (sometimes called the 4-wire RS485) mode. In this protocol, the transmit and receive signals are carried by separate twisted pairs. If the RS422 mode is selected, the DE and RE# signals should be connected to VCC and GND on TB7 to unconditionally enable both the transmit and receive drivers.

#### Auxillary Serial Port Jumpers

MODE	JP9	JP10	JP15	JP16	JP17
232	Left Position	Left Position	Upper Position	Removed	Removed
485	Right Position	Right Position	Lower Position	Inserted	Inserted
422	Right Position	Right Position	Lower Position	Inserted	Inserted

#### Power Jumpers (JP7/JP8)

JP7 and JP8 are located at the top of the board. JP7 is right below the left DB9, and JP8 is to the right of JP14. The RIC320 is designed to work with industry-standard input/output modules which use 50-pin headers. The ground of the RIC320 is connected to the ground of the modules. The input/output modules may have their own 5 Volt power (VCC). If so, the RIC320 may be powered from this source. Similarly, the input/output modules may be powered from the RIC320. Alternatively, the RIC320 may be supported by a separate 5 Volt supply. In this case, it is desirable to isolate the RIC320 and input/output module VCC signals. The two jumpers JP7 and JP8 are inserted if the input and output module VCC signals are to be connected to the RIC320 VCC. These jumpers are not used unless the RIC320 is to be used with industrial input/output modules.

## HEADERS

### External Input

The 50-pin lock header HD1 interfaces with industry standard input/output module boards. The header is connected to the 16 inputs to the RIC320. Insert jumper JP7 to tie the VCC signals of the RIC320 and the input module port. Otherwise, remove JP7. All of the inputs to this header are also located on the terminal blocks of TB1 BIN. If not using industry input/output modules it is much more convenient to use the terminal blocks for the inputs. The default RIC320 board is not populated with this header.

### External Output

The 50-pin lock header HD5 interfaces with industry standard input/output module boards. The header is connected to the 16 outputs to the RIC320. Insert jumper JP8 to tie the VCC signals of the RIC320 and the input module port. Otherwise, remove JP8. All of the inputs to this header are also located on the terminal blocks of TB3 BOUT. If not using industry input/output modules it is much more convenient to use the terminal blocks for the outputs. The default RIC320 board is not populated with this header.

### Keypad

HD3 is located in the bottom right corner of the board. Header HD3 is connected to ports A and C of the 8255. Note that the bits 0, 1, and 2 of Port B are also used by the LCD. Strictly speaking, the enable signal (E) of the LCD is the only signal that needs to be dedicated to the LCD. That is bits 0 and 1 may be used as dual purpose bits, supporting both the LCD and the keypad. Using only 5 bits of Port A and the entire Port C, a 5 by 8 matrix-type keypad (40 keys) is supported. If a keypad is not used these 13 bits may be used as general input/output bits.

The Keypad pinout is as follows:

PIN	Function	PIN	Function
1	Port C0	2	VCC
3	Port C1	4	DA0
5	Port C2	6	DA1
7	Port C3	8	DA2
9	Port C4	10	DA3
11	Port C5	12	DA4
13	Port C6	14	DA5
15	Port C7	16	DA6
17	VCC	18	DA7

### LCD

HD2 is located in the bottom right corner of the board. The header HD2 directly interfaces with standard LCD subsystems. These subsystems are available in 16, 20, and 40 character wide displays with 1, 2, or 4 lines. The potentiometer PT1 adjusts the contrast of the display. HD2 is driven by Port A and three bits of Port B of the 8255. If the LCD is not used these 11 bits may be used as general input/output bits.

The LCD pinout is as follows:



PIN	Function	PIN	Function
1	GND	2	VCC
3	to potentiometer	4	RS
5	R/W	6	E
7	DA0	8	DA1
9	DA2	10	DA3
11	DA4	12	DA5
13	DA6	14	DA7

### AUXIO

The auxiliary port HD4, labeled AUXIO, is connected to Port B of the 8255. HD4 is located in the upper right corner of the board.

## TERMINAL BLOCKS

### Power (JP14)

The 5 Volt supply to the RIC320 is connected to the terminal block JP14. A diode in reverse attempts to protect the board from negative supply currents, such as if the power were to be applied in reverse polarity. VCC and GND also appear in many terminal blocks. Alternatively, the power may be applied to the RIC320 at one of these terminal blocks.

### Buffered Input (TB1)

TB1 is located along the left side of the board. The 16 buffered inputs drive the optoisolators. These are memory mapped into the processors external data memory space at addresses (Base+48h) and (Base+4Ch). The low byte (Base+48h) contains input bits 0 to 7, and the high byte, 8 to 15.

### Buffered Output (TB3)

TB3 is located along the right side of the board. The 16 buffered outputs are connected to open collector drivers. These are memory mapped into the processors external data memory space at addresses (Base+40h) and (Base+44h). The low byte (Base+40h) contains input bits 0 to 7, and the high byte, 8 to 15. When the corresponding bit is set, the open collector drivers are turned on, sinking current.

### Analog-to-Digital Converter (TB5)

TB5 is located on the bottom left side of the board. The analog-to-digital converter input channels 0 to 7 are terminated at terminal block TB5. TB5 also contains the reference voltages VREF+, VREF-, and V-, as well as the ADC interrupt output. If JP11/JP12/JP13 are set to external voltage sources, these references must be supplied through TB5 terminals.

### Ports (TB7)

TB7 is located on the bottom in the center of the board. The processor ports P1.0 to P1.7 and P3.2 to P3.5 are terminated at TB7. This terminal block also contains the timer interrupt (TINT), square wave (SQW) outputs, system reset input (RIN), reset output (ROUT), and the RS485 receive enable (RE#) and data enable (DE) inputs.

## **MEMORY OPTIONS**

### **Memory Selection**

The RIC320 can use up to 64K of memory. This memory is divided into two memory blocks of 32K each. One block of 32K memory is always located in U10. The second 32K block of memory can be located in U9 or U11. These blocks of memory may be interchanged to occupy either the lower half or upper half of memory. See section 7.2 for details.

#### **U10**

U10 holds one block of 32K of memory and is located in the center of the board. U10 may use either a 28C256 32K EEPROM, a 62256 32K RAM, or a 32K battery-backed RAM. The pinouts for these chips are the same and they are interchangeable in U10.

U10 may occupy either the lower half or upper half of memory depending on the position of the slide switch RUN. In the RUN mode U10 occupies the lower half of external memory. In the PROGRAM mode U10 occupies the upper half of external memory. The default configuration of the board is with U10 populated with a RAM and the slide switch in the PROGRAM mode.

#### **U9/U11**

##### **U9/U11 Selection**

The second 32K block of memory the RIC320 uses can be located in either U9 or U11. U9 is below and U11 is above U10 in the center of the board. The slide switch MON selects whether U9 or U11 will be used. In the MON position the EPROM in U11 is selected. In the CODE position U9 is selected. With the EPROM in U11 selected, the user may run and debug programs using the READS software and onboard RROS of the EPROM. With U9 selected a user program in U9 may be run.

##### **Chip Selection**

U11 is configured to only accept EPROMS. U9 may be populated with a variety of 32K devices. The jumpers JP5/6 select which type of device occupies U9. U9 may hold an EPROM (27C256), an EEPROM (28C256), a 32K RAM (62C256), or a 32K battery-backed RAM. Note that the pinouts for the EEPROM and RAM chips are the same and so the EEPROM and RAM option are the same. The jumpers JP5 and JP6 select between EPROM and RAM. JP5 and JP6 must be selected together. That is, both JP5 and JP6 must be in the EPROM position (right) or they both must be in the RAM (EEPROM) position (left).

##### **External Memory Position**

U9/U11 may occupy either the lower half or upper half of memory depending on the position of the slide switch RUN. In the RUN mode U9/U11 occupies the upper half of external memory. In the PROGRAM mode U9/U11 occupies the lower half of external memory. The default configuration of the board is with U11 populated with an EPROM and the slide switch in the PROGRAM mode. This allows the user access to the debug functions in READS and the RROS of the EPROM.

### **Memory Map**

The RIC320 uses programmable logic devices to decode the 64K address space. In addition, the two slide switches are read by the devices, allowing the memory map to be altered based on the state of the switches. The default memory map overlaps the external code and data memory spaces and uses two 32K memory devices. Half of the

memory space is occupied by the RAM or EEPROM device U10. The other half is decoded to be either the EPROM U11 or U9. U9 may be EPROM, RAM, battery backed RAM, or EEPROM. In its default configuration, the slide switch RUN selects which device occupies the lower half of memory, whereas the slide switch MON selects whether U11 or U9 is used. The default RIC320 memory map reserves three blocks of 256 bytes for various system use as shown below.

Use	Address
Reserved	FC00h - FCFFh
Memory Mapped Input/Output	FD00h - FDFFh
Reserved	FE00h - FEFFh

Note that these blocks are excluded from the memory space of the processor irrespective of how the RAM and ROM are decoded. The reserved blocks are intended to be used with a network driver such as ARCNET. Currently, only the block FD00h - FDFFh is used. The peripherals of the RIC320 are memory mapped to allow fast data transfers, especially when a fast microcontroller is used. The addresses of the peripheral devices are given in the next section.

### IO Memory Map

The following memory map is used. The addresses are offsets into the base defined by the signal XIOSEL#. The default address is FD00h. The base address may be changed by reprogramming the PAL devices. RIC320 uses 22V10 type GALs. These devices are electrically erasable and programmable to facilitate user modified memory maps to be implemented by reprogramming the GALs.

Device	Address
Timer	FD00h - FD3Fh
XOUTLO	FD40h - FD43h
XOUTHl	FD44h - FD47h
XINLO	FD48h - FD4Bh
XINHl	FD4Ch - FD4Fh
KPLCD	FD50h - FD53h
Port A	FD50h
Port B	FD51h
Port C	FD52h
Control	FD53h
ADC	FD60h - FD63h

With the default GALs, the analog-to-digital converter, for example, is mapped to addresses FD60h to FD63h.

## PAL EQUATIONS

The PAL equations for U5, and U6 are given below.

### U5 Equations

```

;PALASM Design Description
;----- Declaration Segment -----
TITLE    RIC
PATTERN  US
REVISION 1.1
COMPANY  RIGEL Corp
DATE     07/17/93
CHIP _ric PALCE22V10
;----- PIN Declarations -----;
--- inputs ---
PIN 1      A8      ;
PIN 2      A9      ;
PIN 3      A10     ;
PIN 4      A11     ;
PIN 5      A12     ;
PIN 6      A13     ;
PIN 7      A14     ;
PIN 8      A15     ;
PIN 9      RD_     ;
PIN 10     WR_     ;
PIN 11     PSEN_   ;
PIN 13     RUN     ; 0 for the MONITOR and 1 for the
                    ; RUN mode
PIN 14     RIC     ; 0 for the READS and 1 for the RIC
                    ; mode
; --- outputs ---
PIN 15     HISEL_  ; high memory select
PIN 16     LOSEL_  ; low memory select
PIN 17     MOE_    ; monitor ROM output enable
PIN 18     COE_    ; code ROM output enable
PIN 19     READ_   ;
PIN 20     XIOSEL_ ; memory-mapped I/O select
PIN 21     ARCNET_ ; network register page select
PIN 22     MRSEL_  ; monitor ROM select (address
                    ; range)
PIN 23     LED_    ;
;----- Boolean Equation Segment -----
EQUATIONS
HISEL_ = ( /RIC + /A15 ) * ( RIC + /RUN + A15 ) * ( RIC + RUN + /A15
          ( /A8 + /A9 ) * A10 * A11 * A12 * A13 * A14 * A15
LOSEL_ = ( /RIC + /A15 ) * ( RIC + /RUN + /A15 ) * ( RIC + RUN + A15 )
          + ( /A8 + /A9 ) * A10 * A11 * A12 * A13 * A14 * A15
MOE_    = ( /RIC + RUN + ( PSEN_ + MRSEL_ ) )
          * ( RIC + ( RD_ * PSEN_ ) ) + RIC * RUN
COE_    = ( /RUN + ( RD_ * PSEN_ ) )
          * ( RUN + ( PSEN_ + /MRSEL_ ) * RD_ ) + /RIC
READ_   = RD_ * PSEN_
XIOSEL_ = / ( A8 * A9 * A10 * A11 * A12 * A13 * A14 * A15 )
ARCNET_ = / ( /A8 * A9 * A10 * A11 * A12 * A13 * A14 * A15 )
MRSEL_  = 1 ; this disables MOE_
          ; LED_ is the same as MOE_
LED_    = ( /RIC + RUN + ( PSEN_ + MRSEL_ ) ) * ( RIC + ( RD_ * PSEN_ )
          * RIC * RUN

```

## U6 Equations

```

;PALASM Design Description
;-----Declaration Segment-----
TITLE    RIC
PATTERN  U6
REVISION 1.0
COMPANY  RIGEL Corp
DATE     07/17/93
CHIP _ric PALCE22V10
;----- PIN Declarations -----
; --- inputs ---
PIN 1      XIOSEL_  ;
PIN 2      A2       ;
PIN 3      A3       ;
PIN 4      A4       ;
PIN 5      A5       ;
PIN 6      A6       ;
PIN 7      A7       ;
PIN 8      RD_      ;
PIN 9      WR_      ;
PIN 10     AUX0     ;
PIN 11     AUX1     ;
PIN 13     RSTIN_   ;

; --- outputs ---
PIN 14     RSTOUT_  ;
PIN 15     RSTOUT   ;
PIN 16     XOUTLO   ;
PIN 17     XOUTH1   ;
PIN 18     XINLO_   ;
PIN 19     XINH1_   ;
PIN 20     ADCSEL_  ;
PIN 21     KPLCD_   ;
PIN 22     TIMER_   ;
PIN 23     LED_     ;

;----- Boolean Equation Segment -----EQUATIONS
RSTOUT_   = RSTIN_
RSTOUT    = /RSTIN_
TIMER_    = A7+A6 + XIOSEL_
           ; E0, 3Fh]
XOUTLO    = /( WR_ + A7+ /A6 + A5+A4+A3 + A2 + XIOSEL_ )
           ; E40h, 43h]
XOUTH1    = /( WR_ + A7+ /A6 + A5+A4+A3 + /A2 + XIOSEL_ )
           ; E44h, 47h]
XINLO_    = RD_ + A7+ /A6+A5+A4+ /A3 + A2 + XIOSEL_
           ; E48h, 4Bh]
XINH1_    = RD_ + A7+ /A6+A5+A4+ /A3 + /A2 + XIOSEL_
           ; E4Ch, 4Fh]

; Keypad/LCD: A0 and A1 are decoded by the 8255
KPLCD_    = A7 + /A6 + A5 + /A4 + A3 + A2 + XIOSEL_
           ; E50h, 53h]
ADCSEL_   = A7 + /A6 + /A5 + A4 + A3 + A2 + XIOSEL_
           ; E60h, 63h]
LED_      = XIOSEL_
;-----

```

## Anexo B.3 Descripción de las terminales del 80320



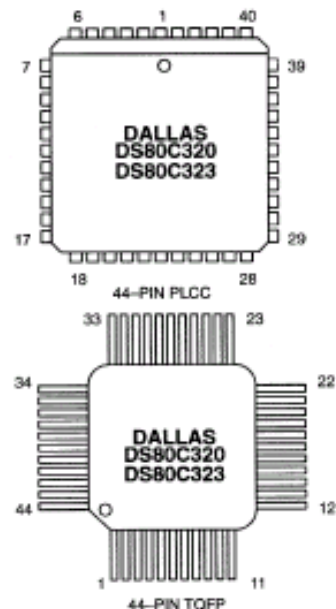
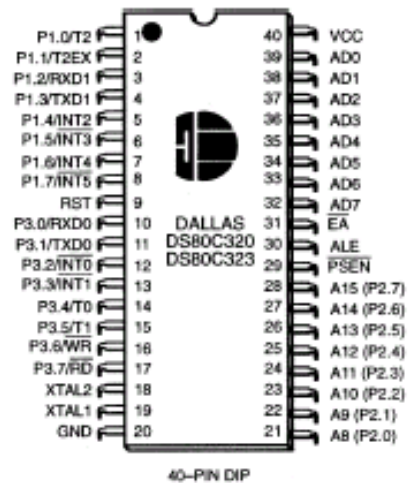
## DS80C320/DS80C323 High-Speed/Low-Power Micro

[www.dalsemi.com](http://www.dalsemi.com)

### FEATURES

- 80C32-Compatible
  - 8051 pin and instruction set compatible
  - Four 8-bit I/O ports
  - Three 16-bit timer/counters
  - 256 bytes scratchpad RAM
  - Addresses 64 kB ROM and 64 kB RAM
  
- High-speed architecture
  - 4 clocks/machine cycle (8032=12)
  - DC to 33 MHz (DS80C320)
  - DC to 18 MHz (DS80C323)
  - Single-cycle instruction in 121 ns
  - Uses less power for equivalent work
  - Dual data pointer
  - Optional variable length MOVX to access fast/slow RAM/peripherals
  
- High integration controller includes:
  - Power-fail reset
  - Programmable watchdog timer
  - Early-warning power-fail interrupt
  
- Two full-duplex hardware serial ports
  
- 13 total interrupt sources with six external
  
- Available in 40-pin DIP, 44-pin PLCC and TQFP

### PIN ASSIGNMENT



**PIN DESCRIPTION Table 1**

DIP	PLCC	TQFP	SIGNAL NAME	DESCRIPTION																											
40	44	38	V <sub>CC</sub>	V <sub>CC</sub> - +5V. (+3V DS80C323)																											
20	22, 23	16, 17	GND	GND - Digital circuit ground.																											
9	10	4	RST	<b>RST - Input.</b> The RST input pin contains a Schmitt voltage input to recognize external active high Reset inputs. The pin also employs an internal pulldown resistor to allow for a combination of wired OR external Reset sources. An RC is <u>not</u> required for power-up, as the device provides this function internally.																											
18 19	20 21	14 15	XTAL2 XTAL1	<b>XTAL1, XTAL2</b> - The crystal oscillator pins XTAL1 and XTAL2 provide support for parallel resonant, AT cut crystals. XTAL1 acts also as an input in the event that an external clock source is used in place of a crystal. XTAL2 serves as the output of the crystal amplifier.																											
29	32	26	$\overline{\text{PSEN}}$	<b><math>\overline{\text{PSEN}}</math> - Output.</b> The Program Store Enable output. This signal is commonly connected to external ROM memory as a chip enable. $\overline{\text{PSEN}}$ will provide an active low pulse width of 2.25 XTAL1 cycles with a period of four XTAL1 cycles. $\overline{\text{PSEN}}$ is driven high when data memory (RAM) is being accessed through the bus and during a reset condition.																											
30	33	27	ALE	<b>ALE - Output.</b> The Address Latch Enable output functions as a clock to latch the external address LSB from the multiplexed address/data bus. This signal is commonly connected to the latch enable of an external 373 family transparent latch. ALE has a pulse width of 1.5 XTAL1 cycles and a period of four XTAL1 cycles. ALE is forced high when the device is in a Reset condition.																											
39 38 37 36 35 34 33 32	43 42 41 40 39 38 37 36	37 36 35 34 33 32 31 30	AD0 AD1 AD2 AD3 AD4 AD5 AD6 AD7	<b>AD0-7 (Port 0) - I/O.</b> Port 0 is the multiplexed address/data bus. During the time when ALE is high, the LSB of a memory address is presented. When ALE falls, the port transitions to a bi-directional data bus. This bus is used to read external ROM and read/write external RAM memory or peripherals. The Port 0 has no true port latch and can not be written directly by software. The reset condition of Port 0 is high. No pullup resistors are needed.																											
1-8	2-9	40-44 1-3	P1.0-P1.7	<p><b>Port 1 - I/O.</b> Port 1 functions as both an 8-bit bi-directional I/O port and an alternate functional interface for Timer 2 I/O, new External Interrupts, and new Serial Port 1. The reset condition of Port 1 is with all bits at a logic 1. In this state, a weak pullup holds the port high. This condition also serves as an input mode, since any external circuit that writes to the port will overcome the weak pullup. When software writes a 0 to any port pin, the device will activate a strong pulldown that remains on until either a 1 is written or a reset occurs. Writing a 1 after the port has been at 0 will cause a strong transition driver to turn on, followed by a weaker sustaining pullup. Once the momentary strong driver turns off, the port once again becomes the output high (and input) state. The alternate modes of Port 1 are outlined as follows:</p> <table border="1"> <thead> <tr> <th>Port</th> <th>Alternate</th> <th>Function</th> </tr> </thead> <tbody> <tr> <td>P1.0</td> <td>T2</td> <td>External I/O for Timer/Counter 2</td> </tr> <tr> <td>P1.1</td> <td>T2EX</td> <td>Timer/Counter 2 Capture/Reload Trigger</td> </tr> <tr> <td>P1.2</td> <td>RXD1</td> <td>Serial Port 1 Input</td> </tr> <tr> <td>P1.3</td> <td>TXD1</td> <td>Serial Port 1 Output</td> </tr> <tr> <td>P1.4</td> <td><math>\overline{\text{INT2}}</math></td> <td>External Interrupt 2 (Positive Edge Detect)</td> </tr> <tr> <td>P1.5</td> <td><math>\overline{\text{INT3}}</math></td> <td>External Interrupt 3 (Negative Edge Detect)</td> </tr> <tr> <td>P1.6</td> <td><math>\overline{\text{INT4}}</math></td> <td>External Interrupt 4 (Positive Edge Detect)</td> </tr> <tr> <td>P1.7</td> <td><math>\overline{\text{INT5}}</math></td> <td>External Interrupt 5 (Negative Edge Detect)</td> </tr> </tbody> </table>	Port	Alternate	Function	P1.0	T2	External I/O for Timer/Counter 2	P1.1	T2EX	Timer/Counter 2 Capture/Reload Trigger	P1.2	RXD1	Serial Port 1 Input	P1.3	TXD1	Serial Port 1 Output	P1.4	$\overline{\text{INT2}}$	External Interrupt 2 (Positive Edge Detect)	P1.5	$\overline{\text{INT3}}$	External Interrupt 3 (Negative Edge Detect)	P1.6	$\overline{\text{INT4}}$	External Interrupt 4 (Positive Edge Detect)	P1.7	$\overline{\text{INT5}}$	External Interrupt 5 (Negative Edge Detect)
Port	Alternate	Function																													
P1.0	T2	External I/O for Timer/Counter 2																													
P1.1	T2EX	Timer/Counter 2 Capture/Reload Trigger																													
P1.2	RXD1	Serial Port 1 Input																													
P1.3	TXD1	Serial Port 1 Output																													
P1.4	$\overline{\text{INT2}}$	External Interrupt 2 (Positive Edge Detect)																													
P1.5	$\overline{\text{INT3}}$	External Interrupt 3 (Negative Edge Detect)																													
P1.6	$\overline{\text{INT4}}$	External Interrupt 4 (Positive Edge Detect)																													
P1.7	$\overline{\text{INT5}}$	External Interrupt 5 (Negative Edge Detect)																													
1 2 3 4 5 6 7 8	2 3 4 5 6 7 8 9	40 41 42 43 44 1 2 3																													



DIP	PLCC	TOFP	SIGNAL NAME	DESCRIPTION																											
21	24	18	A8 (P2.0)	<b>A15-A8 (Port 2) - Output.</b> Port 2 serves as the MSB for external addressing. P2.7 is A15 and P2.0 is A8. The device will automatically place the MSB of an address on P2 for external ROM and RAM access. Although Port 2 can be accessed like an ordinary I/O port, the value stored on the Port 2 latch will never be seen on the pins (due to memory access). Therefore writing to Port 2 in software is only useful for the instructions MOVX A, @Ri or MOVX @Ri, A. These instructions use the Port 2 internal latch to supply the external address MSB. In this case, the Port 2 latch value will be supplied as the address information.																											
22	25	19	A9 (P2.1)																												
23	26	20	A10 (P2.2)																												
24	27	21	A11 (P2.3)																												
25	28	22	A12 (P2.4)																												
26	29	23	A13 (P2.5)																												
27	30	24	A14 (P2.6)																												
28	31	25	A15 (P2.7)																												
10-17	11, 13-19	5, 7-13	P3.0-P3.7	<p><b>Port 3 - I/O.</b> Port 3 functions as both an 8-bit bi-directional I/O port and an alternate functional interface for External Interrupts, Serial Port 0, Timer 0 &amp; 1 Inputs, <math>\overline{RD}</math> and <math>\overline{WR}</math> strobes. The reset condition of Port 3 is with all bits at a logic 1. In this state, a weak pullup holds the port high. This condition also serves as an input mode, since any external circuit that writes to the port will overcome the weak pullup. When software writes a 0 to any port pin, the device will activate a strong pulldown that remains on until either a 1 is written or a reset occurs. Writing a 1 after the port has been at 0 will cause a strong transition driver to turn on, followed by a weaker sustaining pullup. Once the momentary strong driver turns off, the port once again becomes both the output high and input state. The alternate modes of Port 3 are outlined below:</p> <table border="1"> <thead> <tr> <th>Port</th> <th>Alternate</th> <th>Mode</th> </tr> </thead> <tbody> <tr> <td>P3.0</td> <td>RXD0</td> <td>Serial Port 0 Input</td> </tr> <tr> <td>P3.1</td> <td>TXD0</td> <td>Serial Port 0 Output</td> </tr> <tr> <td>P3.2</td> <td><math>\overline{INT0}</math></td> <td>External Interrupt 0</td> </tr> <tr> <td>P3.3</td> <td><math>\overline{INT1}</math></td> <td>External Interrupt 1</td> </tr> <tr> <td>P3.4</td> <td>T0</td> <td>Timer 0 External Input</td> </tr> <tr> <td>P3.5</td> <td>T1</td> <td>Timer 1 External Input</td> </tr> <tr> <td>P3.6</td> <td><math>\overline{WR}</math></td> <td>External Data Memory Write Strobe</td> </tr> <tr> <td>P3.7</td> <td><math>\overline{RD}</math></td> <td>External Data Memory Read Strobe</td> </tr> </tbody> </table>	Port	Alternate	Mode	P3.0	RXD0	Serial Port 0 Input	P3.1	TXD0	Serial Port 0 Output	P3.2	$\overline{INT0}$	External Interrupt 0	P3.3	$\overline{INT1}$	External Interrupt 1	P3.4	T0	Timer 0 External Input	P3.5	T1	Timer 1 External Input	P3.6	$\overline{WR}$	External Data Memory Write Strobe	P3.7	$\overline{RD}$	External Data Memory Read Strobe
Port	Alternate	Mode																													
P3.0	RXD0	Serial Port 0 Input																													
P3.1	TXD0	Serial Port 0 Output																													
P3.2	$\overline{INT0}$	External Interrupt 0																													
P3.3	$\overline{INT1}$	External Interrupt 1																													
P3.4	T0	Timer 0 External Input																													
P3.5	T1	Timer 1 External Input																													
P3.6	$\overline{WR}$	External Data Memory Write Strobe																													
P3.7	$\overline{RD}$	External Data Memory Read Strobe																													
31	35	29	$\overline{EA}$	<b><math>\overline{EA}</math> - Input.</b> This pin must be connected to ground for proper operation.																											
-	12 34	6 28	NC	<b>NC - Reserved.</b> These pins should not be connected. They are reserved for use with future devices in this family.																											
-	1	39		<b>NC - Reserved.</b> These pins are reserved for additional ground pins on future products.																											

## INTERRUPTS

The DS80C320/DS80C323 provides 13 sources of interrupt with three priority levels. The Power-fail Interrupt (PFI), if enabled, always has the highest priority. There are two remaining user selectable priorities: high and low. If two interrupts that have the same priority occur simultaneously, the natural precedence given below determines which is acted upon. Except for the PFI, all interrupts that are new to the 8051 family have a lower natural priority than the originals.

**INTERRUPT PRIORITY Table 5**

NAME	DESCRIPTION	VECTOR	NATURAL PRIORITY	OLD/NEW
PFI	Power-fail Interrupt	33h	1	NEW
$\overline{\text{INT0}}$	External Interrupt 0	03h	2	OLD
TF0	Timer 0	0Bh	3	OLD
$\overline{\text{INT1}}$	External Interrupt 1	13h	4	OLD
TF1	Timer 1	1Bh	5	OLD
SCON0	TI0 or RI0 from serial port 0	23h	6	OLD
TF2	Timer 2	2Bh	7	OLD
SCON1	TI1 or RI1 from serial port 1	3Bh	8	NEW
INT2	External Interrupt 2	43h	9	NEW
$\overline{\text{INT3}}$	External Interrupt 3	4Bh	10	NEW
INT4	External Interrupt 4	53h	11	NEW
$\overline{\text{INT5}}$	External Interrupt 5	5Bh	12	NEW
WDTI	Watchdog Timeout Interrupt	63h	13	NEW

## SPECIAL FUNCTION REGISTERS

Most special features of the DS80C320/DS80C323 or 80C32 are controlled by bits in special function registers (SFRs). This allows the device to add many features but use the same instruction set. When writing software to use a new feature, the SFR must be defined to an assembler or compiler using an equate statement. This is the only change needed to access the new function. The DS80C320/DS80C323 duplicates the SFRs that are contained in the standard 80C32. Table 6 shows the register addresses and bit locations. Many are standard 80C32 registers. The High-Speed Microcontroller User's Guide describes all SFRs.

**SPECIAL FUNCTION REGISTER LOCATIONS Table 6**

REGISTER	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	ADDRESS
SP									81h
DPL									82h
DPH									83h
<b>DPL1</b>									84h
<b>DPH1</b>									85h
<b>DPS</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>SEL</b>	86h
PCON	SMOD 0	<b>SMOD0</b>	-	-	GF1	GF0	STOP	IDLE	87h
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	88h
TMOD	GATE	C/ $\bar{T}$	M1	M0	GATE	C/ $\bar{T}$	M1	M0	89h
TL0									8Ah
TL1									8Bh
TH0									8Ch
TH1									8Dh
<b>CKCON</b>	<b>WD1</b>	<b>WD0</b>	<b>T2M</b>	<b>T1M</b>	<b>T0M</b>	<b>MD2</b>	<b>MD1</b>	<b>MD0</b>	8Eh
P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	90h
<b>EXIF</b>	<b>IE5</b>	<b>IE4</b>	<b>IE3</b>	<b>IE2</b>	-	<b>RGMD</b>	<b>RGSL</b>	<b>BGS</b>	91h
SCON0	SM0/FE 0	SM1 0	SM2 0	REN 0	TB8 0	RB8 0	TI 0	RI 0	98h
SBUF0									99h
P2	P2.0	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	A0h
IE	EA	ES1	ET2	ES0	ET1	EX1	ET0	EX0	A8h
SADDR0									A9h
SADDR1									AAh
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0	B0h
IP	-	PS1	PT2	PS0	PT1	PX1	PT0	PX0	B8h
SADEN0									B9h
SADEN1									BAh
<b>SCON1</b>	<b>SM0/FE 0</b>	<b>SM1 0</b>	<b>SM2 0</b>	<b>REN 0</b>	<b>TB8 0</b>	<b>RB8 0</b>	<b>TI 0</b>	<b>RI 0</b>	C0h
SBUF1									C1h
STATUS	PIP	HIP	LIP	1	1	1	1	1	C5h
<b>TA</b>									C7h
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/ $\bar{T}2$	CP/ $\bar{R}E2$	C8h
T2MOD	-	-	-	-	-	-	T2OE	DCEN	C9h
RCAP2L									CAh
RCAP2H									CBh
TL2									CCh
TH2									CDh
PSW	CY	AC	F0	RS1	RS0	OV	FL	P	D0h
<b>WDCON</b>	<b>SMOD 1</b>	<b>POR</b>	<b>EPFI</b>	<b>PFI</b>	<b>WDIF</b>	<b>WTRF</b>	<b>EWT</b>	<b>RWT</b>	D8h
ACC									E0h
<b>EIE</b>	-	-	-	<b>EWDI</b>	<b>EX5</b>	<b>EX4</b>	<b>EX3</b>	<b>EX2</b>	E8h
B									F0h
<b>EIP</b>	-	-	-	<b>PWDI</b>	<b>PX5</b>	<b>PX4</b>	<b>PX3</b>	<b>PX2</b>	F8h

## Anexo B.4 Hojas de datos del máximo 233

19-4323; Rev. 9; 4/00

# MAXIM

## +5V-Powered, Multichannel RS-232 Drivers/Receivers

MAX220-MAX249

### General Description

The MAX220-MAX249 family of line drivers/receivers is intended for all EIA/TIA-232E and V.28/V.24 communications interfaces, particularly applications where  $\pm 12V$  is not available.

These parts are especially useful in battery-powered systems, since their low-power shutdown mode reduces power dissipation to less than  $5\mu W$ . The MAX225, MAX233, MAX235, and MAX245/MAX246/MAX247 use no external components and are recommended for applications where printed circuit board space is critical.

### Applications

Portable Computers  
Low-Power Modems  
Interface Translation  
Battery-Powered RS-232 Systems  
Multidrop RS-232 Networks

### Features

#### Superior to Bipolar

- ◆ Operate from Single +5V Power Supply (+5V and +12V—MAX231/MAX239)
- ◆ Low-Power Receive Mode in Shutdown (MAX223/MAX242)
- ◆ Meet All EIA/TIA-232E and V.28 Specifications
- ◆ Multiple Drivers and Receivers
- ◆ 3-State Driver and Receiver Outputs
- ◆ Open-Line Detection (MAX243)

### Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX220CPE	0°C to +70°C	16 Plastic DIP
MAX220CSE	0°C to +70°C	16 Narrow SO
MAX220CWE	0°C to +70°C	16 Wide SO
MAX220C/D	0°C to +70°C	Dice*
MAX220EPE	-40°C to +85°C	16 Plastic DIP
MAX220ESE	-40°C to +85°C	16 Narrow SO
MAX220EWE	-40°C to +85°C	16 Wide SO
MAX220EJE	-40°C to +85°C	16 CERDIP
MAX220MJE	-55°C to +125°C	16 CERDIP

Ordering Information continued at end of data sheet.

\*Contact factory for dice specifications.

### Selection Table

Part Number	Power Supply (V)	No. of RS-232 Drivers/Rx	No. of Ext. Caps	Nominal Cap. Value ( $\mu F$ )	SHDN & Three-State	Rx Active in SHDN	Data Rate (kbps)	Features
MAX220	+5	2/2	4	4.7/10	No	—	120	Ultra-low-power, industry-standard pinout
MAX222	+5	2/2	4	0.1	Yes	—	200	Low-power shutdown
MAX223 (MAX213)	+5	4/5	4	1.0 (0.1)	Yes	✓	120	MAX241 and receivers active in shutdown
MAX225	+5	5/5	0	—	Yes	✓	120	Available in SO
MAX230 (MAX200)	+5	5/0	4	1.0 (0.1)	Yes	—	120	5 drivers with shutdown
MAX231 (MAX201)	+5 and +7.5 to +13.2	2/2	2	1.0 (0.1)	No	—	120	Standard +5/+12V or battery supplies; same functions as MAX232
MAX232 (MAX202)	+5	2/2	4	1.0 (0.1)	No	—	120 (64)	Industry standard
MAX232A	+5	2/2	4	0.1	No	—	200	Higher slow rate, small caps
MAX233 (MAX203)	+5	2/2	0	—	No	—	120	No external caps
MAX233A	+5	2/2	0	—	No	—	200	No external caps, high slow rate
MAX234 (MAX204)	+5	4/0	4	1.0 (0.1)	No	—	120	Replaces 1488
MAX235 (MAX205)	+5	5/5	0	—	Yes	—	120	No external caps
MAX236 (MAX206)	+5	4/3	4	1.0 (0.1)	Yes	—	120	Shutdown, three state
MAX237 (MAX207)	+5	5/3	4	1.0 (0.1)	No	—	120	Complements IBM PC serial port
MAX238 (MAX208)	+5	4/4	4	1.0 (0.1)	No	—	120	Replaces 1488 and 1489
MAX239 (MAX209)	+5 and +7.5 to +13.2	3/5	2	1.0 (0.1)	No	—	120	Standard +5/+12V or battery supplies; single-package solution for IBM PC serial port
MAX240	+5	5/5	4	1.0	Yes	—	120	DIP or flatpack package
MAX241 (MAX211)	+5	4/5	4	1.0 (0.1)	Yes	—	120	Complete IBM PC serial port
MAX242	+5	2/2	4	0.1	Yes	✓	200	Separate shutdown and enable
MAX243	+5	2/2	4	0.1	No	—	200	Open-line detection simplifies cabling
MAX244	+5	8/10	4	1.0	No	—	120	High slow rate
MAX245	+5	8/10	0	—	Yes	✓	120	High slow rate, int. caps, two shutdown modes
MAX246	+5	8/10	0	—	Yes	✓	120	High slow rate, int. caps, three shutdown modes
MAX247	+5	8/9	0	—	Yes	✓	120	High slow rate, int. caps, nine operating modes
MAX248	+5	8/8	4	1.0	Yes	✓	120	High slow rate, selective half-chip enables
MAX249	+5	6/10	4	1.0	Yes	✓	120	Available in quad flatpack package

## +5V-Powered, Multichannel RS-232 Drivers/Receivers

### ABSOLUTE MAXIMUM RATINGS—MAX220/222/232A/233A/242/243

Supply Voltage ( $V_{CC}$ )	-0.3V to +6V	20-Pin Plastic DIP (derate 8.00mW/°C above +70°C)	..440mW
Input Voltages		16-Pin Narrow SO (derate 8.70mW/°C above +70°C)	...696mW
$T_{IN}$	-0.3V to ( $V_{CC} - 0.3V$ )	16-Pin Wide SO (derate 9.52mW/°C above +70°C)	.....762mW
$R_{IN}$ (Except MAX220)	±30V	18-Pin Wide SO (derate 9.52mW/°C above +70°C)	.....762mW
$R_{IN}$ (MAX220)	±25V	20-Pin Wide SO (derate 10.00mW/°C above +70°C)	...800mW
$T_{OUT}$ (Except MAX220) (Note 1)	±15V	20-Pin SSOP (derate 8.00mW/°C above +70°C)	.....640mW
$T_{OUT}$ (MAX220)	±13.2V	16-Pin CERDIP (derate 10.00mW/°C above +70°C)	.....800mW
Output Voltages		18-Pin CERDIP (derate 10.53mW/°C above +70°C)	.....842mW
$T_{OUT}$	±15V	Operating Temperature Ranges	
$R_{OUT}$	-0.3V to ( $V_{CC} + 0.3V$ )	MAX2_AC_, MAX2_C_	.....0°C to +70°C
Driver/Receiver Output Short Circuited to GND	Continuous	MAX2_AE_, MAX2_E_	.....-40°C to +85°C
Continuous Power Dissipation ( $T_A = +70°C$ )		MAX2_AM_, MAX2_M_	.....-65°C to +125°C
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C)	...842mW	Storage Temperature Range	.....-65°C to +160°C
18-Pin Plastic DIP (derate 11.11mW/°C above +70°C)	...889mW	Lead Temperature (soldering, 10sec)	.....+300°C

**Note 1:** Input voltage measured with  $T_{OUT}$  in high-impedance state,  $\overline{SHDN}$  or  $V_{CC} = 0V$ .

**Note 2:** For the MAX220,  $V_+$  and  $V_-$  can have a maximum magnitude of 7V, but their absolute difference cannot exceed 13V.

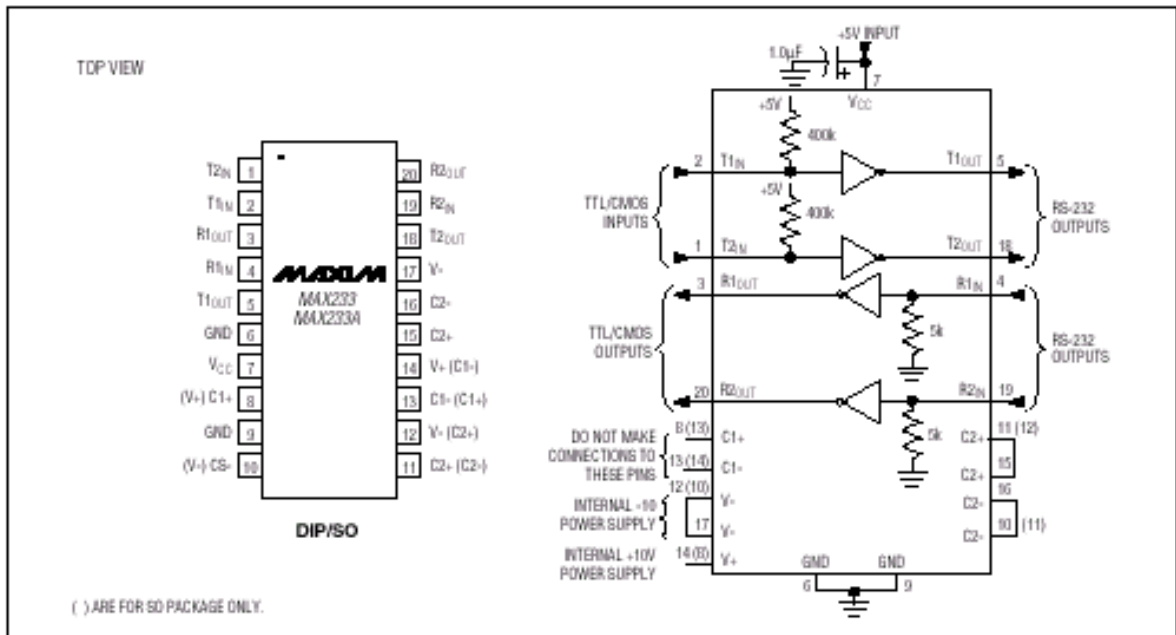
Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

### ELECTRICAL CHARACTERISTICS—MAX220/222/232A/233A/242/243

( $V_{CC} = +5V \pm 10\%$ ,  $C_1 - C_4 = 0.1\mu F$ , MAX220,  $C_1 = 0.047\mu F$ ,  $C_2 - C_4 = 0.33\mu F$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
<b>RS-232 TRANSMITTERS</b>						
Output Voltage Swing	All transmitter outputs loaded with 3k $\Omega$ to GND		±5	±8		V
Input Logic Threshold Low				1.4	0.8	V
Input Logic Threshold High	All except MAX220		2	1.4		V
	MAX220: $V_{CC} = 5.0V$		2.4			
Logic Pull-Up/Input Current	All except MAX220, normal operation			5	40	$\mu A$
	$\overline{SHDN} = 0V$ , MAX222/242, shutdown, MAX220			±0.01	±1	
Output Leakage Current	$V_{CC} = 5.5V$ , $\overline{SHDN} = 0V$ , $V_{OUT} = \pm 15V$ , MAX222/242			±0.01	±10	$\mu A$
	$V_{CC} = \overline{SHDN} = 0V$ , $V_{OUT} = \pm 15V$			±0.01	±10	
Data Rate	All except MAX220, normal operation			200	116	kb/s
Transmitter Output Resistance	$V_{CC} = V_+ = V_- = 0V$ , $V_{OUT} = \pm 2V$		300	10M		$\Omega$
Output Short-Circuit Current	$V_{OUT} = 0V$		±7	±22		mA
<b>RS-232 RECEIVERS</b>						
RS-232 Input Voltage Operating Range					±30	V
RS-232 Input Threshold Low	$V_{CC} = 5V$	All except MAX243 $R_{2IN}$	0.8	1.3		V
		MAX243 $R_{2IN}$ (Note 2)	-3			
RS-232 Input Threshold High	$V_{CC} = 5V$	All except MAX243 $R_{2IN}$		1.8	2.4	V
		MAX243 $R_{2IN}$ (Note 2)		-0.5	-0.1	
RS-232 Input Hysteresis	All except MAX243, $V_{CC} = 5V$ , no hysteresis in shdn.		0.2	0.5	1	V
	MAX243			1		
RS-232 Input Resistance			3	5	7	k $\Omega$
TTL/CMOS Output Voltage Low	$I_{OUT} = 3.2mA$			0.2	0.4	V
TTL/CMOS Output Voltage High	$I_{OUT} = -1.0mA$		3.5	$V_{CC} - 0.2$		V
TTL/CMOS Output Short-Circuit Current	Sourcing $V_{OUT} = GND$		-2	-10		mA
	Sinking $V_{OUT} = V_{CC}$		10	30		

## +5V-Powered, Multichannel RS-232 Drivers/Receivers



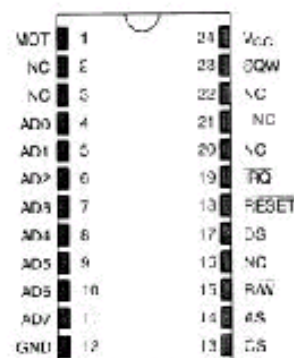


www.dalsemi.com

### FEATURES

- Drop-in replacement for IBM AT computer clock/calendar
- Pin-compatible with the MC146818B and DS1287
- Totally nonvolatile with over 10 years of operation in the absence of power
- Self-contained subsystem includes lithium, quartz, and support circuitry
- Counts seconds, minutes, hours, days, day of the week, date, month, and year with leap year compensation valid up to 2100
- Binary or BCD representation of time, calendar, and alarm
- 12- or 24-hour clock with AM and PM in 12-hour mode
- Daylight Savings Time option
- Selectable between Motorola and Intel bus timing
- Multiplex bus for pin efficiency
- Interfaced with software as 128 RAM locations
  - 14 bytes of clock and control registers
  - 114 bytes of general purpose RAM
- Programmable square wave output signal
- Bus-compatible interrupt signals (IRQ)
- Three interrupts are separately software-maskable and testable
  - Time-of-day alarm once/second to once/day
  - Periodic rates from 122 ms to 500 ms
  - End of clock update cycle

### PIN ASSIGNMENT



24-PIN ENCAPS. II ATFD PACKAGE

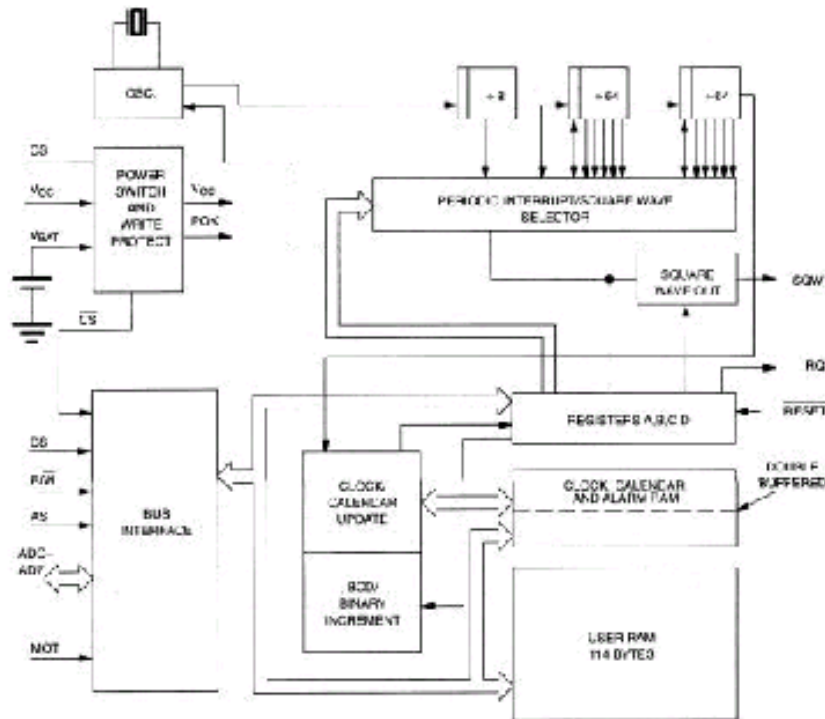
### PIN DESCRIPTION

- AD0-AD7 – Multiplexed Address/Data Bus
- NC – No Connection
- MOT – Bus Type Selection
- CS – Chip Select
- AS – Address Strobe
- R/W – Read/Write Input
- DS – Data Strobe
- RESET – Reset Input
- IRQ – Interrupt Request Output
- SQW – Square Wave Output
- VCC – +5 Volt Supply
- GND – Ground

### DESCRIPTION

The DS12887 Real Time Clock plus RAM is designed to be a direct replacement for the DS1287. The DS12887 is identical in form, fit, and function to the DS1287, and has an additional 64 bytes of general purpose RAM. Access to this additional RAM space is determined by the logic level presented on AD6 during the address portion of an access cycle. A lithium energy source, quartz crystal, and write-protection circuitry are contained within a 24-pin dual in-line package. As such, the DS12887 is a complete subsystem replacing 16 components in a typical application. The functions include a nonvolatile time-of-day clock, an alarm, a one-hundred-year calendar, programmable interrupt, square wave

**BLOCK DIAGRAM DS12887 Figure 1**



## POWER-DOWN/POWER-UP CONSIDERATIONS

The Real Time Clock function will continue to operate and all of the RAM, time, calendar, and alarm memory locations remain nonvolatile regardless of the level of the  $V_{CC}$  input. When  $V_{CC}$  is applied to the DS12887 and reaches a level of greater than 4.25 volts, the device becomes accessible after 200 ms, provided that the oscillator is running and the oscillator countdown chain is not in reset (see Register A). This time period allows the system to stabilize after power is applied. When  $V_{CC}$  falls below 4.25 volts, the chip select input is internally forced to an inactive level regardless of the value of  $\overline{CS}$  at the input pin. The DS12887 is, therefore, write-protected. When the DS12887 is in a write-protected state, all inputs are ignored and all outputs are in a high impedance state. When  $V_{CC}$  falls below a level of approximately 3 volts, the external  $V_{CC}$  supply is switched off and an internal lithium energy source supplies power to the Real Time Clock and the RAM memory.

## SIGNAL DESCRIPTIONS

**GND,  $V_{CC}$** —DC power is provided to the device on these pins.  $V_{CC}$  is the +5 volt input. When 5 volts are applied within normal limits, the device is fully accessible and data can be written and read. When  $V_{CC}$  is below 4.25 volts typical, reads and writes are inhibited. However, the timekeeping function continues



unaffected by the lower input voltage. As  $V_{CC}$  falls below 3 volts typical, the RAM and timekeeper are switched over to an internal lithium energy source. The timekeeping function maintains an accuracy of  $\pm 1$  minute per month at 25°C regardless of the voltage input on the  $V_{CC}$  pin.

**MOT (Mode Select)** – The MOT pin offers the flexibility to choose between two bus types. When connected to  $V_{CC}$ , Motorola bus timing is selected. When connected to GND or left disconnected, Intel bus timing is selected. The pin has an internal pulldown resistance of approximately 20 k $\Omega$ .

**SQW (Square Wave Output)** – The SQW pin can output a signal from one of 13 taps provided by the 15 internal divider stages of the Real Time Clock. The frequency of the SQW pin can be changed by programming Register A as shown in Table 1. The SQW signal can be turned on and off using the SQWE bit in Register B. The SQW signal is not available when  $V_{CC}$  is less than 4.25 volts, typically.

### PERIODIC INTERRUPT RATE AND SQUARE WAVE OUTPUT FREQUENCY Table 1

SELECT BITS REGISTER A				$t_{PI}$ PERIODIC INTERRUPT RATE	SQW OUTPUT FREQUENCY
RS3	RS2	RS1	RS0		
0	0	0	0	None	None
0	0	0	1	3.90625 ms	256 Hz
0	0	1	0	7.8125 ms	128 Hz
0	0	1	1	122.070 $\mu$ s	8.192 kHz
0	1	0	0	244.141 $\mu$ s	4.096 kHz
0	1	0	1	488.281 $\mu$ s	2.048 kHz
0	1	1	0	976.5625 $\mu$ s	1.024 kHz
0	1	1	1	1.953125 ms	512 Hz
1	0	0	0	3.90625 ms	256 Hz
1	0	0	1	7.8125 ms	128 Hz
1	0	1	0	15.625 ms	64 Hz
1	0	1	1	31.25 ms	32 Hz
1	1	0	0	62.5 ms	16 Hz
1	1	0	1	125 ms	8 Hz
1	1	1	0	250 ms	4 Hz
1	1	1	1	500 ms	2 Hz

**AD0–AD7 (Multiplexed Bidirectional Address/Data Bus)** – Multiplexed buses save pins because address information and data information time-share the same signal paths. The addresses are present during the first portion of the bus cycle and the same pins and signal paths are used for data in the second portion of the cycle. Address/data multiplexing does not slow the access time of the DS12887 since the bus change from address to data occurs during the internal RAM access time. Addresses must be valid prior to the falling edge of AS/ ALE, at which time the DS12887 latches the address from AD0 to AD6. Valid write data must be present and held stable during the latter portion of the DS or  $\overline{WR}$  pulses. In a read cycle the DS12887 outputs 8 bits of data during the latter portion of the DS or  $\overline{RD}$  pulses. The read cycle is terminated and the bus returns to a high impedance state as DS transitions low in the case of Motorola timing or as  $\overline{RD}$  transitions high in the case of Intel timing.

**AS (Address Strobe Input)** – A positive-going address strobe pulse serves to demultiplex the bus. The falling edge of AS/ALE causes the address to be latched within the DS12887. The next rising edge that

occurs on the AS bus will clear the address regardless of whether CS is asserted. Access commands should be sent in pairs.

**DS (Data Strobe or Read Input)** – The DS/ $\overline{\text{RD}}$  pin has two modes of operation depending on the level of the MOT pin. When the MOT pin is connected to  $V_{\text{CC}}$ , Motorola bus timing is selected. In this mode DS is a positive pulse during the latter portion of the bus cycle and is called Data Strobe. During read cycles, DS signifies the time that the DS12887 is to drive the bidirectional bus. In write cycles the trailing edge of DS causes the DS12887 to latch the written data. When the MOT pin is connected to GND, Intel bus timing is selected. In this mode the DS pin is called Read ( $\overline{\text{RD}}$ ).  $\overline{\text{RD}}$  identifies the time period when the DS12887 drives the bus with read data. The  $\overline{\text{RD}}$  signal is the same definition as the Output Enable ( $\overline{\text{OE}}$ ) signal on a typical memory.

**R/ $\overline{\text{W}}$  (Read/Write Input)** – The R/ $\overline{\text{W}}$  pin also has two modes of operation. When the MOT pin is connected to  $V_{\text{CC}}$  for Motorola timing, R/ $\overline{\text{W}}$  is at a level which indicates whether the current cycle is a read or write. A read cycle is indicated with a high level on R/ $\overline{\text{W}}$  while DS is high. A write cycle is indicated when R/ $\overline{\text{W}}$  is low during DS.

When the MOT pin is connected to GND for Intel timing, the R/ $\overline{\text{W}}$  signal is an active low signal called WR. In this mode the R/ $\overline{\text{W}}$  pin has the same meaning as the Write Enable signal ( $\overline{\text{WE}}$ ) on generic RAMs.


**$\overline{\text{CS}}$  (Chip Select Input)** – The Chip Select signal must be asserted low for a bus cycle in the DS12887 to be accessed.  $\overline{\text{CS}}$  must be kept in the active state during DS and AS for Motorola timing and during  $\overline{\text{RD}}$  and WR for Intel timing. Bus cycles which take place without asserting  $\overline{\text{CS}}$  will latch addresses but no access will occur. When  $V_{\text{CC}}$  is below 4.25 volts, the DS12887 internally inhibits access cycles by internally disabling the  $\overline{\text{CS}}$  input. This action protects both the real time clock data and RAM data during power outages.

**$\overline{\text{IRQ}}$  (Interrupt Request Output)** – The  $\overline{\text{IRQ}}$  pin is an active low output of the DS12887 that can be used as an interrupt input to a processor. The  $\overline{\text{IRQ}}$  output remains low as long as the status bit causing the interrupt is present and the corresponding interrupt-enable bit is set. To clear the  $\overline{\text{IRQ}}$  pin the processor program normally reads the C register. The  $\overline{\text{RESET}}$  pin also clears pending interrupts.

When no interrupt conditions are present, the  $\overline{\text{IRQ}}$  level is in the high impedance state. Multiple interrupting devices can be connected to an  $\overline{\text{IRQ}}$  bus. The  $\overline{\text{IRQ}}$  bus is an open drain output and requires an external pullup resistor.

**$\overline{\text{RESET}}$  (Reset Input)** – The  $\overline{\text{RESET}}$  pin has no effect on the clock, calendar, or RAM. On power-up the  $\overline{\text{RESET}}$  pin can be held low for a time in order to allow the power supply to stabilize. The amount of time that  $\overline{\text{RESET}}$  is held low is dependent on the application. However, if  $\overline{\text{RESET}}$  is used on power-up, the time  $\overline{\text{RESET}}$  is low should exceed 200 ms to make sure that the internal timer that controls the DS12887 on power-up has timed out.

## Anexo B.6 Descripción de las aplicaciones del ADC


November 1999

### ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-Bit $\mu$ P Compatible A/D Converters

#### General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and NSB080A derivative control bus with TRI-STATE<sup>®</sup> output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5  $V_{CC}$ , 2.5  $V_{CC}$ , or analog span adjusted voltage reference

#### Key Specifications

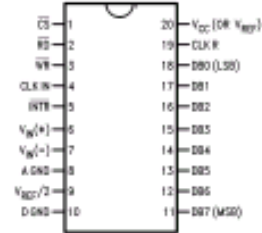
■ Resolution	8 bits
■ Total error	$\pm 1/2$ LSB, $\pm 1/2$ LSB and $\pm 1$ LSB
■ Conversion time	100 $\mu$ s

#### Features

- Compatible with 8080  $\mu$ P derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"

#### Connection Diagram

ADC080X  
Dual-in-Line and Small Outline (SO) Packages



See Ordering Information

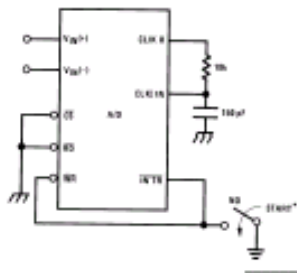
#### Ordering Information

TEMP RANGE		0°C TO 70°C	0°C TO 70°C	-40°C TO +85°C
ERROR	$\pm 1/2$ Bit Adjusted			ADC0801LCN
	$\pm 1/2$ Bit Unadjusted	ADC0802LCWM		ADC0802LCN
	$\pm 1/2$ Bit Adjusted			ADC0803LCN
	$\pm 1$ Bit Unadjusted	ADC0804LCWM	ADC0804LCN	ADC0805LCN/ADC0804LCJ
PACKAGE OUTLINE		M20B—Small Outline	N20A—Molded DIP	

 ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-Bit  $\mu$ P Compatible A/D Converters

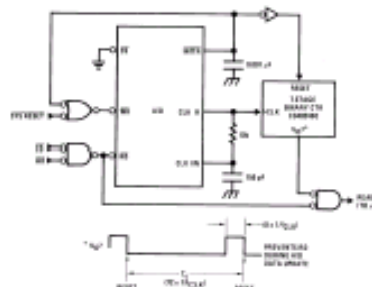
### Typical Applications

**Self-Clocking in Free-Running Mode**

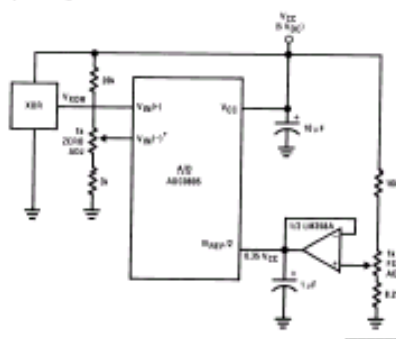


\*After power-up, a momentary grounding of the WR input is needed to guarantee operation.

**μP Interface for Free-Running A/D**

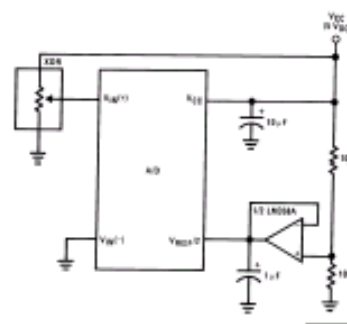


**Operating with "Automotive" Ratio-metric Transducers**

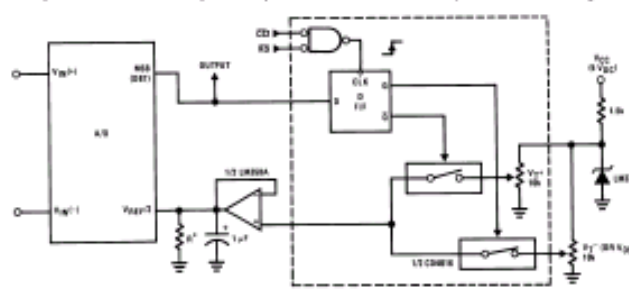


\* $V_{REF}(\pm) = 0.15 V_{DD}$   
 15% of  $V_{DD}$  ( $V_{REF}(\pm) = 25\%$  of  $V_{DD}$ )

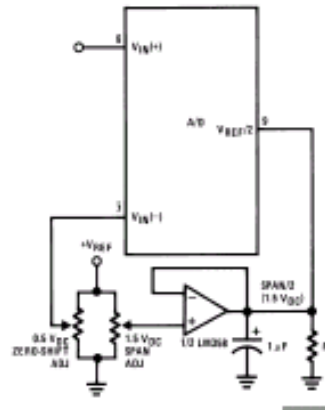
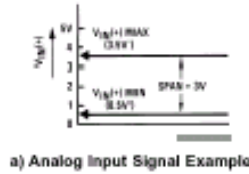
**Ratio-metric with  $V_{REF}/2$  Forced**



**μP Compatible Differential-Input Comparator with Pre-Set  $V_{OS}$  (with or without Hysteresis)**



## Functional Description



\*Add if  $V_{MIN}/2 < 1 V_{REF}$  with LM355 to draw 3 mA to ground.

b) Accommodating an Analog Input from 0.5V (Digital Out = 00<sub>HEX</sub>) to 3.5V (Digital Out=FF<sub>HEX</sub>)

FIGURE 7. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

### 2.5 Errors and Reference Voltage Adjustments

#### 2.5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value,  $V_{IN(MIN)}$ , is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D  $V_{REF}(-)$  input at this  $V_{IN(MIN)}$  value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the  $V_{IN}(-)$  input and applying a small magnitude positive voltage to the  $V_{IN}(+)$  input. Zero error is the difference between the actual DC input voltage that is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal  $\% \text{LSB}$  value ( $\% \text{LSB} = 9.8 \text{ mV}$  for  $V_{REF}/2 = 2.500 V_{DC}$ ).

#### 2.5.2 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage that is 1% LSB less than the desired analog full-scale voltage range and then adjusting the magnitude of the  $V_{REF}/2$  input (pin 9 or the  $V_{DC}$  supply if pin 9 is not used) for a digital output code that is just changing from 1111 1110 to 1111 1111.

#### 2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A  $V_{IN}(+)$  voltage that equals this desired zero reference plus  $\% \text{LSB}$  (where the LSB is calculated for the desired analog span,  $1 \text{ LSB} = \text{analog span}/256$ )

is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00<sub>HEX</sub> to 01<sub>HEX</sub> code transition.

The full-scale adjustment should then be made (with the proper  $V_{REF}(-)$  voltage applied) by forcing a voltage to the  $V_{IN}(+)$  input which is given by:

$$V_{IN}(+) \text{ fs adj} = V_{MAX} - 1.5 \left[ \frac{V_{MAX} - V_{MIN}}{256} \right]$$

where:

$V_{MAX}$  = The high end of the analog input range

and


$V_{MIN}$  = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The  $V_{REF}/2$  (or  $V_{DC}$ ) voltage is then adjusted to provide a code change from FE<sub>HEX</sub> to FF<sub>HEX</sub>. This completes the adjustment procedure.

#### 2.5 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in Figure 8.

## Anexo B.7 Descripción del 4051



**FAIRCHILD**  
SEMICONDUCTOR™

November 1983  
Revised August 2000

### CD4051BC • CD4052BC • CD4053BC

## Single 8-Channel Analog Multiplexer/Demultiplexer • Dual 4-Channel Analog Multiplexer/Demultiplexer • Triple 2-Channel Analog Multiplexer/Demultiplexer

#### General Description

The CD4051BC, CD4052BC, and CD4053BC analog multiplexers/demultiplexers are digitally controlled analog switches having low "ON" impedance and very low "OFF" leakage currents. Control of analog signals up to 15V<sub>P-P</sub> can be achieved by digital signal amplitudes of 3–15V. For example, if V<sub>DD</sub> = 5V, V<sub>SS</sub> = 0V and V<sub>EE</sub> = -5V, analog signals from -5V to +5V can be controlled by digital inputs of 0–5V. The multiplexer circuits dissipate extremely low quiescent power over the full V<sub>DD</sub>-V<sub>SS</sub> and V<sub>DD</sub>-V<sub>EE</sub> supply voltage ranges, independent of the logic state of the control signals. When a logical "1" is present at the inhibit input terminal all channels are "OFF".

CD4051BC is a single 8-channel multiplexer having three binary control inputs, A, B, and C, and an inhibit input. The three binary signals select 1 of 8 channels to be turned "ON" and connect the input to the output.

CD4052BC is a differential 4-channel multiplexer having two binary control inputs, A and B, and an inhibit input. The two binary input signals select 1 or 4 pairs of channels to be turned on and connect the differential analog inputs to the differential outputs.

CD4053BC is a triple 2-channel multiplexer having three separate digital control inputs, A, B, and C, and an inhibit input. Each control input selects one of a pair of channels which are connected in a single-pole double-throw configuration.

#### Features

- Wide range of digital and analog signal levels: digital 3 – 15V, analog to 15V<sub>P-P</sub>
- Low "ON" resistance: 80Ω (typ.) over entire 15V<sub>P-P</sub> signal-input range for V<sub>DD</sub> – V<sub>EE</sub> = 15V
- High "OFF" resistance: channel leakage of ±10 pA (typ.) at V<sub>DD</sub> – V<sub>EE</sub> = 10V
- Logic level conversion for digital addressing signals of 3 – 15V (V<sub>DD</sub> – V<sub>SS</sub> = 3 – 15V) to switch analog signals to 15 V<sub>P-P</sub> (V<sub>DD</sub> – V<sub>EE</sub> = 15V)
- Matched switch characteristics:  $R_{ON} = 5\Omega$  (typ.) for V<sub>DD</sub> – V<sub>EE</sub> = 15V
- Very low quiescent power dissipation under all digital-control input and supply conditions: 1 μW (typ.) at V<sub>DD</sub> – V<sub>SS</sub> = V<sub>DD</sub> – V<sub>EE</sub> = 10V
- Binary address decoding on chip

#### Ordering Code:

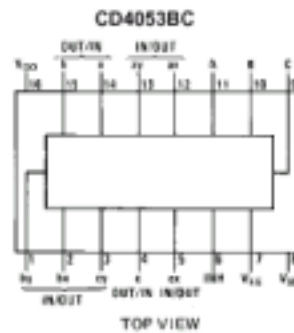
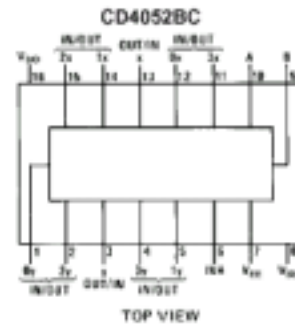
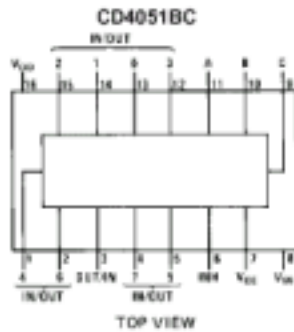
Order Number	Package Number	Package Description
CD4051BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
CD4051BCSJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4051BCMTC	MTC16	16-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
CD4051BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
CD4052BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
CD4052BCSJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4052BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
CD4053BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
CD4053BCSJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4053BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

CD4051BC • CD4052BC • CD4053BC Single 8-Channel Analog Multiplexer/Demultiplexer • Dual 4-Channel Analog Multiplexer/Demultiplexer • Triple 2-Channel Analog Multiplexer/Demultiplexer

## Connection Diagrams

Pin Assignments for DIP and SOIC



## Truth Table

INPUT STATES				"ON" CHANNELS		
INHIBIT	C	B	A	CD4051B	CD4052B	CD4053B
0	0	0	0	0	0X, 0Y	cx, bx, ax
0	0	0	1	1	1X, 1Y	cx, bx, ay
0	0	1	0	2	2X, 2Y	cx, by, ax
0	0	1	1	3	3X, 3Y	cx, by, ay
0	1	0	0	4		cy, bx, ax
0	1	0	1	5		cy, bx, ay
0	1	1	0	6		cy, by, ax
0	1	1	1	7		cy, by, ay
1	*	*	*	NONE	NONE	NONE

\*Don't Care condition.